

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月13日(13.09.2012)



(10) 国際公開番号
WO 2012/121087 A1

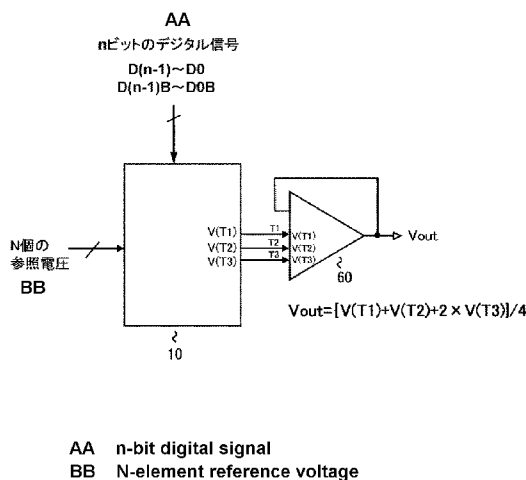
- (51) 国際特許分類:
H03M 1/74 (2006.01) G09G 3/30 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)
- (21) 国際出願番号: PCT/JP2012/055153
- (22) 国際出願日: 2012年3月1日(01.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-047282 2011年3月4日(04.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 土 弘(TSU-CHI, Hiroshi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 加藤 朝道(KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜3丁目20番12号加藤内外特許事務所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DIGITAL/ANALOG CONVERSION CIRCUIT AND DISPLAY DEVICE DATA DRIVER

(54) 発明の名称: デジタルアナログ変換回路及び表示装置のデータドライバ

[図1]



(57) Abstract: Provided is a digital/analog conversion circuit (DAC) whereby the total number of reference voltages is reduced. The DAC comprises: a first decoder (10) which receives as input N reference voltages and n-bit digital signals (where $n \geq 4$) and selects first through third voltages inclusive; and a computation amplifier (60) which receives the first through third voltages as input and outputs a voltage level of (first voltage + second voltage + 2 * third voltage) / 4. The computation amplifier (60) is treated as being capable of outputting 2^n voltage levels from a level A to a level $(A - 1 + 2^n)$ which are reference levels for each of 2^n combinations of the n-bit digital signals. The N reference voltages include: four reference voltages, A level, $(A + 4)$ level, $(A - 4 + 2^n)$ level, and $(A + 2^n)$ level, among $\{1 + 2^{(n-2)}\}$ reference voltages, corresponding to $A + 4k$ (where k is an integer from 0 - $2^{(n-2)}$) being every fourth voltage level from the A level from the A level to the $(A - 1 + 2^n)$ level, which are 2^n outputted voltage levels; and at most $\{-4 + 2^{(n-2)}\}$ reference voltages wherein at least one reference voltage, having been predetermined from $\{-3 + 2^{(n-2)}\}$ reference voltages other than the four reference voltages from among $\{1 + 2^{(n-2)}\}$ reference voltages corresponding to the every fourth voltage levels from the A level, is downsampled. N is greater than or equal to four, and is $2^{(n-2)}$.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

参照電圧の総数を削減するデジタルアナログ変換回路 (DAC) を提供する。DAC は N 個の参照電圧と n ビット ($n \geq 4$) のデジタル信号を入力し第 1 乃至第 3 の電圧を選択する第 1 のデコーダ (10) と、前記第 1 乃至第 3 の電圧を入力し (第 1 の電圧 + 第 2 の電圧 + $2 \times$ 第 3 の電圧) / 4 の電圧レベルを出力する演算増幅器 (60) を備える。演算増幅器 (60) は n ビットのデジタル信号の 2^n 通りの組み合わせのそれぞれに対して基準レベルとなる第 A レベルから第 $(A - 1 + 2^n)$ レベルまでの 2^n 個の電圧レベルが出力可能とされ、 N 個の参照電圧は 2^n 個の出力電圧レベルである第 A レベル乃至第 $(A - 1 + 2^n)$ レベルに対して第 A レベルから 4 レベル置ききの電圧レベル: $A + 4k$ (但し、 k は 0 から $2^{(n-2)}$ までの整数) に対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち第 A レベル、第 $(A + 4)$ レベル、第 $(A - 4 + 2^n)$ レベル、第 $(A + 2^n)$ レベルの 4 個の参照電圧と、前記第 A レベルから 4 レベル置ききの電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち前記 4 個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ の参照電圧から予め定められた少なくとも 1 つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ の参照電圧を含み、 N は 4 以上、 $2^{(n-2)}$ である (図 1)。

明 細 書

発明の名称：

デジタルアナログ変換回路及び表示装置のデータドライバ

技術分野

[0001] [関連出願についての記載]

本発明は、日本国特許出願：特願２０１１－０４７２８２号（２０１１年３月４日出願）の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

本発明は、デジタルアナログ変換回路とデータドライバ及びそれを用いた表示装置に関する。

背景技術

[0002] 現在、表示装置は、薄型、軽量、低消費電力を特徴とする液晶表示装置（ＬＣＤ）が幅広く普及し、ノートＰＣやモニターだけでなく、大画面液晶テレビや多機能携帯電話機、タブレット型高機能情報端末などに用途が広がっている。これらの液晶表示装置としては、高精細表示が可能なアクティブマトリクス駆動方式の液晶表示装置が多く利用されている。また液晶表示装置に次ぐ薄型表示装置として、自発光型で鮮明な画質を特長とする有機発光ダイオード（ＯＬＥＤ）を用いたアクティブマトリクス駆動方式の表示装置の開発も進んでいる。

[0003] 図２０を参照して、アクティブマトリクス駆動方式の薄型表示装置（液晶表示装置及び有機発光ダイオード表示装置）の典型的な構成について概説しておく。なお、図２０（Ａ）には、薄型表示装置の要部構成がブロック図にて示されている。図２０（Ｂ）には、液晶表示装置の表示パネルの単位画素の要部構成、図２０（Ｃ）には、有機発光ダイオード表示装置の表示パネルの単位画素の要部構成がそれぞれ示されている。図２０（Ｂ）、及び図２０（Ｃ）ではそれぞれ単位画素が模式的な等価回路で示されている。

[0004] 図２０（Ａ）を参照すると、一般に、アクティブマトリクス駆動方式の薄

型表示装置は、電源回路 940、表示コントローラ 950、表示パネル 960、ゲートドライバ 970、データドライバ 980 を備えている。表示パネル 960 は、画素スイッチ 964 と表示素子 963 を含む単位画素がマトリクス状に配置され（例えばカラー SXGA (Super eXtended Graphics Array) パネルの場合、1280×3 画素列×1024 画素行）、各単位画素にゲートドライバ 970 から出力される走査信号を送る走査線 961 と、データドライバ 980 から出力される階調電圧信号を送るデータ線 962 とが格子状に配線される。なお、ゲートドライバ 970 及びデータドライバ 980 は、表示コントローラ 950 によって制御され、それぞれ必要なクロック信号 CLK、制御信号等が表示コントローラ 950 より供給され、映像データは、表示コントローラ 950 からデジタル信号にてデータドライバ 980 に供給される。電源回路 940 は、ゲートドライバ 970、データドライバ 980 に必要な電源を供給する。表示パネル 960 は、半導体基板で構成され、特に大画面表示装置では、ガラス基板やプラスチック基板等の絶縁性基板上に薄膜トランジスタ (TFT) で画素スイッチ等を形成した半導体基板が広く使われている。

[0005] 上記表示装置は、画素スイッチ 964 のオン・オフを走査信号により制御し、画素スイッチ 964 がオンとなるときに、映像データに対応した階調電圧信号が表示素子 963 に印加され、該階調電圧信号に応じて表示素子 963 の輝度が変化することで画像を表示するものである。

[0006] 1 画面分のデータの書き換えは、1 フレーム期間 (60 Hz 駆動時は通常、約 0.017 秒) で行われ、各走査線 961 で 1 画素行毎 (ライン毎)、順次、選択 (画素スイッチ 964 がオン) され、選択期間内に、各データ線 962 より階調電圧信号が画素スイッチ 964 を介して表示素子 963 に供給される。なお、走査線で複数の画素行を同時に選択したり、動画特性を向上させるため、フレーム周波数 120 Hz あるいは更に高いフレーム周波数で駆動が行われる場合もある。

[0007] <液晶表示装置>

図20(A)及び図20(B)を参照すると、液晶表示装置において、表示パネル960は、単位画素として画素スイッチ964と透明な画素電極973をマトリクス状に配置した半導体基板と、面全体に1つの透明な電極(対向基板電極)974を形成した対向基板と、を備え、これら2枚の基板を対向配置させ、その間に液晶を封入した構造からなる。なお、単位画素を構成する表示素子963は、画素電極973、対向基板電極974、液晶容量971及び補助容量972を備えている。また表示パネルの背面に光源としてバックライト(不図示)を備えている。

[0008] 走査線961からの走査信号により画素スイッチ964がオン(導通)となるときに、データ線962からの階調電圧信号が画素電極973に印加され、各画素電極973と対向基板電極974との間の電位差により液晶を透過するバックライトの透過率が変化し、画素スイッチ964がオフ(非導通)とされた後も、該電位差を液晶容量971及び補助容量972で一定期間保持することで表示が行われる。

[0009] なお、液晶表示装置の駆動では、液晶の劣化を防ぐため、対向基板電極974のコモン電圧に対して画素ごと通常1フレーム周期で電圧極性(正又は負)を切替える駆動(反転駆動)が行われる。代表的な駆動として、隣接画素間で異なる電圧極性となるようなドット反転駆動や隣接データ線間で異なる電圧極性となるようなカラム反転駆動がある。1つのデータ線には、ドット反転駆動では例えば1選択期間(1データ期間)毎に異なる電圧極性の階調電圧信号が出力され、カラム反転駆動では例えば1フレーム期間毎に異なる電圧極性の階調電圧信号が出力される。

[0010] <有機発光ダイオード表示装置>

図20(A)及び図20(C)を参照すると、有機発光ダイオード表示装置において、表示パネル960は、単位画素として、画素スイッチ964、及び、2つの薄膜電極層に挟まれた有機膜からなる有機発光ダイオード982、有機発光ダイオード982に供給する電流を制御する薄膜トランジスタ(TFT)981をマトリックス状に配置した半導体基板を備えている。T

F T 9 8 1 と有機発光ダイオード 9 8 2 は、異なる電源電圧が供給される電源端子 9 8 4、9 8 5 との間に直列形態で接続されており、T F T 9 8 1 の制御端子電圧を保持する補助容量 9 8 3 を更に備える。なお、1 画素に対応した表示素子 9 6 3 は、T F T 9 8 1、有機発光ダイオード 9 8 2、電源端子 9 8 4、9 8 5 及び補助容量 9 8 3 で構成される。

[0011] 走査線 9 6 1 からの走査信号により画素スイッチ 9 6 4 がオン（導通）となるときに、データ線 9 6 2 からの階調電圧信号が T F T 9 8 1 の制御端子に印加され、該階調電圧信号に対応した電流が、T F T 9 8 1 から有機発光ダイオード 9 8 2 に供給され、電流に応じた輝度で有機発光ダイオード 9 8 2 が発光することで表示が行われる。画素スイッチ 9 6 4 がオフ（非導通）とされた後も、T F T 9 8 1 の制御端子に印加された該階調電圧信号を補助容量 9 8 3 で一定期間保持することで発光が保持される。なお画素スイッチ 9 6 4、T F T 9 8 1 は n チャネル型トランジスタの例を示すが、p チャネル型トランジスタで構成することも可能である。また有機 E L 素子は電源端子 9 8 4 側に接続される構成も可能である。また、有機発光ダイオード表示装置の駆動では、液晶表示装置のような反転駆動は必要なく、データ線 9 6 2 には 1 選択期間（1 データ期間）毎に画素に対応した階調電圧信号が出力される。

[0012] なお、有機発光ダイオード表示装置は、上記に説明したデータ線 9 6 2 からの階調電圧信号に対応して表示を行う構成とは別に、データドライバから出力された階調電流信号を受けて表示を行う構成もあるが、本明細書では、データドライバから出力された階調電圧信号を受けて表示を行う構成について説明する。

[0013] <データドライバのデジタルアナログ変換回路>

図 2 0（A）において、ゲートドライバ 9 7 0 は、少なくとも 2 値の走査信号を供給すればよいのに対して、データドライバ 9 8 0 は、各データ線 9 6 2 を階調数に応じた多値レベルの階調電圧信号で駆動することが必要とされる。このため、データドライバ 9 8 0 は、映像データを階調電圧信号に変

換するデコーダと、その階調電圧信号をデータ線 9 6 2 に増幅出力する増幅回路を含むデジタルアナログ変換回路を備えている。

[0014] 薄型表示装置を有するハイエンド用途のモバイル機器（多機能携帯電話機、タブレット型高機能情報端末）、ノート P C、モニタ、T V 等において、高画質化（多色化）が進んでおり、現在 R G B 各 8 ビット映像データ信号（約 1 6 8 0 万色）対応の表示装置が主流であるが、さらには 1 0 ビット映像データ信号（約 1 1 億色）以上に対応する表示装置の需要も予測される。特に、高画質を特長とする有機発光ダイオード表示装置では、1 0 ビット映像データ信号への対応の要求が高まっている。

[0015] このため、1 0 ビット等、多ビットの映像データ信号に対応した階調電圧信号を出力するデータドライバにおいて、映像デジタルデータ信号を階調信号に変換するデジタルアナログ変換回路に入力される参照電圧として、階調数に対応した多くの参照電圧が必要となり、参照電圧配線の本数も増大する。

[0016] また、多数の参照電圧から、映像データ信号に対応する電圧を選択するデコーダにおいてスイッチトランジスタの素子数が増大する。

[0017] すなわち、多階調化（1 0 ビット以上）の進展は、デジタルアナログ変換回路のデコーダの面積増を招き、ドライバのコスト増を招く。

[0018] 多ビットの映像データ信号を入力とするデジタルアナログ変換回路の面積は、デコーダの構成に依存している。このため、デコーダの面積を削減する技術が求められている。

[0019] デコーダの面積を削減する関連技術として、内挿方式の演算増幅器を利用して参照電圧の数、及び、デコーダ構成におけるスイッチトランジスタの数を削減するデジタルアナログ変換回路が知られている。この種の関連技術として、例えば特許文献 1（特開 2 0 0 2 - 4 3 9 4 4 号公報）には、図 2 1、図 2 2 に示す構成が開示されている（図 2 1、図 2 2 は、特許文献 1 の図 1、図 4 に対応する）。なお、図 2 1 では、特許文献 1 の図 1 とは構成要素の参照番号を変更してある。

[0020] 図21において、DA変換器310は、6ビットのデジタル信号（Bit 5～Bit 0）を、64階調の電圧レベルに変換する。基準電圧を第0階調から4階調置きに第64階調までの17通りの電圧レベルで発生する基準電圧発生回路318と、6ビットのデジタル信号（Bit 5～Bit 0）に従って隣接する2つの基準電圧を選択し、ボルテージフォロア回路317の3端子（IN3、IN2、IN1）へ出力する選択回路316と、上記3端子の電圧（VIN3、VIN2、VIN1）を予め定められた重み付け演算して、前記2つの基準電圧の一方及び前記2つの基準電圧を線形補間した3つの電圧レベルの計4つの電圧レベルの中からいずれか1つを出力するボルテージフォロア回路317（非反転入力端子に信号を入力し出力端子を反転入力端子に接続した演算増幅器）を備えている。

[0021] 選択回路316は、デジタル信号の上位ビットBit 5～Bit 2に基づいて、電圧レベルが隣接する2つの基準電圧を選択する基準電圧選択回路316aと、下位ビットBit 0、Bit 1に基づいて、基準電圧選択回路316aで選択された2つの基準電圧の1つ又は2つをボルテージフォロア回路317の3端子（IN1、IN2、IN3）へ出力する生成電圧選択回路316bとを備えている。基準電圧選択回路316aでは、上位ビット（Bit 5）から下位ビット側（Bit 0側）に向かって順次選択を行う。すなわち、例えばBit 5でオン・オフ制御されるスイッチSW（5，1）は、V0とV32の一方を選択し、Bit 5でオン・オフ制御されるスイッチSW（5，2）は、V4とV36の一方を選択する。Bit 5の1ビット下位のBit 4でオン・オフ制御されるスイッチSW（4，1）は、スイッチSW（5，1）の出力と、V16とV48の一方を選択するスイッチSW（5，5）の出力との一方を選択する。Bit 4の1ビット下位のBit 3でオン・オフ制御されるスイッチSW（3，1）は、スイッチSW（4，1）の出力とSW（4，3）の出力との一方を選択し、Bit 3の1ビット下位のBit 2でオン・オフ制御されるスイッチSW（2，1）は、スイッチSW（3，1）の出力とSW（3，2）の出力との一方を選択する。そして、最

下位側の2ビットBit 1、Bit 0（最下位ビット）で、SW（2、1）、SW（2、2）の2つの出力から、ボルテージフォロア回路317の3端子（IN3、IN2、IN1）への割当ての組み合わせの中から1つを選択する。

[0022] 図22は、図21のDA変換器310において、6ビットのデジタル信号（Bit 5～Bit 0）と、選択回路316からボルテージフォロア回路317の3端子（IN3、IN2、IN1）への出力と、ボルテージフォロア回路317の出力電圧Voutとの関係を説明する図である。図22より、出力電圧Voutとして、例えば階調0～階調3の電圧をそれぞれ出力するとき、選択回路316は、3端子（IN3、IN2、IN1）に、

(V0、V0、V0)、

(V0、V4、V0)、

(V0、V0、V4)、

(V0、V4、V4)

をそれぞれ供給する。すなわち、3端子（IN3、IN2、IN1）には、隣接する2つの基準電圧V0とV4の一方又は両方が選択され、3端子の少なくとも2つの端子には、一方の基準電圧が重複して選択出力される。

[0023] ボルテージフォロア回路317は、3端子の電圧（VIN3、VIN2、VIN1）を1対1対2の比率で重み付け演算し（加重平均、あるいは重み付け加算ともいう）、出力電圧Voutとして、次式（1）で与えられる電圧を出力する。

[0024]
$$V_{out} = (V_{IN3} + V_{IN2} + V_{IN1} \times 2) / 4 \quad \dots (1)$$

[0025] これにより、階調0、1、2、3を出力する場合、ボルテージフォロア回路317の3端子（IN3、IN2、IN1）には、隣接する2つの基準電圧V0、V4から、

(V0、V0、V0)、

(V0、V4、V0)、

(V0、V0、V4)、

(V₀、V₄、V₄)

が入力され、階調0、1、2、3に対応した出力電圧V_{out}は、基準電圧V₀、V₄を線形補間した4つの電圧レベル、

$$(V_0 + V_0 + 2 \times V_0) / 4 = V_0$$

$$(V_0 + V_4 + 2 \times V_0) / 4 = (3 \times V_0 + V_4) / 4、$$

$$(V_0 + V_0 + 2 \times V_4) / 4 = (2 \times V_0 + 2 \times V_4) / 4、$$

$$(V_0 + V_4 + 2 \times V_4) / 4 = (V_0 + 3 \times V_4) / 4、$$

とされる。

[0026] 階調4以降も、上述した階調0～階調3と同様に、第(4j)～第(4j+3)階調(但し、jは1から15までの整数)をそれぞれ出力するとき、ボルテージフォロア回路317の3端子(IN₃、IN₂、IN₁)には、隣接する基準電圧V(4j)、V(4j+4)から、

$$(V(4j)、V(4j)、V(4j))、$$

$$(V(4j)、V(4j+4)、V(4j))、$$

$$(V(4j)、V(4j)、V(4j+4))、$$

$$(V(4j)、V(4j+4)、V(4j+4))$$

が入力され、出力電圧V_{out}は、基準電圧V(4j)と、基準電圧V(4j)とV(4j+4)を線形補間した3つの電圧レベルの計4つの電圧レベル

$$V(4j)、$$

$$(3 \times V(4j) + V(4j+4)) / 4、$$

$$(2 \times V(4j) + 2 \times V(4j+4)) / 4、$$

$$(V(4j) + 3 \times V(4j+4)) / 4、$$

とされる。

[0027] なお、特許文献1には、ボルテージフォロア回路317の具体例が開示されている。図23に、特許文献1の図2に開示された構成を示す。このボルテージフォロア回路は、共通接続されたソースが第1の電流源(NMOSトランジスタN9)に接続され、ゲートがIN₁とOUTに接続された第1の

差動対（NMOSトランジスタ対N1、N2）と、

共通接続されたソースが第2の電流源（NMOSトランジスタN10）に接続され、ゲートがIN1とOUTに接続された第2の差動対（NMOSトランジスタ対N3、N4）と、

共通接続されたソースが第3の電流源（NMOSトランジスタN11）に接続され、ゲートがIN2とOUTに接続された第3の差動対（NMOSトランジスタ対N5、N6）と、

共通接続されたソースが第4の電流源（NMOSトランジスタN12）に接続され、ゲートがIN4とOUTに接続された第4の差動対（NMOSトランジスタ対N7、N8）とを備え、NMOSトランジスタN1、N3、N5、N7のドレインは能動負荷回路（カレントミラー）のPMOSトランジスタP1のドレインに接続され、NMOSトランジスタN2、N4、N6、N8のドレインは能動負荷回路（カレントミラー）のPMOSトランジスタP2のドレインとゲートに接続され、PMOSトランジスタP1、P2のソースは電源端子に共通に接続されている。さらに、ソースが電源端子に接続され、ドレインが出力端子OUTに接続され、ゲートがPMOSトランジスタP1とNMOSトランジスタN1、N3、N5、N7のドレインの接続ノードに接続されたPMOSトランジスタP3と、ソースがグランドに接続され、ゲートがバイアス電圧端子INfに接続され、ドレインがOUTに接続されたNMOSトランジスタN13を備えている。第1～第4の電流源トランジスタN9～N12のソースはグランドに接続され、ゲートはバイアス電圧端子INfに接続されている。

[0028] $\Delta V1 (= V_{IN1} - V_{OUT})$ 、

$\Delta V1$ 、

$\Delta V2 (= V_{IN2} - V_{OUT})$ 、

$\Delta V3 (= V_{IN3} - V_{OUT})$

を第1乃至第4の差動対に入力される差動電圧とし、 g_m を第1乃至第4の差動対の相互コンダクタンスとすると、第1乃至第4の差動対の差動出力

電流 ΔI_1 、 ΔI_2 、 ΔI_3 、 ΔI_4 は、それぞれ、

$$\Delta I_1 = I_1 - I_2 = g_m \Delta V_1、$$

$$\Delta I_2 = I_3 - I_4 = g_m \Delta V_1、$$

$$\Delta I_3 = I_5 - I_6 = g_m \Delta V_2、$$

$$\Delta I_4 = I_7 - I_8 = g_m \Delta V_3$$

であり、

$$I_{L1} = I_1 + I_3 + I_5 + I_7、$$

$$I_{L2} = I_2 + I_4 + I_6 + I_8、$$

$$I_{L1} = I_{L2} \text{ (カレントミラー } P_1、P_2 \text{ の入力電流=出力電流)}$$

より、

$$\Delta V_1 + \Delta V_1 + \Delta V_2 + \Delta V_3 = 0、すなわち、$$

$$(V_{IN1} - V_{OUT}) + (V_{IN1} - V_{OUT}) + (V_{IN2} - V_{OUT}) + (V_{IN3} - V_{OUT}) = 0$$

から、上式(1)が成り立つ。

[0029] なお、図21、図22において、選択回路、ボルテージフォロア回路、基準電圧、DA変換器は、本明細書の実施形態では、デコーダ、差動増幅器（演算増幅器）、参照電圧、デジタルアナログ変換回路として参照される。

先行技術文献

特許文献

[0030] 特許文献1：特開2002-43944号公報

発明の概要

発明が解決しようとする課題

[0031] 以下に、本発明による関連技術の分析を与える。

[0032] 図21に示した関連技術において、デジタルアナログ変換回路（DA変換器310）は4レベル置きの参照電圧（基準電圧 V_0 、 V_4 、 V_8 、・・・、 V_{60} 、 V_{64} ）から隣接する2つの参照電圧（基準電圧）を選択して、その一方の参照電圧、及び、2つの参照電圧を線形補間する3つの電圧レベ

ルの計4つの電圧レベルの中から一つを出力することができる。

[0033] 参照電圧の総数は、出力される電圧レベル（階調電圧）数の $1/4$ プラス1とされる。例えば、10ビットデジタルデータが入力される構成に拡張した場合、出力電圧レベル数1024に対して、参照電圧数は257個必要となる。12ビットデジタルデータが入力される構成に拡張した場合、出力電圧レベル数4096に対して、参照電圧数は1025個必要となる。10ビット以上のデジタルデータに対しては、参照電圧数はまだ非常に多く、参照電圧を選択するスイッチ数も多くなり、したがって、デコーダの面積が増大し、デジタルアナログ変換回路を搭載したチップのコストが大となる。

[0034] なお、生成する参照電圧を8レベル置きに広げて、隣接する2つの参照電圧を線形補間する電圧レベル数を7個に拡張することも可能である。この場合、参照電圧の総数は、出力される電圧レベル数の $1/8$ プラス1とされ、参照電圧数を削減することはできるが、内挿アンプ（図21のボルテージフォロア回路317）として8個の差動対が必要となる。この結果、内挿アンプの面積が増大する。

[0035] 多ビットデジタルデータに対応して出力される電圧レベル数に対して、入力される参照電圧数を削減を可能とし、面積の増大を抑止又は削減可能とするデジタルアナログ変換回路と、該デジタルアナログ変換回路を備えたドライバ、該ドライバを備えた表示装置が以下に開示される。

課題を解決するための手段

[0036] 本願の開示は、前記課題を解決するため、概略以下の構成とされる。

[0037] 1つの側面（アспект）によれば、N個の参照電圧と、nビット（nは、4以上の予め定められた整数）のデジタル信号を入力し、前記N個の参照電圧から、前記nビットのデジタル信号に応じて、第1乃至第3の電圧を選択する第1のデコーダと、

前記第1のデコーダで選択された前記第1乃至第3の電圧を入力し、（第1の電圧+第2の電圧+2×第3の電圧）/4の電圧レベルを出力する演算増幅器と、

を備え、

前記 n ビットのデジタル信号の 2^n ($\wedge$ は冪乗演算子) 通りの組み合わせのそれぞれに対して、基準レベルとなる第 A レベルから第 $(A - 1 + 2^n)$ レベルまでの 2^n 個の電圧レベルが前記演算増幅器から出力可能とされ、

前記 N 個の参照電圧は、

前記 2^n 個の出力電圧レベルである前記第 A レベル乃至第 $(A - 1 + 2^n)$ レベルに対して、前記第 A レベルから 4 レベル置き電圧レベル $A + 4k$ (但し、 k は 0 から $2^{(n-2)}$ までの整数) に対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、

第 A レベル、第 $(A + 4)$ レベル、第 $(A - 4 + 2^n)$ レベル、第 $(A + 2^n)$ レベルの 4 個の参照電圧と、

前記第 A レベルから 4 レベル置き電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち前記 4 個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ の参照電圧から、予め定められた少なくとも 1 つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ 個の参照電圧と、

を含み、前記 N は 4 以上、且つ、 $2^{(n-2)}$ 以下である、デジタルアナログ変換回路が提供される。

[0038] 入力映像信号に対応した入力デジタル信号を受け、前記入力デジタル信号に対応した電圧を出力する前記デジタルアナログ変換回路を備え、前記入力デジタル信号に対応した電圧でデータ線を駆動するデータドライバが提供される。さらに、データ線と走査線の交差部に画素スイッチと表示素子を含む単位画素を備え、前記走査線でオンとされた画素スイッチを介して前記データ線の信号が表示素子に書き込まれる表示装置であって、前記データ線を駆動するデータドライバを備えた表示装置が提供される。

発明の効果

[0039] 本願で開示される前記デジタルアナログ変換回路によれば、多ビット化に対して、デコーダに入力される参照電圧数を大幅に削減することにより、デ

コーダのスイッチトランジスタの数の増大を抑制し、回路面積の削減を可能とする。

[0040] また、本願で開示される前記データドライバによれば、多ビット化に対してデコーダに入力される参照電圧数の増大を抑制し、省面積（低コスト）を実現可能としている。さらに、前記表示装置によれば、上記データドライバを用いることにより、コスト低減を可能としている。

図面の簡単な説明

[0041] [図1]第1の実施形態を示す図である。

[図2]（A）、（B）とも第1の実施形態の第1の仕様を説明する図である。

[図3]第1の実施形態の第2の仕様を説明する図である。

[図4]第1の実施形態の第2の仕様を説明する図である。

[図5]第1の実施形態の第3の仕様を説明する図である。

[図6]第1の実施形態の第3の仕様を説明する図である。

[図7]第1の実施形態の第4の仕様を説明する図である。

[図8]第1の実施形態の第4の仕様を説明する図である。

[図9]第1の実施形態の第5の仕様を説明する図である。

[図10]第1の実施形態の第5の仕様を説明する図である。

[図11]第1の実施形態の第6の仕様を説明する図である。

[図12]第1の実施形態の第6の仕様を説明する図である。

[図13]第1の実施形態の第7の仕様を説明する図である。

[図14]第1の実施形態の第7の仕様を説明する図である。

[図15]第2の実施形態を示す図である。

[図16]第2の実施形態の第1の仕様を説明する図である。

[図17]第2の実施形態の第2の仕様を説明する図である。

[図18]10ビットデジタルアナログ変換回路の各仕様を比較して説明する図である。

[図19]データドライバの構成例を示す図である。

[図20]（A）は表示装置の全体構成、（B）は液晶の画素、（C）は有機E

Lの画素を説明する図である。

[図21]関連技術として特許文献1の図1を引用した図である。

[図22]特許文献1の図4を引用した図である。

[図23]特許文献1の図2を引用した図である。

[図24]第2の実施形態の第2の仕様の構成例を示す図である。

[図25]第1の実施例の仕様を説明する図である。

[図26]第1の実施例の回路構成を示す図である。

[図27]第1の実施例の回路構成の変更例を示す図である。

[図28]第1の実施例のシミュレーション結果を示す図である。

[図29]第1の実施例の変更例の仕様を説明する図である。

[図30]第1の実施例の変更例の回路構成を示す図である。

[図31]第2の実施例の仕様を説明する図である。

[図32]第2の実施例の回路構成を示す図である。

[図33]第3の実施例の仕様を説明する図である。

[図34]第3の実施例の回路構成を示す図である。

発明を実施するための形態

[0042] 添付図面を参照していくつかの好ましい形態を以下に説明する。いくつかの好ましい態様において、 N 個 ($4 \leq N < 1 + 2^{(n-2)}$: $\wedge$ は冪乗演算を示す)の参照電圧と n ビット (n は4以上の正数)のデジタル信号を入力し、前記 N 個の参照電圧から、前記 n ビットのデジタル信号に応じて第1乃至第3の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)を選択する第1のデコーダ(10)と、前記第1乃至第3の電圧を入力し、それぞれ1対1対2の重み付け演算した電圧レベルを増幅出力する演算増幅器(60)と、を備えている。好ましいいくつかの態様において、 N 個の参照電圧は、前記 n ビットのデジタル信号の値に1対1対応して、前記演算増幅器(60)から出力可能な、 2^n 個の電圧レベル：第 A レベル、第 $(A+1)$ 、 $\dots$ 、第 $(A-1+2^n)$ レベル(但し、第 A レベルは所定の基準レベル)に対して、

第Aレベルから4レベル置きの電圧レベル： $A + 4k$ （但し、 k は0から $2^{(n-2)}$ までの整数）に対応するに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、

第Aレベル、

第 $(A + 4)$ レベル、

第 $(A - 4 + 2^n)$ レベル、

第 $(A + 2^n)$ レベル

の4個の参照電圧と（これらは間引き対象とされない）、

前記第Aレベルから4レベル置きの電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち前記4個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ の参照電圧から、予め定められた少なくとも1つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ の参照電圧と、

を含む。したがって、参照電圧の個数 N は、4以上であり、且つ、 $4 + \{-4 + 2^{(n-2)}\} = 2^{(n-2)}$ 以下である。

[0043] いくつかの好ましい態様において、前記演算増幅器(60)から出力される電圧レベルは、前記第1のデコーダ(10)において前記第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)として選択される、互いに異なる3個の参照電圧に基づいて出力される電圧レベルを有する。以下、いくつかの例示的实施形態に即して説明する。

[0044] <第1実施形態>

図1は、第1の例示的实施形態のデジタルアナログ変換回路を示す図である。図1に示すように、 N 個($4 \leq N < 1 + 2^{(n-2)}$ ； $\wedge$ は冪乗演算子)、ただし、 n は予め定められた4以上の所定の正数)の参照電圧と、 n ビットのデジタル信号($D(n-1) \sim D0$ 及びその相補信号 $D(n-1)B \sim D0B$)を入力し、 N 個の参照電圧から、 n ビットのデジタル信号に応じて第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)を選択する第1のデコーダ10と、第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)を3つの入力端子(非反転入力端子)に入力し、それぞれ1対1対

2の重み付け演算した電圧レベル V_{out} を増幅出力する演算増幅器60と、を備える。なお、 n ビットのデジタル信号($D(n-1) \sim D0$)は、 $D0$ をLSB(Least Significant Bit)、 $D(n-1)$ をMSB(Most Significant Bit)とする。

[0045] 演算増幅器60は、出力端子を反転入力端子に帰還接続した構成とされ、次式(2)の演算(内挿演算)を行う。

[0046]
$$V_{out} = \{V(T1) + V(T2) + 2 \times V(T3)\} / 4 \quad \dots (2)$$

[0047] 式(2)は、上式(1)の V_{IN3} 、 V_{IN2} 、 V_{IN1} を $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ にそれぞれ対応させた演算式である。特に制限されるものではないが、演算増幅器60として、例えば図23の回路を用いた場合、第1の差動対($N1$ 、 $N2$)のNMOSトランジスタ $N1$ のゲート($IN1$)と第2の差動対($N3$ 、 $N4$)のNMOSトランジスタ $N3$ のゲート($IN1$)を第3端子($T3$)として電圧 $V(T3)$ を共通に印加し、第3の差動対($N5$ 、 $N6$)のNMOSトランジスタ $N5$ のゲート($IN2$)を第2端子($T2$)として電圧 $V(T2)$ を印加し、第4の差動対($N7$ 、 $N8$)のNMOSトランジスタ $N7$ のゲート($IN3$)を第1端子($T1$)として電圧 $V(T1)$ を印加する。なお、演算増幅器60は第1端子($T1$)、第2端子($T2$)、第3端子($T3$)の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ を1:1:2の重みで重み付け演算(重み付け加算、あるいは加重平均ともいう)した電圧レベル V_{out} を出力する内挿アンプであれば、任意の構成を用いることができる。

[0048] 第1のデコーダ10に入力される、 N 個の参照電圧($4 \leq N < 1 + 2^n$)は、 n ビットのデジタル信号の値に1対1対応して、演算増幅器60から出力可能な 2^n 個の電圧レベル:

第 A レベル、第 $(A+1)$ レベル、第 $(A+2)$ レベル、 $\dots$ 第 $(A-1+2^n)$ レベル(但し、第 A レベルは任意の基準レベル)

に対して、第 A レベルから4レベル置きの電圧レベル:

$A + 4k$ (但し、 k は0から $2^{(n-2)}$ までの整数)

に対応する $\{2^{(n-2)} + 1\}$ 個の参照電圧のうち、

第Aレベル、

第 $(A + 4)$ レベル、

第 $(A - 4 + 2^n)$ レベル、

第 $(A + 2^n)$ レベル

にそれぞれ対応する4個の参照電圧は、間引き対象とされず、 N 個の参照電圧にそのまま含まれる。第Aレベルから4レベル置き電圧レベルに対応する $\{2^{(n-2)} + 1\}$ 個の参照電圧のうち、これら4個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ の参照電圧 $[\because \{2^{(n-2)} + 1\} - 4 = -3 + 2^{(n-2)}]$ から、所定個 (1個以上) の参照電圧が間引かれる。1個以上の参照電圧を間引いた場合、間引き対象とされる参照電圧の (間引き後の) 残りの個数は $\{-4 + 2^{(n-2)}\}$ 以下となり、これと、間引き対象とされない参照電圧 (4個) の和が参照電圧の個数 N となり、 N は4以上、 $2^{(n-2)}$ 以下となる。

[0049] 例えば $n = 4$ の場合、 N は $4 \leq N < 1 + 2^{(n-2)} = 1 + 2^2 = 5$ から、 N は4とされる。 $N = 4$ 個の参照電圧は、第0、第4、第12、第16レベルとされる。これは、4ビットのデジタル信号の値に1対1対応して、演算増幅器60から出力可能な $2^4 = 16$ 個の電圧レベル：第0レベル (基準レベル)、第1レベル、・・・第15レベルに対して、第0レベルから4レベル置き電圧レベル：

第0、第4、第8、第12、第16のレベルに対応する $\{2^{(4-2)} + 1\} = 5$ 個の参照電圧のうち、

第Aレベル=第0レベル、

第 $A + 4$ レベル=第4レベル、

第 $(A - 4 + 2^n)$ レベル=第12レベル、

第 $(A + 2^n)$ レベル=第16レベルの計4個と、

上記4個の参照電圧以外の $\{-3 + 2^{(4-2)}\} = 1$ から、所定個 (

1 個以上) のレベル、したがって、第 8 レベルに対応する参照電圧 1 個が間引かれ、間引き対象とされる参照電圧の残りの個数 $\{-4 + 2^{(n-2)}\}$ は 0 となり、 $N = 4$ 個の参照電圧は、第 0、第 4、第 12、第 16 レベルとされる。

[0050] また、演算増幅器 60 から出力される電圧レベル V_{out} は、第 1 のデコーダ 10 で選択される第 1 ~ 第 3 の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) として、互いに異なる 3 個の参照電圧に基づいて増幅出力される電圧レベルを少なくとも 2 つ有する。すなわち、演算増幅器 60 から出力される少なくとも二つの電圧レベルは、

$V(T1) \neq V(T2)$ 、且つ、 $V(T1) \neq V(T3)$ 、且つ、 $V(T2) \neq V(T3)$ の 3 つの電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) から生成される。

[0051] <図 21 の関連技術との相違点>

図 1 の本実施形態と、関連技術として説明した図 21 のデジタルアナログ変換回路 (DA 変換器 310) との相違点について説明する。

[0052] 図 21 の関連技術では、デコーダ (選択回路 316) は、同一又は隣接する 2 つの参照電圧から、ボルテージフォロウ回路 317 の 3 端子 $IN3$ 、 $IN2$ 、 $IN1$ に出力される 3 つの電圧を選択している。

[0053] これに対して、図 1 の本実施形態では、第 1 のデコーダ 10 は、同一又は隣接する 2 つの参照電圧 (隣接参照電圧対) だけでなく、隣接する電圧以外の組も含む 2 つ又は 3 つの参照電圧を、第 1、第 2、第 3 の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) として選択する。これにより、本実施形態によれば、参照電圧数を 4 レベル置きとした関連技術の参照電圧の総数よりも、参照電圧の総数を削減することができる。すなわち、デジタル信号のビット数が同一であり、出力階調数が同一の場合、本実施形態によれば、図 21 の関連技術よりも、デジタルアナログ変換回路の分解能は同一のまま、参照電圧の総数をさらに削減することができる。

[0054] また、図 21 の関連技術では、デコーダ (選択回路 316) から、ボルテ

ージフォロワ回路 317 の 3 端子 $IN3$ 、 $IN2$ 、 $IN1$ に出力される 3 つの電圧のうち少なくとも 2 つの電圧は同一の参照電圧が重複して選択出力される。すなわち、図 21 の関連技術において、ボルテージフォロワ回路 317 の 3 端子 $IN1$ 、 $IN2$ 、 $IN3$ に互いに異なる 3 個の参照電圧が選択されることはなく、互いに異なる 3 個の参照電圧に基づいて増幅出力される電圧レベルは存在しない。

[0055] これに対して、本実施形態では、第 1 のデコーダ 10 で選択される第 1 ～第 3 の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) として、互いに異なる 3 個の参照電圧に基づいて増幅出力される電圧レベルを複数有する。すなわち、後に詳細に説明されるように、演算増幅器 60 からの出力電圧レベルのいくつかは、演算増幅器 60 に入力される第 1 乃至第 3 の電圧として、 $V(T1) \neq V(T2)$ 、 $V(T1) \neq V(T3)$ 、 $V(T2) \neq V(T3)$ の関係を満たす $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ から生成される。

[0056] <第 1 の実施形態の第 1 の仕様>

図 2 (A)、(B) は、図 1 の実施形態における第 1 の仕様を説明する図である。図 2 (A) に示す例は、図 1 において、 $n=4$ 、 $N=4$ 、 $A=0$ としている。4 ビットのデジタル信号の値に 1 対 1 対応して演算増幅器 60 から出力可能な電圧レベル：第 0 レベル～第 15 レベルの 16 個の電圧レベルからなる 1 区間に対して、4 個の参照電圧を、第 0 レベル、第 4 レベル、第 12 レベル、第 16 レベルに設定している。

[0057] 第 0 レベルから 4 レベル置き電圧レベル： $4k$ (但し、 k は 0 から 4 までの整数) に対応する参照電圧のうち、第 8 レベルに対応する参照電圧が間引かれている (第 8 レベルに対応する参照電は不要とされる)。なお、出力の電圧レベルの第 0 レベル～第 16 レベルは、ほぼリニアな電圧レベルとされ、レベル番号の順序 (0, 1, 2, ...) に対して単調増加又は単調減少となる電圧レベルとされる。なお、出力の電圧レベルの第 0 レベル～第 15 レベルの各番号 (0～15) は、4 ビットデジタル信号の隣接値 (LSB を含む下位ビット信号の 2 進符号) に対応し、隣接する電圧レベルの差電圧は、

デジタルアナログ変換回路の量子化ステップ幅（1LSBのステップ幅）に対応し、第0～第15レベルにおいて量子化ステップ幅は実質的に一様である（DNL（Differential Nonlinearity）が一定）。

[0058] 図2（B）は、図2（A）で設定された4個の参照電圧（第0レベル、第4レベル、第12レベル、第16レベル）から選択された3つの電圧：第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せを入力とする演算増幅器60の出力 V_{out} の電圧レベル（上式（2）で規定される）の一覧を示している。4個の参照電圧（レベル0、4、12、16）の全ての組合せを示している。

[0059] 第1、第2の電圧 $V(T1)$ 、 $V(T2)$ は、互いに入れ替えても同じ演算結果となるため、図2（B）では、電圧レベルの大小関係を $V(T1) > V(T2)$ として示している。すなわち、図2（B）には、4つの電圧（レベル0、4、12、16）を、3つの端子へ重複を含めて割当てする場合の、 $4 \times 4 \times 4 = 64$ 通りの中から、 $V(T1) < V(T2)$ の組み合わせ： $(V(T1), V(T2)) = (\text{レベル0}, 4), (\text{レベル0}, 12), (\text{レベル0}, 16), (\text{レベル4}, 12), (\text{レベル4}, 16), (\text{レベル12}, 16)$ の組み合わせを省略した40通りが示されている。図2（B）において、 $V(T1)$ 、 $V(T2)$ として選択される電圧は入れ替えが可能である。

[0060] 図2（B）において、 $V(T1)$ 、 $V(T2)$ として選択される電圧の入れ替えが可能であり、 $(V(T1), V(T2), V(T3))$ において、図2（B）に示した組み合わせのほかに、 $V(T1)$ 、 $V(T2)$ を入れ替えた組み合わせ（ $V(T2)$ 、 $V(T1)$ ）も含まれることは、後に参照される図4、図6、図8、図10、図12、図14についても同様である。

[0061] 図2（B）より、演算増幅器60から出力される V_{out} の電圧レベルとして、第0レベルから第15レベルまでの全てのレベルが存在し、図2（A）で設定された4個の参照電圧により第0レベル乃至第15レベルの16個

の電圧レベルが出力可能であることが確認できる。なお、図2 (B) の第16レベルは、第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ を全て第16レベルとしたものであり、第2区間の第0レベルに対応する。

[0062] また、第5レベル、第11レベルを出力する第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組合せは($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) = (レベル16、4、0)、(レベル12、0、4)であり、 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ が互いに電圧レベルの異なる3個の参照電圧の組合せとなっている。 $V(T1)$ 、 $V(T2)$ として選択される電圧を入れ替えた場合も、互い異なる3個の参照電圧の組合せは変わらない。したがって、第5レベル、第11レベルを出力する第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0063] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第15レベルまでの各電圧レベルに対応した第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組合せ(図2 (B))の1つを4ビットのデジタル信号の値に対応して選択する構成とされる。

[0064] 図2 (B) の V_{out} の電圧レベル0、1、2・・・、15の16通りに対して、4ビットデジタル信号を用いて、各電圧レベルに対応する($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組合せを1つ選択する。例えば、 $V_{out}=5$ (第5レベル) に対しては、4ビットデジタル信号($D3$ 、 $D2$ 、 $D1$ 、 $D0$) = (0, 1, 0, 1)に基づき、第0、第4、第8、第16レベルの4つの参照電圧の中から、第1電圧 $V(T1)$ に第16レベル、第2電圧 $V(T2)$ に第4レベル、第3電圧 $V(T3)$ に第0レベル、あるいは、第1電圧 $V(T1)$ に第12レベル、第2電圧 $V(T2)$ に第0レベル、第3電圧 $V(T3)$ に第4レベルを選択する構成とされる。

[0065] なお、図2 (A) は、単に説明の簡単化のため、4ビット16レベルの出力レベルと参照電圧の対応として、第0レベル乃至第15レベルの16個の電圧レベルからなる1区間 (section) を示している。しかしながら

、5ビット32レベル等、6ビット64レベル等、第16レベル以降に追加の区間を設け、追加の各区間も第0レベル乃至第15レベルの1区間と同様に参照電圧を設定するようにしてもよいことは勿論である。このとき、ある1区間に対応した第16レベルの参照電圧と、次の区間の第0レベルの参照電圧は同一電圧レベルとされる。

[0066] 10ビットデジタル信号に対応したデコーダの場合、16レベル（1区間）×64区間で構成することができ、関連技術の構成（図21、図22を10ビットに拡張した構成）と比べて、1区間あたり1個、64区間で64個の参照電圧が間引かれる。

[0067] また図2（A）は、便宜上、出力レベルとして、第0レベルを基準レベル（第Aレベル）とした連続16レベル（レベル0～15）を示しているが、第Aレベルとしてレベル32あるいは48とした連続16レベル（例えばレベル32～47、あるいは、レベル48～63等）のように、複数の電圧レベルの一部をなす16レベルに対応させてもよい。その場合、1区間の基準レベルは、好ましくは、16個の電圧レベルを単位とする区間の最初の電圧レベルに設定される。

[0068] <第1の実施形態の第2の仕様>

図3、図4は、図1の実施形態における第2の仕様を説明する図である。図3は、図1において、 $n=5$ 、 $N=6$ 、 $A=0$ とされ、5ビットのデジタル信号の値に1対1対応して演算増幅器60から出力可能な第0レベル乃至第31レベルの32個の電圧レベルからなる1区間に対して、6個の参照電圧を、第0レベル、第4レベル、第12レベル、第20レベル、第28レベル、第32レベルに設定した例を示す。第0レベルから4レベル置き（レベル：4k（但し、kは0から8までの整数））に対応する参照電圧のうち、第8レベル、第16レベル、第24レベル（ $k=2, 4, 6$ ）に対応する3つの参照電圧が間引かれている。なお、第0レベル～第32レベルは、ほぼニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0069] 図4は、図3の仕様で設定された6個の参照電圧（第0レベル、第4レベル、第12レベル、第20レベル、第28レベル、第32レベル）を、第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）として組合わせたときに、演算増幅器60から出力可能な上式（2）に対応する電圧レベルを示している。図4には、6個の参照電圧の全ての組合せが示されている。

[0070] 図4より、演算増幅器60から出力される電圧レベルとして、第0レベルから第31レベルまで全て存在し、図3で設定された6個の参照電圧（第0レベル、第4レベル、第12レベル、第20レベル、第28レベル、第32レベル）により、第0レベル乃至第31レベルの32個の電圧レベルが出力可能であることが確認できる。

[0071] また、第13レベル、第19レベルをそれぞれ出力する第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せは、第1～第3の電圧が互いに電圧レベルの異なる3個の参照電圧の組合せとなっており、これらの電圧レベル（第13レベル、第19レベル）を出力するときに、第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0072] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第31レベルまでの各電圧レベルに対応した図4に基づく第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せの1つを、5ビットのデジタル信号（LSBを含む下位5ビット信号）の値に対応して選択する構成とされる。

[0073] なお、図3は、第0レベル乃至第31レベルの32個の電圧レベルからなる1区間を示しているが、第32レベル以降に追加の区間を設け、追加の各区間も第0レベル乃至第31レベルの1区間と同様に参照電圧を設定することが可能である。このとき、ある1区間に対応した第32レベルの参照電圧と、次の区間の第0レベルの参照電圧は同一電圧レベルとされる。10ビットデジタル信号に対応したデコーダの場合、32レベル（1区間）×32区間で構成することができ、関連技術での構成（図21、図22を10ビット

に拡張した構成)と比べて、1区間あたり3個、32区間で96個の参照電圧が間引かれる。また、図3では、便宜上、第0レベルを基準レベルとした32レベルを示しているが、複数の電圧レベル(例えば64レベル以上)の一部をなす32レベルに対応させてもよい。その場合、1区間の基準レベルは、好ましくは、32個の電圧レベルを単位とする区間の最初の電圧レベルに設定される。

[0074] <第1の実施形態の第3の仕様>

図5、図6は、図1の実施形態における第3の仕様を説明する図である。図5は、図1において、 $n=5$ 、 $N=5$ 、 $A=0$ とされ、5ビットのデジタル信号の値に1対1対応して演算増幅器60から出力可能な第0レベル乃至第31レベルの32個の電圧レベルからなる1区間に対して、5個の参照電圧を、第0レベル、第4レベル、第16レベル、第28レベル、第32レベルに設定した例を示す。第0レベルから4レベル置き of 電圧レベル： $4k$ (但し、 k は0から8までの整数)に対応する参照電圧のうち、第8レベル、第12レベル、第20レベル、第24レベル($k=2, 3, 5, 6$)に対応する4つの参照電圧が間引かれている。なお第0レベル～第32レベルは、ほぼリニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0075] 図6は、図5の仕様で設定された5個の参照電圧(第0レベル、第4レベル、第16レベル、第28レベル、第32レベル)を、第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)として組合せたときに、演算増幅器60から出力可能な上式(2)に対応する電圧レベルを示している。図6には、5個の参照電圧の全ての組合せが示されている。

[0076] 図6より、演算増幅器60から出力される電圧レベルとして、第0レベルから第31レベルまでの全てのレベルが含まれており、図5で設定された5個の参照電圧(第0レベル、第4レベル、第16レベル、第28レベル、第32レベル)により第0レベル乃至第31レベルの32個の電圧レベルが出力可能であることが確認できる。

[0077] また、第5レベル、第6レベル、第9レベル、第15レベル、第17レベル、第23レベル、第26レベル、第27レベルを出力する第1～第3の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) の組合せは、第1～第3の電圧が互いに電圧レベルの異なる3個の参照電圧の組合せとなっており、これらの電圧レベルを出力するときに、第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0078] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第31レベルまでの各電圧レベルに対応した第1～第3の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) の組合せ (図6参照) の1つを、5ビットのデジタル信号の値に対応して選択する構成とされる。

[0079] なお、図5においても、図3の場合と同様に、第32レベル以降に追加の区間を設けることや、複数の電圧レベルの一部をなす32レベルに対応させることが可能である。

[0080] <第1の実施形態の第4の仕様>

図7、図8は、図1の実施形態における第4の仕様を説明する図である。図7は、図1において、 $n=6$ 、 $N=7$ 、 $A=0$ とされ、6ビットのデジタル信号の値に1対1対応して演算増幅器60から出力可能な第0レベル乃至第63レベルの64個の電圧レベルからなる1区間に対して、7個の参照電圧を、第0レベル、第4レベル、第16レベル、第32レベル、第48レベル、第60レベル、第64レベルに設定した例を示す。第0レベルから4レベル置きの電圧レベル： $4k$ (但し、 k は0から16までの整数) に対応する参照電圧のうち、矢印←で示すように、第8レベル、第12レベル、第20レベル、第24レベル、第28レベル、第36レベル、第40レベル、第44レベル、第52レベル、第56レベル ($k=2, 3, 5, 6, 7, 9, 10, 11, 13, 14$) に対応する10個の参照電圧が間引かれている。なお、第0レベル～第64レベルはほぼリニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0081] 図8は、図7の仕様で設定された7個の参照電圧（第0レベル、第4レベル、第16レベル、第32レベル、第48レベル、第60レベル、第64レベル）を、第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）として組合せたときに、演算増幅器60から出力可能な上式（2）に対応する電圧レベルを示している。図8には、7個の参照電圧の全ての組合せが示されている。

[0082] 図8より、算増幅器60から出力される電圧レベルとして、第0レベルから第63レベルまで全て存在し、図7で設定された7個の参照電圧（第0レベル、第4レベル、第16レベル、第32レベル、第48レベル、第60レベル、第64レベル）により第0レベル乃至第63レベルの64個の電圧レベルが出力可能であることが確認できる。

[0083] また、第5レベル、第6レベル、第9レベル・・・を出力する第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せは、第1～第3の電圧が互いに電圧レベルの異なる3個の参照電圧の組合せとなっており、これらの電圧レベルを出力するときに、第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0084] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第63レベルまでの各電圧レベルに対応した図8に基づく第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せの1つを、6ビットのデジタル信号（例えばLSBを含む下位6ビット）の値に対応して選択する構成とされる。

[0085] なお、図7においても、第64レベル以降に追加の区間を設けることや、複数の電圧レベル（例えば128レベル以上）の一部をなす64レベルに対応させることが可能である。追加の区間を設けるときには、ある1区間に対応した第64レベルの参照電圧と、次の区間の第0レベルの参照電圧は同一電圧レベルとされる。

[0086] <第1の実施形態の第5の仕様>

図9、図10は、図1の実施形態における第5の仕様を説明する図である。図9は、図1において、 $n=6$ 、 $N=7$ 、 $A=0$ とされ、6ビットのデジタル信号の値に1対1対応して演算増幅器60から出力可能な第0レベル乃至第63レベルの64個の電圧レベルからなる1区間に対して、7個の参照電圧を、第0レベル、第4レベル、第8レベル、第32レベル、第56レベル、第60レベル、第64レベルに設定した例を示す。第0レベルから4レベル置きの電圧レベル： $4k$ （但し、 k は0から16までの整数）に対応する参照電圧のうち、第12レベル、第16レベル、第20レベル、第24レベル、第28レベル、第36レベル、第40レベル、第44レベル、第48レベル、第52レベル（ $k=3, 4, 5, 6, 7, 9, 10, 11, 12, 13$ ）に対応する10個の参照電圧が間引かれている。なお、第0レベル～第64レベルは、ほぼリニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0087] 図10は、図9の仕様で設定された7個の参照電圧（第0レベル、第4レベル、第8レベル、第32レベル、第56レベル、第60レベル、第64レベル）を、第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）として組合せたときに、演算増幅器60から出力可能な上式（2）に対応する電圧レベルを示している。図10には、7個の参照電圧の全ての組合せが示されている。

[0088] 図10より、算増幅器60から出力される電圧レベルとして、第0レベルから第63レベルまで全て存在し、図9で設定された7個の参照電圧（第0レベル、第4レベル、第8レベル、第32レベル、第56レベル、第60レベル、第64レベル）により第0レベル乃至第63レベルの64個の電圧レベルが出力可能であることが確認できる。

[0089] また、第9レベル、第10レベル、第12レベル・・・を出力する第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せは、第1～第3の電圧が互いに電圧レベルの異なる3個の参照電圧の組合せとなっており、これらの電圧レベルを出力するときに、第1～第3の電圧 $V(T1)$ 、 V

(T2)、V(T3)は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0090] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第63レベルまでの各電圧レベルに対応した図10に基づく第1～第3の電圧(V(T1)、V(T2)、V(T3))の組合せの1つを、6ビットのデジタル信号(例えばLSBを含む下位6ビット)の値に対応して選択する構成とされる。

[0091] なお、図9においても、図7の場合と同様に、第64レベル以降に追加の区間を設けることや、複数の電圧レベル(例えば128レベル以上)の一部をなす64レベルに対応させることが可能である。

[0092] <第1の実施形態の第6の仕様>

図11、図12は、図1の実施形態における第6の仕様を説明する図である。図11は、図1において、 $n=6$ 、 $N=7$ 、 $A=0$ とされ、6ビットのデジタル信号の値に1対1対応して演算増幅器60から出力可能な第0レベル乃至第63レベルの64個の電圧レベルからなる1区間に対して、7個の参照電圧を、第0レベル、第4レベル、第12レベル、第32レベル、第52レベル、第60レベル、第64レベルに設定した例を示す。第0レベルから4レベル置きの電圧レベル： $4k$ (但し、 k は0から16までの整数)に対応する参照電圧のうち、第8レベル、第16レベル、第20レベル、第24レベル、第28レベル、第36レベル、第40レベル、第44レベル、第48レベル、第56レベル($k=2, 4, 5, 6, 7, 9, 10, 11, 12, 14$)に対応する10個の参照電圧が間引かれている。なお、第0レベル～第64レベルは、ほぼリニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0093] 図12は、図11で設定された7個の参照電圧(第0レベル、第4レベル、第12レベル、第32レベル、第52レベル、第60レベル、第64レベル)を、第1～第3の電圧(V(T1)、V(T2)、V(T3))として組合せたときに、演算増幅器60から出力可能な上式(2)に対応する電圧

レベルを示している。図 1 2 には、7 個の参照電圧の全ての組合せが示されている。

[0094] 図 1 2 より、算増幅器 6 0 から出力される電圧レベルとして、第 0 レベルから第 6 3 レベルまで全て存在し、図 1 1 で設定された 7 個の参照電圧（第 0 レベル、第 4 レベル、第 1 2 レベル、第 3 2 レベル、第 5 2 レベル、第 6 0 レベル、第 6 4 レベル）により第 0 レベル乃至第 6 3 レベルの 6 4 個の電圧レベルが出力可能であることが確認できる。

[0095] また、第 5 レベル、第 7 レベル、第 1 4 レベル・・・を出力する第 1 ～第 3 の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せは、第 1 ～第 3 の電圧が互いに電圧レベルの異なる 3 個の参照電圧の組合せとなっており、これらの電圧レベルを出力するときに、第 1 ～第 3 の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0096] 図 1 の第 1 のデコーダ 1 0 は、演算増幅器 6 0 から出力される第 0 レベルから第 6 3 レベルまでの各電圧レベルに対応した図 1 2 に基づく第 1 ～第 3 の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せの 1 つを、6 ビットのデジタル信号の値に対応して選択する構成とされる。

[0097] なお、図 1 1 においても、図 7 の場合と同様に、第 6 4 レベル以降に追加の区間を設けることや、複数の電圧レベル（例えば 1 2 8 レベル以上）の一部をなす 6 4 レベルに対応させることが可能である。

[0098] <第 1 の実施形態の第 7 の仕様>

図 1 3、図 1 4 は、図 1 の実施形態における第 7 の仕様を説明する図である。図 1 3 は、図 1 において、 $n=6$ 、 $N=7$ 、 $A=0$ とされ、6 ビットのデジタル信号の値に 1 対 1 対応して演算増幅器 6 0 から出力可能な第 0 レベル乃至第 6 3 レベルの 6 4 個の電圧レベルからなる 1 区間に対して、7 個の参照電圧を、第 0 レベル、第 4 レベル、第 2 0 レベル、第 3 2 レベル、第 4 4 レベル、第 6 0 レベル、第 6 4 レベルに設定した例を示す。第 0 レベルから 4 レベル置きの電圧レベル： $4k$ （但し、 k は 0 から 1 6 までの整数）に

対応する参照電圧のうち、第8レベル、第12レベル、第16レベル、第24レベル、第28レベル、第36レベル、第40レベル、第48レベル、第52レベル、第56レベル（ $k = 2, 3, 4, 6, 7, 9, 10, 12, 13, 14$ ）に対応する参照電圧が間引かれている。なお、第0レベル～第64レベルは、ほぼリニアな電圧レベルとされ、単調増加又は単調減少となる電圧レベルとされる。

[0099] 図14は、図13の仕様で設定された7個の参照電圧（第0レベル、第4レベル、第20レベル、第32レベル、第44レベル、第60レベル、第64レベル）を、第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）として組合せたときに、演算増幅器60から出力可能な上式（2）に対応する電圧レベルを示している。図14には、7個の参照電圧の全ての組合せが示されている。

[0100] 図14より、算増幅器60から出力される電圧レベルとして、第0レベルから第63レベルまで全て存在し、図13で設定された7個の参照電圧（第0レベル、第4レベル、第20レベル、第32レベル、第44レベル、第60レベル、第64レベル）により第0レベル乃至第63レベルの64個の電圧レベルが出力可能であることが確認できる。また、第6レベル、第7レベル、第9レベル、他を出力する第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せは、第1～第3の電圧が互いに電圧レベルの異なる3個の参照電圧の組合せとなっており、これらの電圧レベルを出力するときに、第1～第3の電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は互いに異なり、同一参照電圧が重複する組合せは存在しない。

[0101] 図1の第1のデコーダ10は、演算増幅器60から出力される第0レベルから第63レベルまでの各電圧レベルに対応した図12に基づく第1～第3の電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組合せの1つを、6ビットのデジタル信号の値に対応して選択する構成とされる。

[0102] なお、図13においても、図7の場合と同様に、第64レベル以降に追加の区間を設けることや、複数の電圧レベル（例えば128レベル以上）の一

部をなす64レベルに対応させることが可能である。

[0103] <第2実施形態>

図15は、デジタルアナログ変換回路の第2の実施形態を示す図である。
図15を参照すると、この第2の実施形態は、図1の第1の実施形態の構成に加え、 N 個 ($4 \leq N < 1 + 2^{(n-2)}$) の参照電圧を含む参照電圧群を生成する参照電圧発生回路50と、 n ビット (n は4以上の正数) のデジタル信号を含む m ($m > n$) ビットのデジタル信号 ($D(m-1) \sim D0$ 及びその相補信号 $D(m-1)B \sim D0B$) と、第2のデコーダ20とを更に備える。第1のデコーダ10と第2のデコーダ20を合わせてデコーダブロック40を構成している。

[0104] 図15において、演算増幅器60から出力可能な電圧レベルは、第 A_z レベル乃至第 $(A_z - 1 + 2^n)$ レベルよりなる 2^n 個の電圧レベルを1区間とする重複しない第1～第 S の区間を含む (但し、 S は1以上の正数である。 A_z は、第 z の区間 ($1 \leq z \leq S$) の基準レベルである)。

[0105] 参照電圧発生回路50からデコーダ20に入力される参照電圧群は、第1～第 S の各区間ごとに、第 A_z レベルから4レベル置ききの電圧レベル: $A_z + 4k$ (但し、 k は0から $2^{(n-2)}$ までの整数) に対応する参照電圧のうち、第 A_z 、第 $(A_z + 4)$ 、第 $(A_z - 4 + 2^n)$ 、第 $(A_z + 2^n)$ の4個の参照電圧を除く $\{-3 + 2^{(n-2)}\}$ 個の参照電圧から所定個 (1個以上) を間引いた参照電圧とされる。

[0106] 第2のデコーダ20は、参照電圧発生回路50から入力された参照電圧群から m ビットのデジタル信号の上位 $(m-n)$ ビット ($D(m-1) \sim Dn$ 及びその相補信号 $D(m-1)B \sim DnB$) の値に応じて、第1～第 S の区間の中の対応する1つの区間 (例えば第 z の区間) に割り当てられた N 個 (N は4以上、 $2^{(n-2)}$ 以下の正数) の参照電圧: 第 A_z 、第 $(A_z + 4)$ 、…、第 $(A_z - 4 + 2^n)$ 、第 $(A_z + 2^n)$ の参照電圧を選択して第1のデコーダ10へ出力する。

[0107] 第1のデコーダ10は、第2のデコーダ20で選択された N 個の参照電圧

: 第 A_z 、第 $(A_z + 4)$ 、…、第 $(A_z - 4 + 2^n)$ 、第 $(A_z + 2^n)$ から、下位 n ビットのデジタル信号 ($D(n-1) \sim D_0$ 及びその相補信号 $D(n-1)_B \sim D_0_B$) の値に応じて第 1～第 3 の電圧 ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) を選択する。なお、第 1 のデコーダ 10 及び演算増幅器 60 の構成、作用等は、図 1 と同様であるため、説明は省略する。

[0108] <第 2 実施形態の変形例>

第 2 実施形態の変形例を説明する。上記した図 15 のデジタルアナログ変換回路は、演算増幅器 60 から出力可能な電圧レベルが、図 2 (A)～図 14 の各仕様とは異なる仕様の区間を含んで構成してもよい。

[0109] この場合、デコーダブロック 40 は、図 24 に示すように、異なる仕様の区間に対応した第 3 のデコーダ 30 を更に備える。第 3 のデコーダ 30 には、参照電圧発生回路 50 から、第 3 のデコーダ 30 で選択される第 1～第 3 の電圧に対応する参照電圧が入力される。第 3 のデコーダ 30 は、第 1 のデコーダ 10 と共通に入力するデジタル信号の m ビット ($D(m-1) \sim D_0$ 、及びその相補信号 $D(m-1)_B \sim D_0_B$) の値に応じて、第 1～第 3 の電圧を選択し、演算増幅器 60 に入力する。

[0110] 演算増幅器 60 は、第 1 のデコーダ 10 と第 3 のデコーダ 30 とで共有される。図 24 において、異なる仕様同士で区間の重複はなく、第 1 のデコーダ 10 と第 3 のデコーダ 30 の一方のデコーダが、第 1～第 3 の電圧を選択出力するとき、他方のデコーダは非選択とされ、第 1～第 3 の電圧は出力されない。図 24 において、第 1 のデコーダ 10 と第 3 のデコーダ 30 とで共有された 3 つの端子 T_1 、 T_2 、 T_3 に出力される電圧 $V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$ に対して、演算増幅器 60 は、上式 (2) の演算に対応する電圧を出力する。なお、特に制限されないが、図 24 に示す例では、後述されるように、第 3 のデコーダ 30 で選択出力される第 1～第 3 の電圧について、演算増幅器 60 は、上式 (1) の演算結果 ($V_{out} = \{V_{IN3} + V_{IN2} + 2 \times V_{IN1}\} / 4$) に対応する電圧を出力する。このとき、第 3 のデコーダ 30 で選択された第 1～第 3 の電圧は、それぞれ V_{IN2} 、

V I N 3、V I N 1 とされ、演算増幅器 60 の端子 T 1、T 2、T 3 にそれぞれ出力される。

[0111] <第 2 の実施形態の第 1 の仕様>

図 1 6 は、図 1 5 の第 2 の実施形態における第 1 の仕様を説明する図である。図 1 6 は、図 1 5 において、 $m = 10$ 、 $n = 4$ 、 $N = 4$ とされ、10 ビットのデジタル信号の値に対応して演算増幅器 60 から出力可能な第 0 レベル乃至第 1023 レベルの 1024 個の電圧レベルにおいて、参照電圧の設定と、第 1～第 3 の電圧 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) の組合せ、及び 10 ビットのデジタル信号 ($D9 \sim D0$) の値の関係の一例を示している。

[0112] 図 1 6 に示した仕様では、1024 個の電圧レベルは、16 個の電圧レベルを 1 区間とし、電圧レベルが互いに重複しない第 1～第 64 の区間 ($S = 64$) で構成される。

[0113] 第 1～第 64 の各区間の参照電圧の設定は、図 2 (A) の仕様を適用している。すなわち各区間の第 0 レベル、第 4 レベル、第 12 レベル、第 16 レベルの 4 個 ($N = 4$) の参照電圧が設定される。また、第 0 レベル～第 1023 レベルの 1024 個の電圧レベルに対して、第 1～第 64 の区間のそれぞれの最初の電圧レベル (第 0 レベル、第 16 レベル、第 32 レベル、…、第 1008 レベル) がそれぞれの区間の基準レベル (A_z) とされている。

[0114] 第 1～第 64 の各区間のそれぞれの N 番目 ($N = 4$) の参照電圧は、それぞれ次の区間の基準レベルとされている。ただし、第 64 区間では、次の区間 (第 65 区間) はなく、第 64 区間の N 番目 ($N = 4$) の参照電圧は、仮想的に第 65 区間の基準レベルである 1024 レベルとされている。

[0115] 図 1 6 の仕様に対応する図 1 5 の第 2 のデコーダ 20 は、図 1 6 で設定される参照電圧群から 10 ビットのデジタル信号の上位 6 ビット ($D9 \sim D4$) の値に応じて、第 1～第 64 の区間の中から、対応する 1 つの区間に割り当てられた 4 個の参照電圧を選択して第 1 のデコーダ 10 へ供給する。例えば第 1 の区間の場合、第 2 のデコーダ 20 は、デジタル信号 ($D9$ 、 $D8$ 、

$D7, D6, D5, D4) = (0, 0, 0, 0, 0, 0, 0)$ のとき、第0レベル、第4レベル、第12レベル、第16レベルの参照電圧を選択して第1のデコーダ10へ入力する。第 z 区間の場合、第2のデコーダ20は、デジタル信号($D9, D8, D7, D6, D5, D4$)の値に対応した第 Az 、第($Az + 4$)、第($Az + 12$)、第($Az + 16$)の参照電圧を選択して第1のデコーダ10へ出力する。

[0116] 図16の仕様において、出力電圧レベル数1024に対して、デコーダ40に入力される参照電圧（互いに異なる電位）の総数は193個である。

[0117] 一方、関連技術（図21、図22）の場合、10ビットのデジタル信号に拡張したデジタルアナログ変換回路（DA変換器310）の参照電圧数は、257個である。

[0118] 本実施形態によれば、参照電圧総数を、関連技術（図21、図22）の約1/4削減している。

[0119] 参照電圧総数の削減に伴い、デコーダのスイッチトランジスタの総数も削減される。この結果、デコーダの面積の削減を図ることができる。

[0120] なお、演算増幅器60は、図21、図23（ボルテージフォロア回路317）の演算増幅器と同じものを用いることができる。したがって、本実施形態において、演算増幅器60の面積が、図21の関連技術よりも増加することはない。

[0121] 図18は、10ビットのデジタル信号に対応した図15のデジタルアナログ変換回路について、1024個の全電圧レベルに対して、図2(A)～図14の仕様を適用した場合の参照電圧数の比較を一覧で示す。図18は、図2(A)及び図2(B)と、図3及び図4と、図5及び図6と、図7～図14の仕様ごとに、1区間あたりの電圧レベル数、1区間あたりの参照電圧数、区関数、全区間の参照電圧数を示す。なお、1区間あたりの参照電圧数は、区間内の電圧レベルに対応する参照電圧数に、次の区間の基準電圧レベルに対応する参照電圧が加わる（「+1」に該当）。全区間の参照電圧数は、各区間内の電圧レベルに対応する参照電圧数と区関数の積に第1024レベ

ルの参照電圧の 1 個を加えた値である。

[0122] 図 1 8 より、上記で説明した図 2 (A)、(B) の仕様より、図 3 ~ 図 1 4 の仕様を適用すると更に参照電圧数が大幅に削減することができる。また、図示されないが、12 ビットのデジタル信号に対応した図 1 5 のデジタルアナログ変換回路の参照電圧数は、拡張した図 2 1 のデジタルアナログ変換回路 (DA 変換器 3 1 0) の参照電圧数よりも更に大幅に参照電圧数が削減され、デコーダの面積も大幅に削減することができる。

[0123] 上記実施形態では、線形な電圧特性を実現するデジタルアナログ変換回路への適用例を説明した。以下では、非線形な電圧特性への適用例を説明する。

[0124] <第 2 の実施形態の第 2 の仕様>

第 1 の仕様では、各区間の出力電圧レベル (16 レベル) がほぼリニア (線形) となる。このため、複数の区間同士では非線形な特性は可能であるが、1 つの区間内 (16 レベル内) において、非線形な電圧特性の実現は困難である。しかし、例えば 4 レベルがリニア (線形) となる図 2 2 の仕様を組み合わせて構成することで、比較的滑らかに変化するような非線形な電圧特性にも、十分に対応することができる。次に、非線形な電圧特性に対応可能な図 2 4 のデジタルアナログ変換回路について説明する。

[0125] 図 1 7 は、第 2 の実施形態における第 2 の仕様を説明する図である。第 2 の仕様の回路構成は図 2 4 に対応している。図 1 7 は、図 1 6 の仕様の変更例を示している。図 1 7 に示す例は、第 1 ~ 第 64 の区間のうち、第 1 の区間に図 2 2 の仕様を適用し、第 2 ~ 第 64 ($S = 63$) の各区間に、図 2 (A) の仕様を適用したものである。

[0126] 第 1 の区間における第 0 ~ 第 15 レベルでは、参照電圧を 4 レベル置き第 0 レベル、第 4 レベル、第 8 レベル、第 12 レベル、第 16 レベル (但し、第 16 レベルは第 2 区間の基準レベルと重複) に設定しており、入出力特性 (入力 ($V(T1)$ 、 $V(T2)$ 、 $V(T3)$) と出力 V_{out} の関係) は、図 2 2 の仕様の入出力特性 (入力 (V_{IN2} 、 V_{IN3} 、 V_{IN1}) と出

力 V_{out} の関係) と対応し、上式 (1) の $V_{out} = \{V_{IN3} + V_{IN2} + 2 \times V_{IN1}\} / 4$ の関係を満たしている。

[0127] 例えば、図 17 の第 0 ～ 第 3 レベル ($V_0 \sim V_3$) を出力する ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) の組合せは、

第 0 レベル: ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) = (V_0 、 V_0 、 V_0)

第 1 レベル: ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) = (V_4 、 V_0 、 V_0)

第 2 レベル: ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) = (V_0 、 V_0 、 V_4)

第 3 レベル: ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) = (V_4 、 V_0 、 V_4)

であり、図 22 の第 0 ～ 第 3 階調 ($V_0 \sim V_3$) を出力する (V_{IN2} 、 V_{IN3} 、 V_{IN1}) の組合せは、

第 0 階調: (V_{IN2} 、 V_{IN3} 、 V_{IN1}) = (V_0 、 V_0 、 V_0)

第 1 階調: (V_{IN2} 、 V_{IN3} 、 V_{IN1}) = (V_4 、 V_0 、 V_0)

第 2 階調: (V_{IN2} 、 V_{IN3} 、 V_{IN1}) = (V_0 、 V_0 、 V_4)

第 3 階調: (V_{IN2} 、 V_{IN3} 、 V_{IN1}) = (V_4 、 V_0 、 V_4)

であり、対応関係が一致している。

[0128] なお、図 17 の ($V(T_1)$ 、 $V(T_2)$) は互いに入れ替えていてもよく、図 22 の (V_{IN2} 、 V_{IN3}) も互いに入れ替えていてもよい。

[0129] 第 2 の仕様 (図 17) に対応した図 24 のデジタルアナログ変換回路は、図 15 のデコーダブロック 40 に、更に第 3 のデコーダ 30 を備える。第 3 のデコーダ 30 が、図 17 の第 1 の区間の電圧レベルを出力するための第 1 ～ 第 3 の電圧 (V_{IN2} 、 V_{IN3} 、 V_{IN1}) を選択して端子 T_1 、 T_2 、 T_3 に出力する。一方、第 1 及び第 2 のデコーダ 10、20 は、図 17 の第 2 ～ 第 64 の区間の電圧レベルを出力するための第 1 ～ 第 3 の電圧 ($V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$) を選択して端子 T_1 、 T_2 、 T_3 に出力

する。

[0130] 図24において、第3のデコーダ30は、参照電圧発生回路50から、図17の第1の区間の第0レベル、第4レベル、第8レベル、第12レベル、第16レベルの5個の参照電圧を入力し、D9～D0の10ビット入力デジタル信号に応じて $((D9, D8, D7, D6, D5, D4) = (0, 0, 0, 0, 0, 0))$ のとき)、図17の第1の区間(第0レベル～第15レベル)に対応する第1～第3の電圧(V_{IN2} 、 V_{IN3} 、 V_{IN1})を選択して端子T1、T2、T3に出力する。演算増幅器60(1:1:2の内挿アンプ)は、端子T1、T2、T3に出力された第1～第3の電圧(V_{IN2} 、 V_{IN3} 、 V_{IN1})を($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)として入力し、上式(2)の演算結果に対応した電圧を出力する。なお、演算増幅器60から出力される電圧は、第3のデコーダ30で選択された第1～第3の電圧(V_{IN2} 、 V_{IN3} 、 V_{IN1})に対して上式(1)の演算結果とも対応していることは勿論である。

[0131] 第1及び第2のデコーダ10、20は、参照電圧発生回路50から、図17の第2の区間から第64の区間の63区間について、各区間3個の電圧レベル×63区間+第1024レベルの計190個の参照電圧を入力し、D9～D0の10ビットデジタル信号に応じて $((D9, D8, D7, D6, D5, D4) = (0, 0, 0, 0, 0, 0, 1) \sim (1, 1, 1, 1, 1, 1, 1))$ のとき)、図17の第2～第64の区間(第16レベル～第1023レベル)に対応する第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)を選択して端子T1、T2、T3に出力する。演算増幅器60(1:1:2の内挿アンプ)は、端子T1、T2、T3に出力された第1～第3の電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)を入力し、上式(2)の演算結果に対応した電圧を出力する。

[0132] 図17の第1区間の電圧レベル(第0レベル～第15レベル)を出力する第3のデコーダ30は、図22の仕様(第0レベル～第15レベル)に対応した図21の選択回路316の下位4ビット構成に、(D9, D8, D7,

D 6, D 5, D 4) = (0, 0, 0, 0, 0, 0, 0) を選択する上位 6 ビットの選択回路を追加した構成としてもよい。

[0133] 図 1 7 の仕様では、非線形な電圧特性の範囲を、第 1 区間のみに設定した例を示しているが、非線形な電圧特性の範囲に応じて設定を変更できることは勿論である。

[0134] また、非線形な電圧特性の区間について、図 2 2 とは別の仕様を適用してもよい。例えば、非線形な電圧特性の区間の各電圧レベルに 1 対 1 で対応する参照電圧を設け、それを選択するデコーダを、図 1 5 のデコーダブロック 4 0 にさらに追加しても良い。この場合も、追加されたデコーダに対して演算増幅器 6 0 を共有することができる。追加されるデコーダは、デジタル信号に応じて、出力される電圧レベルに等しい参照電圧を重複して第 1 ～第 3 の電圧 (V (T 1)、V (T 2)、V (T 3)) として選択し、演算増幅器 6 0 へ出力する構成となる。

[0135] また、図 3 ～図 1 4 の仕様についても、図 1 7 の仕様と同様の設定が可能である。すなわち、全電圧レベルにおいて、線形な電圧特性の区間に対して図 3 ～図 1 4 の仕様を適用し、非線形な電圧特性を含む区間は、図 2 2 の仕様等、本実施形態とは、別の仕様を適用することができる。

[0136] また、線形な電圧特性の区間 (1 区間が 1 6 レベル以上) に対して図 2 (A) ～図 1 4 の複数の仕様を組合せてもよい。その場合、図 1 5 のデコーダブロック 4 0 には、第 1 及び第 2 のデコーダ 1 0、2 0 が複数の仕様ごとに設けられ、複数の仕様ごとの第 1 のデコーダ 1 0 に対して、演算増幅器 6 0 が共有される構成となる。

[0137] <第 3 の実施形態>

図 1 9 は、本発明の第 3 の実施形態の表示装置のデータドライバの要部構成を示す図である。このデータドライバは、例えば図 2 0 (A) のデータドライバ 9 8 0 (表示素子は液晶又は有機発光ダイオード) に対応している。図 1 9 を参照すると、このデータドライバは、シフトレジスタ 8 0 1 と、データレジスタ／ラッチ 8 0 2 と、レベルシフタ群 8 0 3 と、参照電圧発生回

路 804 と、デコーダ回路群 805 と、出力回路群 806 とを含んで構成される。

[0138] 参照電圧発生回路 804 は、図 1 の N 個の参照電圧を生成する。又は、図 15 の参照電圧発生回路 50 を含む。デコーダ回路群 805 は、出力数に対応した複数個の図 1 の第 1 のデコーダ 10、又は、複数個の図 15 のデコーダブロック 40 を含んで構成される。

[0139] 出力回路群 806 は、出力数に対応した複数個の図 1 及び図 15 の演算増幅器 60 で構成される。参照電圧発生回路 804 から出力される参照電圧群は、デコーダ回路群 805 を構成する複数個のデコーダ（又はデコーダブロック）に共通に入力される。

[0140] 図 19 において、シフトレジスタ 801 は、スタートパルスとクロック信号 CLK に基づき、データラッチのタイミングを決定する。データレジスタ／ラッチ 802 は、シフトレジスタ 801 で決定されたタイミングに基づいて、入力された映像デジタルデータを各出力単位のデジタルデータ信号に展開し、所定の出力数毎ラッチし、制御信号に応じて、レベルシフト回路群 803 に出力する。レベルシフタ群 803 は、データレジスタ／ラッチ 802 から出力される各出力単位のデジタルデータ信号を低振幅信号から高振幅信号にレベル変換して、デコーダ回路群 805 に出力する。デコーダ回路群 805 は、各出力毎に、参照信号発生回路 804 で生成された参照信号群から、入力されたデジタルデータ信号に応じた参照電圧（第 1 ～ 第 3 の電圧（ $V(T1)$ ）、 $V(T2)$ ）、 $V(T3)$ ）を選択する。

[0141] 出力回路群 806 は、各出力毎に、デコーダ回路群 805 の対応するデコーダで選択された一つ又は複数の参照電圧（第 1 ～ 第 3 の電圧（ $V(T1)$ ）、 $V(T2)$ ）、 $V(T3)$ ）を入力し、一つ又は複数の参照電圧に対応した階調信号を増幅出力する。

[0142] 出力回路群 806 の出力端子群は表示装置のデータ線（図 20（A）の 62）に接続されている。

[0143] シフトレジスタ 801 及びデータレジスタ／ラッチ 802 はロジック回路

で、一般に低電圧（例えば0 V～3.3 V）で構成され、対応する電源電圧が供給されている。レベルシフタ群803、デコーダ回路群805及び出力回路群806は、一般に表示素子を駆動するのに必要な高電圧（例えば0 V～1.8 V）で構成され、対応する電源電圧が供給されている。

[0144] 本実施形態によれば、出力回路（演算増幅器60）から出力される電圧レベルの数に対して必要な参照電圧の数を大幅に縮減し、デコーダ回路を構成するトランジスタスイッチ数を大幅に縮減することでデコーダ面積の削減を可能とするデータドライバ、表示装置を実現可能としている。

[0145] 次に、上記で説明した各実施形態（図2（A）～図14）に対応した図1、図15、図24のデコーダ10に好適な、仕様例及び回路構成例について、図面を参照して説明する。

[0146] <第1の実施例>

図25は、図2（A）、（B）に対応した仕様（ $n=4$ 、 $N=4$ 、 $A=0$ ）の1例を示す図である。図25は、図1のデコーダ10に入力される参照電圧（図2（A）の第0レベル、第4レベル、第12レベル、第16レベルの4個の参照電圧に対応）から4ビットデジタル信号（ D_3 、 D_2 、 D_1 、 D_0 ）に対応して、デコーダ10の出力端子T1、T2、T3に選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ と、演算増幅器60から電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ に基づき演算出力される電圧 V_{out} との関係を示す。なお、図25において、各電圧は電圧レベル番号、デジタル信号は2進数の値（0又は1）で示している。図25は、図16の第1区間の仕様と同一である。図25の第0レベル～第15レベルの基準レベルに対応する第0レベルを、16の任意の倍数の電圧レベルに置換えて、その基準レベルから16レベル分の区間としてもよい。

[0147] 図26は、図25の仕様を実現するデコーダ10の回路構成の一例（10-1A）を示す図である。図26において、デコーダ10-1Aに入力される参照電圧は、 $V(Az)$ 、 $V(Az+4)$ 、 $V(Az+12)$ 、 $V(Az+16)$ とされ、デジタル信号として、4ビットデジタル信号（LSBを含

む下位4ビット) (D3, D2, D1, D0) とその相補信号 (D3B, D2B, D1B, D0B) が入力される。参照電圧 $V(A_z)$ 、 $V(A_z + 4)$ 、 $V(A_z + 12)$ 、 $V(A_z + 16)$ は、 $A_z = 0$ とすれば、図25の第0レベル (V_0)、第4レベル (V_4)、第12レベル (V_{12})、第16レベル (V_{16}) に対応する。図26のデコーダ10-1Aは、Nチャンネル型トランジスタスイッチ (以下、Nchトランジスタスイッチと記す) で構成されている。なおNchトランジスタスイッチは図面の便宜上、○の中に×を加えた記号で示す。Nchトランジスタスイッチは、デジタル信号 D_x (x は0以上の整数) とその相補信号 $D_x B$ で制御される。デジタル信号 D_x ($x = 0 \sim 3$) の値が1 (Highレベル) のとき、相補信号 $D_x B$ ($x = 0 \sim 3$) の値は0 (Lowレベル) であり、信号 D_x が入力されるNchトランジスタスイッチはオン (導通)、相補信号 $D_x B$ が入力されるNchトランジスタスイッチはオフ (非導通) とされる。デジタル信号 D_x ($x = 0 \sim 3$) の値が0 (Lowレベル) のとき、相補信号 $D_x B$ ($x = 0 \sim 3$) の値は1 (Highレベル) であり、信号 D_x が入力されるNchトランジスタスイッチはオフ (非導通)、相補信号 $D_x B$ が入力されるNchトランジスタスイッチはオン (導通) とされる。

[0148] Pチャンネル型トランジスタスイッチ (以下、Pchトランジスタスイッチと記す) で構成する場合は、各ビット信号の正信号 (D_x) と相補信号 ($D_x B$) を入れ替え、NchトランジスタスイッチをPchトランジスタスイッチに置き換えることで容易に構成できる。なお、以下の回路構成においては、Nchトランジスタスイッチでの構成例を示すが、Pchトランジスタスイッチでの構成に変換できることは言うまでもない。

[0149] 前述したように、図26のデコーダ10-1Aは図25の仕様に対応している。例えば図25の参照電圧の第0レベル (ノードN1に入力) を $V(T1)$ として選択するデジタル信号の値は、 $(D3, D2, D0) = (0, 0, 0)$ 、 $(D3B, D2B, D0B) = (1, 1, 1)$ であり、図26のノードN1、T1間のトランジスタスイッチ101、102、103に対応し

ている（トランジスタスイッチ101、102、103のゲートはD3B、D2B、D0Bにそれぞれ接続され、オンとなる）。なお、デジタル信号（例えばDx）の値が1のとき、図26の（Nch）トランジスタスイッチは、正信号（Dx）で制御される構成となる。

[0150] 図25の参照電圧の第0レベルをV（T2）として選択するデジタル信号の値は、 $(D3, D2) = (0, 0)$ であり、 $(D3B, D2B) = (1, 1)$ であり、図26のノードN1、T2間のトランジスタスイッチ104、105に対応する（トランジスタスイッチ104、105のゲートはD3B、D2Bにそれぞれ接続され、オンとなる）。

[0151] 図25の参照電圧の第0レベルをV（T3）として選択するデジタル信号の値は、 $(D3, D1) = (0, 0)$ 、 $(D3B, D1B) = (1, 1)$ であり、図26のノードN1、T3間のトランジスタスイッチ106、107に対応する（トランジスタスイッチ106、107のゲートはD3B、D1Bにそれぞれ接続され、オンとなる）。

[0152] 同様に、図25の参照電圧の第4レベル（ノードN2に入力）をV（T1）として選択するデジタル信号の値は、 $(D3, D2, D0) = (0, 0, 1)$ 、 $(D3B, D2B, D0B) = (1, 1, 0)$ であり、図26のノードN2、T1間のトランジスタスイッチ108、109、110に対応している（トランジスタスイッチ108、109、110のゲートは、D3B、D2B、D0にそれぞれ接続され、オンとなる）。図25の参照電圧の第4レベルをV（T2）として選択するデジタル信号の値は、 $(D3, D2) = (0, 1)$ 、 $(D3B, D2B) = (1, 0)$ 、及び、 $(D3, D2, D1) = (1, 0, 1)$ 、 $(D3B, D2B, D1B) = (0, 1, 0)$ であり、図26のノードN2、T2間のトランジスタスイッチ111、112、及びトランジスタスイッチ113、114、115に対応している。トランジスタスイッチ111、112のゲートは、D3B、D2にそれぞれ接続され、 $(D3, D2) = (0, 1)$ のとき、オンとなる。またトランジスタスイッチ113、114、115のゲートは、D3、D2B、D1にそれぞれ接

続され、 $(D3, D2, D1) = (1, 0, 1)$ のとき、オンとなる)。図 25 の参照電圧の第 4 レベルを $V(T3)$ として選択するデジタル信号は、 $(D3, D1) = (0, 1)$ 、 $(D3B, D1B) = (1, 0)$ 、及び、 $(D3, D2, D1) = (1, 0, 0)$ 、 $(D3B, D2B, D1B) = (0, 1, 1)$ であり、図 26 のノード N2、T3 間のトランジスタスイッチ 116、117 及びトランジスタスイッチ 118、119、120 に対応する。すなわち、トランジスタスイッチ 116、117 のゲートは、 $D3B$ 、 $D1$ にそれぞれ接続され、 $(D3, D1) = (0, 1)$ のとき、オンとなる。トランジスタスイッチ 118、119、120 のゲートは $D3$ 、 $D2B$ 、 $D1B$ に接続され、 $(D3, D2, D1) = (1, 0, 0)$ のとき、オンとなる。

[0153] 以下同様に、図 25 の参照電圧の第 12 レベル（ノード N3 に入力）を $V(T1)$ として選択するデジタル信号の値は、 $(D3, D2, D0) = (0, 1, 0)$ 、相補の信号 $(D3B, D2B, D0B) = (1, 0, 1)$ 、及び、 $(D3, D0) = (1, 0)$ 、 $(D3B, D0B) = (0, 1)$ であり、図 26 のノード N3、T1 間のトランジスタスイッチ 121、122、123 及びトランジスタスイッチ 124、125 に対応している（トランジスタスイッチ 121、122、123 のゲートは、 $D3B$ 、 $D2$ 、 $D0B$ にそれぞれ接続され、 $(D3, D2, D0) = (0, 1, 0)$ のとき、オンとなる。トランジスタスイッチ 124、125 のゲートは、 $D3$ 、 $D0B$ にそれぞれ接続され、 $(D3, D0) = (1, 0)$ のとき、オンとなる）。図 25 の参照電圧の第 12 レベルを $V(T2)$ として選択するデジタル信号は、 $(D3, D2, D1) = (1, 0, 0)$ 、 $(D3B, D2B, D1B) = (0, 1, 1)$ 、及び、 $(D3, D2) = (1, 1)$ 、 $(D3, D2) = (0, 0)$ であり、図 26 のノード N3、T2 間のトランジスタスイッチ 126、127、128、及びトランジスタスイッチ 129、130 に対応している（トランジスタスイッチ 126、127、128 は、それぞれのゲートが、 $D3$ 、 $D2B$ 、 $D1B$ に接続され、 $(D3, D2, D0) = (1, 0, 0)$ のとき、オンとなる。トランジスタスイッチ 129、130 のゲートは $D3$

、D 2 にそれぞれ接続され、 $(D 3, D 2) = (1, 1)$ のとき、オンとなる)。

図 2 5 の参照電圧の第 1 2 レベルを $V(T 3)$ として選択するデジタル信号の値は $(D 3, D 2, D 1) = (1, 0, 1)$ 、 $(D 3 B, D 2 B, D 0 B) = (0, 1, 0)$ 、及び、 $(D 3, D 2, D 1) = (1, 1, 0)$ 、 $(D 3 B, D 2 B, D 0 B) = (0, 0, 1)$ であり、図 2 6 のノード N 3、T 3 間のトランジスタスイッチ 1 3 1、1 3 2、1 3 3 及びトランジスタスイッチ 1 3 4、1 3 5、1 3 6 に対応する (トランジスタスイッチ 1 3 1、1 3 2、1 3 3 のゲートは、D 3、D 2 B、D 1 にそれぞれ接続され、 $(D 3, D 2, D 0) = (1, 0, 1)$ のとき、オンとなる。トランジスタスイッチ 1 3 4、1 3 5、1 3 6 のゲートは、D 3、D 2、D 1 B にそれぞれ接続され、 $(D 3, D 2, D 1) = (1, 1, 0)$ のとき、オンとなる)。

[0154] 更に、図 2 5 の参照電圧の第 1 6 レベル (ノード N 4 に入力) を $V(T 1)$ として選択するデジタル信号の値は、 $(D 3, D 2, D 0) = (0, 1, 1)$ 、 $(D 3 B, D 2 B, D 0 B) = (1, 0, 0)$ 、及び、 $(D 3, D 0) = (1, 1)$ 、 $(D 3 B, D 0 B) = (0, 0)$ であり、図 2 6 のノード N 4、T 1 間のトランジスタスイッチ 1 3 7、1 3 8、1 3 9 及びトランジスタスイッチ 1 4 0、1 4 1 に対応している (トランジスタスイッチ 1 3 7、1 3 8、1 3 9 のゲートは、D 3 B、D 2、D 0 にそれぞれ接続され、 $(D 3, D 2, D 0) = (0, 1, 1)$ のとき、オンとなる。トランジスタスイッチ 1 4 0、1 4 1 のゲートは D 3、D 0 にそれぞれ接続され、 $(D 3, D 0) = (1, 1)$ のとき、オンとなる)。

図 2 5 の参照電圧の第 1 6 レベルを $V(T 3)$ として選択するデジタル信号の値は、 $(D 3, D 2, D 1) = (1, 1, 1)$ 、 $(D 3 B, D 2 B, D 1 B) = (0, 0, 0)$ であり、図 2 6 のノード N 4、T 3 間のトランジスタスイッチ 1 4 2、1 4 3、1 4 4 に対応する (トランジスタスイッチ 1 4 2、1 4 3、1 4 4 のゲートは D 3、D 2、D 1 にそれぞれ接続され、オンする)。なお、図 2 5 の仕様では図 2 5 の参照電圧の第 1 6 レベルは $V(T$

2) として選択されない。

[0155] 以上より、図26のデコーダ10-1Aは、44個のNchトランジスタスイッチで構成される。なお、図25では、ノードN1～N4に入力される各参照電圧をデジタル信号の下位(D0, D0B)から上位(D3, D3B)の順で選択する例を示しているが、図25の構成の場合、デジタル信号の順序を任意に入れ替えても構わない。

[0156] 図27は、図25の仕様を実現するデコーダ10の別の回路構成例10-1Bを示す図である。図27のデコーダ10-1Bは、図26に示したデコーダ10-1Aの変更例である。この回路構成は、トランジスタスイッチ数を削減して面積の削減を可能としたものである。デコーダ10-1Bに入力される参照電圧、デジタル信号及び端子T1～T3に選択出力される電圧は、いずれも図26と同一である。

[0157] 図27のデコーダ10-1Bは、図26のデコーダ10-1Aにおいて、同じ電圧を共通に選択するトランジスタスイッチの一方を削除することにより、トランジスタ数を削減している。例えば、図26のデコーダ10-1Aにおいて、ノードN1、T1間のトランジスタスイッチ(101、102、103)と、ノードN2、T1間のトランジスタスイッチ(108、109、110)に関して、トランジスタスイッチ103、110は異なるデジタル信号D0B、D0でオン・オフが制御されるが、トランジスタスイッチ101と108はデジタル信号D3Bで共通にオン・オフが制御され、トランジスタスイッチ102と109は、デジタル信号D2Bで共通にオン・オフが制御される。トランジスタスイッチ101、102、108、109は、 $(D3B, D2B) = (1, 1)$ 、すなわち $(D3, D2) = (0, 0)$ のときに、端子T1と共通に導通される。したがって、図27のデコーダ10-1Bでは、図26におけるトランジスタスイッチ103、110の出力側ノードを共通接続し(図27のノードN11)、図26のトランジスタスイッチ(108、109)を残し、図26のトランジスタスイッチ(101、102)を削除してもよい。また図26のデコーダ10-1Aにおいて、ト

ランジスタスイッチ 108 と 121 が共に D3B に制御され、選択時 ($D3 = 0$) に端子 T1 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のランジスタスイッチ 109、122 の出力側ノードを共通接続し (図 27 のノード N12)、図 26 のランジスタスイッチ 121 を残し、図 26 のランジスタスイッチ 108 を削除している。

[0158] また、図 26 のデコーダ 10-1A において、ノード N1、T2 間のランジスタスイッチ (104、105) とノード N2、T2 間のランジスタスイッチ (111、112) は、ランジスタスイッチ 104、111 が D3B により共通に制御され、選択時 ($D3 = 0$) に端子 T2 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のランジスタスイッチ 105、112 の出力側ノードを共通接続し (図 27 のノード N13)、図 26 のランジスタスイッチ 111 を残し、図 26 ランジスタスイッチ 104 を削除している。

[0159] また、図 26 のデコーダ 10-1A において、ノード N1、T3 間のランジスタスイッチ (106、107) とノード N2、T2 間のランジスタスイッチ (116、117) は、ランジスタスイッチ 106、116 が D3B により共通に制御され、選択時に端子 T3 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のランジスタスイッチ 107、117 の出力側ノードを共通接続し (図 27 のノード N14)、図 26 のランジスタスイッチ 116 を残し、図 26 のランジスタスイッチ 106 を削除している。

[0160] また、図 26 のデコーダ 10-1A において、ノード N2、T2 間のランジスタスイッチ (113、114、115) と、ノード N3、T2 間のランジスタスイッチ (126、127、128) に関して、ランジスタスイッチ 113 と 126 は、D3 により共通にオン・オフが制御され、ランジスタスイッチ 114 と 127 は、D2B により共通にオン・オフが制御される。選択時に、ランジスタスイッチ 113、114、126、127 は端子 T2 と共通に導通される。したがって、図 27 のデコーダ 10-1B で

は、図 26 のトランジスタスイッチ 115、128 の出力側ノードを共通接続し（図 27 のノード N16）、図 26 のトランジスタスイッチ（126、127）を残し、図 26 のトランジスタスイッチ（113、114）を削除している。図 26 のデコーダ 10-1A において、トランジスタスイッチ 126 と 129 が共に D3 で制御され、選択時に端子 T2 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のトランジスタスイッチ 127、130 の出力側ノードを共通接続し（図 27 のノード N17）、図 26 のトランジスタスイッチ 129 を残し、図 26 のトランジスタスイッチ 126 を削除している。

[0161] また、図 26 のデコーダ 10-1A において、ノード N2、T2 間のトランジスタスイッチ（118、119、120）と、ノード N3、T3 間のトランジスタスイッチ（131、132、133）に関して、トランジスタスイッチ 118 と 131 は、D3 により共通にオン・オフが制御され、トランジスタスイッチ 119 と 132 は、D2B により共通にオン・オフが制御される。トランジスタスイッチ 118、119、131、132 は、選択時に端子 T3 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のトランジスタスイッチ 120、133 の出力側ノードを共通接続し（ノード N18）、図 26 のトランジスタスイッチ（118、119）を削除している。また図 26 のデコーダ 10-1A において、トランジスタスイッチ 131 と 134 が共に D3 で制御され、選択時に端子 T3 と共通に導通される。したがって、図 27 のデコーダ 10-1B では、図 26 のトランジスタスイッチ 132、135 の出力側ノードを共通接続し（ノード N19）、図 26 のトランジスタスイッチ 134 を残し、図 26 のトランジスタスイッチ 131 を削除している。

[0162] また、図 26 のデコーダ 10-1A において、ノード N3、T3 間のトランジスタスイッチ（134、135、136）とノード N4、T3 間のトランジスタスイッチ（142、143、144）に関して、トランジスタスイッチ 134 と 142 は D3 により共通にオン・オフが制御され、トランジスタ

タスイッチ１３５と１４３はＤ２により共通にオン・オフが制御され、このトランジスタスイッチ１３４、１３５、１４３、１４３は、選択時に端子Ｔ３と共通に導通される。したがって、図２７のデコーダ１０－１Ｂでは、図２６のトランジスタスイッチ１３６、１４４の出力側ノードを共通接続し（図２７のノードＮ２０）、トランジスタスイッチ（１３４、１３５）を残し、図２６の図２６のトランジスタスイッチ（１４２、１４３）を削除している。

[0163] また、図２６のデコーダ１０－１Ａにおいて、ノードＮ３に一端が接続されるトランジスタスイッチ１２３、１２５は、Ｄ０Ｂにより共通に制御され、選択時にノードＮ３と共通に導通される。したがって、図２７のデコーダ１０－１Ｂでは、図２６のトランジスタスイッチ１２３、１２５を１つにまとめ、トランジスタスイッチ１２３を残し、図２６のトランジスタスイッチ１２５を削除している。同様に、図２６のノードＮ４に一端が接続されるトランジスタスイッチ１３９、１４１は、Ｄ０により共通に制御され、選択時にノードＮ４と共通に導通される。したがって、図２７のデコーダ１０－１Ｂでは、図２６のトランジスタスイッチ１３９、１４１を１つにまとめ、図２６のトランジスタスイッチ１３９を残し、図２６のトランジスタスイッチ１４１を削除している。

[0164] 図２６のデコーダ１０－１Ａにおいて、ノードＮ３、Ｔ１間のトランジスタスイッチ（１２１、１２２、１２３）とノードＮ４、Ｔ３間のトランジスタスイッチ（１３７、１３８、１３９）に関して、トランジスタスイッチ１２１と１３７はＤ３Ｂにより共通にオン・オフが制御され、トランジスタスイッチ１２２と１３８はＤ２により共通にオン・オフが制御され、これらのトランジスタ１２１、１２２、１３７、１３８は、選択時に端子Ｔ１と共通に導通される。したがって、図２７のデコーダ１０－１Ｂでは、トランジスタスイッチ１２３、１３９の出力側ノードを共通接続し（ノードＮ１５）、図２６のトランジスタスイッチ（１２１、１２２）を残し、図２６のトランジスタスイッチ（１３７、１３８）を削除してもよい。また図２６のデコー

ダ 10-1 A において、ノード N3、T1 間のトランジスタスイッチ（124、125）とノード N4、T3 間のトランジスタスイッチ（140、141）は、トランジスタスイッチ 124 と 140 が D3 により共通に制御され、選択時に端子 T1 と共通に導通される。したがって、図 27 のデコーダ 10-1 B では、図 26 のトランジスタスイッチ 125、141 の出力側ノードを共通接続し（ノード N15）、図 26 のトランジスタスイッチ 140 を削除している。

[0165] 以上より、図 27 に示すように、デコーダ 10-1 B のトランジスタスイッチ数は 26 個となる。図 26 のデコーダ 10-1 A のトランジスタスイッチ数は 44 個である。図 26 の構成に比べて、トランジスタスイッチ数は大幅に削減されている。

[0166] このように、トランジスタスイッチ数を大幅に削減可能なデコーダ構成としては、図 27 に示したデコーダ 10-1 B のように、デジタル信号を下位ビット側（D0、D0B）から上位ビット側（D3、D3B）へ向かう順で、参照電圧を選択する構成が好ましい。これは、上位ビット側のデジタル信号の方が下位ビット側のデジタル信号に比べて、共通に制御するトランジスタスイッチ数が多いこと、また、デコーダの出力側端子数の 3 個（T1、T2、T3）に対して、デコーダの入力側ノード数は 4 個（N1、N2、N3、N4）と多いため、上位側のデジタル信号で制御されるトランジスタスイッチをデコーダの出力側に配置すると、削減可能なトランジスタ数が多くなる、ためである。

[0167] 図 28 は、図 26 のデコーダ回路 10-1 A 及び図 27 のデコーダ回路 10-1 B を用いた回路シミュレーションの結果を示す図である。図 28 において、横軸は電圧レベルを表しているが、第 1 レベルから第 15 レベルまでの各電圧レベルに対応したデジタル信号の値（“0” は Low レベル、“1” は High レベル）を（D3、D2、D1、D0）及び（D3B、D2B、D1B、D0B）にそれぞれ入力している。また、デコーダに入力する参照電圧 V0、V4、V12、V16 は、それぞれ 0V、0.8V、2.4V

、3. 2 Vに設定している。図28は、デジタル信号の値を第1レベルから第15レベルまで変化させたときの、デコーダ回路の出力側端子T1、T2、T3へそれぞれ選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ と、演算増幅器60から電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ に基づき演算出力される電圧 V_{out} を示している。図28より、図26のデコーダ回路10-1A及び図27のデコーダ回路10-1Bで選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ 及び電圧 V_{out} が、図25の仕様で示す関係と一致していることが確認できた。

[0168] <第1の実施例の変更例>

次に、図25の変更例を示す。図29は、図2(A)、(B)に対応した仕様($n=4$ 、 $N=4$ 、 $A=0$)の別の例で、デコーダ10に入力される参照電圧(図2(A)に対応)から、同じく入力される4ビットデジタル信号($D3$ 、 $D2$ 、 $D1$ 、 $D0$)に対応して、デコーダ10の出力端子T1、T2、T3に選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ と、演算増幅器60から電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ に基づき演算出力される電圧 V_{out} との関係を示す。

[0169] 図29に示した仕様では、図1のデコーダ10で同一参照電圧を選択して、 $V(T1)=V(T2)=V(T3)$ となる演算増幅器60の入力電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組み合わせを最小化している。一方、図25に示した仕様では、同一参照電圧を選択する($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組み合わせは、第0レベル及び第12レベルの2つある。さらに、第4レベルについても($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)が同一参照電圧を選択するような組合せとなる仕様に設定することもできる。

[0170] しかし、演算増幅器60の入力電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ として、同一参照電圧(例えば V_z)が共通選択される状態は、必ずしも良い選択状態ではない。その例を以下に説明する。

[0171] デコーダ10の出力端子T1、T2、T3は、演算増幅器60の入力に接

続される。例えば演算増幅器 60 が図 23 の演算増幅器のような構成の場合、端子 T1、T2、T3 は図 23 の端子 IN2、IN3、IN1 にそれぞれ対応し、差動対を構成するトランジスタ N5、トランジスタ N7、トランジスタ N1、N3 のそれぞれのゲート端子と接続される。トランジスタはそれぞれサイズ（トランジスタ寸法）に応じた寄生容量を有しており、ゲート端子にはゲート容量が存在する。すなわち、 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ として、参照電圧 V_z が共通に選択される場合、図 23 の演算増幅器の 4 個のトランジスタ N1、N3、N5、N7 のゲート容量が充電又は放電されて参照電圧 V_z に変化することになる。このため、参照電圧 V_z を選択するときのデコーダのインピーダンスが大きいと、図 23 の演算増幅器の入力（トランジスタ N1、N3、N5、N7 のゲート）の電圧変化に遅延が生じ、演算増幅器 60 の出力電圧の変化にも遅延が生じる場合がある。

[0172] 演算増幅器 60 の入力電圧及び出力電圧の変化の遅延を抑制するため、 $V(T1) = V(T2) = V(T3)$ となる（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組み合わせを最小にすることは、デコーダ 10 の高速動作に対応する上で有効である。

[0173] ただし、区間の両端のうちの一方向の電圧レベルは、 $V(T1) = V(T2) = V(T3)$ となる（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）の組み合わせとなるため、 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ として、同一参照電圧が共通選択される最小の組合せは、1 となる。図 29 では、第 0 レベルから第 15 レベルまでの 16 レベルが 1 区間であるが、区間の両端（第 0 レベル、第 15 レベル）のうちの第 0 レベルだけは、 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ として第 0 レベルの参照電圧が共通選択される。第 1 レベルから第 15 レベルは、少なくとも異なる 2 個又は 3 個の参照電圧で（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）が選択される。

[0174] 演算増幅器 60 の入力電圧（ $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ ）が一つの参照電圧で共通に選択される場合だけでなく、二つの参照電圧で選択される場合、三つの参照電圧で選択される場合により、遅延の程度は異なる。

- [0175] 演算増幅器 60 の第 1 乃至第 3 の入力電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ が、一つの参照電圧で共通に選択される場合には、演算増幅器 60 の入力容量（ゲート容量）だけでなく、デコーダ 10 内で端子 $T1$ 、 $T2$ 、 $T3$ に対応した三つ経路に分岐されることで、デコーダ 10 内において経由するトランジスタスイッチの寄生容量も多くなる。
- [0176] このように、演算増幅器 60 の 3 個の入力電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ が共通（同一）となる（ $V(T1) = V(T2) = V(T3)$ ）の組み合わせは、演算増幅器 60 の入力や出力の電圧変化の遅延に最も影響を与える可能性がある。そこで、本実施例では、そのような組み合わせを最小（1 組のみ）となるように設定している。
- [0177] $V(T1) = V(T2) = V(T3)$ となる 1 つの電圧レベル（選択された参照電圧は、図 29 の第 0 レベル）については、該電圧レベル（図 29 の第 0 レベル）を選択するときのデコーダ 10 のインピーダンスを低減するための別の措置を講ずることも可能である。
- [0178] 図 30 は、図 29 の仕様を実現するデコーダ 10 の別の回路構成例を示す図である。図 30 において、デコーダ 10-2 に入力される参照電圧、デジタル信号は、図 26 と同一である。ただし、端子 $T1 \sim T3$ に選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ は、図 29 の仕様に対応している。図 30 のデコーダ 10-2 は、Nch トランジスタスイッチでの構成例である。
- [0179] 図 30 のデコーダ 10-2 は、図 27 のデコーダ 10-1 B と同様に、トランジスタスイッチ数を削減し面積の削減を可能とする構成である。なお、図 27 のデコーダ 10-1 B に対してトランジスタ数を削減する前の構成が、図 26 のデコーダ 10-1 A であるが、図 30 の回路構成に対して、トランジスタ数削減前の回路構成のデコーダ回路（図 29 の仕様に対応したデコーダ回路）の図示は省略している。図 30 のトランジスタ数の削減方法は図 27 と同様であり、詳細な説明は省略する。図 30 のデコーダ 10-2 では、トランジスタスイッチ数が 24 個で、図 27 のデコーダ 10-1 B と同様

にトランジスタスイッチ数が大幅に削減されている。

[0180] 図30のデコーダ10-2は、図27のデコーダ10-1Bと同様に、デジタル信号を下位側(D0、D0B)から上位側(D3、D3B)へ向かう順で参照電圧を選択する構成としている。なお、図30のデコーダ10-2について、図28のような回路シミュレーションを実施し、図30のデコーダ回路10-2で選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ 及び電圧 V_{out} が、図29の仕様で示す関係と一致していることを確認している。ただし、シミュレーション結果は省略する。

[0181] <第2の実施例>

図31は、図3、図4に対応した仕様($n=5$ 、 $N=6$ 、 $A=0$)の一例を示す図である。図1のデコーダ10に入力される $N=6$ 個の参照電圧(図3に対応し、6個の参照電圧のレベルは、第0レベル、第4レベル、第12レベル、第20レベル、第28レベル、第32レベル)から、同じく入力される5ビットデジタル信号(D4、D3、D2、D1、D0)に対応して、デコーダ10の出力端子T1、T2、T3に選択出力される電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ と、演算増幅器60から電圧 $V(T1)$ 、 $V(T2)$ 、 $V(T3)$ に基づき演算出力される電圧 V_{out} との関係が示されている。

[0182] 図31の仕様では、図29と同様に、図1のデコーダ10において、6個の参照電圧(第0レベル、第4レベル、第12レベル、第20レベル、第28レベル、第32レベル)から、同一の参照電圧を選択して、 $V(T1) = V(T2) = V(T3)$ となる演算増幅器60の入力電圧($V(T1)$ 、 $V(T2)$ 、 $V(T3)$)の組み合わせを最小化(第0レベルの1つのみと)している。これにより、演算増幅器60の入力電圧及び出力電圧の変化の遅延を抑制できる構成としている。

[0183] 図32は、図31の仕様を実現するデコーダ10の回路構成例10-3を示す図である。図32に示すように、このデコーダ10-3に入力される参照電圧は、 $V(Az)$ 、 $V(Az+4)$ 、 $V(Az+12)$ 、 $V(Az+20)$ 、 $V(Az+28)$ 、 $V(Az+32)$ である。

0)、 $V(A_z + 28)$ 、 $V(A_z + 32)$ 、入力されるデジタル信号は、5ビットデジタル信号(D_4 、 D_3 、 D_2 、 D_1 、 D_0)とその相補信号(D_4B 、 D_3B 、 D_2B 、 D_1B 、 D_0B)である。

[0184] 参照電圧 $V(A_z)$ 、 $V(A_z + 4)$ 、 $V(A_z + 12)$ 、 $V(A_z + 20)$ 、 $V(A_z + 28)$ 、 $V(A_z + 32)$ は、 $A_z = 0$ とすれば、図31の第0レベル(V_0)、第4レベル(V_4)、第12レベル(V_{12})、第20レベル(V_{20})、第28レベル(V_{28})、第32レベル(V_{32})に対応する。図32のデコーダ10-3は、Nchトランジスタスイッチで構成されている。

[0185] 図32のデコーダ10-3は、図27のデコーダ10-1Bと同様に、トランジスタスイッチ数を削減して面積の削減を可能とした構成である。図27のデコーダ10-1Bに対してトランジスタ数を削減する前の構成が、図26のデコーダ10-1Aであるが、図32の構成に対して、トランジスタ数を削減する前の回路構成(図31の仕様に対応したデコーダ回路)の図示は省略している。図32のトランジスタ数の削減の仕方は図27と同様であり詳細な説明は省略する。図32のデコーダ10-3も、図27のデコーダ10-1Bと同様に、デジタル信号を下位側(D_0 、 D_0B)から上位側(D_4 、 D_4B)へ向かう順で参照電圧を選択する構成としている。

[0186] なお、図32のデコーダ10-3について、図28のような回路シミュレーションを実施し、図32のデコーダ回路10-3で選択出力される電圧 $V(T_1)$ 、 $V(T_2)$ 、 $V(T_3)$ 及び電圧 V_{out} が、図31の仕様で示す関係と一致していることを確認している。ただし、シミュレーション結果は省略する。

[0187] <第3の実施例>

図33は、図5、図6に対応した仕様($n = 5$ 、 $N = 5$ 、 $A = 0$)の例を示す図である。図33には、図1のデコーダ10に入力される $N = 5$ 個の参照電圧(図5に対応し、5個の参照電圧のレベルは、第0レベル、第4レベル、第16レベル、第28レベル、第32レベル)から、同じく入力される

5ビットデジタル信号 (D_4, D_3, D_2, D_1, D_0) に対応して、デコーダ10の出力端子 T_1, T_2, T_3 に選択出力される電圧 $V(T_1), V(T_2), V(T_3)$ と、図1の演算増幅器60から、入力電圧 $V(T_1), V(T_2), V(T_3)$ に基づき演算出力される電圧 V_{out} との関係が示されている。

[0188] 図33の仕様では、図29と同様に、デコーダ10で同一参照電圧を選択して、 $V(T_1) = V(T_2) = V(T_3)$ となる演算増幅器60の入力電圧 ($V(T_1), V(T_2), V(T_3)$) の組み合わせを最小化 (第0レベルの1つのみ) している。これにより演算増幅器の入力電圧及び出力電圧の変化の遅延を抑制できる構成としている。

[0189] 図34は、図33の仕様を実現するデコーダの回路構成の一例を示す図である。図34において、デコーダ10-4は、入力される参照電圧が $V(A_z), V(A_z+4), V(A_z+16), V(A_z+28), V(A_z+32)$ とされ、入力されるデジタル信号は、5ビットデジタル信号 (D_4, D_3, D_2, D_1, D_0) とその相補信号 ($D_4B, D_3B, D_2B, D_1B, D_0B$) である。参照電圧 $V(A_z), V(A_z+4), V(A_z+16), V(A_z+28), V(A_z+32)$ は、 $A_z=0$ とすれば、図32の第0レベル (V_0)、第4レベル (V_4)、第16レベル (V_{16})、第28レベル (V_{28})、第32レベル (V_{32}) に対応する。図34のデコーダ10-4は、Nchトランジスタスイッチで構成されている。

[0190] 図34のデコーダ10-4は、図27のデコーダ10-1Bと同様に、トランジスタスイッチ数を削減して面積の削減を可能とした構成である。図27のデコーダ10-1Bに対してトランジスタ数を削減する前の構成が、図26のデコーダ10-1Aであるが、図34の構成に対して、トランジスタ数を削減する前の回路構成 (図33の仕様に対応したデコーダ回路) は省略している。図34のデコーダ回路10-4において、トランジスタ数の削減の仕方は、図27と同様であるため、その説明は省略する。

[0191] 図34のデコーダ10-4も、図27のデコーダ10-1Bと同様に、デ

デジタル信号を下位側（D0、D0B）から上位側（D4、D4B）へ向かう順で参照電圧を選択する構成としている。

[0192] なお、図34のデコーダ10-4について、図28のような回路シミュレーションを実施し、図34のデコーダ回路10-4で選択出力される電圧V（T1）、V（T2）、V（T3）及び電圧Voutが、図33の仕様で示す関係と一致していることを確認している。ただし、シミュレーション結果は省略する。

[0193] なお、上記図7と図8に対応した仕様、図9と図10に対応した仕様、図11と図12に対応した仕様、図13と図14に対応した仕様（n=6、N=7、A=0）の例、及び、該仕様を実現するデコーダ10の回路構成は、図25から図34に示した実施例と同様の手法により構成することができるため、図示は省略する。

[0194] なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素（各請求項の各要素、各実施例の各要素、各図面の各要素等を含む）の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

符号の説明

[0195] 10、10-1A、10-1B、10-2、10-3、10-4 第1のデコーダ

20 第2のデコーダ

30 第3のデコーダ

40 デコーダ

50 参照電圧群

60 演算増幅器

- 101～144 N c hトランジスタスイッチ
- 801 シフトレジスタ
- 802 データレジスタ／ラッチ
- 803 レベルシフト群
- 804 参照電圧発生回路
- 805 デコーダ回路群
- 806 出力回路群
- 940 電源回路
- 950 表示コントローラー
- 960 表示部
- 961 走査線
- 962 データ線
- 963 表示素子
- 964 薄膜トランジスタ (T F T)
- 964 画素電極
- 970 ゲートドライバ
- 971 液晶容量
- 972 補助容量。
- 973 画素電極
- 974 対向基板電極
- 980 データドライバ
- 981 薄膜トランジスタ (T F T)
- 982 有機発光ダイオード
- 983 補助容量
- 984、985 電源端子

請求の範囲

[請求項1] N個の参照電圧と、 n ビット（ n は、4以上の予め定められた整数）のデジタル信号を入力し、前記N個の参照電圧から、前記 n ビットのデジタル信号に応じて、第1乃至第3の電圧を選択する第1のデコーダと、

前記第1のデコーダで選択された前記第1乃至第3の電圧を入力し、 $(\text{第1の電圧} + \text{第2の電圧} + 2 \times \text{第3の電圧}) / 4$ の演算に対応した電圧レベルを出力する演算増幅器と、

を備え、

前記 n ビットのデジタル信号の 2^n （ $\wedge$ は冪乗演算子）通りの組み合わせのそれぞれに対して、基準レベルとなる第Aレベルから第（ $A - 1 + 2^n$ ）レベルまでの 2^n 個の電圧レベルが前記演算増幅器から出力可能とされ、

前記N個の参照電圧は、

前記 2^n 個の出力電圧レベルである前記第Aレベル乃至第（ $A - 1 + 2^n$ ）レベルに対して、前記第Aレベルから4レベル置ききの電圧レベル $A + 4k$ （但し、 k は0から $2^{(n-2)}$ までの整数）に対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、

第Aレベル、第（ $A + 4$ ）レベル、第（ $A - 4 + 2^n$ ）レベル、第（ $A + 2^n$ ）レベルの4個の参照電圧と、

前記第Aレベルから4レベル置ききの電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち前記4個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ 個の参照電圧から、予め定められた少なくとも1つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ 個の参照電圧と、

を含み、前記Nは4以上、且つ、 $2^{(n-2)}$ 以下である、デジタルアナログ変換回路。

[請求項2] 前記 2^n 個の出力電圧レベルは、前記第1のデコーダにおいて、

前記第1乃至第3の電圧として互いに異なる電圧レベルの3個の参照電圧が選択され、前記第1のデコーダで選択された前記互いに異なる3個の参照電圧に基づき前記演算増幅器から出力される電圧レベルを含む、ことを特徴とする請求項1に記載のデジタルアナログ変換回路。

[請求項3]

参照電圧群と、

前記 n ビットのデジタル信号を下位側ビットに含む m ビット ($m > n$) 幅のデジタル信号と、

第2のデコーダと、

を備え、

前記演算増幅器から出力可能な電圧レベルは、互いに重複しない第1～第 S の区間 (但し、 S は1以上の所定の整数) に区分され、

第 z の区間 ($1 \leq z \leq S$) は、第 A_z レベル乃至第 $(A_z - 1 + 2^n)$ レベルよりなる 2^n 個の電圧レベルを含み、

前記参照電圧群は、前記各区間 z ($1 \leq z \leq S$) に対応して、

第 A_z レベルから4レベル置き of 電圧レベル: $A_z + 4k$ (但し、 k は0から $2^{(n-2)}$ までの整数) に対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、

第 A_z レベル、第 $(A_z + 4)$ レベル、第 $(A_z - 4 + 2^n)$ レベル、第 $(A_z + 2^n)$ レベルの4個の参照電圧と、

前記第 A レベルから4レベル置き of 電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、前記4個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ の参照電圧から、予め定められた少なくとも1つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ 個の参照電圧と、

からなる N 個の参照電圧を含み、

前記 N は4以上、 $2^{(n-2)}$ 以下であり、

第 z ($1 \leq z < S$) の区間の第 $(A_z + 2^n)$ レベルの参照電圧

は、第 $(z + 1)$ の区間の基準レベルである第 $A(z + 1)$ レベルの参照電圧と等しく、前記第 1 ～ 第 S の区間の参照電圧の総数は、 $S \times (N - 1) + 1$ とされ、

前記第 2 のデコーダは、前記参照電圧群から前記 m ビットのデジタル信号の上位側の $(m - n)$ ビットの値に応じて、前記第 1 ～ 第 S の区間の中の対応する 1 つの区間に割り当てられた前記 N 個の参照電圧を選択し、前記第 1 のデコーダへ出力する、請求項 1 又は 2 に記載のデジタルアナログ変換回路。

[請求項 4]

参照電圧群と、

前記 n ビットのデジタル信号を下位側ビットに含む m ビット ($m > n$) 幅のデジタル信号と、

第 2 及び第 3 のデコーダを更に備え、

前記演算増幅器から出力可能な電圧レベルは、互いに重複しない第 1 ～ 第 S の区間 (但し、 S は 1 以上の所定の整数) に区分され、

第 z の区間 ($1 \leq z \leq S$) は、第 A_z レベル乃至第 $(A_z - 1 + 2^n)$ レベルよりなる 2^n 個の電圧レベルを含み、

前記参照電圧群は、前記第 1 ～ 第 S の区間の少なくとも 1 つの区間 p に対応して、

第 A_p レベルから 4 レベル置ききの電圧レベル: $A_p + 4k$ (但し、 k は 0 から $2^{(n-2)}$ までの整数) に対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち、第 A_p レベル、第 $(A_p + 4)$ レベル、第 $(A_p - 4 + 2^n)$ レベル、第 $(A_p + 2^n)$ レベルの 4 個の参照電圧と、

前記第 A レベルから 4 レベル置ききの電圧レベルに対応する $\{1 + 2^{(n-2)}\}$ 個の参照電圧のうち前記 4 個の参照電圧以外の $\{-3 + 2^{(n-2)}\}$ 個の参照電圧から、予め定められた少なくとも 1 つの個数の参照電圧を間引いた、多くとも $\{-4 + 2^{(n-2)}\}$ の参照電圧と、

からなる計 N 個の参照電圧を含み、

前記 N は 4 以上、 $2^{(n-2)}$ 以下であり、

前記参照電圧群は更に、前記第 1 ～第 S の区間の前記区間 p とは別の少なくとも 1 つの区間 q に対応して、第 A_q レベルから 4 レベル置きに、第 $(A_q - 4 + 2^n)$ レベルまでの $2^{(n-2)}$ の参照電圧を含み、

前記第 2 のデコーダは、前記参照電圧群から前記 m ビットのデジタル信号の上位側の $(m-n)$ ビットの値に応じて、前記第 1 ～第 S の区間の中の対応する区間 p に対して、割り当てられた前記 N 個の参照電圧を選択して前記第 1 のデコーダへ出力し、

前記第 3 のデコーダは、前記参照電圧群から、前記 $2^{(n-2)}$ 個の参照電圧が入力され、前記第 3 のデコーダは、前記 m ビットのデジタル信号に応じて、前記 $2^{(n-2)}$ 個の参照電圧から第 1 乃至第 3 の電圧を選択して、前記演算増幅器に供給し、

前記第 1 のデコーダと前記第 3 のデコーダとは、前記演算増幅器を共有する、請求項 1 又は 2 に記載のデジタルアナログ変換回路。

[請求項5] 前記 n が 4、前記 N が 4 であり、

前記 N 個の参照電圧が、前記演算増幅器から出力可能な第 A レベル乃至第 $(A+15)$ レベルよりなる 16 個の電圧レベルに対して、

第 A 、第 $(A+4)$ 、第 $(A+12)$ 、第 $(A+16)$ の電圧レベルとされる、請求項 1 に記載のデジタルアナログ変換回路。

[請求項6] 前記 n が 5、前記 N が 6 であり、

前記 N 個の参照電圧が、前記演算増幅器から出力可能な第 A レベル乃至第 $(A+31)$ レベルよりなる 32 個の電圧レベルに対して、第 A 、第 $(A+4)$ 、第 $(A+12)$ 、第 $(A+20)$ 、第 $(A+28)$ 、第 $(A+32)$ の電圧レベルとされる請求項 1 に記載のデジタルアナログ変換回路。

[請求項7] 前記 n が 5、前記 N が 5 であり、

前記N個の参照電圧が、前記演算増幅器から出力可能な第Aレベル乃至第(A+31)レベルよりなる32個の電圧レベルに対して、第A、第(A+4)、第(A+16)、第(A+28)、第(A+32)の電圧レベルに設定されることを特徴とする請求項1に記載のデジタルアナログ変換回路。

[請求項8]

前記nが6、前記Nが7であり、

前記N個の参照電圧が、前記演算増幅器から出力可能な第Aレベル乃至第(A+63)レベルよりなる64個の電圧レベルに対して、第A、第(A+4)、第(A+32)、第(A+60)、第(A+64)の5個の電圧レベルに加え、

第(A+16)と第(A+48)、又は、第(A+8)と第(A+56)、又は、第(A+12)と第(A+52)、又は、第(A+20)と第(A+44)のいずれかの組合せの2個の電圧レベルに設定されることを特徴とする請求項1に記載のデジタルアナログ変換回路。

[請求項9]

前記第1のデコーダは、前記N個の参照電圧から選択出力する前記第1乃至第3の電圧の組み合わせに関して、前記演算増幅器から出力される前記 2^n 個の出力電圧レベルに対応した前記第1乃至第3の電圧の組み合わせのうち、前記N個の参照電圧の中の1つの参照電圧を前記第1乃至第3の電圧に対して共通に選択する組み合わせを最小化し、1組とした、ことを特徴とする請求項1に記載のデジタルアナログ変換回路。

[請求項10]

前記第1のデコーダは、前記N個の参照電圧を、前記nビットのデジタル信号の下位側ビットから上位側ビットへ向かって順次選択する、ことを特徴とする請求項1に記載のデジタルアナログ変換回路。

[請求項11]

入力映像信号に対応した入力デジタル信号を受け、前記入力デジタル信号に対応した電圧を出力する、請求項1乃至10のいずれかーに記載のデジタルアナログ変換回路を備え、前記入力デジタル信号に対

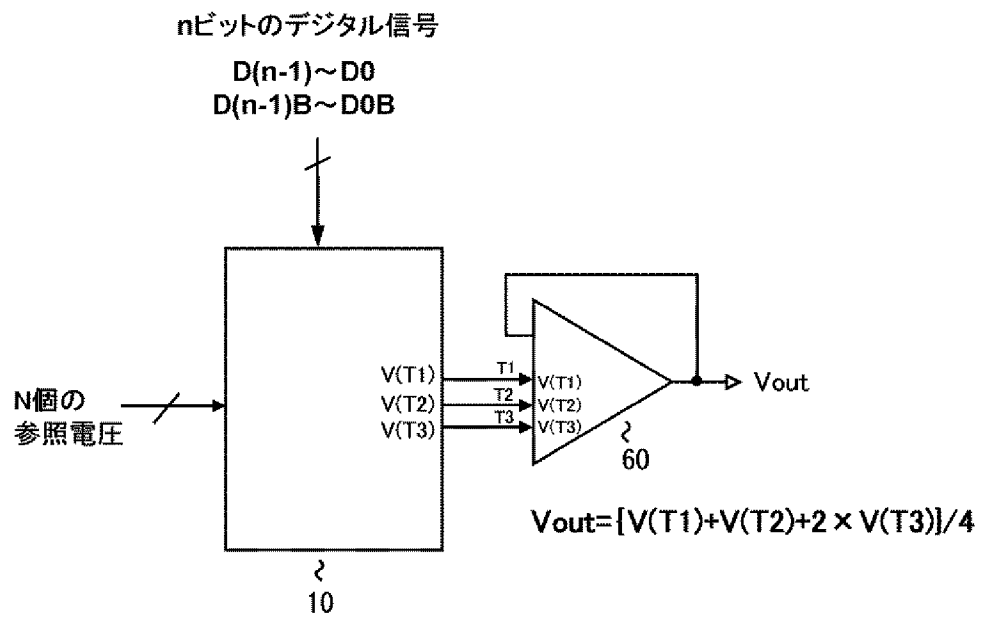
応した電圧でデータ線を駆動するデータドライバ。

[請求項12] データ線と走査線の交差部に画素スイッチと表示素子を含む単位画素を備え、前記走査線でオンとされた画素スイッチを介して前記データ線の信号が表示素子に書き込まれる表示装置であって、

前記データ線を駆動するデータドライバとして、請求項11記載の前記データドライバを備えた表示装置。

[請求項13] 表示素子が液晶素子又は有機発光ダイオード表示からなる請求項12記載の表示装置。

[図1]



[図2]

(A) 4ビット16レベルの出力レベルと
参照電圧の対応関係
(n=4、N=4、A=0)

電圧レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	
9	
10	
11	
12	12
13	
14	
15	
16	16

間引き
対象外

間引かれた
参照電圧

間引き
対象外

(B) 参照電圧の全組合せと演算出力結果(出力電圧レベル)

選択電圧				出力	選択電圧				出力	選択電圧				出力	選択電圧				出力
V(T1)	V(T2)	V(T3)	Vout		V(T1)	V(T2)	V(T3)	Vout		V(T1)	V(T2)	V(T3)	Vout		V(T1)	V(T2)	V(T3)	Vout	
0	0	0	0		0	0	4	2		0	0	12	6		0	0	16	8	
4	0	0	1		4	0	4	3		4	0	12	7		4	0	16	9	
4	4	0	2		4	4	4	4		4	4	12	8		4	4	16	10	
12	0	0	3		12	0	4	5		12	0	12	9		12	0	16	11	
12	4	0	4		12	4	4	6		12	4	12	10		12	4	16	12	
12	12	0	6		12	12	4	8		12	12	12	12		12	12	16	14	
16	0	0	4		16	0	4	6		16	0	12	10		16	0	16	12	
16	4	0	5		16	4	4	7		16	4	12	11		16	4	16	13	
16	12	0	7		16	12	4	9		16	12	12	13		16	12	16	15	
16	16	0	8		16	16	4	10		16	16	12	14		16	16	16	16	

$$V_{out} = \{V(T1) + V(T2) + 2 \times V(T3)\} / 4$$

[図3]

5ビット32レベルの出力レベルと
参照電圧の対応関係
($n=5$, $N=6$, $A=0$)

電圧レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	
9	
10	
11	
12	12
13	
14	
15	
16	
17	
18	
19	
20	20
21	
22	
23	
24	
25	
26	
27	
28	28
29	
30	
31	
32	32

間引き
対象外

間引かれた
参照電圧

間引き
対象外

[図4]

参照電圧の全組合せと演算出力結果(出力レベル)

選取電圧			選取電圧			選取電圧			選取電圧			選取電圧			選取電圧			選取電圧		
V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	2	0	0	0	6	0	0	0	20	10	0	0	28	14	0	32	16	
0	0	0	3	4	0	12	7	4	0	0	20	11	4	0	28	15	4	0	32	
4	4	0	4	4	4	12	8	4	4	4	20	12	4	4	28	16	4	4	32	
4	0	0	5	12	0	12	9	12	0	0	20	13	12	0	28	17	12	0	32	
12	0	4	6	12	4	12	10	12	4	20	14	12	4	28	18	12	4	32	20	
12	12	0	8	12	12	12	11	12	12	12	20	15	12	12	28	19	12	12	32	
20	0	0	8	20	0	12	11	20	0	20	16	20	0	28	20	20	0	32	21	
20	4	0	8	20	4	12	12	20	4	20	16	20	4	28	20	20	4	32	22	
20	12	0	10	20	12	12	14	20	12	20	18	20	12	28	22	20	12	32	24	
20	20	0	12	20	20	12	15	20	20	20	20	20	20	28	24	20	20	32	26	
28	0	0	9	28	0	12	13	28	0	20	17	28	0	28	21	28	0	32	23	
28	4	0	10	28	4	12	14	28	4	20	18	28	4	28	22	28	4	32	24	
28	12	0	12	28	12	12	16	28	12	20	18	28	12	28	24	28	12	32	26	
28	20	0	14	28	20	12	18	28	20	20	22	28	20	28	26	28	20	32	28	
28	28	0	16	28	28	12	20	28	28	20	24	28	28	28	28	28	28	32	30	
32	0	4	10	32	0	12	14	32	0	20	18	32	0	28	22	32	0	32	24	
32	4	0	11	32	4	12	15	32	4	20	19	32	4	28	23	32	4	32	25	
32	12	0	13	32	12	12	17	32	12	20	21	32	12	28	25	32	12	32	27	
32	20	0	15	32	20	12	19	32	20	20	23	32	20	28	27	32	20	32	29	
32	28	0	17	32	28	4	21	32	28	20	25	32	28	28	29	32	28	32	31	
32	32	0	16	32	32	4	22	32	32	20	26	32	32	28	30	32	32	32	31	
32	32	0	16	32	32	4	22	32	32	20	26	32	32	28	30	32	32	32	31	

$$V_{out} = \{V(T1) + V(T2) + 2 \times V(T3)\} / 4$$

[図5]

5ビット32レベルの出力レベルと
参照電圧の対応関係
($n=5$ 、 $N=5$ 、 $A=0$)

電圧レベル	参照電圧 レベル	
0	0	← 間引き 対象外
1		
2		
3		
4	4	
5		← 間引かれた 参照電圧
6		
7		
8		
9		
10		← 間引き 対象外
11		
12		
13		
14		
15		← 間引かれた 参照電圧
16	16	
17		
18		
19		
20		← 間引き 対象外
21		
22		
23		
24		
25		← 間引かれた 参照電圧
26		
27		
28	28	
29		
30		← 間引き 対象外
31		
32	32	

[図6]

参照電圧の全組合せと演算出力結果(出力レベル)

選択電圧			出力			選択電圧			出力			選択電圧			出力			
V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	1	4	0	4	0	4	8	4	0	4	0	4	14	4	0	32
4	4	0	2	4	4	4	4	4	16	4	4	4	4	4	28	4	4	32
16	0	0	4	16	0	4	16	0	16	12	16	0	28	18	16	0	32	20
16	4	0	5	16	4	4	7	16	13	16	4	28	19	16	4	32	21	
16	16	0	8	16	16	4	10	16	16	16	16	16	22	12	16	32	23	
28	0	0	7	28	0	4	9	28	15	28	0	28	21	28	0	32	23	
28	4	0	8	28	4	10	28	4	16	16	4	28	22	28	4	32	24	
28	16	0	11	28	16	4	13	28	16	19	28	16	25	28	32	27		
28	28	0	14	28	28	4	16	28	16	22	28	28	28	32	30			
32	0	0	8	32	0	4	10	32	0	16	32	0	28	22	32	0	32	24
32	4	0	9	32	4	4	11	32	4	16	32	4	28	23	32	4	32	25
32	16	0	12	32	16	4	14	32	16	16	32	16	28	26	32	16	32	28
32	28	0	15	32	28	4	17	32	28	16	23	32	28	29	32	28	32	31
32	32	0	16	32	32	4	18	32	32	16	24	32	32	30	32	32	32	32

$$V_{out} = [V(T1) + V(T2) + 2 \times V(T3)] / 4$$

[図7]

6ビット64レベルの出力レベルと
参照電圧の対応関係
($n=6$ 、 $N=7$ 、 $A=0$)

電圧レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	
16	16
17	
18	
19	
20	
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	32
33	
34	
35	
36	
37	
38	
39	
40	
41	
42	
43	
44	
45	
46	
47	
48	48
49	
50	
51	
52	
53	
54	
55	
56	
57	
58	
59	
60	60
61	
62	
63	
64	64

間引き
対象外

間引かれた
参照電圧

間引き
対象外

[図8]

参照電圧の全組合せと演算出力結果(出力レベル)

選択電圧			出力			選択電圧			出力			選択電圧			出力			選択電圧			出力				
V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout
0	0	0	0	0	0	0	0	0	16	8	0	0	0	48	24	0	0	0	0	60	30	0	0	0	64
4	0	0	1	4	0	4	0	16	9	4	0	4	0	48	25	4	0	0	0	60	31	4	0	0	64
4	4	0	2	4	4	4	4	16	10	4	4	4	4	48	26	4	4	0	0	60	32	4	4	4	64
16	0	0	4	16	0	4	16	0	12	16	0	16	0	48	28	16	0	0	0	60	34	16	0	0	64
16	4	0	5	16	4	4	7	16	13	16	4	16	4	48	29	16	4	4	4	60	35	16	4	4	64
16	16	0	8	16	16	4	10	16	16	16	16	16	16	48	32	16	16	16	16	60	38	16	16	16	64
32	0	0	8	32	0	4	10	32	0	16	16	32	0	48	32	32	0	0	0	60	38	32	0	0	64
32	4	0	9	32	4	4	11	32	4	16	17	32	4	48	33	32	4	4	4	60	39	32	4	4	64
32	16	0	12	32	16	4	14	32	16	20	32	16	16	48	36	32	16	16	16	60	42	32	16	16	64
32	32	0	16	32	32	4	18	32	32	24	32	32	32	48	40	32	32	32	32	60	46	32	32	32	64
48	0	0	12	48	0	4	14	48	0	16	20	48	0	48	36	48	0	0	0	60	42	48	0	0	64
48	4	0	13	48	4	4	15	48	4	16	21	48	4	48	37	48	4	4	4	60	43	48	4	4	64
48	16	0	16	48	16	4	18	48	16	24	48	16	16	48	40	48	16	16	16	60	46	48	16	16	64
48	32	0	20	48	32	4	22	48	32	16	28	48	32	48	44	48	32	32	32	60	50	48	32	32	64
48	48	0	24	48	48	4	26	48	48	16	32	48	48	48	48	48	48	48	48	60	54	48	48	48	64
60	0	0	15	60	0	4	17	60	0	16	23	60	0	48	39	60	0	0	0	60	45	60	0	0	64
60	4	0	16	60	4	4	18	60	4	16	24	60	4	48	40	60	4	4	4	60	46	60	4	4	64
60	16	0	19	60	16	4	21	60	16	16	27	60	16	48	43	60	16	16	16	60	49	60	16	16	64
60	32	0	23	60	32	4	25	60	32	16	31	60	32	48	47	60	32	32	32	60	53	60	32	32	64
60	48	0	27	60	48	4	29	60	48	16	35	60	48	48	51	60	48	48	48	60	57	60	48	48	64
60	60	0	30	60	60	4	32	60	60	16	38	60	60	48	54	60	60	60	60	60	60	60	60	60	64
64	0	0	16	64	0	4	18	64	0	16	24	64	0	48	40	64	0	0	0	60	46	64	0	0	64
64	4	0	17	64	4	4	19	64	4	16	25	64	4	48	41	64	4	4	4	60	47	64	4	4	64
64	16	0	20	64	16	4	22	64	16	16	28	64	16	48	44	64	16	16	16	60	50	64	16	16	64
64	32	0	24	64	32	4	26	64	32	16	32	64	32	48	48	64	32	32	32	60	54	64	32	32	64
64	48	0	28	64	48	4	30	64	48	16	36	64	48	48	52	64	48	48	48	60	58	64	48	48	64
64	60	0	31	64	60	4	33	64	60	16	39	64	60	48	55	64	60	60	60	60	61	64	60	60	64
64	64	0	32	64	64	4	34	64	64	16	40	64	64	48	56	64	64	64	64	60	62	64	64	64	64

$$V_{out} = [V(T1) + V(T2) + 2 \times V(T3)] / 4$$

[図9]

6ビット64レベルの出力レベルと
参照電圧の対応関係
($n=6$, $N=7$, $A=0$)

出力レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	8
9	
10	
11	
12	
13	
14	
15	
16	
17	
18	
19	
20	
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	32
33	
34	
35	
36	
37	
38	
39	
40	
41	
42	
43	
44	
45	
46	
47	
48	
49	
50	
51	
52	
53	
54	
55	
56	56
57	
58	
59	
60	60
61	
62	
63	
64	64

間引き
対象外

間引かれた
参照電圧

間引き
対象外

[図10]

参照電圧の全組合せと演算出力結果(出力レベル)

[illegible]

$$V_{out} = \{V(T1) + V(T2) + 2 \times V(T3)\} / 4$$

[図11]

6ビット64レベルの出力レベルと
参照電圧の対応関係
($n=6$, $N=7$, $A=0$)

電圧レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	
9	
10	
11	
12	12
13	
14	
15	
16	
17	
18	
19	
20	
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	32
33	
34	
35	
36	
37	
38	
39	
40	
41	
42	
43	
44	
45	
46	
47	
48	
49	
50	
51	
52	52
53	
54	
55	
56	
57	
58	
59	
60	60
61	
62	
63	
64	64

間引き
対象外

間引かれた
参照電圧

間引き
対象外

参照電圧の全組合せと演算出力結果(出力レベル)

源装置		出力		源装置		出力		源装置		出力		源装置		出力		源装置		出力						
		V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)	V(T1)	V(T2)					
0	0	0	0	4	2	0	0	12	6	0	0	32	16	0	0	52	26	0	0	64	32			
4	0	0	1	4	3	4	0	12	7	4	0	32	17	4	0	52	27	4	0	64	33			
4	0	0	2	4	4	4	4	12	8	4	4	32	18	4	4	52	28	4	4	64	34			
12	0	0	3	12	0	4	12	0	12	9	12	0	32	19	12	0	52	29	12	0	64	35		
12	4	0	4	12	4	6	12	4	12	10	12	4	32	20	12	4	52	30	12	4	64	36		
12	4	0	4	12	4	6	12	4	12	10	12	4	32	20	12	4	52	30	12	4	64	36		
12	12	0	6	12	12	12	12	12	12	12	12	12	32	22	12	12	52	32	12	12	64	38		
32	0	0	8	32	0	4	10	32	0	12	14	32	0	32	24	32	0	52	34	32	0	64	40	
32	4	0	9	32	4	4	11	32	4	12	15	32	4	32	25	32	4	52	35	32	4	64	41	
32	12	0	11	32	12	4	13	32	12	12	17	32	12	32	27	32	12	52	37	32	12	64	43	
32	32	0	16	32	32	4	18	32	32	12	22	32	32	32	32	32	42	52	42	32	60	64	48	
52	0	0	13	52	0	4	15	52	0	12	19	52	0	32	29	52	0	52	39	52	0	60	64	45
52	4	0	14	52	4	4	16	52	4	12	20	52	4	32	30	52	4	52	40	52	4	60	64	46
52	12	0	16	52	12	4	18	52	12	12	22	52	12	32	32	52	12	52	42	52	12	60	64	48
52	32	0	21	52	32	4	23	52	32	12	27	52	32	32	37	52	32	52	47	52	32	60	61	53
52	52	0	26	52	52	4	28	52	52	12	32	52	52	32	52	52	52	52	52	52	52	60	64	58
80	0	0	15	60	0	4	17	60	0	12	21	60	0	32	31	60	0	52	41	60	0	60	64	47
80	4	0	16	60	4	4	18	60	4	12	22	60	4	32	32	60	4	52	42	60	4	60	64	48
80	12	0	18	60	12	4	20	60	12	12	24	60	12	32	34	60	12	52	44	60	12	60	64	50
80	32	0	23	60	32	4	25	60	32	12	29	60	32	32	39	60	32	52	49	60	32	60	64	55
80	52	0	28	60	52	4	30	60	52	12	34	60	52	32	44	60	52	52	54	60	52	60	64	60
80	60	0	30	60	60	4	32	60	60	12	36	60	60	32	46	60	60	52	56	60	60	60	64	62
84	0	0	18	64	0	4	18	64	0	12	22	64	0	32	32	64	0	52	42	64	0	60	64	48
84	4	0	17	64	4	4	19	64	4	12	23	64	4	32	33	64	4	52	43	64	4	60	64	49
84	12	0	19	64	12	4	21	64	12	12	25	64	12	32	35	64	12	52	45	64	12	60	64	51
84	32	0	24	64	32	4	26	64	32	12	30	64	32	32	40	64	32	52	50	64	32	60	64	56
84	52	0	29	64	52	4	31	64	52	12	35	64	52	32	45	64	52	54	55	64	52	60	64	61
84	60	0	31	64	60	4	33	64	60	12	37	64	60	32	47	64	60	52	57	64	60	60	64	63
84	64	0	32	64	64	4	34	64	64	12	39	64	64	32	49	64	64	52	59	64	60	62	64	64

$$V_{out} = [V(T1) + V(T2) + 2 \times V(T3)] / 4$$

[図13]

6ビット64レベルの出力レベルと
参照電圧の対応関係
($n=6$, $N=7$, $A=0$)

電圧レベル	参照電圧 レベル
0	0
1	
2	
3	
4	4
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	
16	
17	
18	
19	
20	20
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	32
33	
34	
35	
36	
37	
38	
39	
40	
41	
42	
43	
44	44
45	
46	
47	
48	
49	
50	
51	
52	
53	
54	
55	
56	
57	
58	
59	
60	60
61	
62	
63	
64	64

間引き
対象外

間引かれた
参照電圧

間引き
対象外

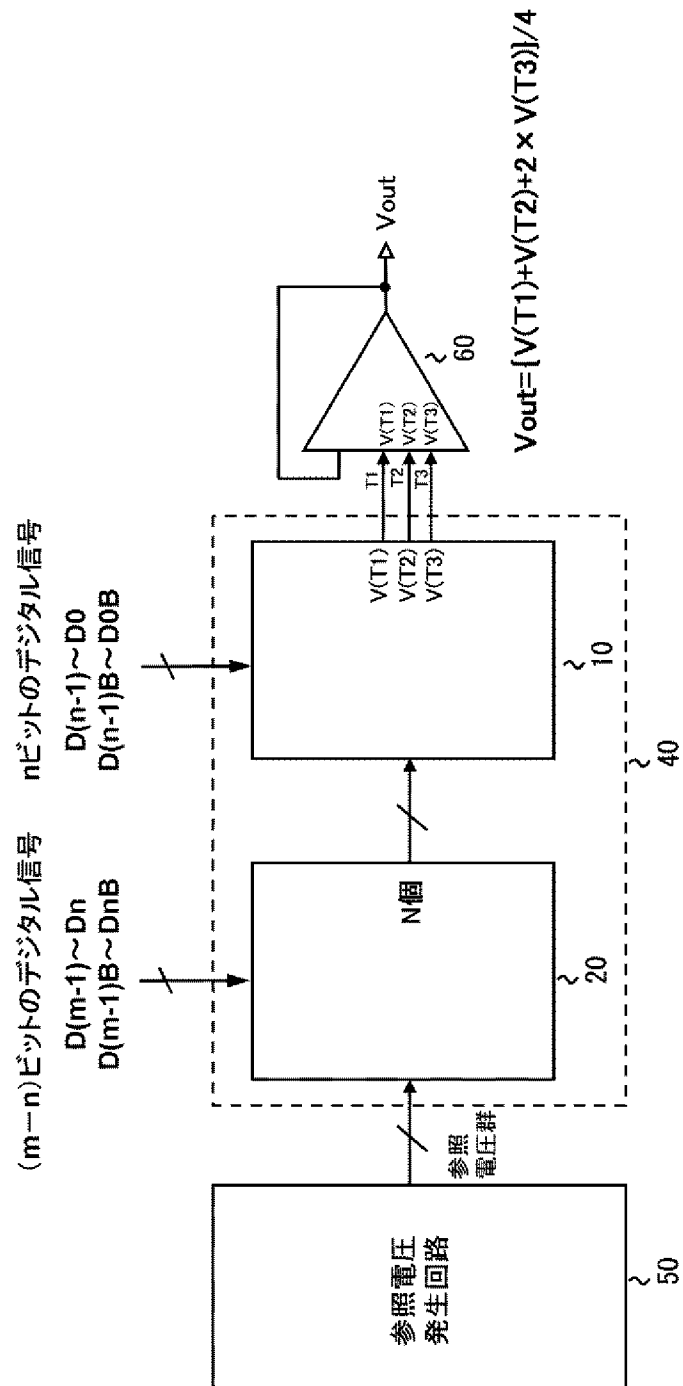
[図14]

参照電圧の全組合せと演算出力結果(出力レベル)

源装置電圧			出力			源装置電圧			出力			源装置電圧			出力			源装置電圧			出力								
V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout	V(T1)	V(T2)	V(T3)	Vout						
4	0	0	0	4	0	0	4	2	0	0	20	10	0	0	32	16	0	0	44	22	0	80	30	0	64	32			
4	0	0	0	4	0	0	4	3	4	0	20	11	4	0	32	17	4	0	44	23	4	0	80	31	4	0	64	33	
4	0	4	0	4	4	4	4	4	4	4	20	12	4	4	32	18	4	4	44	24	4	4	80	32	4	4	64	34	
20	0	4	0	5	20	0	4	7	20	0	20	15	20	0	32	21	20	0	44	27	20	0	80	35	20	0	64	37	
20	4	0	6	20	4	4	8	20	4	20	16	20	4	32	22	20	4	44	28	20	4	80	36	20	4	64	38		
20	20	0	10	20	20	0	12	20	20	20	20	20	20	40	32	26	20	44	32	20	20	40	40	20	20	64	42		
32	0	0	8	32	0	4	10	32	0	20	18	32	0	32	24	32	0	44	30	32	0	80	38	32	0	64	40	40	
32	4	0	9	32	4	4	11	32	4	20	19	32	4	32	25	32	4	44	31	32	4	80	39	32	4	64	41	41	
32	20	0	13	32	20	4	15	32	20	20	23	32	20	32	29	32	20	44	35	32	20	60	43	32	20	64	45	45	
32	32	0	16	32	32	4	18	32	32	32	26	32	32	32	32	32	32	44	38	32	32	60	46	32	32	64	48	48	
44	0	0	11	44	0	4	13	44	0	20	21	44	0	32	27	44	0	44	33	44	0	80	41	44	0	64	43	43	
44	4	4	4	4	14	44	4	4	14	44	4	20	22	44	4	32	28	44	4	44	34	44	4	80	42	44	4	64	44
44	20	0	16	44	20	4	18	44	20	24	44	20	26	44	4	32	32	44	4	44	38	44	20	80	46	44	20	64	48
44	32	0	19	44	32	4	21	44	32	20	29	44	32	32	35	44	32	44	41	44	32	90	49	44	32	64	51	51	
44	44	4	22	44	44	4	24	44	44	4	30	44	44	32	38	44	44	44	44	44	44	44	44	44	44	64	54	54	
80	0	0	15	60	0	4	17	60	0	20	25	60	0	32	31	60	0	44	37	60	0	80	52	60	0	64	47	47	
80	4	0	16	60	4	4	18	60	4	20	26	60	4	32	32	60	4	44	38	60	4	80	56	60	4	64	48	48	
60	20	0	20	60	20	4	22	60	20	28	60	20	30	60	20	32	36	60	20	42	60	20	80	60	20	64	52	52	
60	32	0	23	60	32	4	25	60	32	20	33	60	32	32	39	60	32	44	45	60	32	60	53	60	32	64	55	55	
60	40	0	26	60	44	4	28	60	44	20	36	60	44	32	42	60	44	44	48	60	44	60	56	60	44	64	58	58	
60	60	0	30	60	60	4	32	60	60	20	40	60	60	32	46	60	60	44	52	60	60	60	60	60	60	64	62	62	
64	0	0	16	64	0	4	18	64	0	20	26	64	0	32	32	64	0	44	38	64	0	80	46	64	0	64	48	48	
64	4	4	19	64	4	4	19	64	4	20	27	64	4	32	33	64	4	44	39	64	4	80	47	64	4	64	49	49	
64	20	0	21	64	20	4	23	64	20	31	64	20	32	37	64	20	44	43	64	20	80	51	64	20	64	53	53	53	
64	32	0	24	64	32	4	26	64	32	20	34	64	32	40	64	32	44	46	64	32	60	54	64	32	64	56	56	56	
64	44	0	27	64	44	4	29	64	44	20	37	64	44	32	43	64	44	49	64	44	64	44	64	44	64	59	59	59	
64	64	0	31	64	60	4	33	64	60	41	64	60	32	47	64	60	44	53	64	60	61	64	60	61	64	63	63	63	
64	64	0	32	64	64	4	34	64	64	20	42	64	64	54	64	64	44	54	64	64	80	62	64	64	64	64	64	64	64

$$V_{out} = [V(T1) + V(T2) + 2 \times V(T3)] / 4$$

[図15]



[图16]

電圧レベル	参照電圧レベル	演算電圧			出力Vout	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
		V(T1)	V(T2)	V(T3)											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1		4	0	0	1	0	0	0	0	0	0	0	0	0	1
2		0	0	4	2	0	0	0	0	0	0	0	0	1	0
3		4	0	4	3	0	0	0	0	0	0	0	0	1	1
4	4	12	4	0	4	0	0	0	0	0	0	0	1	0	0
5		16	4	0	5	0	0	0	0	0	0	0	1	0	1
6		12	4	4	6	0	0	0	0	0	0	0	1	1	0
7		16	4	4	7	0	0	0	0	0	0	0	1	1	1
8		12	12	4	8	0	0	0	0	0	0	1	0	0	0
9		16	12	4	9	0	0	0	0	0	0	1	0	0	1
10		12	4	12	10	0	0	0	0	0	0	1	0	1	0
11		16	4	12	11	0	0	0	0	0	0	1	0	1	1
12	12	12	12	12	12	0	0	0	0	0	0	1	1	0	0
13		16	12	12	13	0	0	0	0	0	0	1	1	0	1
14		12	12	16	14	0	0	0	0	0	0	1	1	1	0
15		16	12	16	15	0	0	0	0	0	0	1	1	1	1
16	16	16	16	16	16	0	0	0	0	0	1	0	0	0	0
17		20	16	16	17	0	0	0	0	0	1	0	0	0	1
18		16	16	20	18	0	0	0	0	0	1	0	0	1	0
19		20	16	20	19	0	0	0	0	0	1	0	0	1	1
20	20	28	20	16	20	0	0	0	0	0	1	0	1	0	0
21		32	20	16	21	0	0	0	0	0	1	0	1	0	1
22		28	20	20	22	0	0	0	0	0	1	0	1	1	0
23		32	20	20	23	0	0	0	0	0	1	0	1	1	1
24		28	28	20	24	0	0	0	0	0	1	1	0	0	0
25		32	28	20	25	0	0	0	0	0	1	1	0	0	1
26		28	20	28	26	0	0	0	0	0	1	1	0	1	0
27		32	20	28	27	0	0	0	0	0	1	1	0	1	1
28	28	28	28	28	28	0	0	0	0	0	1	1	1	0	0
29		32	28	28	29	0	0	0	0	0	1	1	1	0	1
30		28	28	32	30	0	0	0	0	0	1	1	1	1	0
31		32	28	32	31	0	0	0	0	0	1	1	1	1	1
32	32	32	32	32	32	0	0	0	0	1	0	0	0	0	0
33		36	32	32	33	0	0	0	0	1	0	0	0	0	1
34		32	32	36	34	0	0	0	0	1	0	0	0	1	0
35		36	32	36	35	0	0	0	0	1	0	0	0	1	1
36	36	44	36	32	36	0	0	0	0	1	0	0	1	0	0
37		48	36	32	37	0	0	0	0	1	0	0	1	0	1
38		44	36	36	38	0	0	0	0	1	0	0	1	1	0
39		48	36	36	39	0	0	0	0	1	0	0	1	1	1
40		44	44	36	40	0	0	0	0	1	0	1	0	0	0
41		48	44	36	41	0	0	0	0	1	0	1	0	0	1
42		44	36	44	42	0	0	0	0	1	0	1	0	1	0
43		48	36	44	43	0	0	0	0	1	0	1	0	1	1
44	44	44	44	44	44	0	0	0	0	1	0	1	1	0	0
45		48	44	44	45	0	0	0	0	1	0	1	1	0	1
46		44	44	48	46	0	0	0	0	1	0	1	1	1	0
47		48	44	48	47	0	0	0	0	1	0	1	1	1	1
48	48	48	48	48	48	0	0	0	0	1	1	0	0	0	0
{	{	{	{	{	{	{	{	{	{	{	{	{	{	{	{
1008	1008	1008	1008	1008	1008	1	1	1	1	1	1	0	0	0	0
1009		1012	1008	1008	1009	1	1	1	1	1	1	0	0	0	1
1010		1008	1008	1012	1010	1	1	1	1	1	1	0	0	1	0
1011		1012	1008	1012	1011	1	1	1	1	1	1	0	0	1	1
1012	1012	1020	1012	1008	1012	1	1	1	1	1	1	0	1	0	0
1013		1024	1012	1008	1013	1	1	1	1	1	1	0	1	0	1
1014		1020	1012	1012	1014	1	1	1	1	1	1	0	1	1	0
1015		1024	1012	1012	1015	1	1	1	1	1	1	0	1	1	1
1016		1020	1020	1012	1016	1	1	1	1	1	1	1	0	0	0
1017		1024	1020	1012	1017	1	1	1	1	1	1	1	0	0	1
1018		1020	1012	1020	1018	1	1	1	1	1	1	1	0	1	0
1019		1024	1012	1020	1019	1	1	1	1	1	1	1	0	1	1
1020	1020	1020	1020	1020	1020	1	1	1	1	1	1	1	1	0	0
1021		1024	1020	1020	1021	1	1	1	1	1	1	1	1	0	1
1022		1020	1020	1024	1022	1	1	1	1	1	1	1	1	1	0
1023		1024	1020	1024	1023	1	1	1	1	1	1	1	1	1	1
1024	1024														

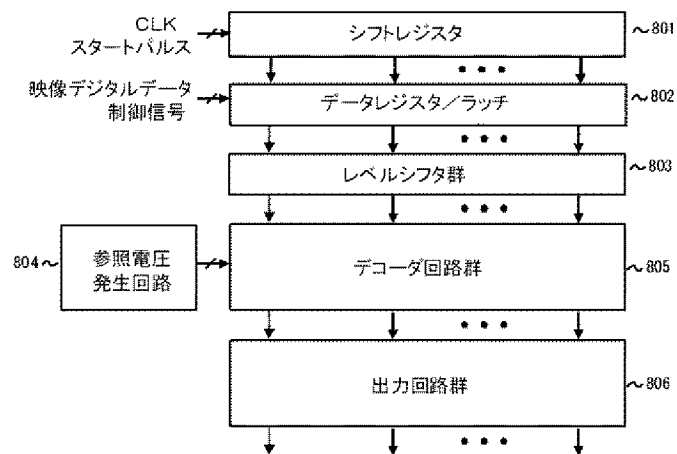
[圖17]

電圧レベル	参照電圧 レベル	選択電圧			出力 Vout	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
		V(T1)	V(T2)	V(T3)											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1		4	0	0	1	0	0	0	0	0	0	0	0	0	1
2		0	0	4	2	0	0	0	0	0	0	0	0	1	0
3		4	0	4	3	0	0	0	0	0	0	0	0	1	1
4	4	4	4	4	4	0	0	0	0	0	0	0	1	0	0
5		8	4	4	5	0	0	0	0	0	0	0	1	0	1
6		4	4	8	6	0	0	0	0	0	0	0	1	1	0
7		8	4	8	7	0	0	0	0	0	0	0	1	1	1
8	8	8	8	8	8	0	0	0	0	0	0	1	0	0	0
9		12	8	8	9	0	0	0	0	0	0	1	0	0	1
10		8	8	12	10	0	0	0	0	0	0	1	0	1	0
11		12	8	12	11	0	0	0	0	0	0	1	0	1	1
12	12	12	12	12	12	0	0	0	0	0	0	1	1	0	0
13		16	12	12	13	0	0	0	0	0	0	1	1	0	1
14		12	12	16	14	0	0	0	0	0	0	1	1	1	0
15		16	12	16	15	0	0	0	0	0	0	1	1	1	1
16	16	16	16	16	16	0	0	0	0	0	1	0	0	0	0
17		20	16	16	17	0	0	0	0	0	1	0	0	0	1
18		16	16	20	18	0	0	0	0	0	1	0	0	1	0
19		20	16	20	19	0	0	0	0	0	1	0	0	1	1
20	20	28	20	16	20	0	0	0	0	0	1	0	1	0	0
21		32	20	16	21	0	0	0	0	0	1	0	1	0	1
22		28	20	20	22	0	0	0	0	0	1	0	1	1	0
23		32	20	20	23	0	0	0	0	0	1	0	1	1	1
24	28	28	28	20	24	0	0	0	0	0	1	1	0	0	0
25		32	28	20	25	0	0	0	0	0	1	1	0	0	1
26		28	20	28	26	0	0	0	0	0	1	1	0	1	0
27		32	20	28	27	0	0	0	0	0	1	1	0	1	1
28	28	28	28	28	28	0	0	0	0	0	1	1	1	0	0
29		32	28	28	29	0	0	0	0	0	1	1	1	0	1
30		28	28	32	30	0	0	0	0	0	1	1	1	1	0
31		32	28	32	31	0	0	0	0	0	1	1	1	1	1
32	32	32	32	32	32	0	0	0	0	1	0	0	0	0	0
33		36	32	32	33	0	0	0	0	1	0	0	0	0	1
34		32	32	36	34	0	0	0	0	1	0	0	0	1	0
35		36	32	36	35	0	0	0	0	1	0	0	0	1	1
36	36	44	36	32	36	0	0	0	0	1	0	0	1	0	0
37		48	36	32	37	0	0	0	0	1	0	0	1	0	1
38		44	36	36	38	0	0	0	0	1	0	0	1	1	0
39		48	36	36	39	0	0	0	0	1	0	0	1	1	1
40	44	44	44	36	40	0	0	0	0	1	0	1	0	0	0
41		48	44	36	41	0	0	0	0	1	0	1	0	0	1
42		44	36	44	42	0	0	0	0	1	0	1	0	1	0
43		48	36	44	43	0	0	0	0	1	0	1	0	1	1
44	44	44	44	44	44	0	0	0	0	1	0	1	1	0	0
45		48	44	44	45	0	0	0	0	1	0	1	1	0	1
46		44	44	48	46	0	0	0	0	1	0	1	1	1	0
47		48	44	48	47	0	0	0	0	1	0	1	1	1	1
48	48	48	48	48	0	0	0	0	1	1	0	0	0	0	0
{	{	{	{	{	{	{	{	{	{	{	{	{	{	{	{
1008	1008	1008	1008	1008	1008	1	1	1	1	1	1	0	0	0	0
1009		1012	1008	1008	1009	1	1	1	1	1	1	0	0	0	1
1010		1008	1008	1012	1010	1	1	1	1	1	1	0	0	1	0
1011		1012	1008	1012	1011	1	1	1	1	1	1	0	0	1	1
1012	1012	1020	1012	1008	1012	1	1	1	1	1	1	0	1	0	0
1013		1024	1012	1008	1013	1	1	1	1	1	1	0	1	0	1
1014		1020	1012	1012	1014	1	1	1	1	1	1	0	1	1	0
1015		1024	1012	1012	1015	1	1	1	1	1	1	0	1	1	1
1016	1020	1020	1020	1012	1016	1	1	1	1	1	1	1	0	0	0
1017		1024	1020	1012	1017	1	1	1	1	1	1	1	0	0	1
1018		1020	1012	1020	1018	1	1	1	1	1	1	1	0	1	0
1019		1024	1012	1020	1019	1	1	1	1	1	1	1	1	0	1
1020	1020	1020	1020	1020	1020	1	1	1	1	1	1	1	1	0	0
1021		1024	1020	1020	1021	1	1	1	1	1	1	1	1	0	1
1022		1020	1020	1024	1022	1	1	1	1	1	1	1	1	1	0
1023		1024	1020	1024	1023	1	1	1	1	1	1	1	1	1	1
1024	1024														

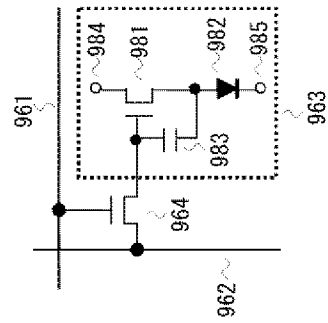
[図18]

10ビット デジタル信号	図2	図3、4	図5、6	図7～図14
1区間あたりの レベル数	16	32	32	64
1区間あたりの 参照電圧数	3+1	5+1	4+1	6+1
区間数	64	32	32	16
全区間の 参照電圧数	193	161	129	97

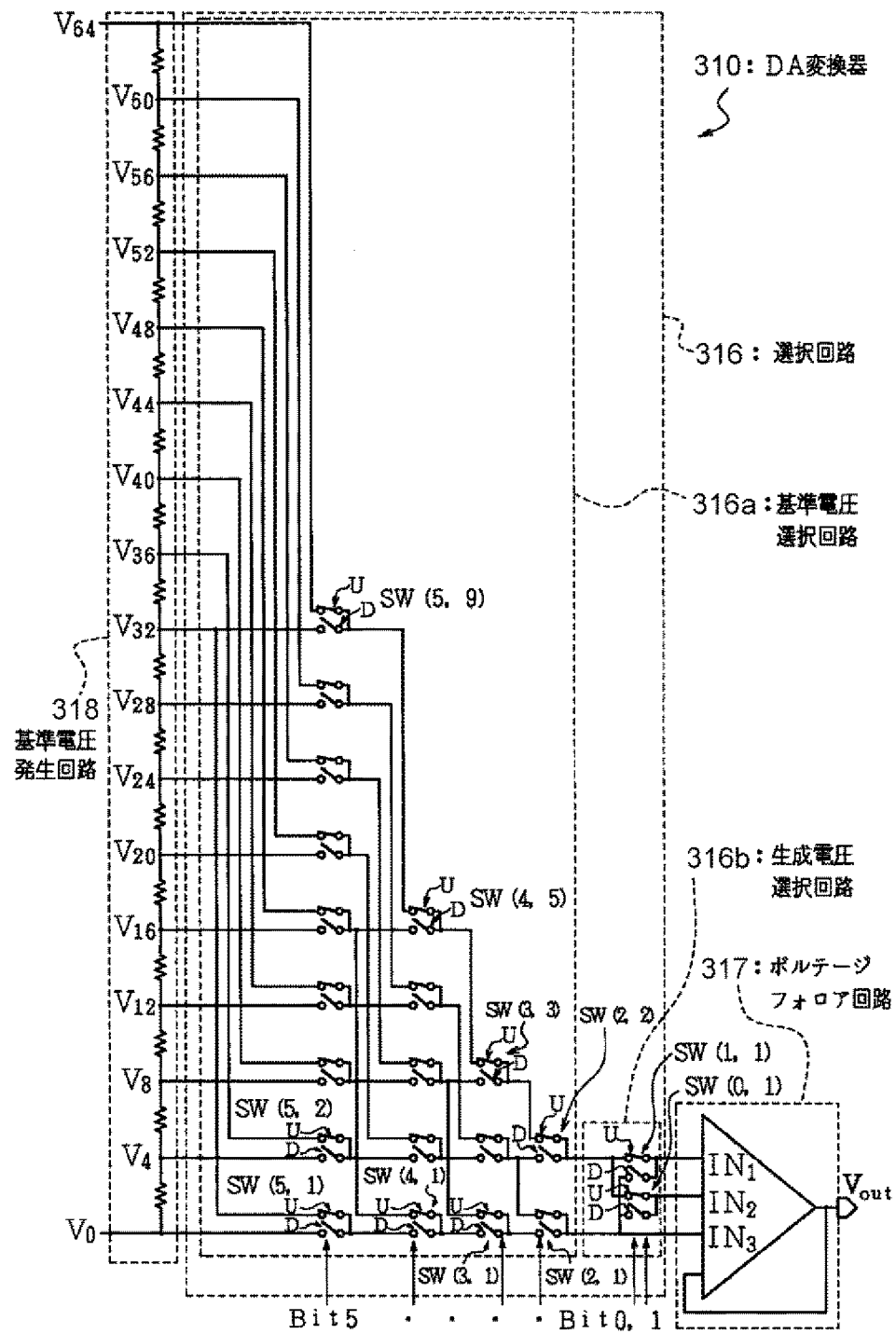
[図19]



(A)



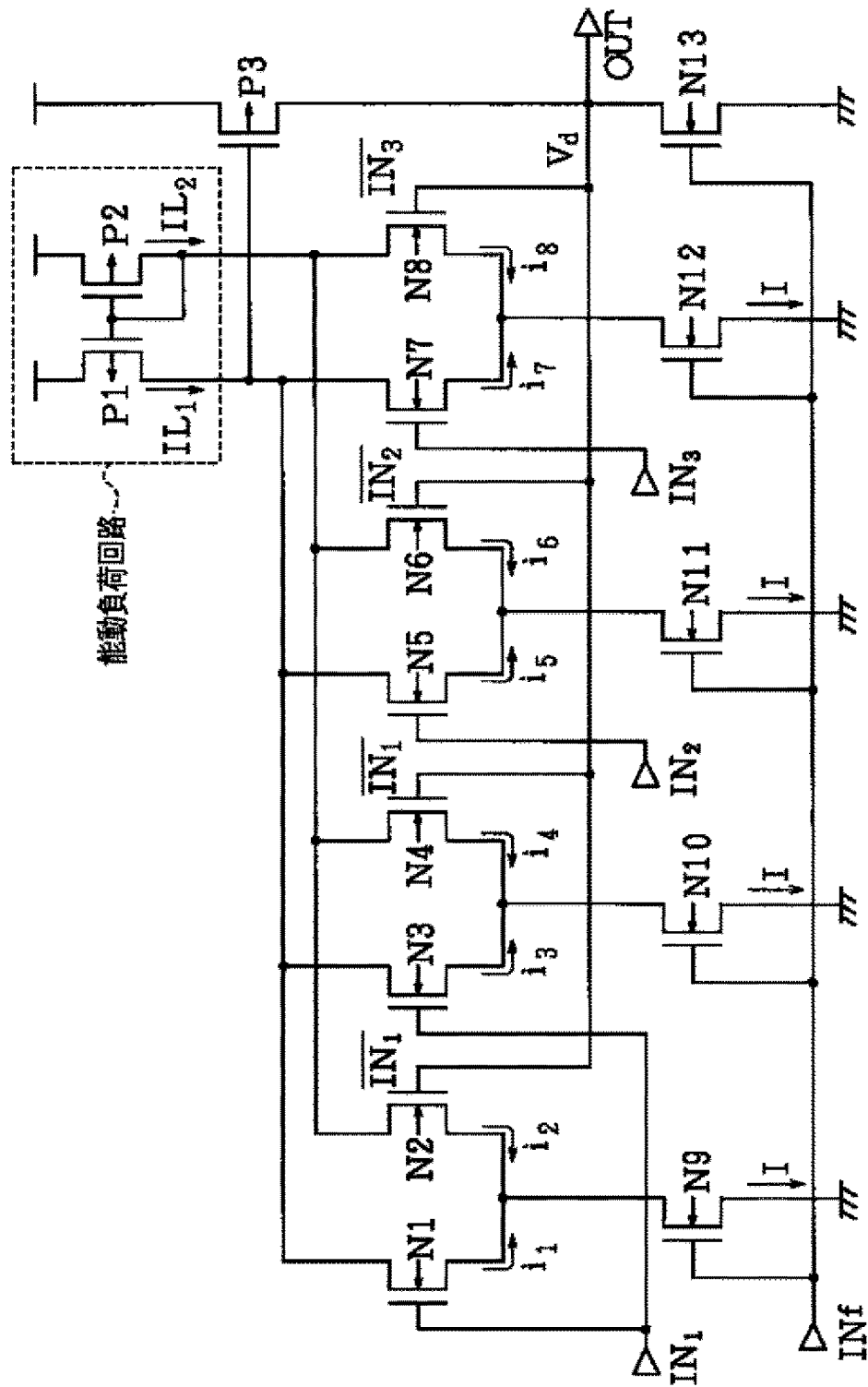
[図21]



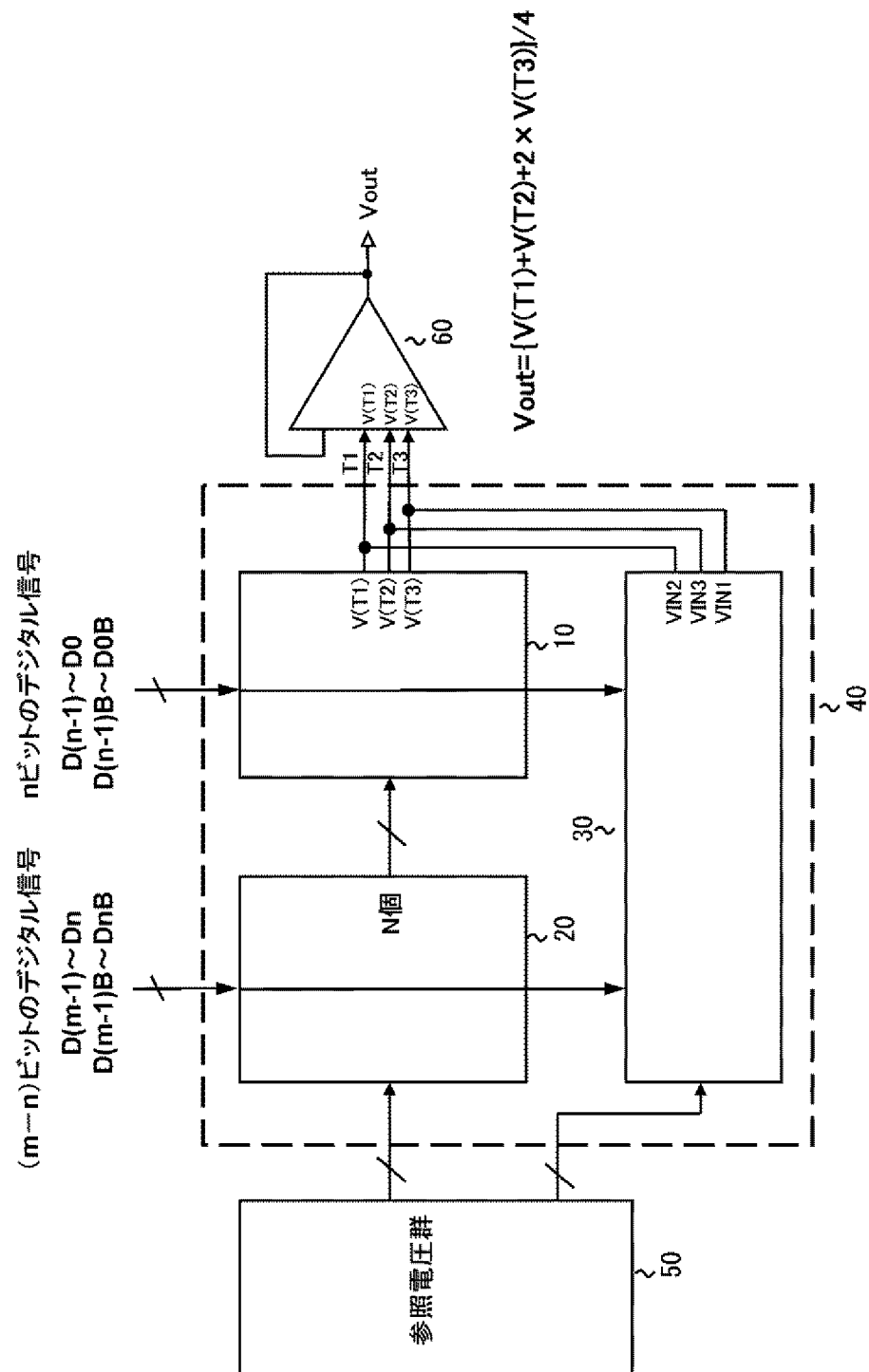
[図22]

階調	Bit							IN ₃	IN ₂	IN ₁	V_{out} = $(VIN_3+VIN_2+VIN_1 \times 2)/4$
	5	4	3	2	1	0					
0	0	0	0	0	0	0	V_0	V_0	V_0	V_0	
1	0	0	0	0	0	1	V_0	V_4	V_0	$(V_0+V_4+V_0 \times 2)/4$	
2	0	0	0	0	1	0	V_0	V_0	V_4	$(V_0+V_0+V_4 \times 2)/4$	
3	0	0	0	0	1	1	V_0	V_4	V_4	$(V_0+V_4+V_4 \times 2)/4$	
4	0	0	0	1	0	0	V_4	V_4	V_4	V_4	
...	...	...	...	...	...	...	...	...	...	...	
59	1	1	1	0	1	1	V_{56}	V_{60}	V_{60}	$(V_{56}+V_{60}+V_{60} \times 2)/4$	
60	1	1	1	1	0	0	V_{60}	V_{60}	V_{60}	V_{60}	
61	1	1	1	1	0	1	V_{60}	V_{64}	V_{60}	$(V_{60}+V_{64}+V_{60} \times 2)/4$	
62	1	1	1	1	1	0	V_{60}	V_{60}	V_{64}	$(V_{60}+V_{60}+V_{64} \times 2)/4$	
63	1	1	1	1	1	1	V_{60}	V_{64}	V_{64}	$(V_{60}+V_{64}+V_{64} \times 2)/4$	

[図23]



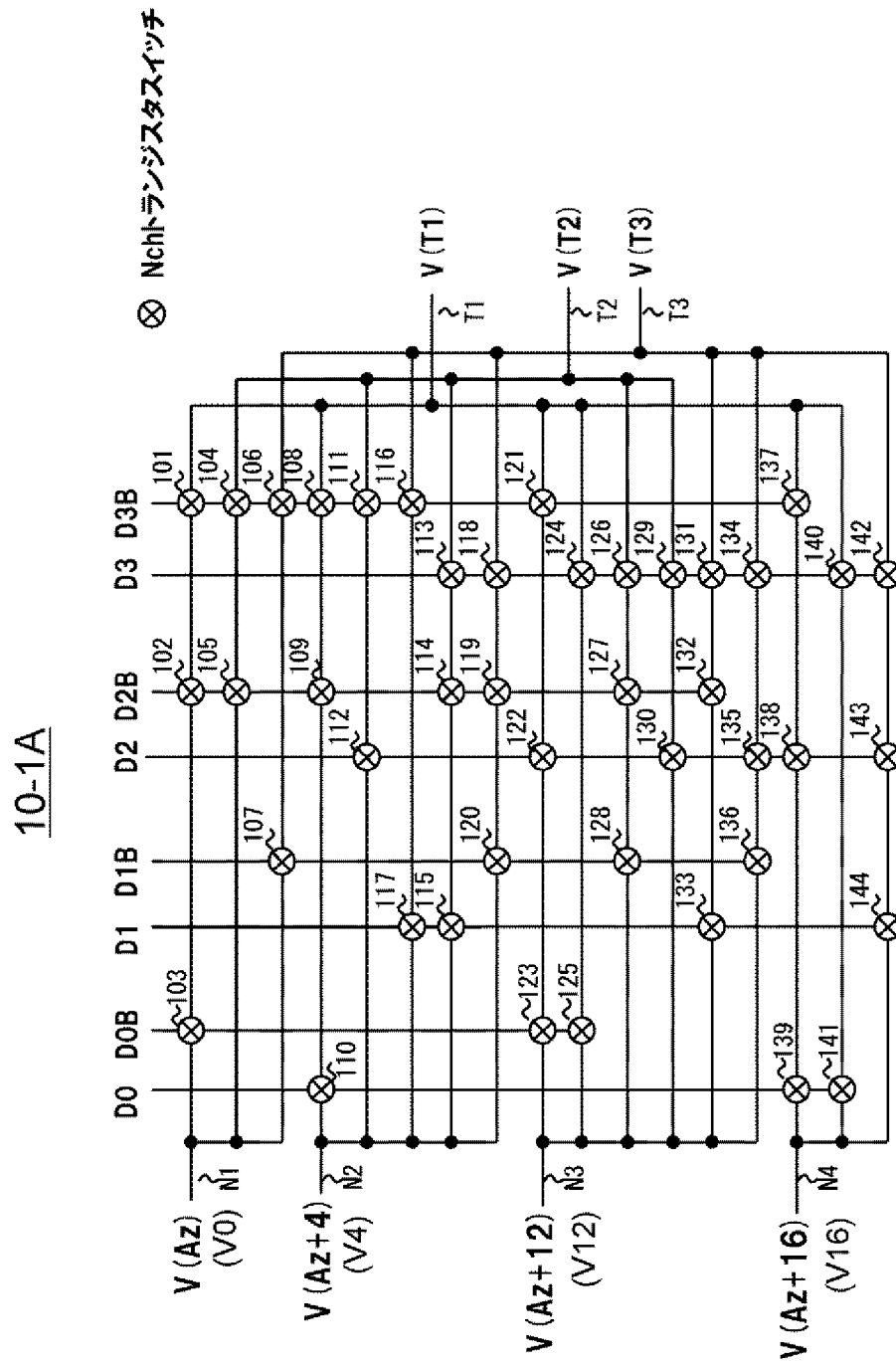
[図24]



[図25]

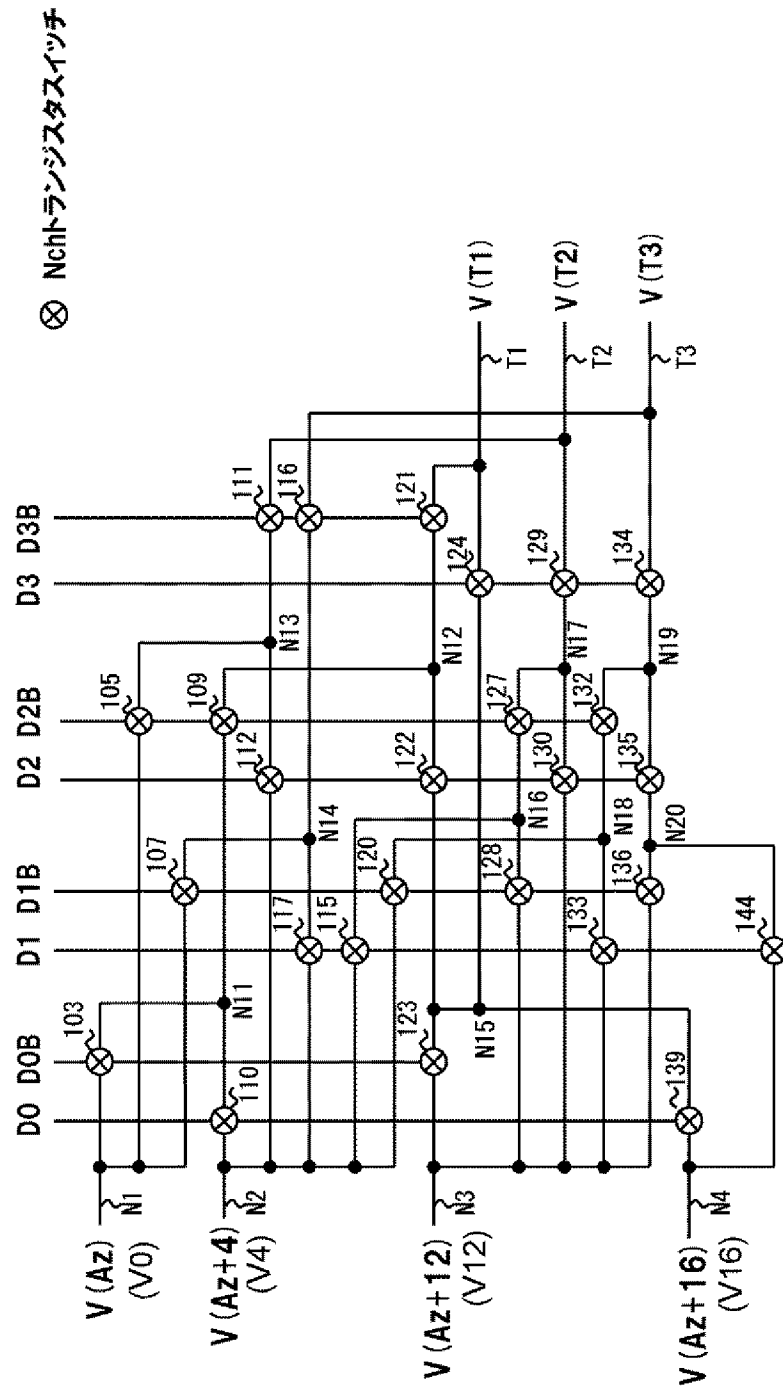
電圧レベル	参照電圧 レベル	選択電圧			出力 Vout	D3	D2	D1	D0
		V(T1)	V(T2)	V(T3)					
0	0	0	0	0	0	0	0	0	0
1		4	0	0	1	0	0	0	1
2		0	0	4	2	0	0	1	0
3		4	0	4	3	0	0	1	1
4	4	12	4	0	4	0	1	0	0
5		16	4	0	5	0	1	0	1
6		12	4	4	6	0	1	1	0
7		16	4	4	7	0	1	1	1
8		12	12	4	8	1	0	0	0
9		16	12	4	9	1	0	0	1
10		12	4	12	10	1	0	1	0
11		16	4	12	11	1	0	1	1
12	12	12	12	12	12	1	1	0	0
13		16	12	12	13	1	1	0	1
14		12	12	16	14	1	1	1	0
15		16	12	16	15	1	1	1	1
16	16								

[図26]

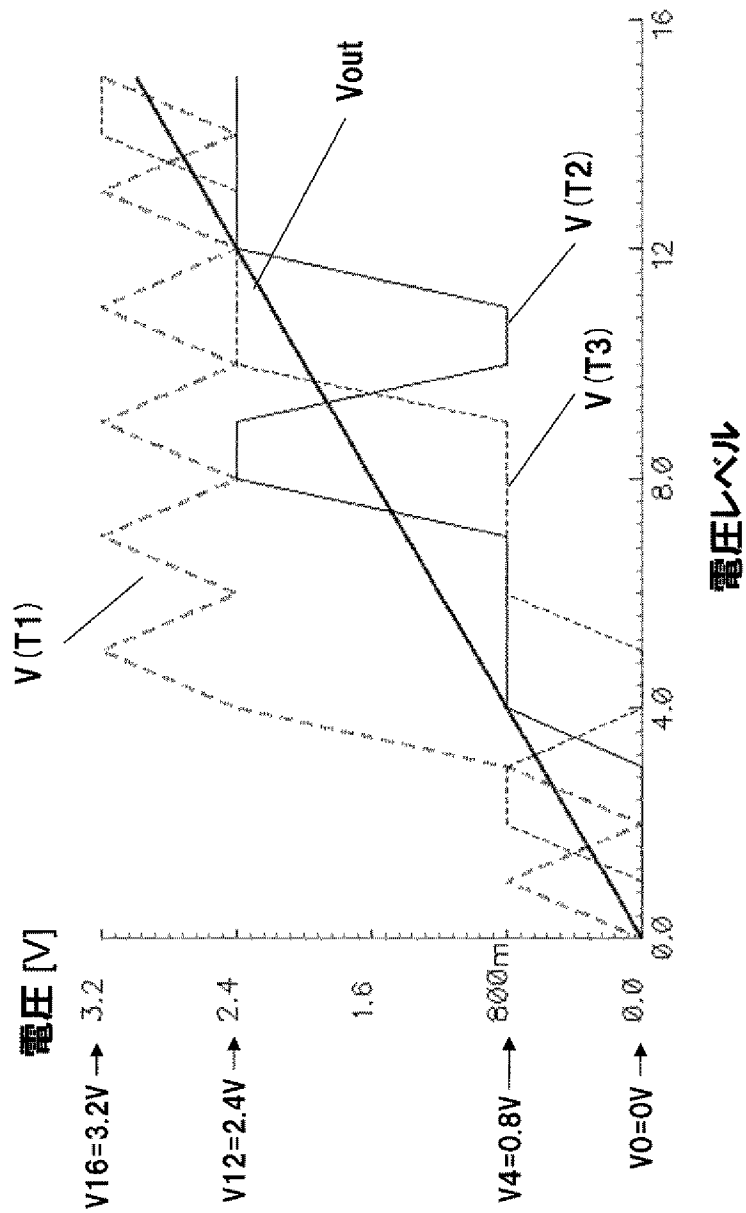


[図27]

10-1B



[図28]

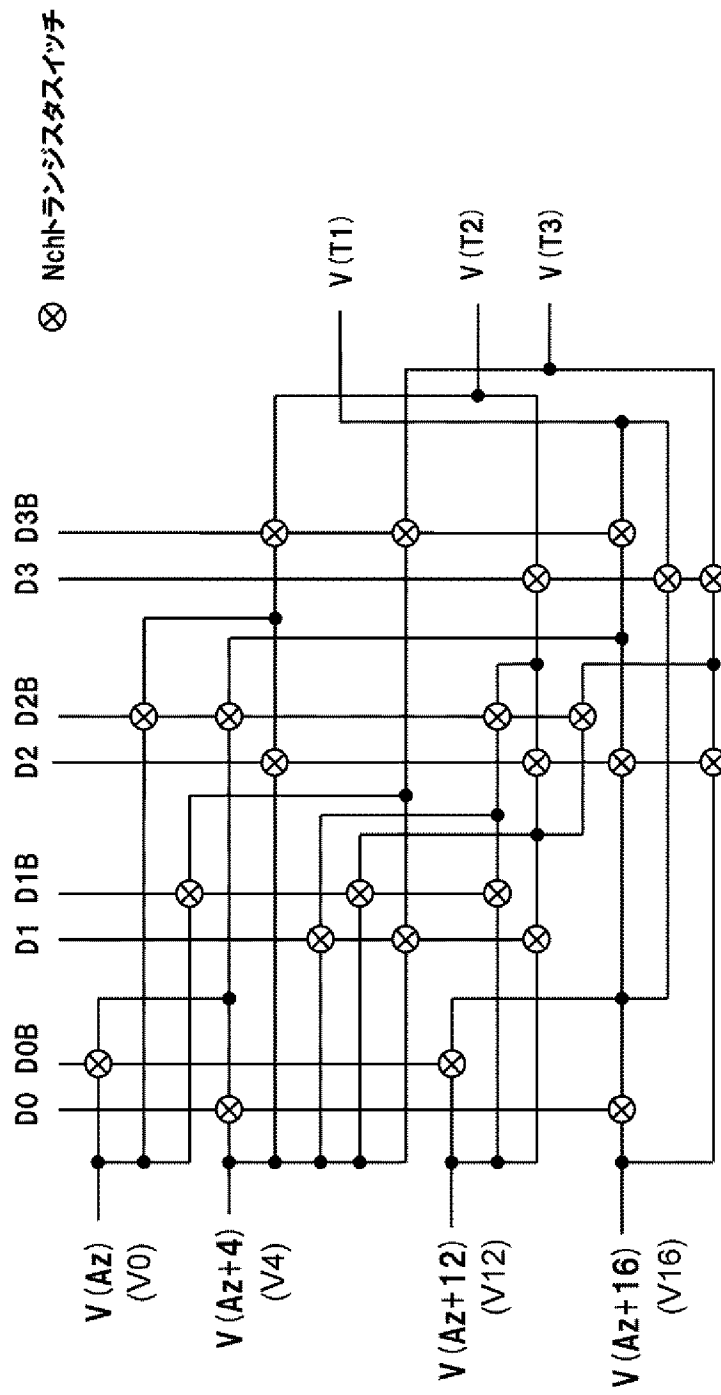


[図29]

電圧レベル	参照電圧 レベル	選択電圧			出力	D3	D2	D1	D0
		V(T1)	V(T2)	V(T3)	Vout				
0	0	0	0	0	0	0	0	0	0
1		4	0	0	1	0	0	0	1
2		0	0	4	2	0	0	1	0
3		4	0	4	3	0	0	1	1
4	4	12	4	0	4	0	1	0	0
5		16	4	0	5	0	1	0	1
6		12	4	4	6	0	1	1	0
7		16	4	4	7	0	1	1	1
8		12	12	4	8	1	0	0	0
9		16	12	4	9	1	0	0	1
10		12	4	12	10	1	0	1	0
11		16	4	12	11	1	0	1	1
12	12	12	4	16	12	1	1	0	0
13		16	4	16	13	1	1	0	1
14		12	12	16	14	1	1	1	0
15		16	12	16	15	1	1	1	1
16	16								

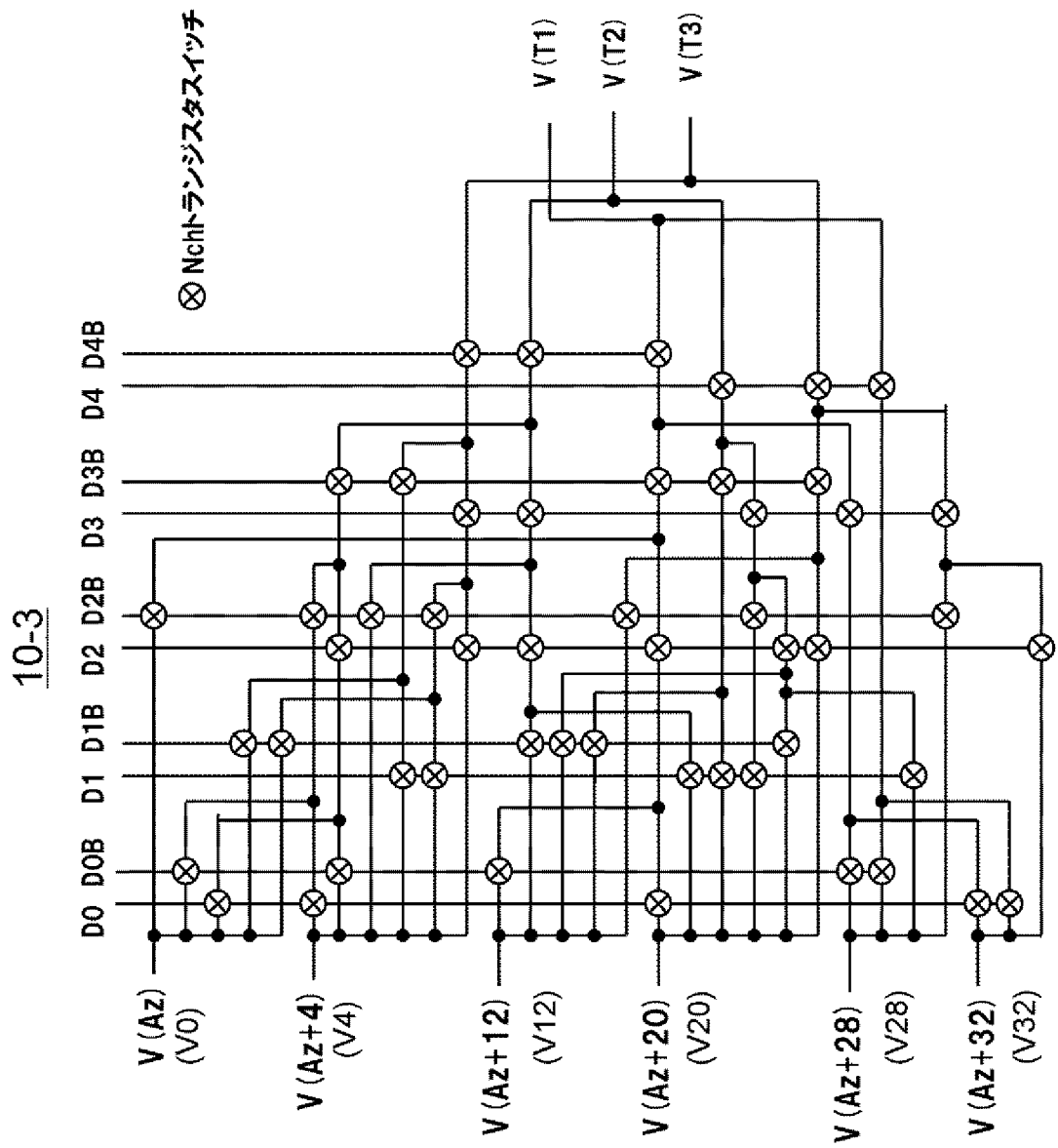
[図30]

10-2



[illegible]

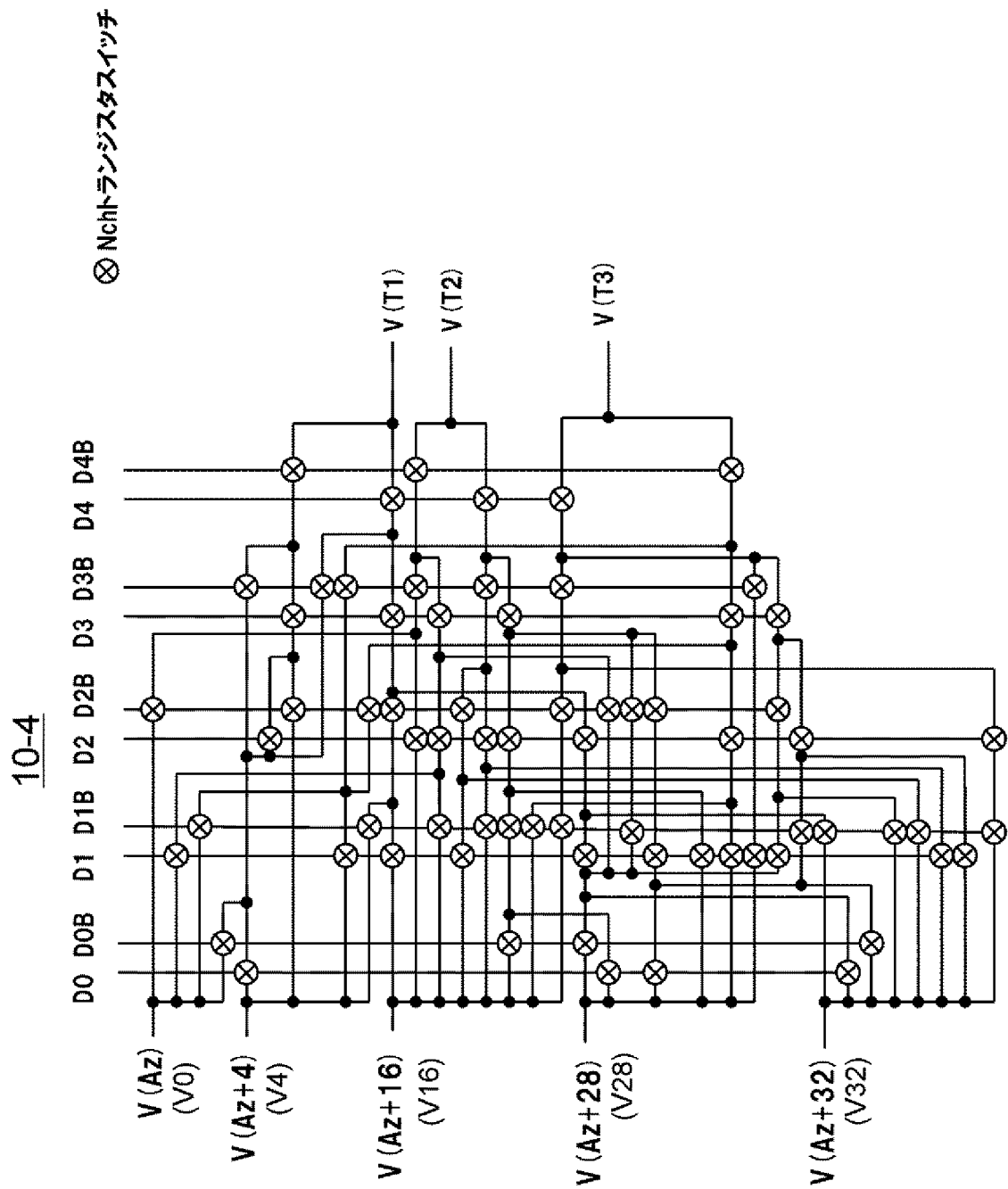
[図32]



[図33]

[illegible]

[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055153

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/74(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/36(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/74, G02F1/133, G09G3/20, G09G3/30, G09G3/36, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-43944 A (Sharp Corp.), 07 February 2002 (07.02.2002), front page & US 2002/0033763 A1 & TW 522656 B & KR 10-2002-0014686 A	1-13
A	JP 2009-104056 A (NEC Electronics Corp.), 14 May 2009 (14.05.2009), front page & US 2009/0109077 A1 & CN 101419769 A	1-13
A	JP 2005-156621 A (Hitachi Displays, Ltd.), 16 June 2005 (16.06.2005), front page & US 2005/0140630 A1 & US 2008/0246786 A1 & KR 10-2005-0049354 A & CN 1619631 A & TW 277940 B	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 March, 2012 (19.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055153

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-67145 A (NEC Electronics Corp.) , 21 March 2008 (21.03.2008) , front page & US 2008/0062021 A1 & CN 101145784 A & KR 10-2008-0023200 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/74(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i,
G09G3/36(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/74, G02F1/133, G09G3/20, G09G3/30, G09G3/36, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-43944 A (シャープ株式会社) 2002.02.07, フロントページ & US 2002/0033763 A1 & TW 522656 B & KR 10-2002-0014686 A	1 - 1 3
A	JP 2009-104056 A (NECエレクトロニクス株式会社) 2009.05.14, フロントページ & US 2009/0109077 A1 & CN 101419769 A	1 - 1 3

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 3 . 2 0 1 2

国際調査報告の発送日

2 7 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

9 5 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-156621 A (株式会社日立ディスプレイズ) 2005.06.16, フロントページ & US 2005/0140630 A1 & US 2008/0246786 A1 & KR 10-2005-0049354 A & CN 1619631 A & TW 277940 B	1 - 1 3
A	JP 2008-67145 A (NECエレクトロニクス株式会社) 2008.03.21, フロントページ & US 2008/0062021 A1 & CN 101145784 A & KR 10-2008-0023200 A	1 - 1 3