

(19) 日本国特許庁 (JP)

再 公 表 特 許 (A1)

(11) 国際公開番号

W02020/174574

発行日 令和3年3月25日 (2021.3.25)

(43) 国際公開日 令和2年9月3日 (2020.9.3)

(51) Int. Cl.	F I	テーマコード (参考)
H04L 25/49 (2006.01)	H04L 25/49	T 5K029
H03M 5/20 (2006.01)	H03M 5/20	

審査請求 有 予備審査請求 未請求 (全 33 頁)

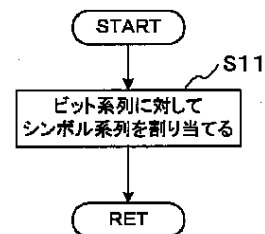
出願番号	特願2020-571574 (P2020-571574)	(71) 出願人	000006013
(21) 国際出願番号	PCT/JP2019/007279		三菱電機株式会社
(22) 国際出願日	平成31年2月26日 (2019.2.26)		東京都千代田区丸の内二丁目7番3号
(81) 指定国・地域	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT	(74) 代理人	100110423 弁理士 曾我 道治
		(74) 代理人	100111648 弁理士 梶並 順
		(74) 代理人	100122437 弁理士 大宅 一宏
		(74) 代理人	100147566 弁理士 上田 俊一
		(74) 代理人	100161171 弁理士 吉田 潤一郎

最終頁に続く

(54) 【発明の名称】 分布整形方法および分布整形終端方法、分布整形符号化器および分布整形復号器、並びに、伝送システム

(57) 【要約】

分布整形方法では、情報圧縮と分布整形とが同時に行われる。予め決定された長さの入力ビット系列に対して、予め決定された長さのシンボル系列を一対一対応で割り当てる。この際、ビット系列のエントロピーが小さいものほど、平均電力の小さいシンボル系列を割り当てる。



S11 Allocate symbol sequence to bit sequence

【特許請求の範囲】**【請求項 1】**

予め決定された長さのビット系列に対して、予め決定された長さのシンボル系列を割り当てるステップであって、前記ビット系列に含まれる第 1 の値のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる、ステップを含む、分布整形方法。

【請求項 2】

前記ビット系列における全てのビットが第 2 の値である場合には、該ビット系列に対して、予め選択されたシンボル系列を割り当てるステップをさらに含む、請求項 1 に記載の分布整形方法。

10

【請求項 3】

前記予め選択されたシンボル系列は、前記使用可能なシンボル系列の中で、最も平均電力の小さいシンボル系列である、請求項 2 に記載の分布整形方法。

【請求項 4】

前記ビット系列における第 2 の値のビット数が第 1 の値のビット数よりも多い場合には、該ビット系列に対して、反転制御ビットとして第 1 の値を追加するステップと、

前記ビット系列における第 2 の値のビット数が第 1 の値のビット数以下である場合には、該ビット系列の各ビットを反転させた後、反転制御ビットとして第 2 の値を追加するステップと

をさらに含む、請求項 1 に記載の分布整形方法。

20

【請求項 5】

予め決定された長さのシンボル系列に対して、予め決定された長さのビット系列を割り当てるステップであって、前記シンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第 1 の値のビット数の多いビット系列を割り当てる、ステップを含む、分布整形終端方法。

【請求項 6】

前記シンボル系列が予め選択されたシンボル系列である場合には、該シンボル系列に対して、全てのビットが第 2 の値であるビット系列を割り当てるステップをさらに含む、請求項 5 に記載の分布整形終端方法。

【請求項 7】

前記予め選択されたシンボル系列は、前記使用可能なシンボル系列の中で、最も平均電力の小さいシンボル系列である、請求項 6 に記載の分布整形終端方法。

30

【請求項 8】

前記ビット系列における反転制御ビットが第 1 の値である場合には、該ビット系列の前記反転制御ビットを除去するステップと、

前記ビット系列における反転制御ビットが第 2 の値である場合には、該ビット系列の前記反転制御ビットを除去した後、各ビットを反転させるステップと

をさらに含む、請求項 5 に記載の分布整形終端方法。

【請求項 9】

前記ビット系列について、反転制御ビットが第 2 の値であり且つ第 2 の値のビット数が第 1 の設定数以下であるか、あるいは、反転制御ビットが第 1 の値であり且つ第 2 の値のビット数が第 2 の設定数以上であるか、の条件が成立するか否かを判定するステップと、

前記条件が成立しない場合には、前記ビット系列の前記反転制御ビットを除去するステップと、

前記条件が成立する場合には、前記ビット系列の前記反転制御ビットを除去した後、各ビットを反転させるステップと

をさらに含む、請求項 5 に記載の分布整形終端方法。

40

【請求項 10】

予め決定された長さのビット系列を、予め決定された規則に従って、第 1、第 2 のビット系列に分割して出力する、前段回路と、

50

前記第 1 のビット系列に対して、該第 1 のビット系列に含まれる第 1 の値のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる、割り当て回路と、

前記第 2 のビット系列と、前記シンボル系列とが、同一の遅延を有するように両者の遅延を調整して出力する、遅延調整回路と、

前記遅延調整回路から出力される前記第 2 のビット系列および前記シンボル系列を、予め決定された規則に従って組み合わせて、新たなシンボル系列を生成して出力する、後段回路と

を備える、分布整形符号化器。

【請求項 1 1】

10

前記割り当て回路は、前記第 1 のビット系列における全てのビットが第 2 の値である場合には、該第 1 のビット系列に対して、予め選択されたシンボル系列を割り当てる、請求項 1 0 に記載の分布整形符号化器。

【請求項 1 2】

前記割り当て回路は、

前記第 1 のビット系列における第 2 の値のビット数が第 1 の値のビット数よりも多い場合には、該第 1 のビット系列に対して、反転制御ビットとして第 1 の値を追加し、

前記第 1 のビット系列における第 2 の値のビット数が第 1 の値のビット数以下である場合には、該第 1 のビット系列の各ビットを反転させた後、反転制御ビットとして第 2 の値を追加する、請求項 1 0 に記載の分布整形符号化器。

20

【請求項 1 3】

前記割り当て回路は、

前記第 1 のビット系列における第 2 の値のビット数が第 1 の値のビット数よりも多い場合には、前記第 2 のビット系列に対して、反転制御ビットとして第 1 の値を追加し、

前記第 1 のビット系列における第 2 の値のビット数が第 1 の値のビット数以下である場合には、前記第 1 のビット系列の各ビットを反転させた後、前記第 2 のビット系列に対して、反転制御ビットとして第 2 の値を追加する、請求項 1 0 に記載の分布整形符号化器。

【請求項 1 4】

前記第 2 のビット系列に対して、予め決定された系列との排他的論理和をとる、ビットスクランブル回路をさらに備える、請求項 1 0 ~ 1 3 のいずれか一項に記載の分布整形符号化器。

30

【請求項 1 5】

予め決定された長さのシンボル系列を、予め決定された規則に従って、第 1、第 2 のシンボル系列に分割して出力する、前段回路と、

前記第 1 のシンボル系列に対して、該第 1 のシンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第 1 の値のビット数の多いビット系列を割り当てる、割り当て回路と、

前記第 2 のシンボル系列と、前記ビット系列とが、同一の遅延を有するように両者の遅延を調整して出力する、遅延調整回路と、

前記遅延調整回路から出力される前記第 2 のシンボル系列および前記ビット系列を、予め決定された規則に従って組み合わせて、新たなビット系列を生成して出力する、後段回路と

40

を備える、分布整形復号器。

【請求項 1 6】

前記割り当て回路は、前記第 1 のシンボル系列が予め選択されたシンボル系列である場合には、該第 1 のシンボル系列に対して、全てのビットが第 2 の値であるビット系列を割り当てる、請求項 1 5 に記載の分布整形復号器。

【請求項 1 7】

前記割り当て回路は、

前記ビット系列における反転制御ビットが第 1 の値である場合には、該ビット系列の前

50

記反転制御ビットを除去し、

前記ビット系列における反転制御ビットが第2の値である場合には、該ビット系列の前記反転制御ビットを除去した後、各ビットを反転させる、請求項15に記載の分布整形復号器。

【請求項18】

前記割り当て回路は、

前記ビット系列における反転制御ビットが第2の値であり且つ前記ビット系列の第2の値のビット数が第1の設定数以下であるか、あるいは、前記ビット系列における反転制御ビットが第1の値であり且つ前記ビット系列の第2の値のビット数が第2の設定数以上であるか、の条件が成立するか否かを判定し、

前記条件が成立しない場合には、前記ビット系列から前記反転制御ビットを除去し、

前記条件が成立する場合には、前記ビット系列から前記反転制御ビットを除去した後、各ビットを反転させる、請求項15に記載の分布整形復号器。

【請求項19】

前記割り当て回路は、

前記第2のシンボル系列に含まれる反転制御ビットが第1の値である場合には、該第2のシンボル系列に含まれる前記反転制御ビットを除去し、

前記第2のシンボル系列に含まれる反転制御ビットが第2の値である場合には、該第2のシンボル系列に含まれる前記反転制御ビットを除去した後、前記ビット系列の各ビットを反転させる、請求項15に記載の分布整形復号器。

【請求項20】

前記割り当て回路は、

前記第2のシンボル系列に含まれる反転制御ビットが第2の値であり且つ前記ビット系列の第2の値のビット数が第1の設定数以下であるか、あるいは、前記第2のシンボル系列に含まれる反転制御ビットが第1の値であり且つ前記ビット系列の第2の値のビット数が第2の設定数以上であるか、の条件が成立するか否かを判定し、

前記条件が成立しない場合には、前記第2のシンボル系列から前記反転制御ビットを除去し、

前記条件が成立する場合には、前記第2のシンボル系列から前記反転制御ビットを除去した後、前記ビット系列の各ビットを反転させる、請求項15に記載の分布整形復号器。

【請求項21】

前記第2のシンボル系列に対して、予め決定された系列との排他的論理和をとる、ビットスクランブル回路をさらに備える、請求項15～20のいずれか一項に記載の分布整形復号器。

【請求項22】

請求項10～14のいずれか一項に記載の分布整形符号化器を含む送信装置と、

請求項15～21のいずれか一項に記載の分布整形復号器を含む受信装置と、

伝送路と

を備える、伝送システム。

【請求項23】

前記分布整形復号器は、誤り訂正復号器をさらに含み、

前記誤り訂正復号器における復号繰り返し数は可変である、請求項22に記載の伝送システム。

【請求項24】

前記分布整形符号化器は、シンボルマッピング回路をさらに含み、

前記シンボルマッピング回路において仮定する送信シンボル確率分布は、ユーザトラフィックが含まれるクライアント信号またはフレーム信号に相当するビット系列における第1の値および第2の値の生起確率がそれぞれ0.5である条件に対応したものである、請求項22に記載の伝送システム。

【請求項25】

前記送信装置は、送信信号補償回路をさらに含み、

前記送信信号補償回路または前記伝送路のいずれかもしくは双方において、平均シンボル電力を任意の時定数で一定に制御する、請求項 22 に記載の伝送システム。

【請求項 26】

前記送信装置は、送信信号補償回路をさらに含み、

前記送信信号補償回路および前記伝送路をいずれも利得一定制御で動作させる、請求項 22 に記載の伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、分布整形方法および分布整形終端方法、分布整形を実行する符号化器および分布整形終端を実行する復号器、並びに、前記符号化器を含む送信装置と前記復号器を含む受信装置と伝送路とを備える伝送システムに関する。

【背景技術】

【0002】

伝送システムにおいて、情報源の確率分布を整形することによって、通信容量をシャノン容量に漸近させる手法が検討されている。このような手法は、確率的整形 (Probabilistic Shaping) と呼ばれている。

【0003】

確率的整形の手法では、送信側において、分布整合 (Distribution Matching) と呼ばれる処理が行われ、受信側において、分布整合終端 (Distribution Dematching) と呼ばれる処理が行われる。

20

【0004】

特許文献 1 には、確率的整形の手法を誤り訂正と組み合わせる際に、送信側において、分布整合を誤り訂正符号化よりも上流で行い、受信側において、分布整合終端を誤り訂正復号よりも下流で行う方法が記載されている。

【0005】

なお、確率的整形の手法では、情報源の確率分布を何らかの目標分布に整合させるという意味から、「分布整合」および「分布整合終端」という用語が用いられている。しかしながら、確率的整形の手法では、明確な目標分布が存在しない場合でも、結果として得られる確率分布が通信に適したものであればよい。

30

【0006】

このような場合には、「分布整形 (Distribution Shaping)」および「分布整形終端 (Distribution Deshaping)」という用語の方がより適切であると考えられる。

【0007】

したがって、本明細書では、これ以降、「分布整形」および「分布整形終端」という用語を用いることにする。

【先行技術文献】

【非特許文献】

40

【0008】

【非特許文献 1】G. Bocherer 他、“Bandwidth Efficient and Rate-Matched Low-Density Parity-Check Coded Modulation”、IEEE Transactions on Communications、vol. 63、no. 12、pp. 4651 - 4665、December 2015.

【発明の概要】

【発明が解決しようとする課題】

【0009】

光ファイバ伝送では、オン・オフ・キーイングが主に用いられている。そのため、通常

50

、光信号における「0」の数と「1」の数とが不均一であることに起因する性能劣化、クロック再生不能等を回避するために、ビットスクランブルによって、「0」と「1」の出現確率を均一化することが行われている。

【0010】

しかしながら、実トラフィックにおける情報源は、通常、「0」と「1」の出現頻度に偏りがある。例えば、MACフレームがアイドル状態である場合には、「0」が優勢となる。また、Alarm Indication Signalが転送される場合には、「1」が優勢となる。

【0011】

したがって、実トラフィックにおける情報源は、統計的性質が時間変化する不均一な情報源とみなすのが妥当である。このような情報源に対して、ビットスクランブルによって「0」と「1」の出現頻度を強制的に均一化することは、情報理論の観点からは、エントロピーを不必要に増加させることになる。

【0012】

本発明は、上記のような課題を解決するためのものであり、不均一で時間変化する情報源に対して適用可能でありながら、不必要なエントロピーの増加を抑えることができる、分布整形方法および分布整形終端方法を提供することを目的とする。

【0013】

また、本発明は、上記の分布整形を実行する符号化器、および、上記の分布整形終端を実行する復号器を提供することも目的とする。

【0014】

さらに、本発明は、上記の符号化器を含む送信装置と、上記の復号器を含む受信装置と、伝送路とを備える、伝送システムを提供することも目的とする。

【課題を解決するための手段】

【0015】

上記の課題を解決するために、本発明に係る分布整形方法は、予め決定された長さのビット系列に対して、予め決定された長さのシンボル系列を割り当てるステップであって、ビット系列に含まれる第1の値のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる、ステップを含む。

【0016】

また、本発明に係る分布整形終端方法は、予め決定された長さのシンボル系列に対して、予め決定された長さのビット系列を割り当てるステップであって、シンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第1の値のビット数の多いビット系列を割り当てる、ステップを含む。

【0017】

また、本発明に係る分布整形符号化器は、予め決定された長さのビット系列を、予め決定された規則に従って、第1、第2のビット系列に分割して出力する、前段回路と、第1のビット系列に対して、当該第1のビット系列に含まれる第1の値のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる、割り当て回路と、第2のビット系列と、シンボル系列とが、同一の遅延を有するように両者の遅延を調整して出力する、遅延調整回路と、遅延調整回路から出力される第2のビット系列およびシンボル系列を、予め決定された規則に従って組み合わせ、新たなシンボル系列を生成して出力する、後段回路とを備える。

【0018】

また、本発明に係る分布整形復号器は、予め決定された長さのシンボル系列を、予め決定された規則に従って、第1、第2のシンボル系列に分割して出力する、前段回路と、第1のシンボル系列に対して、当該第1のシンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第1の値のビット数の多いビット系列を割り当てる、割り当て回路と、第2のシンボル系列と、ビット系列とが、同一の遅延を有するように両者の遅延を調整して出力する、遅延調整回路と、遅延調整回路から出力される第2のシンボル系列お

10

20

30

40

50

よびビット系列を、予め決定された規則に従って組み合わせて、新たなビット系列を生成して出力する、後段回路とを備える。

【 0 0 1 9 】

また、本発明に係る伝送システムは、上記の記載の分布整形符号化器を含む送信装置と、上記の分布整形復号器を含む受信装置と、伝送路とを備える。

【発明の効果】

【 0 0 2 0 】

本発明によれば、不均一で時間変化する情報源に対して適用可能でありながら、不必要なエントロピーの増加を抑えることができる。

【図面の簡単な説明】

10

【 0 0 2 1 】

【図 1】本発明の実施の形態 1 に係る分布整形方法のフローチャートである。

【図 2】本発明の実施の形態 2 に係る分布整形方法のフローチャートである。

【図 3】本発明の実施の形態 3 に係る分布整形方法のフローチャートである。

【図 4】本発明の実施の形態 4 に係る分布整形終端方法のフローチャートである。

【図 5】本発明の実施の形態 5 に係る分布整形終端方法のフローチャートである。

【図 6】本発明の実施の形態 6 に係る分布整形終端方法のフローチャートである。

【図 7】本発明の実施の形態 7 に係る分布整形終端方法のフローチャートである。

【図 8】本発明の実施の形態 8 に係る分布整形符号化器の構成を示す図である。

【図 9】本発明の実施の形態 9 に係る分布整形符号化器の構成を示す図である。

20

【図 10】本発明の実施の形態 10 に係る分布整形符号化器の構成を示す図である。

【図 11】本発明の実施の形態 11 に係る分布整形符号化器の構成を示す図である。

【図 12】本発明の実施の形態 12 に係る分布整形復号器の構成を示す図である。

【図 13】本発明の実施の形態 13 に係る分布整形復号器の構成を示す図である。

【図 14】本発明の実施の形態 14 に係る分布整形復号器の構成を示す図である。

【図 15】本発明の実施の形態 15 に係る分布整形復号器の構成を示す図である。

【図 16】本発明の実施の形態 16 に係る光ファイバ伝送システムの構成を示す図である。

。

【図 17】図 16 の光送信装置における送信信号処理回路の内部構成を示す図である。

【図 18】図 16 の光送信装置における受信信号処理回路の内部構成を示す図である。

30

【図 19】図 16 の光ファイバ伝送システムにおける、ユーザトラフィックに応じて変化するクライアント / フレーム信号と、送信シンボルの確率分布の変化との模式図である。

【図 20】本発明の実施の形態 8 ~ 11 に係る分布整形符号化器および実施の形態 12 ~ 15 に係る分布整形復号器の各機能を専用のハードウェアである処理回路で実現する場合を示した構成図である。

【図 21】本発明の実施の形態 8 ~ 11 に係る分布整形符号化器および実施の形態 12 ~ 15 に係る分布整形復号器の各機能をプロセッサおよびメモリを備えた処理回路より実現する場合を示した構成図である。

【発明を実施するための形態】

【 0 0 2 2 】

40

以下、添付図面を参照して、本願が開示する発明の実施の形態について、詳細に説明する。ただし、以下に示す実施の形態は一例であり、これらの実施の形態によって、本発明が限定されるものではない。

【 0 0 2 3 】

実施の形態 1 .

図 1 は、本発明の実施の形態 1 に係る分布整形方法のフローチャートである。本実施の形態 1 および後述する実施の形態 2 ~ 3 では、情報圧縮と分布整形とが同時に行われる。

【 0 0 2 4 】

ステップ S 11 において、予め決定された長さの入力ビット系列に対して、予め決定された長さのシンボル系列を一对一对応で割り当てる。この際、ビット系列のエントロピー

50

が小さいもののほど、平均電力の小さいシンボル系列を割り当てる。より具体的には、ビット系列に含まれる「第１の値」のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる。ここで、「第１の値」は「０」または「１」のいずれかである。なお、本実施の形態１および後述する各実施の形態において、第１の値が「０」、第２の値が「１」である場合の例を説明するが、両者の関係を入れ替えて、第１の値が「１」、第２の値が「０」であるとしても、本発明は同様に成立する。

【００２５】

本実施の形態１および後述する実施の形態２～３において、シンボルは、例えば８値パルス振幅変調（ＰＡＭ）シンボルの絶対値、すなわち、１、３、５、７とすることができる。

10

【００２６】

この場合、ビット系列からシンボル系列への一対一対応の変換は、例えば以下の表１のような、入力３ビット→出力２シンボルの変換テーブルによって表される。

【００２７】

[表１]

１）ビット系列：０００	→	シンボル系列：１１	：平均電力１
２）ビット系列：００１	→	シンボル系列：１３	：平均電力５
３）ビット系列：０１０	→	シンボル系列：３１	：平均電力５
４）ビット系列：１００	→	シンボル系列：３３	：平均電力９
５）ビット系列：０１１	→	シンボル系列：１５	：平均電力１３
６）ビット系列：１０１	→	シンボル系列：５１	：平均電力１３
７）ビット系列：１１０	→	シンボル系列：３５	：平均電力１７
８）ビット系列：１１１	→	シンボル系列：５３	：平均電力１７

20

【００２８】

表１の変換テーブルを用いることにより、シンボル間の最小距離を２に保ちながら、入力ビット系列に含まれる「第１の値」、すなわち「０」のビット数が多いほど、出力シンボル系列の平均電力およびエントロピーを小さく抑えることができる。

【００２９】

なお、入力ビット系列に含まれる「０」のビット数が多い場合とは、例えばＭＡＣフレームにおいてアイドルとなるものが多い場合に対応する。

30

【００３０】

したがって、例えば加法性白色ガウス雑音環境において、所定の性能を得るのに必要な信号対雑音比（ＳＮＲ）を低減することができる。あるいは、誤り訂正の復号繰り返し数を減らしたり、より簡易な誤り訂正を採用したりすることにより、同一の性能において、伝送システム全体としての消費電力を低減することができる。

【００３１】

また、表１の変換テーブルは、説明のための簡易なテーブルである。本実施の形態１および後述する実施の形態２～３において、ビット系列の長さは、例えば数１０～数１０００ビットとすることができる。また、シンボル系列の長さは、例えば数１０～数１０００シンボルとすることができる。

40

【００３２】

また、表１の変換テーブルにおいて、ビット系列について、「第１の値」、すなわち「０」のビット数が等しいものが複数存在する場合がある。また、シンボル系列について、平均電力の等しいものが複数存在する場合がある。そのため、表１の変換テーブル内の順番は一意に定まるわけではない。

【００３３】

表１の変換テーブルにおいて、ビット系列について、「第１の値」、すなわち「０」のビット数が等しいもの同士は、入れ替え可能である。同様に、シンボル系列について、平均電力が等しいもの同士は、入れ替え可能である。

【００３４】

50

また、例えば変換テーブルの規模を削減する等の目的のために、ビット系列について、「第 1 の値」、すなわち「0」のビット数が異なるもの同士を入れ替えたとしても、その入れ替えの程度が過剰でない場合には、結果として得られる性能に大きく影響せず、採用できる可能性がある。

【0035】

同様に、シンボル系列について、平均電力が異なるもの同士を入れ替えたとしても、その程度が過剰でない場合には、結果として得られる性能に大きく影響せず、採用できる可能性がある。

【0036】

実施の形態 2 .

10

図 2 は、本発明の実施の形態 2 に係る分布整形方法のフローチャートである。

【0037】

ステップ S 2 1 において、予め決定された長さの入力ビット系列について、全てのビットが第 2 の値、すなわち「1」であるか否かを判定する。

【0038】

ステップ S 2 1 が Y E S の場合、したがって全てのビットが第 2 の値、すなわち「1」である場合には、処理フローはステップ S 2 2 に進む。一方、ステップ S 2 1 が N O の場合、したがって全てのビットが第 2 の値、すなわち「1」ではなく、第 1 の値、すなわち「0」のビットも含まれている場合には、処理フローはステップ S 2 3 に進む。

【0039】

20

ステップ S 2 2 において、ビット系列に対して、予め選択されたシンボル系列を割り当てる。ここで、予め選択されたシンボル系列とは、使用可能なシンボル系列の中で、最も平均電力の小さいシンボル系列である。

【0040】

ステップ S 2 3 において、ビット系列に対して、当該ビット系列のエントロピーが小さいものほど、平均電力の小さいシンボル系列を割り当てる。より具体的には、ビット系列に対して、当該ビット系列に含まれる第 1 の値、すなわち「0」のビット数が多いほど、上記の予め選択されたシンボル系列を除いた、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる、

【0041】

30

前述した実施の形態 1 では、入力ビット系列の全てのビットが第 2 の値、すなわち「1」である場合には、出力シンボル系列の平均電力が大きくなってしまふ。これに対して、本実施の形態 2 では、対象とする区間において、入力ビット系列の全てのビットが第 2 の値、すなわち「1」である場合には、出力シンボル系列の平均電力が最小となる。

【0042】

なお、入力ビット系列の全てのビットが「1」である場合とは、例えば A l a r m I n d i c a t i o n S i g n a l が転送される場合に対応する。

【0043】

本実施の形態 2 では、入力ビット系列に含まれる第 1 の値、すなわち「0」のビット数が多い場合と、入力ビット系列の全てのビットが第 2 の値、すなわち「1」である場合とにおいて、出力シンボル系列の平均電力およびエントロピーを低く抑えることができる。

40

【0044】

なお、本実施の形態 2 では、多くのビット系列に対して、ステップ S 2 3 が実行されることになる。このステップ S 2 3 の処理においては、実施の形態 1 と比べると、使用可能なシンボル系列の中から、最も平均電力の小さいシンボル系列を失うことになる。しかしながら、結果として得られる性能には大きく影響せず、採用できる場合が多いと見込まれる。

【0045】

また、上記のステップ S 2 2 において、予め選択されるシンボル系列として、最も平均電力の小さいシンボル系列を採用するのではなくても、次善の策として、平均電力が中程度

50

のシンボル系列を採用してもよい。

【 0 0 4 6 】

例えば、予め選択されるシンボル系列として、割り当て可能なシンボル系列の平均電力の中央値よりも小さい平均電力を有するシンボル系列を採用してもよい。

【 0 0 4 7 】

実施の形態 3 .

図 3 は、本発明の実施の形態 3 に係る分布整形方法のフローチャートである。

【 0 0 4 8 】

ステップ S 3 1 において、予め決定された長さの入力ビット系列について、第 2 の値、すなわち「 1 」のビット数をカウントする。

10

【 0 0 4 9 】

ステップ S 3 2 において、ビット系列について、第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数よりも多いか否かを判定する。

【 0 0 5 0 】

ステップ S 3 2 が N O の場合、したがって第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数以下である場合には、処理フローはステップ S 3 3 に進む。一方、ステップ S 3 2 が Y E S の場合、したがって第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数よりも多い場合には、処理フローはステップ S 3 4 に進む。

【 0 0 5 1 】

20

ステップ S 3 3 において、ビット系列に対して、反転制御ビットとして第 1 の値、すなわち「 0 」を追加する。

【 0 0 5 2 】

ステップ S 3 4 において、ビット系列に対して、各ビットを反転させた後、反転制御ビットとして第 2 の値、すなわち「 1 」を追加する。

【 0 0 5 3 】

ステップ S 3 5 において、ビット系列に対して、当該ビット系列のエントロピーが小さいもののほど、平均電力の小さいシンボル系列を割り当てる。より具体的には、ビット系列に対して、当該ビット系列に含まれる第 1 の値、すなわち「 0 」のビット数が多いほど、使用可能なシンボル系列の中から、平均電力の小さいシンボル系列を割り当てる。

30

【 0 0 5 4 】

なお、入力ビット系列における「 1 」のビット数が「 0 」のビット数よりも多い場合とは、例えば、A l a r m I n d i c a t i o n S i g n a l が転送される場合、A l a r m I n d i c a t i o n S i g n a l の一部が含まれる場合、ユーザトラフィックが隙間なく転送されている状態で「 1 」のビットの割合が多い場合等に対応する。

【 0 0 5 5 】

また、ビット系列を反転したか否かを示す反転制御ビットは、シンボル系列を構成するビット群に紛れて配置してもよいし、これに含まれないフレームヘッダ、P A M の極性に対応する符号ビット等に配置してもよい。

【 0 0 5 6 】

40

前述した実施の形態 2 では、入力ビット系列の全てのビットが第 2 の値、すなわち「 1 」の場合にしか対応することができず、入力ビット系列に少数の第 1 の値、すなわち「 0 」が含まれている場合には、出力シンボル系列の平均電力およびエントロピーが大きくなってしまふ。

【 0 0 5 7 】

これに対して、本実施の形態 3 では、対象とする区間において、入力ビット系列における第 2 の値、すなわち「 1 」のビット数が多い場合と、入力ビット系列における第 1 の値、すなわち「 0 」のビット数が多い場合との双方について、出力シンボル系列の平均電力およびエントロピーを低く抑えることができる。

【 0 0 5 8 】

50

したがって、本実施の形態 3 では、入力ビット系列における第 1 の値、すなわち「0」のビット数と第 2 の値、すなわち「1」のビット数とがアンバランスとなる場合において、出力シンボル系列の平均電力およびエントロピーを低く抑えることができる。

【0059】

なお、上述した実施の形態 1 ~ 3 では、現在の光ファイバ通信向けフレームフォーマットに基づいて、「0」と「1」の出現頻度を取り扱っている。しかしながら、定義次第では、「0」と「1」の出現頻度が入れ替わる可能性もある。そのような場合には、「0」と「1」を入れ替えて、上述した実施の形態 1 ~ 3 を適用すればよいことは自明である。

【0060】

実施の形態 4 .

10

図 4 は、本発明の実施の形態 4 に係る分布整形終端方法のフローチャートである。本実施の形態 4 および後述する実施の形態 5 ~ 7 では、分布整形終端と情報解凍とが同時に行われる。本実施の形態 4 に係る分布整形終端方法は、前述した実施の形態 1 に係る分布整形方法と組み合わせて用いられる。

【0061】

ステップ S 4 1 において、予め決定された長さの入力シンボル系列に対して、予め決定された長さのビット系列を割り当てる。この際、シンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第 1 の値、すなわち「0」のビット数の多いビット系列を割り当てる。

【0062】

20

本実施の形態 4 および後述する実施の形態 5 ~ 7 において、シンボル系列からビット系列への変換は、少なくとも部分的には、一対一対応である。

【0063】

例えば、シンボルが 8 値 PAM であるとする、一対一対応である部分の変換は、例えば以下の表 2 のような、入力 2 シンボル → 出力 3 ビットの変換テーブルによって表される。

【0064】

[表 2]

1) シンボル系列 : 1 1 : 平均電力 1	→	ビット系列 : 0 0 0
2) シンボル系列 : 1 3 : 平均電力 5	→	ビット系列 : 0 0 1
3) シンボル系列 : 3 1 : 平均電力 5	→	ビット系列 : 0 1 0
4) シンボル系列 : 3 3 : 平均電力 9	→	ビット系列 : 1 0 0
5) シンボル系列 : 1 5 : 平均電力 1 3	→	ビット系列 : 0 1 1
6) シンボル系列 : 5 1 : 平均電力 1 3	→	ビット系列 : 1 0 1
7) シンボル系列 : 3 5 : 平均電力 1 7	→	ビット系列 : 1 1 0
8) シンボル系列 : 5 3 : 平均電力 1 7	→	ビット系列 : 1 1 1

30

【0065】

表 2 の変換テーブルは、前述した実施の形態 1 における表 1 の変換テーブルの逆引きに相当する。すなわち、本実施の形態 4 におけるステップ S 4 1 の変換は、前述した実施の形態 1 におけるステップ S 1 1 の変換の逆変換である。

40

【0066】

また、一対一対応でない部分の変換は、例えば以下の表 3 のような、入力 2 シンボル → 出力 3 ビットの変換テーブルによって表される。

【0067】

[表 3]

9) シンボル系列 : 5 5 : 平均出力 2 5	→	ビット系列 : 1 1 1
10) シンボル系列 : 1 7 : 平均電力 2 5	→	ビット系列 : 0 1 1
11) シンボル系列 : 7 1 : 平均電力 2 5	→	ビット系列 : 1 0 1
12) シンボル系列 : 3 7 : 平均電力 2 9	→	ビット系列 : 1 1 0
13) シンボル系列 : 7 3 : 平均電力 2 9	→	ビット系列 : 1 1 1

50

- 14) シンボル系列：57：平均電力37 → ビット系列：110
15) シンボル系列：75：平均電力37 → ビット系列：111
16) シンボル系列：77：平均電力49 → ビット系列：111

【0068】

表3の変換テーブルには、表2の変換テーブルの内容は含まれていない。そのため、前述した実施の形態1で定義した各送信シンボルが、例えば誤り訂正が行われることによって、全て誤りなく受信される場合には、表3の変換テーブルを用いる必要はない。

【0069】

しかしながら、現実的には、誤りが混入する場合もあり得るため、表3のような変換テーブルを定義しておくことが好ましい。あるいは、簡単化のため、これら8つの場合については、出力ビット系列を、例えば一律に111としてもよい。

10

【0070】

これら表2、表3の変換テーブルを用いることにより、平均電力の小さい入力シンボル系列ほど、第1の値、すなわち「0」のビット数の多い出力ビット系列に変換される。

【0071】

また、表2、表3の変換テーブルにおいて、シンボル系列について、平均電力の等しいものが複数存在する場合がある。また、ビット系列について、第1の値、すなわち「0」のビット数が等しいものが複数存在する場合がある。そのため、表2、表3の変換テーブル内の順番は一意に定まるわけではない。

【0072】

20

前述した実施の形態1に対応して、表2、表3の変換テーブルにおいて、シンボル系列について、平均電力が等しいもの同士は、入れ替え可能である。同様に、ビット系列について、第1の値、すなわち「0」のビット数が等しいもの同士は、入れ替え可能である。

【0073】

また、例えば変換テーブルの規模を削減する等の目的のために、シンボル系列について、平均電力が異なるもの同士を入れ替えたとしても、その入れ替えの程度が過剰でない場合には、結果として得られる性能に大きく影響せず、採用できる可能性がある。

【0074】

同様に、ビット系列について、第1の値、すなわち「0」のビット数が異なるもの同士を入れ替えたとしても、その程度が過剰でない場合には、結果として得られる性能に大きく影響せず、採用できる可能性がある。

30

【0075】

実施の形態5 .

図5は、本発明の実施の形態5に係る分布整形終端方法のフローチャートである。本実施の形態5に係る分布整形終端方法は、前述した実施の形態2に係る分布整形方法と組み合わせて用いられる。

【0076】

ステップS51において、予め決定された長さの入力シンボル系列について、予め選択されたシンボル系列であるか否かを判定する。ここで、予め選択されたシンボル系列とは、使用可能なシンボル系列の中で、最も平均電力の小さいシンボル系列である。

40

【0077】

ステップS51がYESの場合、すなわち最も平均電力の小さいシンボル系列である場合には、処理フローはステップS52に進む。一方、ステップS51がNOの場合、すなわち最も平均電力の小さいシンボル系列でない場合には、処理フローはステップS53に進む。

【0078】

ステップS52において、シンボル系列に対して、全てのビットが第2の値、すなわち「1」であるビット系列を割り当てる。

【0079】

ステップS53において、シンボル系列に対して、当該シンボル系列の平均電力が小さ

50

いほど、上記の全てのビットが第 1 の値、すなわち「 0 」のシンボル系列を除いた、使用可能なビット系列の中から、第 1 の値、すなわち「 0 」のビット数の多いビット系列を割り当てる。この際に用いられる変換テーブルは、前述した実施の形態 4 における表 2、表 3 の変換テーブルと同様のものである。

【 0 0 8 0 】

なお、前述した実施の形態 2 に対応して、上記のステップ S 5 2 において、予め選択されるシンボル系列として、最も平均電力の小さいシンボル系列を採用するのではなくても、次善の策として、平均電力が中程度のシンボル系列を採用してもよい。

【 0 0 8 1 】

例えば、予め選択されるシンボル系列として、使用可能なシンボル系列の平均電力の中央値よりも小さい平均電力を有するシンボル系列を採用してもよい。

10

【 0 0 8 2 】

実施の形態 6 .

図 6 は、本発明の実施の形態 6 に係る分布整形終端方法のフローチャートである。本実施の形態 6 に係る分布整形終端方法は、前述した実施の形態 3 に係る分布整形方法と組み合わせて用いられる。

【 0 0 8 3 】

ステップ S 6 1 において、予め決定された長さの入力シンボル系列に対して、予め決定された長さのビット系列を割り当てる。この際、シンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第 1 の値、すなわち「 0 」のビット数の多いビット系列を割り当てる。この際に用いられる変換テーブルは、前述した実施の形態 4 における表 2、表 3 の変換テーブルと同様のものである。

20

【 0 0 8 4 】

ステップ S 6 2 において、ステップ S 6 1 で割り当てられたビット系列について、当該ビット系列の反転制御ビットが第 2 の値、すなわち「 1 」であるか否かを判定する。

【 0 0 8 5 】

ステップ S 6 2 が N O の場合、したがって反転制御ビットが第 2 の値、すなわち「 1 」でない場合には、処理フローはステップ S 6 3 に進む。一方、ステップ S 6 2 が Y E S の場合、したがって反転制御ビットが第 2 の値、すなわち「 1 」の場合には、処理フローはステップ S 6 4 に進む。

30

【 0 0 8 6 】

ステップ S 6 3 において、ビット系列の反転制御ビットを除去する。

【 0 0 8 7 】

ステップ S 6 4 において、ビット系列の反転制御ビットを除去した後、各ビットを反転させる。

【 0 0 8 8 】

ステップ S 6 5 において、ビット系列について、第 2 の値、すなわち「 1 」のビット数をカウントする。ただし、このステップ S 6 5 は、ビット系列のモニタ機能のためのものであり、このカウント結果を用いてさらに何らかの処理を行うことはない。したがって、このステップ S 6 5 は、省略することもできる。

40

【 0 0 8 9 】

実施の形態 7 .

図 7 は、本発明の実施の形態 7 に係る分布整形終端方法のフローチャートである。本実施の形態 7 に係る分布整形終端方法は、前述した実施の形態 3 に係る分布整形方法と組み合わせて用いられる。

【 0 0 9 0 】

ステップ S 7 1 において、予め決定された長さの入力シンボル系列に対して、予め決定された長さのビット系列を割り当てる。この際、シンボル系列の平均電力が小さいほど、使用可能なビット系列の中から、第 1 の値、すなわち「 0 」のビット数の多いビット系列を割り当てる。この際に用いられる変換テーブルは、前述した実施の形態 4 における表 2

50

、表 3 の変換テーブルと同様のものである。

【 0 0 9 1 】

ステップ S 7 2 において、ステップ S 7 1 で割り当てられたビット系列について、第 2 の値、すなわち「 1 」のビット数をカウントする。

【 0 0 9 2 】

ステップ S 7 3 において、ビット系列について、反転制御ビットが第 2 の値、すなわち「 1 」であり且つ第 2 の値、すなわち「 1 」のビット数が第 1 の設定数以下、あるいは、反転制御ビットが第 1 の値、すなわち「 0 」であり且つ第 2 の値、すなわち「 1 」のビット数が第 2 の設定数以上、の条件が成立するか否かを判定する。ここで、第 1 の設定数は、例えば 6 0 とすることができる。また、第 2 の設定数は、例えば 6 1 とすることができる。

10

【 0 0 9 3 】

ステップ S 7 3 が N O の場合、すなわち上記の条件が成立しない場合には、処理フローはステップ S 7 4 に進む。一方、ステップ S 7 3 が Y E S の場合、すなわち上記の条件が成立する場合には、処理フローはステップ S 7 5 に進む。

【 0 0 9 4 】

ステップ S 7 4 において、ビット系列の反転制御ビットを除去する。

【 0 0 9 5 】

ステップ S 7 5 において、ビット系列の反転制御ビットを除去した後、各ビットを反転させる。

20

【 0 0 9 6 】

前述した実施の形態 6 では、反転制御ビットに誤りが発生した場合には、大規模な誤りが発生する可能性がある。これに対して、本実施の形態 7 では、反転制御ビットに誤りが発生した場合でも、大規模な誤りが発生する事態を回避することができる。

【 0 0 9 7 】

実施の形態 8 .

図 8 は、本発明の実施の形態 8 に係る分布整形符号化器 1 0 0 の構成を示す図である。

【 0 0 9 8 】

分布整形符号化器 1 0 0 は、前段回路 1 0 1 と、割り当て回路 1 0 2 と、遅延調整回路 1 0 3 と、後段回路 1 0 4 とを備えている。

30

【 0 0 9 9 】

分布整形符号化器 1 0 0 には、例えば光ファイバ通信用のフレームであるビット系列 A が外部から入力される。

【 0 1 0 0 】

前段回路 1 0 1 は、外部から入力される予め決定された長さのビット系列 A を、予め決定された規則に従って、第 1 のビット系列 B および第 2 のビット系列 C に分割する。前段回路 1 0 1 は、第 1 のビット系列 B を割り当て回路 1 0 2 に出力し、第 2 のビット系列 C を遅延調整回路 1 0 3 に出力する。

【 0 1 0 1 】

例えば、前段回路 1 0 1 は、入力ビット数が 2 0 0 ビットである場合、下位 1 2 0 ビットを第 1 のビット系列 B として割り当て回路 1 0 2 に出力し、上位 8 0 ビットを第 2 のビット系列 C として遅延調整回路 1 0 3 に出力する。

40

【 0 1 0 2 】

このとき、一部のビットを無効ビットとして取り扱ってもよい。また、上位ビットと下位ビットの関係を入れ替えてもよい。あるいは、上位ビットと下位ビットとに分割するのではなく、入力ビット系列 A から一部のビットを抽出して第 1 のビット系列 B とし、残りのビットを連結させて第 2 のビット系列 C としてもよい。

【 0 1 0 3 】

割り当て回路 1 0 2 は、前段回路 1 0 1 から入力される第 1 のビット系列 B に対して、前述した実施の形態 1 または 2 に記載の方法に基づいて、シンボル系列を割り当て、遅延

50

調整回路 103 に出力する。

【0104】

詳細には、割り当て回路 102 は、ビットシンボル変換回路 102a を含んでいる。ビットシンボル変換回路 102a は、例えば「T. Yoshida 他、“Hierarchical Distribution Matching for Probabilistically Shaped Coded Modulation”、2018、[Online]. Available: www.arxiv.org/abs/1809.01653」に記載のルックアップテーブル群を記憶している。ビットシンボル変換回路 102a は、例えば 121 ビットのビット系列を 80 シンボルの 8 値 PAM シンボル系列に変換する。なお、8 値 PAM シンボルの振幅絶対値は、1、3、5、7 であるため、80 シンボルの 8 値 PAM シンボル系列の実態は、160 ビットのビット系列である。

10

【0105】

遅延調整回路 103 は、前段回路 101 から割り当て回路 102 を経由して入力されるシンボル系列 D と、前段回路 101 から直接入力される第 2 のビット系列 C とが、同一の遅延を有するように両者の遅延を調整して出力する。

【0106】

後段回路 104 は、遅延調整回路 103 から出力される第 2 のビット系列 C およびシンボル系列 D を、予め決定された規則に従って組み合わせ、新たなシンボル系列 E を生成して出力する。

【0107】

例えば、後段回路 104 は、8 値 PAM シンボル系列を 80 シンボル生成する。なお、さらに後段において誤り訂正符号化を行う場合には、そのパリティビットの予約領域を符号ビットにもつ必要がある。その場合には、前段回路 101 から直接に遅延調整回路 103 に入力される第 2 のビット系列 C については、割り当て回路 102 から出力されるシンボル系列 D よりも、有効ビット数を、パリティビットの挿入分だけ少なくしておく。

20

【0108】

本実施の形態 8 に係る分布整形符号化器 100 では、割り当て回路 102 において、実施の形態 1 に記載の方法に基づく処理を行うことにより、前段回路 101 に入力されるビット系列 A に含まれる第 1 の値、すなわち「0」のビット数が多い場合に、後段回路 104 から出力されるシンボル系列 E の平均電力およびエントロピーを低く抑えることができる。

30

【0109】

また、本実施の形態 8 に係る分布整形符号化器 100 では、割り当て回路 102 において、実施の形態 2 に記載の方法に基づく処理を行うことにより、前段回路 101 に入力されるビット系列 A に含まれる第 1 の値、すなわち「0」のビット数が多い場合と、ビット系列 A の全てのビットが第 2 の値、すなわち「1」である場合とにおいて、後段回路 104 から出力されるシンボル系列 E の平均電力およびエントロピーを低く抑えることができる。

【0110】

実施の形態 9 .

40

図 9 は、本発明の実施の形態 9 に係る分布整形符号化器 200 の構成を示す図である。なお、以降の説明において、実施の形態 8 と同一または同様の構成要素については、同一の符号を付して詳細な説明を省略する。

【0111】

分布整形符号化器 200 は、前段回路 101 と、割り当て回路 202 と、遅延調整回路 103 と、後段回路 104 とを備えている。

【0112】

割り当て回路 202 は、前段回路 101 から入力される第 1 のビット系列 B に対して、前述した実施の形態 3 に記載の方法に基づいて、シンボル系列を割り当て、遅延調整回路 103 に出力する。

50

【 0 1 1 3 】

詳細には、割り当て回路 2 0 2 は、ビットシンボル変換回路 1 0 2 a と、ビット反転制御回路 2 0 2 b とを含んでいる。

【 0 1 1 4 】

ビット反転制御回路 2 0 2 b は、第 1 のビット系列 B における第 2 の値、すなわち「 1 」のビット数を数え上げる。これは、全ビットの総和をとることと等価である。次に、ビット反転制御回路 2 0 2 b は、第 1 のビット系列 B における第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数よりも多い場合には、第 1 のビット系列 B に対して、反転制御ビットとして第 1 の値、すなわち「 0 」を追加する。一方、ビット反転制御回路 2 0 2 b は、第 1 のビット系列 B における第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数以下である場合には、第 1 のビット系列 B の各ビットを反転させた後、反転制御ビットとして第 2 の値、すなわち「 1 」を追加する。最後に、ビット反転制御回路 2 0 2 b は、反転制御ビットを追加した第 1 のビット系列 B を、ビットシンボル変換回路 1 0 2 a に出力する。

10

【 0 1 1 5 】

本実施の形態 9 に係る分布整形符号化器 2 0 0 では、前述した実施の形態 3 に係る方法において、反転制御ビットを非符号ビットに割り当てた場合と同等の効果を得ることができる。

【 0 1 1 6 】

実施の形態 1 0 .

20

図 1 0 は、本発明の実施の形態 1 0 に係る分布整形符号化器 3 0 0 の構成を示す図である。

【 0 1 1 7 】

分布整形符号化器 3 0 0 は、前段回路 1 0 1 と、割り当て回路 3 0 2 と、遅延調整回路 1 0 3 と、後段回路 1 0 4 とを備えている。

【 0 1 1 8 】

割り当て回路 3 0 2 は、前段回路 1 0 1 から入力される第 1 のビット系列 B に対して、前述した実施の形態 3 に記載の方法に基づいて、シンボル系列を割り当て、遅延調整回路 1 0 3 に出力する。

【 0 1 1 9 】

30

詳細には、割り当て回路 3 0 2 は、ビットシンボル変換回路 1 0 2 a と、ビット反転制御回路 3 0 2 b とを含んでいる。

【 0 1 2 0 】

ビット反転制御回路 3 0 2 b は、第 1 のビット系列 B における第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数よりも多い場合には、第 2 のビット系列 C に対して、反転制御ビットとして 0 を追加する。一方、ビット反転制御回路 3 0 2 b は、第 1 のビット系列 B における第 2 の値、すなわち「 1 」のビット数が第 1 の値、すなわち「 0 」のビット数以下である場合には、第 1 のビット系列 B の各ビットを反転させた後、第 2 のビット系列 C に対して、反転制御ビットとして第 2 の値、すなわち「 1 」を追加する。

40

【 0 1 2 1 】

本実施の形態 1 0 に係る分布整形符号化器 2 0 0 では、前述した実施の形態 3 に係る方法において、反転制御ビットを符号ビットに割り当てた場合と同等の効果を得ることができる。

【 0 1 2 2 】

実施の形態 1 1 .

図 1 1 は、本発明の実施の形態 1 1 に係る分布整形符号化器 4 0 0 の構成を示す図である。

【 0 1 2 3 】

分布整形符号化器 4 0 0 は、前述した実施の形態 8 に係る分布整形符号化器 1 0 0 の構

50

成に加えて、ビットスクランブル回路 405 を備えている。

【0124】

ビットスクランブル回路 405 は、前段回路 101 から入力される第 2 のビット系列 C に対して、疑似ランダム系列等との排他的論理和をとることによってビットスクランブルを行い、結果を遅延調整回路 103 に出力する。

【0125】

ビットスクランブル回路 405 に入力される第 2 のビット系列 C における第 1 の値、すなわち「0」のビット数と第 2 の値、すなわち「1」のビット数とがアンバランスとなる場合でも、ビットスクランブルを行うことにより、両者の割合を均一化することができる。

10

【0126】

本実施の形態 11 に係る分布整形符号化器 400 では、後段回路 104 から出力されるシンボル系列 E の正負の極性の発生頻度を均一化することができる。これにより、電気領域または光領域における信号伝送において不要な劣化が発生しなくなる。また、受信側において、クロック再生を実施することができるようになる。

【0127】

なお、前述した実施の形態 9 または 10 においても、ビットスクランブル回路を追加することによって、本実施の形態 11 と同様の効果を得ることができる。

【0128】

実施の形態 12 .

20

図 12 は、本発明の実施の形態 12 に係る分布整形復号器 500 の構成を示す図である。本実施の形態 12 に係る分布整形復号器 500 は、前述した実施の形態 8 に係る分布整形符号化器 100 と組み合わせて用いられる。

【0129】

分布整形復号器 500 は、前段回路 501 と、割り当て回路 502 と、遅延調整回路 503 と、後段回路 504 とを備えている。

【0130】

分布整形復号器 500 には、例えば誤り訂正復号後のシンボル系列 a が外部から入力される。

【0131】

30

前段回路 501 は、外部から入力される予め決定された長さのシンボル系列 a を、予め決定された規則に従って、第 1 のシンボル系列 b および第 2 のシンボル系列 c に分割する。前段回路 501 は、第 1 のシンボル系列 b を割り当て回路 502 に出力し、第 2 のシンボル系列 c を遅延調整回路 503 に出力する。

【0132】

例えば、前段回路 501 は、入力シンボル数が 80 シンボルである場合、8 値 PAM シンボル系列の部分第 1 のシンボル系列 b として割り当て回路 502 に出力し、残りの符号ビット系列の部分第 2 のシンボル系列 c として遅延調整回路 503 に出力する。

【0133】

40

なお、誤り訂正用パリティビットが上流で除去されている場合には、符号ビット系列のビット数は、8 値 PAM 系列のシンボル数よりも少ない。誤り訂正用パリティビットについても予約領域としてダミーデータを転送する場合には、誤り訂正復号後のパリティビットをそのまま後段に流す場合等もありえる。

【0134】

割り当て回路 502 は、前段回路 501 から入力される第 1 のシンボル系列 b に対して、前述した実施の形態 4 または 5 に記載の方法に基づいて、ビット系列を割り当て、遅延調整回路 503 に出力する。

【0135】

詳細には、割り当て回路 502 は、シンボルビット変換回路 502a を含んでいる。シンボルビット変換回路 502a は、例えば「T. Yoshida 他、"Hierarch

50

ical Distribution Matching for Probabilistically Shaped Coded Modulation”、2018、[Online]. Available: www.arxiv.org/abs/1809.01653」に記載のルックアップテーブル群を記憶している。シンボルビット変換回路502aは、例えば80シンボルの8値PAMシンボル系列を120ビットのビット系列に変換する。

【0136】

遅延調整回路503は、前段回路501から割り当て回路502を経由して入力されるビット系列dと、前段回路501から直接入力される第2のシンボル系列cとが、同一の遅延を有するように両者の遅延を調整して出力する。

10

【0137】

後段回路504は、遅延調整回路503から出力される第2のシンボル系列cおよびビット系列dを、予め決定された規則に従って組み合わせ、新たなビット系列eを生成して出力する。

【0138】

本実施の形態12に係る分布整形復号器500は、前述した実施の形態8に係る分布整形符号化器100と組み合わせる用いることにより、所要SNRの低減、消費電力の低減等の効果を得ることができる。

【0139】

実施の形態13、

20

図13は、本発明の実施の形態13に係る分布整形復号器600の構成を示す図である。本実施の形態13に係る分布整形復号器600は、前述した実施の形態9に係る分布整形符号化器200と組み合わせる用いられる。なお、以降の説明において、実施の形態12と同一または同様の構成要素については、同一の符号を付して詳細な説明を省略する。

【0140】

分布整形復号器600は、前段回路501と、割り当て回路602と、遅延調整回路503と、後段回路504とを備えている。

【0141】

割り当て回路602は、前段回路501から入力される第1のシンボル系列bに対して、前述した実施の形態6に記載の方法に基づいて、ビット系列を割り当て、遅延調整回路503に出力する。

30

【0142】

詳細には、割り当て回路602は、シンボルビット変換回路502aと、ビット反転終端回路602bとを含んでいる。

【0143】

ビット反転終端回路602bは、第1のシンボル系列bに付加されている反転制御ビットを検出する。ビット反転終端回路602bは、反転制御ビットが第1の値、すなわち「0」である場合には、第1のシンボル系列bの反転制御ビットを除去する。一方、ビット反転終端回路602bは、反転制御ビットが第2の値、すなわち「1」である場合には、第1のシンボル系列bの反転制御ビットを除去した後、各ビットを反転させる。

40

【0144】

本実施の形態13に係る分布整形復号器600は、前述した実施の形態9に係る分布整形符号化器200と組み合わせる用いることにより、所要SNRの低減、消費電力の低減等の効果を得ることができる。

【0145】

なお、ビット反転終端回路602bは、前述した実施の形態7に記載の方法に基づいて、ビット反転の有無を反転してもよい。

【0146】

詳細には、シンボルビット変換回路502aから出力されるビット系列における反転制御ビットが第2の値、すなわち「1」であり且つビット系列の第2の値、すなわち「1」

50

のビット数が第１の設定数以下であるか、あるいは、ビット系列における反転制御ビットが第１の値、すなわち「０」であり且つビット系列の第２の値、すなわち「１」のビット数が第２の設定数以上であるか、の条件が成立するか否かを判定する。ここで、第１の設定数は、例えば６０とすることができる。また、第２の設定数は、例えば６１とすることができる。

【０１４７】

ビット反転終端回路６０２ｂは、上記の条件が成立しない場合には、ビット系列から反転制御ビットを除去する。一方、ビット反転終端回路６０２ｂは、上記の条件が成立する場合には、ビット系列から反転制御ビットを除去した後、各ビットを反転させる。

【０１４８】

実施の形態１４．

図１４は、本発明の実施の形態１４に係る分布整形復号器７００の構成を示す図である。本実施の形態１４に係る分布整形復号器７００は、前述した実施の形態１０に係る分布整形符号化器３００と組み合わせて用いられる。

【０１４９】

分布整形復号器７００は、前段回路５０１と、割り当て回路７０２と、遅延調整回路５０３と、後段回路５０４とを備えている。

【０１５０】

割り当て回路７０２は、前段回路５０１から入力される第１のシンボル系列ｂに対して、前述した実施の形態６に記載の方法に基づいて、ビット系列を割り当て、遅延調整回路５０３に出力する。

【０１５１】

詳細には、割り当て回路７０２は、シンボルビット変換回路５０２ａと、ビット反転終端回路７０２ｂとを含んでいる。

【０１５２】

ビット反転終端回路７０２ｂは、第２のシンボル系列ｃに付加されている反転制御ビットを検出する。ビット反転終端回路７０２ｂは、反転制御ビットが第１の値、すなわち「０」である場合には、第２のシンボル系列ｃの反転制御ビットを除去する。一方、ビット反転終端回路７０２ｂは、反転制御ビットが第２の値、すなわち「１」である場合には、第２のシンボル系列ｃの反転制御ビットを除去した後、第１のシンボル系列ｂの各ビットを反転させる。

【０１５３】

本実施の形態１４に係る分布整形復号器７００は、前述した実施の形態１０に係る分布整形符号化器３００と組み合わせて用いることにより、所要ＳＮＲの低減、消費電力の低減等の効果を得ることができる。

【０１５４】

なお、ビット反転終端回路７０２ｂは、前述した実施の形態７に記載の方法に基づいて、ビット反転の有無を反転してもよい。

【０１５５】

詳細には、第２のシンボル系列ｃに含まれる反転制御ビットが第２の値、すなわち「１」であり且つシンボルビット変換回路５０２ａから出力されるビット系列の第２の値、すなわち「１」のビット数が第１の設定数以下であるか、あるいは、第２のシンボル系列ｃに含まれる反転制御ビットが第１の値、すなわち「０」であり且つビット系列の第２の値、すなわち「１」のビット数が第２の設定数以上であるか、の条件が成立するか否かを判定する。ここで、第１の設定数は、例えば６０とすることができる。また、第２の設定数は、例えば６１とすることができる。

【０１５６】

ビット反転終端回路７０２ｂは、上記の条件が成立しない場合には、第２のシンボル系列ｃから反転制御ビットを除去する。一方、ビット反転終端回路７０２ｂは、上記の条件が成立する場合には、第２のシンボル系列ｃから反転制御ビットを除去した後、ビット系

10

20

30

40

50

列の各ビットを反転させる。

【 0 1 5 7 】

実施の形態 1 5 .

図 1 5 は、本発明の実施の形態 1 5 に係る分布整形復号器 8 0 0 の構成を示す図である。本実施の形態 1 5 に係る分布整形復号器 8 0 0 は、前述した実施の形態 1 1 に係る分布整形符号化器 4 0 0 と組み合わせて用いられる。

【 0 1 5 8 】

分布整形復号器 8 0 0 は、前述した実施の形態 1 2 に係る分布整形復号器 5 0 0 の構成に加えて、ビットスクランブル回路 8 0 5 を備えている。

【 0 1 5 9 】

ビットスクランブル回路 8 0 5 は、前段回路 5 0 1 から入力される第 2 のシンボル系列 c に対して、疑似ランダム系列等との排他的論理和をとることによってビットスクランブルを行い、結果を遅延調整回路 5 0 3 に出力する。

【 0 1 6 0 】

ビットスクランブル回路 8 0 5 において、疑似ランダム系列等との排他的論理和をとることによって、前述した実施の形態 1 1 で行われたビットスクランブルが解消されることになる。

【 0 1 6 1 】

なお、前述した実施の形態 1 3 または 1 4 においても、ビットスクランブル回路を追加することによって、本実施の形態 1 5 と同様の効果を得ることができる。

【 0 1 6 2 】

実施の形態 1 6 .

図 1 6 は、本発明の実施の形態 1 6 に係る光ファイバ伝送システムの構成を示す図である。

【 0 1 6 3 】

(光ファイバ伝送システム)

光ファイバ伝送システムは、光送信装置 1 0 0 0 と、光受信装置 2 0 0 0 と、光伝送路 3 0 0 0 とから構成されている。

【 0 1 6 4 】

(光送信装置 1 0 0 0)

光送信装置 1 0 0 0 は、外部から入力されるクライアント信号またはフレーム信号に対応した光信号を生成して、光伝送路 3 0 0 0 に出力する。

【 0 1 6 5 】

詳細には、光送信装置 1 0 0 0 は、送信信号処理回路 1 1 0 0 と、D / A 変換増幅回路 1 2 0 0 と、光源 1 3 0 0 と、光変調回路 1 4 0 0 とを備えている。

【 0 1 6 6 】

送信信号処理回路 1 1 0 0 は、外部から入力されるクライアント信号またはフレーム信号に対して信号処理を行って、デジタル電気信号を D / A 変換増幅回路 1 2 0 0 に出力する。

【 0 1 6 7 】

D / A 変換増幅回路 1 2 0 0 は、送信信号処理回路 1 1 0 0 から入力されるデジタル電気信号に対して、デジタル / アナログ変換および電氣的増幅を行って、アナログ電気信号を光変調回路 1 4 0 0 に出力する。

【 0 1 6 8 】

光源 1 3 0 0 は、例えば波長 1 5 5 0 n m 付近で発振する連続光を生成して、光変調回路 1 4 0 0 に出力する。

【 0 1 6 9 】

光変調回路 1 4 0 0 は、光源 1 3 0 0 から入力される連続光を、D / A 変換増幅回路 1 2 0 0 から入力されるアナログ電気信号によって変調して、変調後の光信号を光伝送路 3 0 0 0 に出力する。

10

20

30

40

50

【0170】

光変調回路1400は、例えばニオブ酸リチウムを用いた、偏波多重・Mach-Zehnder型直交位相光変調回路によって構成されている。

【0171】

(光受信装置2000)

光受信装置2000は、光伝送路3000から入力される光信号を受信して、クライアント信号またはフレーム信号に変換して外部に出力する。

【0172】

詳細には、光受信装置2000は、受信信号処理回路2100と、増幅A/D変換回路2200と、光源2300と、光受信回路2400とを備えている。

10

【0173】

光源2300は、例えば波長1550nm付近で発振する連続光を生成して、光受信回路2400に出力する。

【0174】

光受信回路2400は、光伝送路3000から入力される光信号と、光源2300から入力される連続光とを混合干渉させた後に光電変換して、アナログ電気信号を増幅A/D変換回路2200に出力する。

【0175】

光受信回路2400は、例えば偏波・位相ダイバーシチ型コヒーレントレシーバによって構成されている。

20

【0176】

増幅A/D変換回路2200は、光受信回路2400から入力されるアナログ電気信号に対して、電氣的増幅およびアナログ/デジタル変換を行って、デジタル電気信号を受信信号処理回路2100に出力する。

【0177】

受信信号処理回路2100は、増幅A/D変換回路2200から入力されるデジタル信号に基づいて、クライアント信号またはフレーム信号を生成して外部に出力する。

【0178】

(光伝送路3000)

光伝送路3000は、光送信装置1000から入力される光信号を伝送して、光受信装置2000に出力する。

30

【0179】

光伝送路3000は、例えば、光ファイバ、光増幅器、波長多重・分離器、光パワーモニタ、波長選択性スイッチ等によって構成されている。

【0180】

(送信信号処理回路1100の内部構成)

図17は、光送信装置1000における送信信号処理回路1100の内部構成を示す図である。

【0181】

送信信号処理回路1100は、送信信号符号化回路1110と、送信信号補償回路1120とを備えている。

40

【0182】

送信信号符号化回路1110は、外部から入力されるクライアント信号またはフレーム信号の符号化を行って、符号化された信号を送信信号補償回路1120に出力する。

【0183】

詳細には、送信信号符号化回路1110は、分布整形符号化器1111と、誤り訂正符号化器1112と、シンボルマッピング回路1113とを含んでいる。

【0184】

分布整形符号化器1111は、外部から入力されるクライアント信号またはフレーム信号に対して、符号化処理を行って、分布整形符号化後のシンボル系列を誤り訂正符号化器

50

1 1 1 2 に出力する。分布整形符号化器 1 1 1 1 は、実施の形態 8 ~ 1 1 のいずれかに記載の分布整形符号化器によって構成されている。

【0 1 8 5】

誤り訂正符号化器 1 1 1 2 は、分布整形符号化器 1 1 1 1 から入力されるシンボル系列に対して、誤り訂正パリティを付加して、シンボルマッピング回路 1 1 1 3 に出力する。

【0 1 8 6】

このとき、パリティビットは、通常マーク率、すなわちビットが第 1 の値、すなわち「0」および第 2 の値、すなわち「1」のうちの「1」をとる確率が 0.5 付近となり、確率整形できない。そのため、パリティビットは、変調シンボルの正負の極性を制御する符号ビットに割り当てる。

【0 1 8 7】

また、変調シンボルの振幅に影響するビット、すなわち振幅ビットは、例えば 8 値 PAM では 2 ビットあるが、この 2 ビットのペアを崩さないようにする必要がある。ただし、分布整形のパラメータと誤り訂正のパラメータとの組み合わせによっては、これらの条件を満たせない場合もある。その場合には、符号ビットと振幅ビットとの間でビットを融通する。

【0 1 8 8】

シンボルマッピング回路 1 1 1 3 は、誤り訂正符号化器 1 1 1 2 から入力されるビットを変調シンボルに変換して、送信信号補償回路 1 1 2 0 に出力する。

【0 1 8 9】

例えば、シンボルマッピング回路 1 1 1 3 は、3 ビットずつをまとめて振幅 8 値、すなわち振幅値が - 7、- 5、- 3、- 1、1、3、5、7 である、PAM シンボルを生成する。このとき、通常、振幅値が 1 段階違う場合には、入力ビットが 1 ビットだけ異なるグレイ符号を用いる。

【0 1 9 0】

送信信号補償回路 1 1 2 0 は、送信信号符号化回路 1 1 1 0 から入力される符号化された信号に対して、信号スペクトルの整形、光送信装置 1 0 0 0 の非線形応答補償等を行って、補償された信号を出力する。

【0 1 9 1】

(受信信号処理回路 2 1 0 0 の内部構成)

図 1 8 は、受信信号処理回路 2 1 0 0 の内部構成を示す図である。

【0 1 9 2】

受信信号処理回路 2 1 0 0 は、受信信号復号回路 2 1 1 0 と、受信信号補償回路 2 1 2 0 とを備えている。

【0 1 9 3】

受信信号補償回路 2 1 2 0 では、外部から入力される受信信号に対して、サンプリング位相同期、波形等化、搬送波周波数・位相復元等を行って、補償された信号を受信信号復号回路 2 1 1 0 に出力する。

【0 1 9 4】

受信信号復号回路 2 1 1 0 は、送信信号補償回路 1 1 2 0 から入力される補償された信号の復号を行って、外部に出力する。

【0 1 9 5】

詳細には、受信信号復号回路 2 1 1 0 は、シンボルデマッピング回路 2 1 1 3 と、誤り訂正復号器 2 1 1 2 と、分布整形復号器 2 1 1 1 とを含んでいる。

【0 1 9 6】

シンボルデマッピング回路 2 1 1 3 は、受信信号補償回路 2 1 2 0 から入力される信号に対して、軟判定尤度生成または硬判定を行う。このとき、送信信号符号化回路 1 1 1 0 で生成した変調シンボルの生起確率、すなわち事前確率と、伝送路状態とを考慮する。

【0 1 9 7】

伝送路状態は、ガウス雑音環境によって近似するのが通常である。軟値出力する場合に

10

20

30

40

50

は、対数事後確率比、すなわち事後 $L - value$ を 3 値以上で表現し、硬判定する場合には、2 値、すなわち 1 ビットで表現する。得られた尤度もしくは硬判定値は、誤り訂正復号器 2112 に出力される。

【0198】

誤り訂正復号器 2112 では、シンボルデマッピング回路 2113 から入力される事後 $L - value$ または硬判定値に基づいて誤り訂正復号を行って、訂正後の誤り訂正情報ビットを分布整形復号器 2111 に出力する。

【0199】

分布整形復号器 2111 は、誤り訂正復号器 2112 から入力されるシンボル系列に対して、復号処理を行って、復元されたクライアント信号またはフレーム信号を外部に出力する。分布整形復号器 2111 は、実施の形態 12 ~ 15 のいずれかに記載の分布整形復号器によって構成されている。

【0200】

なお、本発明は、適応変調とは異なる。情報源のどこに有効データがあるかを把握する必要はなく、変調方式等の動作モードを切り替えることも不要である。情報源のビット系列が変化すると、出力シンボル系列の確率分布が自動的に変化するものである。

【0201】

図 19 は、ユーザトラフィックに応じて変化するクライアント / フレーム信号と、送信シンボルの確率分布の変化との模式図である。ユーザトラフィックが少ないタイミング、すなわち図 19 の「低使用率」の箇所では、確率分布が中央に偏り、エントロピーが小さくなる。一方、ユーザトラフィックが多いタイミング、すなわち図中の「高使用率」の箇所では、確率分布が全体的に広がり、エントロピーが大きくなる。エントロピーが小さい場合には、所定の性能を得るのに必要な所要 SNR を小さくすることができる。一方、エントロピーが大きい場合には、多くのユーザトラフィックを収容することができる。

【0202】

送信シンボルの確率分布は、ユーザトラフィックの変化に応じて即時変化する。図 19 において、送信シンボルのエントロピーは、分布整形符号化器 1111 への入力ビット系列のマーク率が 0.5、エントロピーが 1 となる場合、すなわち通常想定されている場合に最大となる。このとき、シンボルマッピング回路 1113 の出力する平均シンボル電力が最大となる。一方、マーク率が 0 または 1 に近づいてエントロピーが低下するに従って送信シンボルのエントロピーも低下し、シンボルマッピング回路 1113 の出力する平均シンボル電力が低下する。いずれの場合でも、シンボルマッピング回路 1113 の出力するシンボル間のユークリッド距離は一定であるため、平均シンボル電力が低下するほうが、所定の性能に必要な所要 SNR を小さくすることができる。

【0203】

このように、送信シンボルの平均シンボル電力が変化する場合に、送信信号補償回路 1120 において、平均電力を一定化するように振幅調整することもできる。

【0204】

また、送信信号補償回路 1120 では振幅調整を行わず、光伝送路 3000 に含まれる光増幅器、波長選択性スイッチ等によって、運用波長当たりの出力パワーを一定にすることもできる。ただし、一定制御するデバイスまたは制御方法によって、出力パワーを一定化する際の時定数が異なる。

【0205】

また、平均シンボル電力についてはあえて調整せず、光伝送システム全体を増幅利得一定で動作させることも可能である。

【0206】

また、送信シンボルの平均電力が変化した場合に、シンボルデマッピング回路 2113 において想定する事前確率と伝送路状態とを即時に追従させてもよいし、それぞれ特定の条件に固定して動作させることもできる。

【0207】

10

20

30

40

50

伝送路状態については、理想的には、光伝送路 3 0 0 0 のみならず、送信信号補償回路 1 1 2 0、D / A 変換増幅回路 1 2 0 0、光源 1 3 0 0、光変調回路 1 4 0 0、光源 2 3 0 0、光受信回路 2 4 0 0、増幅 A / D 変換回路 2 2 0 0 および受信信号補償回路 2 1 2 0 による非線形性等を考慮して、受信シンボル分布の期待値を適応的に生成するのが性能上は望ましい。

【 0 2 0 8 】

その一方で、特定の条件に固定させるほうが回路実装上は簡易である。その場合、事前確率と伝送路状態とを共に、分布整形符号化器 1 1 1 1 への入力ビット系列のマーク率が 0 . 5、エントロピーが 1 となる場合における送信シンボル確率分布および雑音分散に従ったものとするのが一例として挙げられる。

【 0 2 0 9 】

また、その他の光デバイス等の影響を固定的なものとして取り込むことは容易である。これにより、最も性能が悪くなる可能性が高いエントロピー最大条件における性能を概略最大化することができる。それ以外の条件では不整合受信となるが、不整合受信による性能劣化を超えて、エントロピー低下による所要 S N R 低減によって性能向上する可能性が高い。

【 0 2 1 0 】

ただし、光ファイバ伝送システム全体を増幅利得一定制御で動作させ、出力パワーを一定とする箇所が存在しない場合には、エントロピーを低下させた際に受信 S N R そのものが低下することから、性能向上が限定的となる。ただし、変調シンボルの遷移パタンに偏りが生じる、すなわち小振幅間の遷移が増えることから、符号間干渉に起因する劣化は低減され、光パワーが低下する。そのため、ファイバ非線形光学効果に起因する劣化も低減され、結果として性能改善が得られる可能性が高い。

【 0 2 1 1 】

また、光ファイバ伝送システム全体を増幅利得一定制御で動作させる場合、光増幅器の出力パワーが低下することになる。統計的に非常に多数の光運用波長の光パワーが増減することを想定すると、光増幅器の出力最大パワーを低く抑えることができる。例えば、エルビウム添加光ファイバ増幅器のように励起光を用いる場合には、その励起光パワーを相対的に低くすることができ、結果として光伝送システム全体の消費電力低減に寄与する。

【 0 2 1 2 】

本発明は、特に、将来の超大容量光伝送を念頭に置いており、信号処理用集積回路の実用化を鑑みると、特に低消費電力化への期待が大きい。

【 0 2 1 3 】

将来的には、フィルタバンクマルチキャリアまたは直交周波数分割多重等を前提として、電氣的または光學的にマルチサブキャリア化し、ビットレートを数百 G b / s ~ 数十 T b / s、シンボルレートを数 G ~ 数 1 0 0 G s y m b o l / s とすることが想定される。

【 0 2 1 4 】

ビット数およびシンボル数是一例であり、2 0 0 ビットおよび 8 0 シンボルよりも長くても短くてもよい。信号処理用集積回路への実装を考えると、数 1 0 ビットから数 1 0 0 0 ビットの範囲内であるのが望ましい。

【 0 2 1 5 】

信号点配置のテンプレートとしては、例えば、8 Q A M、1 6 Q A M、3 2 Q A M、6 4 Q A M、1 2 8 Q A M、2 5 6 Q A M、より多値の Q A M、振幅位相変調 (A P S K) 等が用いられ、シンボルマッピング、シンボルデマッピングではこれらのテンプレートに対応した処理が行われる。また、通常偏波多重も適用される。

【 0 2 1 6 】

また、既に述べたように、上記の実施の形態 1 ~ 1 6 では、第 1 の値が「 0」、第 2 の値が「 1」である場合の例を説明したが、両者の関係を入れ替えて、第 1 の値が「 1」、第 2 の値が「 0」であるとしても、本発明は同様に成立する。

【 0 2 1 7 】

また、上述した実施の形態 8 ~ 11 に係る分布整形符号化器および実施の形態 12 ~ 15 に係る分布整形復号器における各機能は、処理回路によって実現される。各機能を実現する処理回路は、専用のハードウェアであってもよく、メモリに格納されるプログラムを実行するプロセッサであってもよい。図 20 は、本発明の実施の形態 8 ~ 11 に係る分布整形符号化器および実施の形態 12 ~ 15 に係る分布整形復号器の各機能を専用のハードウェアである処理回路 4000 で実現する場合を示した構成図である。また、図 21 は、本発明の実施の形態 8 ~ 11 に係る分布整形符号化器および実施の形態 12 ~ 15 に係る分布整形復号器の各機能をプロセッサ 5001 およびメモリ 5002 を備えた処理回路 5000 により実現する場合を示した構成図である。

【0218】

処理回路が専用のハードウェアである場合、処理回路 4000 は、例えば、単一回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC (Application Specific Integrated Circuit)、FPGA (Field Programmable Gate Array)、またはこれらを組み合わせたものが該当する。分布整形符号化器および分布整形復号器の各部の機能それぞれを個別の処理回路 4000 で実現してもよいし、各部の機能をまとめて処理回路 4000 で実現してもよい。

【0219】

一方、処理回路がプロセッサ 5001 の場合、分布整形符号化器および分布整形復号器の各部の機能は、ソフトウェア、ファームウェア、またはソフトウェアとファームウェアとの組み合わせにより実現される。ソフトウェアおよびファームウェアは、プログラムとして記述され、メモリ 5002 に格納される。プロセッサ 5001 は、メモリ 5002 に記憶されたプログラムを読み出して実行することにより、各部の機能を実現する。すなわち、分布整形符号化器および分布整形復号器は、処理回路 5000 により実行されるときに、上述した各制御が結果的に実行されることになるプログラムを格納するためのメモリ 5002 を備える。

【0220】

これらのプログラムは、上述した各部の手順あるいは方法をコンピュータに実行させるものであるともいえる。ここで、メモリ 5002 とは、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable Read Only Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory) 等の、不揮発性または揮発性の半導体メモリが該当する。また、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、DVD 等も、メモリ 5002 に該当する。

【0221】

なお、上述した各部の機能について、一部を専用のハードウェアで実現し、一部をソフトウェアまたはファームウェアで実現するようにしてもよい。

【0222】

このように、処理回路は、ハードウェア、ソフトウェア、ファームウェア、またはこれらの組み合わせによって、上述した各部の機能を実現することができる。

【符号の説明】

【0223】

100, 200, 300, 400 分布整形符号化器、101 前段回路、102, 202, 302 割り当て回路、103 遅延調整回路、104 後段回路、405 ビットスクランブル回路、500, 600, 700, 800 分布整形復号器、501 前段回路、502, 602, 702 割り当て回路、503 遅延調整回路、504 後段回路、805 ビットスクランブル回路、1000 光送信装置 (送信装置)、2000 光受信装置 (受信装置)、3000 光伝送路 (伝送路)。

10

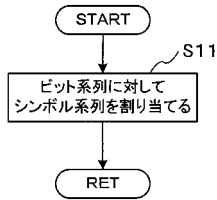
20

30

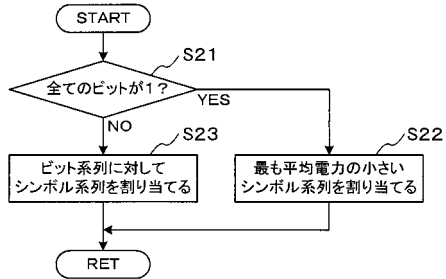
40

50

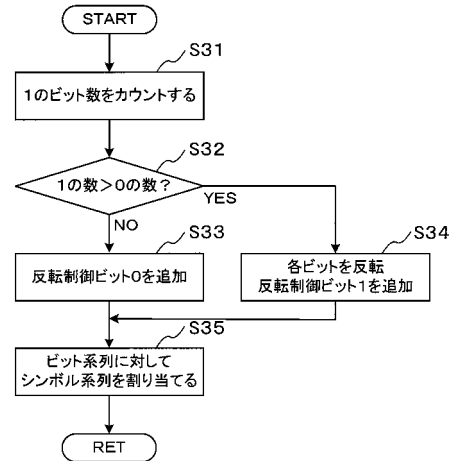
【図 1】



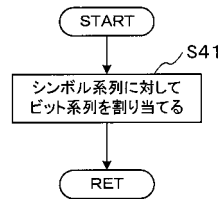
【図 2】



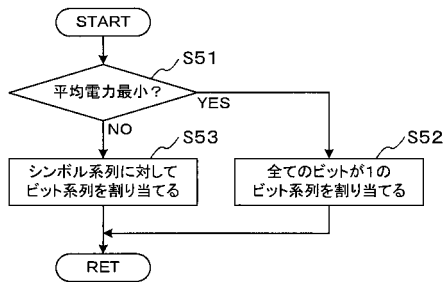
【図 3】



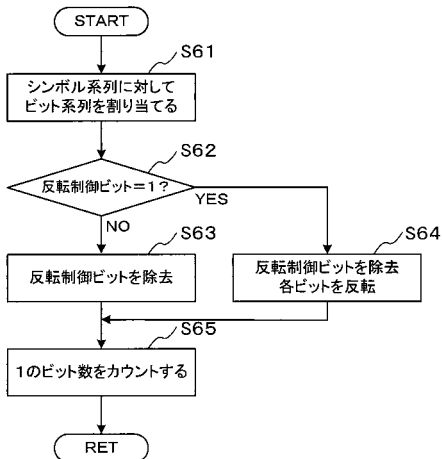
【図 4】



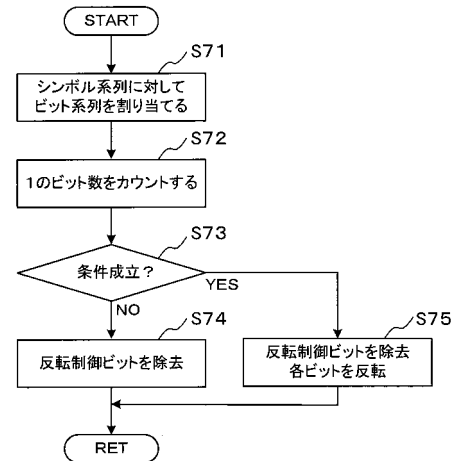
【図 5】



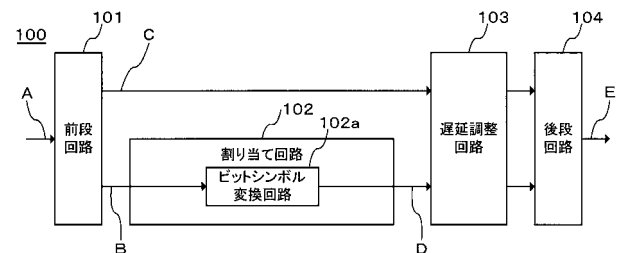
【図 6】



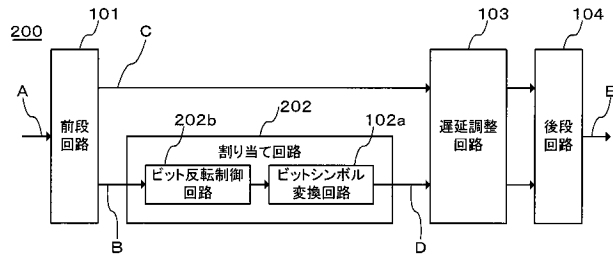
【図 7】



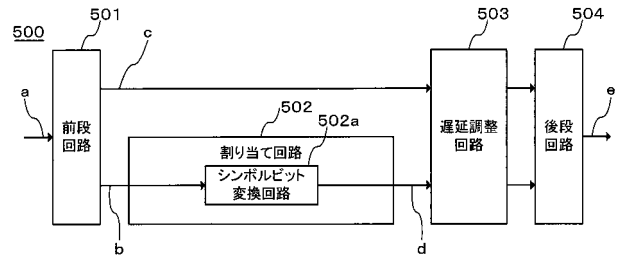
【図 8】



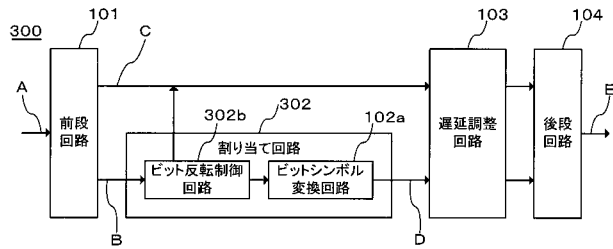
【図 9】



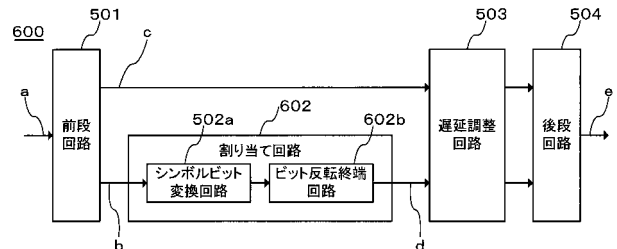
【図 12】



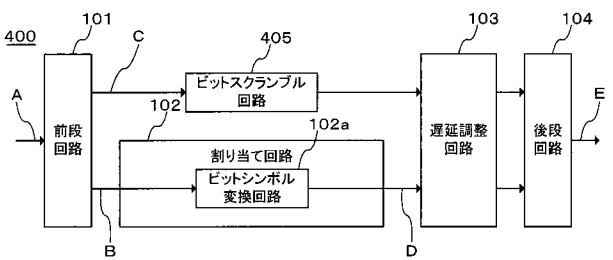
【図 10】



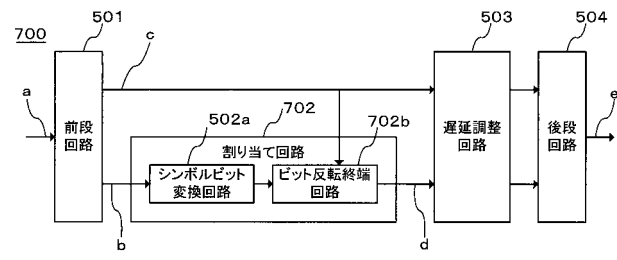
【図 13】



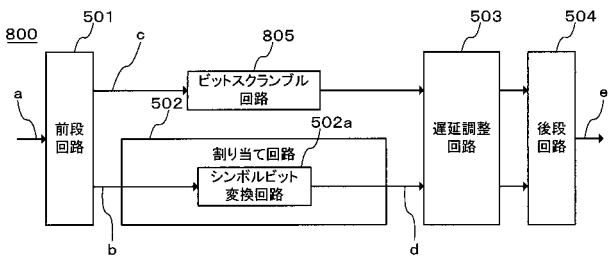
【図 11】



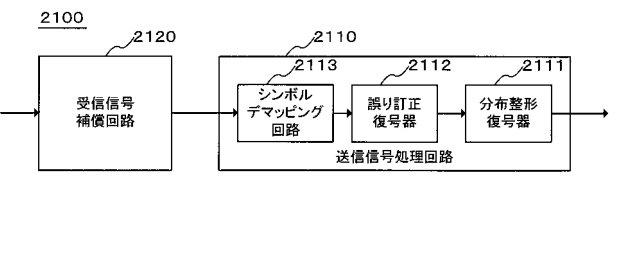
【図 14】



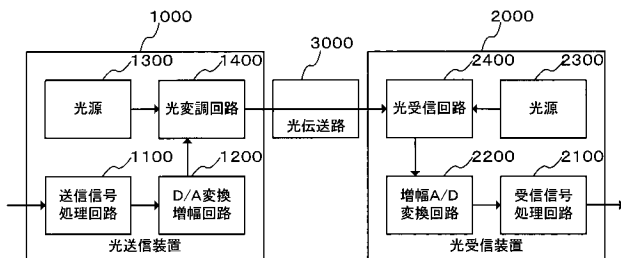
【図 15】



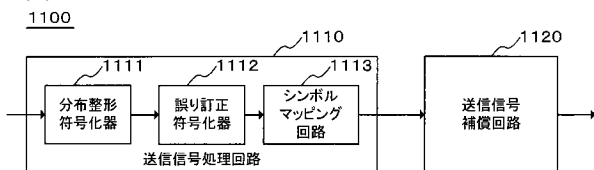
【図 18】



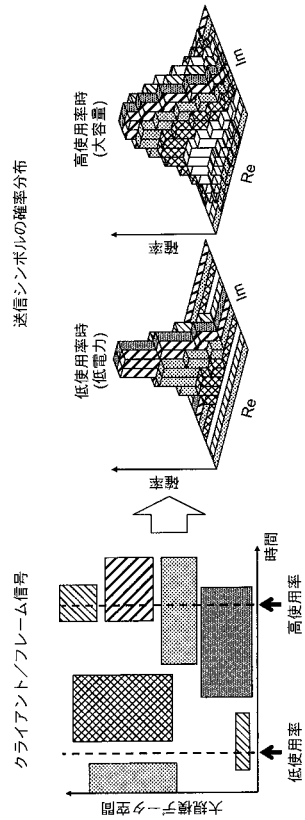
【図 16】



【図 17】



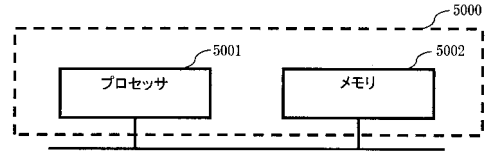
【図 19】



【図 20】



【図 21】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2019/007279
A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H04L25/49 (2006.01) i, H03M5/20 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H04L25/49, H03M5/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2019 Registered utility model specifications of Japan 1996-2019 Published registered utility model applications of Japan 1994-2019 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-261835 A (KABUSHIKI KAISHA TOSHIBA) 28 September 2006, paragraphs [0018]-[0067], fig. 3-25 & US 2006/0222241 A1, paragraphs [0071]-[0113], fig. 3-25	1-26
A	JP 2006-157443 A (KABUSHIKI KAISHA TOSHIBA) 15 June 2006 (Family: none)	1-26
A	WO 2010/143429 A1 (PANASONIC CORPORATION) 16 December 2010 & US 2012/0072799 A1	1-26
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27.03.2019		Date of mailing of the international search report 09.04.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2019/007279
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-505560 A (QUALCOMM, INC.) 16 February 2017, paragraphs [0042]-[0048], fig. 5-8 & WO 2015/077606 A1, paragraphs [0060]-[0066], fig. 5-8 & US 2015/0146816 A1 & US 2016/0006587 A1 & JP 2017-60195 A & CN 105765930 A & KR 10-2016-0074677 A & KR 10-2016-0120792 A	4, 8-9, 12-14, 17-26

国際調査報告		国際出願番号 PCT/J P 2 0 1 9 / 0 0 7 2 7 9	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04L25/49(2006.01)i, H03M5/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04L25/49, H03M5/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2019年 日本国実用新案登録公報 1996-2019年 日本国登録実用新案公報 1994-2019年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2006-261835 A (株式会社東芝) 2006.09.28, 段落[0018]-[0067], 第3-25 図 & US 2006/0222241 A1, 段落[0071]-[0113], 第3-25 図	1-26	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 27.03.2019		国際調査報告の発送日 09.04.2019	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 阿部 弘 電話番号 03-3581-1101 内線 3556	5K 9382

国際調査報告		国際出願番号 PCT/J P 2 0 1 9 / 0 0 7 2 7 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-157443 A (株式会社東芝) 2006.06.15, (ファミリーなし)	1-26
A	WO 2010/143429 A1 (パナソニック株式会社) 2010.12.16, & US 2012/0072799 A1	1-26
A	JP 2017-505560 A (クアルコム, インコーポレイテッド) 2017.02.16, 段落[0042]-[0048], 第5-8 図 & WO 2015/077606 A1, 段落[0060]-[0066], 第5-8 図 & US 2015/0146816 A1 & US 2016/0006587 A1 & JP 2017-60195 A & CN 105765930 A & KR 10-2016-0074677 A & KR 10-2016-0120792 A	4, 8-9, 12-14, 17-26

フロントページの続き

(出願人による申告)平成30年度、国立研究開発法人 情報通信研究機構「超並列型光ネットワーク基盤技術の研究開発/大規模データを省電力・オープン・伸縮自在に収容する超並列処理光技術」、委託研究、産業技術力強化法第17条の適用を受ける特許出願

(72)発明者 吉田 剛

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5K029 AA13 CC04 DD12 FF01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。