(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116615806 A
(43)申请公布日 2023.08.18

(21)申请号 202180085616.1
(22)申请日 2021.12.02
(30)优先权数据
20216084.2 2020.12.21 EP
(85)PCT国际申请进入国家阶段日
2023.06.19
(86)PCT国际申请的申请数据
PCT/EP2021/083908 2021.12.02
(87)PCT国际申请的公布数据
WO2022/135862 EN 2022.06.30
(71)申请人 日立能源瑞士股份公司
地址 瑞士巴登
(72)发明人 L•克诺尔 S•沃思
(74)专利代理机构 北京市汉坤律师事务所 11602
专利代理师 王其文 张涛
(51)Int.Cl.
H01L 29/66(2006.01)

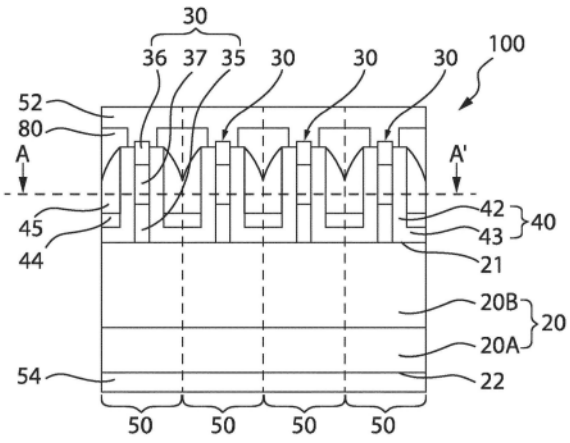
权利要求书3页 说明书14页 附图17页

(54)发明名称

碳化硅功率器件及其制造方法

(57)摘要

提供了一种具有低的导通电阻R_{on}的碳化硅功率器件(100)及其制造方法。碳化硅功率器件(100)包括第一导电型衬底(20)、多个碳化硅层堆叠(30)、连续绝缘层(40)和栅电极层(45)。每个碳化硅层堆叠(30)包括堆叠在衬底(20)上的以下各层:第一导电型漏极层(35)、第二导电型沟道层(37)和第一导电型源极层(36)。多个第一绝缘层部分(42)横向地覆盖和包围每个碳化硅层堆叠(30)的至少漏极层(35)和沟道层(37)。每个沟道层(37)的每个点横向地夹在栅电极层(45)的两个相对部分之间,其中,这两个相对部分沿着延伸穿过该沟道层(37)的该点的直线具有小于2μm的距离(d)。



CN 116615806 A

1.一种碳化硅功率器件(100;200;300;400;500;600;700;800),包括:

第一导电型衬底(20;25),所述第一导电型衬底具有第一主侧部(21)以及与所述第一主侧部(21)相对的第二主侧部(22);

多个碳化硅层堆叠(30;230;330;430;530;630;730;830),所述多个碳化硅层堆叠布置在所述衬底(20;25)的所述第一主侧部(21)上,其中每个碳化硅层堆叠(30;230;330;430;530;630;730;830)包括在远离所述第一主侧部(21)的方向堆叠在所述第一主侧部(21)上的以下各层:所述衬底(20;25)上的第一导电型漏极层(35;235;335;435;735)、所述漏极层(35;235;335;435;735)上的第二导电型沟道层(37;237;337;437;537;637)、以及所述沟道层(37;237;337;437;537;637)上的第一导电型源极层(36;236;336;436;836),所述第二导电型不同于所述第一导电型;

连续的第一绝缘层(40;240;340;440;540;640),包括:多个第一绝缘层部分(42;242;342;442;542;642),所述多个第一绝缘层部分分别直接在所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的对应一个的横向表面上延伸,使得所述多个第一绝缘层部分(42;242;342;442;542;642)横向地覆盖并且横向地包围每个碳化硅层堆叠(30;230;330;430;530;630;730;830)的至少所述漏极层(35;235;335;435;735)和所述沟道层(37;237;337;437;537;637;737);以及第二绝缘层部分(43;243;343;443),所述第二绝缘层部分在所述第一主侧部(21)上在所述多个第一绝缘层部分(42;242;342;442;542;642)之间延伸;以及

栅电极层(45),所述栅电极层直接在所述第一绝缘层(40;240;340;440;540;640)上延伸,使得所述栅电极层(45)通过所述第一绝缘层部分(42;242;342;442;542;642)与所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的每一个电分离,

其中,所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的每一个具有从所述第一主侧部(21)突出的柱状物的形状,使得每个沟道层(37;237;337;437;537;637;737)的每个点横向地夹在所述栅电极层(45)的两个相对部分之间,其中所述栅电极层(45)的所述两个相对部分沿着延伸穿过所述沟道层(37;237;337;437;537;637;737)的所述点的直线具有小于2μm的距离(d)。

2.根据权利要求1所述的碳化硅功率器件(100;200;300;400;500;600;700;800),其中所述沟道层(37;237;337;437;537;637;737)包括3C-SiC,并且所述漏极层(35;235;335;435;735)包括4H-SiC或6H-SiC。

3.根据权利要求1或2所述的碳化硅功率器件(700),其中所述衬底(20;25)具有高于$10^{17}cm^{-3}$或高于$5\cdot10^{17}cm^{-3}$的掺杂浓度,并且其中每个碳化硅层堆叠(730)的所述漏极层(735)与所述衬底(20;25)直接接触。

4.根据权利要求1至3中任一项所述的碳化硅功率器件(100;200;300;400;700;800),其中所述第一绝缘层部分(42;242;342;442)是管状的,从而分别横向地包围所述多个碳化硅层堆叠(30;230;330;430;730;830)中的对应一个以形成多个竖直全环绕栅极场效应晶体管单元(50)。

5.根据权利要求4所述的碳化硅功率器件(100;200;300;400;700;800),其中每个碳化硅层堆叠(30;230;330;430;730;830)的所述沟道层(37;237;337;437;737)在平行于所述第一主侧部(21)的任一水平方向具有最大水平宽度(w),所述最大水平宽度(w)低于2μm或

低于1μm。

6.根据权利要求1至5中任一项所述的碳化硅功率器件(100;200;300;400;500;600;700;800),其中所述第一绝缘层(40;240;340;440;540;640)是氧化硅层或氮化硅层。

7.一种用于制造碳化硅功率器件(100;200;300;400;500;600;700;800)的方法,所述方法包括以下步骤:

提供第一导电型衬底(20;25);

在所述衬底(20;25)的第一主侧部(21)上形成牺牲层(60);

将所述牺牲层(60)结构化以形成多个牺牲结构(65),所述多个牺牲结构从所述第一主侧部(21)突出并具有柱状物或鳍状物的形状,其中每个牺牲结构(65)包括与所述衬底(20;25)相邻的第一端(65A)以及与所述第一端(65A)相对的第二端(65B);

在所述多个牺牲结构(65)上和所述第一主侧部(21)上形成连续绝缘材料层(70);

其后,去除绝缘材料层(70)在每个牺牲结构(65)的所述第二端(65B)上的一部分以暴露每个牺牲结构(65)的所述第二端(65B),同时剩余绝缘材料层(70')覆盖每个牺牲结构(65)的横向表面,其中所述剩余绝缘材料层(70')的至少一部分形成所述碳化硅功率器件(100;200;300;400;500;600;700;800)中的第一绝缘层(40;240;340;440;540;640);

其后,通过选择性蚀刻去除每个牺牲结构(65)以在所述剩余绝缘材料层(70')中形成多个腔体(75),其中所述第一主侧部(21)的暴露部分(24)在每个腔体(75)的底部处暴露;

在每个腔体(75)中的所述第一主侧部(21)的所述暴露部分(24)上选择性地形成所述第一导电型的第一碳化硅层以形成所述漏极层(35;235;335;435;735);

在每个腔体(75)中的所述第一碳化硅层上选择性地形成所述第二导电型的第二碳化硅层以形成沟道层(37;237;337;437;537;637;737);

在每个腔体(75)中的所述第二碳化硅层上选择性地形成所述第一导电型的第三碳化硅层以形成源极层(36;236;336;436;836);以及

在所述剩余绝缘材料层(70')的形成所述碳化硅功率器件(100;200;300;400;500;600;700;800)中的所述第一绝缘层(40;240;340;440;540;640)的那部分上形成栅电极层(45),

其中所完成的碳化硅功率器件(100;200;300;400;500;600;700;800)包括:

所述第一导电型衬底(20;25),其具有所述第一主侧部(21)以及与所述第一主侧部(21)相对的第二主侧部(22);

多个碳化硅层堆叠(30;230;330;430;530;630;730;830),所述多个碳化硅层堆叠布置在所述衬底(20;25)的所述第一主侧部(21)上,其中每个碳化硅层堆叠(30;230;330;430;530;630;730;830)包括在远离所述第一主侧部(21)的方向堆叠在所述第一主侧部(21)上的以下各层:所述衬底(20;25)上的所述第一导电型漏极层(35;235;335;435;735)、所述漏极层(35;235;335;435;735)上的所述第二导电型沟道层(37;237;337;437;537;637)、以及所述第二导电型沟道层(37;237;337;437;537;637)上的所述第一导电型源极层(36;236;336;436;836),所述第二导电型不同于所述第一导电型;

所述连续的第一绝缘层(40;240;340;440;540;640),包括:多个第一绝缘层部分(42;242;342;442;542;642),所述多个第一绝缘层部分分别直接在所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的对应一个的横向表面上延伸,使得所述多个第一绝缘

层部分(42;242;342;442;542;642)横向地覆盖并且横向地包围每个碳化硅层堆叠(30;230;330;430;530;630;730;830)的至少所述漏极层(35;235;335;435;735)和所述沟道层(37;237;337;437;537;637;737);以及第二绝缘层部分(43;243;343;443),所述第二绝缘层部分在所述第一主侧部(21)上在所述多个第一绝缘层部分(42;242;342;442;542;642)之间延伸;以及

所述栅电极层(45),其直接在所述第一绝缘层(40;240;340;440;540;640)上延伸,使得所述栅电极层(45)通过所述第一绝缘层部分(42;242;342;442;542;642)与所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的每一个电分离,

其中,所述多个碳化硅层堆叠(30;230;330;430;530;630;730;830)中的每一个具有从所述第一主侧部(21)突出的柱状物或鳍状物的形状,使得每个沟道层(37;237;337;437;537;637;737)的每个点横向地夹在所述栅电极层(45)的两个相对部分之间,其中所述栅电极层(45)的所述两个相对部分沿着延伸穿过所述沟道层(37;237;337;437;537;637;737)的所述点的直线具有小于2μm的距离(d)。

8.根据权利要求7所述的方法,其中所述牺牲层(60)包括非晶硅。

9.根据权利要求7或8所述的方法,其中所述绝缘材料层(70)通过热氧化形成。

10.根据权利要求7至9中任一项所述的方法,包括以下步骤:在形成所述栅电极层(45)之前在所述剩余绝缘材料层(70')上形成第二绝缘层(44;744),使得在形成所述栅电极层(45)之后,所述第二绝缘层(44;744)在垂直于所述第一主侧部(21)的竖直方向夹在所述剩余绝缘材料层(70')与所述栅电极层(45)之间。

11.根据权利要求10所述的方法,其中所述第二绝缘层(44;744)是旋涂玻璃(SOG)层。

12.根据权利要求7至11中任一项所述的方法,其中每个牺牲结构(65)沿垂直于所述第一主侧部(21)的竖直方向的长度(L)在50nm与10μm之间的范围内、示例性地在5μm与10μm之间的范围内。

13.根据权利要求7至12中任一项所述的方法,其中形成所述第一碳化硅层、形成所述第二碳化硅层和形成所述第三碳化硅层分别是在低于1400℃的温度下执行的。

14.根据权利要求7至13中任一项所述的方法,其中去除所述绝缘材料层(70)的在每个牺牲结构(65)的所述第二端(65B)上的所述部分的步骤包括以下各者:在所述绝缘材料层(70)上形成连续的第一掩蔽材料层(90)的第一步骤、回蚀所述第一掩蔽材料层(90)以形成暴露所述绝缘材料层(70)的在每个牺牲结构(65)的所述第二端(65B)上的所述部分的第一掩蔽层(90')的第二步骤、以及使用所述第一掩蔽层(90')作为蚀刻掩模来蚀刻所述绝缘材料层(70)的在所述第二端(65B)上的所述部分的第三步骤。

15.根据权利要求7至14中任一项所述的方法,包括以下各者:去除所述第三碳化硅层的一部分以暴露所述第二碳化硅层的一部分的步骤;以及

其后,形成电接触所述第三碳化硅层和所述第二碳化硅层的第一主电极(852)的步骤,其中所述第一主电极(852)与所述栅电极层(45)电绝缘。

碳化硅功率器件及其制造方法

技术领域

[0001] 本发明涉及一种碳化硅器件及其制造方法。

背景技术

[0002] 当与常用的硅(Si)相比时,碳化硅(SiC)为功率半导体器件提供了许多吸引人的特性。示例性地,SiC的击穿电场强度和热导率高得多,这些允许功率器件远超对应的Si功率器件,并使得能够达到原本无法企及的效率水平。4H-SiC是功率电子设备(诸如,金属氧化物半导体场效应晶体管(MOSFET))的优选多型体,这是由于4H-SiC生长技术领域的进步以及其具有吸引力的电子性质所致,诸如比其他可用的晶片级多型体(例如,6H-SiC或3C-SiC)大的带隙。尽管那些4H-SiC功率MOSFET已经商业上可购得,但仍有很大的改进空间,尤其是关于反向沟道迁移率,以便进一步降低导通电阻R_{on}。

[0003] 大多数市售的基于碳化硅(SiC)的功率场效应晶体管是以平面设计来实施的,其中在晶片的表面上形成沟道,诸如在垂直双扩散金属氧化物半导体场效应晶体管(VDMOS)中。然而,这些器件中的电流密度难以增大,因为n沟道VDMOS中的p型注入形成寄生结场效应晶体管(JFET)的栅极,这些栅极往往减小电流的宽度。

[0004] 由于没有寄生JFET,沟槽金属氧化物半导体场效应晶体管(MOSFET)使得能够实现低导通电阻R_{on}。附加地,对于SiC,沟槽型MOSFET架构准许通过关于不同晶面设计沟道来优化载流子迁移率。例如从US 2018/0350977 A1中已知SiC沟槽型MOSFET。在该已知的沟槽型MOSFET中,多个沟道区域被实施为连续p型体层的一部分。沟槽型栅电极布置在彼此分离的沟槽中。在该构型中,由于可以用于沟道区域的器件面积相对低,导通电阻R_{on}是相对高的。沟道反向在整个体层中是不可能的,而是仅在体层的横向插置在相邻沟槽型栅电极之间的区域中才有可能。用于制造基于SiC的沟槽型MOSFET的已知方法依赖于将深沟槽蚀刻到SiC中以便形成沟槽型栅电极。与蚀刻其他半导体材料(诸如,硅(Si))相比,蚀刻SiC是困难和昂贵的。

[0005] 而对于>3kV的较高电压等级,漂移层电阻R_{drift}主导着导通电阻R_{on},然而,后者的降低在商业上更相关的较低电压等级(例如,电压等级≤1.7kV)(用于电动和混合动力电动车辆(EV/HEV))中是必不可少的,以便显著降低导通状态功率损耗和开关损耗。此处,R_{on}仍然显著高于理想值,如图1中所示。在这方面,低反向沟道迁移率代表可能对器件成本且因此对SiC功率MOSFET的广泛采用有重大影响的主要挑战之一。使用改进的栅极堆叠以及SiC/氧化物界面提高反向沟道迁移率展示出有限的成功,但被认为是SiC功率MOSFET开发和商业化过程中最重要的里程碑之一。在90年代后期,6H-SiC的一氧化氮(NO)后氧化的引入及其在2001年对于4H-SiC MOSFET的应用实现了反向层电子迁移率方面的巨大增加,因为经由NO退火在界面附近引入氮(N)降低了界面缺陷密度D_{it}。然而,除了先进技术的NO退火SiC MOSFET之外,对较高迁移率的器件也有着强烈需求,特别是为了将SiC MOSFET扩展到低电压等级市场。

[0006] 此外,除了达到理想的/较低的R_{on}之外,通过较高的沟道迁移率可避免的问题如

下：

[0007] a)可以在较低的电压下驱动栅极，从而导致栅极氧化物层中的电场较小，这改进了阈值稳定性和氧化物长期可靠性，以及

[0008] b)不需要为了降低沟道电阻而对晶体管沟道长度进行积极的缩放，因此可以避免短沟道效应。

[0009] 除了NO处理之外，减少界面缺陷的替代性策略是引入具有痕量杂质、表面反掺杂、高温氧化和替代性的非极性晶面(而不是常规的极性Si面)的界面层，这是由于它们的固有地高迁移率。

[0010] 从出版物‘在一氧化氮中高温退火后4H-SiC MOSFET反向沟道迁移率的改进’(G.Y.Chung等人，IEEEE电子器件快报，第22卷，第4期，2001年4月，第176-178页)中，已知一种用于制造4H-SiC MOSFET的方法，其中在通过一氧化氮中高温退火钝化导带边缘附近的SiC/SiO_2界面态之后，横向反向模式的4H-SiC MOSFET的沟道迁移率显著增大。

[0011] 文献GB 2 572 442 A、US 2019/0165162 A1、US 2017/0365665 A1、US 10 056 289B1和WO 2020/114666 A1提及了半导体器件。

发明内容

[0012] 鉴于现有技术中的以上缺点，本发明的目的是提供一种具有较低导通电阻R_{on}的碳化硅功率器件及其制造方法。本发明的目的通过根据权利要求1所述的碳化硅功率器件和根据权利要求7所述的方法来实现。在从属权利要求中指定了本发明的进一步发展。

[0013] 根据实施例的碳化硅功率器件包括：第一导电型衬底，其具有第一主侧部以及与第一主侧部相对的第二主侧部；多个碳化硅层堆叠，其布置在衬底的第一主侧部上；连续绝缘层；以及栅电极层。每个碳化硅层堆叠包括沿远离第一主侧部的方向堆叠在第一主侧部上的以下各层：衬底上的第一导电型漏极层、漏极层上的第二导电型沟道层、以及沟道层上的第一导电型源极层，该第二导电型不同于该第一导电型。连续绝缘层包括：多个第一绝缘层部分，它们分别直接在所述多个碳化硅层堆叠中的一个的横向表面上延伸，使得所述多个第一绝缘层部分横向地覆盖并且横向地包围每个碳化硅层堆叠的至少漏极层和沟道层；以及第二绝缘层部分，其在第一主侧部上在所述多个第一绝缘层部分之间延伸。栅电极层直接在第一绝缘层上延伸，使得栅电极层通过第一绝缘层部分与碳化硅层堆叠中的每一个电分离。每个碳化硅层堆叠具有从第一主侧部突出的柱状物或鳍状物的形状，使得每个沟道层的每个点横向地夹在栅电极层的两个相对部分之间，其中，栅电极层的这两个相对部分沿着延伸穿过该沟道层的该点的直线具有小于2μm的距离。

[0014] 贯穿说明书，如果第一层直接在第二层上延伸，则应意味着第一层与第二层直接物理接触，而没有其他层或元件夹在第一层与第二层之间(至少在第一层直接在第二层上延伸的地方)。

[0015] 由于所述多个横向地分离的垂直碳化硅结构中的源极区域、沟道区域和漏极区域的特定布置，具有以上结构的碳化硅功率器件具有相对低的导通电阻R_{on}。与现有技术的基于SiC的沟槽型MOSFET(其中沟道区域仅是连续体层中的部分)相比，可以将器件的更大区域用于在导通状态下其中发生载流子反向的导电沟道。这意味着，虽然在现有技术的基于SiC的沟槽型MOSFET中并非连续体层的所有部分都是在导通状态下其中发生载流子反向的

沟道区域,但是在具有以上结构的碳化硅功率器件中,可以将器件的更大区域用于载流子反向区域。在具有以上结构的碳化硅功率器件中,绝缘层横向地覆盖并且横向地包围每个碳化硅层堆叠的漏极层和沟道层,以限定漏极层和沟道层的横向延伸。可使用横向地包围每个沟道层的连续栅电极层,而在现有技术的基于SiC的沟槽型MOSFET中,沟槽型栅电极横向地分离并且必须从顶部接触。而且,具有以上结构的碳化硅功率器件具有不一定需要边缘终止的优点。

[0016] 在示例性实施例中,沟道层包括3C-SiC,并且漏极层包括4H-SiC或6H-SiC。

[0017] 在该示例性实施例中,构思是结合两种SiC多型体(即,3C-SiC和4H-SiC或替代地3C-SiC和6H-SiC)的优点,以实现高性能的SiC功率MOSFET。而漏极层(其可形成漂移层的至少一部分)中采用的4H-SiC或替代地6H-SiC由于其较高的带隙而确保了良好的阻断能力,3C-SiC被采用作为沟道材料,因为在3C-SiC中已测得超过160cm^2/vs的沟道运动性。在SiC的情况下,近界面陷阱(NIT)是重要的一类界面缺陷,其可以在Si和SiC MOS结构中非常靠近界面的氧化物内部被发现。对于后者,它们是导致导带边缘附近($E_C-E_T<0.2eV$)高浓度中性缺陷态的原因,如图2中所示。然而,NIT的分布和密度强烈地取决于SiC的多型体。虽然NIT的密度对于4H-SiC或6H-SiC而言朝向导带边缘几乎指数地增加,但对于3C-SiC而言它保持为相对低的。另外,带隙的下半部分(接近价带,见图2)中的缺陷态是类供体的,并且不会直接影响n型载流子迁移率。然而,导带附近的缺陷态是类受体的,并且可以带负电荷,例如如果施加栅极电压。因此,反向沟道中的电子被俘获,变得几乎不动,并且充当冷却剂散射中心,这显著限制了n沟道的迁移率。因此,功率MOSFET器件中的3C-SiC/氧化物界面与它们的4H-SiC/氧化物或6H-SiC/氧化物对等物相比展现较低的界面缺陷密度D_{it},且因此展现较高的沟道迁移率。

[0018] 在示例性实施例中,衬底具有高于$10^{17}cm^{-3}$或高于$5\cdot10^{17}cm^{-3}$的掺杂浓度,并且每个碳化硅层堆叠的漏极层与衬底直接接触。在此类实施例中,低掺杂漂移层不必形成在高掺杂衬底上,因为器件的整个漂移层可以在漏极层中实施。因此,器件不太复杂并且可用较少的方法步骤来制造。

[0019] 在示例性实施例中,每个碳化硅层堆叠具有柱状物的形状并且第一绝缘层部分是管状的,从而分别横向地包围所述多个碳化硅层堆叠中的对应一个以形成多个竖直全环绕栅极场效应晶体管单元。全环绕栅极场效应晶体管单元允许最高效的栅极控制。在该实施例中,每个碳化硅层堆叠的沟道层可沿平行于第一主侧部的任何水平方向具有最大水平宽度,该最大水平宽度低于2μm、示例性地低于1μm。

[0020] 在示例性实施例中,绝缘层是氧化硅层或氮化硅层。

[0021] 一种制造根据前述实施例中的任一个的碳化硅功率器件的方法包括以下步骤:

[0022] • 提供衬底;

[0023] • 在衬底的第一主侧部上形成牺牲层;

[0024] • 将牺牲层结构化以形成多个牺牲结构,所述多个牺牲结构从第一主侧部突出并具有柱状物或鳍状物的形状,其中每个牺牲结构包括与衬底相邻的第一端以及与第一端相对的第二端(即,第二端是牺牲结构的最远离衬底的一端);

[0025] • 在所述多个牺牲结构上和第一主侧部上形成连续绝缘材料层。

[0026] • 其后,去除绝缘材料层的在每个牺牲结构的第二端上的一部分以暴露每个牺牲

结构的第二端,同时剩余绝缘材料层覆盖每个牺牲结构的横向表面,其中剩余绝缘材料层的至少一部分形成碳化硅功率器件中的绝缘层;

[0027] • 其后,通过选择性蚀刻去除每个牺牲结构以在剩余绝缘材料层中形成多个腔体,其中,第一主侧部的暴露部分在每个腔体的底部处暴露;

[0028] • 在每个腔体中的第一主侧部的暴露部分上选择性地形成第一导电型的第一碳化硅层以形成漏极层;

[0029] • 在每个腔体中的第一碳化硅层上选择性地形成第二导电型的第二碳化硅层以形成沟道层;

[0030] • 在每个腔体中的第二碳化硅层上选择性地形成第一导电型的第三碳化硅层以形成源极层;以及

[0031] • 在剩余绝缘材料层的形成碳化硅功率器件中的绝缘层的那部分上形成栅电极层。

[0032] 与用于制造已知的基于SiC的沟槽型功率MOSFET的已知方法相比,在以上方法中不需要在SiC中蚀刻出深沟槽的步骤。考虑到通过蚀刻在SiC中形成深沟槽的困难,这促进了制造。

[0033] 在示例性实施例中,牺牲层包括非晶硅。

[0034] 在示例性实施例中,绝缘材料层通过热氧化形成。热氧化允许用非常稳定的氧化物材料形成绝缘材料层,其为栅极绝缘层提供良好的性质并具有良好的机械特性,这有利于将绝缘材料层用作栅极介电。

[0035] 在示例性实施例中,该方法包括以下步骤:在形成栅电极层之前在剩余绝缘材料层上形成第二绝缘层,使得在形成栅电极层之后,第二绝缘层沿垂直于第一主侧部的竖直方向夹在剩余绝缘材料层与栅电极层之间。示例性地,第二绝缘层是旋涂玻璃(SOG)层。第二绝缘层减小栅电极层的寄生电容。

[0036] 在示例性实施例中,每个牺牲结构沿垂直于第一主侧部的竖直方向的长度在50nm与10μm之间的范围内、示例性地在5μm与10μm之间的范围内。

[0037] 在示例性实施例中,形成第一碳化硅层、形成第二碳化硅层和形成第三碳化硅层分别是在低于1400℃的温度下执行的。高于1400℃的温度可能损坏用作碳化硅功率器件中的栅极介电的剩余绝缘材料层。例如,氧化硅材料在1400℃以上的温度下被损坏。

[0038] 在示例性实施例中,去除绝缘材料层的在每个牺牲结构的第二端上的部分的步骤包括以下各者:在绝缘材料层上形成连续的第一掩蔽材料层的第一步骤、回蚀第一掩蔽材料层以形成暴露绝缘材料层的在每个牺牲结构的第二端上的部分的第一掩蔽层的第二步骤、以及使用第一掩蔽层作为蚀刻掩模来蚀刻绝缘材料层的在第二端上的部分的第三步骤。

[0039] 在示例性实施例中,该方法包括以下各者:去除第三碳化硅层的一部分以暴露第二碳化硅层的一部分的步骤;以及其后,形成电接触第三碳化硅层和第二碳化硅层的第一主电极的步骤,其中该第一主电极与栅电极层电绝缘。

附图说明

[0040] 下文参考附图来解释本发明的详细实施例,在附图中:

[0041] 图1图示了先进技术的4H-SiC功率MOSFET的性能；

[0042] 图2图示了各种SiC多型体的带隙内部的界面态分布；

[0043] 图3A以沿着图3D中的线C-C'的竖直截面示出了根据实施例的碳化硅功率器件；

[0044] 图3B示出了图3A的碳化硅功率器件的俯视图；

[0045] 图3C示出了图3A的碳化硅功率器件中的单个晶体管单元；

[0046] 图3D示出了碳化硅功率器件沿着图3A中的线A-A'的水平截面；

[0047] 图4A至图4L图示了在用于制造图3A的碳化硅功率器件的方法中的方法步骤；

[0048] 图5示出了根据第一经修改实施例的碳化硅功率器件的竖直截面；

[0049] 图6示出了根据第二经修改实施例的碳化硅功率器件的竖直截面；

[0050] 图7示出了根据第三经修改实施例的碳化硅功率器件的竖直截面；

[0051] 图8示出了根据第四经修改实施例的碳化硅功率器件的水平截面；

[0052] 图9示出了根据第五经修改实施例的碳化硅功率器件的水平截面；

[0053] 图10示出了根据第六经修改实施例的碳化硅功率器件的竖直截面；

[0054] 图11示出了根据第七经修改实施例的碳化硅功率器件的竖直截面；以及

[0055] 图12A至图12H图示了在用于制造图11的碳化硅功率器件的方法中的方法步骤。

[0056] 在参考符号列表中概述了附图中使用的参考符号及其含义。通常，贯穿说明书，类似的元件具有相同的参考符号。所描述的实施例意在作为示例而不应限制本发明的范围。

具体实施方式

[0057] 在下文中，参考图3A至图3D来描述根据本发明的实施例的碳化硅功率器件100。根据实施例的碳化硅功率器件100是基于碳化硅的功率金属绝缘体半导体场效应晶体管(MISFET)。图3A示出了碳化硅功率器件100中的四个晶体管单元50沿着图3B中的线B-B'、以及沿着图3D中的线C-C'的竖直截面，图3B示出了碳化硅功率器件100的俯视图，并且图3D示出了碳化硅功率器件100沿着图3A中的线A-A'的水平截面。图3C示出了图3A的碳化硅功率器件中的单个晶体管单元50的放大截面；

[0058] 如可以从图3A和图3C中最佳看出，碳化硅功率器件100包括n型衬底20，该衬底具有第一主侧部21以及与第一主侧部21相对的第二主侧部22。在图3A至图3D中所示的实施例中，衬底20按从第二主侧部22到第一主侧部21的顺序包括n型第一衬底层20A和n型第二衬底层20B。第一衬底层20A是相对高掺杂的，并且示例性地具有高于$10^{17}cm^{-3}$、示例性地高于$10^{18}cm^{-3}$的掺杂浓度。第二衬底层20B是相对低掺杂的，并且示例性地具有低于$10^{17}cm^{-3}$、示例性地低于$10^{16}cm^{-3}$的掺杂浓度。在实施例的碳化硅功率器件100中，第二衬底层20B充当为所有晶体管单元50所共有的漂移层部分。示例性地，第一衬底层20A可包括4H-SiC层、6H-SiC层、3C-SiC层或硅层。第二衬底层20B可示例性地为4H-SiC层、6H-SiC层或3C-SiC层中的一者。与由3C-SiC制成的第二衬底层20B相比，使用由4H-SiC制成或由6H-SiC制成的第二衬底层20B的优点是，由于4H-SiC或6H-SiC的带隙相对大，改进了阻断能力和热特性。第二衬底层20B可以是在第一衬底层20A上异质外延或同质外延生长的外延层。

[0059] 多个碳化硅层堆叠30布置在衬底20的第一主侧部21上。每个碳化硅层堆叠30包括沿远离第一主侧部21的方向堆叠在第一主侧部21上的以下各层(参见图3C)：衬底20上的n型漏极层35、p型沟道层37、以及沟道层37上的n型源极层36。如在图3D中的俯视图中所图示

的，当从到第一主侧部21上的竖直方向观察时，所述多个碳化硅层堆叠30可按矩阵的形式布置在第一主侧部21上。

[0060] 连续绝缘层40在碳化硅层堆叠30之间横向地布置在衬底20上。贯穿说明书，术语横向的或横向地是指平行于第一主侧部21的横向方向。同样地，术语竖直的或竖直地是指垂直于第一主侧部21的竖直方向。绝缘层40包括分别直接在所述多个碳化硅层堆叠30中的一个的横向表面上延伸的多个管状的第一绝缘层部分42，并且包括在第一主侧部21上在所述多个第一绝缘层部分42之间延伸的第二绝缘层部分43。所述多个第一绝缘层部分42横向地覆盖并且横向地包围每个碳化硅层堆叠30的至少漏极层35和沟道层37。这可以在图3C的竖直截面中和在图3D的水平截面中最佳看出。示例性地，第一绝缘层部分42横向地覆盖并且还横向地包围源极层36的一部分，如图3A和图3C中所示。如果第一层横向地覆盖第二层，则意味着当沿任何横向方向观察时第一层与第二层完全重叠。而且，如果第一层横向地包围第二层，则这应意味着第一层在与第一主侧部21平行的平面上的正交投影中包围第二层。对于每个第一绝缘层部分42，在该第一绝缘层部分42与被该第一绝缘层部分42横向地包围的沟道层37和漏极层35的横向表面之间存在直接接触。第一绝缘层40示例性地是氧化硅层或氮化硅层。示例性地，第一绝缘层40是热氧化物层。

[0061] 栅电极层45布置在第一绝缘层40上并直接在其上延伸，使得栅电极层45和所述多个碳化硅层堆叠30中的每一个通过所述多个第一绝缘层部分42中的对应一个而彼此分离。如果两个元件通过第三元件彼此分离，则这意味着这两个元件没有彼此直接连接，而是两个元件直接连接到第三元件，从而将这两个元件分离。示例性地，栅电极层45是横向地包围每个碳化硅层堆叠30的连续层。示例性地，栅电极层45的每个点比下文所描述的第一主电极52的每个点更靠近第一主侧部21，即，整个栅电极层在第一主电极52下方的水平处延伸。

[0062] 第二绝缘层44沿垂直于第一主侧部21的竖直方向夹在第二绝缘层部分43与栅电极层45之间。第二绝缘层44将更远离衬底20的栅电极层45分离，以最小化栅电极层45的寄生电容。第二绝缘层44可以是任何电绝缘材料。例如，它可以是旋涂玻璃(SOG)层。

[0063] 在实施例中，每个晶体管单元50包括所述多个碳化硅层堆叠30中的一个、所述多个第一绝缘层部分42中的一个、以及如上文所描述的栅电极层45的一部分，以形成竖直全环绕栅极场效应晶体管单元。

[0064] 每个碳化硅层堆叠30具有从第一主侧部21突出的柱状物的形状，使得每个沟道层37的每个点横向地夹在栅电极层45的两个相对部分之间，其中，栅电极层45的这两个相对部分沿着延伸穿过该沟道层37的该点的直线具有小于2μm的距离d。在图3A至图3D的实施例中，距离d与管状的第一绝缘层部分42的直径相同。在图3D中，C-C’是穿过沟道层37的所有点的此类直线的示例，在这些点处，该直线C-C’与沟道层37相交。每个碳化硅层堆叠30的沟道层37沿平行于第一主侧部21的任何水平方向具有最大水平宽度w，该最大水平宽度低于2μm、示例性地低于1μm。第一绝缘层部分42的层厚(d-w)/2(其中，w是最大水平宽度，并且d是管状的第一绝缘层部分42的直径)示例性地在5nm与500nm之间。柱状物的形状可示例性地沿垂直于第一主侧部21的竖直方向具有高度h，该高度大于最大水平宽度w。示例性地，高度h可能是最大水平宽度w的至少2倍或3倍。

[0065] 源极层36、沟道层37和漏极层35可以是任何SiC多型体。这些层可以是不同的SiC多型体或相同的SiC多型体。在示例性实施例中，至少沟道层37可包括3C-SiC，而漏极层35

可包括4H-SiC或6H-SiC。第二衬底层20B和漏极层35可以是相同的SiC多型体。例如，沟道层37可以是3C-SiC，而第二衬底层20B和漏极层35可两者都是4H-SiC或者可两者都是6H-SiC。

[0066] 如图3A和图3C中所示，碳化硅功率器件100包括布置在栅电极层45上的中间绝缘层80、以及布置在中间绝缘层80上的第一主电极52。第一主电极52通过中间绝缘层80与栅电极层45分离以与其电绝缘。通过中间层80中的开口80A，第一主电极52与所述多个碳化硅层堆叠30中的每一个的源极层36电接触。在第二主侧部22上布置有第二主电极54。

[0067] 参考图3B的俯视图，第一主电极52的上部分是源极接触垫56并用作碳化硅功率器件100的源极端子。替代地，源极接触垫56可被实施为电连接到第一主电极52的单独元件。贯穿说明书，元件的下部分将被理解为与第一主侧部21相邻的部分，并且元件的上部分将被理解为沿竖直方向与下部分相对的部分，即，下部分的每个点比上部分的每个点更靠近第一主侧部21。在第一主电极52下方延伸的栅电极层45电连接到控制接触垫48，该控制接触垫用作碳化硅功率器件100的栅极端子。在图3D中所示的示例性实施例中，控制接触垫48横向于源极接触垫56布置。这意味着当源极层从顶部连接到源极接触垫56时，栅电极层从碳化硅功率器件100的横向侧部连接到栅电极层45(即，在与第一主侧部21平行的平面上的正交投影中)，并且源极接触垫56与包括所述多个碳化硅层堆叠30的所述多个晶体管单元50重叠，而控制接触垫48横向于所述多个晶体管单元50布置。

[0068] 在下文中，将参考图4A至图4L来描述一种用于制造如上文所描述的碳化硅功率器件100的方法，这些图示出了中间结构的竖直截面，该竖直截面对应于图3A中所示的碳化硅功率器件100的竖直截面。

[0069] 在第一方法步骤中，提供具有第一主侧部21和第二主侧部22的衬底20。例如，可通过化学气相沉积(CVD)工艺将第二衬底层20B沉积到第一衬底层20A上。替代地，可通过如下步骤形成衬底20的双层结构：将n型掺杂剂注入到n型初步衬底中，以形成如上文所讨论的具有不同掺杂浓度的第一衬底层20A和第二衬底层20B。

[0070] 在另一个方法步骤中，在第一主侧部21上形成牺牲层60以获得图4A中以竖直截面示出的结构。

[0071] 在另一个方法步骤中，将牺牲层60结构化以形成从第一主侧部21突出的多个牺牲结构65，如图4B中所示。每个牺牲结构65具有柱状物的形状，并且沿垂直于第一主侧部21的竖直方向包括与衬底20相邻的第一端65A以及与第一端65A相对的第二端65B。第二端65B是牺牲结构65的最远离衬底20的一端。示例性地，每个牺牲结构65沿垂直于第一主侧部21的竖直方向具有长度L，该长度在50nm与10μm之间的范围内、示例性地在5μm与10μm之间的范围内。

[0072] 在另一个方法步骤中，在所述多个牺牲结构65上和被牺牲结构65暴露的第一主侧部21上形成连续绝缘材料层70，以获得如图4C中所示的结构。例如，牺牲层60可以是碳层或硅层。在示例性实施例中，牺牲层60是多晶硅(多晶Si)层或非晶硅层，并且第二衬底层20B是SiC层。在该示例性实施例中，绝缘材料层70可以是通过对牺牲结构65和第二衬底层20B的暴露部分进行热氧化所形成的热氧化物层。替代地，绝缘材料层70可以通过沉积工艺(诸如，通过等离子体增强CVD(PE-CVD)或另一个适当的沉积工艺)而形成。示例性地，绝缘材料层70是氧化硅或氮化硅层。

[0073] 在另一个方法步骤中，去除绝缘材料层70的在每个牺牲结构65的第二端65B上的

一部分以暴露每个牺牲结构65的第二端65B,同时剩余绝缘材料层70'覆盖每个牺牲结构65的横向表面(如图4F中所示)。其中,剩余绝缘材料层70'的至少一部分形成碳化硅功率器件100中的绝缘层40。示例性地,去除绝缘材料层70的在每个牺牲结构65的第二端65B上的部分的该方法步骤可包括图4D至图4F中所图示的以下子步骤:

[0074] • 在绝缘材料层70上形成连续的第一掩蔽材料层90的第一子步骤,如图4D中所示;

[0075] • 回蚀第一掩蔽材料层90以形成暴露绝缘材料层70的在每个牺牲结构65的第二端65B上的部分的第一掩蔽层90'的第二子步骤,如图4E中所示,以及

[0076] • 如下的第三子步骤:使用第一掩蔽层90'作为蚀刻掩模来蚀刻绝缘材料层70的在第二端65B上的部分以获得如图4F中所示的结构,且其后去除第一掩蔽层90'。

[0077] 在另一个方法步骤中,通过选择性蚀刻去除所述多个牺牲结构65以在剩余绝缘材料层70'中形成多个腔体75,其中第一主侧部21的暴露部分24在每个腔体75的底部处暴露。由此获得的结构在图4G中示出。

[0078] 在另一个方法步骤中,在每个腔体75中的第一主侧部21的暴露部分24上选择性地形成n型第一碳化硅层以形成漏极层35,在每个腔体75中的第一碳化硅层上选择性地形成p型第二碳化硅层以形成沟道层37,并且在每个腔体75中的第二碳化硅层上选择性地形成n型第三碳化硅层以形成源极层36。由此获得的结构在图4H中示出。示例性地,剩余绝缘材料层70'的最上端表面70B可定位成比第三碳化硅层(源极层36)的上表面36B更远离第一主侧部21,即第三碳化硅层可延伸到腔体75外部的区域。替代地,最上端表面70B可定位成比第三碳化硅层(源极层36)的上表面36B更靠近第一主侧部21,即第三碳化硅层的所有部分都可布置在腔体75内部。示例性地,形成第一碳化硅层、形成第二碳化硅层和形成第三碳化硅层分别是在低于1400℃的温度下执行的。用于仅在衬底20的暴露部分上选择性地形成碳化硅层和/或形成另一个碳化硅层(而在剩余绝缘材料层70'上没有形成碳化硅层)的工艺为本领域技术人员所熟知。此类工艺例如可以是选择性化学气相沉积(CVD),其中,碳化硅晶体生长的选择性是通过具有不同表面的反应物(此处是第一主侧部21的暴露部分24或者在另一侧部上的剩余绝缘材料层70'的一个侧部和表面上的第一碳化硅层或第二碳化硅层)的不同化学行为获得的。用于在上文所描述的方法步骤期间控制第一碳化硅层、第二碳化硅层和第三碳化硅层的SiC多型体的方法为本领域技术人员所熟知。例如,当使用CVD工艺来形成第一碳化硅层、第二碳化硅层和第三碳化硅层时,不同CVD工艺参数(诸如,温度)对在CVD工艺期间生长哪种SiC多型体具有熟知的影响。

[0079] 在另一个方法步骤中,在剩余绝缘材料层70'的形成碳化硅功率器件100中的第二绝缘层部分43的那部分上形成第二绝缘层44。由此获得的结构在图4I中示出。示例性地,第二绝缘层44是旋涂玻璃(SOG)层。替代地,可首先沉积另一种绝缘材料的均匀且连续的层,且然后将其结构化(示例性地通过蚀刻)以获得第二绝缘层44。第二绝缘层44的上表面44A(即,背向衬底20的表面)位于第一碳化硅层(形成碳化硅功率器件100中的漏极层35)与第二碳化硅层(形成碳化硅功率器件100中的沟道层37)之间的界面35A下方。

[0080] 在另一个方法步骤中,在剩余绝缘材料层70'的形成碳化硅功率器件100中的绝缘层40的那部分上形成栅电极层45,以获得如图4J中所示的结构。其中,栅电极层45直接形成在剩余绝缘材料层70'的形成碳化硅功率器件100中的第一绝缘层部分42的那部分的横向

表面上、以及直接形成在第二绝缘层44的上表面44A上。在形成栅电极层45之后，第二绝缘层44沿垂直于第一主侧部21的竖直方向夹在剩余绝缘材料层70'与栅电极层45之间。

[0081] 在另一个方法步骤中，将均匀且连续的第二绝缘材料层95沉积到图4J中所示的结构上，以获得如图4K中所示的结构。其后，将第二绝缘材料层95结构化以形成中间绝缘层80，从而通过其中的开口80A暴露源极层36，如图4L中所示。

[0082] 最后，在图4L中所示的结构上形成第一主电极52以电接触源极层36，并且在第二主侧部22上形成第二主电极54以获得如上文关于图3A至图3D所描述的碳化硅功率器件100。该方法可包括附加的方法步骤。例如，可包括附加的方法步骤以分别形成控制接触垫48和源极接触垫56。

[0083] 在下文中，参考图5来描述第一经修改的碳化硅功率器件200，该图示出了对应于图3A中所示的竖直截面的竖直截面。碳化硅功率器件200与上文所描述的碳化硅功率器件100的不同之处仅在于，碳化硅层堆叠230相对于第一主侧部21的表面法线$\vec{n}$(即，相对于正交于第一主侧部21的方向)倾斜。例如，倾斜的碳化硅层堆叠230(即，其横向表面)相对于表面法线$\vec{n}$的倾角α可在高达20°的范围内。除了相对于表面法线$\vec{n}$倾斜之外，碳化硅层堆叠230类似于碳化硅层堆叠30并且具有与上文所描述的特征相同的特征。碳化硅层堆叠230包括漏极层235、沟道层237和源极层236，它们类似于如上文所描述的漏极层35、沟道层37和源极层36。在碳化硅功率器件200中，类似于如上文所描述的第一绝缘层40，第一绝缘层240具有多个第一绝缘层部分242和第二绝缘层部分243。与碳化硅层堆叠230的倾斜相对应，第一绝缘层部分242的横向表面也相对于表面法线$\vec{n}$倾斜。在其他方面，第一绝缘层240具有与上文所描述的第一绝缘层40相同的特征。

[0084] 用于制造碳化硅功率器件200的方法与上文参考图4A至图4L所描述的方法的不同之处仅在于，与碳化硅层堆叠230的倾斜相对应，牺牲结构65必须相对于表面法线$\vec{n}$以倾角α倾斜。牺牲结构65的此类倾斜可以例如在通过各向异性成角度蚀刻(诸如，成角度的离子束蚀刻)将牺牲层60结构化的步骤中获得，其中离子束被倾斜地(即，相对于第一主侧部21的表面法线$\vec{n}$以角度$\alpha \neq 0°$)引导朝向牺牲层60。

[0085] 在下文中参考图6来讨论根据第二经修改实施例的碳化硅功率器件300，该图示出了对应于图3A中所示的竖直截面的竖直截面。碳化硅功率器件300与碳化硅功率器件100的不同之处仅在于，在竖直截面中碳化硅功率器件300的碳化硅层堆叠330为圆锥形，并且水平宽度从与衬底20相邻的下端朝向与下端相对的上端减小。在其他方面，碳化硅层堆叠330类似于上文所描述的碳化硅层堆叠30。每个碳化硅层堆叠330包括漏极层335、沟道层337和源极层336，它们类似于漏极层35、沟道层37和源极层36，除了它们的倾斜的横向表面之外。碳化硅层堆叠330的除截面为圆锥形形状之外的其他特征与上文针对碳化硅功率器件100的碳化硅层堆叠30所描述的特征相同。在碳化硅功率器件300中，类似于如上文所描述的第一绝缘层40，第一绝缘层340具有多个第一绝缘层部分342和第二绝缘层部分343。与碳化硅层堆叠330的圆锥形形状相对应，第一绝缘层部分342的横向表面相对于第一主侧部21的表面法线$\vec{n}$倾斜。在其他方面，第一绝缘层340具有与上文所描述的第一绝缘层40相同的特征。

[0086] 用于制造碳化硅功率器件300的方法与图4A至图4H中所图示的方法的不同之处仅

在于，牺牲结构65在竖直截面中分别具有对应于碳化硅层堆叠330的圆锥形形状的圆锥形形状。

[0087] 在图7中，以对应于图3A中所示的竖直截面的竖直截面示出了根据第三经修改实施例的碳化硅功率器件400。在该第三经修改实施例中，碳化硅层堆叠430在竖直截面中具有圆锥形形状，并且水平宽度从与衬底20相邻的下端朝向与下端相对的上端增加。碳化硅层堆叠430包括漏极层435、沟道层437和源极层436，它们类似于漏极层35、沟道层37和源极层36，除了它们的倾斜的横向表面之外。碳化硅层堆叠430的除它们的截面为圆锥形形状之外的其他特征与上文针对碳化硅功率器件100的碳化硅层堆叠30所描述的特征相同。在碳化硅功率器件400中，类似于如上文所描述的第一绝缘层40，第一绝缘层440具有多个第一绝缘层部分442和第二绝缘层部分443。与碳化硅层堆叠430的圆锥形形状相对应，在如图7中所示的竖直截面中，第一绝缘层部分442的横向表面相对于第一主侧部21的表面法线 $\vec{n}$ 倾斜。在其他方面，第一绝缘层440具有与上文所描述的第一绝缘层40相同的特征。

[0088] 用于制造碳化硅功率器件400的方法与图4A至图4H中所图示的方法的不同之处仅在于，牺牲结构65在竖直截面中分别具有对应于碳化硅层堆叠430的圆锥形形状的圆锥形形状。

[0089] 在图8中，以水平截面示出了根据第四经修改实施例的碳化硅功率器件500。碳化硅功率器件500类似于上文所描述的碳化硅功率器件100，并且与其的不同之处仅在于碳化硅层堆叠530在水平截面中的形状不同。虽然碳化硅功率器件100中的碳化硅层堆叠30具有柱状物的形状，但是第四经修改实施例中的碳化硅层堆叠530具有鳍状物的形状，该鳍状物在第一横向方向 $\vec{x}$ 具有相对大的宽度并且在正交于第一横向方向 $\vec{x}$ 的第二横向方向 $\vec{y}$ 具有相对小的宽度。因此，硅层堆叠530的源极层(图8中未示出)、沟道层537和漏极层(图8中未示出)也具有对应的形状。图8中所示的碳化硅功率器件500的水平截面对应于图3D中所示的碳化硅功率器件100的水平截面。虽然碳化硅功率器件500与碳化硅功率器件100在其水平截面方面不同，但图8中的沿着线C-C'的竖直截面与图3A中所示的碳化硅功率器件100的竖直截面相同。由于碳化硅层堆叠530的鳍状物形状，第一绝缘层540的周围的第一绝缘层部分542也具有对应的不同形状。在其他方面，第一绝缘层540具有如上文针对碳化硅功率器件100的第一绝缘层40所描述的特征。鳍状物的形状可示例性地沿竖直方向具有高度，该高度大于沿垂直于竖直方向的水平方向的宽度。示例性地，高度可以是沿水平方向的宽度的两倍或三倍。

[0090] 用于制造碳化硅功率器件500的方法与所描述的用于制造如上文所描述的碳化硅功率器件100的方法的的不同之处仅在于，牺牲结构65具有不同的形状，即对应于碳化硅层堆叠530的鳍状物形状的鳍状物形状。

[0091] 在图9中，以对应于图8的水平截面的水平截面示出了根据第五经修改实施例的碳化硅功率器件600。碳化硅功率器件600与碳化硅功率器件500的不同之处仅在于，鳍状碳化硅层堆叠630如图9中所示沿着蛇形线弯曲，而不是如碳化硅层堆叠530在图8中所示的水平截面中那样沿着第一横向方向 $\vec{x}$ 为直的。因此，硅层堆叠630的源极层(图9中未示出)、沟道层637和漏极层(图9中未示出)也具有对应的形状。由于碳化硅层堆叠630的弯曲的鳍状物形状，第一绝缘层640的周围的第一绝缘层部分642也具有对应的不同形状。在其他方面，第

一绝缘层640具有如上文针对碳化硅功率器件100的第一绝缘层40所描述的特征。图9中所示的碳化硅功率器件600的水平截面对应于图3D中所示的碳化硅功率器件100的水平截面。虽然碳化硅功率器件600与碳化硅功率器件100在其水平截面方面不同，但图9中的沿着线C-C'的竖直截面与图3A中所示的碳化硅功率器件100的竖直截面相同。

[0092] 用于制造碳化硅功率器件600的方法与所描述的用于制造如上文所描述的碳化硅功率器件100的方法的的不同之处仅在于，牺牲结构65具有不同的形状，即对应于碳化硅层堆叠630的鳍状物形状的鳍状物形状。

[0093] 在下文中，参考图10以对应于图3A的截面的竖直截面来描述根据第六经修改实施例的碳化硅功率器件700。碳化硅功率器件700与上文所描述的碳化硅功率器件100的不同之处仅在于，衬底25具有高于$10^{17}cm^{-3}$、示例性地高于$5\cdot10^{17}cm^{-3}$的相对高的掺杂浓度，并且每个碳化硅层堆叠730的漏极层(735)与衬底25直接接触。因此，与上文所描述的碳化硅功率器件100形成对比，衬底25不包括在相对高掺杂的第一衬底层20A上具有相对低掺杂的第二衬底层20B的双层结构。虽然在上文所描述的碳化硅功率器件100中第二衬底层20B充当为所有晶体管单元50所共有的漂移层部分，但是器件的整个漂移层在漏极层中实施。示例性地，整个漏极层735具有低于$10^{17}cm^{-3}$的掺杂浓度。对于特定的电压等级，碳化硅功率器件700中的漏极层735在垂直于第一主侧部21的竖直方向所需的层厚大于相同电压等级的碳化硅功率器件100中的漏极层35所需的层厚，因为在碳化硅功率器件100中，并非整个漂移层而是仅一部分将在漏极层35中实施。用于制造碳化硅功率器件700的方法与方法的不同之处仅在于，在第一方法步骤中提供衬底25而不是双层衬底20，并且对于特定的电压等级，第二绝缘层744的层厚可能必须大于第二绝缘层744的层厚，这是由于漏极层735在垂直于第一主侧部21的竖直方向的层厚与漏极层35的层厚相比更大。

[0094] 在下文中，参考图11以对应于图3A的竖直截面的竖直截面来描述根据第六经修改实施例的碳化硅功率器件800。碳化硅功率器件800与上文所描述的碳化硅功率器件100的不同之处仅在于，第一主电极852通过源极层836中的开口36H与沟道层37接触。碳化硅层堆叠830类似于上文所描述的碳化硅层堆叠30。它们包括源极层836，该源极层与源极层36的不同之处仅在于，它具有形成在其中的开口36H，第一主电极852延伸穿过该开口以接触沟道层37。碳化硅功率器件800的其他特征可与碳化硅功率器件100的特征相同。替代地，碳化硅功率器件800的其余特征可与上文所描述的碳化硅功率器件200、300、400、500、600或700中的一个中的特征相同。

[0095] 下文中参考图12A至图12H来描述用于制造上文所描述的碳化硅功率器件800的方法的示例性实施例，这些图示出了对应于图11的竖直截面的竖直截面。执行如上文参考图4A至图4G所描述的第一方法步骤。在另一个方法步骤中，其后在腔体75中选择性地形成第一碳化硅层、第二碳化硅层和第三碳化硅层，以获得如图12A中所示的结构。碳化硅层堆叠30的与第一主侧部21相对的上表面30B距第一主侧部21的距离d1小于剩余绝缘材料层70'的最上端表面70B距第一主侧部21的距离d2。这意味着，碳化硅层堆叠30的上表面30B低于剩余绝缘材料层70'的最上端表面70B，使得碳化硅层堆叠30的上表面30B和剩余绝缘材料层70'限定凹部，其中碳化硅层堆叠30的上表面30B形成该凹部的底部并且剩余绝缘材料层70'形成该凹部的侧壁。其后，在剩余绝缘材料层70'和碳化硅层堆叠30上形成连续的第二掩蔽材料层92，以获得如图12B中所示的结构。然后，将第二掩蔽材料层92结构化(例如，通

过回蚀第二掩蔽材料层92)，以形成第二掩蔽层92’，从而暴露每个碳化硅层堆叠30的上表面30B的第一部分，同时碳化硅层堆叠30的上表面30B的第二部分被第二掩蔽层92’覆盖，如图12C中所示。其后，使用第二掩蔽层92’来蚀刻开口(竖直孔)36H，该开口延伸穿过每个碳化硅层堆叠的源极层36并在开口36H的底部处暴露沟道层37的上表面部分，如图12D中所示。如图12E中所示，然后在图12D的结构上形成连续的第三掩蔽材料层94。然后，去除第三掩蔽材料层94的上部分(例如，通过蚀刻)以形成第三掩蔽层94’，从而至少暴露第二掩蔽层92’和剩余绝缘材料层70’的横向于第二掩蔽层92’布置的上端部分，如图12F中所示。第三掩蔽层94’的上表面94B示例性地低至或低于源极层36与沟道层37之间的界面37A，即第三掩蔽层94’的上表面94B与第一主侧部21之间的距离d3等于或小于界面37A(在源极层36与沟道层37之间)与第一主侧部21之间沿竖直方向的距离d4。使用第三掩蔽层94’作为蚀刻掩模，通过选择性蚀刻(针对SiC为选择性的)去除第二掩蔽层92’和剩余绝缘材料层70’的被第三掩蔽层94’暴露的上端部分，以获得如图12G中所示的结构，并且去除第三掩蔽层94’以获得如图12H中所示的结构。其后，以与上文在用于制造碳化硅功率器件100的方法的示例性实施例中所描述方式类似的方式来执行用于形成第二绝缘层44、栅电极层45、中间绝缘层80、栅电极45、第一主电极852和第二主电极54的方法步骤，以获得如图11中所示的碳化硅功率器件800。

[0096] 本领域技术人员将显而易见的是，在不脱离如由所附权利要求限定的本发明的构思的情况下，对上文所描述的实施例的修改是可能的。

[0097] 上文所描述的碳化硅功率器件100-800全部都是基于碳化硅的功率金属绝缘体半导体场效应晶体管(MISFET)。然而，本发明的碳化硅功率器件也可以是具有如所附权利要求中定义的特征的不同器件。例如，碳化硅功率器件也可以是绝缘栅双极晶体管(IGBT)，其在衬底20、25与第二主电极54之间具有附加的p型半导体层。

[0098] 以上实施例是以特定的导电类型来解释的。上文所描述的实施例中的每一个的半导体层的导电类型可进行切换，使得曾被描述为p型层的所有层都将为n型层，并且曾被描述为n型层的所有层都将为p型层。例如，在上文所描述的每个碳化硅功率器件中，衬底、漏极层和源极层可分别为p型层，并且源极层可为n型层。这同样适用于用于制造碳化硅功率器件的方法的所有示例性实施例。

[0099] 在上文讨论的所有实施例中，源极层延伸到腔体75外部的区域中，即并非源极层的整个横向表面都被第一绝缘层部分覆盖。然而，在替代性实施例中，源极层的整个横向表面可被第一绝缘层部分覆盖。

[0100] 不同实施例的特征可彼此组合。例如，在如图5、图6、图7或图11中所示的竖直截面中碳化硅层堆叠的形状不仅可应用于具有柱状物形状的碳化硅层堆叠，而且可应用于如参考图8和图9所讨论的鳍状碳化硅层堆叠。可在上文所描述的任何其他实施例中使用第七经修改实施例的不同衬底结构。

[0101] 参考图12A至图12H描述了用于在第一主电极852与沟道层37之间提供电接触的特定方法。然而，可应用其他方法以在第一主电极852与沟道层37之间提供此类电接触。也可在上文所描述的方法中的任一个中提供第一主电极与沟道层之间的电接触。用于将碳化硅功率器件制造为在第一主电极与沟道层之间具有电接触的方法可以是包括以下各者的任何方法：去除第三碳化硅层的一部分以暴露第二碳化硅层的一部分的第一步骤；以及其后

的形成电接触第三碳化硅层和第二碳化硅层的第一主电极的步骤，其中，该第一主电极与栅极层电绝缘。

[0102] 应注意，术语“包括”不排除其他元件或步骤，并且不定冠词“一”或“一个”不排除多个。而且，可组合联合不同实施例所描述的元件。

[0103] 本专利申请要求欧洲专利申请2021 6084.2-1212的优先权，其公开内容特此通过引用并入。

[0104] 参考符号列表

[0105] 100;200;300;400;500;600;700;800碳化硅功率器件

[0106] 20、25(n型)衬底

[0107] 20A第一衬底层

[0108] 20B第二衬底层21第一主侧部

[0109] 22 第二主侧部

[0110] 24暴露部分

[0111] 30;230;330;430;530;630;730;830碳化硅层堆叠

[0112] 30B(碳化硅层堆叠30的)上表面

[0113] 35;235;335;435;735(n型)漏极层

[0114] 35A界面

[0115] 36;236;336;436;836(n型)源极层

[0116] 36B(源极层36的)上表面

[0117] 36H(源极层836中的)开口

[0118] 37;237;337;437;537;637(p型)沟道层

[0119] 37A界面

[0120] 40;240;340;440;540;640第一绝缘层

[0121] 42;242;342;442;542;642第一绝缘层部分

[0122] 43;243;343;443第二绝缘层部分

[0123] 44、744第二绝缘层

[0124] 44A(第二绝缘层44的)上表面

[0125] 45 栅电极层

[0126] 48 控制接触垫

[0127] 50 晶体管单元

[0128] 52、852 第一主电极

[0129] 54 第二主电极

[0130] 56 源极接触垫

[0131] 60 牺牲层

[0132] 65 牺牲结构

[0133] 65A 第一端

[0134] 65B 第二端

[0135] 70绝缘材料层

[0136] 70’剩余绝缘材料层

[0137] 70B(剩余绝缘材料层70’的)最上端表面

[0138] 75 腔体

[0139] 80 中间绝缘层

[0140] 80A(中间绝缘层80中的)开口

[0141] 90第一掩蔽材料层

[0142] 90’第一掩蔽层

[0143] 92第二掩蔽材料层

[0144] 92’第二掩蔽层

[0145] 94第三掩蔽材料层

[0146] 94’第三掩蔽层

[0147] 94B(第三掩蔽层94’的)上表面

[0148] 95第二绝缘材料层

[0149] d、d1、d2、d3、d4距离

[0150] L 长度

[0151] w 最大水平宽度

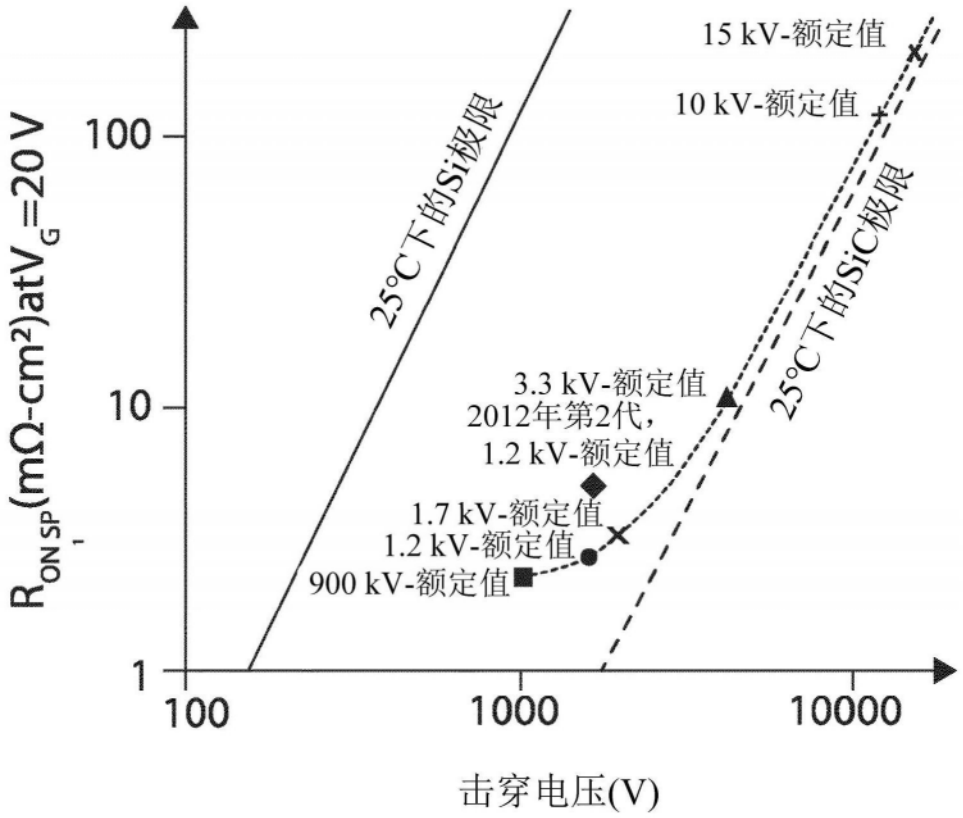

15 kV-额定值
10 kV-额定值
25°C下的Si极限
25°C下的SiC极限
3.3 kV-额定值
2012年第2代，
1.2 kV-额定值
1.7 kV-额定值
1.2 kV-额定值
900 kV-额定值
100
10
1
100
1000
10000
击穿电压(V)

图1

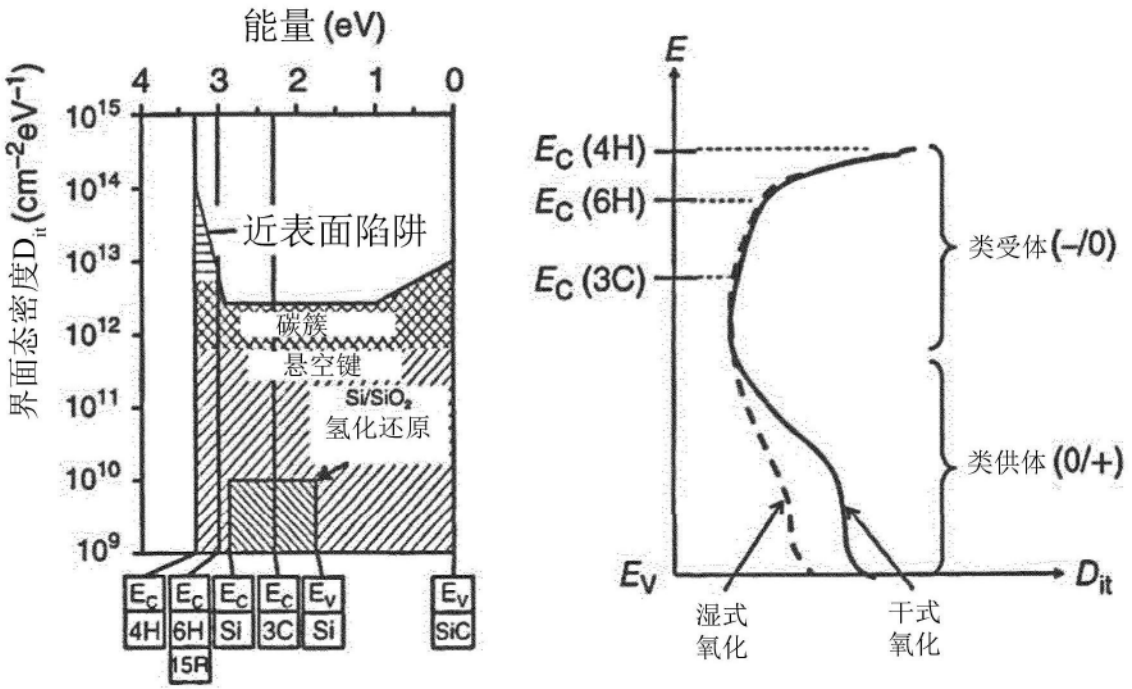

能量 (eV)
4
3
2
1
0
近表面陷阱
碳簇
悬空键
Si/SiO2
氢化还原
4H
6H
15R
Si
3C
Si
SiC
E
EC (4H)
EC (6H)
EC (3C)
类受体 (–/0)
类供体 (0/+)
EV
Dit
湿式
氧化
干式
氧化

图2

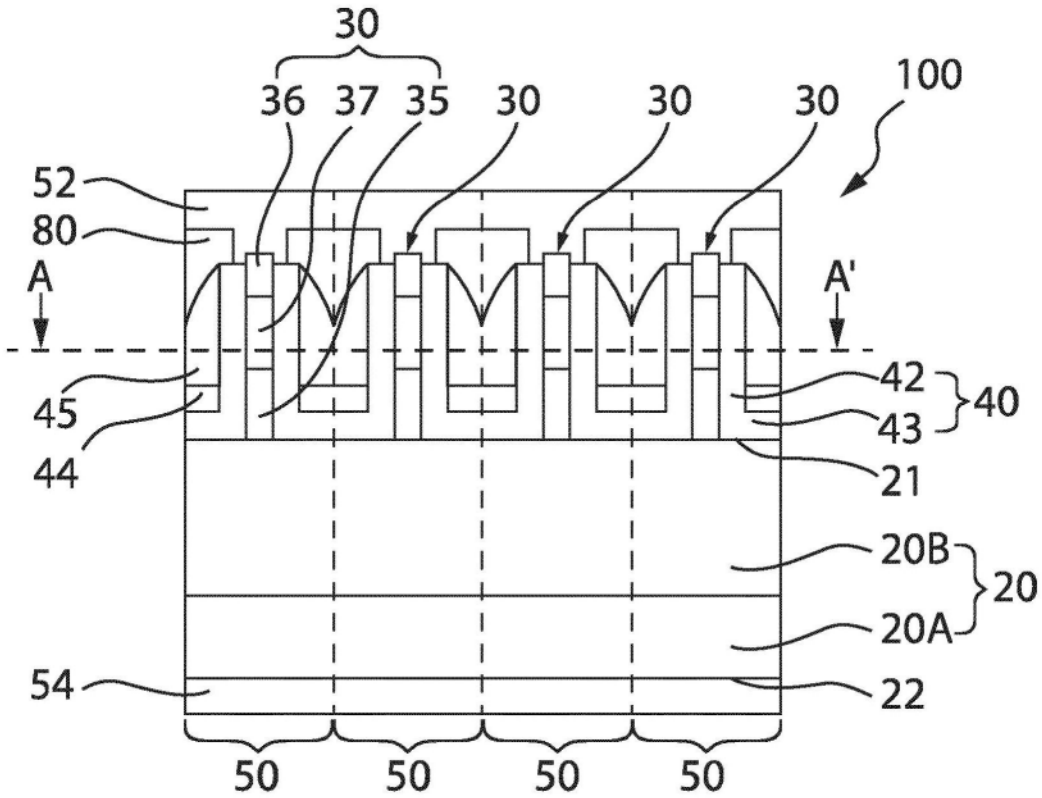

30
36
37
35
30
30
30
100
52
80
A
A'
45
44
42
43
40
21
20B
20A
20
54
22
50
50
50
50

图3A

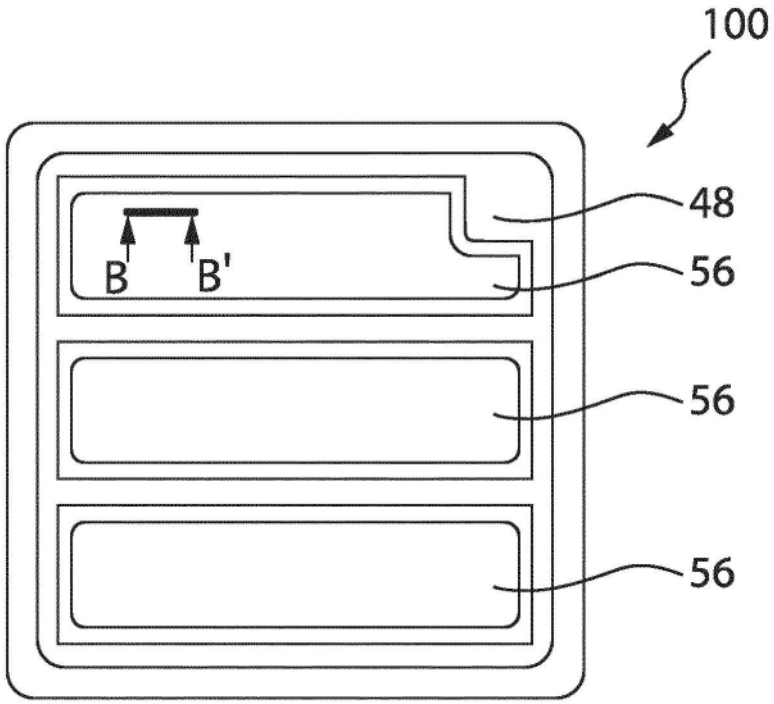

100
48
B
B'
56
56
56

图3B

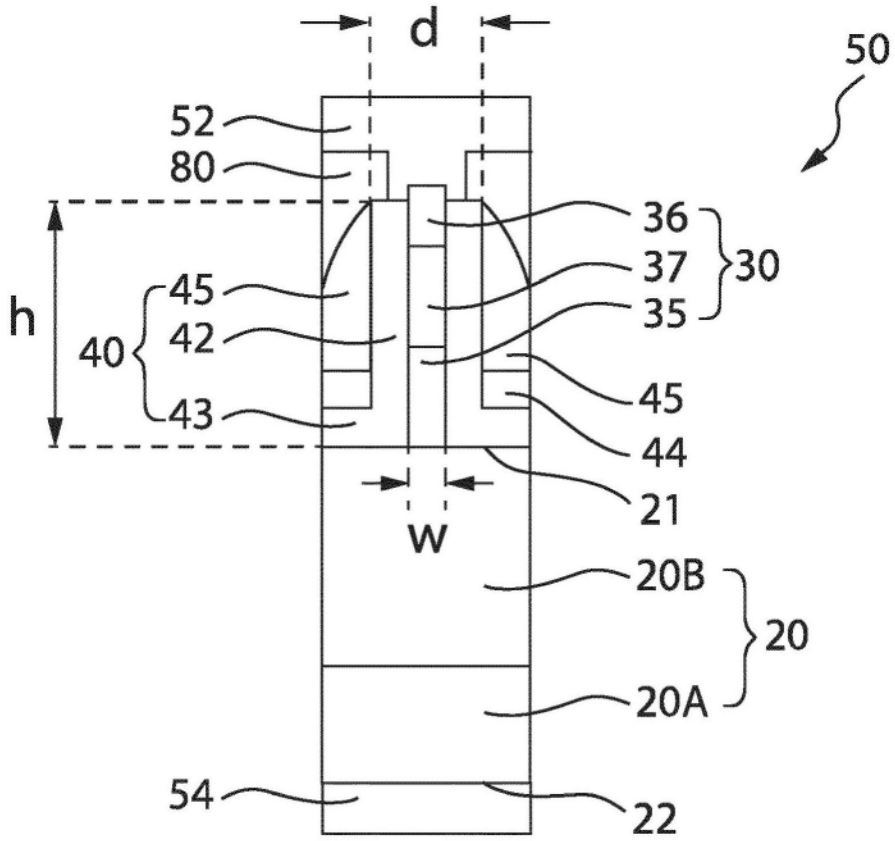

d
50
52
80
36
37
30
35
h
45
40
42
45
43
44
21
w
20B
20
20A
54
22

图3C

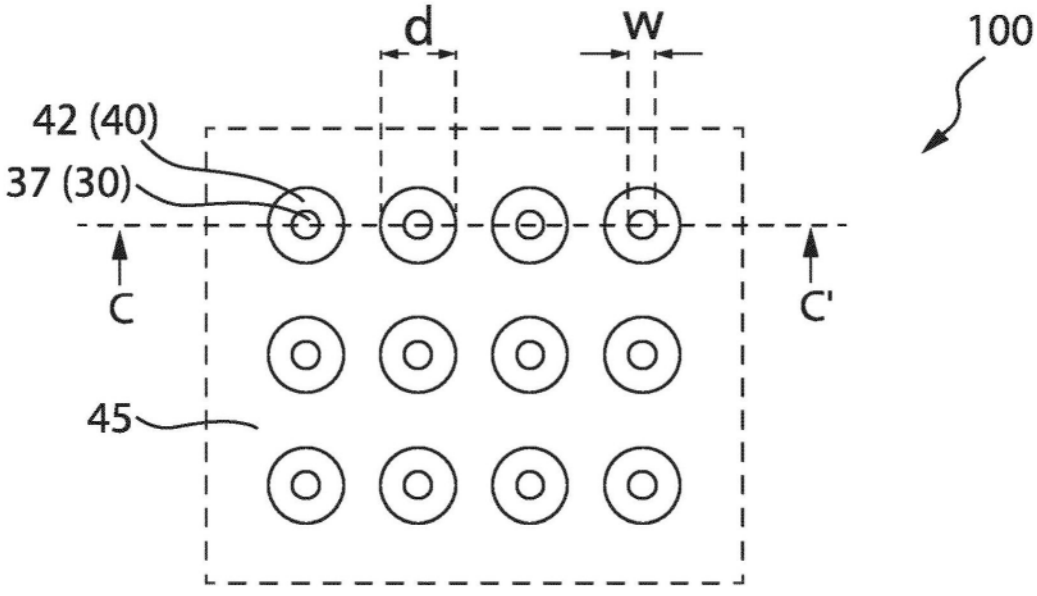

d
w
100
42 (40)
37 (30)
C
C'
45

图3D

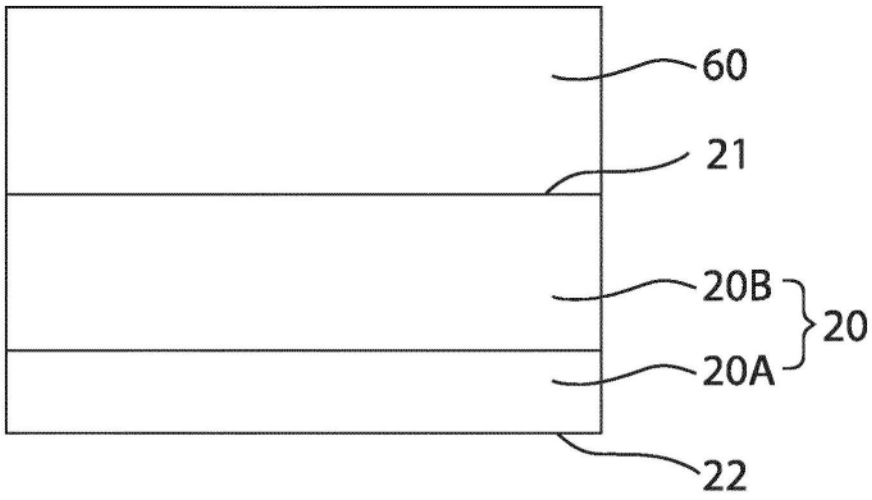


图4A

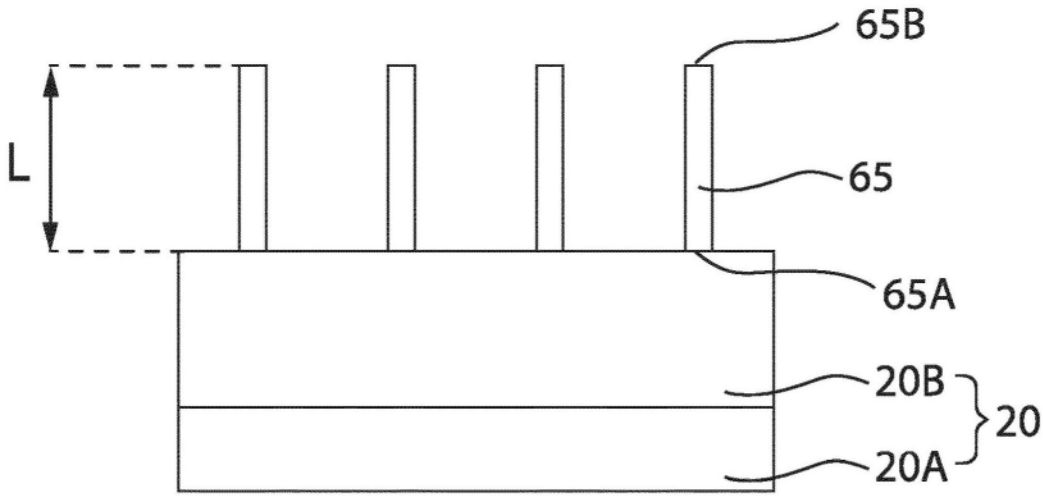


图4B

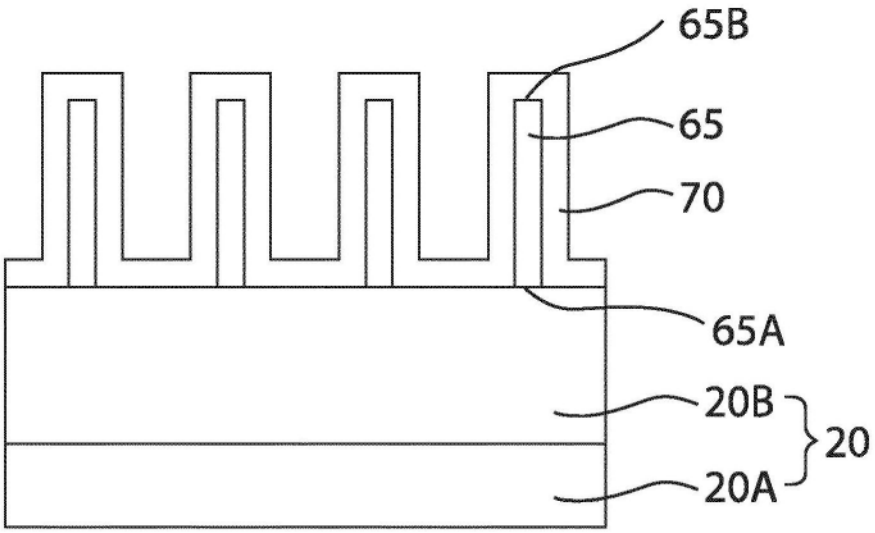


图4C

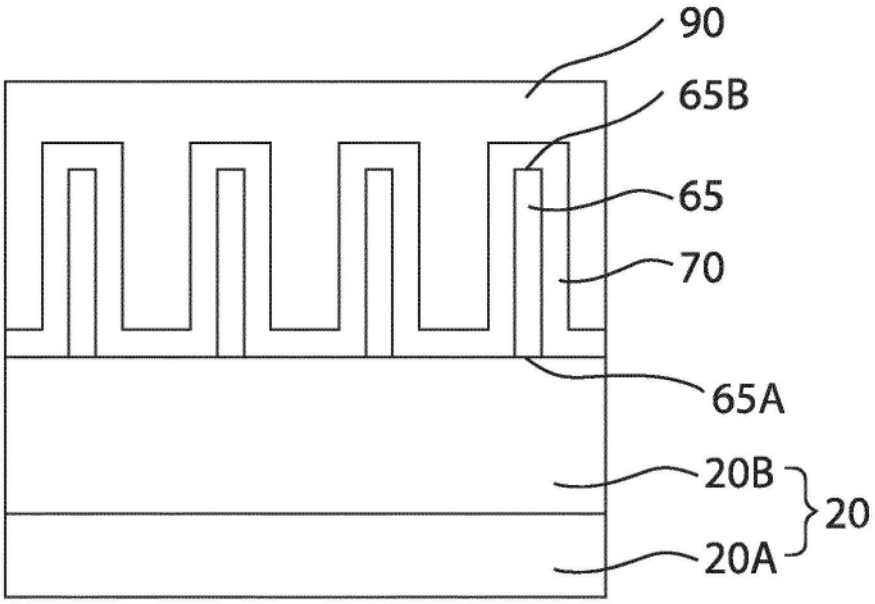


图4D

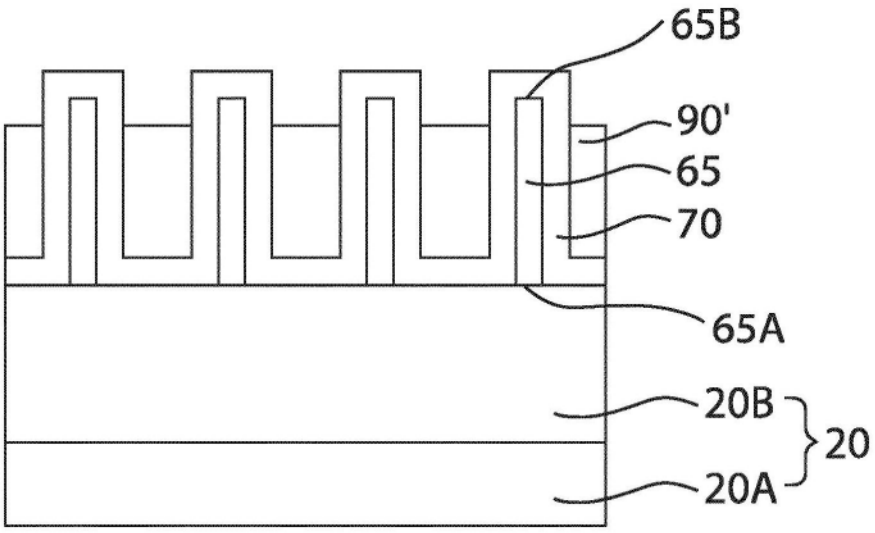


图4E

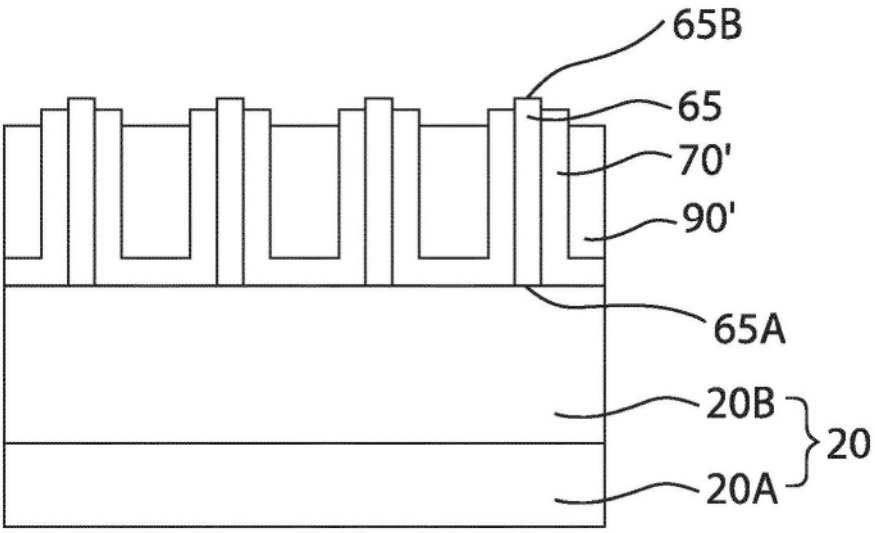


图4F

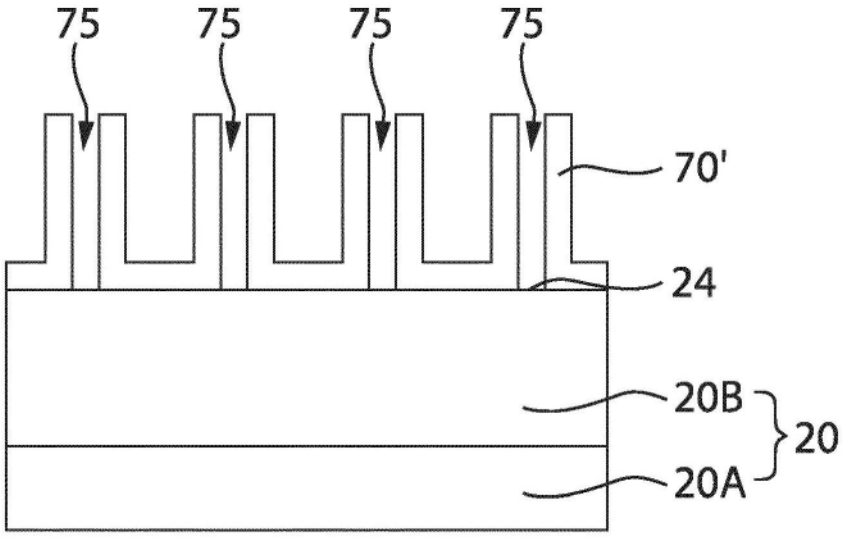


图4G

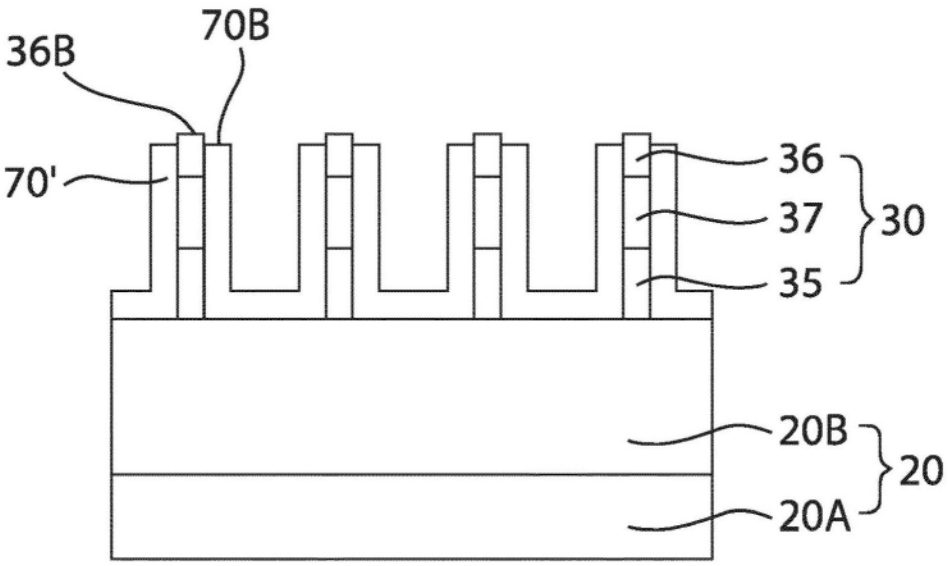


图4H

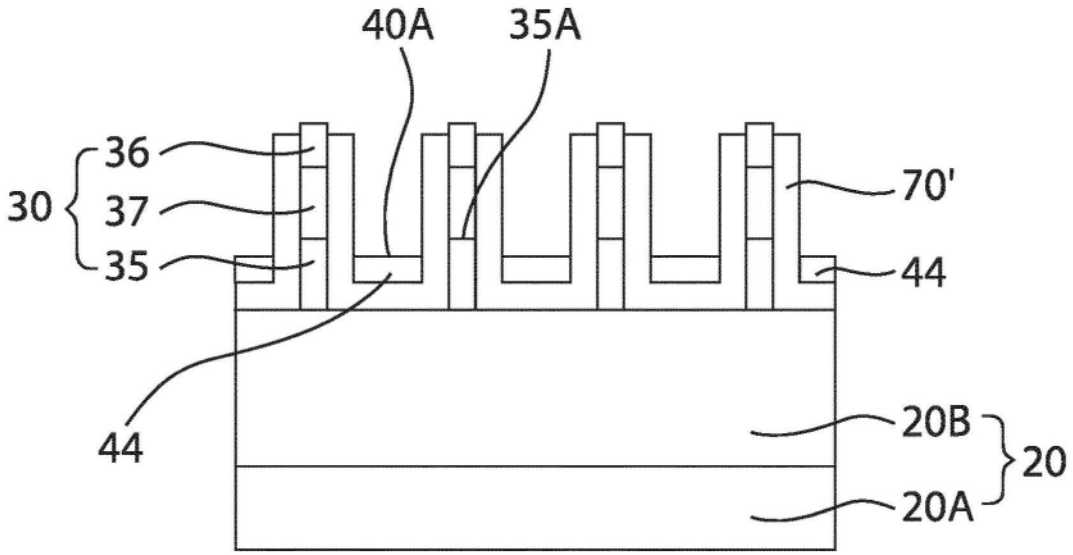

40A
35A
36
30
37
35
70'
44
44
20B
20
20A

图4I

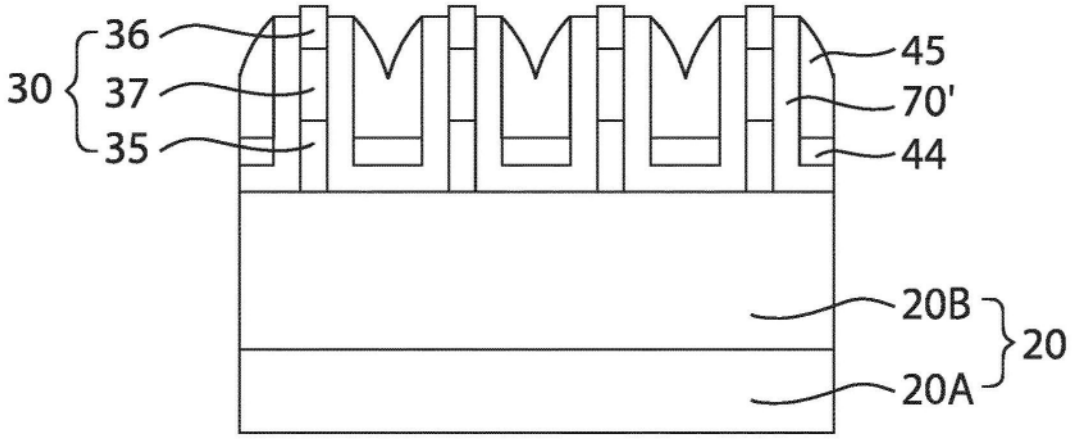

36
30
37
35
45
70'
44
20B
20
20A

图4J

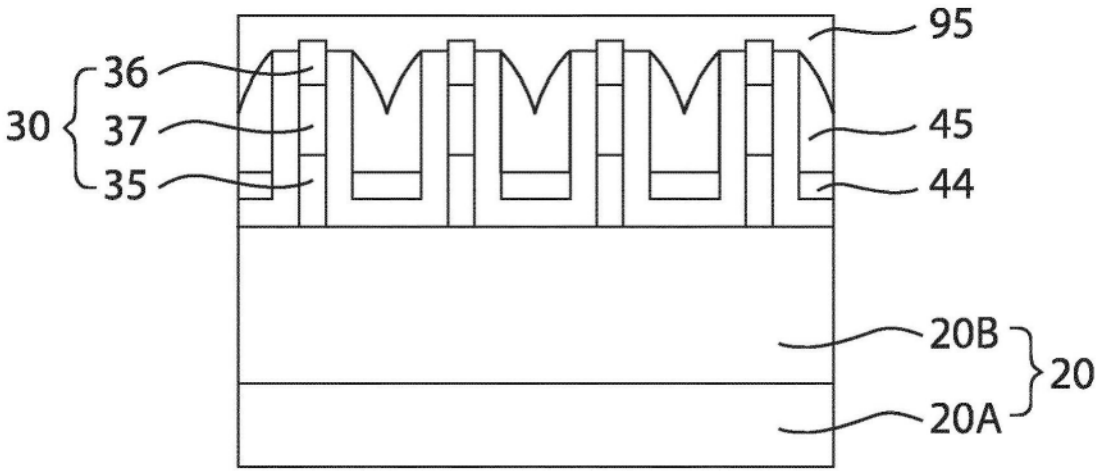

95
36
30
37
35
45
44
20B
20
20A

图4K

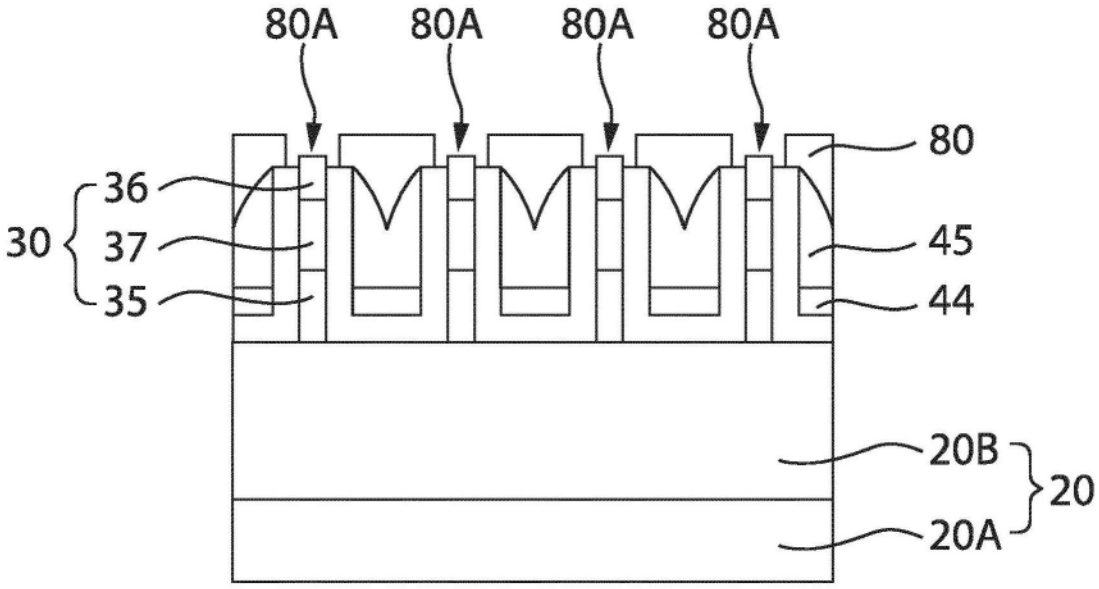

80A
80A
80A
80A
80
36
30
37
35
45
44
20B
20
20A

图4L

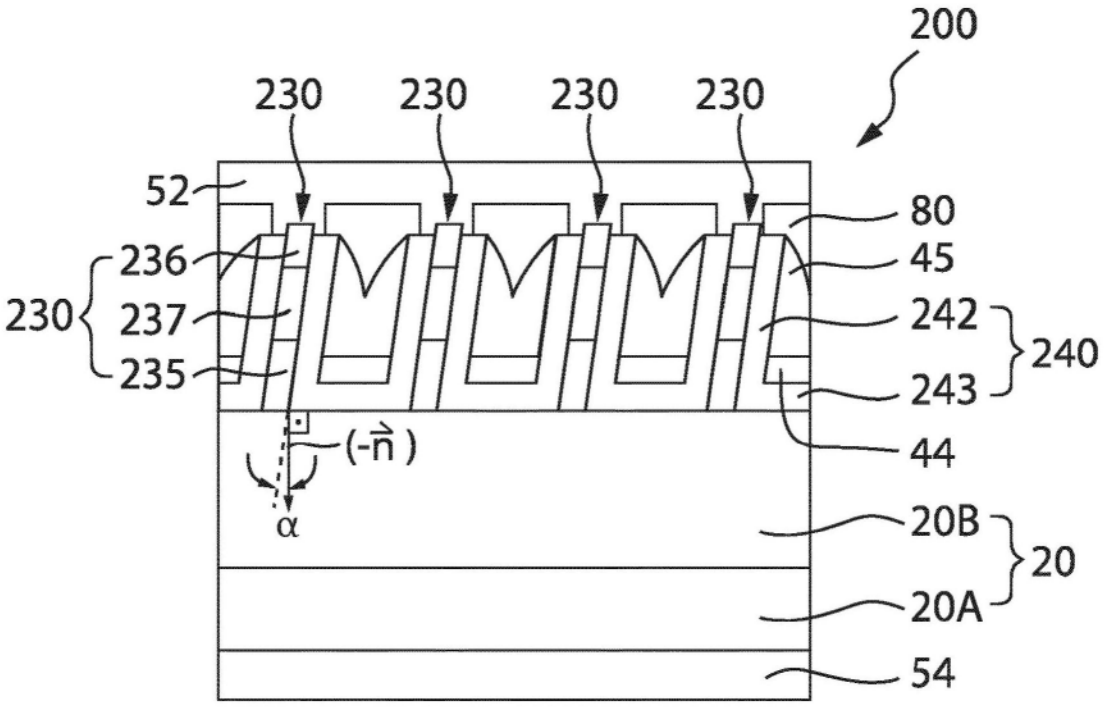

200
230
230
230
230
52
80
236
45
230
237
242
240
235
243
(-n⃗)
44
α
20B
20
20A
54

图5

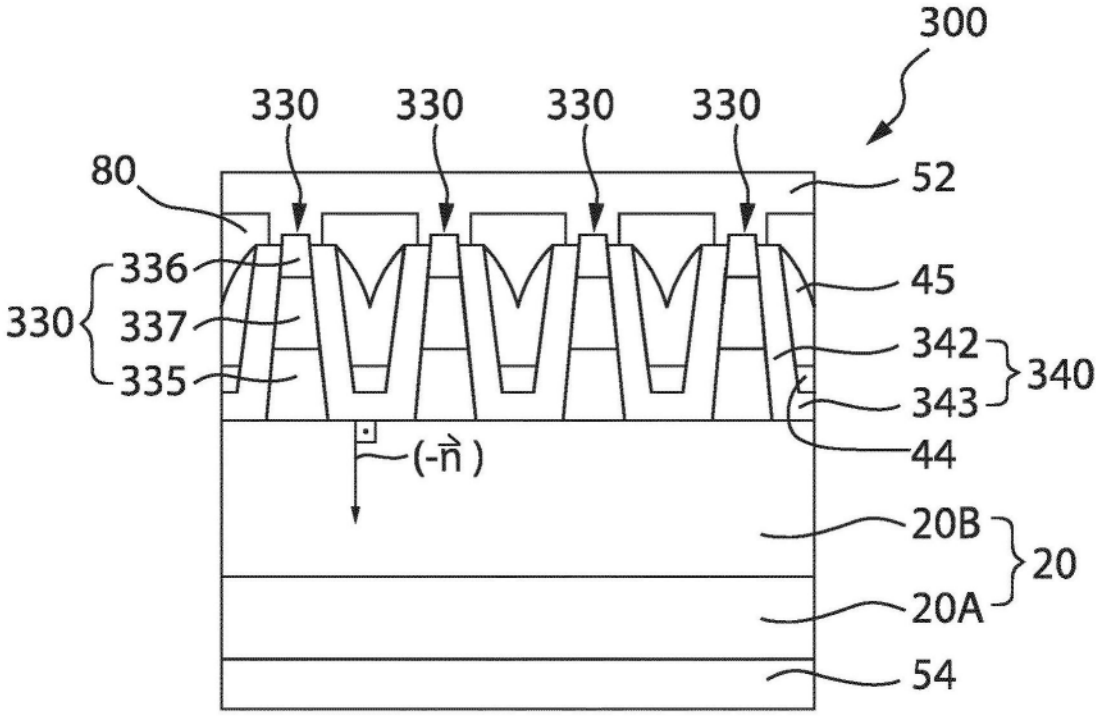

300
330
330
330
330
80
52
336
45
330
337
342
340
335
343
(-n⃗)
44
20B
20
20A
54

图6

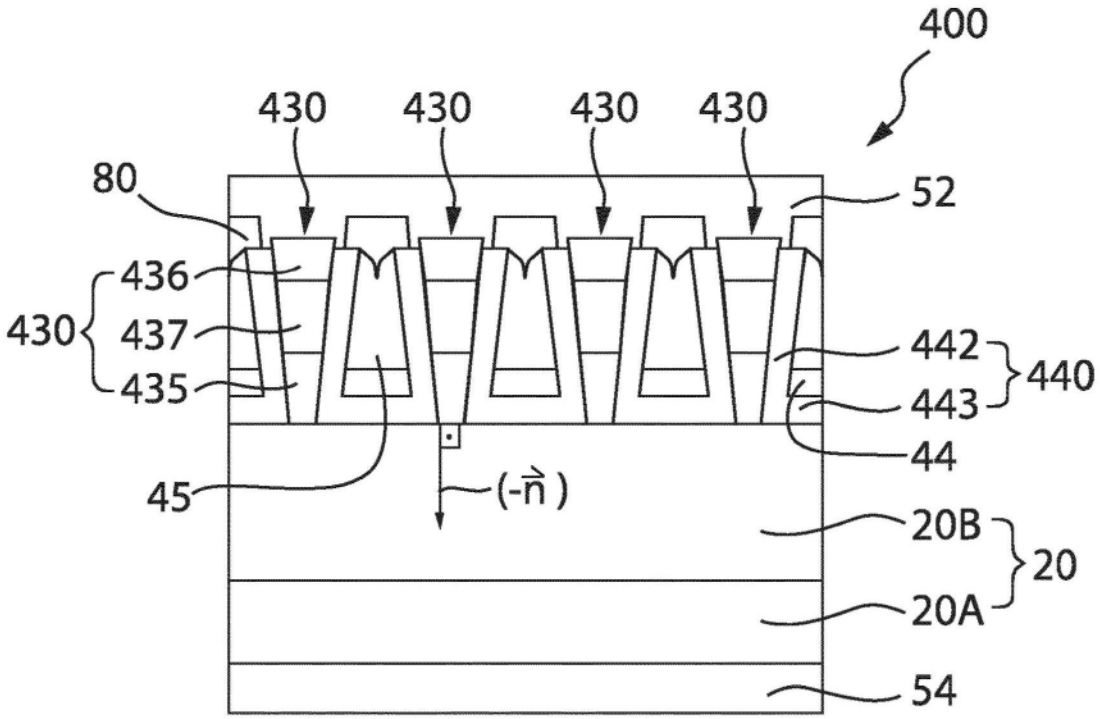

400
430
430
430
430
80
52
436
430
437
435
442
443
440
44
45
(-n⃗)
20B
20
20A
54

图7

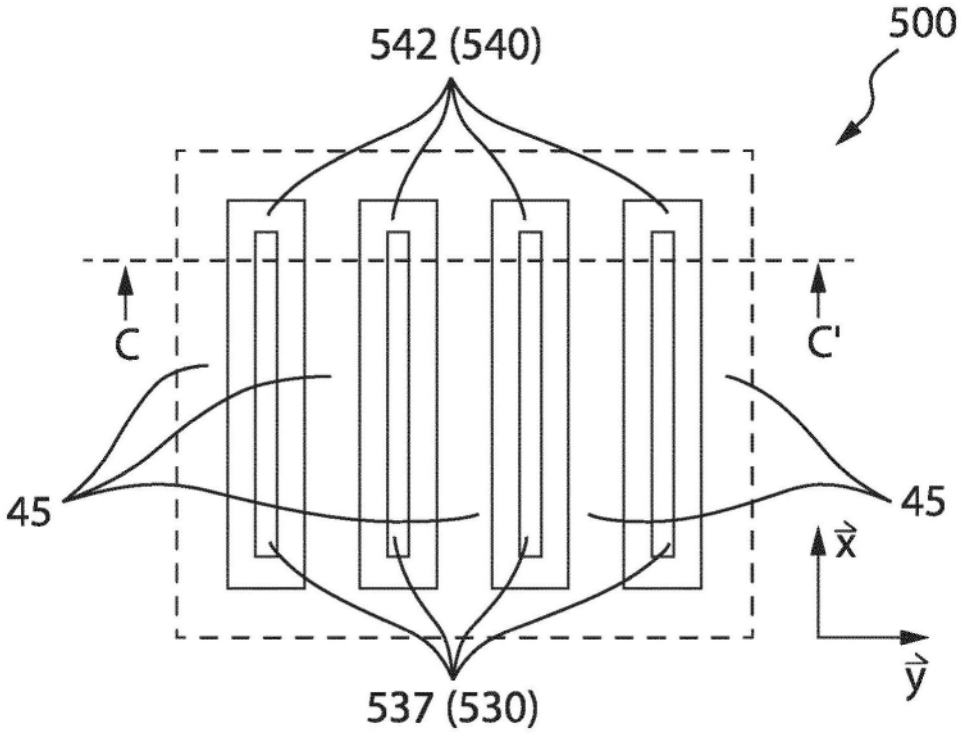

500
542 (540)
C
C'
45
45
x⃗
y⃗
537 (530)

图8

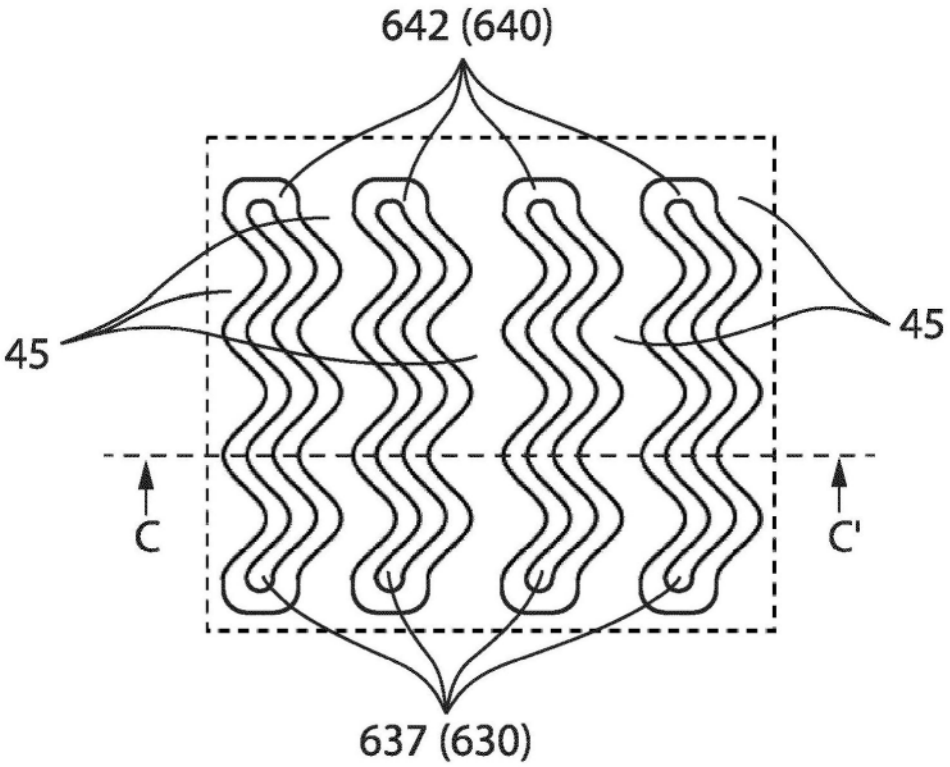

642 (640)
45
45
C
C'
637 (630)

图9

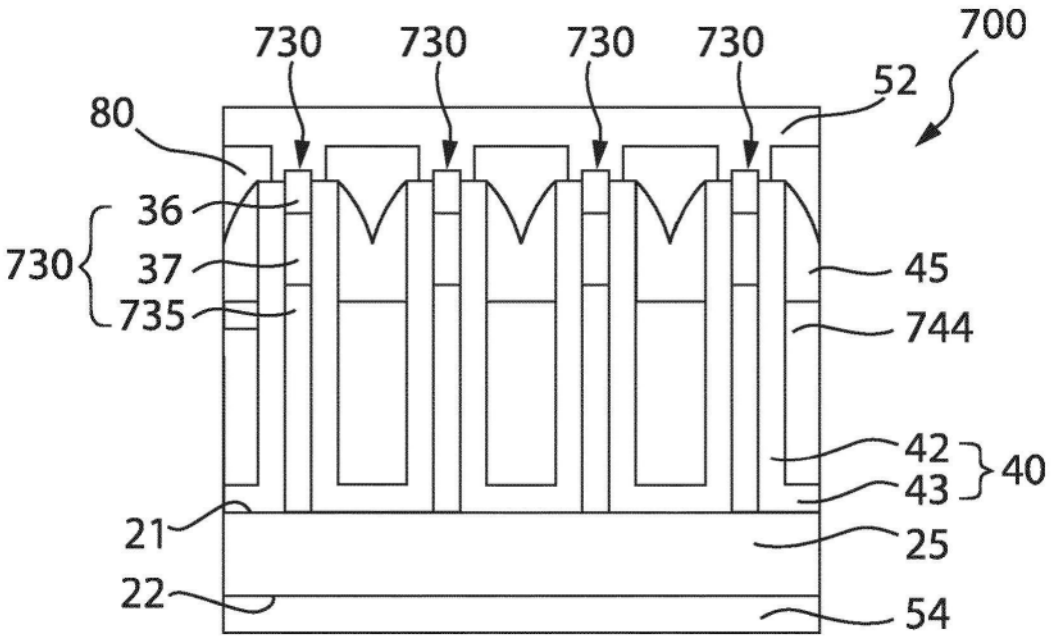

730
730
730
730
700
52
80
36
730
37
735
45
744
42
40
43
21
25
22
54

图10

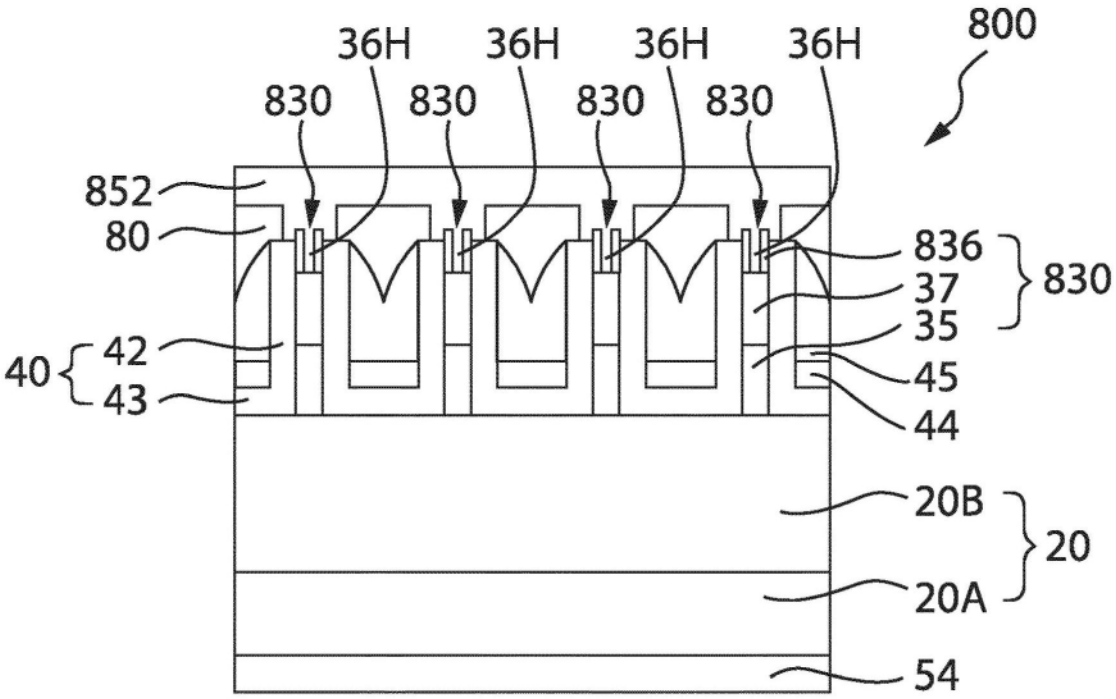

800
36H
36H
36H
36H
830
830
830
830
852
80
836
37
35
45
44
830
40
42
43
20B
20
20A
54

图11

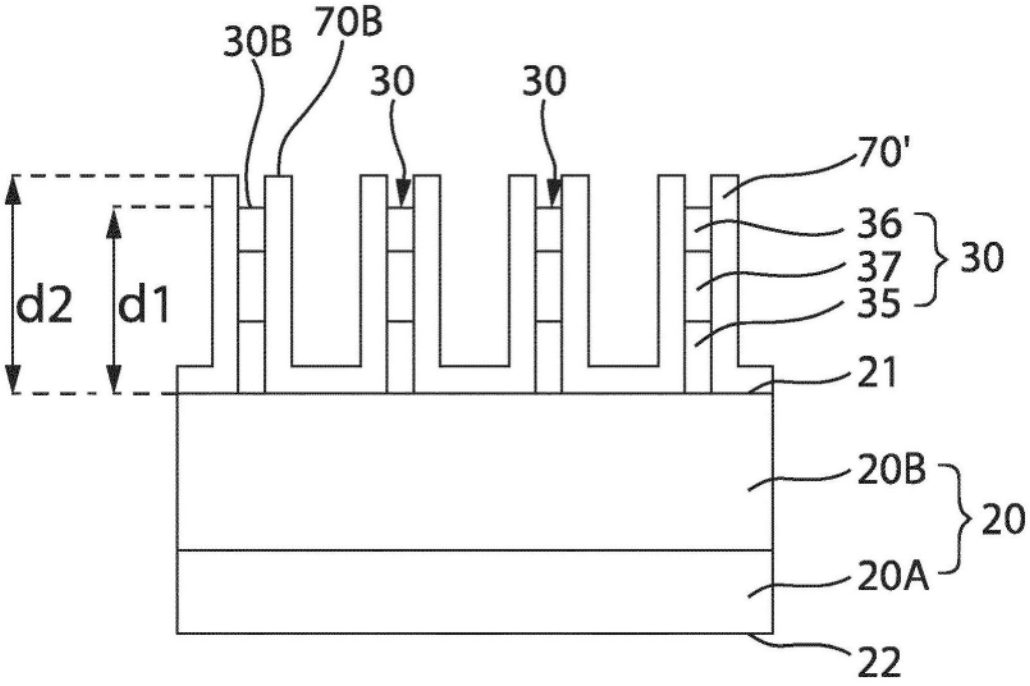

30B
70B
30
30
70'
36
37
35
30
d2
d1
21
20B
20
20A
22

图12A

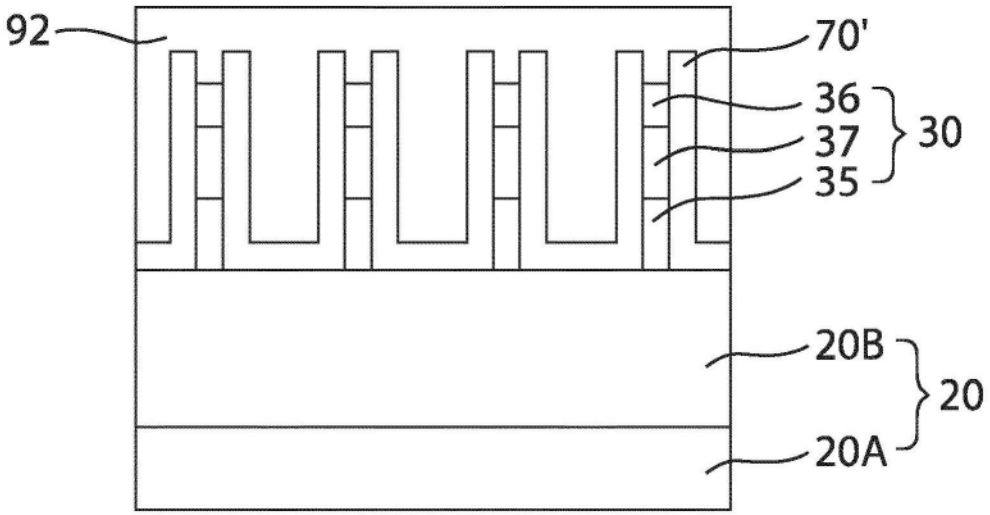


图12B

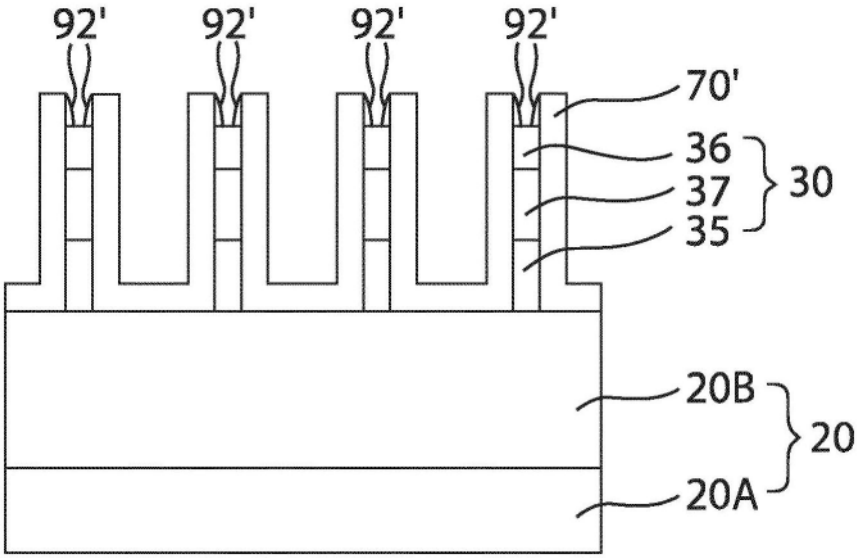


图12C

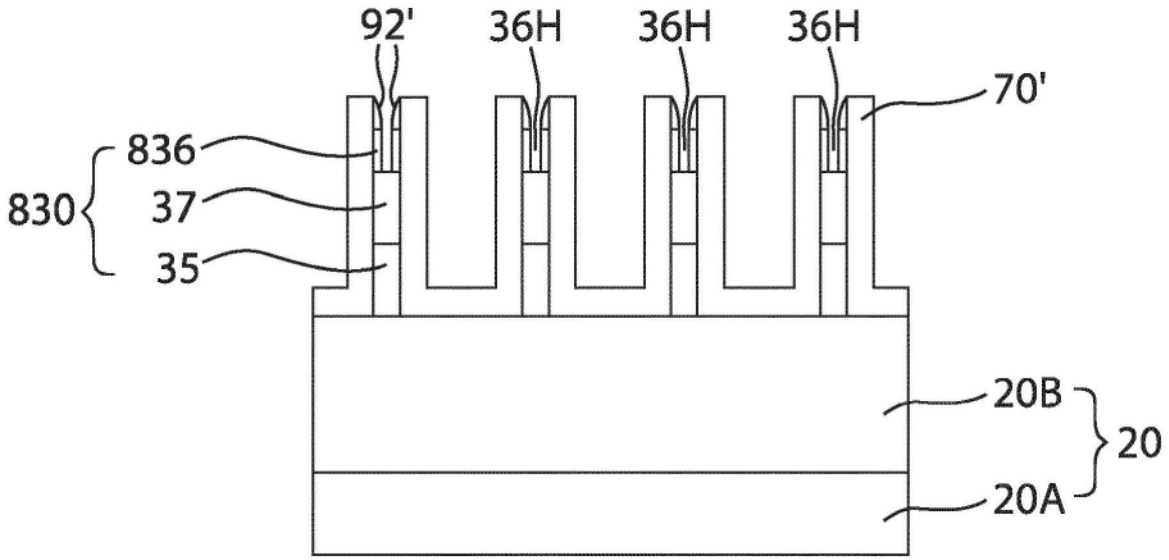

92'
36H
36H
36H
70'
836
830
37
35
20B
20
20A

图12D

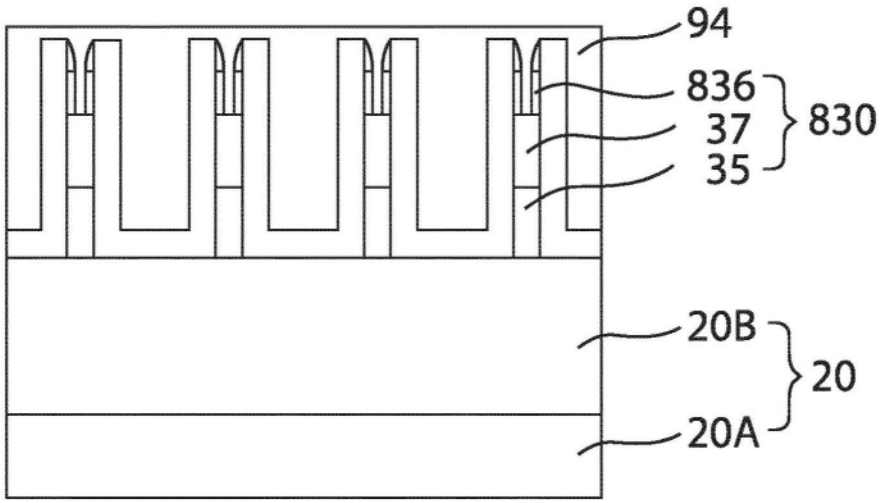

94
836
37
830
35
20B
20
20A

图12E

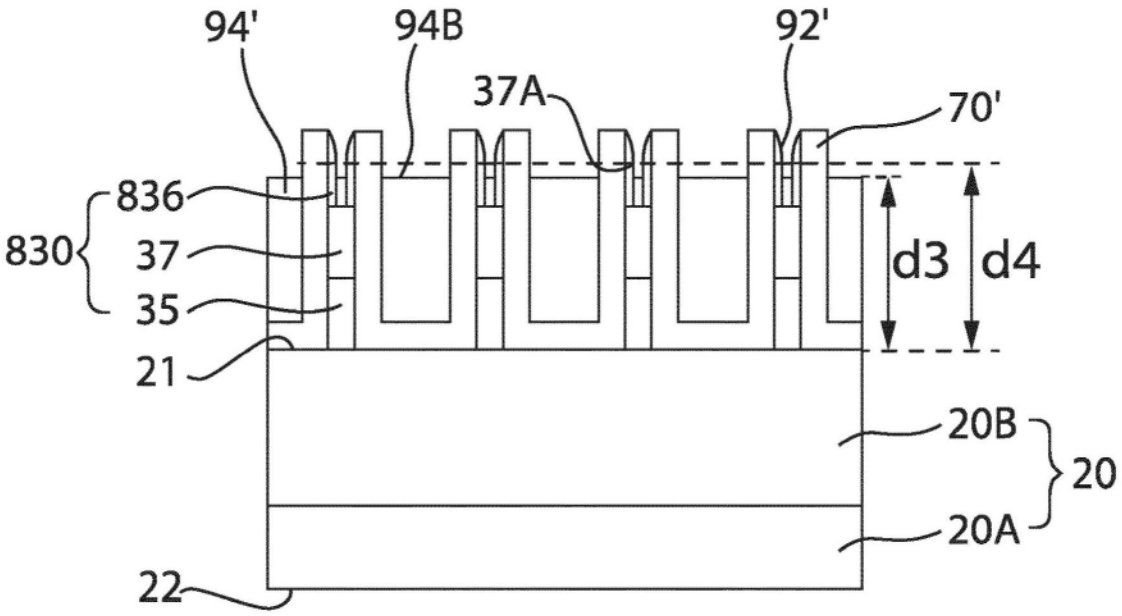

94'
94B
92'
37A
70'
836
830
37
35
d3
d4
21
20B
20
20A
22

图12F

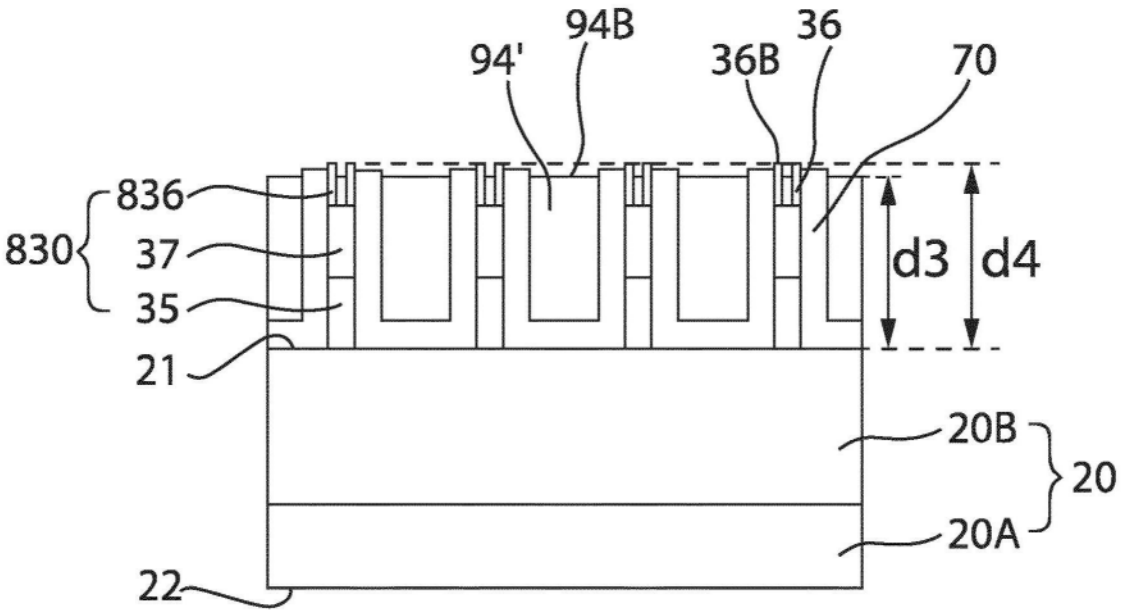

94B
36
94'
36B
70
836
830
37
35
d3
d4
21
20B
20
20A
22

图12G

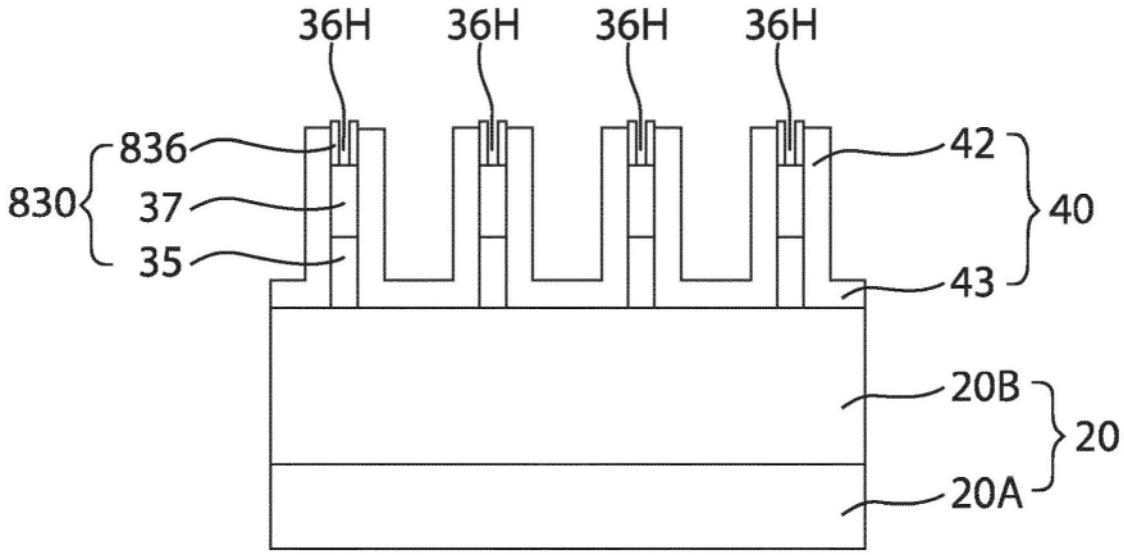


图12H