(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/76

(45) 공고일자 2004년06월30일
(11) 등록번호 10-0424597
(24) 등록일자 2004년03월15일

(21) 출원번호 10-1996-0037982
(22) 출원일자 1996년08월31일

(65) 공개번호 10-1997-0013206
(43) 공개일자 1997년03월29일

(30) 우선권주장 95-248633 1995년08월31일 일본(JP)

(73) 특허권자
텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
에자끼 유지
일본 이바라끼껭 쯔찌우라시 마나또마찌 2-7-11 그린 파크 쯔찌 우라 넘버 404

니시오 신야
일본 도꾜도 무사시무라야마시 나까하라 2-40-1

사이또 후미아끼
일본 도꾜도 아끼시마시 소와쪼 2-2-15 타운 벨 하이츠 넘버 701

나가사와 히데오
일본 도꾜도 오메시 나가미쪼 4-2-5 소시아 리비에르 21넘버 303

가에리야마 도시유끼
일본 이바라끼껭 쯔꾸바군 야와라무라 기누노다이 6-15-8

조성수
일본 이바라끼껭 기따소마군 후지시로마찌 고후다이 2-5-15

아사꾸라 히사오
일본 도꾜도 오메시 노가미 657-5

무라따 준
일본 도꾜도 구니다찌시 히가시 4-6-12

다다끼 요시다까
일본 사이따마 한노시 미스기다이 4-6-18

세끼구찌 도시히로
일본 사이따마 히다까시 요꼬떼 2-20-5

가와기따 게이조
일본 도꾜도 오메시 신마찌 415 2-202

(74) 대리인
주성민

심사관 : 신창우

(54) 반도체디바이스제조방법

요약

딥 웰의 형성과 양립할 수 있는 LOCOS로 인한 잔류 스트레스를 효과적으로 제거하므로써 불순물 농도 및 미세 패터닝을 제어할 수 있는 반도체 디바이스의 제조 방법이 개시되어 있다. 선택적 산화층은 반도체 기판, 예를 들면 p - 형 실리콘 기판(1)의 주 평면 상에서 소자 영역들을 분리하기 위해 형성된다. 마스크 (예를 들어, 포토레지스트, 47)는 선택적 산화층을 갖는 표면 상에 형성되고, 반도체 기판과 반대 도전형을 갖는 불순물 (예를 들어, 인)은 개구를 통해 마스크 내로 주입된다. 그 다음, 선택적 산화막은 고온 처리에 의해 어닐링되며, 딥 웰 (예를 들면, N형 딥 웰, 50)은 불순물을 주입함으로써 형성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예인 동적 RAM의 제조 공정 중의 한 공정을 도시하는 주요 부분의 단면도.
도 2는 다른 공정을 도시하는 주요 부분의 단면도.
도 3은 다른 공정을 도시하는 주요 부분의 단면도.
도 4는 다른 공정을 도시하는 주요 부분의 단면도.
도 5는 다른 공정을 도시하는 주요 부분의 단면도.
도 6은 다른 공정을 도시하는 주요 부분의 단면도.
도 7은 다른 공정을 도시하는 주요 부분의 단면도.
도 8은 다른 공정을 도시하는 주요 부분의 단면도.
도 9는 다른 공정을 도시하는 주요 부분의 단면도.
도 10은 다른 공정을 도시하는 주요 부분의 단면도.
도 11은 다른 공정을 도시하는 주요 부분의 단면도.
도 12는 다른 공정을 도시하는 주요 부분의 단면도.
도 13은 다른 공정을 도시하는 주요 부분의 단면도.
도 14는 다른 공정을 도시하는 주요 부분의 단면도.
도 15는 다른 공정을 도시하는 주요 부분의 단면도.
도 16은 다른 공정을 도시하는 주요 부분의 단면도.
도 17은 동일 및 다른 공정을 도시하는 주요 부분의 단면도.
도 18은 이러한 제조 공정에서 이온 주입에 의해 얻어진 웰 농도 프로파일을 도시하는 외형도.
도 19는 이러한 이온 주입에 의한 MOS 트랜지스터의 임계 전압을 도시하는 외형도.
도 20은 동일한 제조 공정에서 이온 주입에 의해 얻어진 다른 웰 농도 프로파일을 도시하는 외형도.
도 21은 불순물이 인 이온 빔에 의해 주입되어 n형 웰을 형성하는 LOCOS 분리 방법을 사용하여 동일한 p - 형 실리콘 기판 상에 상보형 MOSFET들을 만들기 위한 종래 공정 중의 한 단계를 도시하는 단면도.
도 22는 후막 SiO_2 층(7)의 LOCOS 성장의 후속 단계를 도시하는 단면도.
도 23은 p형 웰을 형성하기 위해서 인 이온 빔에 의해 불순물을 주입하는 후속 단계를 도시하는 단면도.
도 24는 인접 웰들의 상부들 간의 레벨 차 또는 단차를 도시하는 단면도.
도 25는 각각의 웰의 주변부 주위의 LOCOS 산화에 의해 필드 SiO_2 층을 선택적으로 형성하기 위해 마스크를 사용하는 후속 단계를 도시하는 단면도.
도 26은 p형 웰의 주변부에서 채널 스토퍼로서의 p^+ 형 영역을 이온 주입하기 위해 SiO_2 층을 통해 보론 이온 빔을 조사하는 후속 단계를 도시하는 단면도.
도 27은 n형 웰의 주변부에서 채널 스토퍼로서의 n^+ 형 영역을 이온 주입하기 위해 SiO_2 층을 통해 인 이온 빔을 조사하는 후속 단계를 도시하는 단면도.
도 28은 p형 웰 내에 n^+ 형 소오스 및 드레인 영역들을 이온 주입하기 위해 SiO_2 층을 통해 인 빔을 조사하는 후속 단계를 도시하는 단면도.

도 29는 n형 웰 내에 p^+ 형 소오스 및 드레인 영역들을 이온 주입하기 위해 SiO_2 층을 통해 보론 빔을 조사하는 후속 단계를 도시하는 단면도.
도 30은 n 채널 MOSFET Tr1 및 p 채널 MOSFET Tr2가 형성된 때의 후속 단계를 도시하는 단면도.
<도면의 주요 부분에 대한 부호의 설명>
1 : p^- 형 실리콘 기판
42 : 산화 방지 마스크
44, 45, 46 : 소자 영역
47, 51, 58, 69, 87, 91 : 포토레지스트 마스크
49, 53, 54, 55, 60, 62, 71, 88, 92 : 인 이온 범
50 : n형 딥 웰
56, 66 : p형 영역
57, 67 : p^+ 형 채널 스토퍼
61 : n형 영역
63 : n^+ 형 채널 스토퍼
64, 65, 68 : 표면 영역
73, 74, 77 : 폴리실리콘 게이트 전극
75, 95, 101 : SiO_2 층
79, 80, 89, 90 : n^+ 형 영역
93, 94 : p^+ 형 영역
97 : 폴리실리콘 저장 노드 전극
98 : 유전막
99 : 폴리실리콘 평판 전극
102 : 비트라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 소자 제조에 관한 것으로, 보다 구체적으로 고밀도 대규모 집적(VLSI) 회로로 반도체 집적 회로 소자를 만드는 방법에 관한 것이다.
종래의 반도체 집적 회로 장치에 있어서, 반도체 기판은 LOCOS(Local Oxidation of silicon) 방법에 의한 선택적 산화막(selective oxide film)이나 필드 산화막(field oxide film)에 의해 서로 다른 소자들에 대해 몇 개의 소자 영역으로 분할되어 대응하는 필요한 소자들이 각 소자 구획에 조밀하게 형성된다.
도 21 내지 도 30은 LOCOS 분리 방법을 사용해 동일한 기판 상에 예를 들어, DRAM의 주변 회로 부분을 만드는데 사용되는 상보적인 n 채널 및 p 채널 금속 산화물 반도체 전계 효과 트랜지스터(MOSFETS)를 만들기 위한 종래의 제조 프로세스를 도시한다. 도 21에서, 얇은 SiO_2 막(2)는 p^- 형 실리콘 기판(1)의 하나의 제1 평면상에 형성되고, 실리콘 질화물(silicon nitride)의 마스크(3)가 그 위에 선택적으로 형성되어 n형 웰 영역의 위치를 특정화한다. 다음으로, 마스크의(3) 내의 개구(5)를 통해서 기판(1)의 불순물과 반대되는 도전형의 n형 불순물인 인 이온 빔(phosphorous ion beam, 4)을 기판(1)에 조사함으로써 기판(1) 내에 불순물이 주입(implant)되어 기판(1)에 n형 웰(6)이 형성된다.
다음으로, 도 22에 도시된 바와 같이, 두꺼운 SiO_2 층(7)이 스팀 분위기(steam atmosphere) 내에서의 열적 산화에 의한 n형 웰(6) 상의 LOCOS에 의해 선택적으로 성장한다. 도 23에 도시된 바와 같이, 질화물 마스크(3)가 제거된 후에, p형 웰(9)은 SiO_2 층을 마스크로서 사용하여[웰(9)는 불순물의 고체 상태 확산에 의해 역시 형성될 수 있음] 기판(1)과 동일한 도전형의 p형 불순물인 보론 이온 빔(8)을 조사함으로써 자기-정렬되는 방식으로 n형 웰(6)에 인접해서 형성된다. 웰(6과 9)의 각 불순물은 1100℃ 내지 1200℃의 고온에서의 어닐링(annealing)에 의해 확산되어 의도한 깊이와 불순물 농도가 달성된다.
다음으로 표면의 SiO_2 층(2와 7)은 도24에 도시된 바와 같이 에칭에 의해 제거된다. 그 결과, 예를 들어 약 1000Å 내지 1500Å의 단차(step difference)가 두 개의 웰(6과 9) 사이에 형성된다.
도 25에 도시된 바와 같이, 표면 산화막(11)의 형성 후에, 실리콘 질화물의 산화 방지 마스크(12)는 기준 표시로서 웰(6)과 웰(9) 사이의 단차(10)를 사용하여 웰(6과 9) 상에 규정된 패턴으로 형성된다. 다음으로, 마스크(12)를 사용하여, 필드 SiO_2 층(13)이 각 웰 주변의 LOCOS 산화에 의해 선택적으로 형성된다.
다음으로, 포토레지스트 마스크(14)는 채널 스토퍼(channel stopper)를 형성하기 위하여 규정된 패턴으로 도26에 도시된 바와 같이 형성된다. 그리고, p형 불순물인 보론 이온 빔(15)가 p형 웰(9) 주변의 채널 스토퍼로서의 p^+ 형 영역(17)을 이온 주입하기 위해 마스크(14) 내의 개구(16)에서 SiO_2 층(13)을 통해 조사된다.

도 27에 도시된 바와 같이, 다음으로 포토레지스트 마스크(14)가 제거되고 다른 포토레지스트 마스크(18)이 제공된다. n형 불순물인 인 이온 빔(19)가 n형 웰(6) 주변의 채널 스토퍼(21)로서의 n^+ 형 영역을 이온 주입하기 위해 마스크(18)내의 개구(20)에서 SiO_2 층(13)을 통해 조사된다.
각 웰(6과 9)의 표면 상에 게이트 산화막(22)를 성장시킨 후, 폴리실리콘 게 이트 전극(23과 24), 절연 SiO_2 층(25) 및 질화물 측벽(26)이 도28에 도시된 바와 같이 각각 형성된다. 다음으로 포토레지스트 마스크(27)이 n형 웰(6)을 덮기 위해 제공된다. 그리고 n형 불순물인 인 이온 빔(28)이 조사되어 n^+ 형 불순물-주입된 영역(소오스 및 드레인 영역, 29 및 30)이 p형 웰(9)에서 자기-정렬 방식으로 형성된다.
포토레지스트 마스크(27)이 제거되고 다른 포토레지스트 마스크(31)이 도29에 도시된 바와 같이 형성된다. 다음으로, p형 불순물인 보론 이온 빔(32)가 n형 웰(6)에서 자기-정렬된 방식으로 p^+ 형 영역(소오스 및 드레인 영역, 33 및 34)을 불순물 주입하기 위해 조사된다. 다음으로 마스크(31)가 제거된다.
다음으로 도 30에 도시된 바와 같이, 절연층(35)가 전 표면에 피착되고, 그내에 콘택트 홀(36)이 불순물-주입된 소오스/드레인 영역(29, 30, 33 및 34) 각각에 형성된다. 그리고 각 전극(소오스/드레인 전극, 37, 38, 39 및 40)이 콘택트 홀에 피착된다. 따라서, n 채널 MOSFET Tr_1 이 p형 웰(9) 상에 만들어지고, p 채널 MOSFET Tr_2 가 n형 웰(6) 상에 만들어진다.
그러나, 이러한 종래의 제조 프로세스는 다음과 같은 (a)-(e)의 문제점들을 가진다.
(a) 필요한 소자들(여기서는 MOSFET 트랜지스터들 Tr1과 Tr2)을 웰(6과 9)에 준비하고 만드는데 필요한 프로세스의 수가 증가하고, 프로세스가 복잡해진다.
(b) LOCOS에 의해 선택적으로 성장한 (도22의)산화물막(7)과 (도25의)산화물막(13)은 A자 모양의 버드 비크형(bird's beak) 팁(tip)을 가진다. 버드 비크 상의 잔류 스트레스(residual stress)는 전류 누설등에 기인하며 반도체 소자의 신뢰도와 전기적 특성을 저하시키기 쉽기 때문에, 고온 어닐링 처리에 의해 잔류 스트레스를 제거할 필요가 있다. 그러나, 산화막(13)은 웰(6과 9)가 이온 빔 주사에 의해 형성된 후에 LOCOS에 의해 성장되기 때문에(도 25를 참조), 사실상 LOCOS 단계 후에 고온-어닐링 처리를 추가하는 것이 필요하고 이는 프로세스 수를 증가시킨다. 게다가, 이와 같은 어닐링 처리는 산화막(7)의 LOCOS 성장 후에 초기에 요구되므로(도25를 참조하라), LOCOS 산화 후의 어닐링 처리는 최소한 두 번 수행되어야 한다.
(c) LOCOS에 의한 산화막의 선택적 성장(도 24와 도 25)은 웰(6과 9) 사이에 단차(10)를 형성한다. 단차(10)는 후속 프로세스 후에도 남아 있기 때문에, 이 프로세스는 정밀한 패터닝에 적합하지 않다. 예를 들어, 도 28에 도시된 폴리실리콘 게이트 전극(23과 24)를 동시에 패터닝할 때, 포토레지스트에 대한 노출 패턴은 단지 두 웰 중의 하나에만 집중되므로, 나머지 웰은 열외된다. 결과적으로, 게이트 전극(23과 24) 중의 어느 하나는 설계된 대로 패턴닝되지 않는다.
(d) 웰(6과 9)를 형성하는데 필요한 불순물 농도 프로파일(profile)을 이들 웰에 제공된 트랜지스터들 Tr_1 과 Tr_2 의 설계된 임계 전압에 필요한 불순물 농도 프로파일에 정합시키는 것이 어렵다. 즉, 도 21과 도 23의 웰-형성 이온 주입 후에, 사실상, 주입된 불순물들은 열적 확산 (웰 확산)에 의해 웰(6과 9)의 표면으로부터 안으로 이동해 가므로, 웰 표면과 내부의 불순물 농도는 변하게 된다.
(e) 이러한 이유로, 원하는 임계 전압에서 동작하는 트랜지스터를 얻기 위해, 임계 전압 제어를 위한 확산 마스크를 웰 상에 따로 만들고, 필요한 불순물을 재확산 시키는 것이 필요하다. 게다가, 다른 임계 전압을 갖는 트랜지스터를 얻기 위해, 다른 확산 마스크가 각각 필요하다. 따라서, 마스크 개수가 증가하고, 제조 프로세스는 더욱 복잡해진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 딥 웰(deep well) 형성과 양립할 수 있는 LOCOS 성장에 기인한 잔류 스트레스를 제거함으로써, 불순물 농도의 용이한 제어와 정밀 패터닝을 가능하게 하는 보다 나은 반도체 소자 제조 방법을 제공하는 것이다.
반도체 소자를 만드는 본 발명의 방법은 반도체 기판(후에 언급되겠지만, 예를 들어, p형 실리콘 기판(1))의 제1 평면 상에 소자 영역을 분리하기 위해 선택적 산화층(후에 언급되겠지만, 예를 들어 선택적 산화막(43))을 형성하고, 선택적 산화층을 포함하는 표면 상에 마스크 (후에 언급되겠지만, 예를 들어, 포토레지스트(47))를 형성하는 단계, 및 딥 웰 (후에 언급되겠지만, 예를 들어, n형 딥 웰(50))이 상기 언급된 주입된 불순물에 의해 형성되는 때에, 고온 처리에 의해 상기 언급된 선택적 산화막을 동시에 어닐링하는 단계들을 포함한다.
상기 제조 방법에 따르면, 소자 분리를 위한 선택적 산화층이 형성된 후에, 반도체 기판과 반대되는 도전형의 불순물이 주입되고, 딥 웰이 고온-처리에 의해 형성된다. 동시에,선택적 산화막이 어닐링된다. 다음으로 선택적 산화층으로부터의 잔류 스트레스가 제거될 수 있고 원하는 웰 농도와 임계 전압이 딥 웰을 활성화시키므로써 얻어질 수 있다. 더욱이, 후속된 고온 어닐링 처리와 임계 전압 조절의 불순물 확산의 추가 없이 실현되어 프로세스 수가 감소될 수 있다. 또한, 딥 웰 형성 시에 단지 하나의 선택적 산화만으로 충분할 수 있으므로, 선택적 산화층에 의해 분리된 소자 영역 사이의 표면은 동일한 표면상에 유지되어 패턴이 높은 정밀도로 노출될 수 있고 게이트 전극들의 정밀한 패턴 등이 형성될 수 있다.
따라서, 상술된 종래의 기술과 비교하면, 본 제조 방법은 반도체 기판에 가해지는 스트레스가 완화되는 안정한 LOCOS 절연(선택적 산화막에 기인한 절연) 구조를 제공할 수 있다. 이와 동시에, LOCOS 다음의 고온 어닐링(annealing)이 제조 프로세스의 초기 단계에서 수행될 수 있고, 또 이러한 시점에서 웰의 임계 전압이 딥 웰의 형성시에 동시에 조정될 수 있기 때문에, 임계 전압을 조정하기 위한 확산 마스크 및 프로세스가 생략될 수 있다.

본 발명의 제조 방법에서, 양호한 응용 패턴으로서 반도체 제조 프로세스의 초기 단계에서 고온 프로세스에 의한 LOCOS(선택적 산화막의 형성)를 수행한 후, 딥 영역에 까지 연장된 웰(딥 웰: D-웰)이 마스크로서 LOCOS 영역을 사용하여 이온주입된다. 그 다음으로, 웰은 예를 들어 질소 분위기에서 3시간 동안 1200℃로 어닐링되어 활성화되며, 소망 임계 전압으로 작동하는 트랜지스터를 형성하기 위한 영역으로서 사용된다.
또한, 마스크가 기판 상에 가해지며, 또 DRAM 셀의 주변 회로 부분의 트랜지 스터용 웰이 형성됨으로써, 이에 따라 2 또는 3 종류의 임계 전압을 갖는 트랜지스터들이 용이하게 얻어질 수 있다.
이러한 경우, 바람직하게는 딥 웰이 형성되는 제1 소자 영역 [예를 들어, 다음에 언급될 DRAM 셀의 메모리 셀 영역(46)] 및 딥 웰이 형성되는 제2 소자 영역 [예를 들어, 다음에 언급될 셀 주변 회로 부분의 n 채널 MOS 트랜지스터 형성 영역(44)]이 선택적 산화막에 의해 개별적으로 형성된 후, 마스크가 상기 선택적 산화층을 포함하는 표면 상에 형성된다.
그 다음으로, 반도체 기판과 동일한 도전형의 불순물 (예를 들어, 보론)이 상기 마스크의 개구로부터 상기 제2 소자 영역 및 딥 웰 내로 주입되며, 시트 저항을 낮추기 위한 저-저항 매립 영역 [예를 들어, 다음에 언급될 p형 영역(56 및 66)]이 형성된다.
그 다음으로, 상기 마스크를 그대로 사용하여, 상기 불순물과 동일한 도전형의 불순물 (예를 들어, 보론)이 상기 저-저항 매립 영역 내로 주입되며, 소자를 분리시키기 위한 불순물 주입 영역 [예를 들어, p^+ 형 채널 스토퍼(channel stopper, 57 및 67)]이 형성된다.
또한, 상기 마스크를 그대로 사용하여, 동일한 도전형의 불순물 (예를 들어, 보론)이 상기 불순물 주입 영역 내로 주입되며, 표면 불순물 농도 (특히, 트랜지스터의 임계값)이 정해진다.
바꾸어 말하면, 주입된 전체 불순물의 양이 동일 마스크 아래보다 최소한 3 배의 상기 불순물을 주입시킴으로써 사전 설정되며, 이에 따라 표면 불순물 농도의 기준값 (특히, 최저 임계 전압인 보통의 V_t)가 얻어질 수 있다면, 표면 농도와 내부 농도 사이의 차이에 기인하여 소망 V_t가 얻어질 수 없는 종래의 기술과는 달리 의도된 표면 농도 (즉, 보통의 V_t)가 언제나 얻어진다. 또한, 임계 전압을 조정하기 위한 불순물 확산이 요구되지 않는다. 그 다음으로, 다양한 높은 V_t 값 (표준 V_t 및 높은 V_t)들이 보통의 V_t를 위해 요구되는 때에는 불순물이 적절하게 주입될 수 있으나, 상기 보통의 V_t를 조정하기 위한 불순물 주입이 요구되지 않기 때문에 트랜지스터가 (예를 들어, 보통의 V_t, 표준 V_t 및 높은 V_t로 개시하는) 다른 임계 전압으로 작동하기 위해 요구되는 마스크와 프로세스의 수가 간단해질 수 있다.
이러한 경우, 제3소자 영역 [예를 들어, 다음에 언급된 셀 주변부의 p 채널 MOS 트랜지스터 형성 영역(45)]이 제2 소자 영역 옆에 형성된다.
그 다음으로, 딥 웰이 제2 소자 영역 내에 형성되지 않거나, 또는 반도체 기판과 동일한 도전형의 불순물이 주입되지 않는다. 그러나, 상기 반도체 기판의 도전형과 반대 도전형의 불순물 (예를 들어, 인)이 선택적 산화막을 포함하는 기판상에 형성된 마스크의 개구 게이트로부터 주입되며, 이에 따라 불순물 주입 영역 [예를 들어, 다음에 언급될 n형 영역(61)]이 형성된다.
또한, 상기 마스크를 그대로 사용하여, 반대 도전형을 갖는 상기 불순물 (예를 들어, 인)이 상기 불순물 주입 영역 내로 주입되며, 이에 따라 소자를 분리시키 기 위한 불순물 주입 영역[예를 들어, 다음에 언급될 n^+ 형 채널 스토퍼(63)]이 형성된다.
따라서, 소망 표면 불순물 농도가 반도체 기판의 불순물 농도를 사용한 부분 상쇄, 심지어는 반대 도전형의 불순물을 주입시킴으로써 역시 얻어지며, 소자를 분리시키기 위한 불순물이 함께 주입될 수 있다.
또한, (소망하는) 도전형의 개별적으로 상기 불순물이 주입된 다음, 주입 영역을 활성화시키고 또 주입된 불순물의 농도 변화를 실질적으로 야기시키지 않도록 어닐링이 양호하게 수행된다. 어닐링 조건은 예를 들어, 1000℃ 및 30분일 수 있다.
절연 게이트 전계 효과 트랜지스터 (예를 들어, 다음에 언급되는 반도체 기판과 반대인 도전형의 n 채널 MOS 트랜지스터 TR_1 및 TR_3)들이 본 발명의 제조 방법에 의해 상기 제1 소자 영역 및 제2 소자 영역 내에 개별적으로 형성된다. 반도체 기판과 동일한 도전형의 채널을 갖는 절연 게이트 전계 효과 트랜지스터 (예를 들어, 다음에 언급될 p 채널 MOS 트랜지스터 TR_2)가 제3 소자 영역 내에 형성될 수 있다.

발명의 구성 및 작용

도 1 내지 도 20은 본 발명이 DRAM을 만드는데 적용되는 실시예들을 도시한다. DRAM은 셀의 메모리 셀 어레이 MA 및 주변 셀 부분 PC를 포함한다. 제조시에, 먼저 도 1에 도시된 바와 같이, 박막 SiO_2 막(41)은 $1 \times 10^{15}/cm^3$의 불순물 농도로 p^- 형 실리콘 기판(1)의 한 주변 평면 상에 형성되고, LOCOS 공정을 위한 실리콘 산화물의 산화 방지 마스크(42)가 그 위에 선정된 패턴으로 형성된다.
다음에, 도 2에 도시된 바와 같이, 소자 영역(44, 45 및 46) 주변에서, LOCOS 방법(예를 들어, 1100℃의 산화 온도에서)을 이용하여, 예를 들어, 4000Å의 두께로 기판(1) 상에 선택적으로 형성된다. 또한, SiO_2 막은 수직 에칭되고 다이렉트 모트 영역(direct moat region)으로서 사용되며, 고집적 회로는 버드 비크를 제거하면서 실현될 수 있다.
다음에, 도 3에 도시된 바와 같이, 마스크(42)의 제거후에, 주변 회로 부분 PC의 소자 영역(44 및 45)는 마스크되며, 메모리 셀 어레이 부분 MA는 노출된다. 그 다음, 인 이온 빔(49)와 같은 n형 불순물은 마스크(47)의 개구(48)를 통해 상기 부분들 위에 조사된다. 따라서, n형 불순물은 500 keV의 고 에너지 및 $6 \times 10^{12}/cm^2$의 조사량으로 예를 들어, 기판(1)의 깊은 위치까지 이온 주입되고, 딥 웰의 영역(50)은 상술된다. 주입 이온(49)은 또한, 필드 SiO_2 막(43) 아래에 주입된다.

다음에, 어닐링은 질소와 같은 불활성 개스의 분위기에서 3시간 동안 약 1200℃의 온도에서 실행된다. 따라서, 도 4에 도시된 바와 같이, n형 딥 웰(50)은 상기 주입된 불순물(49)에 의해 기판(1) 상에서 활성화되고, $2 \times 10^{15}/cm^2$의 불순물 농도가 형성된다. 그 시점에서, 열 산화법(LOCOS)에 의해 형성된 상기 필드 SiO_2 막(43)으로 인한 잔류 스트레스는 충분히 완화될 수 있다.

다음에, 도 5에 도시된 바와 같이, 주변 회로 부분 PC의 소자 영역(45)만이 포토레지스트 마스크(51)에 의해 덮히고, 보론 이온 빔(53)과 같은 p형 불순물은 300 keV의 고 에너지 및 $8 \times 10^{12}/cm^2$의 조사량으로 예를 들어, 개구(52)로부터 소자 영역(44)(p^-형 기판, 1) 및 소자 영역(46)(n형 딥 웰, 50) 내에 비교적 깊게 이온 주입된다. 이러한 주입은 p형 영역(56 및 66)의 시트 저항을 낮추고, 후술될 역행(retrograde) 농도 프로파일을 형성하는데, 이는 가끔 보론 이온 주입 1(BP1)으로 불린다.

다음에, 도 6에 도시된 바와 같이, 상기 마스크(51)을 그대로 사용하므로써, 보론 이온 빔(54)와 같은 p형 불순물은 이온 빔(53)보다 낮은 에너지, 예를 들어 180 keV의 에너지 및 $6 \times 10^{12}/cm^2$의 조사량으로, 예를 들어, 각각의 조사 영역 내로 주입된다. 이러한 주입은 소자 분리를 위한 p^+형 채널 스토퍼(57 및 67)을 형성하고, 가끔 보론 이온 주입 2(BP2)로 불린다.

다음에, 도 7에 도시된 바와 같이, 변경되지 않은 상기 마스크(51)을 사용하여, 보론 이온 빔(55)와 같은 p형 불순물이 예를 들어 20keV의 낮은 에너지 및 $2 \times 10^{12}/cm^2$의 조사량으로 소자 영역(44 및 46)에 주입된다. 이러한 주입은 상기 이온 주입 53(BP1)와 54(BP2) 및 소자 영역의 웰 표면 불순물 농도의 개별적인 조사 량을 규정하며, 이에 따라 정규(normal) V_t가 각각의 조사량과 농도의 배가 동작(multiplication action)에 의해 얻어질 수 있고, 또한, 이는 종종 보론 이온 주입 3(BP3)이라 불린다.

다음에, 도 8에 도시된 바와 같이, 상기 마스크(51)을 제거한 후, 소자 영역(44 및 46)이 포토레지스트 마스크(58)로 피복되며, 인 이온 빔(60)과 같은 n형 불순물이 500 keV의 에너지 및 $2 \times 10^{13}/cm^2$의 조사량으로 개구(59)를 통하여 소자 영역(45) 내로 비교적 깊게 주입된다. 이러한 주입은 n형 웰(61)의 시트 저항을 낮추며 또 역행 농도 프로파일을 형성하는데, 이는 다음에 설명되며 또 인 이온 주입 1 (BN1)로 불린다.

다음에, 도 9에 도시된 바와 같이, 변경되지 않은 상기 마스크(58)을 사용하여, 인 이온 빔(62)와 같은 n형 불순물이 상기 이온 빔(60)의 에너지보다 낮은 250 keV 에너지 및 $5 \times 10^{12}/cm^2$의 조사량으로 소자 영역(45) 내에 주입된다. 이러한 주입은 소자 분리용 n^+형 채널 스토퍼를 형성하며, 인 이온 주입 2 (BN2)라 불린다.

이러한 경우, 상기 이온 주입 [60(BN1) 및 62(BN2)] 각각의 조사량은 소자 영역의 소망 표면 불순물 농도가 각 조사량의 배가 동작에 의해 얻어질 수 있도록 역시 규정될 수 있다.

다음에, 도 10에 도시된 바와 같이, 상기 마스크(58)을 제거한 후, 전체 소자 영역이 질소와 같은 불활성 개스(inert gas) 분위기에서 30분 동안 약 1000℃인 온도로 어닐링된다. 따라서, 불순물이 주입되는 각각의 상기 영역들이 활성화되며, 소망 불순물 농도를 갖는 소자 영역(44 및 46), p형 웰(56 및 66), p^+-채널 스토퍼(57 및 67), 및 표면 영역(64 및 65)들이 p^-형 기판(1) 상에 개별적으로 형성됨으로써, 이른바 트리플 웰(triple well)이 형성된다. 이와 동시에, 소자 영역(45)내에 소망 불순물 농도를 갖는 상기 p형 웰(56)에 인접한 n형 웰(61), n^+형 채널 스토퍼(63), 및 표면 영역(68)들이 p^-형 기판(1) 상에 개별적으로 형성된다. 이때, 표면 불순물 농도로서 소자 영역(44) 내에는 $1 \times 10^{17}/cm^2$, 소자 영역(45) 내에는 $3 \times 10^{17}/cm^2$, 및 소자 영역(46) 내에는 $8 \times 10^{16}/cm^2$이 개별적으로 얻어진다.

이러한 경우, 상기 조건 하에서 어닐링을 수행하기 위하여 각각의 불순물 주입된 영역의 농도 프로파일은 실질적으로 변경되지 않으며, 상기 표면 농도 등은 개별적인 이온 주입 BP1, BP2, BP3, BN1 및 BN2의 조사량에 의하여 균일하게 규정된다. 특히, 소자 영역(44) 내에서는 상기 영역에 구비된 n 채널 MOS 트랜지스터의 임계값이 가장 낮은 값(보통의 V_t)을 언제나 나타낼 수 있도록 BP1, BP2 및 BP3의 조합에 의해 규정될 수 있다.

또한, 도 11에 도시된 바와 같이 소자 영역(44)의 표면 농도를 상기 보통의 V_t로 고정시키기 위하여, 소자 영역(45 및 46)들이 포토마스크(69)로 피복되며, 보론 이온 빔(71)과 같은 p형 불순물이 개구(70)를 통하여 주입될 수 있다. 그러나, 이러한 주입은 이미 BP1, BP2 및 BP3에 의해 결정된 보통의 V_t를 고정시키며, 이는 임계값 조정을 위한 종래의 이온 주입과는 실질적으로 다르다.

도 12에 도시된 바와 같이 각각의 웰이 형성된 후, 게이트 산화막(72)가 웰(56, 61 및 66)의 표면 상에 성장되며, 또 폴리실리콘 게이트 전극(워드 라인: 73, 74 및 77) 및 SiO_2 층(75)들이 통상의 방법에 따라 규정된 패턴으로 개별적으로 형성된다.

다음에, 도 13에 도시된 바와 같이, 질화물 측벽 웰(side well, 76)이 각각의 폴리실리콘 게이트 전극의 측면을 산화시킴으로써 측면이 역시 SiO_2 막(78)에 의해 보호되는 상태로 각각의 게이트 전극의 측면 상에 개별적으로 형성된다. 그 다음으로, 포토레지스트 마스크(87)이 N형 웰(61) 상에서 피복되며, 비소 또는 인 이온 빔(88)과 같은 n형 불순물이 개구(81)를 통하여 조사된다. n^+형 불순물 주입 영역(소스 또는 드레인 영역: 79, 80 및 89, 90)들이 자기 정렬 방식(self-aligned fashion)으로 p^+형 영역(57 및 67) 내에 형성된다.

다음에, 도 14에 도시된 바와 같이, 포토레지스트 마스크(87)이 제거되며, 또 다른 포토레지스트 마스크(91)이 소자 영역(44 및 46) 상에 형성된다. 그 다음으로, 보론 이온 빔(92)와 같은 p형 불순물이 개구(91A)를 통하여 조사되며, 또 p형 불순물 주입된 영역(소스 및 드레인 영역: 93 및 94)들이 자기 정렬 방식으로 n^+형 영역(63) 내에 형성된다.

그 다음으로, 도 15에 도시된 바와 같이, CVD(화학적 증기 증착)에 의해 전체 표면 상에 증착된 SiO_2 절연층(95)가 선택적으로 에칭되며, 또 콘택트 홀(96)이 n^+형 영역(90) 상에 형성된다. 그 다음으로, CVD에 의해 증착된 폴리실리콘이 패터닝되며, 폴리실리콘 저장 노드 전극(97)이 콘택트 홀(96) 상에 증착된다. 또한, 유전막(예를 들어, 실리콘 질화막, 98) 및 폴리실리콘 평판 전극(99)들이 CVD에 의해 전체 표면 상에 순서대로 형성된다.

다음에, 도 16에 도시된 바와 같이, n^+ 형 영역(89) 상의 평판 전극(99), 유전막(98) 및 절연막(95)들이 소자 영역(46) 내에서 선택적으로 에칭되어, 콘택트 홀(100)이 형성된다. 그 다음으로, n^+ 형 영역(89)가 CVD에 의해 전체 표면 상에 증착된 SiO_2 절연층(101)을 에칭함으로써 노출된다. 그 다음으로, 텅스텐 비트 라인(102)가 스퍼터링에 의해 전체 표면 상에 증착되며, 이에 따라 메모리 셀 MC가 완성된다.

다음에, 도 17에 도시된 바와 같이, 주변 회로 부분의 층(102, 101, 99 및 98)들이 에칭에 의해 순서대로 제거된 후, 콘택트 홀(106)이 CVD에 의해 전체 표면상에 증착된 SiO_2 절연층(103) 내의 개별적인 불순물 주입 영역(79, 80, 93 및 94)상에 개별적으로 형성되어, 상기 개별적인 전극(107, 108, 109 및 110: 소스 또는 드레인 전극)들이 증착된다. 따라서, 주변 회로 부분 PC 내에서, n 채널 MOSFET TR_1 이 p형 웰(56) 상에 제조되며, 또 p 채널 MOSFET TR_2 가 n형 웰(61) 상에 제조된다. 이들은 센스 증폭기와 같은 구동 소자로서 사용될 수 있다.

다른 한 편으로, 메모리 셀 어레이 부분(MA)에서, 트랜지스터 게이트(TR_3 및 TR_3') 각각이 접속되어 있는 메모리 셀(MC)은 비트 라인(103) 및 p형 웰(66) 상의 한쌍의 저장 노드(커패시터들) 사이에 있도록 제조된다.

상기 언급된 이 실시예의 제조 프로세스에서, 상기 언급된 종래의 기술에 비해 다음과 같은 독특한 동작 특성들 (A)-(F)가 발휘된다.

(A) 먼저, 도1 내지 도4에 도시된 바와 같이, 웰이 형성되기 이전에 LOCOS에 의해 제조된 선택적 산화막(필드 SiO_2 막)이 형성되며, LOCOS로 인한 잔류 스트레스가 다음의 고온 어닐링 처리에 의해 이완된다. 이어서, LOCOS를 전혀 실행하지 않고서도, 다양한 종류의 이온 주입에 의해 마스크의 일부로서 필드 SiO_2 막을 사용하여 소자 영역에 형성될 수 있다. 따라서, 각각의 웰의 형성을 포함하는 소자들을 제조하는데에 요구되는 프로세스의 수가 감소되며, 프로세스가 간략화된다.

(B) LOCOS의 잔류 스트레스가 고온 어닐링에 의해 프로세스의 초기 단계에서 제거되기 때문에, 프로세스가 더욱 가속화된다.

(C) LOCOS 후에, 소자 영역들 간의 표면 상의 단차가 전혀 없고 편평도가 유지되기 때문에, 폴리실리콘 게이트 전극(도12 참조) 등의 형성 중의 패턴 노출의 포커싱이 각 소자 영역 간에 균일하며, 설계된 것과 같은 패터닝이 실행될 수 있는 데, 이것이 소형화 및 집적도의 향상에 장점이 된다.

(D) 또한, 도5 내지 도7에 도시된 바와 같이, 보론(boron) 이온 주입(BP1, BP2 및 BP3)이 마스크의 일부로서 필드 SiO_2 막을 사용하여 3가지 에너지로 실행되어서, 저-저항 p형 웰, p'-형 채널 스토퍼(p형 웰의 전체 소자 영역에 형성되는 것이 특징), 보통의 V_t 의 표면 영역은 각각 동일한 소자 영역에 형성된다. 따라서 도18 및 도19에 도시된 바와 같이, 소망된 프로파일 IP의 소망된 임계(보통의 V_t 또는 낮은 V_t) 및 웰 농도가 3 종류의 이온 주입에 의해 동시에 실현될 수 있다. 또한, 보통의 V_t 또는 낮은 V_t 가 항상 획득되므로, V_t 를 그 이상으로 증가시킬 필요가 있을 경우, 보론 이온 주입이 필요한 만큼 더 첨가되며, 예를 들어, 표준 V_t (std V_t) 등이 동일한 마스크를 사용하여 용이하게 실현될 수 있다.

(E) 따라서, 종래 기술과는 달리, 낮은 임계 전압을 조정하기 위한 패터닝 및 이온 주입이 생략될 수 있으며, 이에 따라 낮은 임계값을 획득하기 위한 프로세스의 수가 최소한 1개 또는 2개로 감소될 수 있다.

(F) 또한, 상기 언급된 웰(56 및 57)에서, 웰의 깊이 방향으로 불순물 농도가 증가하는 프로파일 부분(IP')가 도18에 도시된 바와 같이 상기 언급된 이온 주입(BP1, BP2, 및 BP3)(특히, 채널 스토퍼에 대해서 BP2에 의해)의 조합에 의해 형성된다. 달리 설명하면, 역행 프로파일로 인해, 소위 래치-업을 방지하는 것이 가능하므로, 웰과 트랜지스터 사이에 발생된 기생 트랜지스터는 그 사이에 전류가 흐르도록 턴온된다. 이와는 대조적으로, 종래 기술에서는, LOCOS 바로 밑의 채널 스토퍼에 대한 불순물의 주입이 주요 프로세스이기 때문에, 깊이 방향으로 감소된 프로파일만이 도18에 도시된 파선에 의해 표시된 바와 같이 웰 농도로서 형성되며, 상기 언급된 래치-업이 충분히 방지될 수 없다.

이러한 현상은 주변 회로 부분의 다른 웰(61)에서도 유사하며, 도20에 도시된 바와 같이, 웰의 인광 물질 농도 프로파일은 역행 IP'이기 때문에, 기생 트랜지스터로 인한 래치-업도 방지될 수 있다.

여기까지, 본 발명의 실시예가 설명되었으나, 상기 언급된 실시예들은 본 발명의 기술적 개념에 따라 다양하게 변경될 수 있다.

예를 들어, 상기 언급된 LOCOS 이후에 어닐링 조건으로부터 시작하면서, 이온 주입, 조사량, 이온의 종류 등이 다양하게 변경될 수 있으며, 이러한 조건들은 의도하는 임계값에 따라 적합하게 결정될 수 있다. 특히, 상기 언급된 고온 어닐링은 1000-1200℃의 범위 및 수십분 내지 수시간의 범위 내에서 변화될 수 있으며, 상기 언급된 BP1, BP2 및 BP3의 조건들은 수십 keV 내지 수백 keV의 가속 에너지의 범위 및 1×10^{11} 내지 $1 \times 10^{13}/cm^2$ 의 범위 내에서 채택될 수 있다. 상기 언급된 반도체 영역의 각각의 도전형은 반대 도전형으로 각각 변환될 수 있다.

또한, 본 발명은 상기 DRAM에도 적합하지만, 두말할 나위 없이, 상기 언급된 트리플 웰 및 불순물 농도 프로파일을 요구하는 다른 소자 및 디바이스들에도 적용될 수 있다.

발명의 효과

본 발명에 따라, 상기 언급된 바와 같이, 소자를 분리시키는 선택적 산화막이 형성된 후에, 반도체 기판에 반대되는 도전형의 불순물이 주입되고, 고온 처리에 의해 딥 웰을 형성할 시에 선택적 산화물도 동시에 어닐링된다. 따라서, 선택적 산화막으로부터의 잔류 스트레스가 제거될 수 있으며, 딥 웰이 활성화될 수 있다. 동시에, 소망된 웰 농도 및 임계 전압이 획득될 수 있다. 또한, 연속된 고온 어닐링 처리 및 임계 전압을 조정하기 위한 불순물 확산이 부가되지 않고도 실현될 수 있으며, 프로세스의 수가 감소될 수 있다. 또한, 선택적 산화는 딥 웰의 형성시에 단 한번 이행될 수 있기 때문에, 선택적 산화물에 의해 분리된 소자 영역들 사이의 표면이 동일한 표면에 홀드되어서, 패턴 노출이 높은 정확도로 실행될 수 있으며, 게이트 전극들 등의 미세한 패터닝이 가능하다.

(57) 청구의 범위

청구항 1.
반도체 장치를 형성하는 방법으로서,
a) 딥 웰 및 트윈 웰을 규정하기 위한 LOCOS 법에 의해 반도체 기판 상에 필드 산화물을 형성하는 단계;
b) 상기 반도체 기판에서의 상기 딥 웰을 이온 주입에 의해 형성하는 단계;
c) 상기 단계의 결과로서 얻어지는 구조를 약 1200°C의 온도에서 어닐링하여, 상기 딥 웰을 활성화함과 동시에 상기 LOCOS 법에 의해 형성된 산화층의 스트레스를 제거하는 단계;
d) 이온 주입에 의해 상기 반도체 기판에 상기 트윈 웰을 형성하는 단계; 및
e) 상기 딥 웰에 제1 트랜지스터를, 상기 트윈 웰에 제2 트랜지스터를 형성하는 단계
를 포함하는 것을 특징으로 하는 방법.

청구항 2.
제1항에 있어서,
상기 웰을 형성하기 위한 상기 이온 주입에 의해, 이온이 상기 필드 산화물을 통해 주입되는 것을 특징으로 하는 방법.

청구항 3.
제1항에 있어서,
상기 e) 단계 후에 약 1000°C에서 상기 반도체 장치를 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 4.
제2항에 있어서,
상기 e) 단계 후에 약 1000°C에서 상기 반도체 장치를 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 5.
DRAM을 형성하는 방법으로서,
a) 메모리 셀이 형성되는 반도체 기판의 일부에서 딥 웰을 규정하고, 상기 반도체 기판의 주변부에서 트윈 웰을 규정하기 위해 LOCOS 법에 의해 상기 반도체 기판 상에 필드 산화물을 형성하는 단계;
b) 이온 주입에 의해 상기 딥 웰을 형성하는 단계;
c) 상기 단계들의 결과로 얻어지는 구조를 약 1200°C에서 어닐링하여, 상기 딥 웰을 활성화함과 동시에 상기 LOCOS 법에 의해 형성된 산화층의 스트레스를 제거하는 단계;
d) 이온 주입에 의해 상기 트윈 웰을 형성하는 단계; 및
e) 상기 트윈 웰 및 상기 딥 웰에 복수의 트랜지스터를 형성하는 단계
를 포함하는 것을 특징으로 하는 방법.

청구항 6.
제5항에 있어서,
상기 웰을 형성하기 위한 이온 주입에 의해, 이온이 상기 필드 산화물을 통 해 주입되는 것을 특징으로 하는 방법.

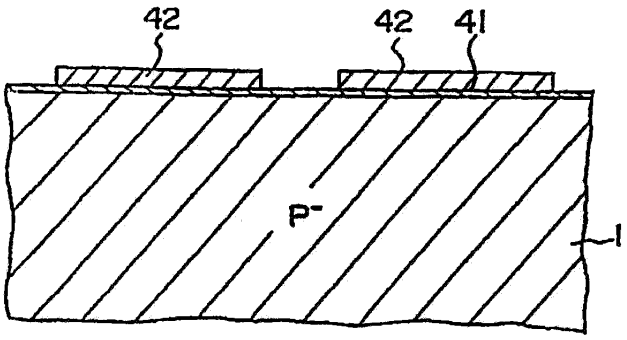
청구항 7.
제5항에 있어서,
상기 e) 단계 후에 약 1000°C에서 상기 반도체 기판을 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 방법.

도면

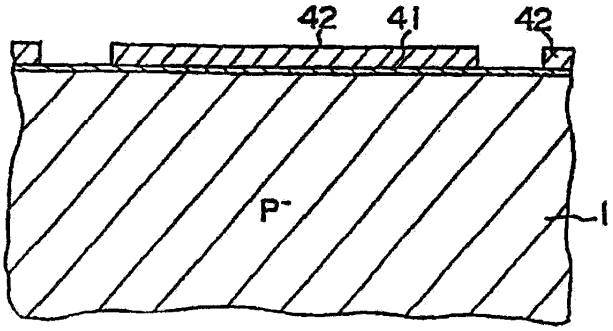
도면1

산화 방지 마스크의 형성

주변 회로 부분 PC



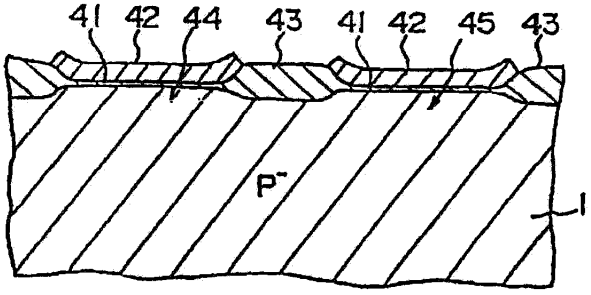
메모리 셀 어레이 부분 MA



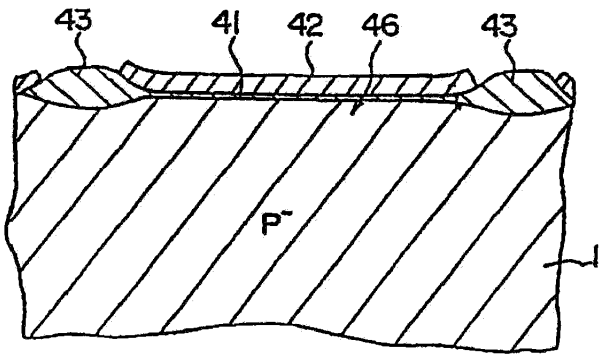
도면2

LOCOS

주변 회로 부분 PC



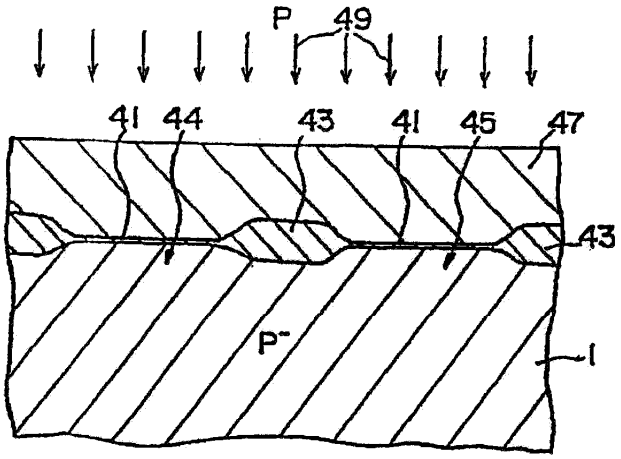
메모리 셀 어레이 부분 MA



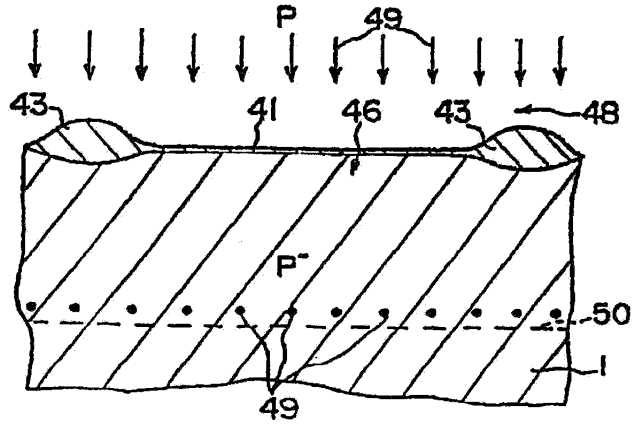
도면3

D-웰용 이온 주입

주변 회로 부분 PC



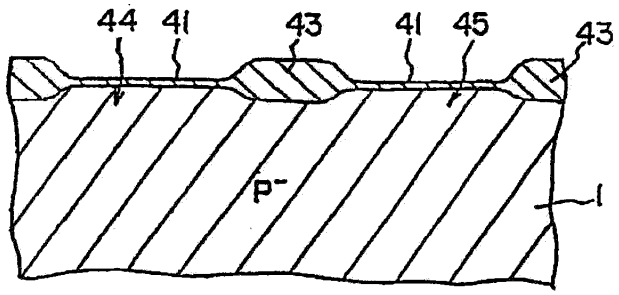
메모리 셀 어레이 부분 MA



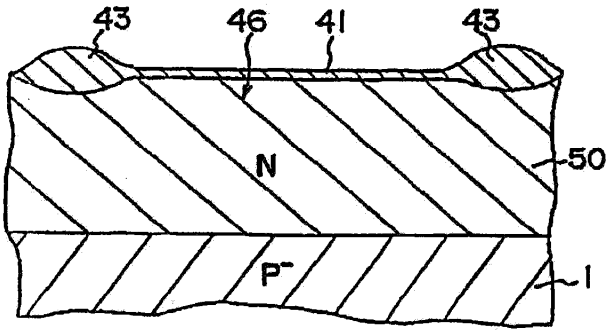
도면4

고온 어닐링 (D-웰 형성)

주변 회로 부분 PC



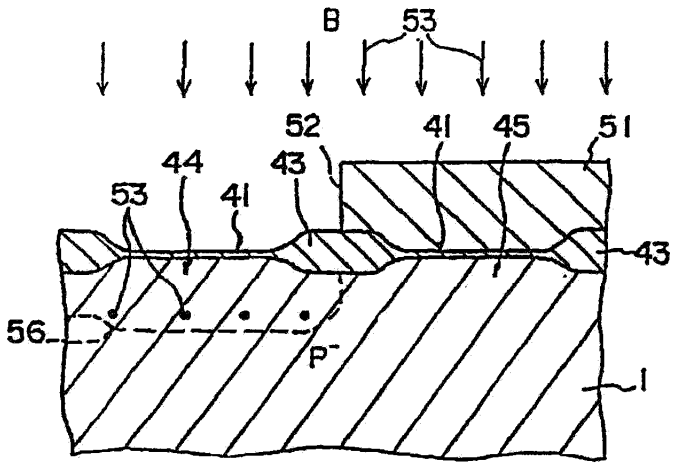
메모리 셀 어레이 부분 MA



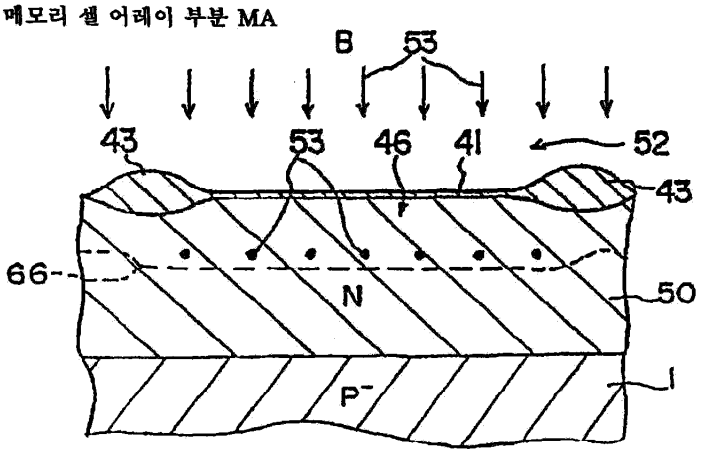
도면5

보론 이온 주입 (BP1)

주변 회로 부분 PC



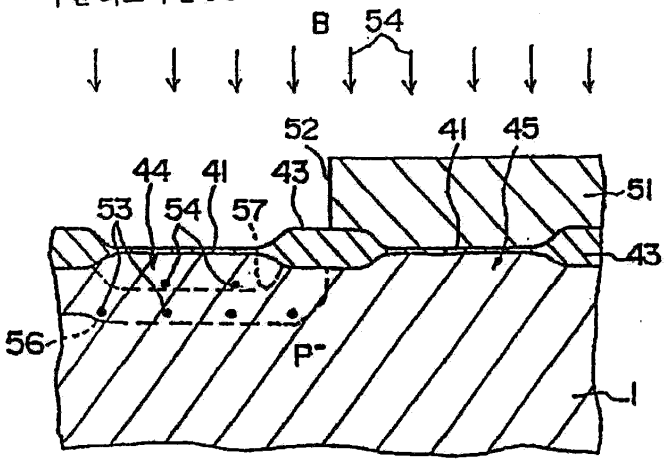
메모리 셀 어레이 부분 MA



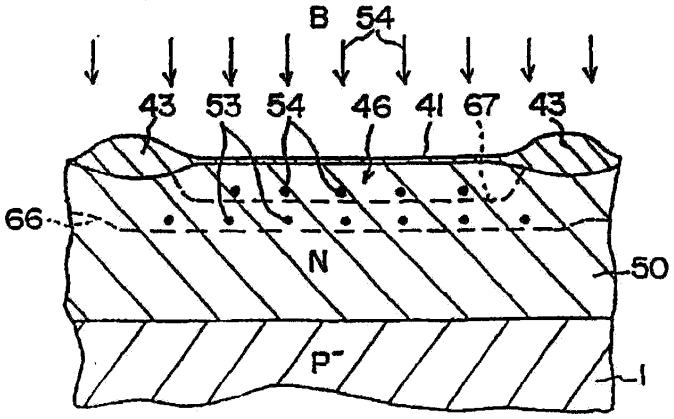
도면6

보론 이온 주입 (BP2)

주변 회로 부분 PC



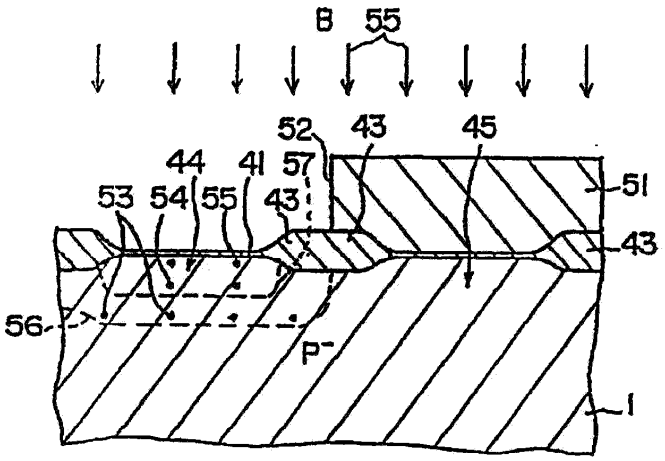
메모리 셀 어레이 부분 MA



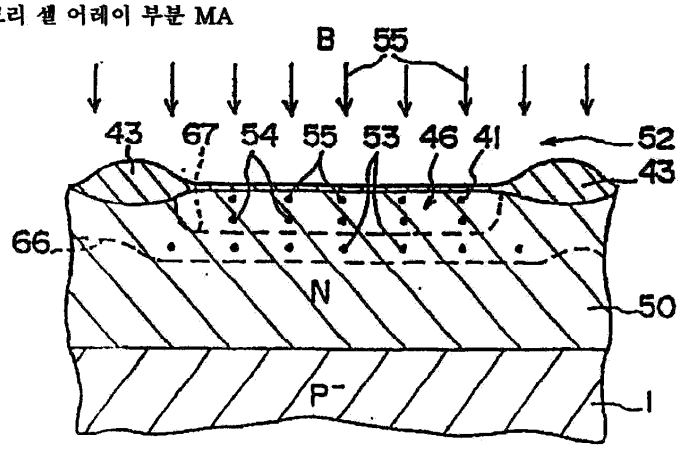
도면7

보론 이온 주입 (BP3)

주변 회로 부분 PC

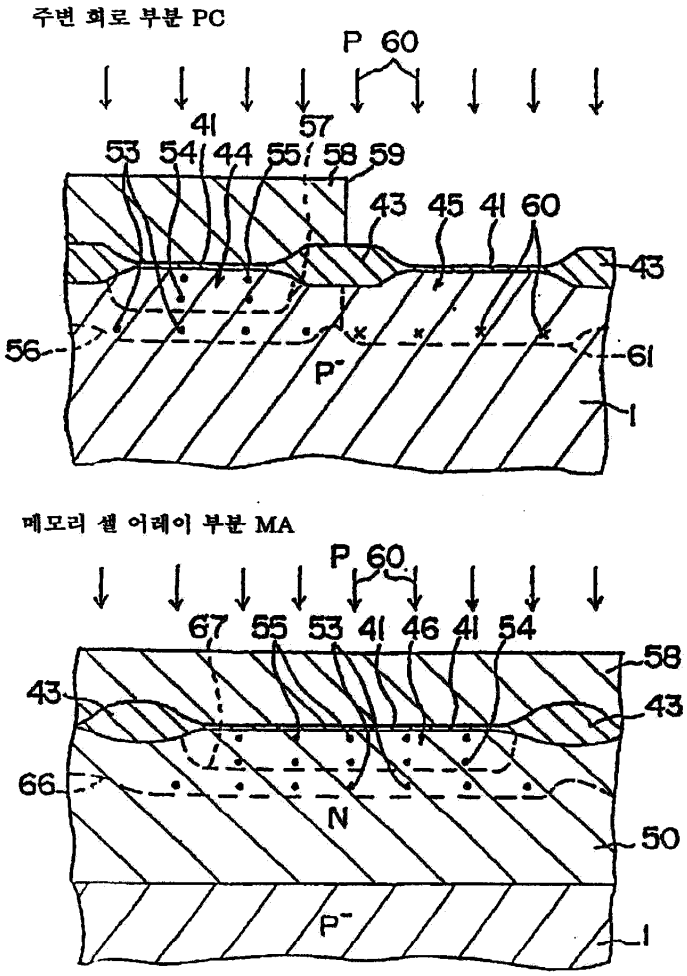


메모리 셀 어레이 부분 MA



도면8

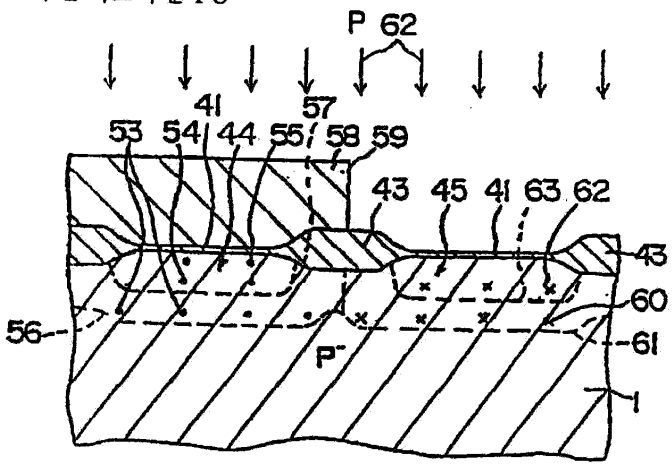
인 이온 주입 (BN1)



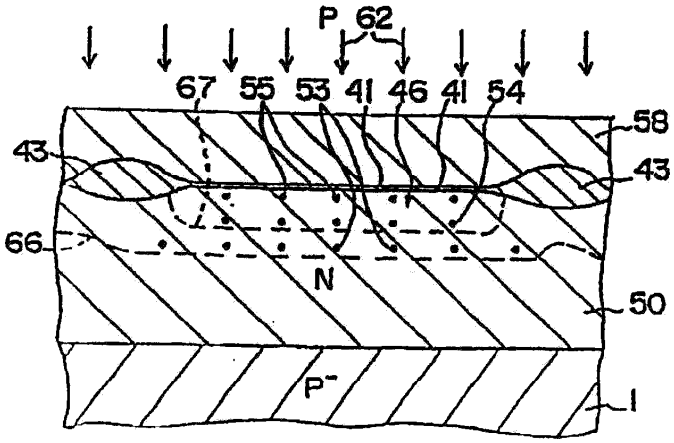
도면9

인 이온 주입 (BN2)

주변 회로 부분 PC



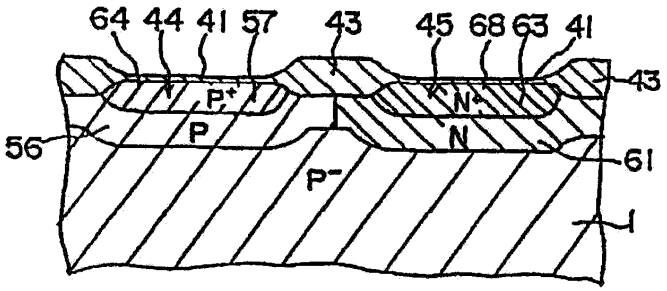
메모리 셀 어레이 부분 MA



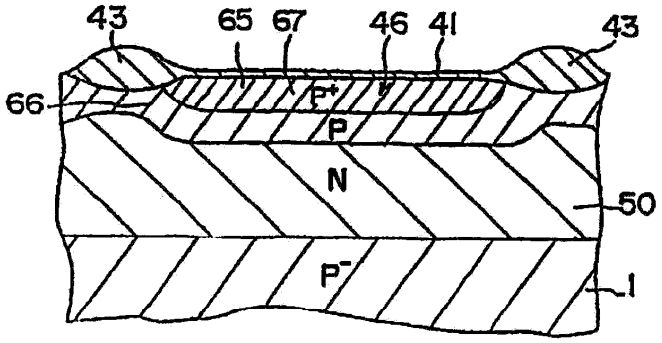
도면10

어닐링 (트리플 웰의 형성)

주변 회로 부분 PC



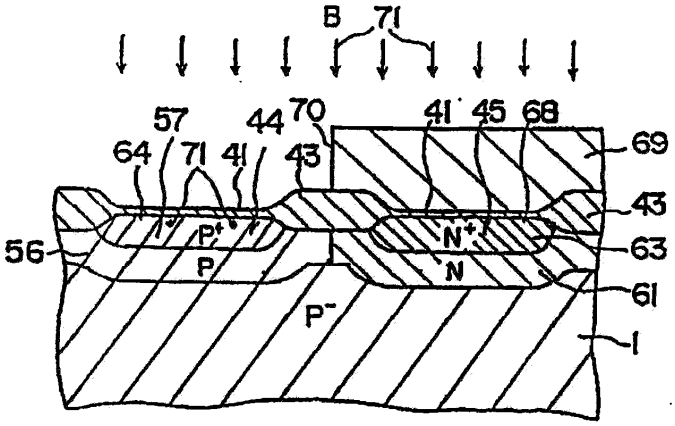
메모리 셀 어레이 부분 MA



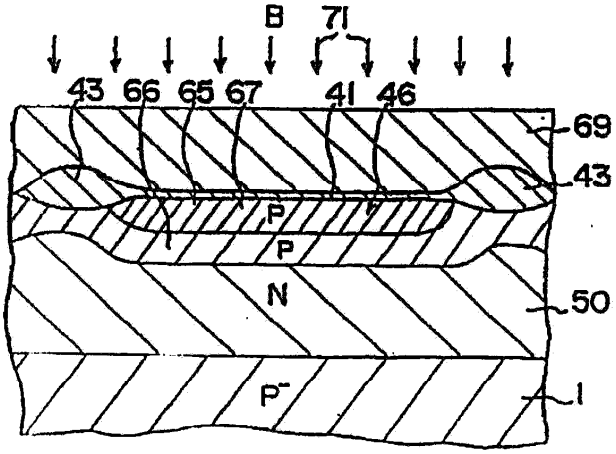
도면11

보론 이온 주입

주변 회로 부분 PC



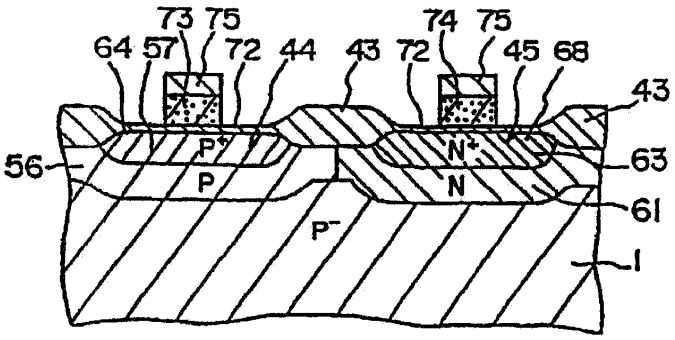
메모리 셀 어레이 부분 MA



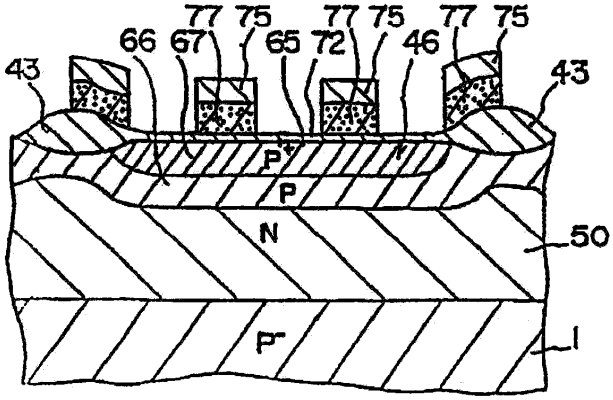
도면12

게이트 전극의 형성

주변 회로 부분 PC



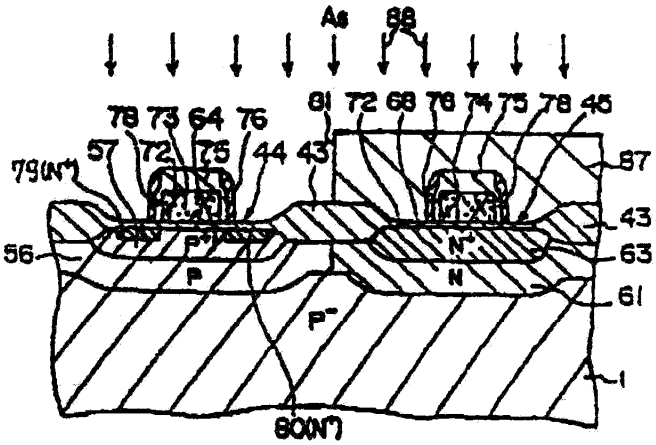
메모리 셀 어레이 부분 MA



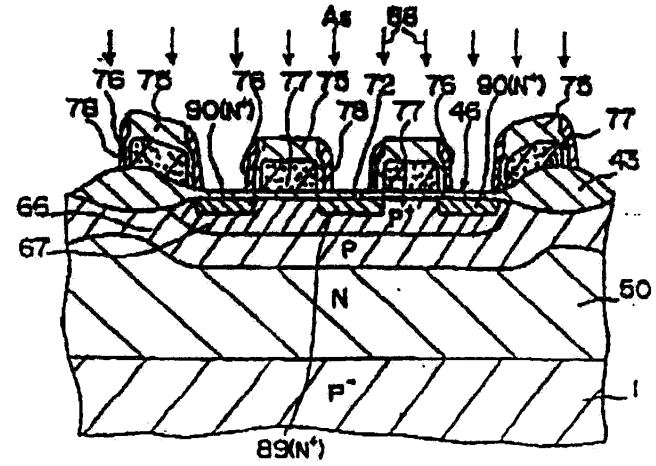
도면13

비소 이온 주입 (N^+영역의 형성)

주변 회로부 PC



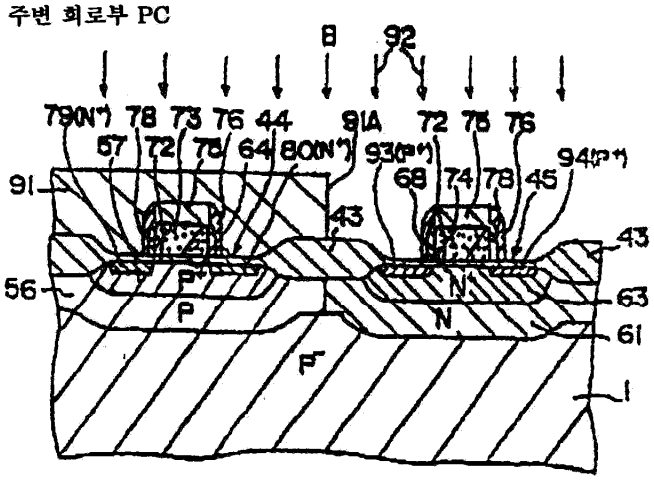
메모리 셀 어레이 NA



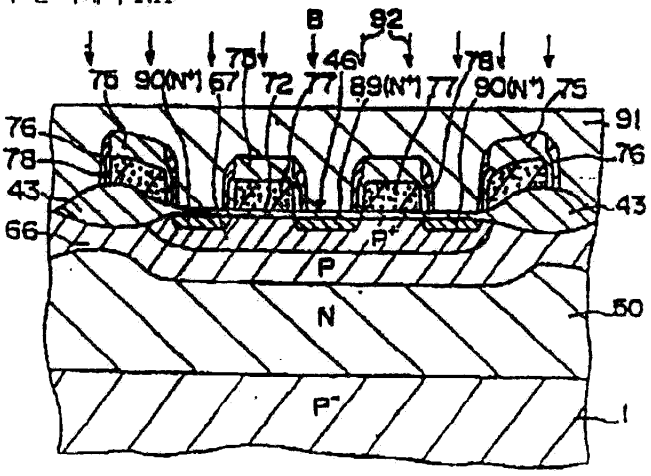
도면14

붕소 이온 주입 (P^+영역의 형성)

주변 회로부 PC



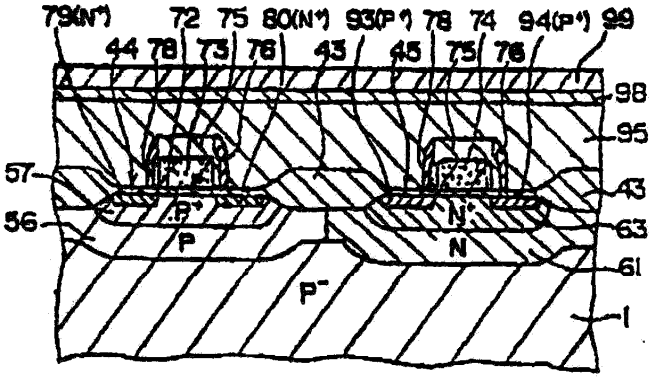
메모리 셀 어레이 NA



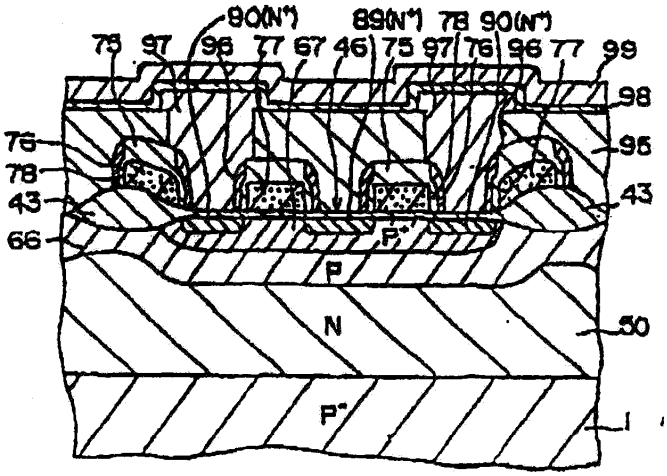
도면15

저장 노드의 형성

주변 회로부 PC



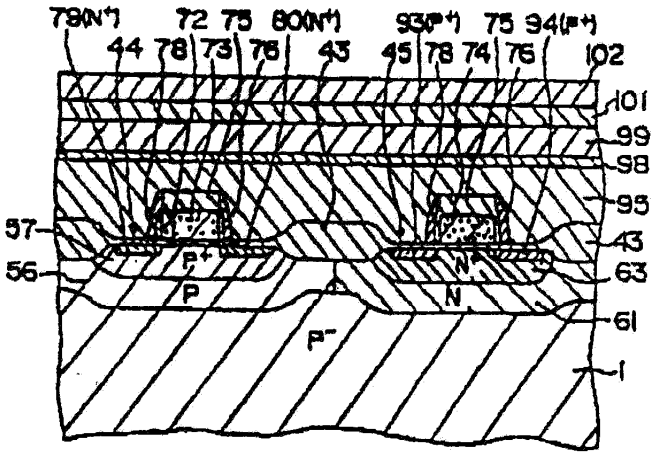
메모리 셀 어레이 NA



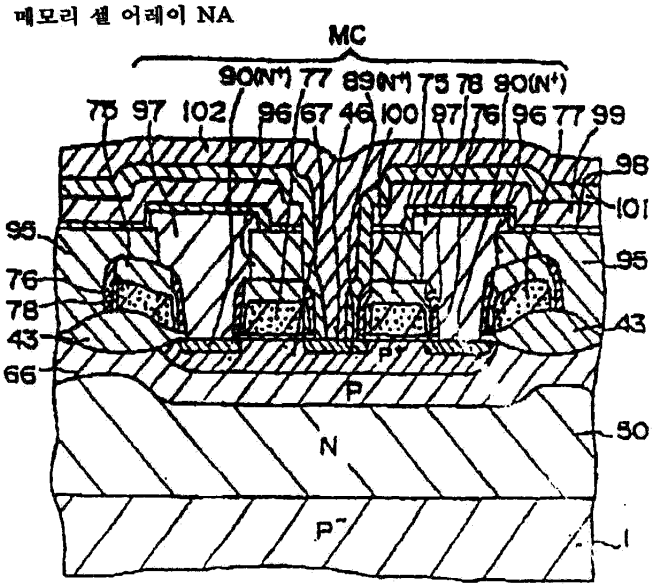
도면16

비트 라인의 형성 (메모리 셀의 완성)

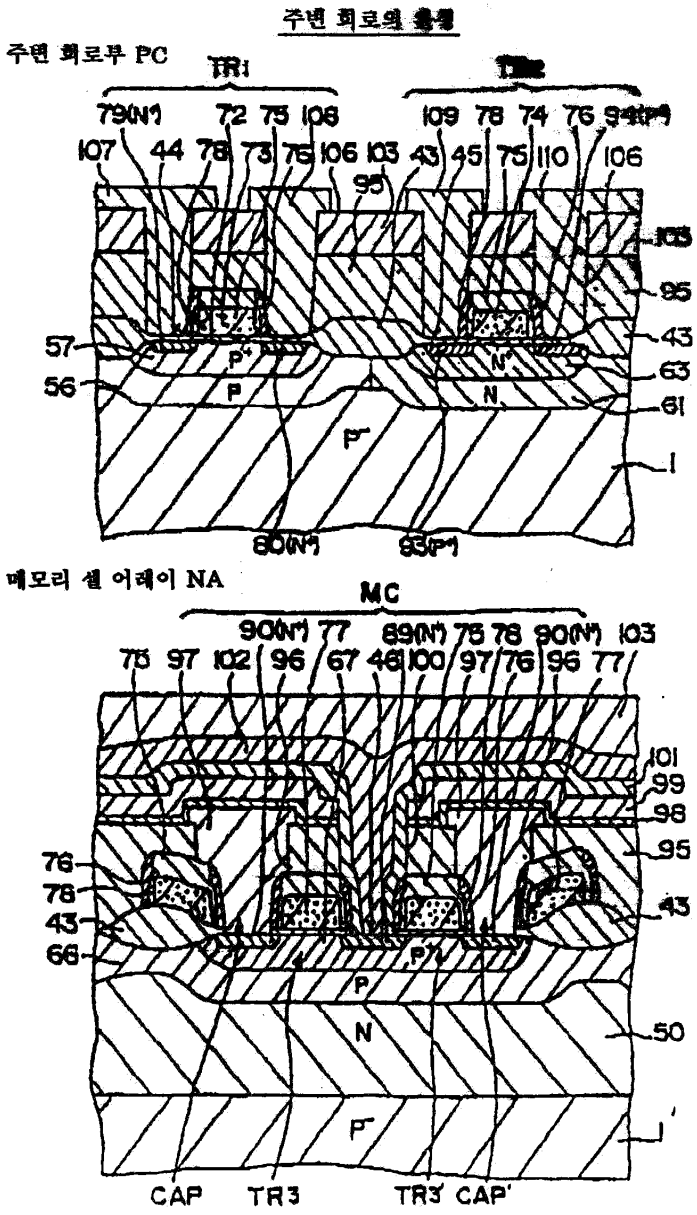
주변 회로부 PC



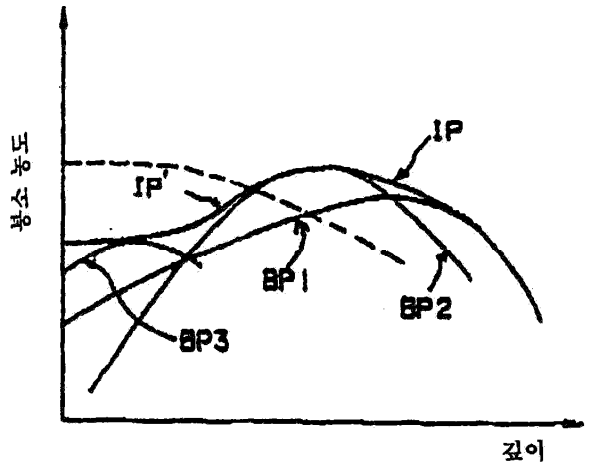
메모리 셀 어레이 NA



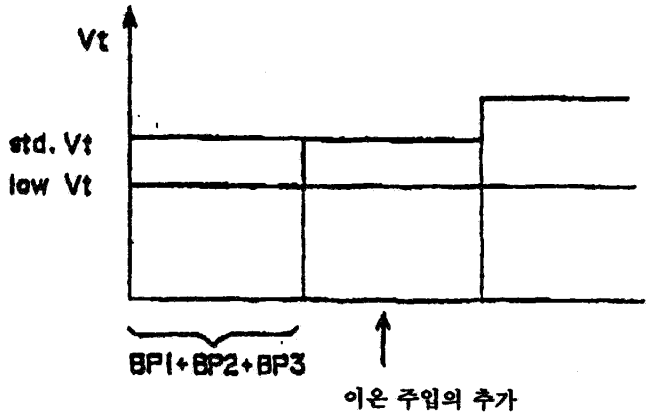
도면17


주변 회로의 활성
주변 회로부 PC
TR1
79(N+) 72 75 108
107 44 78 73 75 106 103
109 78 74 76
43 45 75 110 106
95
105
95
43
63
61
1
57
56
P+
P
N+
N
P-
80(N+)
93(P+)
메모리 셀 어레이 NA
MC
90(N+) 77 89(N+) 75 78 90(N+) 103
75 97 102 96 67 46 100 97 76 96 77
101
99
98
95
43
76
78
43
66
P+
P
N
50
P-
1'
CAP
TR3
TR3'
CAP'

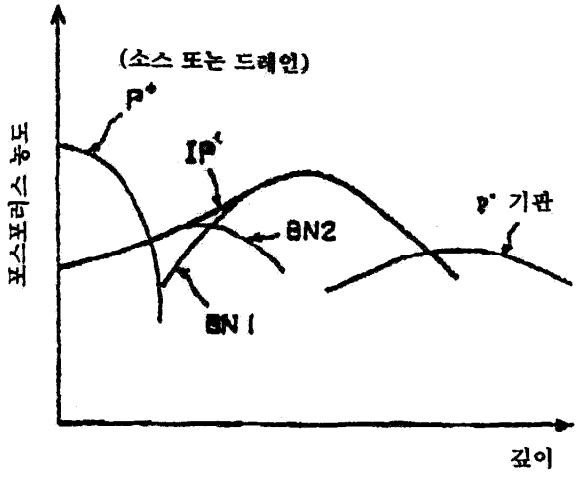
도면18


불순물 농도
IP
IP'
BP1
BP2
BP3
깊이

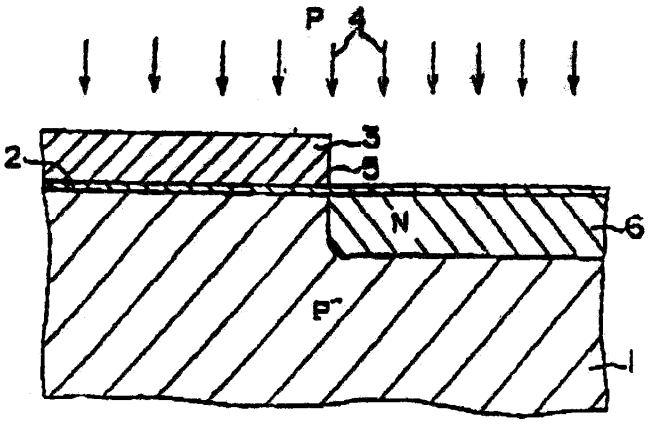
도면19



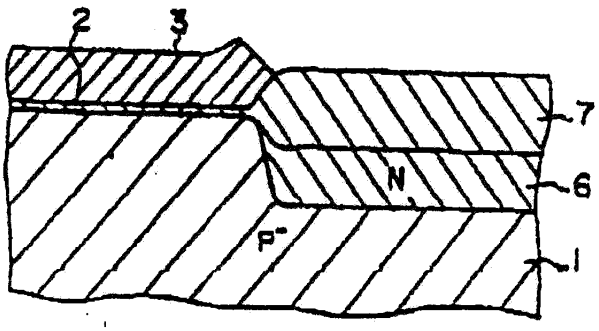
도면20



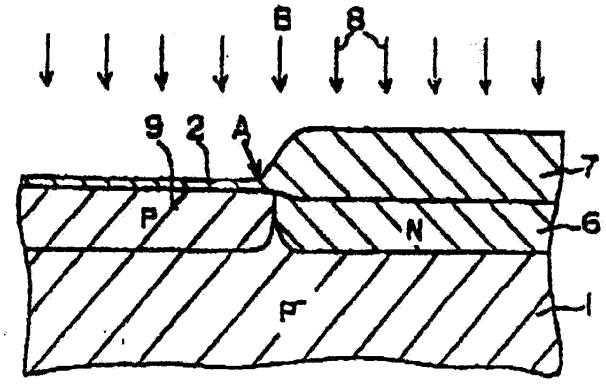
도면21



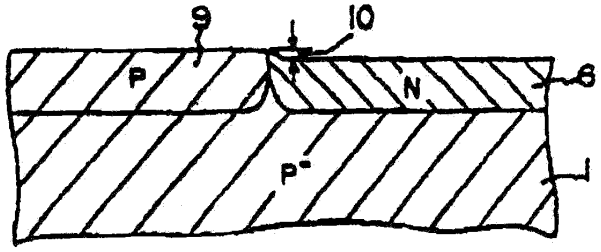
도면22



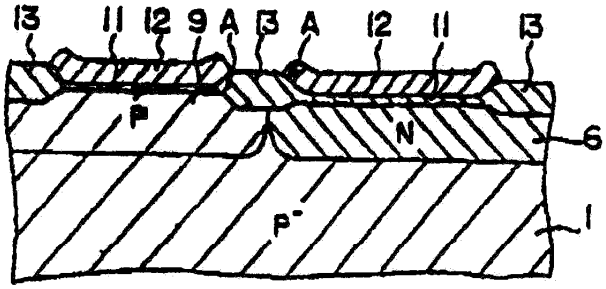
도면23



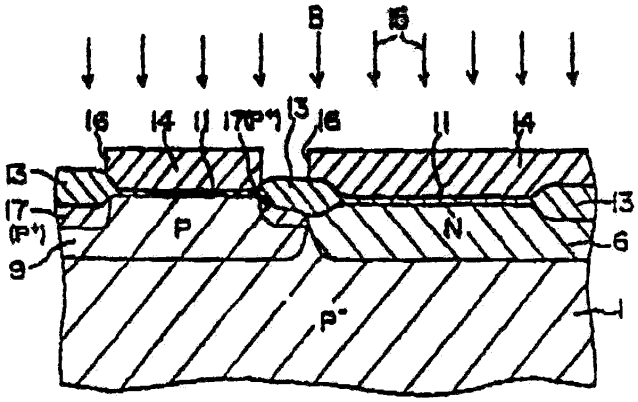
도면24



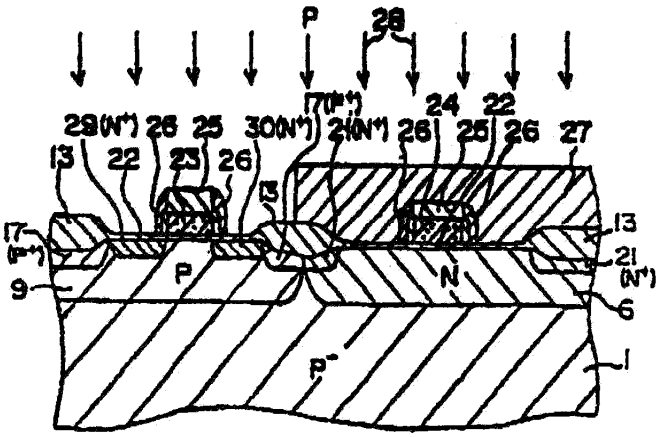
도면25



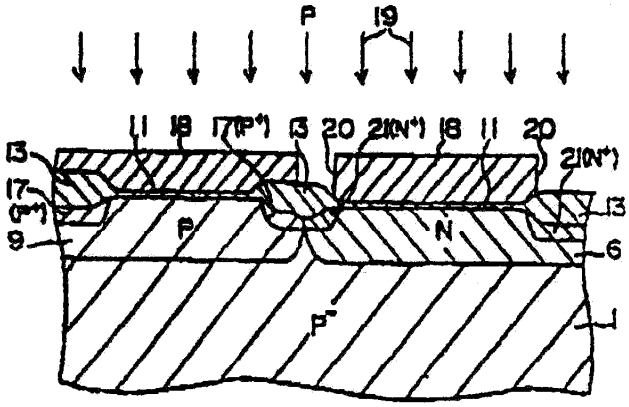
도면26



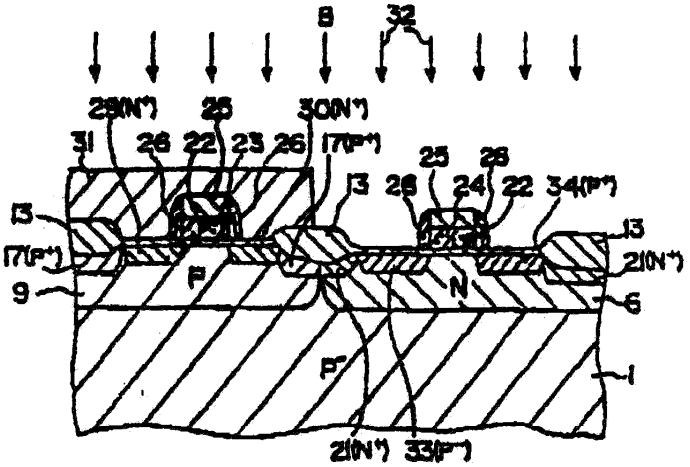
도면27



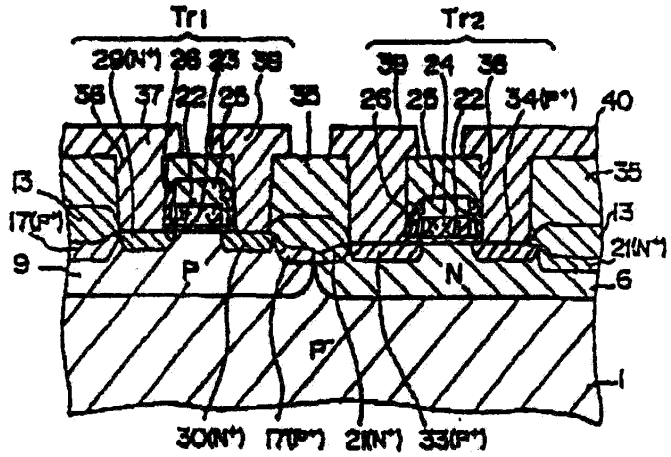
도면28



도면29



도면30


Tr1
Tr2
29(N+)
28
23
39
39
24
38
38
37
22
25
35
26
25
22
34(P+)
40
35
13
17(P+)
13
21(N+)
9
P
N
6
P-
1
30(N+)
17(P+)
21(N+)
33(P+)