(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 27/092 (2006.01)
H01L 21/8238 (2006.01)

(11) 공개번호 10-2006-0132673
(43) 공개일자 2006년12월21일

(21) 출원번호 10-2006-7015375
(22) 출원일자 2006년07월28일
심사청구일자 없음
번역문 제출일자 2006년07월28일
(86) 국제출원번호 PCT/US2005/005565
국제출원일자 2005년02월22일
(87) 국제공개번호 WO 2005/083780
국제공개일자 2005년09월09일

(30) 우선권주장 10/786,901 2004년02월25일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 아모스 리키 에스
미국 뉴욕주 12572 라인벡 콰리 로드 512
보이드 다이앤 씨
미국 뉴욕주 12540 라그랑빌 마틴 로드 162
카브랄 시릴 쥬니어
미국 뉴욕주 10541 마호팩 골드핀치 레인 17
카프란 리차드 디
미국 뉴욕주 12590 왑핑거즈 폴즈 채닝빌 로드 43
케드지에르스키 자쿠브 티
미국 뉴욕주 10566 피크스킬 베네필드 불러바드 132
쿠 빅터
미국 뉴욕주 10591 태리타운 빌딩 8 아파트먼트 #41비 화이트페인즈 로드 177
이 우-형
미국 뉴욕주 12570 푸기퀙 골드 로드 11
리 잉
미국 뉴욕주 12603 푸기깊시 잭맨 드라이브 124비
모쿠타 안다 씨
미국 뉴욕주 12540 라그랑빌 헤리티지 레인 73
나라야난 비자이
미국 뉴욕주 10069 뉴욕 #12씨 리버사이드 불러바드 180
스티겐 안 엘
미국 코네티컷주 06902 스탠포드 아파트먼트 2438 사우스필드애버뉴 150
수렌드라 마헤스와렌
미국 뉴욕주 10520 크론톤-온 허드슨 그랜드 스트리트 64

(74) 대리인 김진환
송승필

전체 청구항 수 : 총 52 항

(54) CMOS 실리사이드 금속 게이트 집적 방법

(57) 요약

본 발명은 복수의 실리사이드화된 금속 게이트가 게이트 유전체의 최상부에 형성되는 상보성 금속 산화물 반도체를 제공한다. 본 발명의 집적 기술을 사용하여 형성된 각각의 실리사이드화된 금속 게이트는 실리사이드 금속 게이트의 치수에 관계없이 동일한 실리사이드 금속상과 실질적으로 동일한 높이를 갖는다. 본 발명은 폴리Si 게이트 높이가 반도체 구조의 전체 표면에 걸쳐서 실질적으로 동일한 실리사이드화된 콘택을 갖는 CMOS 구조를 형성하는 각종 방법을 또한 제공한다.

대표도

도 1

특허청구의 범위

청구항 1.

상보성 금속 산화물 반도체(CMOS) 구조를 제조하기 위한 공정 방법으로서,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트 - 여기서, 각각의 폴리Si 게이트는 그것의 상면 상에 위치되는 유전체 캡(cap)을 포함하며 - 를 제공하는 단계와,

상기 반도체 기판 내에 실리사이드화된(silicided) 소스/드레인 영역을 형성하는 단계와,

상기 반도체 기판상에 평탄화된 유전체 스택(dielectric stack)을 형성하는 단계와,

상기 각각의 폴리Si 게이트의 상면을 노출시키기 위해서 에칭 공정을 수행하는 단계와,

상기 각각의 폴리Si 게이트를 금속 실리사이드 게이트로 변환시키는 살리사이드(salicide) 공정을 수행하는 단계를 포함하며,

상기 각각의 금속 실리사이드 게이트는 실질적으로 동일한 높이를 갖고, 동일한 실리사이드상(silicide phase)으로 이루어지고, 동일한 폴리Si 이온 주입 조건에서 실질적으로 동일한 일함수(workfunction)를 갖는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 2.

제 1 항에 있어서,

상기 복수의 폴리Si 게이트는 게이트 유전체의 최상부에 형성되는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 3.

제 1 항에 있어서,

상기 복수의 폴리Si 게이트는 증착, 리소그래피 및 에칭에 의해서 형성되는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 4.

제 1 항에 있어서,

상기 유전체 캡은 질화물로 이루어지는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 5.

제 1 항에 있어서,

상기 복수의 폴리Si 게이트를 제공하는 단계는 상기 폴리Si 게이트의 각각의 노출 측벽 상에 적어도 하나의 스페이서(spacer)를 형성하는 단계를 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 6.

제 5 항에 있어서,

상기 적어도 하나의 스페이서는 제 1 스페이서 및 제 2 스페이서를 포함하며,

상기 제 1 스페이서는 상기 제 2 스페이서보다 얇은 두께를 갖는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 7.

제 1 항에 있어서,

상기 소스/드레인 영역 상에 실리사이드화된 콘택(contact)을 형성하는 단계는 상기 반도체 기판의 최상부에 금속을 증착하는 단계와, 살리사이드 공정을 수행하는 단계를 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 8.

제 7 항에 있어서,

상기 금속은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 9.

제 8 항에 있어서,

상기 금속은 Co, Ni 또는 Pt인 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 10.

제 7 항에 있어서,

상기 살리사이드 공정은 제 1 어닐링과, 선택적 에칭 단계와, 선택적인 제 2 어닐링을 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 11.

제 7 항에 있어서,

금속 증착 이전에 상기 반도체 기판의 최상부에 실리콘층을 형성하는 단계를 더 포함하는 CMOS 구조를 제조하기 위한 공정 방법.

청구항 12.

제 1 항에 있어서,

상기 평탄화된 유전체 스택을 형성하는 단계는 증착 단계 및 평탄화 단계를 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 13.

제 1 항에 있어서,

상기 평탄화된 유전체 스택을 형성하는 단계는 에칭 정지층을 형성하는 단계와, 층간 유전체를 형성하는 단계와, 상기 층간 유전체를 평탄화하는 단계를 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 14.

제 1 항에 있어서,

상기 에칭 공정은 반응성 이온 에칭 단계를 포함하는 CMOS 구조를 제조하기 위한 공정 방법.

청구항 15.

제 1 항에 있어서,

상기 살리사이드 공정은 상기 각각의 폴리Si 게이트의 최상부의 적어도 노출된 상면에 블랭킷(blanket) 실리사이드 금속층을 증착하는 단계와, 상기 폴리Si 게이트의 전부 또는 일부를 소실되게 하는 제 1 어닐링 단계와, 비-반응된 실리사이드 금속을 선택적으로 에칭하는 단계와, 제 2 어닐링을 선택적으로 수행하는 단계를 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 16.

제 15 항에 있어서,

상기 실리사이드 금속은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함하는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 17.

제 16 항에 있어서,

상기 실리사이드 금속은 Co, Ni 또는 Pt인 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 18.

제 15 항에 있어서,

상기 제 1 어닐링은 약 350℃ 내지 약 550℃의 온도에서 수행되는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 19.

제 15 항에 있어서,

상기 선택적인 제 2 어닐링은 약 600℃ 내지 약 800℃의 온도에서 수행되는 것인 CMOS 구조를 제조하기 위한 공정 방법.

청구항 20.

게이트 유전체의 최상부 표면에 위치되는 복수의 실리사이드화된 금속 게이트를 포함하며,

상기 각각의 실리사이드화된 금속 게이트는, 실리사이드화된 금속 게이트의 치수에 관계없이, 동일한 실리사이드상으로 이루어지고, 실질적으로 동일한 높이를 가지며, 상기 실리사이드화된 동일한 폴리Si 이온 주입 조건에서 실질적으로 동일한 일함수를 갖는 것인 CMOS 구조.

청구항 21.

제 20 항에 있어서,

상기 실리사이드화된 금속 게이트는 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금으로 이루어진 그룹에서 선택된 금속을 포함하는 것인 CMOS 구조.

청구항 22.

제 21 항에 있어서,

상기 금속은 Co, Ni 또는 Pt인 것인 CMOS 구조.

청구항 23.

제 20 항에 있어서,

상기 각각의 실리사이드화된 금속 게이트와 상기 반도체 기판 사이에 위치되는 게이트 유전체를 더 포함하는 CMOS 구조.

청구항 24.

제 23 항에 있어서,

상기 게이트 유전체는 SiO_2, SiO_xN_y, HfO_2, ZrO_2, Al_2O_3, TiO_2, La_2O_3, Y_2O_3, $SrTiO_3$, $LaAlO_3$, 실리케이트 또는 이들의 혼합물을 포함하는 것인 CMOS 구조.

청구항 25.

제 20 항에 있어서,

상기 각각의 실리사이드화된 금속 게이트에 인접하는 실리사이드화된 소스/드레인 영역을 더 포함하는 CMOS 구조.

청구항 26.

제 20 항에 있어서,

상기 각각의 실리사이드화된 금속 게이트는 $CoSi_2$, PtSi 또는 NiSi를 포함하는 것인 CMOS 구조.

청구항 27.

제 20 항에 있어서,

상기 각각의 실리사이드화된 금속 게이트의 측벽 상에는 적어도 하나의 스페이서가 위치되는 것인 CMOS 구조.

청구항 28.

제 27 항에 있어서,

상기 적어도 하나의 스페이서는 좁은 제 1 스페이서와, 넓은 제 2 스페이서를 포함하는 것인 CMOS 구조.

청구항 29.

제 20 항에 있어서,

상기 실리사이드 게이트는 As, P, B, Sb, Bi, In, Al, Ga, Ti 또는 그 혼합물로 이루어진 그룹에서 선택되는 도펀트(dopant)를 포함하고, 상기 도펀트는 상기 실리사이드화된 금속 게이트의 일함수를 변화시키는 것인 CMOS 구조.

청구항 30.

실리사이드 콘택을 갖는 CMOS 구조를 형성하는 방법으로서,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트를 포함하는 구조를 제공하는 단계와,

상기 폴리Si 게이트 및 상기 반도체 기판을 포함하는 구조의 최상부에 실리사이드 금속을 증착하는 단계와,

상기 각각의 폴리Si 게이트 사이에 오목한 리플로우 재료를 형성하는 단계와,

상기 각각의 폴리Si 게이트의 최상부로부터 실리사이드 금속을 제거하는 단계와,

상기 오목한 리플로우 재료를 제거하는 단계와,

상기 각각의 폴리Si 게이트 사이에 실리사이드 콘택 영역을 형성하도록 상기 구조를 어닐링하는 단계를 포함하는 CMOS 구조를 형성하는 방법

청구항 31.

제 30 항에 있어서,

상기 실리사이드 금속은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 32.

제 31 항에 있어서,

상기 금속은 Co, Ni 또는 Pt인 것인 CMOS 구조를 형성하는 방법.

청구항 33.

제 30 항에 있어서,

상기 오목한 리플로우 재료는 비반사 코팅 또는 스핀-온(on) 유전체를 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 34.

제 30 항에 있어서,

상기 오목한 리플로우 재료를 형성하는 단계는 증착 단계 및 선택적 에칭 단계를 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 35.

제 30 항에 있어서,

상기 실리사이드 금속을 제거하는 단계는 습식 에칭 공정을 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 36.

제 30 항에 있어서,

상기 어닐링 단계는 약 300℃ 내지 약 600℃의 온도에서 수행되는 제 1 어닐링 단계를 적어도 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 37.

제 36 항에 있어서,

약 600℃ 내지 약 800℃의 온도에서 수행되는 선택적인 제 2 어닐링 단계를 더 포함하는 CMOS 구조를 형성하는 방법.

청구항 38.

제 30 항에 있어서,

SiO_2 및 Si_3N_4를 포함하는 캡핑 이중층을 증착하고 평탄화하여 실리사이드 금속 게이트를 형성하는 단계와,

상기 SiO_2를 제거하기 위해 선택적인 습식 에칭 공정을 수행하는 단계와,

상기 게이트 최상부의 Si_3N_4를 제거하기 위해 선택적인 RIE 공정을 수행하는 단계와,

상기 게이트 상에 실리사이드 금속을 형성하는 단계와,

살리사이드 공정을 수행하는 단계를 더 포함하는 CMOS 구조를 형성하는 방법.

청구항 39.

실리사이드 콘택을 갖는 CMOS 구조를 형성하는 방법으로서,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트를 포함하는 구조를 제공하는 단계와,

상기 폴리Si 게이트 및 상기 반도체 기판을 포함하는 상기 구조의 최상부에 금속-함유층 및 캡핑층을 포함하는 이중층을 형성하는 단계와,

상기 반도체 기판상에 평탄화 재료를 형성하는 단계와,

상기 각각의 폴리Si 게이트의 최상부의 금속-함유층을 노출시키는 단계와,

상기 각각의 폴리Si 게이트의 최상부로부터 상기 금속-함유층을 제거하는 단계와,

상기 평탄화 재료를 평탄화시키는 단계와,

상기 각각의 폴리Si 게이트 사이에 실리사이드 콘택 영역을 형성하도록 상기 구조를 어닐링하는 단계를 포함하는 CMOS 구조를 형성하는 방법.

청구항 40.

제 39 항에 있어서,

상기 금속 함유층은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 41.

제 40 항에 있어서,

상기 금속 함유층은 Co, Ni 또는 Pt인 것인 CMOS 구조를 형성하는 방법.

청구항 42.

제 39 항에 있어서,

상기 캡핑층은 TiN, W 또는 Ti를 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 43.

제 39 항에 있어서,

상기 평탄화 재료는 포토레지스트(photoresist) 또는 저온 산화물을 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 44.

제 39 항에 있어서,

상기 노출 단계는 상기 평탄화 재료의 화학적 기계 연마 단계 및 상기 캡핑층의 에칭 단계를 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 45.

제 39 항에 있어서,

상기 각각의 폴리Si 게이트의 최상부로부터 상기 금속 함유 실리사이드 금속을 제거하는 단계는 습식 에칭 공정을 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 46.

제 39 항에 있어서,

상기 어닐링 단계는 약 300℃ 내지 약 600℃의 온도에서 수행되는 제 1 어닐링 단계를 적어도 포함하는 것인 CMOS 구조를 형성하는 방법.

청구항 47.

제 46 항에 있어서,

약 600℃ 내지 약 800℃의 온도에서 수행되는 선택적인 제 2 어닐링 단계를 더 포함하는 CMOS 구조를 형성하는 방법.

청구항 48.

제 39 항에 있어서,

SiO_2 및 Si_3N_4를 포함하는 캡핑 이중층을 증착하고 평탄화하여 실리사이드 금속 게이트를 형성하는 단계와,

상기 SiO_2를 제거하기 위해 선택적인 습식 에칭 공정을 수행하는 단계와,

상기 게이트 최상부의 Si_3N_4를 제거하기 위해 선택적인 RIE 공정을 수행하는 단계와,

상기 게이트 상에 실리사이드 금속을 형성하는 단계와,

살리사이드 공정을 수행하는 단계를 더 포함하는 CMOS 구조를 형성하는 방법.

청구항 49.

게이트 유전체의 최상부 표면에 위치되는 복수의 폴리Si 게이트를 포함하며,

상기 각각의 폴리Si 게이트는, 상기 각각의 폴리Si 게이트의 사이에 위치되는 실리사이드화된 콘택 및 상기 폴리Si 게이트의 치수에 관계없이 실질적으로 동일한 높이를 갖는 것인 CMOS 구조.

청구항 50.

제 49 항에 있어서,

상기 폴리Si 게이트는 As, P, B, Sb, Bi, In, Al, Ga, Ti 또는 이들의 혼합물로 이루어진 그룹에서 선택되는 도펀트를 포함하는 것인 CMOS 구조.

청구항 51.

제 49 항에 있어서,

상기 실리사이드 콘택은 NiSi, $CoSi_2$ 또는 PtSi를 포함하는 것인 CMOS 구조.

청구항 52.

제 49 항에 있어서,

상기 실리사이드 콘택은 상기 각각의 폴리Si 게이트의 측벽 상에 위치되는 스페이서의 외부 엣지(outer edge)와 자기정렬되는 것인 CMOS 구조.

명세서

기술분야

본 발명은 반도체 기판상에 회로 장치를 제조하는 것에 관한 것이며, 더욱 상세하게는, 실질적으로 동일한 높이를 갖는 실리사이드 금속 게이트를 형성하는 상보성 금속 산화물 반도체(CMOS; Complementary Metal Oxide Semiconductor)를 제조하는 것에 관한 것이다. 또한, 본 발명은 폴리실리콘 게이트 도체의 높이에 영향을 끼치지 않는 실리사이드화된 소스/드레인 영역을 형성하는 방법에 관한 것이다.

배경기술

종래부터, 금속 게이트 집적은 CMOS 트랜지스터의 통상적인 공정 플로우에서는 달성되기 어렵다고 판명되어 있다. 대부분의 금속 게이트 재료는 소스/드레인(S/D) 접합 활성화 어닐링에 필요한 고온 처리 동안에 게이트 유전체와 상호작용한다. 금속 게이트 스택이 고온 어닐링을 받지 않도록 유지해야 하는 필요성은, 게이트 스택이 최종적으로 제조되고 후속 처리에서 500℃ 이하로 유지되는 "게이트 최종" 또는 "대체 게이트" 공정의 개발을 이끌었다. 종래 기술의 대체 게이트 공정은 금속 게이트에 대한 재료 선택의 수를 증가시키지만, 그 공정은 복잡도 및 비용이 증가한다.

공동 양도된 미국 출원 제 10/300,165(2002년 11월 20일 출원)호는 "대체 게이트" 공정이 사용되지 않는 통상적인 CMOS 트랜지스터 처리 플로우로 금속 게이트 실리사이드를 형성하는 접근을 기술한다. 이러한 대안적인 접근에서, 부가된 공정 단계의 수는 최소화되어, 복잡도를 최소로 유지하고 비용도 절감된다.

"대체 게이트" 공정의 회피는 큰 이점이 있다. 상기 미국 출원 제10/300,165호는 실리사이드 금속을 표준 물리적 기상 증착을 통하여 증착할 수 있다. 상기 미국 출원 제 10/300,165호에서는 게이트 유전체 상에 금속이 집적 증착되지 않기 때문에, 플라스마의 이용을 제거함으로써 게이트 유전체의 손상을 최소로 유지하는 화학적 기상 증착(CVD) 또는 원자층 증착(ALD)에 대한 필요성이 없다. 추가적인 장점은 실리사이드 금속 게이트 형성 후의 게이트 유전체의 패시베이션(passivation)이 용이하다는 것이다. 수소는 통상적인 노(furnace) 어닐링 공정에서 패시베이션을 허용하는 실리사이드를 통하여 쉽게 확산한다.

통상적인 CMOS 공정 플로우에서 금속 게이트 실리사이드를 형성하는 것은 부가적인 몇몇 단계에 의해서 달성될 수 있다. 그러한 공정 플로우에 대한 설명은 다음과 같다: 질화물 또는 산화물 캡층은 소스/드레인 영역의 실리사이드화 동안에 게이트 다결정Si(즉, 폴리Si)의 상부에서 통상적으로 필요하다. 산화물 또는 질화물 캡층은 소스/드레인 실리사이드화 동안에 게이트 폴리Si 영역의 실리사이드화를 방지할 수 있다. 폴리Si 캡을 포함하는 것 이외에, 다른 모든 처리 단계는 소스/드레인 영역에 실리사이드 콘택(contact)의 형성에 걸쳐 통상적이다.

실리사이드 소스/드레인 콘택 형성 후에, 질화물/산화물 이중층은 통상적으로 CMOS 구조상에 증착되고 평탄화되어 소스/드레인 실리사이드 및 트렌치 격리 영역을 덮는다. 평탄화는 통상적으로 화학적 기계 연마(CMP) 공정을 이용하여 수행된다. CMP는 폴리Si 게이트 스택 상의 캡이 제거되고, 폴리Si가 평탄화된 표면과 접촉하도록 수행된다.

이 시점에서, 통상적인 자기 정렬 실리사이드[즉, 살리사이드(salicide)] 공정이 실리사이드 금속 게이트를 형성하기 위해서 사용될 수 있다. 그 후, 통상적인 CMOS 집적 플로우가 수행되어 복수의 백 엔드(back end) 접속 레벨을 형성한다.

전술한 실리사이드 금속 게이트 공정의 단점은, CMP 후에 폴리Si 게이트 높이(두께)가 게이트의 길이에 따라 변한다는 것이다. 이러한 변동은, 게이트 CMP 동안에서의 (1) 다이(die) 내, 웨이퍼 내, 웨이퍼-투(to)-웨이퍼, 및 로트(lot)-투(to)-로트 비-균일성과, (2) STI(swallow trench isolation) CMP 및 후속 세정 동안에 생성된 실리콘 표면(활성 영역)과 STI 사이의 지형에 기인한다.

STI 대 Si 단차 높이를 최소화하기 위해 STI CMP가 최적화될지라도, 그러한 단차 높이는 여전히 존재하고 장치의 패턴 밀도에 따라 변한다. 그러한 단차 높이에서의 임의의 변동은 게이트 CMP 동안에 이후의 게이트 높이 변동으로 이어질 것이다. 게이트 CMP 자체는 상이한 패턴 밀도를 갖는 특징에 따라 게이트 높이에 비-균일성 및 변동을 더 부가한다. 그러한 양쪽의 조합은 주어진 웨이퍼 내에서 400Å 게이트 높이 변동까지 생성할 수 있다. 그러한 변동에 의해, 실리사이드 금속이 증착될 때, 실리사이드의 상이한 상이 형성할 수 있다. 이는 실리사이드 형성에서 소실될 수 있는 폴리Si의 상이한 양이 상이한 게이트에 존재하기 때문에다. 이러한 상이한 상은 상이한 일함수(트랜지스터 턴 온 전압) 및 저항에서의 변동(장치 성능)을 이끌 수 있다.

전술한 단점의 관점에서, 게이트 치수에 관계없이 실질적으로 동일한 높이를 갖는 폴리Si의 영역 상에의 실리사이드 금속의 형성을 허용하는 신규하고 개선된 CMOS 실리사이드 금속 게이트 집적 기술을 제공할 필요가 있다.

발명의 상세한 설명

발명의 개요

본 발명의 제 1 실시예에서, 형성하는 실리케이트 금속 게이트 상(phase)에서의 변동을 이끄는 폴리Si 게이트 스택 높이에서의 변동의 약점을 갖지 않는 CMOS 실리사이드 금속 게이트 집적 접근이 제공된다. 본 발명의 집적 접근은 처리 복잡도를 최소로 유지하여서, CMOS 트랜지스터의 제조 비용을 증가시키지 않는다.

전술한 목적은 폴리Si 게이트의 상부의 두꺼운 유전체 캡(약 20 nm 이상, 더욱 바람직하게는 50nm 이상의 두께를 갖는)을 이용함으로써 본 발명의 제 1 실시예에 의해서 달성된다. 층간 유전체의 증착 및 평탄화 후에, 반응성 이온 에칭(RIE)에 의해 층간 유전체 및 폴리 Si 게이트에 대하여 유전체 캡이 선택적으로 제거된다. 폴리Si 게이트가 에칭되지 않기 때문에, 게이트 치수(길이)에 관계없이 웨이퍼에 걸쳐 실질적으로 동일한 두께(즉, 증착 두께)를 갖는다. 금속 게이트 실리사이드를 형성하기 위해서 폴리Si가 소실된 후에, 웨이퍼에 걸친 실리사이드 높이 및 실리사이드 상은 본 발명의 집적 기술에 의해서 제공된 초기의 균일한 폴리Si로 인하여 실질적으로 동일하다. 본 발명의 제 1 실시예의 집적 기술에 의해서 형성된 금속 게이트 실리사이드의 높이를 결정하기 위해서 단면 이미징(imaging)이 사용될 수 있다.

종래의 집적 기술에 대한 본 발명의 집적 기술의 주요 장점은 실리사이드 형성을 위한 금속 폴리Si 반응이 발생하여 게이트 치수에 관계없이 동일한 양의 폴리 Si를 소실함으로써, 비-균일 또는 불안정한 상 형성을 방지한다는 것이다. 예로서, 종래의 집적 기술에서는, 일부 게이트는 치수에 따라 다른 것에 비하여 두 배의 폴리Si를 가질 수 있다. 이 경우, 더 많은 폴리Si가 위치되는 두꺼운 게이트에 $CoSi_2$가 형성되는 경우에는 $CoSi_2$가 형성되지만, 더 적은 폴리Si가 위치되는 얇은 게이트에는 CoSi가 형성될 것이다. CoSi상은 $CoSi_2$에 비하여 5 내지 6배 높은 선택도를 갖는다. 이는 불균일한 성능을 이끈다.

넓은 관점에서, 본 발명의 제 1 실시예는,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트 - 여기서, 각각의 폴리Si 게이트는 그것의 상면 상에 위치되는 유전체 캡(cap)을 포함하며 - 를 제공하는 단계와,

반도체 기판 내에 실리사이드화된(silicided) 소스/드레인 영역을 형성하는 단계와,

반도체 기판상에 평탄화된 유전체 스택(stack)을 형성하는 단계와,

각각의 폴리Si 게이트의 상면을 노출시키기 위해서 에칭 공정을 수행하는 단계와,

각각의 폴리Si 게이트를 금속 실리사이드 게이트로 변환시키는 살리사이드(salicide) 공정을 수행하는 단계를 포함하며,

각각의 금속 실리사이드 게이트는 실질적으로 동일한 높이를 갖고, 동일한 실리사이드상(silicide phase)으로 이루어지고, 동일한 폴리Si 이온 주입 조건에서 실질적으로 동일한 일함수(workfunction)를 갖는다.

본 발명의 다른 태양은 전술한 본 발명의 집적 기술을 사용하여 제조되는 CMOS 구조에 관한 것이다. 넓은 관점에서, 본 발명의 CMOS 구조는,

게이트 유전체의 최상부 표면에 위치되는 복수의 실리사이드화된 금속 게이트를 포함하며,

상기 각각의 실리사이드화된 금속 게이트는, 실리사이드화된 금속 게이트의 치수에 관계없이, 동일한 실리사이드상으로 이루어지고, 실질적으로 동일한 높이를 가지며, 상기 실리사이드화된 동일한 폴리Si 이온 주입 조건에서 실질적으로 동일한 일함수를 갖는다.

본 발명의 제 2 실시예는 실리사이드화된 소스/드레인 영역(즉, 콘택)을 갖는 CMOS 구조를 형성하는 방법에 관한 것이며, 여기에서 폴리Si 게이트의 높이는 반도체 구조의 전체 표면에 걸쳐서 실질적으로 동일하다. 본 발명의 제 2 실시예는,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트를 포함하는 구조를 제공하는 단계와,

폴리Si 게이트 및 반도체 기판을 포함하는 구조의 최상부에 선택적인 캡층과 함께 실리사이드화될 금속을 증착하는 단계와,

각각의 폴리Si 게이트 사이에서의 리플로우(reflow)에 의해 오목한 재료를 형성하는 단계와,

각각의 폴리Si 게이트의 최상부로부터 실리사이드 금속과 선택적인 캡층을 제거하는 단계와,

리플로우에 의해 형성된 오목한 재료를 제거하는 단계와,

상기 각각의 폴리Si 게이트 사이에 실리사이드 콘택(소스/드레인) 영역을 형성하도록 구조를 어닐링하는 단계를 포함한다.

본 발명의 제 3 실시예는 실리사이드화된 소스/드레인 영역을 갖는 CMOS 구조를 형성하는 방법에 관한 것이며, 여기에서, 폴리Si 게이트의 높이는 반도체 기판의 전체 표면에 걸쳐서 실질적으로 동일하다.

본 발명의 제 3 실시예는,

반도체 기판 위에 놓이는 복수의 폴리Si 게이트를 포함하는 구조를 제공하는 단계와,

폴리Si 게이트 및 상기 반도체 기판을 포함하는 구조의 최상부에 금속-함유층 및 캡핑층(capping layer)을 포함하는 이중층을 형성하는 단계와,

반도체 기판상에 평탄화 유전체를 형성하는 단계와,

각각의 폴리Si 게이트의 최상부의 금속-함유층을 노출시키는 단계와,

각각의 폴리Si 게이트의 최상부로부터 상기 금속-함유층을 제거하는 단계와,

각각의 폴리Si 게이트 사이에 실리사이드 콘택 영역을 형성하도록 구조를 어닐링하는 단계를 포함한다.

전술한 제 2 실시예 또는 제 3 실시예에서, 동일한 폴리Si 프리도핑(predoping) 조건에서 실질적으로 동일한 높이, 상 및 일함수를 갖는 금속 실리사이드 게이트를 형성할 수 있다.

본 발명의 제 2 및 제 3 실시예는,

게이트 유전체의 최상부 표면에 위치되는 복수의 폴리Si 게이트를 포함하는 본 발명의 다른 CMOS 구조를 제공하며, 각각의 폴리Si 게이트는 각각의 폴리Si 게이트의 사이에 위치되는 실리사이드화된 콘택 및 폴리Si 게이트의 치수에 관계없이 실질적으로 동일한 높이를 갖는다.

본 발명에서, 실리사이드 콘택(또는 실리사이드 소스/드레인 영역)은 각각의 폴리Si 또는 실리사이드 금속 게이트의 수직 측벽 상에 위치되는 스페이서의 엣지에 자기-정렬된다.

실시예

일 실시예에 있어서, 동일한 실리사이드 상(silicide phase)으로 이루어지며, 각 게이트의 치수에 무관하게 실질적으로 동일한 높이 및 일함수(work function)를 갖는 실리사이드 금속 게이트를 형성할 수 있는 CMOS 실리사이드 금속 게이트 집적 프로세서를 제공하는 본 발명을 첨부 도면을 참조하여 이하 설명한다. 스케일을 고려하지 않은 첨부 도면에서 동일 및/또는 대응하는 요소에는 동일한 참조 부호를 부여하였다.

본 발명의 제 1 실시예의 각종 단계 동안에서의 CMOS 구조의 단면도인 도 1 내지 도 10을 참조한다. 비록 도면이 2 개의 폴리Si 게이트(즉, pFET 및 nFET 트랜지스터를 갖는 CMOS 트랜지스터 구조)의 존재를 도시하였지만, 본 발명은 폴리Si 게이트의 그러한 개수에 한정되지 않는다. 본 발명의 집적 공정은 임의 수의 폴리Si 게이트에 대하여 적용된다. 그리하여, 단일 반도체 구조에 걸쳐 복수의 폴리Si 게이트가 존재할 수 있다.

도 1은 본 발명의 제 1 실시예에서 채용된 초기 구조를 도시한다. 구체적으로, 도 1에 도시된 초기 구조는 격리 영역(isolation region)(12)이 형성된 반도체 기판(10)을 포함한다. 초기 구조는 격리 영역(12)의 상부뿐만 아니라 반도체 기판(10)의 상부에 위치되는 게이트 유전체(14)를 또한 포함한다. 이는 유전체가 SiO_2 또는 SiO_xN_y에서와 같이 통상적으로 성장하는 경우가 아니라, 하이(high) k 재료로서 증착되는 경우이다. 본 발명에서, 각각의 폴리Si 게이트(16)는 유전체 캡(18)을 갖고, 모두 게이트 유전체(16)의 선택 부위의 상부에 위치된다. 각각의 폴리Si 게이트(16) 및 그것의 대응하는 유전체 캡(18)을 이하에서는 게이트 스택(20)이라 칭한다.

도 1에 도시된 초기 구조의 반도체 기판(10)은 Si, Ge, SiGe, SiC, SiGeC, Ga, GaAs, InAs, InP 및 다른 모든 III/V족 화합물 반도체를 포함하는 임의의 반도체 재료를 포함하지만, 이에 한정되는 것은 아니다. 반도체 기판(10)은 Si/SiGe, SOI(silicon-on-insulator) 또는 SGOI(SiGe-on-insulator)와 같은 적층 반도체를 또한 포함할 수 있다. 본 발명의 일부 실시예에서, 반도체 기판(10)은 Si-함유 반도체 재료로 이루어지는 것이 바람직하다. 반도체 기판(10)은 도핑되거나 도핑되지 않을 수 있으며, 도핑 및 비-도핑 영역을 포함할 수 있다.

도 1에서, 참조부호 11a는 제 1 도핑(n 또는 p) 영역을 지시하며, 참조부호 11b는 제 2 도핑(n 또는 p) 영역을 나타낸다. 제 1 도핑 영역 및 제 2 도핑 영역은 동일할 수 있거나, 상이한 전도율을 가질 수 있다. 이들 도핑 영역은 "웰(well)"로 알려져 있다.

격리 영역(12)은 반도체 기판(10) 내에 형성된다. 격리 영역(12)은 도시된 바와 같은 트렌치(trench) 격리 영역 또는 필드 산화물(field oxide) 격리 영역일 수 있다. 트렌치 격리 영역은 당업자에게 잘 알려진 통상적인 트렌치 격리 공정을 이용하여 형성된다. 예컨대, 리소그래피, 에칭 및 트렌치 유전체에 의한 트렌치의 충전이 트렌치 격리 영역의 형성에 사용될 수 있다. 선택적으로, 트렌치 충전 이전에 라이너가 트렌치 내에 형성될 수 있으며, 트렌치 충전 후 치밀화 단계가 수행될 수 있으며, 평탄화 공정이 트렌치 충전 후에 또한 실행될 수 있다. 필드 산화물 영역은 소위 실리콘의 국부적 산화(local oxidation) 공정을 이용하여 형성될 수 있다.

반도체 기판(10) 내에 격리 영역(12)을 형성한 후, 게이트 유전체(14)는 증착 유전체인 경우 격리 영역(12)의 최상부 및 반도체 기판(10)을 포함하는 구조의 전체 표면상에 형성된다. 게이트 유전체(14)는 산화, 질화 또는 산화질화(oxynitridation)와 같은 열 성장 공정에 의해서 형성될 수 있다. 다르게는, 게이트 유전체(14)는 화학적 기상 증착(CVD), 플라즈마 CVD(plasma-assisted CVD), 증발, 원자층 증착(ALD), 반응성 스퍼터링, 화학 용액 증착 등의 증착 공정에 의해서 형성될 수 있다. 게이트 유전체(14)는 상기 공정의 임의의 조합을 이용하여 형성될 수 있다.

게이트 유전체(14)는 산화물, 질화물, 산화질화물 및/또는 실리케이트를 포함하는 절연 재료로 이루어지지만, 이것들에 한정되는 것은 아니다. 일 실시예에서, 게이트 유전체(14)는 예컨대, SiO_2, HfO_2, ZrO_2, Al_2O_3, TiO_2, La_2O_3, $SrTiO_3$, $LaAlO_3$, 및 그 혼합물 등의 산화물로 이루어진다.

게이트 유전체(14)의 물리적 두께는 변할 수 있지만, 게이트 유전체(14)는 통상적으로 약 0.5 내지 약 10nm의 두께를 갖고, 더욱 통상적으로는 약 0.5 내지 약 3nm의 두께를 갖는다.

게이트 유전체(14)를 형성한 후에, 폴리실리콘(즉, 폴리Si)의 블랭킷층(blanket layer)은 예컨대, 물리적 기상 증착, CVD 또는 증발과 같은 알려진 증착 공정을 사용하여 게이트 유전체(14) 상에 형성된다. 폴리Si의 블랭킷층은 도핑되거나 비도핑될 수 있다. 도핑되는 경우, 인-시투(in-situ) 도핑 증착 공정이 그것을 형성하는데 사용될 수 있다. 다르게는, 도핑된 폴리Si층은 증착, 이온 주입 및 어닐링에 의해서 형성될 수 있다. 폴리Si층의 도핑은 형성된 실리사이드 게이트의 일함수를 시프트할 것이다. 도펀트(dopant) 이온의 예시적인 예는 As, P, B, Sb, Bi, In, Al, Ga, Ti 또는 그 혼합물을 포함한다. 본 발명의 이러한 시점에서 증착된 폴리Si층의 두께, 즉, 높이는 채용된 증착 공정에 따라 변할 수 있다. 폴리Si층은 통상적으로 약 20 내지 약 180nm의 수직 두께를 갖고, 더욱 통상적으로는 약 40 내지 약 150nm의 두께를 갖는다.

폴리Si의 블랭킷층의 증착 후에, 예컨대, 물리적 기상 증착 또는 화학적 기상 증착과 같은 증착 공정을 사용하여 폴리Si의 블랭킷층의 최상부에 형성된다. 유전체 캡층은 산화물, 질화물, 산화질화물 또는 그것들의 임의의 조합물일 수 있다. 일 실시예에서, 예컨대, Si_3N_4와 같은 질화물이 유전체 캡층으로 채용될 수 있다. 유전체 캡층의 두께, 즉, 높이는 약 20 내지 180nm이며, 통상적으로는 약 30 내지 약 140nm이다.

일 실시예에서, 폴리Si의 블랭킷층 및 유전체 캡층은 70 내지 180nm 범위의 전체 높이를 갖는다. 다른 실시예에서, 블랭킷 폴리Si층 및 유전체 캡층의 높이는 120nm이며, 70nm의 폴리Si 및 50nm의 유전체 캡층이 통상적이다.

블랭킷 폴리Si층 및 유전체 캡층은 리소그래피 및 에칭에 의해서 패터닝되어 패터닝된 게이트 스택(20)을 제공한다. 패터닝된 게이트 스택(20)은 동일한 치수 즉, 길이를 가질 수 있거나, 장치 성능을 향상시키기 위해서 가변 치수를 가질 수 있다. 도 1에 도시된 바와 같이, 각각의 패터닝된 게이트 스택(20)은 폴리Si 게이트(16) 및 유전체 캡(18)을 포함한다. 리소그래피 단계는 포토레지스트를 유전체 갭층의 상면에 도포하는 단계와, 소정 패턴의 방사선에 포토레지스트를 노광하는 단계와, 노광된 포토레지스트를 통상적인 레지스트 현상제를 사용하여 현상하는 단계를 포함한다. 포토레지스트 내의 패턴은 1 이상의 건식 에칭 단계를 사용하여 폴리Si의 블랭킷층 및 유전체 캡층에 전사된다. 일부 실시예에서, 패턴이 유전체 캡층에 전사된 후에 패터닝된 포토레지스트는 게거된다. 다른 실시예에서, 패터닝된 포토레지스트는 에칭이 완료된 후에 제거된다.

패터닝된 게이트 스택(20)을 형성하기 위해서 본 발명에서 사용될 수 있는 적절한 건식 에칭 공정은 반응성 이온 에칭, 이온빔 에칭, 플라즈마 에칭 또는 레이저 어블레이션(laser ablation)을 포함하지만, 그것들에 한정되는 것은 아니다. 채용된 드라이 에칭 공정은 통상적으로 하지 게이트 유전체(14)에 통상적으로 선택적이서, 그러한 에칭 단계는 통상적으로 게이트 유전체를 제거하지 않는다. 하지만, 일 실시예에서, 그러한 에칭 단계는 게이트 스택(20)에 의해 보호되지 않는 게이트 유전체(14)의 부위를 제거하는데 사용될 수 있다.

다음으로, 각각의 패터닝된 게이트 스택(20)의 노출된 측벽 상에 적어도 하나의 스페이서가 형성된다. 적어도 하나의 스페이서는 산화물, 질화물, 산화질화물 및/또는 그것들의 임의의 조합물과 같은 절연체로 이루어진다. 적어도 하나의 스페이서는 증착 및 에칭에 의해서 형성된다. 도 2는 게이트 스택(20)의 각각의 노출된 측벽 상에 2 개의 스페이서가 형성되는 본 발명의 일 실시예를 도시한다. 특히, 도 2는 제 1 폭을 갖는 제 1 스페이서(22)와 제 2 폭을 갖는 제 2 스페이서(24)를 포함하는 구조를 도시하며, 여기서, 제 1 폭은 제 2 폭보다 좁다. 다른 실시예에서, 2 개의 스페이서 기술은, 도 2에 도시된 제 1 및 제 2 폭의 총합과 실질적으로 동일한 폭을 갖는 광폭 스페이서인 단일 스페이서로 대체된다.

제 1 및 제 2 스페이서가 사용될 때, 제 1 및 제 2 스페이서는 상이한 절연체로 이루어진다. 예컨대, 제 1 스페이서(22)는 SiO_2로 이루어지고, 제 2 스페이서(24)는 Si_3N_4로 이루어질 수 있다.

스페이서의 폭은 소스/드레인 실리사이드 콘택(실질적으로 형성되는)이 게이트 스택의 엣지 하부를 침입하지 않도록 충분히 넓어야 한다. 통상적으로, 스페이서가 하부에서 측정될 때 약 20 내지 약 80nm의 폭을 갖는 경우, 소스/드레인 실리사이드는 게이트 스택의 엣지 하부를 침입하지 않는다.

스페이서 형성 후에, 소스/드레인 확산 영역(구체적으로 도시하지 않음)이 기판 내에 형성된다. 소스/드레인 확산 영역은 이온 주입 및 어닐링 단계를 사용하여 형성된다. 어닐링 단계는 이전 주입 단계에서 주입된 도펀트를 활성화시키는 역할을 한다. 이온 주입 및 어닐링의 조건은 당업자에게는 잘 알려져 있다.

다음으로, 게이트 유전체(14)의 노출부는 그것이 미리 제거되지 않은 경우에는 게이트 절연체(14)를 선택적으로 제거하는 화학적 에칭 공정을 사용하여 제거된다. 이러한 에칭 단계는 격리 영역(12)의 상면뿐만 아니라, 반도체 기판(10)의 상면 상에서 정지한다. 게이트 절연체(14)의 노출 부위를 제거하기 위해서 임의의 화학적 에칭액이 사용될 수 있을지라도, 희석 불산(DHF)이 사용된다.

그 후, 소스/드레인 실리사이드 콘택(26)이 실리사이드 공정을 사용하여 형성된다. 실리사이드 공정은, 소스/드레인 확산 영역을 포함하는 기판(10)의 노출면 상에 금속을 증착하는 단계와, 실리사이드를 형성하는 제 1 어닐링 단계와, 사용된 경우 캡핑층을 포함하는 임의의 비-반응성 금속을 선택적으로 에칭하는 단계와, 필요한 경우 제 2 어닐링 단계를 수행하는 단계를 포함한다. 소스/드레인 실리사이드 콘택(26)을 포함하는 결과적인 구조는 예컨대, 도 3에 도시된다.

반도체 기판이 실리콘을 포함하지 않는 경우, 실리콘 층(도시 생략)이 반도체 기판(10)의 최상부 노출면에서 성장될 수 있으며 소스/드레인 실리사이드 콘택을 형성하는데 사용될 수 있다.

소스/드레인 실리사이드 콘택을 형성하는데 사용된 금속은 실리콘과 반응하여 금속 실리사이드를 형성할 수 있는 임의의 금속을 포함한다. 그러한 금속의 예로는, Ti, Ta, W, Co, Ni, Pt, Pd 및 이들의 합금을 포함하지만, 이들에 한정되지는 않는다. 일 실시예에서는 Co가 바람직한 금속이다. 그러한 실시예에서, 제 2 어닐링 단계가 필요하다. 다른 실시예에서, Ni 또는 Pt가 바람직하다. 그러한 실시예에서는 제 2 어닐링 단계는 통상적으로 수행되지 않는다.

금속은 예컨대, 스퍼터링, 화학적 기상 증착, 증발, 화학 용액 증착, 도금 등을 포함하는 임의의 통상적인 증착 공정을 사용하여 증착될 수 있다.

제 1 어닐링은 통상적으로 제 2 어닐링 단계에서보다 저온에서 수행된다. 통상적으로, 고저항상(high resistance phase) 재료를 형성하거나 형성하지 않을 수 있는 제 1 어닐링 단계는 연속적인 가열 레짐(regime) 또는 각종 램프(ramp) 및 소크(soak) 가열 사이클을 사용하여 약 300℃ 내지 약 600℃의 온도에서 수행된다. 더욱 바람직하게는, 제 1 어닐링 단계는 약 350℃ 내지 약 550℃의 온도에서 수행된다. 제 2 어닐링 단계는 연속 가열 레짐 또는 각종 램프 및 소크 가열 사이클을 사용하여 약 600℃ 내지 약 800℃의 온도에서 수행된다. 더욱 바람직하게는, 제 2 어닐링 단계는 약 650℃ 내지 약 750℃의 온도에서 수행된다. 제 2 어닐링은 통상적으로 고저항 실리사이드를 저저항 실리사이드상으로 변환시킨다.

살리사이드(salicide) 어닐링은 예컨대, He, Ar, N_2 또는 형성 가스(forming gas)와 같은 분위기에서 수행된다. 소스/드레인 실리사이드 콘택 어닐링 단계가 상이한 분위기를 사용할 수 있거나, 그 어닐링 단계가 동일한 분위기에서 수행될 수 있다. 예컨대, 양쪽의 어닐링 단계에서 He가 사용될 수 있거나, 제 1 어닐링 단계에서 He가 사용되고 제 2 어닐링 단계에서 형성 가스가 사용될 수 있다.

도 3에 도시된 구조를 형성한 후에, 제 1 유전체 층(30) 및 제 2 유전체 층(32)을 포함하는 유전체 스택(28)이 형성되어 도 4에 도시된 구조를 제공한다. 제 1 유전체 층(30)은 에칭 정지 층(stop layer)으로서 작용하며, 제 2 유전체 층(32)은 층간 유전체로서 작용한다. 유전체 스택(28)의 제 1 및 제 2 유전체 층은 예컨대, 산화물, 질화물 및 산화질화물을 포함하는 상이한 절연 재료로 이루어진다.

본 발명에 따르면, 제 1 유전체 층(30)은 유전체 캡(18)과 동일한 유전체로 이루어진다. 본 발명의 일 실시예에서, 유전체 스택(28)의 제 1 유전체 층(30)은 Si_3N_4로 이루어지고, 제 2 유전체 층은 SiO_2로 이루어진다. 도시된 바와 같이, 유전체 스택(28)은 게이트 스택(20)뿐만 아니라, 격리 영역(12), 소스/드레인 실리사이드 콘택(26)을 덮는다.

제 1 유전체 층(30) 및 제 2 유전체 층(32)은 동일하거나 상이한 증착 공정을 사용하여 형성된다. 유전체 스택(28)의 층(30 및 32)을 형성하는데 사용될 수 있는 적합한 적층 공정의 예는 화학적 기상 증착, 원자층 증착, 물리적 기상 증착, 화학 용액 증착, 증발 등의 증착 공정을 포함하지만, 이들에 한정되지 않는다. 유전체 스택(28)의 두께는 변할 수 있지만, 게이트 스택(20)의 높이보다는 높은 두께를 가져야만 한다.

유전체 스택(28)의 형성 후, 제 2 유전체 층(32)은 평탄화되어 평탄화된 유전체 스택(28')을 포함하는 구조를 제공한다. 그러한 구조는 예컨대 도 5에 도시된다. 평탄화된 유전체 스택(28')은 예컨대, 화학적 기계 연마 및/또는 연삭을 포함하는 통상적인 평탄화 공정에 의해서 형성될 수 있다.

다음으로, 도 6에 도시된 바와 같이, 제 1 유전체 층(30) 및 유전체 캡(18)이 제 2 유전체 층(32)과 비교하여 선택적으로 제거되도록 반응성 이온 에칭 백 공정이 수행된다. 예컨대, 제 1 유전체 층 및 유전체 캡이 Si_3N_4로 이루어지고, 제 2 유전체 층이 SiO_2로 이루어진 경우, 질화물은 산화물에 비하여 선택적으로 제거된다. 반응성 에칭 백 단계는 각각의 게이트 스택(20)의 폴리Si 게이트(16)를 노출시킨다. 반응성 에칭 백 단계 후의 구조는 예컨대, 도 6에 도시된다. 반응성 이온 에칭 백 단계는 폴리Si 게이트(16)를 에칭하지 않는다는 것을 유념해야 한다. 폴리Si 게이트(16)가 에칭되지 않기 때문에, 치수(즉, 길이)에 관계없이 그것들의 두께(즉, 높이)는 실질적으로 동일할 것이다.

금속 실리사이드 게이트를 형성하는 폴리Si 게이트(16)를 소실시키기 위해서 제 2 살리사이드 공정이 수행된다. 후술하는 도면은 2 가지의 어닐링 단계가 필요한 일 실시예를 도시한다. 일부 실시예에서, 살리사이드 공정은 선택적 에칭 단계 후에 완료된다. 그리하여, 그러한 실시예에서는 제 1 어닐링이 저저항상 금속 실리사이드 게이트를 형성하기 때문에 제 2 어닐링은 필요하지 않는다.

제 2 살리사이드 공정의 제 1 단계는 도 6에 도시된 구조의 최상부에 블랭킷 실리사이드 금속(34)을 증착하는 단계를 포함한다. 블랭킷 실리사이드 금속(34)을 포함하는 결과적인 구조는 예컨대, 도 7에 도시된다. 실리사이드 금속(34)은 소스/드레인 실리사이드 콘택 형성에 사용된 금속을 사용하는 전술한 증착 공정의 하나를 사용하여 증착될 수 있다.

실리사이드 금속(34)은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금으로 이루어질 수 있다. 일 실시예에서, 실리사이드 금속(34)은 Co이며; $CoSi_2$는 2 단계의 어닐링 공정을 사용하여 형성한다. 본 발명의 다른 실시예에서, 실리사이드 금속(34)은 Ni 또는 Pt이며; NiSi 및 PtSi는 단일 어닐링 단계를 사용하여 형성한다. 실리사이드 금속 두께는 특정 CMOS 장치를 위한 적절한 일함수를 갖는 실리사이드상을 형성하도록 선택된다. 예컨대, NiSi는 4.65eV의 일함수를 갖고, 초기 폴리Si 높이가 50nm인 경우, 필요한 Ni의 양은 27nm이다. $CoSi_2$는 4.45eV의 일함수를 가지며, 초기 폴리Si 높이가 50nm인 경우, 필요한 Co의 양은 약 14nm이다. 주어진 비록 실리사이드 금속 두께가 폴리Si를 소실시키기 위해서 필요한 양일지라도, 두께는 소실의 완료를 보장하기 위해서 약 10% 초과하는 것이 바람직하다.

일부 실시예(도시 생략)에서, TiN 또는 W와 같은 산소 확산 장벽이 실리사이드 금속의 최상부에 형성된다.

실리사이드 금속(34)의 증착 후에, 제 1 어닐링은 구조 내의 제 1 실리사이드상(36)을 형성하는데 채용되며, 제 1 실리사이드상은 금속 실리사이드의 저저항상을 나타내거나 나타내지 않을 수 있다. 이에 대해서는 도 8을 참조할 수 있다. 제 1 어닐링은 소스/드레인 실리사이드 콘택(26) 형성시의 전술한 분위기 및 온도를 사용하여 형성된다. 다음으로, 도 9에 도시된 바와 같이, 구조로부터 임의의 비-반응성 실리사이드 금속을 제거하기 위해서 선택적 습식 에칭 단계가 채용된다.

일부의 금속 실리사이드의 경우, 폴리Si가 소실되고 제 1 실리사이드상(36)의 저항율이 상의 최소값에 근접하기 때문에, 살리사이드 공정은 그 시점에서 정지될 수 있다. 이는 Ni 및 Pt의 경우이다. 이러한 실시예는 도시되지 않는다. 다른 경우, 예컨대, Co 또는 Ti가 실리사이드 금속으로 사용될 때, 잔여 폴리Si의 소실 및 제 2 실리사이드상 재료(38)의 형성을 위해서 제 2 고온 어닐링이 필요하다. 이에 대해서는 도 10을 참조할 수 있다. 이러한 실시예에서, 제 1 실리사이드상은 고저항상 실리사이드 재료이며, 제 2 실리사이드상 재료(38)는 저저항상 실리사이드 재료이다.

전술한 금속 실리사이드 게이트 소실이 완료된 후, 트랜지스터와 트랜지스터, 트랜지스터와 외부 콘택의 다층 상호 접속 구조를 형성하는 통상적인 접근이 채용될 수 있다.

전술한 바와 같이, 본 발명의 제 1 실시예의 공정 단계는, 각각의 금속 실리사이드 게이트가 동일한 상을 갖고 그 치수에 관계없이 실질적으로 동일한 높이를 갖는 CMOS 구조를 제조할 수 있다. 전술한 집적 처리 기술을 사용하여 형성된 CMOS 구조의 다른 특징은, 동일한 폴리Si 이온 주입 조건에 의한 각각의 금속 실리사이드 게이트가 실질적으로 동일한 일함수를 갖는다는 것이다.

본 발명의 제 2 실시예의 각종 단계 동안의 CMOS 구조의 단면도인 도 11a 내지 도 11e를 참조한다. 이러한 도면이 2 개의 폴리Si 게이트(즉, pFET 및 nFTE 트랜지스터를 갖는 CMOS 트랜지스터)의 존재를 도시하지만, 본 발명은 폴리Si 게이트의 수에 한정되지 않는다. 그 대신에, 본 발명의 집적 공정은 임의의 수의 폴리Si 게이트에 적용한다. 그리하여, 복수의 폴리Si 게이트가 단일 반도체 구조에 걸쳐 존재할 수 있다.

도 11a는 본 발명의 제 2 실시예에서 채용될 수 있는 초기 구조를 도시한다. 도시된 바와 같이, 초기 구조는 반도체 기판(10)과, 반도체 기판(10)의 표면상에 위치되는 패터닝된 게이트 유전체(14)와, 패터닝된 게이트 유전체(14)의 최상부 표면부에 위치되는 패터닝된 폴리Si 게이트(16)와, 각각의 패터닝된 폴리Si 게이트(16)의 노출된 수직 측벽 상에 형성되는 스페이서(23)를 포함한다. 도 11a에 도시된 구조는 제 1 실시예에서와 동일한 재료를 포함하며, 도 2에 도시된 구조를 형성하는데 사용된 것과 유사한 공정 플로우가 그러한 구조를 형성하는데 사용된다. 본 실시예에서는 도핑 영역 및 격리 영역은 도시하지 않았다. 그럼에도 불구하고, 반도체 기판(10)에는 동일한 것이 포함될 수 있다. 본 실시예에서는 패터닝된 폴리Si 게이트(16)의 각각의 노출된 측벽 상에 하나의 스페이서(23)가 도시된다. 단일 스페이서가 도시될지라도, 제 2 실시예는 (도 2에 도시된 바와 같은) 2중 스페이서(22 및 24)가 채용되는 경우에도 적용된다. 단일 스페이서(23)는 산화물, 질화물, 산화질화물 또는 이들의 임의의 조합물로 이루어질 수 있다.

도 11a에 도시된 초기 구조의 후속 형성에서, 실리사이드 금속(50)이 초기 구조의 모든 최상부 노출면(수직 및 수평)에 형성되어, 예컨대, 도 11b에 도시된 구조를 제공한다. 본 발명의 제 2 실시예에 사용된 실리사이드 금속(50)은 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함한다. 실리사이드 금속(50)은 예컨대, 물리적 기상 증착(스퍼터링), 화학적 기상 증

착, 원자층 증착 또는 도금과 같은 동일한 증착 공정을 사용하여 형성된다. 실리사이드 금속(50)은 증착되는 금속의 유형 및 그것을 형성하는데 사용되는 기술에 따라서 가변 두께를 가질 수 있다. 하지만, 통상적으로 실리사이드 금속(50)은 약 0.5 내지 약 25nm의 증착 후 두께를 갖는다.

반도체 기판(10)이 Si-함유 재료로 이루어지지 않는 경우의 실시예에서, Si-함유 재료는 실리사이드 금속(50)의 형성 이전에 Si-비함유 기판의 최상부 노출면에 형성될 수 있다.

그 후, 리플로우(reflow) 가능한 재료(이하, 리플로우 재료라 함)가 도 11b에 도시된 구조의 최상부에 통상적인 증착 기술을 사용하여 형성된다. 리플로우 재료는 비반사 코팅(ARC; antireflective coating) 또는 스핀-온 유전체(spin-on dielectric) 재료를 포함한다. 증착된 리플로우 재료의 두께는 변할 수 있지만, 증착된 리플로우 재료의 두께는 통상적으로 폴리Si 게이트(16)의 높이보다 낮은 두께를 갖는다. 특히, 증착된 리플로우 재료는 약 20 내지 약 180nm의 두께를 갖는다.

증착 후에, 리플로우 재료는 오목하게 형성되어 예컨대, 도 11c에 도시된 구조를 제공한다. 도 11c에서, 참조 부호 52는 오목부에 형성된 리플로우 재료를 나타낸다. 리플로우 재료를 더 오목하게 하기 위해서 에칭 단계가 사용될 수 있다. 도시된 바와 같이, 오목한 리플로우 재료(52)는 폴리Si 게이트(16)의 높이보다 낮은 상면을 갖는다. 결과적으로, 본 발명의 제 2 실시예의 이 시점에서 오목한 리플로우 재료(52)는 폴리Si 게이트(16) 사이에만 위치된다.

오목한 리플로우 재료(52)의 형성 후에, 각각의 폴리Si 게이트(16)의 최상부의 실리사이드 금속(50)이 제거되어서 각각의 폴리Si 게이트(16)의 상면을 노출시킨다. 폴리Si 게이트(16)의 최상부로부터 실리사이드 금속(50)을 제거한 후에 형성되는 결과적인 구조는 예컨대 도 11d에 도시된다. 폴리Si 게이트(16)의 최상부의 실리사이드 금속의 제거는 유전체 또는 폴리Si에 비하여 금속을 선택적으로 제거하는 에칭 공정을 이용하여 수행된다. 특히, 황산/수소 과산화물 용액을 사용하는 습식 에칭이 본 발명의 그러한 단계에 채용될 수 있다.

본 발명의 제 2 실시예의 이러한 시점에서, 오목한 리플로우 재료(52)는 ARC 또는 스핀-온 재료를 선택적으로 제거하는 박리 공정을 이용하여 구조로부터 제거되고, 그 후에 어닐링 공정이 수행된다.

어닐링 공정은 제 1 어닐링과 선택적인 제 2 어닐링을 포함할 수 있다. 비반응 금속은 제 1 어닐링 또는 선택적인 제 2 어닐링 후에 제거될 수 있다. 제 1 어닐링은 제 2 어닐링 단계보다는 저온에서 통상적으로 수행된다. 통상적으로, 고저항 실리사이드상 재료를 형성하거나 형성하지 않을 수 있는 제 1 어닐링 단계는, 연속 가열 레짐 또는 각종 램프 및 소크 가열 사이클을 사용하여 약 300℃ 내지 약 600℃의 온도에서 수행된다. 더욱 바람직하게는, 제 1 어닐링 단계는 약 350℃ 내지 약 550℃의 온도에서 수행된다. 제 2 어닐링 단계는 연속 가열 레짐 또는 각종 램프 및 소크 가열 사이클을 사용하여 약 600℃ 내지 약 800℃의 온도에서 수행된다. 더욱 바람직하게는, 제 2 어닐링 단계는 약 650℃ 내지 약 750℃의 온도에서 수행된다. 제 2 어닐링은 통상적으로 고저항 실리사이드를 저저항의 실리사이드상으로 변환한다.

실리사이드 어닐링은 예컨대, He, Ar, N_2 또는 형성 가스와 같은 가스 분위기에서 수행된다. 소스/드레인 실리사이드 콘택 어닐링 단계는 상이한 분위기를 사용할 수 있거나 어닐링 단계는 동일한 분위기에서 수행될 수 있다. 예컨대, He가 양쪽의 어닐링 단계에서 사용될 수 있거나, 제 1 어닐링 단계에서는 He가 사용되고 제 2 어닐링 단계에서는 형성 가스가 사용될 수 있다. 비반응 금속은 금속을 선택적으로 제거하는 에칭 공정을 이용하여 제거된다. 그 예는 황산/수소 과산화물 용액을 사용하는 습식 에칭을 포함한다.

도 11e는 어닐링 및 실리사이드 콘택(54)의 형성 후의 결과적인 구조를 도시한다. 본 발명의 방법은, 각각의 폴리Si 게이트(16)가 폴리Si 게이트(16)의 치수에 관계없이 동일한 높이를 갖는 구조를 제공한다는 것을 유념해야 한다.

본 발명의 제 2 실시예의 그러한 시점에서, 폴리Si 게이트(16)는 동일한 폴리Si 프리도핑(predoping) 조건에서 실질적으로 동일한 높이, 상 및 일함수를 갖는 실리사이드 금속 게이트로 변환될 수 있다. 실리사이드 금속 게이트는 본 발명의 제 1 실시예에서 언급한 살리사이드 공정을 이용하여 형성될 수 있다. 특히, 실리사이드 금속 게이트는 폴리Si 게이트(16)와 유전체 캡핑층만이 후속 증착되는 실리사이드 금속과 접촉하도록 유전체 캡핑층(예컨대, Si_3N_4, SiO_2, SiO_2 온(on) Si_3N_4 등)을 구조상에 먼저 제공함으로써 형성될 수 있다. 본 발명의 이러한 단계는 게이트 형성에 사용된 실리사이드 금속이 소스/드레인 영역과 접촉하지 않도록 소스/드레인 영역을 유전체 층으로 캡핑한다. 이러한 캡핑층을 위해 가능한 접근은 블랭킷 Si_3N_4층의 증착에 이어 고밀도 플라즈마(HDP) SiO_2층(게이트 높이보다 큰 두께)을 증착하는 것이다. Si_3N_4층에서

멈추거나 미소하게 Si_3N_4층 내부에서 멈추는 HDP SiO_2를 평탄화하기 위하여 화학적 기계 연마가 사용될 수 있다. 일부의 SiO_2가 남는 경우, 그러한 SiO_2를 제거하기 위해서 습식 에칭 공정이 사용될 수 있다. 선택적인 RIE 공정이 게이트 상의 Si_3N_4를 제거하기 위해서 사용되며, 그 후에 실리사이드 금속이 증착되고 전술한 살리사이드 공정이 수행된다.

본 발명의 제 3 실시예의 각종 단계 동안의 CMOS 구조의 단면도인 도 12a 내지 도 12f를 참조한다. 이러한 도면이 2 개의 폴리Si 게이트(즉, pFET 및 nFTE 트랜지스터를 갖는 CMOS 트랜지스터)의 존재를 도시하지만, 본 발명은 폴리Si 게이트의 수에 한정되지 않는다. 그 대신에, 본 발명의 집적 공정은 임의 개의 폴리Si 게이트에 적용한다. 그리하여, 복수의 폴리Si 게이트가 단일 반도체 구조에 걸쳐 존재할 수 있다.

도 12a는 본 발명의 제 2 실시예에서 채용될 수 있는 초기 구조를 도시한다. 도시된 바와 같이, 초기 구조는 제 1 도핑 영역(11a), 제 2 도핑 영역(11b) 및 격리 영역(12)이 형성된 반도체 기판(10)과, 반도체 기판(10)의 표면상에 위치되는 패터닝된 게이트 유전체(14)와, 패터닝된 게이트 유전체(14)의 최상부 표면부에 위치되는 패터닝된 폴리Si 게이트(16)와, 각각의 패터닝된 폴리Si 게이트(16)의 노출된 수직 측벽 상에 형성되는 스페이서(22 및 24)를 포함한다. 본 발명의 제 3 실시예에서 채용된 초기 구조의 전술한 요소는, 유전체 캡(18)이 폴리 Si 게이트(16)의 최상부에 존재하지 않는다는 것을 제외하면, 도 2에 도시된 것과 유사하다.

도 12a의 구조는 금속-함유층(72) 및 캡핑층(74)을 포함하는 이중층 스택(70)을 또한 포함한다. 도시된 바와 같이, 금속-함유층(70)이 먼저 형성된 후에 캡핑층(74)이 형성된다.

이중층 스택(70)의 금속-함유층(72)은 실리콘과 반응하여 금속 실리사이드를 형성할 수 있는 임의의 금속으로 이루어진다. 그러한 금속의 예는 Ti, Ta, W, Co, Ni, Pt, Pd 또는 이들의 합금을 포함하지만, 이들에 한정되지는 않는다. 이들 금속의 스택은 금속-함유층(70)으로 또한 사용될 수 있다. 각종의 이들 금속 중에서, Co 또는 Ni가 채용되는 것이 바람직하다. 이중층 스택(70)의 금속-함유층(72)은 통상적으로 약 0.5 내지 약 25nm의 두께, 더욱 바람직하게는 약 0.5 내지 약 15nm의 두께를 갖는 층이다.

이중층 스택(70)의 금속-함유층(72)은 예컨대, 물리적 기상 증착(스퍼터링 또는 증발), 화학적 기상 증착, 원자층 증착, 화학 용액 증착, 도금 등을 포함하는 임의의 통상적인 증착 공정을 이용하여 형성된다.

금속-함유층(72)의 최상부에 형성되는, 이중층(70)의 캡핑층(74)은 실리사이드를 형성하는데 사용되는 하지 금속 내부로의 산소의 혼입을 방지할 수 있는 임의의 재료를 포함한다. 그러한 캡핑층의 예시적 예는 TiN, W 또는 Ti를 포함한다. 캡핑층(72)은 통상적으로 약 5 내지 약 50nm의 두께를 갖고, 더욱 통상적으로는 약 10 내지 약 25nm의 두께를 갖는다. 캡핑층(72)은 예컨대, 물리적 기상 증착 또는 화학적 기상 증착과 같은 통상적인 증착 공정을 활용하여 형성된다.

다음으로, 도 12a에 도시된 구조의 최상부에 평탄화 유전체(75)가 형성되어 도 12b의 구조를 제공한다. 평탄화 유전체(75)는 포토레지스트, 저온 산화물(LTO; Low-Temperature Oxide) 또는 평탄화 층으로 작용할 수 있는 유전체를 포함할 수 있다. 평탄화 이전의 평탄화 유전체(75)의 원래의 두께는 변할 수 있지만, 폴리Si 게이트(16)의 높이보다 높은 두께를 가져야만 한다.

그 후, 평탄화 유전체(75)는 예컨대, 화학적 기계 연마 및/또는 연삭을 포함하는 통상적인 평탄화 공정에 의해서 평탄화되어 예컨대, 도 12c에 도시된 구조를 제공한다. 평탄화 동안에, 각각의 폴리Si 게이트(16) 위에 위치되는 평탄화 유전체(75)는 제거되어 이중층 스택(70)의 하지 캡핑층(74)을 노출시킨다. 본 발명의 이러한 실시예에서, 폴리Si 게이트(16)의 최상부의 캡핑층(74)은 CMP 에칭 정지층으로 역할한다.

다음으로, 노출된 캡핑층(74)이 제거되어 하지 금속-함유층(72)을 노출시킨다. 노출된 캡핑층(74)은 선택적인 습식 에칭 공정을 이용하여 제거된다.

그 후, 각각의 폴리Si 게이트(16)의 최상부의 노출된 금속-함유층(72)이 제거되어 폴리Si 게이트(16)를 노출시킨다. 이에 대해서는 도 12d를 참조할 수 있다. 노출된 금속-함유층(72)은 선택적으로 금속을 제거하는 에칭 공정을 사용하여 제거된다. 그 에칭 공정의 예는 황산/수소 과산화물 용액을 사용하는 습식 에칭을 포함한다. 노출된 금속-함유층(72)을 각각의 폴리Si 게이트(16)의 최상부로부터 선택적으로 제거한 후, 당접하는 평탄화 재료(75)가 포토레지스트 또는 저온 산화물을 선택적으로 제거하는 에칭 공정을 이용하여 제거된다. 전술한 공정을 사용하여 형성된 결과적인 구조는 예컨대 도 12e에 도시된다.

그 후, 어닐링 공정이 수행되어 실리사이드 콘택(54)의 형성을 야기한다. 이에 대해서는 도 12f를 참조할 수 있다. 어닐링 공정은 제 1 어닐링과 선택적인 제 2 어닐링을 포함할 수 있다. 비반응 및 캡핑층 금속은 제 1 어닐링 또는 선택적인 제 2 어닐링 후에 제거될 수 있다. 제 1 어닐링은 제 2 어닐링 단계보다는 저온에서 통상적으로 수행된다. 통상적으로, 고저항 실리사이드상 재료를 형성하거나 형성하지 않을 수 있는 제 1 어닐링 단계는, 연속 가열 레짐 또는 각종 램프 및 소크 가열 사이클을 사용하여 약 300℃ 내지 약 600℃의 온도에서 수행된다. 더욱 바람직하게는, 제 1 어닐링 단계는 약 350℃ 내지 약 550℃의 온도에서 수행된다. 제 2 어닐링 단계는 연속 가열 레짐 또는 각종 램프 및 소크 가열 사이클을 사용하여 약 600℃ 내지 약 800℃의 온도에서 수행된다. 더욱 바람직하게는, 제 2 어닐링 단계는 약 650℃ 내지 약 750℃의 온도에서 수행된다. 제 2 어닐링은 통상적으로 고저항 실리사이드를 저저항의 실리사이드상으로 변환한다.

실리사이드 어닐링은 예컨대, He, Ar, N_2 또는 형성 가스와 같은 가스 분위기에서 수행된다. 소스/드레인 실리사이드 콘택 어닐링 단계는 상이한 분위기를 사용할 수 있거나 어닐링 단계는 동일한 분위기에서 수행될 수 있다. 예컨대, He가 양쪽의 어닐링 단계에서 사용될 수 있거나, 제 1 어닐링 단계에서는 He가 사용되고 제 2 어닐링 단계에서는 형성 가스가 사용될 수 있다. 유전체 캡(74)을 어닐링한 후, 비반응 금속[즉, 금속-함유층(72)]은 그러한 재료를 선택적으로 제거하는 에칭 공정을 이용하여 제거된다.

도 12f는 어닐링 및 실리사이드 콘택(54)의 형성 후의 결과적인 구조를 도시한다. 본 발명의 방법은, 각각의 폴리Si 게이트(16)가 폴리Si 게이트(16)의 치수에 관계없이 동일한 높이를 갖는 구조를 제공한다는 것을 유념해야 한다.

제 3 실시예에서, 실리사이드 금속 게이트는 본 발명의 제 2 실시예에서 기술한 바와 같이 형성될 수 있다.

전술한 본 발명의 각종 실시예에서, 실리사이드를 형성하는데 이용된 금속은 금속 실리사이드의 형성을 강화시킬 수 있는 합금 첨가제를 포함할 수 있다. 본 발명에서 사용될 수 있는 합금 첨가제의 예는, 합금 첨가제가 실리사이드를 형성하는데 사용되는 금속과 동일하지 않다는 조건부로, C, Al, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Ge, Zr, Nb, Mo, Ru, Rh, Pd, Ag, In, Sn, Hf, Ta, W, Re, Ir, Pt 또는 이들의 혼합물을 포함한다. 합금 첨가제는 약 0.1 내지 약 50 원자 퍼센트의 함량으로 존재한다.

본 발명은 바람직한 실시예에 관하여 구체적으로 나타내고 기술하였지만, 본 발명의 기술 사상 및 범주를 벗어나지 않고 형태 및 상세 사항에서 전술한 변경 및 다른 변경이 이루어질 수 있다는 것을 당업자는 이해할 수 있을 것이다. 따라서, 본 발명은 기술하고 설명한 정확한 형태에 한정되는 것이 아니고 첨부된 청구의 범위 내에 있는 것으로 의도된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 채용된 초기 캡핑된(capped) 폴리Si 게이트 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 2는 2중 스페이서가 도 1에 도시된 각각의 캡핑된 폴리Si 게이트의 측벽상에 형성된 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 3은 소스/드레인 실리사이드화(silicidation)가 도 2에 도시된 구조상에 수행된 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 4는 도 3에 도시된 구조상에 질화물/산화물 유전체 스택(stack)을 증착한 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 5는 도 4에 도시된 구조를 평탄화한 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 6은 캡(cap) 재료를 포함하여 산화물 및 질화물을 에칭 백(etch back)하여, 각 폴리Si 게이트의 상면을 노출시킨 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 7은 실리사이드 금속 증착 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 8은 제 1 자기-정렬(self-aligned) 실리사이드 어닐링 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 9는 실리사이드 선택적 에칭을 실행한 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

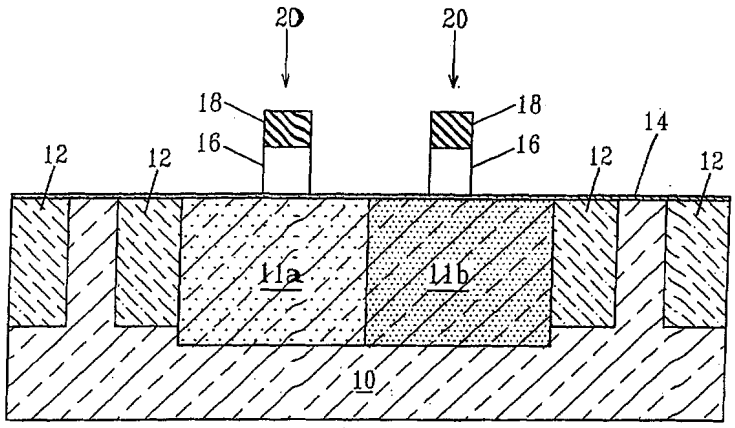
도 10은 선택적인 제 2 자기-정렬 실리사이드 어닐링을 실행한 후의 구조를 나타내는 (단면도를 통한) 도해적 설명.

도 11a 내지 도 11e는 본 발명의 제 2 실시예의 기본적 공정 플로우를 나타내는 (단면도를 통한) 도해적 설명.

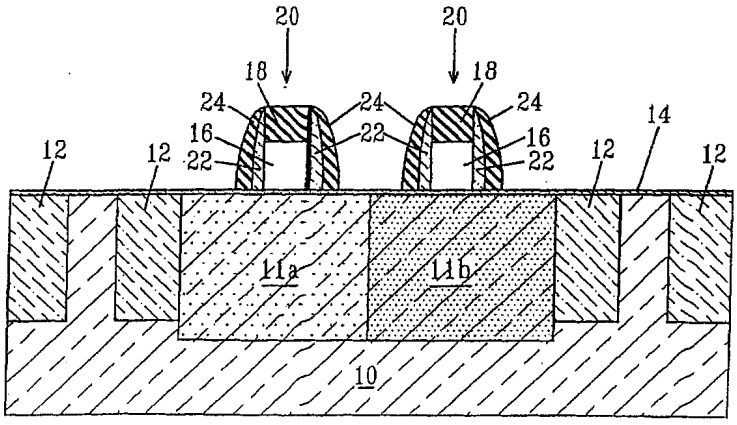
도 12a 내지 도 12f는 본 발명의 제 3 실시예의 기본적 공정 플로우를 나타내는 (단면도를 통한) 도해적 설명.

도면

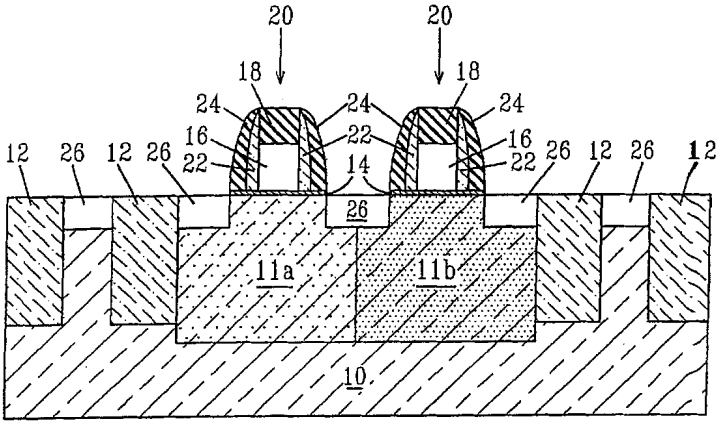
도면1



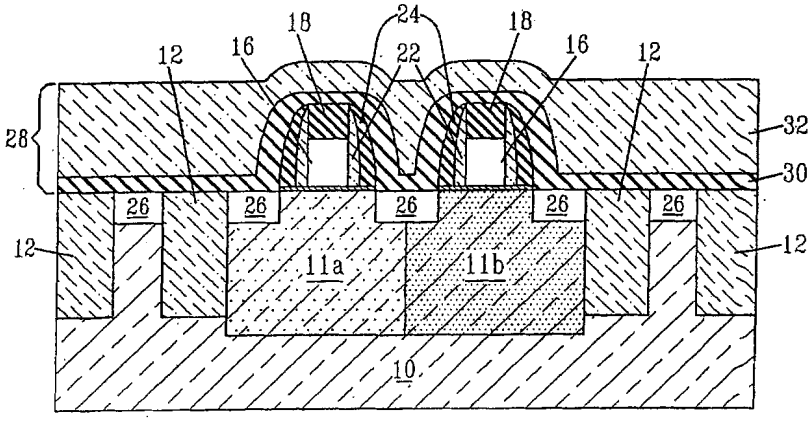
도면2



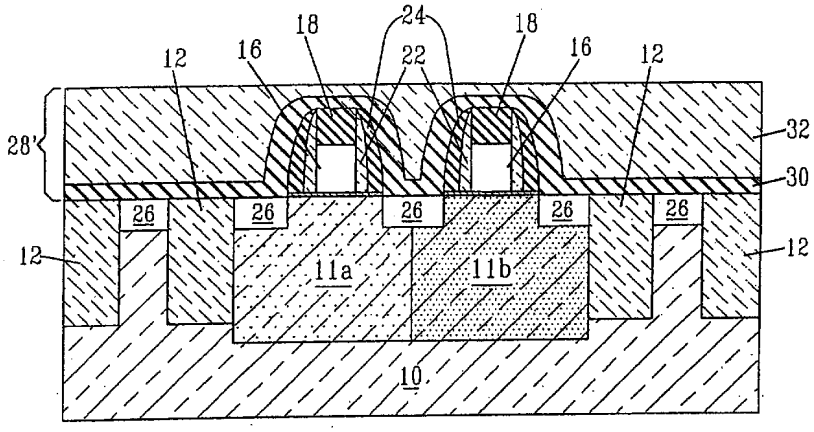
도면3


20
20
18
18
24
24
24
16
22
16
22
22
14
12
26
12
26
12
26
12
26
12
26
11a
11b
10

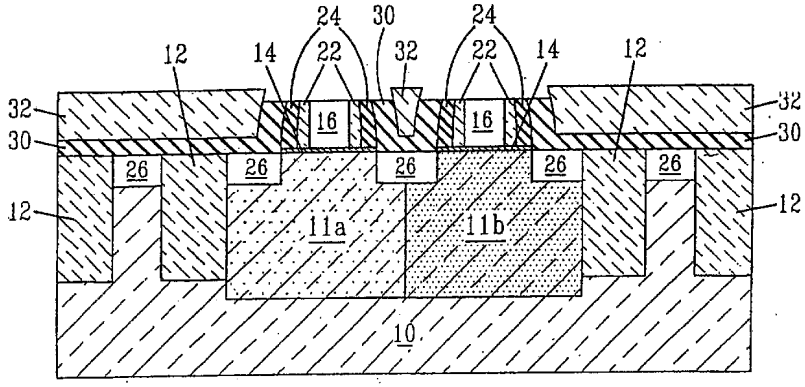
도면4


18
24
18
12
16
22
16
12
28
32
30
26
26
26
26
26
12
12
11a
11b
10

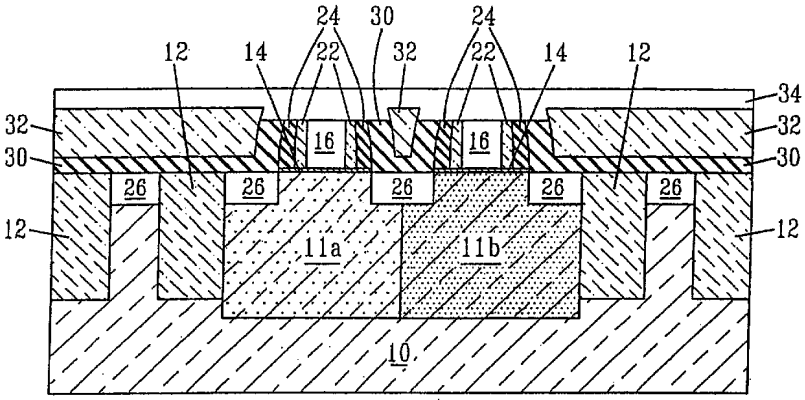
도면5


18
24
18
12
16
22
16
12
28'
32
30
26
26
26
26
26
12
12
11a
11b
10

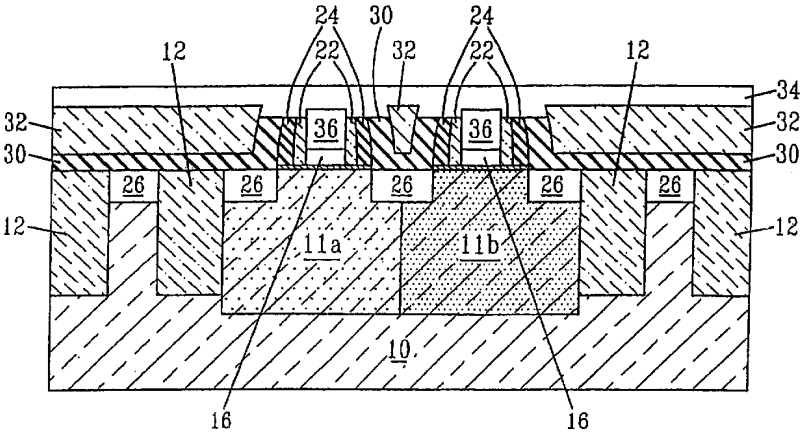
도면6


24
30
24
12
14
22
32
22
14
12
32
32
30
30
16
16
26
26
26
26
26
12
12
11a
11b
10

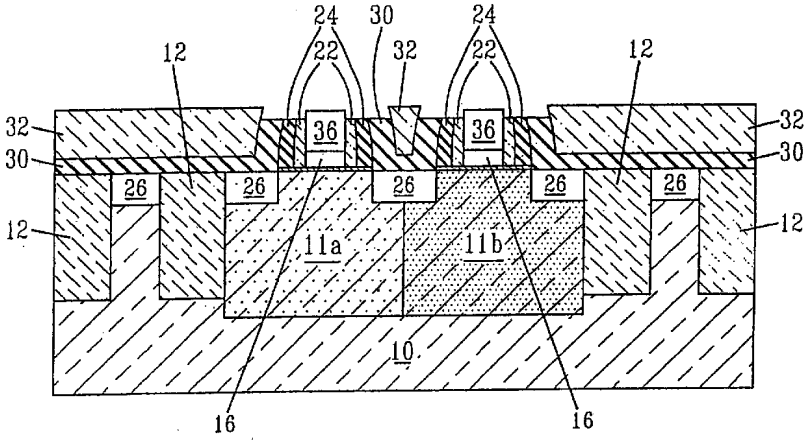
도면7


24
30
24
12
14
22
32
22
14
12
34
32
32
30
30
16
16
26
26
26
26
26
12
12
11a
11b
10

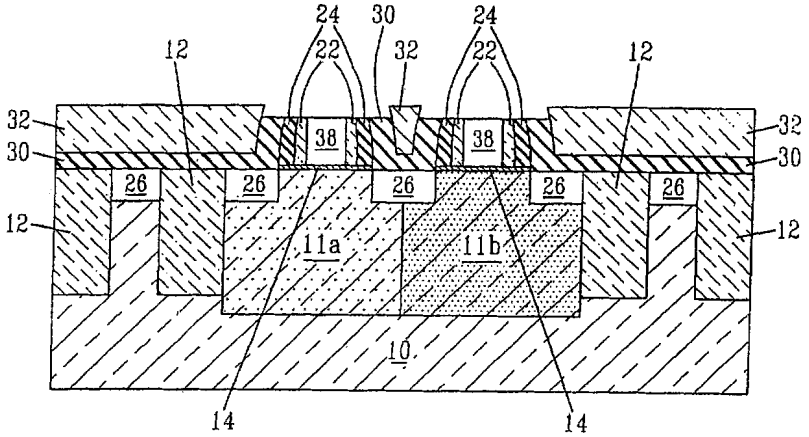
도면8


24
30
24
12
22
32
22
12
34
32
32
30
30
36
36
26
26
26
26
26
12
12
11a
11b
10
16
16

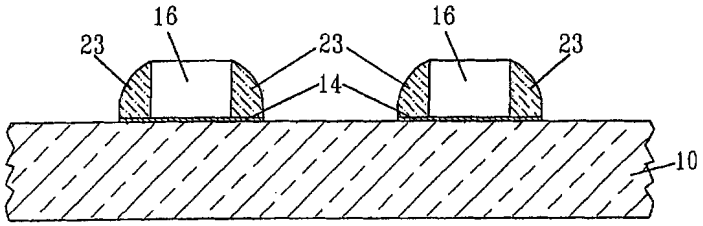
도면9



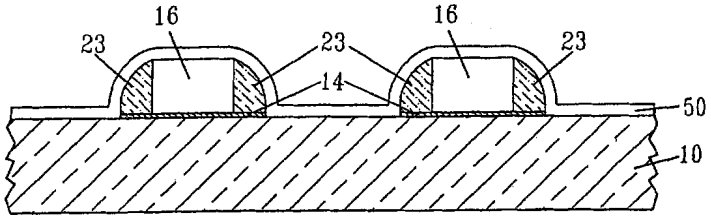
도면10



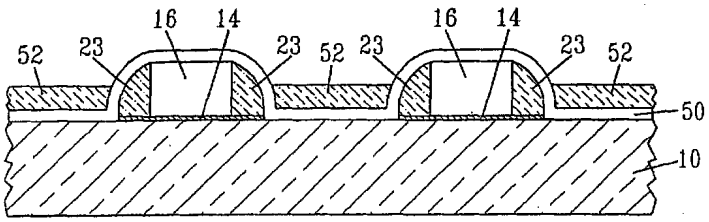
도면11a



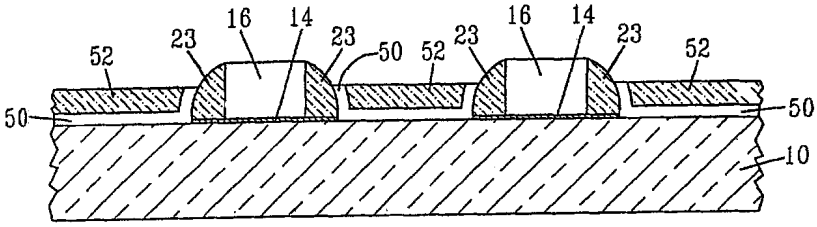
도면11b



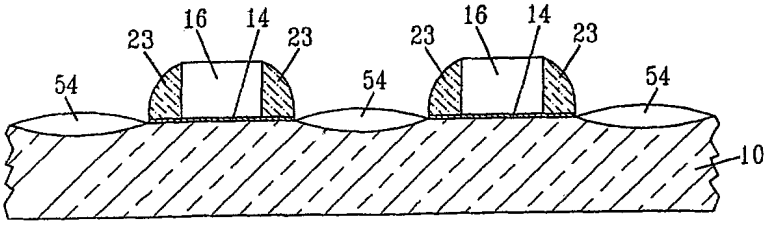
도면11c



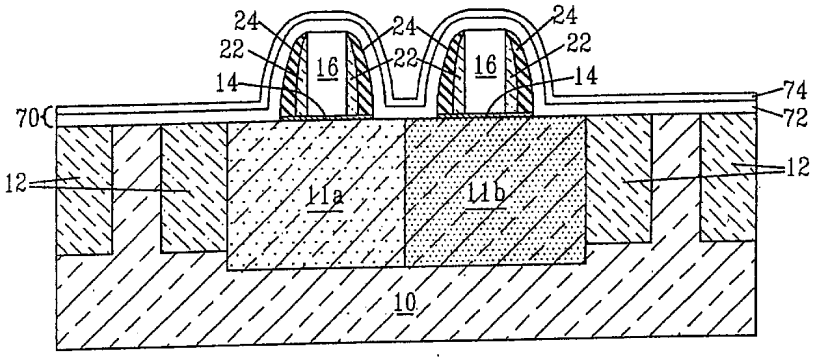
도면11d



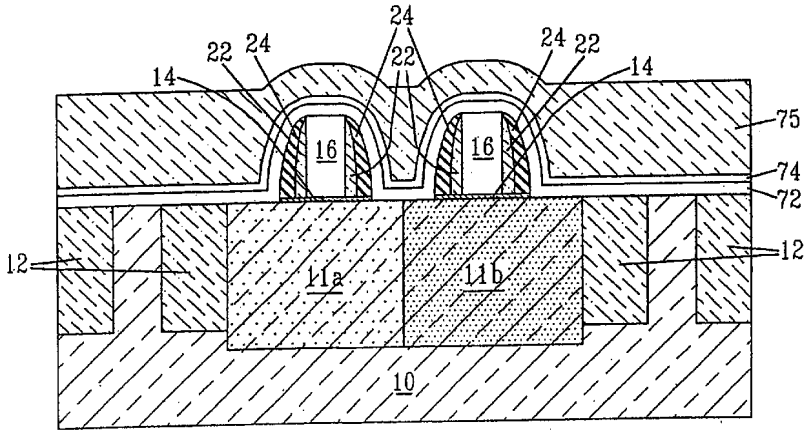
도면11e



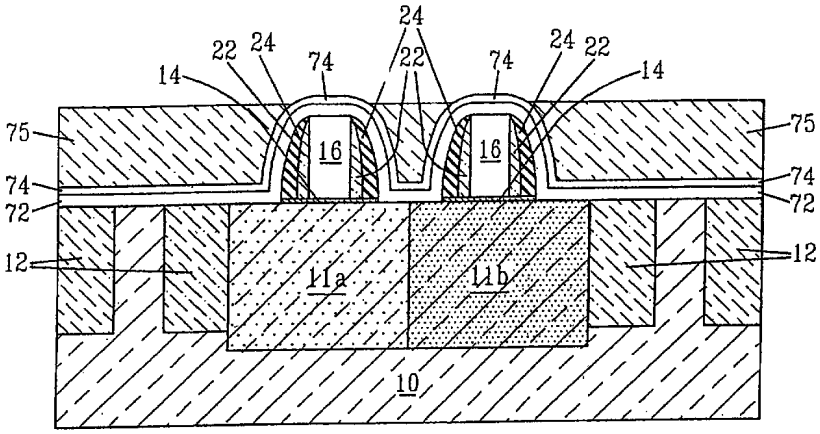
도면12a



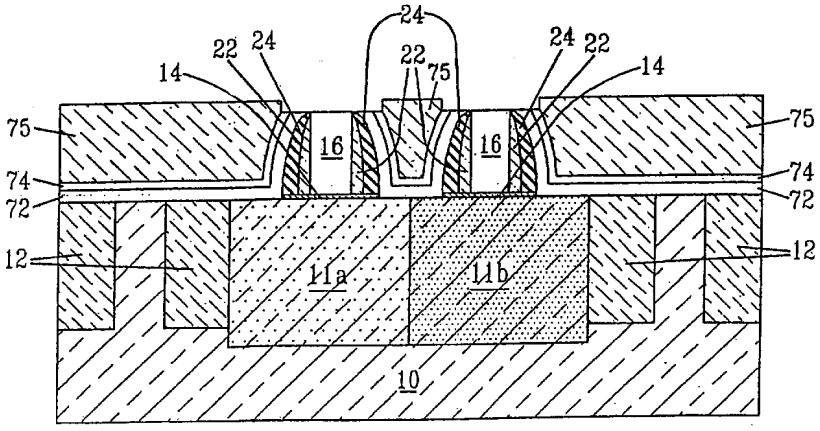
도면12b



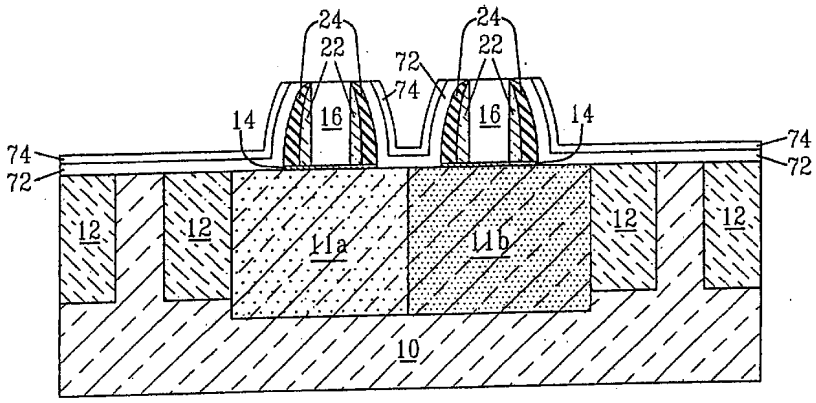
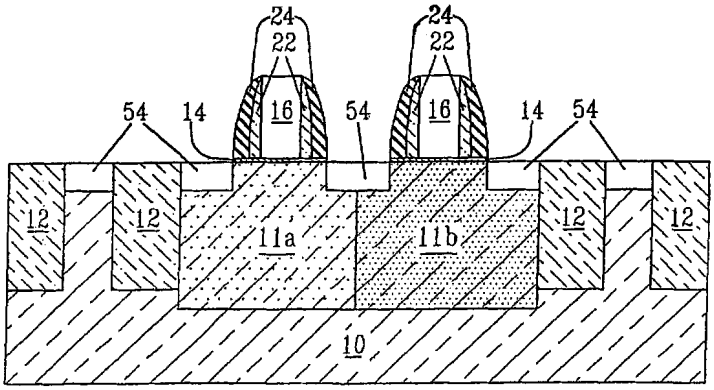
도면12c



도면12d



도면12e



도면12f