

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年12月9日 (09.12.2004)

PCT

(10) 国際公開番号
WO 2004/107078 A1

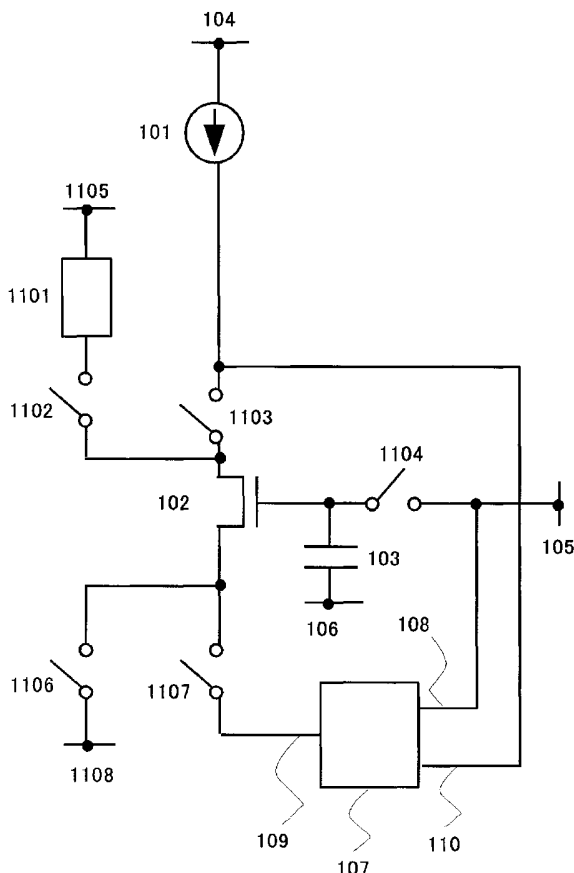
- (51) 国際特許分類: G05F 3/24
- (21) 国際出願番号: PCT/JP2004/005969
- (22) 国際出願日: 2004年5月6日 (06.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-136612 2003年5月14日 (14.05.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社
半導体エネルギー研究所 (SEMICONDUCTOR EN-
ERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036
神奈川県厚木市長谷398番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 木村 肇

- (KIMURA, Hajime) [JP/JP]; 〒2430036 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is disclosed wherein a transistor for supplying an electric current to a load (such as an EL pixel or a signal line) is capable of supplying a correct current without being affected by variations. The voltage at each terminal of the transistor is controlled by using a feedback circuit using an amplifier. A current (I_{data}) from a current source circuit is input to the transistor, and the voltage between the gate and the source which is necessary for the transistor to pass the current (I_{data}) is set by using the feedback circuit. The feedback circuit controls so that the transistor operates in the saturation region, and the gate voltage necessary to pass the current (I_{data}) is set accordingly. By using the transistor so set, a correct current can be supplied to a load (such as an EL pixel or a signal line). In this connection, since the amplifier is used when the necessary gate voltage is set, the setting can be done quickly.

(57) 要約: 負荷 (EL画素や信号線) に電流を供給するトランジスタにおいて、バラツキの影響を受けずに正確な電流を供給できる半導体装置を提供する。増幅回路を使ったフィードバック回路を用いて、トランジスタの各端子の電圧を調節する。電流源回路から電流 I_{data} をトランジスタに入力して、トランジスタが電流 I_{data} を流すのに必要なゲート・ソース間電圧を、フィードバック回路を用いて設定する。フィードバック回路は、トランジスタが飽和領域で動作するように制御する。すると、電流 I_{data} を流すのに必要なゲート電圧が設定される。そして、設定されたトランジスタを用いれば、正確な電流を負荷 (EL画素や信号線) に供給できる。なお、必要なゲート電圧を設定するとき、増幅回路を

用いるので、すばやく設定できる。

WO 2004/107078 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置

技術分野

[0001] 本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素を駆動する信号線駆動回路を含む半導体装置に関する。

背景技術

[0002] 近年、画素を発光ダイオード(LED)などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emitting Diode)、有機EL素子、エレクトロルミネッセンス(Electro Luminescence:EL)素子などとも言う)が注目を集めており、有機ELディスプレイなどに用いられるようになってきている。

[0003] OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。また発光素子の輝度は、そこを流れる電流値によって制御される。

[0004] このような自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが知られている。前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ(TFT)によって制御するアクティブマトリクス方式の開発が盛んに行われている。

[0005] このようなアクティブマトリクス方式の表示装置の場合、駆動TFTの電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題があった。

[0006] つまり、このようなアクティブマトリクス方式の表示装置の場合、画素回路には発光素子に流れる電流を駆動する駆動TFTが用いられており、これらの駆動TFTの特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動TFTの特性がばらついても発光素子に流

れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている。

特許文献1: 特許出願公表番号2002-517806号公報

特許文献2: 国際公開第 01/06484号パンフレット

特許文献3: 特許出願公表番号2002-514320号公報

特許文献4: 国際公開第 02/39420号パンフレット

[0007] 特許文献1乃至4は、いずれもアクティブマトリクス型表示装置の構成を開示したもので、特許文献1乃至3には、画素回路内に配置された駆動TFTの特性のバラツキによって発光素子に流れる電流が変化しないような回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる信号電流の変化を抑制するための回路構成が開示されている。

[0008] 図6に、特許文献1に開示されている従来のアクティブマトリクス型表示装置の第1の構成例を示す。図6の画素は、ソース信号線601、第1〜第3のゲート信号線602〜604、電流供給線605、TFT606〜609、容量素子610、EL素子611、映像信号入力用電流源612を有する。

[0009] TFT606のゲート電極は、第1のゲート信号線602に接続され、第1の電極はソース信号線601に接続され、第2の電極は、TFT607の第1の電極、TFT608の第1の電極、およびTFT609の第1の電極に接続されている。TFT607のゲート電極は、第2のゲート信号線603に接続され、第2の電極はTFT608のゲート電極に接続されている。TFT608の第2の電極は、電流供給線605に接続されている。TFT609のゲート電極は、第3のゲート信号線604に接続され、第2の電極はEL素子611の陽極に接続されている。容量素子610はTFT608のゲート電極と電流供給線605との間に接続され、TFT608のゲート・ソース間電圧を保持する。電流供給線605およびEL素子611の陰極には、それぞれ所定の電位が入力され、互いに電位差を有する。

[0010] 図7A〜7Eを用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図6に準ずる。図7A〜7Cは、電流の流れを模式的に

示している。図7Dは、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図7Eは、同じく信号電流の書き込み時に、容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧について示している。

- [0011] まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がONする。このとき、ソース信号線601を流れる電流、すなわち信号電流を I_{data} とする。
- [0012] ソース信号線601には、電流 I_{data} が流れているので、図7Aに示すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図7Dに示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。
- [0013] TFT606がONした瞬間には、まだ容量素子610には電荷が保持されていないため、TFT608はOFFしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、容量素子610における電荷の蓄積による電流のみが流れている。
- [0014] その後、徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める(図7E)。両電極の電位差が V_{th} となると(図7E A点)、TFT608がONして、 I_2 が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れており、さらに容量素子には電荷の蓄積が行われる。
- [0015] 容量素子610においては、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧、つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧(V_{gs})になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図7E B点)と、電流 I_1 は流れなくなり、さらにTFT608はそのときの V_{gs} に見合った電流が流れ、 $I_{data} = I_2$ となる(図7B)。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線602および第2のゲート信号線603の選択が終了し、TFT606、607がOFFする。
- [0016] 続いて、発光動作に移る。第3のゲート信号線604にパルスが入力され、TFT609がONする。容量素子610には、先ほど書き込んだ V_{gs} が保持されているため、TFT608はONしており、電流供給線605から、 I_{data} の電流が流れる。これによりEL素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、 I_{data} は変わりなく流れる

ことが出来る。

[0017] このように、設定した電流を出力する動作を、出力動作と呼ぶことにする。以上に一例を示した、電流書き込み型画素のメリットとして、TFT608の特性等にばらつきがあった場合であっても、容量素子610には、電流I_{data}を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

[0018] 以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

特許文献5:特許出願公表番号2003-108069号公報

[0019] また、特許文献1乃至4とは異なる方式が、特許文献5に開示されている。その構成図を図44に示す。図44は、発光素子(EL)を駆動する電流を供給する供給トランジスタ(M5)から流れる電流(I_r)と同じ電流値の電流(I_s)を参照トランジスタ(M4)を介して駆動制御回路(2a)に導き、該電流(I_s)と参照トランジスタ(M4)のソース・ドレイン電圧情報(V_s)と供給トランジスタ(M5)のソース・ドレイン電圧情報(V_r、V_{drv})とに基づいて、電流(I_s)が所望の設定電流値(I_{drv})に近づくように且つ各ソース・ドレイン電圧情報(V_s、V_r)が等しくなるように制御することが可能な構成を有する電流供給回路(1)と駆動制御回路(2a)とを備えた発光素子の駆動回路である。

発明の開示

発明が解決しようとする課題

[0020] このように、従来の技術では、信号電流とTFTを駆動する電流、或いは信号電流と発光素子に発光時に流れる電流とが等しくなるように、または比例関係を保つように構成されている。

[0021] しかしながら、信号電流を駆動TFTや発光素子に供給するために用いられる配線の寄生容量は極めて大きいため、信号電流が小さい場合には配線の寄生容量を充電する時定数が大きくなり、信号書き込み速度が遅くなってしまうという問題点がある。すなわち、トランジスタに信号電流を供給しても、それを流すのに必要な電圧をゲ

ート端子に生じさせるまでの時間が長くなってしまい、信号の書き込み速度が遅くなってしまうことが問題となっている。

[0022] また、図44の構成の場合、トランジスタM7とトランジスタM9は、電流特性が揃っている必要がある。もし、ばらつけば、発光素子(EL)に流れる電流もばらついてしまう。同様に、トランジスタM8とトランジスタM11、トランジスタM10とトランジスタM12なども、電流特性が揃っている必要がある。このように、多くのトランジスタにおいて、電流特性が揃っている必要がある。もし揃っていなければ、発光素子(EL)に流れる電流もばらついてしまう。また、図44と図6とを見比べれば分かります。図44は、トランジスタ数が非常に多く、回路が複雑である。そのため、製造歩留まりが落ちて、コストが高くなってしまったり、回路のレイアウト面積が大きくなってしまったり、消費電力が高くなってしまったりする。

[0023] 本発明はこのような問題点に鑑み、あまり複雑な構成にしなくても、トランジスタの特性バラツキの影響を低減し、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

課題を解決するための手段

[0024] 本発明は、負荷に電流を供給するトランジスタにかかる電位を増幅回路を用いて制御するものであり、帰還回路を形成することによってトランジスタのソースもしくはドレインにかかる電位を安定化させることにより上記目的を達成するものである。

[0025] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記電流源回路から前記トランジスタに電流が供給されたとき、前記トランジスタが飽和領域で動作するように前記トランジスタのソースまたはドレインの電位を制御する増幅回路が備えられていることを特徴とするものである。

[0026] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのソースまたはドレインの電位を安定化させる増幅回路が備えられていることを特徴とするものである。

[0027] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体

装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのソースまたはドレインの電位を安定化させる帰還回路が備えられていることを特徴とするものである。

[0028] 本発明は、負荷に供給する電流を制御するトランジスタと、オペアンプを具備する半導体装置であって、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの反転入力端子が接続され、前記オペアンプの非反転入力端子は、前記トランジスタのゲート端子側と接続され、前記オペアンプの出力端子は、前記トランジスタのソース端子側と接続されていることを特徴とするものである。

[0029] 本発明は、負荷に供給する電流を制御するトランジスタと、オペアンプを具備する半導体装置であって、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの反転入力端子が接続され、前記オペアンプの非反転入力端子は、前記トランジスタのゲート端子側と接続され、前記オペアンプの出力端子は、前記トランジスタの前記ドレイン端子側と接続されていることを特徴とするものである。

[0030] 本発明は、負荷に供給する電流を制御するトランジスタと、電圧フォロワ回路を具備する半導体装置であって、電流源回路に接続する前記トランジスタのゲート端子側に前記電圧フォロワ回路入力端子が接続され、前記電圧フォロワ回路の出力端子は、前記トランジスタのドレイン端子側と接続されていることを特徴とするものである。この発明の構成において、電圧フォロワ回路がソースフォロワ回路で構成されていても良い。

[0031] 本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することが出来る。

[0032] なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、間に、別の素子やスイッチなどが配置されていてもよい。

発明の効果

[0033] 本発明では、増幅回路を用いて帰還回路を形成し、その回路によって、トランジスタを制御する。そして、そのトランジスタがバラツキの影響を受けずに均一な電流を出力できるようになる。そのような設定を行う場合、増幅回路を用いて行うため、すばやく、設定動作を行うことが出来る。そのため、出力動作において、正確な電流を出力することが出来る。また、増幅回路は、電流特性がばらついても、正確に設定動作を行うことができる。そのため、TFTのような、電流特性のバラツキの大きなトランジスタを用いて、増幅回路を構成することが容易になる。

図面の簡単な説明

- [0034] [図1]図1は、本発明の半導体装置の構成を説明する図である。
[図2]図2は、本発明の半導体装置の構成を説明する図である。
[図3]図3は、本発明の半導体装置の構成を説明する図である。
[図4]図4は、本発明の半導体装置の構成を説明する図である。
[図5]図5は、本発明の半導体装置の構成を説明する図である。
[図6]図6は、従来の画素の構成を説明する図である。
[図7]図7A～7Eは、従来の画素の動作を説明する図である。
[図8]図8は、本発明の半導体装置の構成を説明する図である。
[図9]図9は、本発明の半導体装置の構成を説明する図である。
[図10]図10は、本発明の半導体装置の構成を説明する図である。
[図11]図11は、本発明の半導体装置の構成を説明する図である。
[図12]図12は、本発明の半導体装置の動作を説明する図である。
[図13]図13は、本発明の半導体装置の動作を説明する図である。
[図14]図14は、本発明の半導体装置の動作を説明する図である。
[図15]図15は、本発明の半導体装置の動作を説明する図である。
[図16]図16は、本発明の半導体装置の動作を説明する図である。
[図17]図17は、本発明の半導体装置の動作を説明する図である。
[図18]図18は、本発明の半導体装置の構成を説明する図である。
[図19]図19は、本発明の半導体装置の構成を説明する図である。
[図20]図20は、本発明の半導体装置の動作を説明する図である。

- [図21]図21は、本発明の半導体装置の動作を説明する図である。
- [図22]図22は、本発明の半導体装置の動作を説明する図である。
- [図23]図23は、本発明の半導体装置の構成を説明する図である。
- [図24]図24は、本発明の半導体装置の構成を説明する図である。
- [図25]図25は、本発明の半導体装置の構成を説明する図である。
- [図26]図26は、本発明の半導体装置の構成を説明する図である。
- [図27]図27は、本発明の半導体装置の動作を説明する図である。
- [図28]図28は、本発明の半導体装置の動作を説明する図である。
- [図29]図29は、本発明の半導体装置の構成を説明する図である。
- [図30]図30は、本発明の半導体装置の構成を説明する図である。
- [図31]図31は、本発明の半導体装置の構成を説明する図である。
- [図32]図32は、本発明の半導体装置の構成を説明する図である。
- [図33]図33は、本発明の半導体装置の構成を説明する図である。
- [図34]図34は、本発明の半導体装置の構成を説明する図である。
- [図35]図35は、本発明の半導体装置の構成を説明する図である。
- [図36]図36は、本発明の半導体装置の構成を説明する図である。
- [図37]図37は、本発明の半導体装置の構成を説明する図である。
- [図38]図38は、本発明の表示装置の構成を示す図である。
- [図39]図39は、本発明の表示装置の構成を示す図である。
- [図40]図40は、本発明の表示装置の動作を示す図である。
- [図41]図41は、本発明の表示装置の動作を示す図である。
- [図42]図42は、本発明の表示装置の動作を示す図である。
- [図43]図43A～43Hは、本発明が適用される電子機器の図である。
- [図44]図44は、従来の画素の構成を説明する図である。

発明を実施するための最良の形態

- [0035] 以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易

に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

[0036] (実施の形態1)

本発明は、発光素子に流れる電流値によって発光輝度を制御することが可能な素子で画素を形成する。代表的にはEL素子を適用することができる。EL素子の構成としては種々知られたものがあるが、電流値により発光輝度を制御可能なものであれば、どのような素子構造であっても本発明に適用することができる。すなわち、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL素子を形成するものであり、そのための材料として、低分子系有機材料、中分子系有機材料(昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 μ m以下の有機発光材料)や高分子系有機材料を用いることができる。また、これらに無機材料を混合または分散させたものを用いても良い。

[0037] また、EL素子などのような発光素子を有する画素だけでなく、電流源を有する様々なアナログ回路に適用することが出来る。そこでまず、本実施の形態では、本発明の原理について述べる。

[0038] まず、図1に、本発明の基本原理に基づく構成について示す。配線104に、電流源回路101と電流源トランジスタ102が接続されている。図1では、電流源回路101から電流源トランジスタ102の方へ電流が流れる場合について示している。そして、増幅回路107の第1入力端子108が電流源トランジスタ102のゲート端子に接続されている。また、増幅回路107の第2入力端子110が電流源トランジスタ102のドレイン端子に接続されている。増幅回路107の出力端子109は、電流源トランジスタ102のソース端子に接続されている。また、配線105に、電流源トランジスタ102のゲート端子が接続されている。

[0039] 容量素子103が、電流源トランジスタ102のゲート電圧を保持するために、電流源トランジスタ102のゲート端子と配線106に接続されている。なお、容量素子103は、電流源トランジスタ102のゲート容量などで代用することにより、省略することが出来る。

[0040] このような構成において、電流源回路101から電流I_{data}を供給し、入力する。電流I_{data}は、電流源トランジスタ102に流れる。増幅回路107は、電流源回路101から供給す

る電流 I_{data} が電流源トランジスタ102に流れ、かつ、電流源トランジスタ102が飽和領域で動作するような状態で、定常状態になるように状態に制御する。すると、電流源トランジスタ102のソース電位は、電流源トランジスタ102が電流 I_{data} を流すのに必要な値に制御される。つまり、電流源トランジスタ102が電流 I_{data} を流すのに必要なゲート・ソース間電圧になるように、電流源トランジスタ102のソース電位が制御される。このとき、電流源トランジスタ102のソース電位は、電流源トランジスタ102の電流特性(移動度やしきい値電圧など)やサイズ(ゲート幅 W やゲート長 L)に依存せずに、適切な大きさになる。したがって、電流源トランジスタ102の電流特性やサイズがばらついて、電流源トランジスタ102は、電流 I_{data} を流すことが出来るようになる。その結果、その電流源トランジスタ102は、電流源として動作させることができ、さまざまな負荷(別の電流源トランジスタや画素や信号線駆動回路など)に電流を供給することが可能となる。

[0041] そして、増幅回路107は、出力インピーダンスが高くない。したがって、大きな電流を出力することが出来る。よって、電流源トランジスタ102のソース端子を素早く充電することが出来る。つまり、電流 I_{data} の書き込み速度が速くなり、素早く書き込みを完了させることができ、定常状態に達するまでの時間が短くてすむようになる。

[0042] 次に、増幅回路107の動作について述べる。増幅回路107は、第1入力端子108と第2入力端子110の電圧を検知して、その入力電圧を増幅させて、出力端子109に出力する機能を有している。そして、図1では、第2入力端子110と出力端子109とが、電流源トランジスタ102のソース・ドレイン間を介して、接続されている。つまり、帰還回路が形成されている。帰還回路になっているため、出力端子109や第1入力端子108(電流源トランジスタ102のゲート端子)の電圧によって、第2入力端子110の電圧も変わる。第2入力端子110の電圧が変われば、出力端子109の電圧も変わる。そのような帰還動作を経て、各入力端子の状態が安定するような電圧が、出力されるようになる。

[0043] 図1では、電流源トランジスタ102のゲート端子は、第1入力端子108に接続され、電流源トランジスタ102のソース端子は、出力端子109に接続され、電流源トランジスタ102のドレイン端子は、第2入力端子110に接続されている。よって、電流源トランジスタ102のドレイン端子とゲート端子の間の電圧が安定するような電圧が、増幅回路107に

よって電流源トランジスタ102のソース端子に出力されるようになる。このとき、電流源トランジスタ102には、電流源回路101から電流 I_{data} が供給されている。したがって、電流源トランジスタ102が電流 I_{data} を流すのに必要な電圧が、電流源回路101から電流源トランジスタ102のソース端子へ出力されるようになる。つまり、電流源トランジスタ102が電流 I_{data} を流すのに必要なゲート・ソース間電圧になるような電圧が、電流源トランジスタ102のソース端子へ出力されるようになる。

[0044] なお、一般に、トランジスタ(ここでは簡単のため、NMOS型トランジスタであるとする)の動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレイン・ソース間電圧を V_{ds} 、ゲート・ソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs}-V_{th})=V_{ds}$ の時になる。 $(V_{gs}-V_{th})>V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。一方、 $(V_{gs}-V_{th})<V_{ds}$ の場合は飽和領域になり、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。

[0045] 以上のことから、電流源トランジスタ102が飽和領域で動作するように、増幅回路107が電流源トランジスタ102を制御すればよい。そうすると、電流源トランジスタ102のゲート・ソース間電圧は、電流 I_{data} を流すのに必要な電圧に設定されるようになる。電流源トランジスタ102が飽和領域で動作するためには、 $(V_{gs}-V_{th})<V_{ds}$ を満たせばよい。通常、Nチャネル型トランジスタでは、 $V_{th}>0$ であるため、少なくとも、電流源トランジスタ102のドレイン端子の電位は、ゲート端子の電位と等しいか、それ以上になっていけばよい。このような動作を実現するように、増幅回路107が電流源トランジスタ102を制御することになる。

[0046] 以上のように、増幅回路107を有する帰還回路を用いることにより、電流源トランジスタ102が、電流源回路101から供給される電流と同じ大きさの電流を流すことが出来るように、ゲート・ソース間電圧を設定することが出来る。この時、増幅回路107を用いているため、設定をすばやく完了させることが出来、短い時間で書き込みが終了する。そして、設定された電流源トランジスタ102は、電流源回路として動作させることが出来、さまざまな負荷に電流を供給できる。

[0047] なお、図1では、電流源回路101から電流源トランジスタ102の方へ電流が流れる場

合について示しているが、これに限定されない。図2では、電流源トランジスタ202から電流源回路201の方へ電流が流れる場合について示している。このように、電流源トランジスタ202の極性を変更することによって、回路の接続関係を変更せずに、電流の向きを変えることが出来る。ここで、203は容量素子、204～206は配線、207は増幅回路、208は第1入力端子、209は出力端子、210は第2入力端子を示す。

[0048] なお、図1では、電流源回路101はNチャンネル型トランジスタを用いているが、これに限定されない。Pチャンネル型トランジスタを用いてもよい。ただし、電流の流れる向きを変更せずにトランジスタの極性を変更すると、ソース端子とドレイン端子とが入れ替わる。そのため、回路の接続関係を変更する必要がある。その場合の構成を図3に示す。配線104に、電流源回路101と電流源トランジスタ302が接続されている。図3では、電流源回路101から電流源トランジスタ302の方へ電流が流れる場合について示しているが、図2の場合と同様に、電流の向きを変更することは可能である。そして、増幅回路107の第1入力端子108が電流源トランジスタ302のゲート端子に接続されている。また、増幅回路107の第2入力端子110が電流源トランジスタ302のドレイン端子に接続されている。増幅回路107の出力端子109は、電流源トランジスタ302のドレイン端子に接続されている。

[0049] よって、電流源トランジスタ302のドレイン端子とゲート端子の電圧が安定するような電圧が、増幅回路107によって電流源トランジスタ302のドレイン端子に出力されるようになる。このとき、電流源トランジスタ302には、電流源回路101から電流 I_{data} が供給されている。したがって、電流源トランジスタ302が電流 I_{data} を流すのに必要な電圧(別の言い方をすれば、電流源トランジスタ302が飽和領域で動作するのに必要な電圧)が、電流源回路101から電流源トランジスタ302のドレイン端子へ出力されるようになる。そして、電流源トランジスタ302のソース電位は、電流源トランジスタ302が電流 I_{data} を流すのに必要なゲート・ソース間電圧になるように、落ち着く。

[0050] なお、図1において、容量素子103は、電流源トランジスタ102のゲート電位を保持できればよい。配線106の電位は、任意でよい。よって、配線105と配線106の電位は、同じであってもよいし、異なってもよい。ただし、電流源トランジスタ102の電流値はそのゲート・ソース間電圧によって決定される。したがって、容量素子103は、

電流源トランジスタ102のゲート・ソース間電圧を保持することが、より望ましい。したがって、配線106は、電流源トランジスタ102のソース端子に接続されていることが望ましい。その結果、配線抵抗の影響などを少なくすることが出来る。

[0051] 同様に、図2において、配線206は、電流源トランジスタ202のソース端子に接続されていることが望ましい。また、図3において、配線106は、電流源トランジスタ302のソース端子に接続されていることが望ましい。

[0052] (実施の形態2)

実施の形態2では、図1～図3において用いた増幅回路の例を示す。まず、増幅回路の例として、オペアンプがあげられる。そこで、増幅回路として、オペアンプを用いた場合について、図1に対応した構成図を図4に示す。増幅回路107の第1入力端子108がオペアンプ407の非反転(正相)入力端子、第2入力端子110が反転入力端子に相当している。

[0053] オペアンプでは、通常、非反転(正相)入力端子の電位と反転入力端子の電位とは、等しくなるように動作する。したがって、図4の場合は、電流源トランジスタ102のゲート電位とドレイン電位とが等しくなるように、電流源トランジスタ102のソース電位が制御される。したがって、 $V_{gs}=V_{ds}$ であるので、 $V_{th}>0$ の場合は、電流源トランジスタ102は飽和領域で動作することになる。

[0054] 図4と同様に、図2に対応した構成図を図5に、図3に対応した構成図を図8に示す。ここで、507はオペアンプを示す。

[0055] 図8の場合も、電流源トランジスタ302のゲート電位とドレイン電位とが等しくなるように、電流源トランジスタ302のドレイン電位が制御される。したがって、ゲート電位とドレイン電位とが等しいので、 $V_{gs}=V_{ds}$ となり、 $V_{th}>0$ の場合は、電流源トランジスタ302は飽和領域で動作することになる。

[0056] なお、図4、図5、図8で用いたオペアンプとしては、どのようなタイプのオペアンプでもよい。電圧帰還型オペアンプでもよいし、電流帰還型オペアンプでもよい。位相補償回路のようなさまざまな補正回路を付加したオペアンプでもよい。

[0057] なお、オペアンプは、通常、非反転(正相)入力端子の電位と反転入力端子の電位とは、等しくなるように動作するが、特性バラツキなどにより、非反転(正相)入力端子

の電位と反転入力端子の電位とは、等しくならない場合がある。つまり、オフセット電圧が生じる場合がある。その場合は、通常のオペアンプと同様に、非反転(正相)入力端子の電位と反転入力端子の電位が等しくなるように調節して動作させてもよい。しかし、本発明の場合、電流源トランジスタ102が飽和領域で動作するように制御すればよい。したがって、電流源トランジスタ102が飽和領域で動作する範囲内であれば、オペアンプにオフセット電圧が生じていても良いし、オフセット電圧がばらついても、影響は与えない。そのため、電流特性のバラツキが大きいようなトランジスタを用いてオペアンプを構成しても、正常に動作することになる。

[0058] ここで、図8の回路の接続関係に着目すると、オペアンプの第2入力端子110(反転入力端子)が出力端子109に接続されていることが分かる。これは通常、電圧フォロワ回路と呼ばれる回路構成である。つまり、第1入力端子108(非反転(正相)入力端子)の電圧を出力端子に出力する動作を行い、入出力インピーダンスを変換している。したがって、図8のように接続されたオペアンプだけでなく、電圧フォロワ回路と同様な機能を有する回路であれば、図3において用いた増幅回路107として利用できることが分かる。

[0059] 入出力インピーダンスを変換している回路としては、ソースフォロワ回路があげられる。ただし、通常のソースフォロワ回路は、入力電位と出力電位とは、等しくない。しかし、図3において用いた増幅回路107では、入力電位と出力電位とは、等しくなくてもよい。つまり、電流源トランジスタ302が飽和領域で動作するように制御できる回路であればよい。そこで、増幅回路107としてソースフォロワ回路907を用いた場合の構成を図9に示す。入力端子908(増幅用トランジスタ901のゲート端子)、つまり、電流源トランジスタ302のゲート端子の電位が変化すれば、出力端子109(増幅用トランジスタ901のソース端子)、つまり、電流源トランジスタ302のドレイン端子の電位が変化する。電流源トランジスタ102のドレイン端子の電位が変化すると、電流源トランジスタ302のソース端子の電位が変化する。

[0060] 図9の場合は、増幅用トランジスタ901として、Nチャンネル型トランジスタを用いている。したがって、入力端子908(増幅用トランジスタ901のゲート端子)の電位よりも、出力端子109(増幅用トランジスタ901のソース端子)の電位の方が、増幅用トランジスタ

901のゲート・ソース間電圧の分だけ低い。したがって、電流源トランジスタ302は飽和領域で動作することになる。以上のことから、ソースフォロワ回路907を図3増幅回路107として利用する場合は、電流源トランジスタ302が飽和領域で動作しやすいような構成(図9の場合は、増幅用トランジスタ901がNチャネル型トランジスタ)にすることが望ましい。ただし、正常に動作する範囲であれば、図9でも増幅用トランジスタ901をPチャネル型にしてもよい。図9に対して、電流の流れる向きを逆にした場合の構成図を図10に示す。図10から分かるように、各トランジスタの極性を逆にすればよい。

[0061] なお、図9、図10では、バイアス用トランジスタ902、1002を用いて、そのゲート端子903、1003にバイアス電圧を加えて動作させているが、これに限定されない。バイアス用トランジスタ902、1002の代わりに抵抗素子などを用いても良い。あるいは、増幅用トランジスタ901、1001とは逆の極性のトランジスタを用いて、プッシュプル回路を構成してもよい。

[0062] なお、ソースフォロワ回路907、1007の場合も、オペアンプの場合と同様、電流源トランジスタ302、10002が飽和領域で動作する範囲内であれば、出力電圧がばらついていても、影響は与えない。そのため、電流特性のバラツキが大きいようなトランジスタを用いてソースフォロワ回路907、1007を構成しても、正常に動作することになる。

[0063] このように、電流源トランジスタが飽和領域で動作する範囲内であれば、増幅回路の出力電圧がばらついていても、影響は与えない。したがって、電圧フォロワ回路やソースフォロワ回路などにおいても、入力電圧と出力電圧とが、比例関係になっていなくてもよい。つまり、電流源トランジスタが飽和領域で動作するように制御できれば、どのような回路であってもよい。

[0064] このように、図1～図5、図8～10において用いた増幅回路107、207、オペアンプ407、507、ソースフォロワ回路907、1007は、電流源トランジスタ102、202、302、1002が飽和領域で動作する範囲内であれば、特性がばらついていても、影響は与えない。そのため、電流特性のバラツキが大きいようなトランジスタを用いて増幅回路107、207、オペアンプ407、507、ソースフォロワ回路907、1007を構成しても、正常に動作させることができる。

[0065] したがって、活性層が単結晶で形成されたトランジスタではなく、薄膜トランジスタ(

アモルファス、多結晶を活性層として用いたトランジスタを含む)や有機トランジスタのようなものであっても、有効に動作させることが出来る。

[0066] なお、増幅回路107、207の例として、オペアンプやソースフォロワ回路を用いた例を示したが、これに限定されない。これ以外にも、差動回路やドレイン接地増幅回路やソース接地増幅回路など、さまざまな回路を用いて、増幅回路を構成することが出来る。

[0067] なお、本実施の形態で説明した内容は、実施の形態1で説明した構成における、ある部分を詳細に述べたものに相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

[0068] (実施の形態3)

本発明では、電流源回路から電流 I_{data} を流して、電流源トランジスタが電流 I_{data} を流すことが出来るように設定する。そして、設定された電流源トランジスタを電流源回路として動作させ、様々な負荷に電流を供給する。そこで、本実施例では、負荷と電流源トランジスタとの接続構成や、負荷に電流を供給する時のトランジスタの構成などについて述べる。

[0069] なお、本実施の形態では、簡単のため、図1の構成や、さらに特に、増幅回路107、207としてオペアンプ407を用いた構成(図4)などを用いて説明するが、これに限定されない。容易に、図2～5、図8～10などで説明したような別の構成に適用することが可能である。

[0070] また、電流源回路から電流源トランジスタの方に電流が流れて、かつ、電流源トランジスタがNチャネル型の場合について説明するが、これに限定されない。容易に、図2～5、図8～10などで説明したような別の構成に適用することが可能である。

[0071] まず、電流源回路101から電流を供給された電流源トランジスタ102のみを用いて、負荷1101に電流を供給する場合の構成を図11に示す。

[0072] なお、負荷は、何でもよい。抵抗などのような素子でも、トランジスタでも、EL素子でも、そのほかの発光素子でも、トランジスタと容量とスイッチなどで構成された電流源回路でも、何かの回路が接続された配線でもよい。信号線でも、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子など、どのような

表示素子を含んでいてもよい。

[0073] 図11の動作方法について、増幅回路107としてオペアンプを用いた場合を例にして、述べる。まず、図12に示すように、スイッチ1103、1104、1107をオンにする。すると、オペアンプ407が電流源トランジスタ102のソース電位を制御して、電流源回路101から供給される電流 I_{data} を、飽和領域で動作させながら流すのに必要な状態に設定する。このとき、オペアンプ407を用いているので、急速に書き込みを行うことが出来る。そして、図13に示すように、スイッチ1104をオフにすると、電流源トランジスタ102のゲート電位が容量素子103に保持される。そして、図14に示すように、スイッチ1103、1107をオフにすると、電流の供給が止まる。そして、図15に示すように、スイッチ1102、1106をオンにすると、負荷1101に電流が供給される。この電流の大きさは、電流源トランジスタ102が飽和領域で動作していれば、 I_{data} と同じ大きさになる。つまり、電流源トランジスタ102の電流特性やサイズなどがばらついても、その影響を除去することが出来る。

[0074] なお、配線106に、ある電位が加えられている場合、電流を書き込んで設定している時(図12)と、電流を出力している時(図15)とでは、電流源トランジスタ102のソース電位が変わってしまう場合がある。その場合、電流源トランジスタ102のゲート・ソース間電圧も変わってしまう場合がある。ゲート・ソース間電圧が変わってしまうと、電流値も変わってしまう。そこで、電流を書き込んで設定している時(図12)と、電流を出力している時(図15)とで、ゲート・ソース間電圧が変わらないようにする必要がある。それを実現するためには、例えば、配線106を電流源トランジスタ102のソース端子に接続しておけばよい。そのようにすると、たとえ、電流源トランジスタ102のソース電位が変わってしまっても、それに合わせてゲート電位も変わるため、結果として、ゲート・ソース間電圧が変わらないようにすることが出来る。

[0075] あるいは、配線1108の電位を、電流を書き込んで設定している時のオペアンプ407の出力電位と等しくなるように制御すればよい。例えば、配線1108に電圧フォロウ回路などを接続し、配線1108の電位を制御すればよい。

[0076] または、図16、17に示すように、第2入力端子110と配線1606との間に容量素子1603を配置し、スイッチ1604で電荷を保持させることにより、電流を書き込んで設定

している時(図16)だけでなく、電流を出力している時(図17)も、オペアンプ407から電流を供給してもよい。

[0077] なお、図11の回路には、様々な配線(配線105、配線1108、配線1105など)があるが、正常に動作する範囲であれば、配線どうしを接続してもよい。たとえば、配線105と配線1108は、同程度の電位で動作するため、配線を接続して、回路構成を簡単にしたり、レイアウト面積を小さくすることが出来る。また、配線1105と配線104も接続しても、動作に大きな影響を与えない。したがって、接続してもよい。

[0078] 次に、電流源トランジスタとは別のトランジスタを用いて、負荷1101に電流を供給する場合の構成図を図18に示す。カレントトランジスタ1802のゲート端子が電流源トランジスタ102のゲート端子と接続されている。したがって、電流源トランジスタ102のゲート電位に応じた大きさの電流を、カレントトランジスタ1802は流すことができ、さらに電流源トランジスタ102とカレントトランジスタ1802のW/Lの値を調節することにより、負荷1101に供給する電流量を買えることが出来る。たとえば、カレントトランジスタ1802のW/Lの値を小さくしておくと、負荷1101に供給する電流量が小さくなるので、逆にI_{data}の大きさを大きくすることが出来る。その結果、電流の書き込みを素早くすることが可能となる。ただし、電流源トランジスタ102とカレントトランジスタ1802の電流特性がばらつくと、その影響を受けてしまう。

[0079] なお、電流を書き込んで設定している時と、電流を出力している時とで、電流源トランジスタ102とカレントトランジスタ1802のゲート・ソース間電圧が変わらないようにするため、図19のようにスイッチ1906と配線1908を接続してもよい。図19の場合の動作を、図20、21に示す。図20は、電流を書き込んで設定している時の動作を示し、図21は、電流を出力している時の動作を示す。なお、スイッチ1902は、電流を書き込んで設定している時に、余計な電流が流れて、正しく設定できなくなることを防止する役割を持っている。よって、電流を書き込んで設定している時に、図22に示すように電流が流れ、設定が正しく行える場合は、図22のように、スイッチ1902を省略してもよい。

[0080] なお、正常に動作する範囲であれば、配線同士を接続してもよい。図19や図22では、配線105と配線1908とを接続してもよい。

[0081] 次に、電流源トランジスタ102だけでなく、別のトランジスタも用いて、負荷1101に電流を供給する場合の構成図を図23に示す。電流源回路101の電流 I_{data} を供給する時に、その電流が負荷1101に漏れたり、負荷1101から漏れてきたりすると、正しい電流で設定することが出来ない。図11の場合は、スイッチ1102を用いて制御するが、図23の場合は、マルチトランジスタ2302を用いて制御する。マルチトランジスタ2302のゲート端子は電流源トランジスタ102のゲート端子と接続されている。したがって、スイッチ1103、1104がオンになっていて、電流源トランジスタ102が飽和領域で動作している場合は、マルチトランジスタ2302はオフしている。したがって、電流源回路101の電流 I_{data} を供給する時には、悪影響を及ぼさない。一方、負荷1101に電流を供給するときは、電流源トランジスタ102とマルチトランジスタ2302とは、ゲート端子が接続されているので、マルチゲートのトランジスタとして動作する。そのため、負荷1101には、 I_{data} よりも小さい電流が流れることになる。よって、負荷に供給する電流量が小さくなるので、逆に I_{data} の大きさを大きくすることが出来る。その結果、電流の書き込みを素早くすることが可能となる。ただし、電流源トランジスタ102とマルチトランジスタ2302の電流特性がばらつくと、その影響を受けてしまうが、負荷1101に電流を供給するとき、電流源トランジスタ102も用いるため、バラツキの影響は小さい。

[0082] 次に、図18や図23とは別のやり方で、電流源回路101から供給される電流 I_{data} を大きくするための構成を図24に示す。図24では、電流源トランジスタ102と並列に並列トランジスタ2402が接続されている。したがって、電流源回路101から電流が供給される間は、スイッチ2401をオンにする。そして、負荷1101に電流を供給する場合は、スイッチ2401をオフにする。すると、負荷1101に流れる電流が小さくなるので、電流源回路101から供給される電流 I_{data} を大きくすることが出来る。

[0083] ただしこの場合、電流源トランジスタ102と並列トランジスタ2402の電流特性がばらつくとバラツキの影響を受けてしまう。そこで、図24の場合、電流源回路101から電流を供給する場合、その大きさを変化させてもよい。つまり、最初は電流を大きくしておく。そのとき、それに合わせて、スイッチ2401をオンにしておく。すると、並列トランジスタ2402にも電流が流れ、急速に電流を書き込むことが出来る。つまり、プリチャ

ージ動作に相当する。その後、電流源回路101から供給する電流を小さくして、スイッチ2401をオフにする。そして、電流源トランジスタ102にのみ電流を供給して、書き込むようにする。その結果、ばらつきの影響を除去できる。その後、スイッチ1102をオンにして、負荷1101に電流を供給する。

[0084] 図24では、電流源トランジスタ102と並列にトランジスタを追加していたが、直列にトランジスタを追加した場合の構成図を図25に示す。図25では、電流源トランジスタ102と直列に直列トランジスタ2502が接続されている。電流源回路101から電流が供給される間は、スイッチ2501をオンにする。すると、直列トランジスタ2502のソース・ドレイン間が短絡される。そして、負荷1101に電流を供給する場合は、スイッチ2501をオフにする。すると、電流源トランジスタ102と直列トランジスタ2502は、ゲート端子が接続されているので、マルチゲートのトランジスタとして動作する。そのため、ゲート長Lが大きくなったことになり、負荷1101に流れる電流が小さくなるので、電流源回路101から供給される電流 I_{data} を大きくすることが出来る。

[0085] ただしこの場合、電流源トランジスタ102と直列トランジスタ2502の電流特性がばらつくバラツキの影響を受けてしまう。そこで、図25の場合、電流源回路101から電流を供給する場合、その大きさを変化させてもよい。つまり、最初は電流を大きくしておく。そのとき、それに合わせて、スイッチ2501をオンにしておく。すると、電流源トランジスタ102のみに電流が流れ、急速に電流を書き込むことが出来る。つまり、プリチャージ動作に相当する。その後、電流源回路101から供給する電流を小さくして、スイッチ2501をオフにする。そして、電流源トランジスタ102と直列トランジスタ2502に電流を供給して、書き込むようにする。その結果、ばらつきの影響を除去できる。その後、スイッチ1102をオンにして、電流源トランジスタ102と直列トランジスタ2502のマルチゲートのトランジスタとして、負荷1101に電流を供給する。

[0086] なお、図11から図25まで、さまざまな構成を示したが、それらを組み合わせて構成させることも可能である。

[0087] なお、図11から図25まで、電流源回路101と負荷1101とを切り替えるような形で構成しているが、これに限定されない。例えば、電流源回路101と配線とを切り替えて構成してもよい。そこで、図11に対して、電流源回路101と配線とを切り替える構

成にしたものを図26に示す。次に、図26の動作について示す。まず、電流源回路101から電流I_{data}を電流源トランジスタ102に供給して、電流を設定する場合は、スイッチ1103、1104、1107をオンにする。そして、電流源トランジスタ102を電流源回路として動作させ、負荷に電流を供給する場合は、スイッチ1103、1104、1107をオフにして、スイッチ2602、1102をオンにする。このように、スイッチ1103とスイッチ2602のオンオフを切り替えることにより、電流源回路101と配線2605とを切り替えていることになる。

[0088] なお、電流源回路101から電流I_{data}を電流源トランジスタ102に供給する場合、スイッチ1102をオフにして、負荷1101の方に電流が流れないようにしているが、これに限定されない。電流源回路101から電流I_{data}を電流源トランジスタ102に供給する場合、負荷1101の方に電流が流れても良い。その場合は、スイッチ1102を省略できる。

[0089] なお、容量素子103は、電流源トランジスタ102のゲート電位を保持しているが、ゲート・ソース間電圧を保持するために、配線106を電流源トランジスタ102のソース端子に接続することがより望ましい。

[0090] なお、図11に対して、電流源回路101と負荷1101とを切り替えるような形で構成した図を図26に示したが、これに限定されない。図11から図25までのさまざまな構成においても、電流源回路101と負荷1101とを切り替えるような形で構成することが可能である。

[0091] なお、これまで述べてきた構成において、スイッチが各部分に配置されているが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

[0092] 例えば、図11の構成の場合、電流源回路101から電流I_{data}を電流源トランジスタ102に供給している時には、図27のように接続され、電流源トランジスタ102を電流源回路として動作させ、負荷1101に電流を供給する時には、図28のように接続されていけばよい。したがって、図11は、図29のように接続されていてもよい。図29では、スイッチ1102、1103、1104の位置が変更されているが、正常に動作する。

[0093] 同様に、図19は、図30のように接続されていてもよい。図30では、スイッチ1104の

位置が変更されているが、正常に動作する。

[0094] なお、図11などに示すスイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{ss} 、 V_{gnd} 、 $0V$ など)に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源(V_{dd} など)に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

[0095] このように様々な例を示したが、これに限定されない。電流源トランジスタや、電流源として動作するような様々なトランジスタを、いろいろな構成で配置することが出来る。また、正常に動作する範囲であれば、配線どうしを接続してもよい。よって、同様な動作をする構成であれば、本願を適用することが可能である。

[0096] なお、本実施の形態で説明した内容は、実施の形態1、2で説明した構成を利用したもの相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。

[0097] (実施の形態4)

これまでは、電流源回路と電流源トランジスタとが1対1で配置されている場合について述べてきた。本実施の形態では、電流源トランジスタなどが複数ある場合の構成について述べる。

[0098] 図31に、図12の構成で、電流源トランジスタが複数ある場合の構成を示す。図31では、複数の電流源トランジスタ102a、102bに対して、電流源回路101とオープン

プ407を1つづつにした場合について示す。ただし、複数の電流源トランジスタに対して、複数の電流源回路があってもよいし、複数のオペアンプがあってもよい。しかし、回路規模が大きくなるので、電流源回路101とオペアンプ407を1つづつにすることが望ましい。ただし、図9の増幅回路(ソースフォロワ回路907)は、トランジスタ2個で構成されている場合が多いので、複数の電流源トランジスタに対して、複数の増幅回路(ソースフォロワ回路)を配置してもよい。

- [0099] 次に、図31の構成について述べる。まず、電流源回路101とオペアンプ407が配置されている。これをまとめて、リソース回路3101と呼ぶことにする。リソース回路3101には、電流源回路101と接続された電流線3102と、オペアンプ407の出力端子と接続された電圧線3103とが接続されている。電流線3102や電圧線3103には、複数のユニット回路3104a、3104bが接続されている。ユニット回路3104aは、電流源トランジスタ102a、容量素子103a、スイッチ1102a、1103a、1104a、1106a、1107aなどで構成されている。ユニット回路3104aは、配線1105aと接続された負荷1101aと接続されている。ユニット回路3104bも、ユニット回路3104aと同様に構成されている。ここでは、簡単のため、ユニット回路が2つ接続されている場合を示しているが、これに限定されない。任意の数だけユニット回路が接続されていてもよい。
- [0100] 動作としては、1本の電流線3102や電圧線3103に、複数のユニット回路が接続されているため、各々のユニット回路を選択して、順次、リソース回路3101から電流線3102や電圧線3103を通過して、電流や電圧を供給していくことになる。例えば、まず、スイッチ1103a、1104a、1107aをオンにして、ユニット回路3104aに電流や電圧を入力して、次に、スイッチ1103b、1104b、1107bをオンにして、ユニット回路3104bに電流や電圧を入力して、というような動作を繰り返すことにより、動作させる。
- [0101] このようなスイッチの制御は、シフトレジスタ、デコーダ回路、カウンタ回路、ラッチ回路、などのようなデジタル回路を用いて、制御することが出来る。
- [0102] ここで、もし、負荷1101a、1101bなどがEL素子などの表示素子である場合、ユニット回路と負荷が1つの画素を構成することになる。そして、リソース回路3101が、信号線(電流線3102や電圧線3103)に接続された画素に信号を供給する信号線駆動回路(の一部)であることになる。つまり、図31は、1列分の画素や信号線駆動回路

(の一部)を示していることになる。その場合、電流源回路101が出力する電流は、画像信号に相当することになる。この画像信号電流をアナログ的に、もしくは、デジタル的に変化させることによって、各々適切な大きさの電流を負荷1101a、1101b(EL素子などの表示素子)に流すことが出来る。この場合は、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなどは、ゲート線駆動回路を用いて制御することになる。

[0103] また、図31における電流源回路101が、信号線駆動回路(の一部)であるとした場合、その電流源回路101も、トランジスタの電流特性バラツキやサイズのバラツキなどの影響を受けずに、正確な電流を出力する必要がある。よって、信号線駆動回路(の一部)の中の電流源回路101が電流源トランジスタ102、202、302、10002と同じ働きをするトランジスタを含む回路で構成されていて、別の電流源回路から信号線駆動回路(の一部)の中の電流源トランジスタに電流を供給することが出来る。つまり、図31における負荷1101a、1101bなどが信号線や信号線に接続された画素などである場合、ユニット回路3104a、3104bが信号線駆動回路(の一部)を構成することになる。そして、リソース回路3101が、電流線3102に接続された信号線駆動回路の中の電流源トランジスタ(電流源回路)に信号を供給する電流源回路(の一部)であることになる。つまり、図31は、複数の信号線や信号線駆動回路(の一部)や信号線駆動回路に電流を供給する電流源回路(の一部)を示していることになる。

[0104] その場合、電流源回路101が出力する電流は、信号線や画素に供給する電流に相当することになる。よって、例えば、電流源回路101が出力する電流に応じた大きさの電流を信号線や信号線に接続された画素に供給する場合は、電流源回路101が出力する電流は、画像信号に相当することになる。この画像信号電流をアナログ的に、もしくは、デジタル的に変化させることによって、各々適切な大きさの電流を負荷(信号線や信号線に接続された画素)に流すことが出来る。この場合は、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなどは、信号線駆動回路の中の一部の回路(シフトレジスタやラッチ回路など)を用いて制御することになる。

[0105] なお、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bを制御するための回路(シフトレジスタやラッチ回路など)などについては、国際公開第

03/038796号パンフレット、国際公開第 03/038797号パンフレット、などに記載されているため、その内容を本願と組み合わせることが出来る。

[0106] あるいは、電流源回路101が出力する電流は、ある決まった大きさの電流を供給するようになっており、それを供給するかどうかをスイッチなどを用いて制御して、それに応じた大きさの電流を信号線や画素に供給する場合は、電流源回路101が出力する電流は、ある決まった大きさの電流を供給するための信号電流に相当することになる。そして、信号線や画素に電流を供給するかどうかを決めるスイッチをデジタル的に制御させ、信号線や画素に供給される電流量を制御することによって、各々適切な大きさの電流を負荷(信号線や画素)に流すことが出来る。この場合は、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなどは、信号線駆動回路の中の一部の回路(シフトレジスタやラッチ回路など)を用いて制御することになる。ただし、この場合は、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)が必要になる。そのため、そのスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)と、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなど制御するための駆動回路(シフトレジスタやラッチ回路など)が必要になる。それらの駆動回路は、別々に設けても良い。例えば、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bを制御するためのシフトレジスタを別に設けても良い。あるいは、スイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)と、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなど制御するための駆動回路(シフトレジスタやラッチ回路など)を、一部もしくは全部で、共用してもよい。例えば、1つのシフトレジスタで両方のスイッチを制御してもよいし、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するための駆動回路(シフトレジスタやラッチ回路など)において、ラッチ回路の出力(画像信号)などを用いて制御してもよい。

[0107] なお、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するための駆動回路(シフトレジスタやラッチ回路など)と、スイッチ1103a、1104a、1107a、スイッチ1103b、1104b、1107bなど制御するための駆動回路(シフトレジスタやラッチ回路など)とに関しては、国際公開第

03/038793号パンフレット、国際公開第 03/038794号パンフレット、国際公開第 03/038795号パンフレット、などに記載されているため、その内容を本願と組み合わせることが出来る。

[0108] 図31では、電流源トランジスタ102a、102bと負荷1101a、1101bが1対1で配置されている場合を示した。次に、1つの負荷に、複数の電流源トランジスタが配置されている場合を図32に示す。ここでは簡単のため、1つの負荷に対して2個のユニット回路が接続されている場合を示すが、これに限定されない。さらに多くのユニット回路が接続されていてもよいし、1個だけでもよい。スイッチ3201aa、スイッチ3201baのオンオフにより、負荷1101aaに流れる電流量を制御できる。例えば、ユニット回路3104aaが出力する電流値(I_{aa})とユニット回路3104baが出力する電流値(I_{ba})の大きさが異なる場合、スイッチ3201aaとスイッチ3201baの各々のオンオフにより、負荷1101aaに流れる電流の大きさを4種類で制御できることになる。例えば、 $I_{ba}=2*I_{aa}$ の場合、2ビットの大きさを制御できることになる。したがって、スイッチ3201aa、スイッチ3201baのオンオフを各ビットに対応したデジタルデータによって制御する場合、図32の構成を用いて、デジタル・アナログ変換機能を実現できる。したがって、負荷1101aa、1101bbが信号線の場合、図32の構成を用いて、信号線駆動回路(の一部)を構成させることが出来る。そのとき、デジタル画像信号をアナログ画像信号電流に変換することが出来る。また、スイッチ3201aaやスイッチ3201baなどのオンオフは、画像信号を用いて制御することが出来る。したがって、画像信号を出力する回路(ラッチ回路)などを用いて、スイッチ3201aaやスイッチ3201baなどを制御することが出来る。

[0109] また、スイッチ3201aa、スイッチ3201baのオンオフを時間によって切り替えてもよい。例えば、ある期間は、スイッチ3201aaをオン、スイッチ3201baのオフにして、その時は、リソース回路3101bからユニット回路3104baに電流を入力して、正確な電流を出力できるように設定を行い、ユニット回路3104aaから負荷1101aaに電流を供給する。そして別の期間では、スイッチ3201aaをオフ、スイッチ3201baのオンにして、その時は、リソース回路3101aからユニット回路3104aaに電流を入力して、正確な電流を出力できるように設定を行い、ユニット回路3104baから負荷1101aaに

電流を供給する。このように、時間的に切り替えて動作させてもよい。

[0110] 次に、図32では、2つのリソース回路3101a、3101bを用いて、ユニット回路3104aa、3104ba、3104ab、3104bbに電流を供給していたが、図33では、1つのリソース回路3101を用いて、ユニット回路3104ca、3104cb、3104da、3104dbに電流を供給する場合について述べる。

[0111] 例えば、配線3304cがH信号の時、スイッチ3301ca、3302ca、3303cbがオンになり、スイッチ3303ca、3301cb、3302cbがオフになるとする。すると、ユニット回路3104caはリソース回路3101から電流を供給されることが可能な状況になり、ユニット回路3104cbは、負荷1101caに電流を供給することが可能な状況になる。逆に、配線3304cがL信号の時、ユニット回路3104cbはリソース回路3101から電流を供給されることが可能な状況になり、ユニット回路3104caは、負荷1101caに電流を供給することが可能な状況になる。また、配線3304cや配線3304dなどは、順次選択するような信号を入力していけばよい。このように、時間的にユニット回路の動作を切り替えてもよい。

[0112] また、負荷1101ca、1101daが信号線の場合、図33の構成を用いて、信号線駆動回路(の一部)を構成させることが出来る。また、配線3304cや配線3304dなどは、シフトレジスタなどを用いて制御すればよい。

[0113] なお、本実施の形態では、図12の構成で、電流源トランジスタが複数ある場合の構成を示したが、これに限定されない。図12以外の構成でも実現できる。

[0114] なお、本実施の形態で説明した内容は、実施の形態1、2、3で説明した構成を利用したものに相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1、2、3で説明した内容は、本実施の形態にも適用できる。

[0115] (実施の形態5)

本実施の形態では、表示素子を有する画素に適用した場合の例を示す。

本実施の形態では、主に、図1(図11、図2、図5)や図3(図8)を用いた場合について述べるが、これに限定されない。実施の形態1〜4で説明した様々な構成に適用することが出来る。

- [0116] まず、電流源回路201が画像信号として信号電流を供給するような構成の場合について、図34、35に示す。図34と図35とでは、電流の流れる向きは同じであるが、電流源トランジスタ202の極性が異なる。そのため、接続構造が異なっている。なお、負荷1101としては、例として、EL素子の場合を示している。
- [0117] また、電流源回路201が画像信号として供給する信号電流が、アナログ値の場合は、アナログ階調で画像を表示することが出来る。信号電流が、デジタル値の場合は、デジタル階調で画像を表示することが出来る。多階調化を図る場合は、時間階調方式や面積階調方式を組み合わせればよい。
- [0118] なお、ここでは特に時間階調方式について詳細な説明は省略するが、特開2001-5426号出願、特開2001-343933号等に記載されている方法によれば良い。
- [0119] また、各スイッチ1102、1104、1106、1107制御するゲート線は、トランジスタの極性を調整することにより、1本に共用している。これにより、開口率を向上させることが出来る。ただし、別々のゲート線を配置しても良い。特に、時間階調方式を用いる場合は、ある特定の期間において、負荷1101 (EL素子)に電流を供給しないような動作をしたい場合がある。その場合は、負荷1101 (EL素子)に電流を供給しないように出来るスイッチ1102を制御するゲート線を別の配線とすればよい。
- [0120] 次に、画素にサブ電流源回路3601を有し、サブ電流源回路3601が供給する電流を流すかどうかによって画像を表現するような場合の構成の画素について、図36に構成を示す。選択ゲート線3606が選択されたときに、スイッチ3604がオンになり、信号線3605から、デジタルの画像信号(通常は電圧値)を容量素子3603に入力する。なお、容量素子3603は、トランジスタのゲート容量などを用いることにより、省略可能である。そして、保存されたデジタルの画像信号を用いて、スイッチ3602をオンオフする。電流源回路3601が供給する電流が、負荷1101に流れるかどうかを、スイッチ3602が制御する。これにより、画像を表現することが出来る。
- [0121] なお、多階調化を図る場合は、時間階調方式や面積階調方式を組み合わせればよい。また、図36では、サブ電流源回路3601やスイッチ3602は、1つづつしか配置されていないが、これに限定されない。複数組配置して、各々の電流源回路から電流が流れるかどうかを制御して、その電流の総和が負荷1101に流れるようにしてもよ

い。

[0122] 次に、図36の具体的な構成例を図37に示す。ここでは、電流源トランジスタの構成として、図1(図11、図2、図5)に示した構成を適用している。電流源回路201から電流を電流源トランジスタ202と容量素子3603に供給して、電流源トランジスタ202のゲート端子に適切な電圧を設定する。そして、信号線3605から入力される画像信号に応じて、スイッチ3602をオンオフして、負荷1101に電流を供給し、画像を表示する。

[0123] なお、本実施の形態で説明した内容は、実施の形態1〜4で説明した構成を利用したものの相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1〜4で説明した内容は、本実施の形態にも適用できる。

[0124] (実施の形態6)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の回路を適用することができる。

[0125] 表示装置は、図38に示すように、画素配列3801、ゲート線駆動回路3802、信号線駆動回路3810を有している。ゲート線駆動回路3802は、画素配列3801に選択信号を順次出力する。信号線駆動回路3810は、画素配列3801にビデオ信号を順次出力する。画素配列3801では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3810から画素配列3801へ入力するビデオ信号は、電流である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3810から入力されるビデオ信号(電流)によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED(フィールドエミッションディスプレイ)で用いる素子などがあげられる。

[0126] なお、ゲート線駆動回路3802や信号線駆動回路3810は、複数配置されていてもよい。

[0127] 信号線駆動回路3810は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ3803、第1ラッチ回路(LAT1)3804、第2ラッチ回路(LAT2)3805

、デジタル・アナログ変換回路3806に分けられる。デジタル・アナログ変換回路3806には、電圧を電流に変換する機能も有しており、ガンマ補正を行う機能も有している。つまり、デジタル・アナログ変換回路3806には、画素に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

[0128] なお、図36に示したように、画素の構成によっては、ビデオ信号用のデジタル電圧信号と、画素の中の電流源回路のための制御用の電流とを、画素に入力する場合がある。その場合は、デジタル・アナログ変換回路3806は、デジタル・アナログ変換機能ではなく、電圧を電流に変換する機能を有しており、その電流を制御用の電流として画素に出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

[0129] また、画素は、EL素子などの表示素子を有している。その表示素子に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有しており、そこにも、本発明を適用することが出来る。

[0130] そこで、信号線駆動回路3810の動作を簡単に説明する。シフトレジスタ3803は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

[0131] シフトレジスタ3803より出力されたサンプリングパルスは、第1ラッチ回路(LAT1)3804に入力される。第1ラッチ回路(LAT1)3804には、ビデオ信号線3808より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路3806を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は、電圧であることが多い。

[0132] ただし、第1ラッチ回路3804や第2ラッチ回路3805が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路3806は省略できる場合が多い。その場合、ビデオ信号は、電流であることも多い。また、画素配列3801に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路3806は省略

できる場合が多い。

- [0133] 第1ラッチ回路(LAT1)3804において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線3809よりラッチパルス(Latch Pulse)が入力され、第1ラッチ回路(LAT1)3804に保持されていたビデオ信号は、一斉に第2ラッチ回路(LAT2)3805に転送される。その後、第2ラッチ回路(LAT2)3805に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路3806へと入力される。そして、デジタル・アナログ変換回路3806から出力される信号は、画素配列3801へ入力される。
- [0134] 第2ラッチ回路(LAT2)3805に保持されたビデオ信号がデジタル・アナログ変換回路3806に入力され、そして、画素3801に入力されている間、シフトレジスタ3803においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。
- [0135] なお、デジタル・アナログ変換回路3806が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、つまり、別の電流源回路から電流を入力して、トランジスタの特性バラツキの影響を受けない電流を出力できるような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路3814が配置されている。
- [0136] なお、信号線駆動回路などの構成は、図38に限定されない。
例えば、第1ラッチ回路3804や第2ラッチ回路3805が、アナログ値を保存できる回路である場合、図39に示すように、リファレンス用電流源回路3814から第1ラッチ回路(LAT1)3804に、ビデオ信号(アナログ電流)が入力されることもある。また、図39において、第2ラッチ回路3805が存在しない場合もある。そのような場合は、第1ラッチ回路3804に、より多くの電流源回路が配置されている場合が多い。
- [0137] このような場合、図38における、デジタル・アナログ変換回路3806の中の電流源回路に、本発明を適用することが出来る。デジタル・アナログ変換回路3806の中に、沢山のユニット回路があり、リファレンス用電流源回路3814に、電流源回路101や増幅回路107が配置されている。
- [0138] あるいは、図39における、第1ラッチ回路(LAT1)3804の中の電流源回路に、本発

明を適用することが出来る。第1ラッチ回路(LAT1)3804の中に、沢山のユニット回路があり、リファレンス用電流源回路3814に、電流源回路101が配置されている。

[0139] あるいは、図38、図39における画素配列3801の中の画素(その中の電流源回路)に、本発明を適用することが出来る。画素配列3801の中に、沢山のユニット回路があり、信号線駆動回路3810に、電流源回路101や増幅回路107が配置されている。

[0140] つまり、回路の様々な部分に、電流を供給するような回路が存在する。そのような電流源回路は、正確な電流を出力する必要がある。そのため、別の電流源回路を用いて、トランジスタが正確な電流が出力できるように設定を行う。別の電流源回路も、正確な電流を出力する必要がある。したがって、図40～図42に示すように、ある場所に、基本となる電流源回路があり、そこから電流源トランジスタを次々に設定していく。それにより、電流源回路は、正確な電流を出力することが可能となる。よって、そのような部分に、本発明を適用することが出来る。

[0141] なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図38、図39などで示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、図38、図39などにおける回路の一部が、ある基板に形成されており、図38、図39などにおける回路の別の一部が、別の基板に形成されていてもよい。つまり、図38、図39などにおける回路の全てが同じ基板上に形成されていなくてもよい。例えば、図38、図39などにおいて、画素3801とゲート線駆動回路3802とは、ガラス基板上にTFTを用いて形成し、信号線駆動回路3810(もしくはその一部)は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。

[0142] なお、本実施の形態で説明した内容は、実施の形態1～5で説明した内容を利用したものに相当する。したがって、実施の形態1～5で説明した内容は、本実施の形態

にも適用できる。

[0143] (実施の形態7)

本発明は電子機器の表示部を構成する電気回路に用いることができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc (DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。つまり、これらの表示部を構成する電気回路(例えば画素や、画素を駆動する信号線駆動回路等)に本発明を適用することができる。それらの電子機器の具体例を図43A〜43Hに示す。

[0144] 図43Aは発光装置(ここで、発光装置とは自発光型の発光素子を表示部に用いた表示装置をいう)であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図43Aに示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

[0145] 図43Bはデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図43Bに示すデジタルスチルカメラが完成される。

[0146] 図43Cはノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図43Cに示す発光装置が完成される。

[0147] 図43Dはモバイルコンピュータであり、本体13301、表示部13302、スイッチ1330

3、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図43Dに示すモバイルコンピュータが完成される。

[0148] 図43Eは記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図43Eに示すDVD再生装置が完成される。

[0149] 図43Fはゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する電気回路に用いることができる。また本発明により、図43Fに示すゴーグル型ディスプレイが完成される。

[0150] 図43Gはビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する電気回路に用いることができる。また本発明により、図43Gに示すビデオカメラが完成される。

[0151] 図43Hは携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する電気回路に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図43Hに示す携帯電話が完成される。

[0152] なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

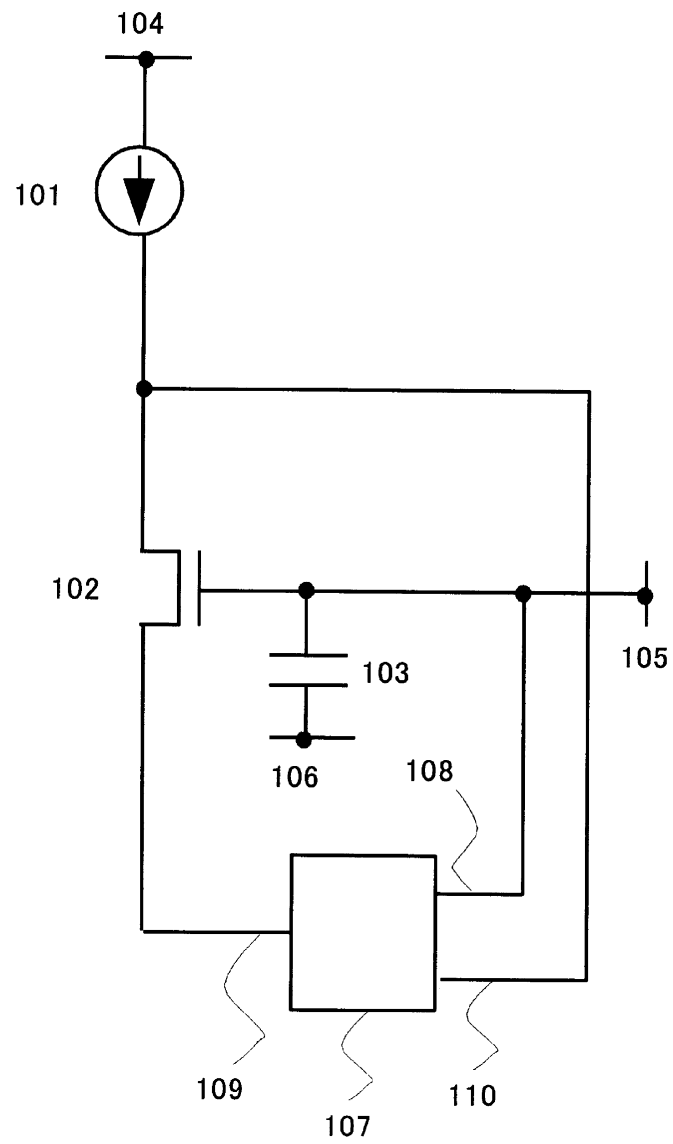
- [0153] また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。
- [0154] また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。
- [0155] 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1〜4に示したいずれの構成の半導体装置を用いても良い。

請求の範囲

- [1] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記電流源回路から前記トランジスタに電流が供給されたとき、前記トランジスタが飽和領域で動作するように前記トランジスタのソースまたはドレインの電位を制御する増幅回路が備えられていることを特徴とする半導体装置。
- [2] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのソースまたはドレインの電位を安定化させる増幅回路が備えられていることを特徴とする半導体装置。
- [3] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのソースまたはドレインの電位を安定化させる帰還回路が備えられていることを特徴とする半導体装置。
- [4] 負荷に供給する電流を制御するトランジスタと、オペアンプを具備し、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの反転入力端子が接続され、前記オペアンプの非反転入力端子は、前記トランジスタのゲート端子側と接続され、前記オペアンプの出力端子は、前記トランジスタのソース端子側と接続されていることを特徴とする半導体装置。
- [5] 負荷に供給する電流を制御するトランジスタと、オペアンプを具備し、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの反転入力端子が接続され、前記オペアンプの非反転入力端子は、前記トランジスタのゲート端子側と接続され、前記オペアンプの出力端子は、前記トランジスタの前記ドレイン端子側と接続されていることを特徴とする半導体装置。
- [6] 負荷に供給する電流を制御するトランジスタと、電圧フォロワ回路を具備し、電流源回路に接続する前記トランジスタのゲート端子側に前記電圧フォロワ回路入力端子が接続され、前記電圧フォロワ回路の出力端子は、前記トランジスタのドレイン端子側と接続されていることを特徴とする半導体装置。
- [7] 請求項6において、前記電圧フォロワ回路がソースフォロワ回路で構成されていることを特徴とする半導体装置。

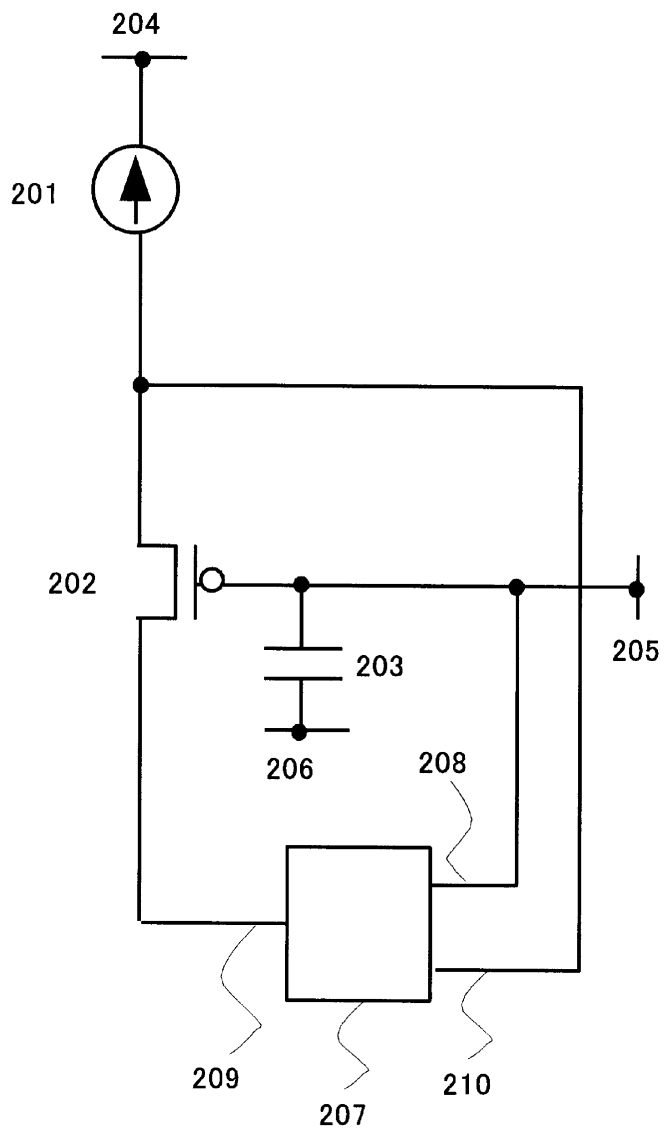
- [8] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とする発光装置。
- [9] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とするデジタルスチルカメラ。
- [10] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とするノート型パーソナルコンピュータ。
- [11] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とするモバイルコンピュータ。
- [12] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とする画像再生装置。
- [13] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とするゴーグル型ディスプレイ。
- [14] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とするビデオカメラ。
- [15] 請求項1乃至6のいずれか一項に記載の半導体装置を表示部に有することを特徴とする携帯電話。

[図1]

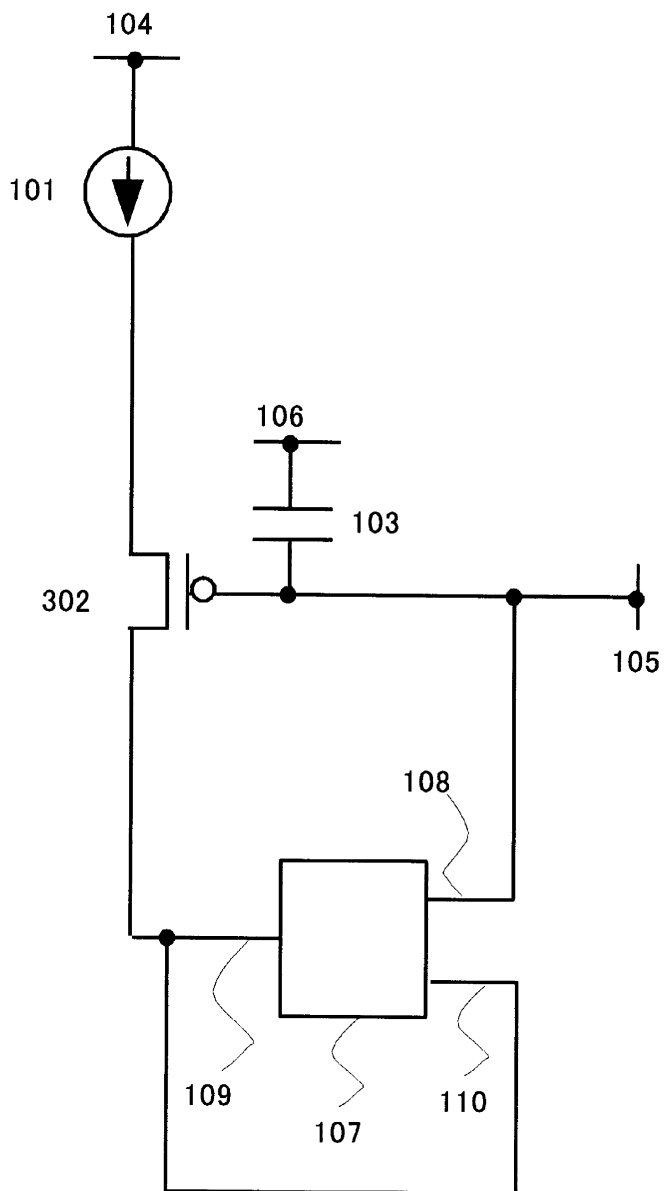


..

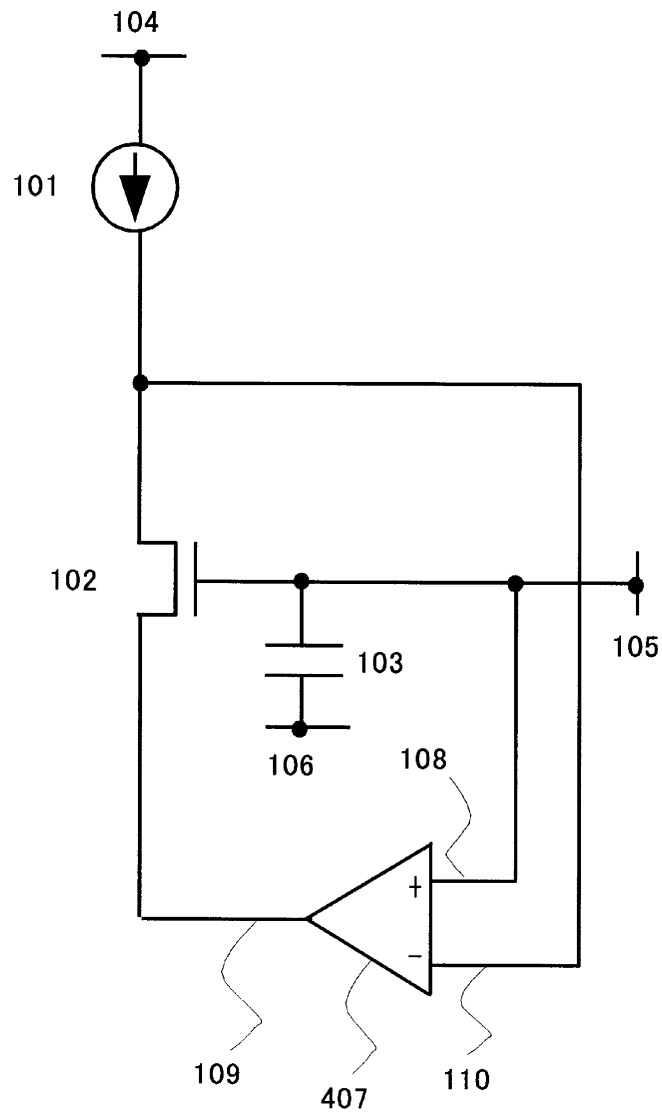
[図2]



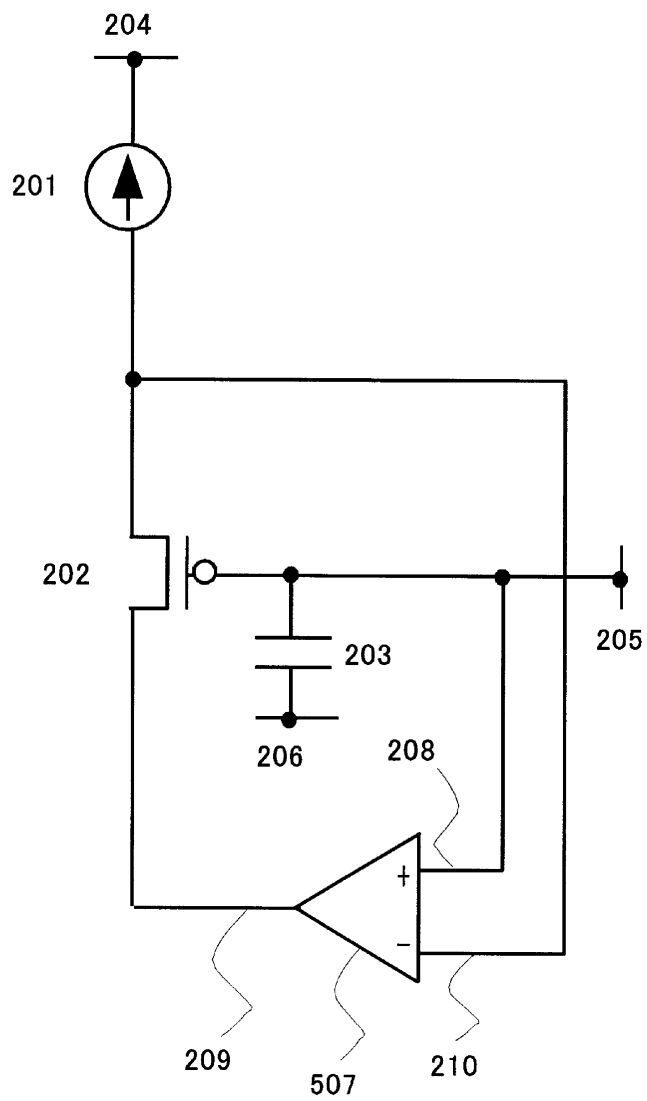
[図3]



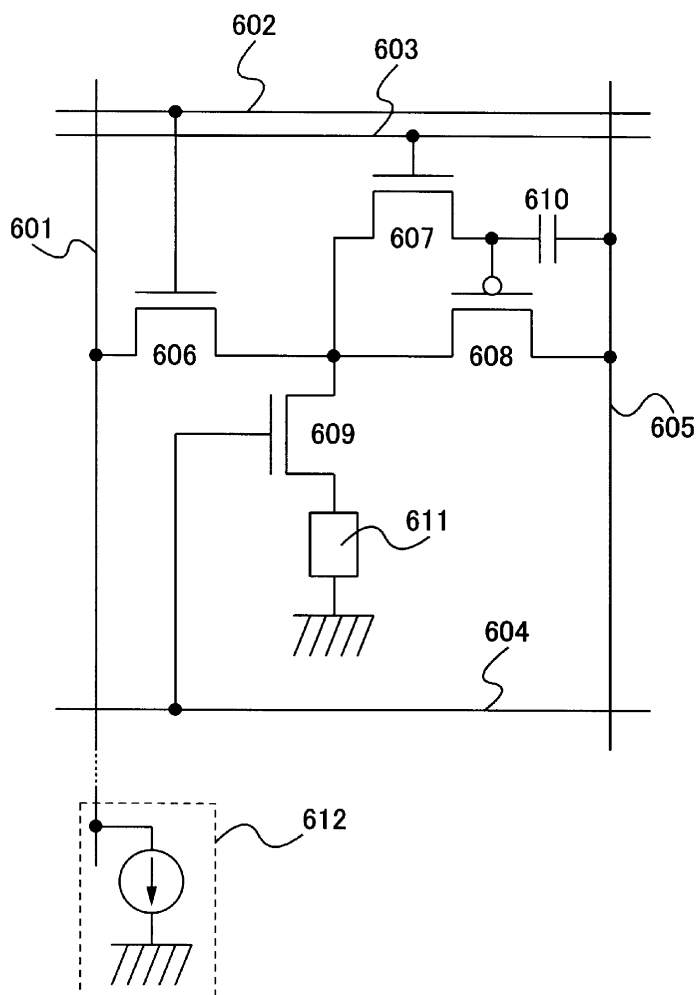
[図4]



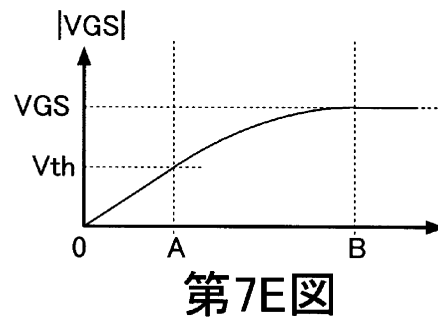
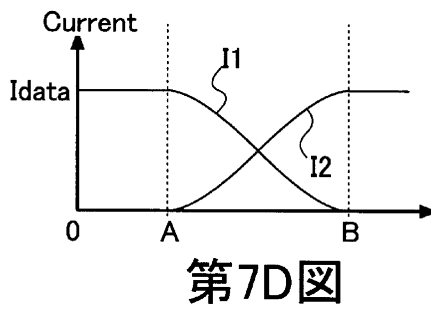
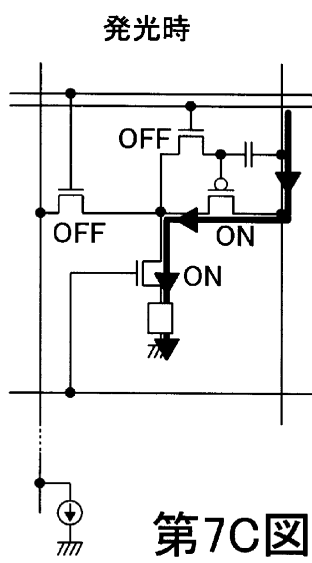
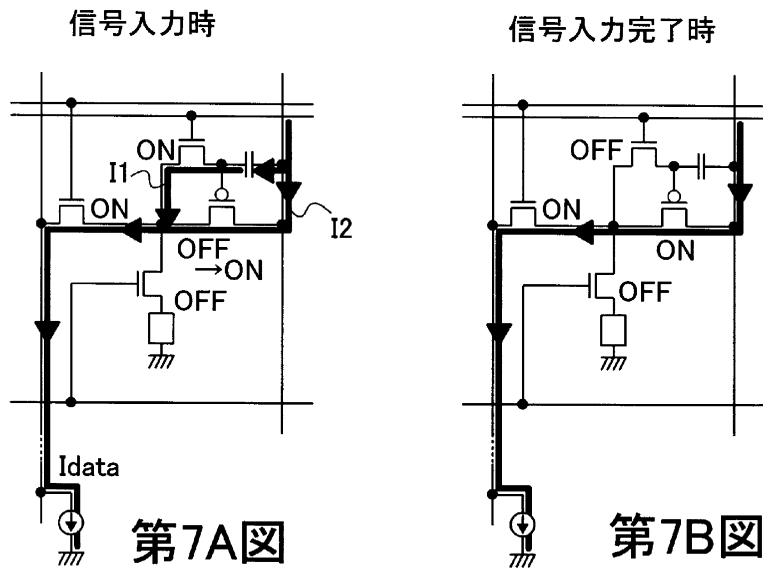
[図5]



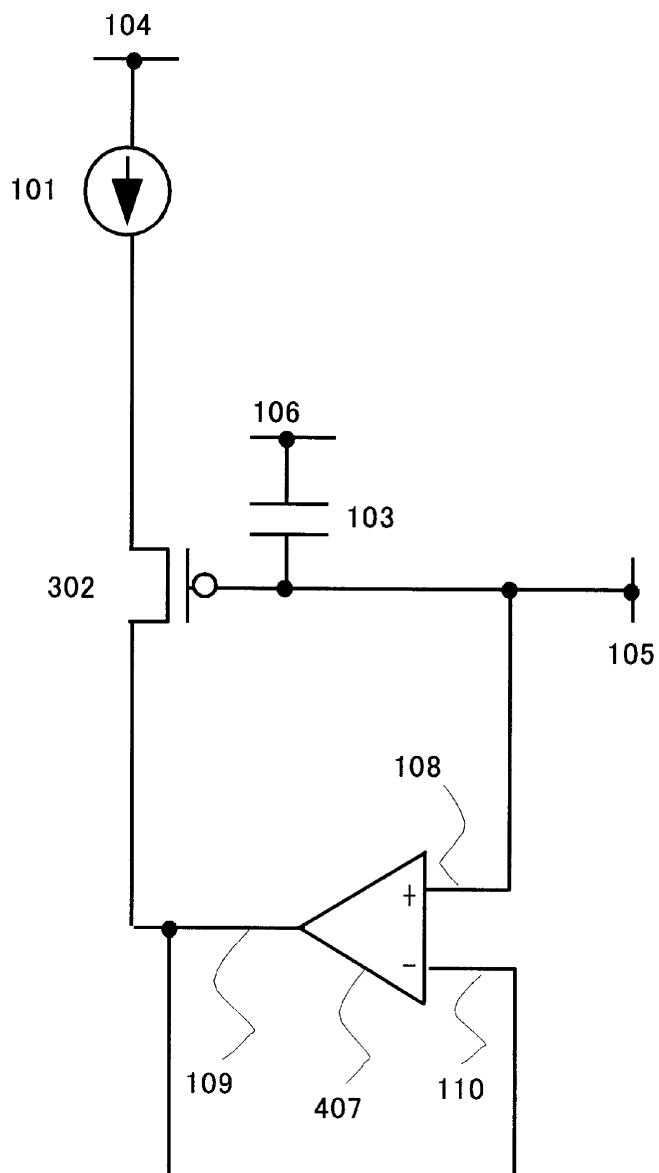
[図6]



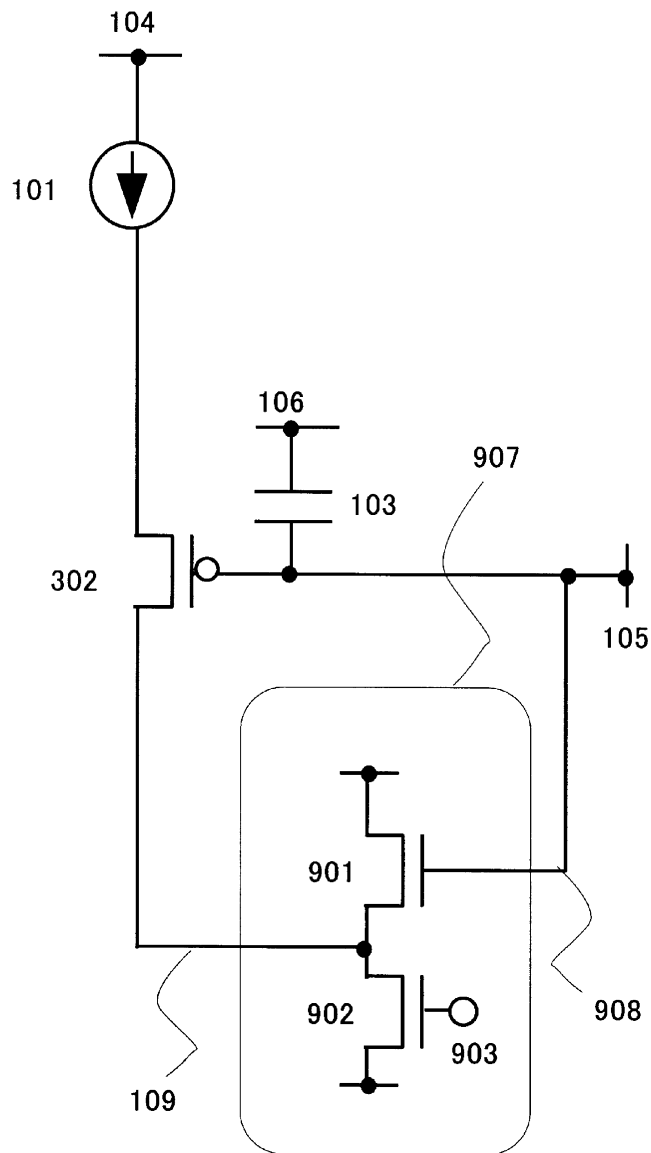
[図7]



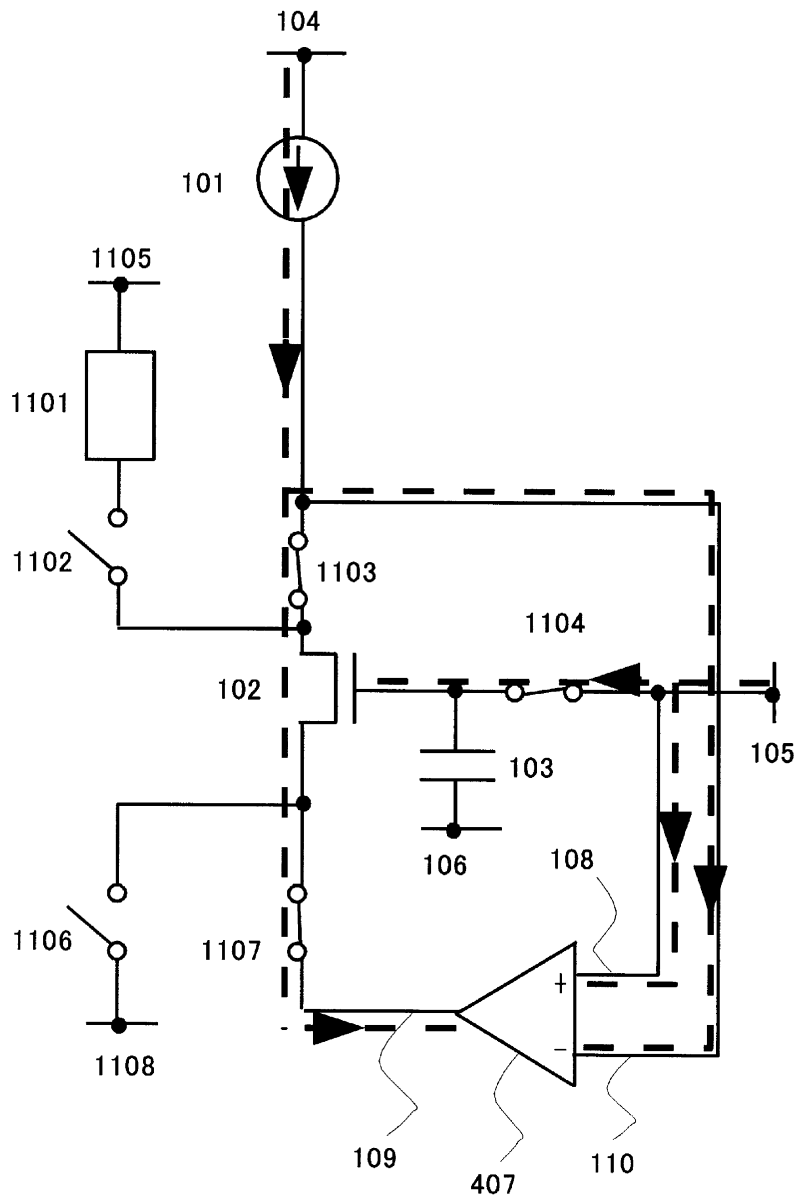
[図8]



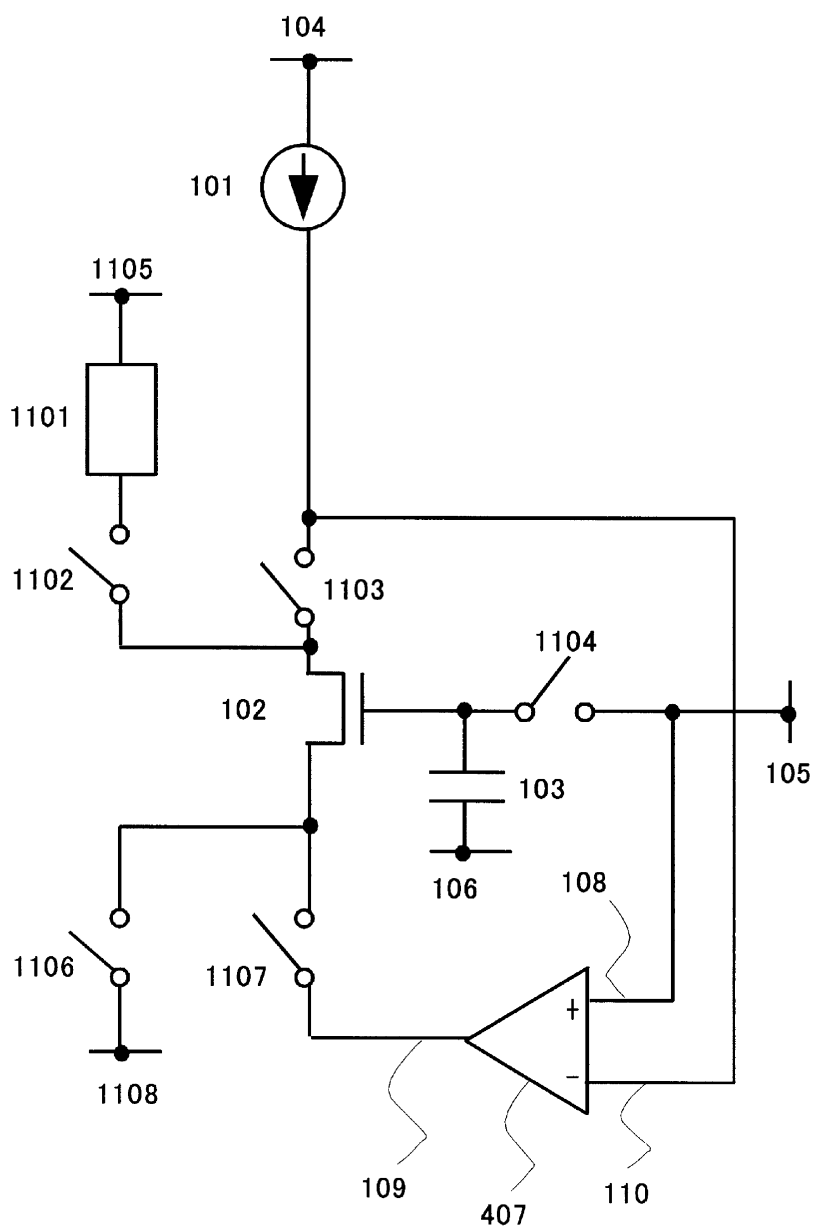
[図9]



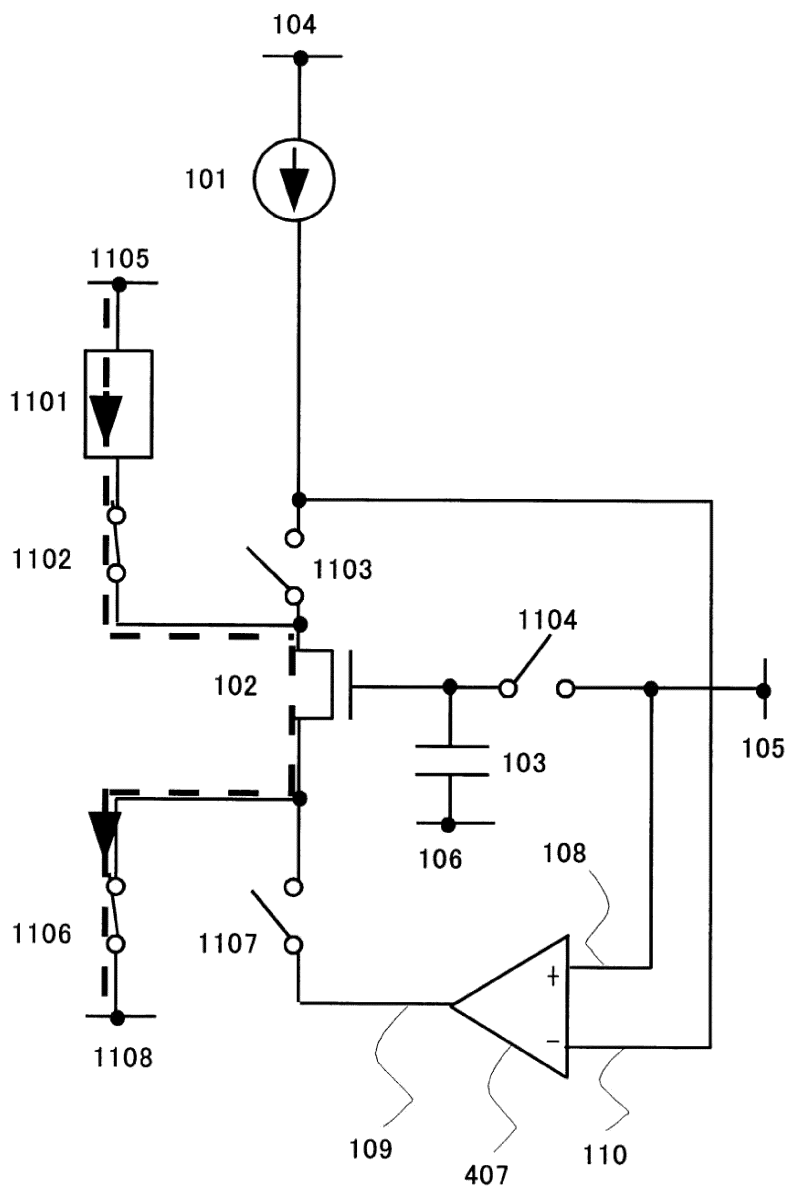
[図12]



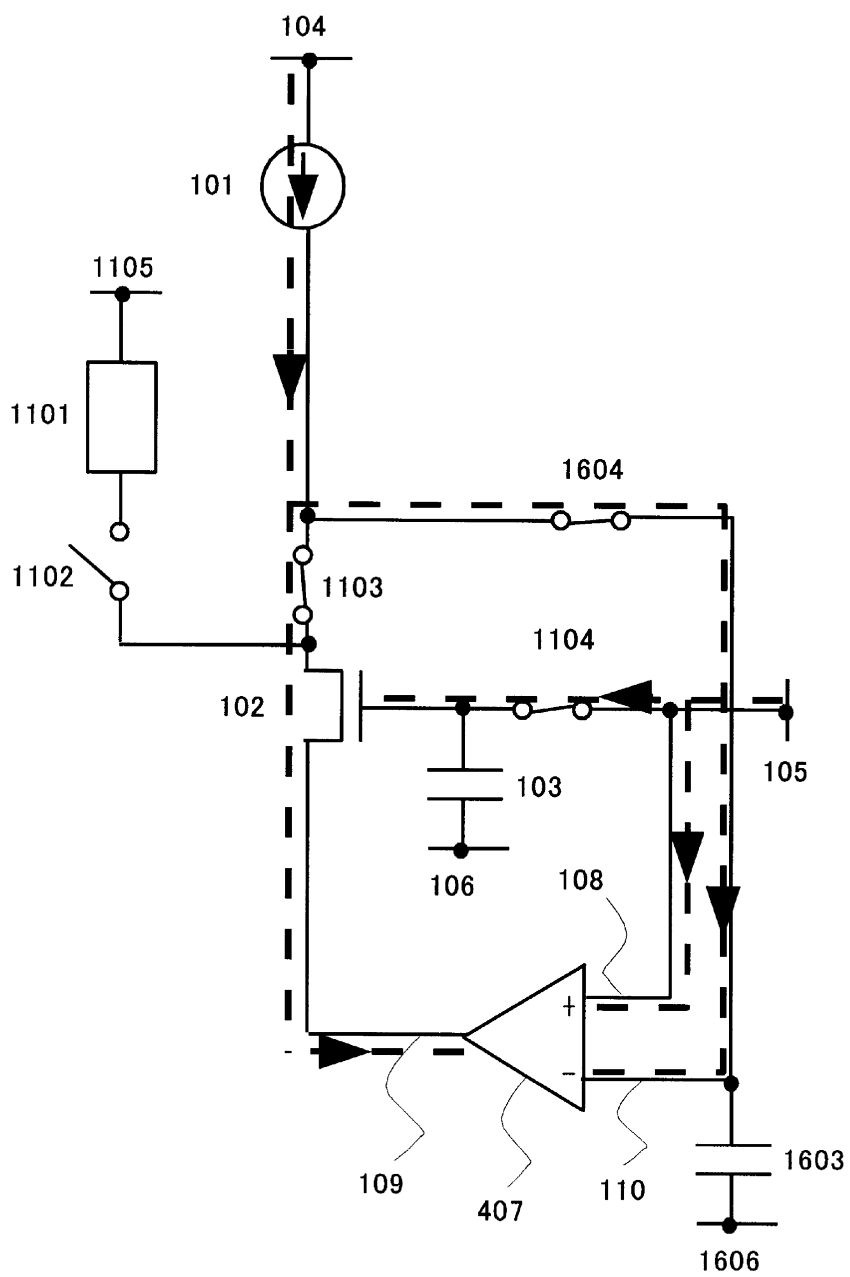
[図14]



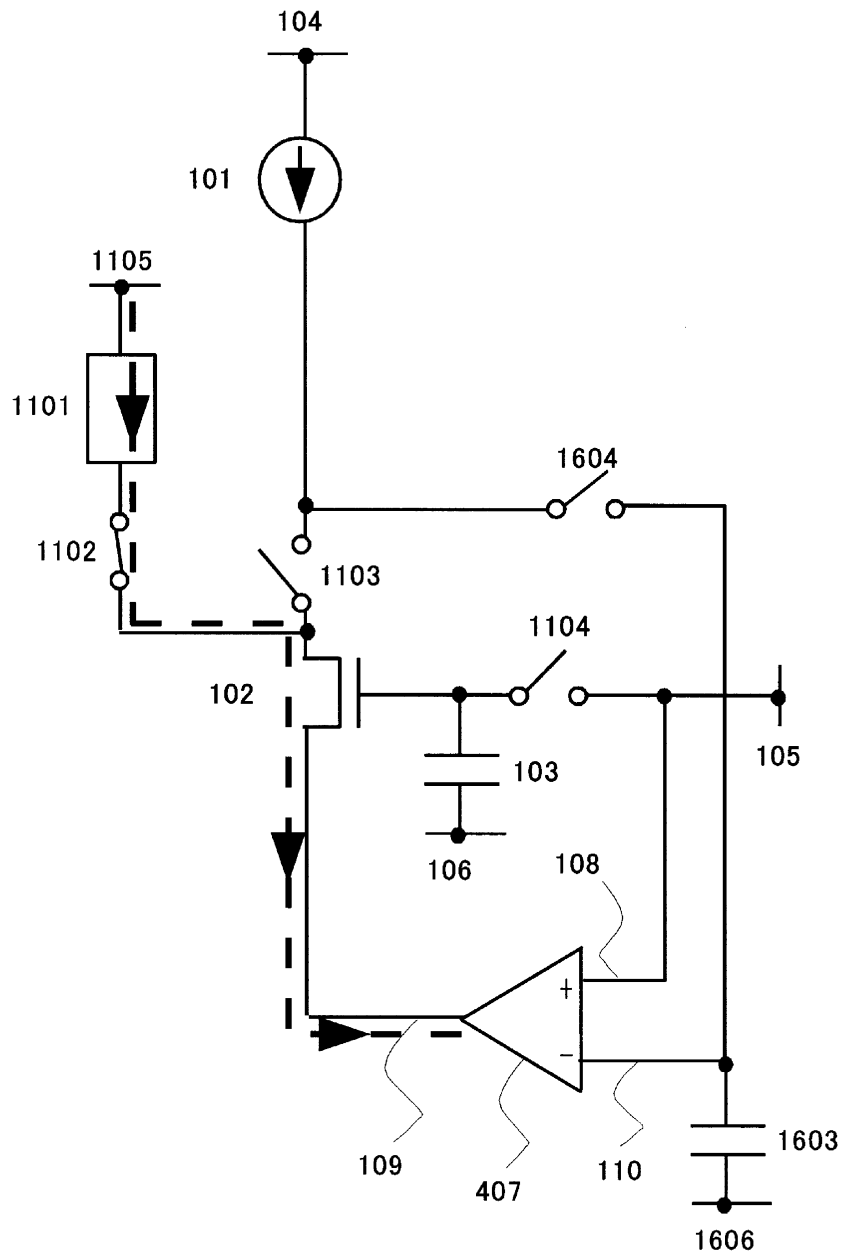
[図15]



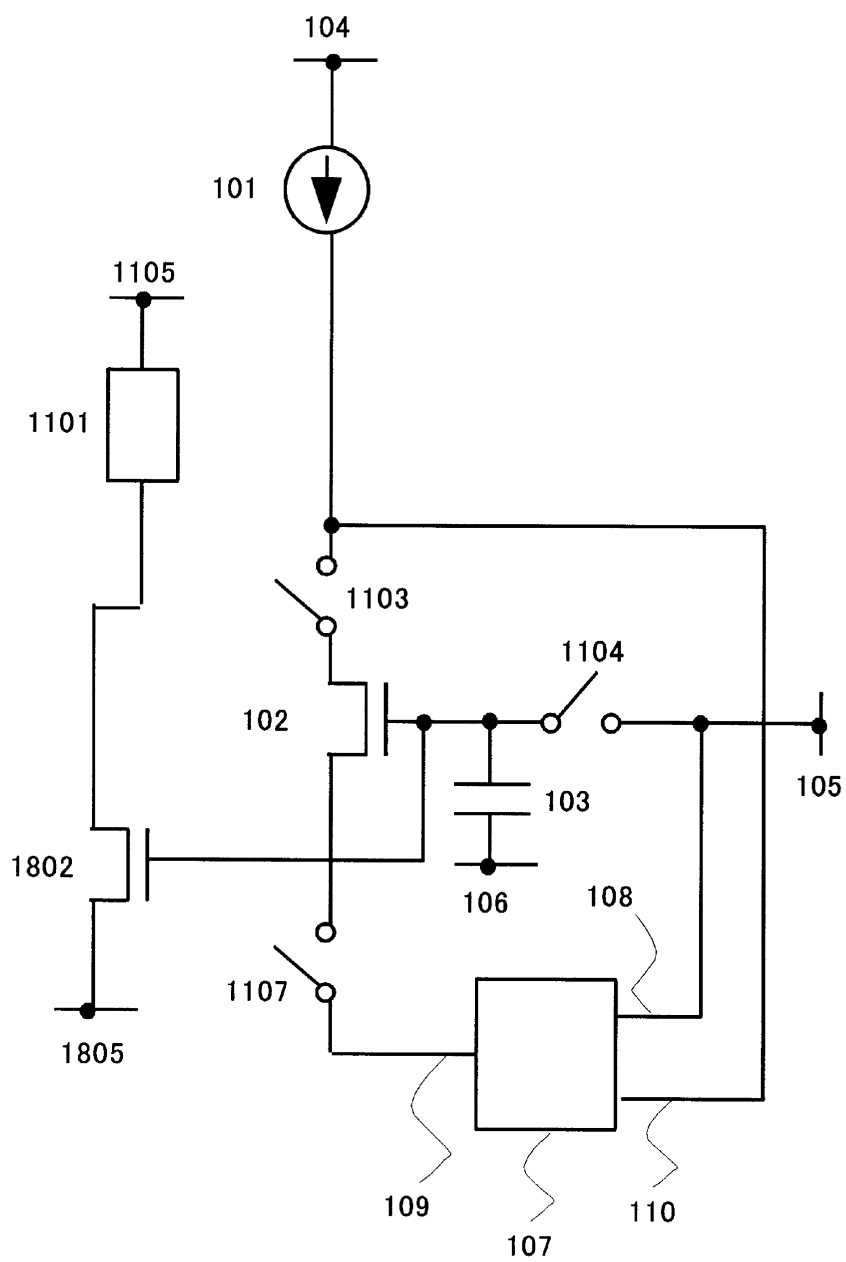
[図16]



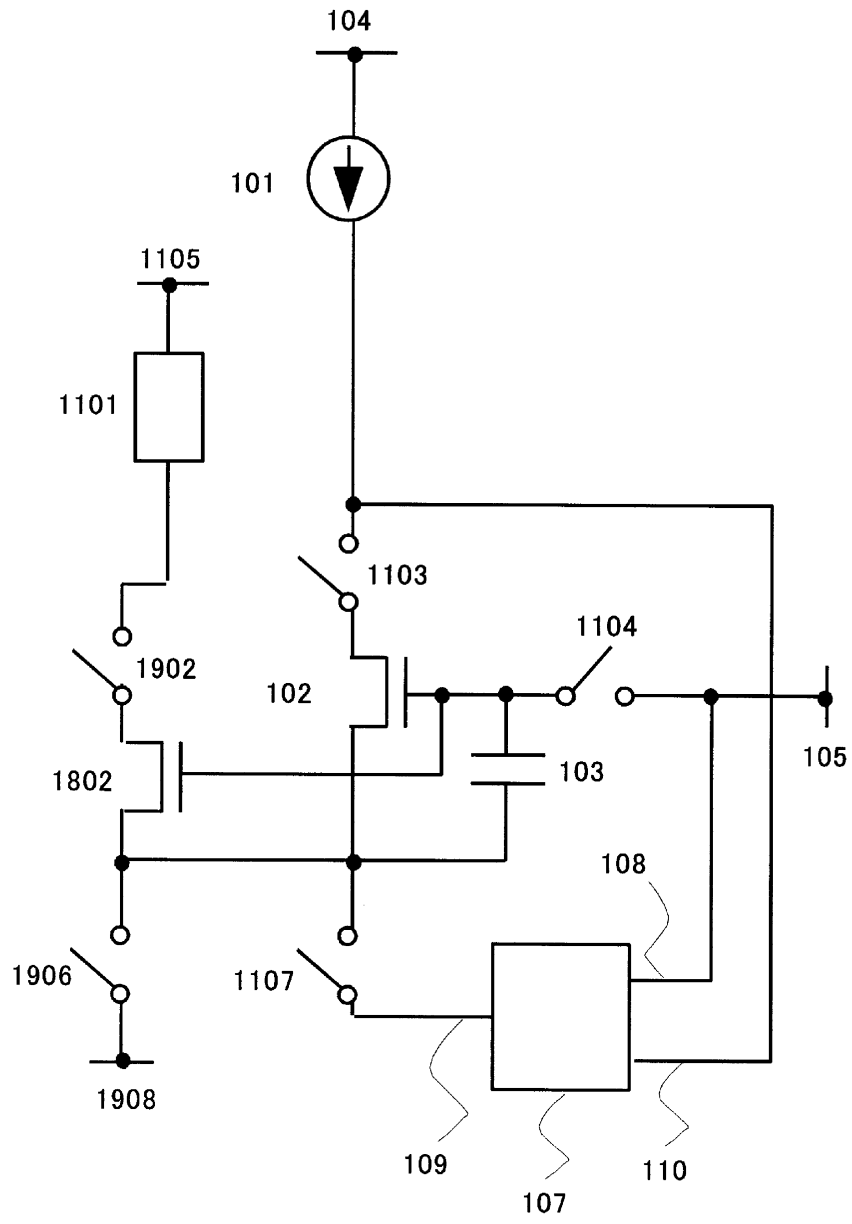
[図17]



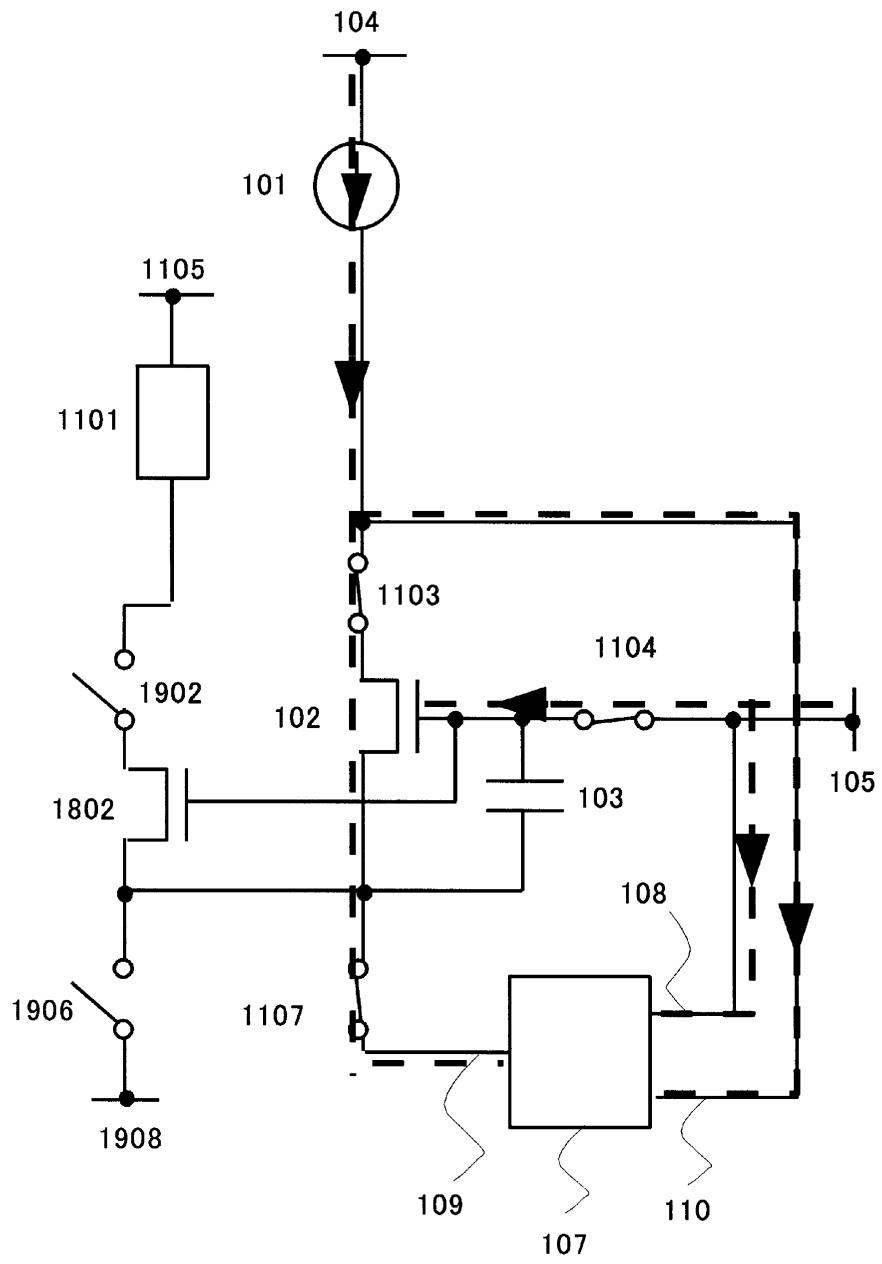
[図18]



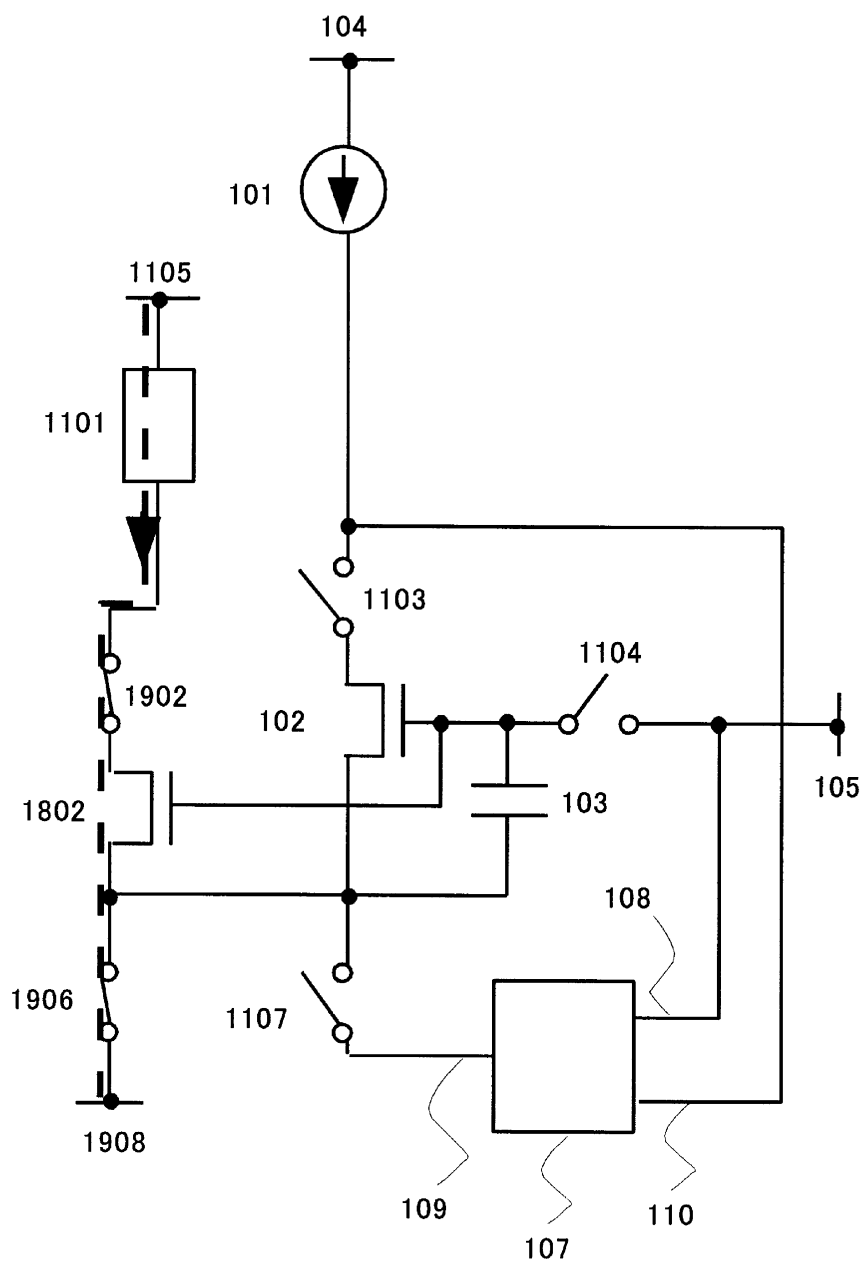
[図]19



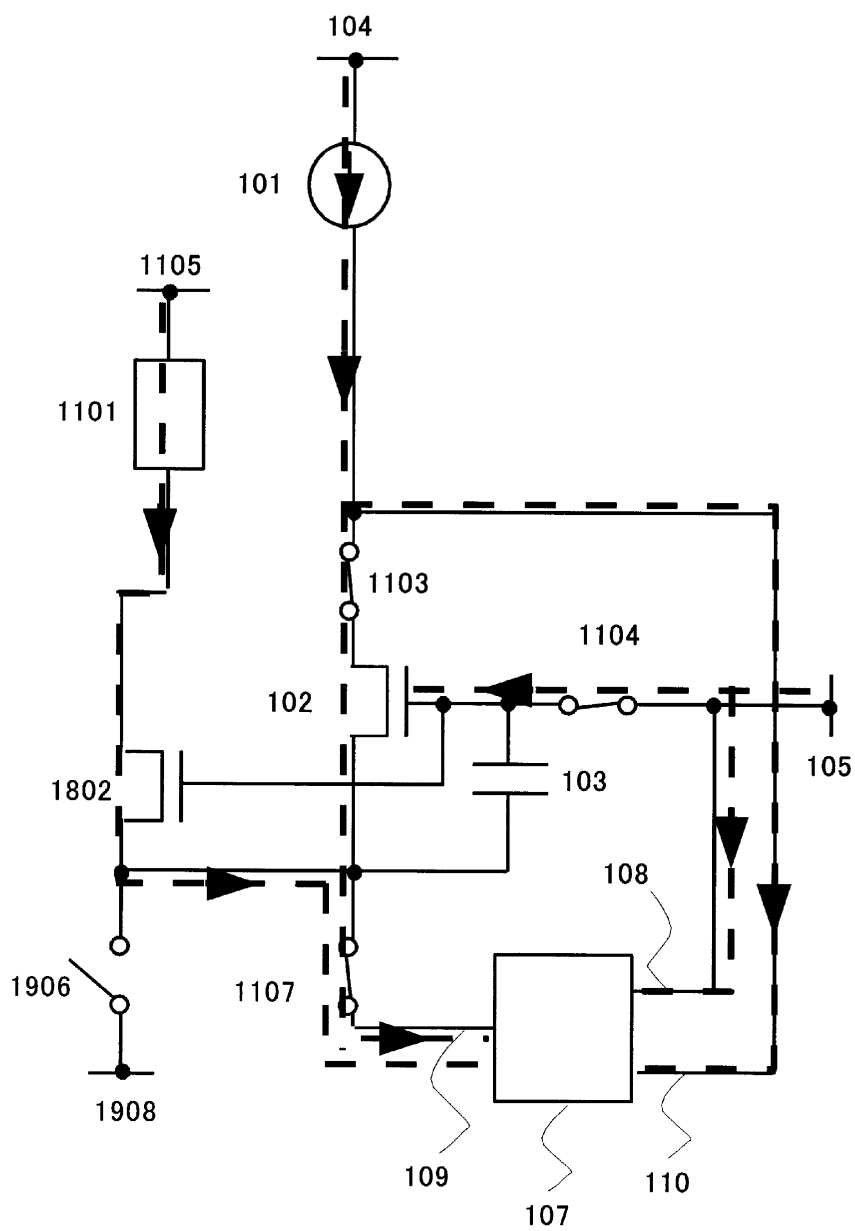
[図20]



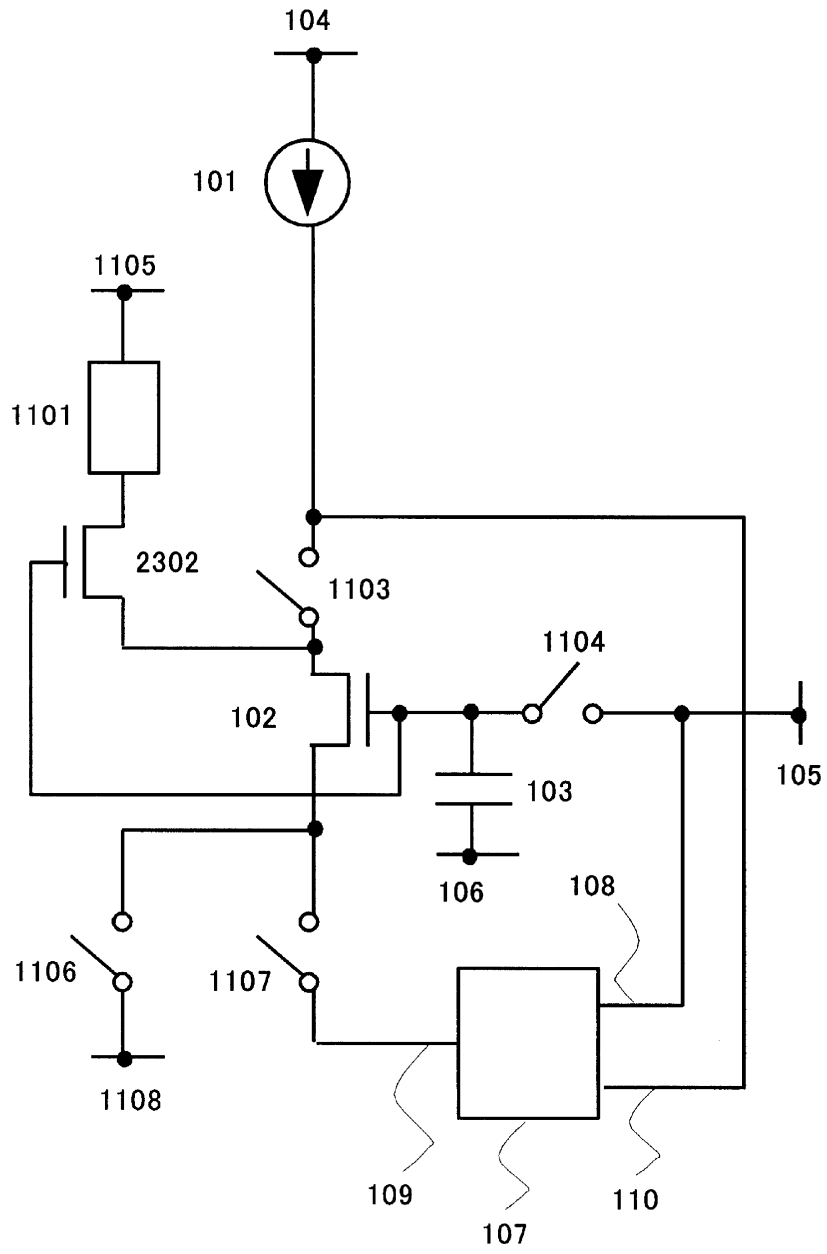
[図21]



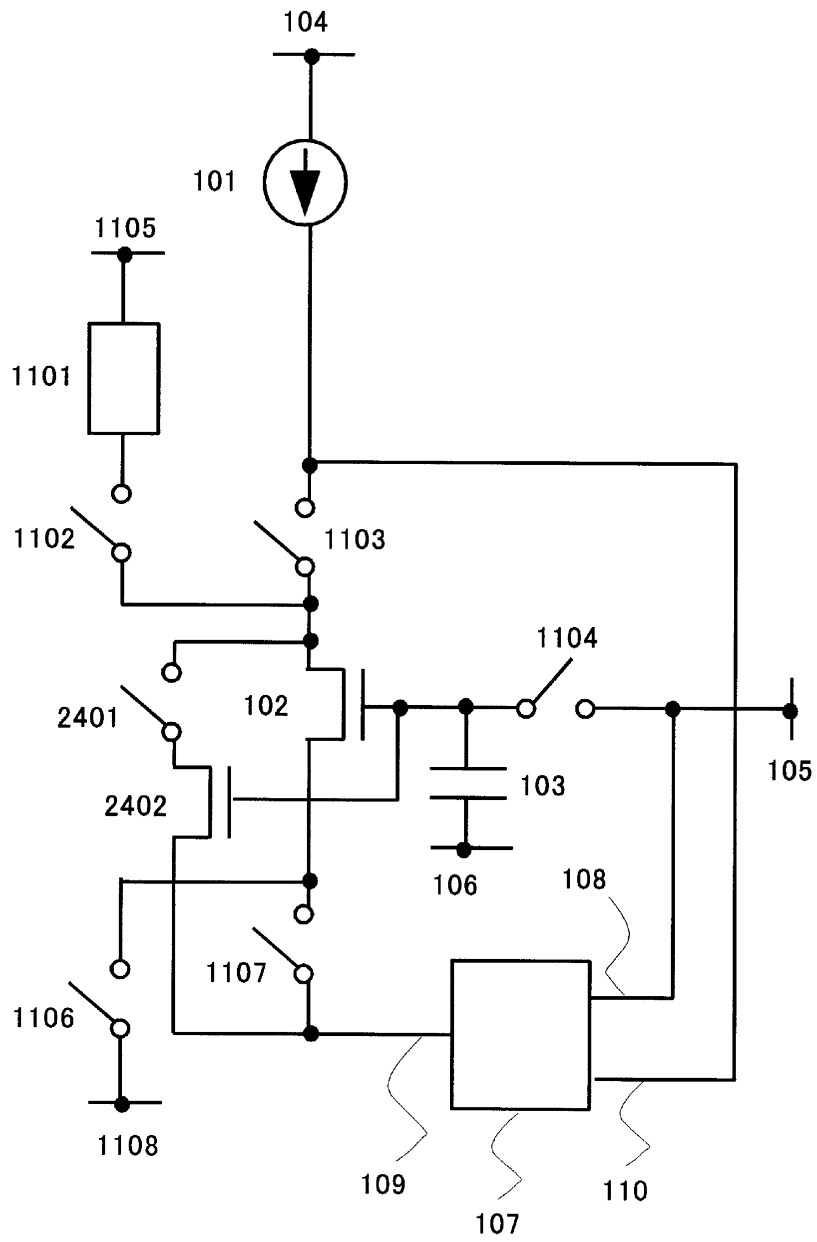
[図22]



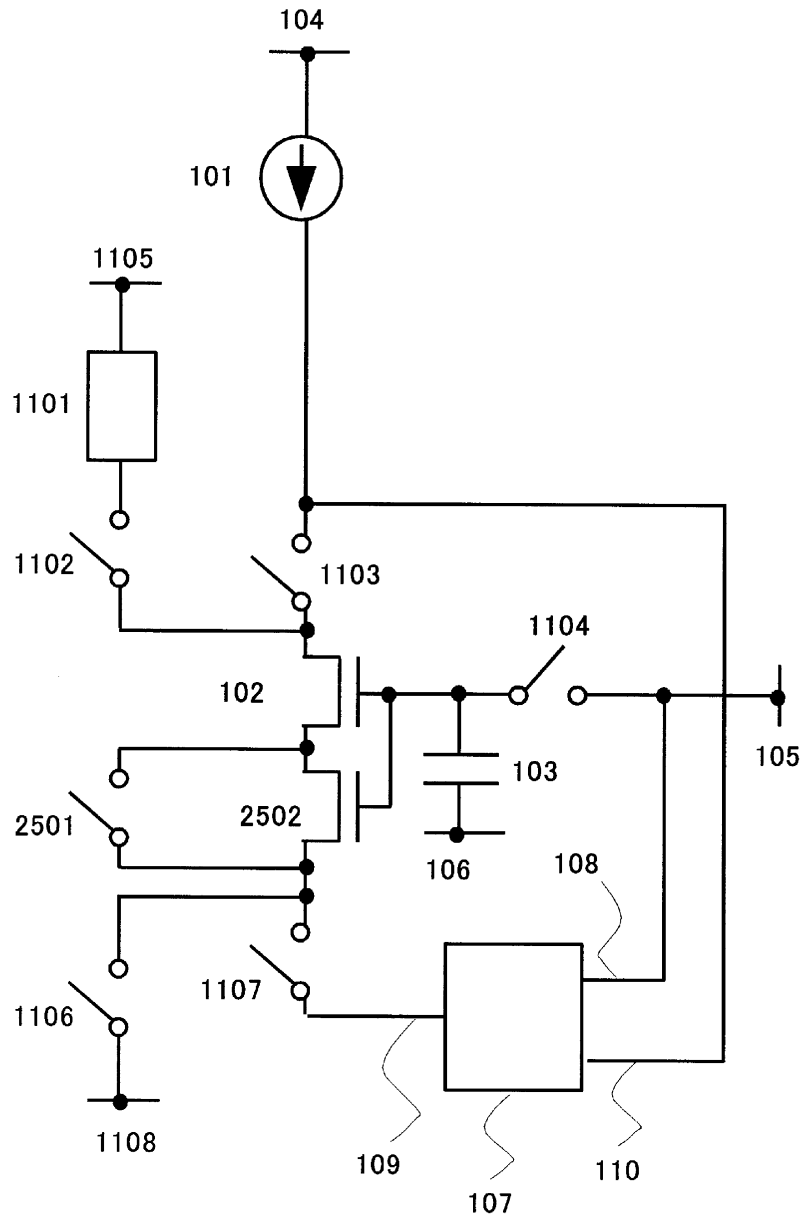
[図23]



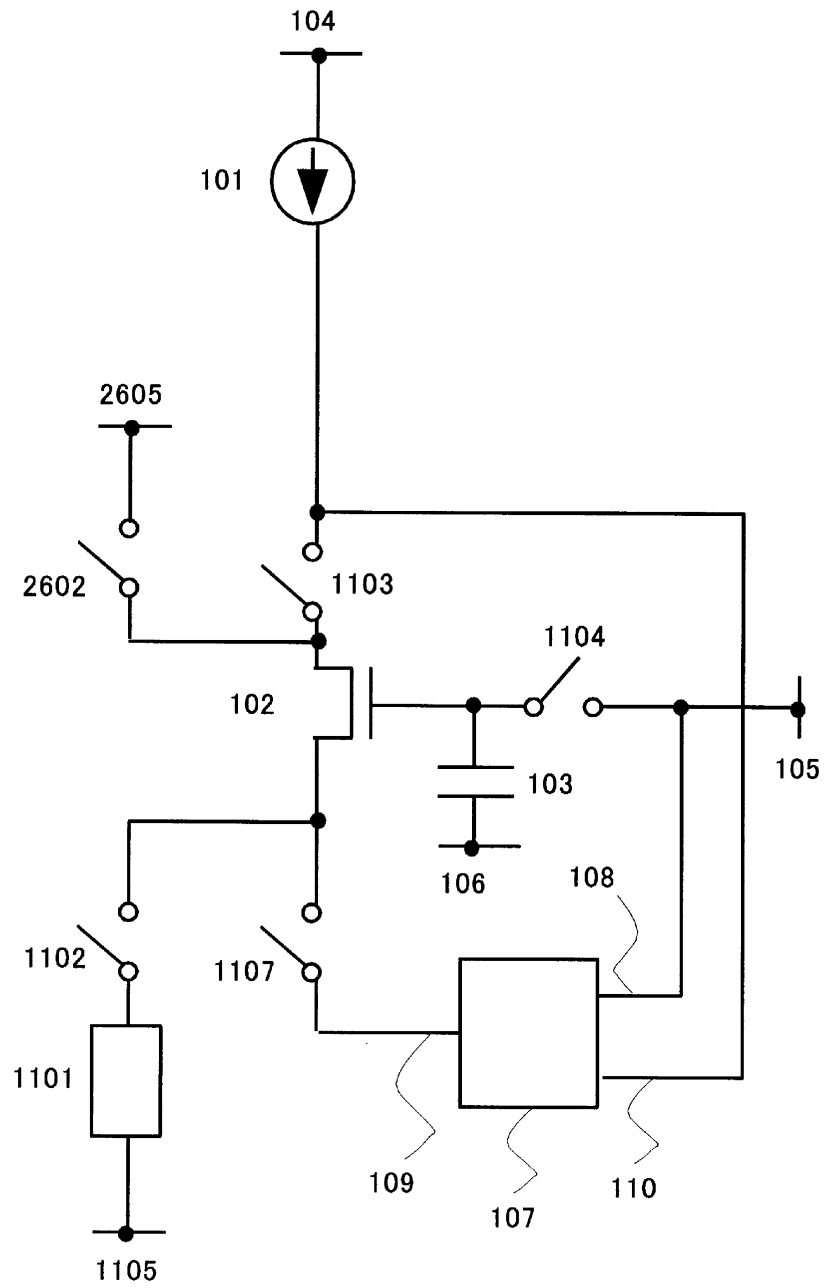
[図24]



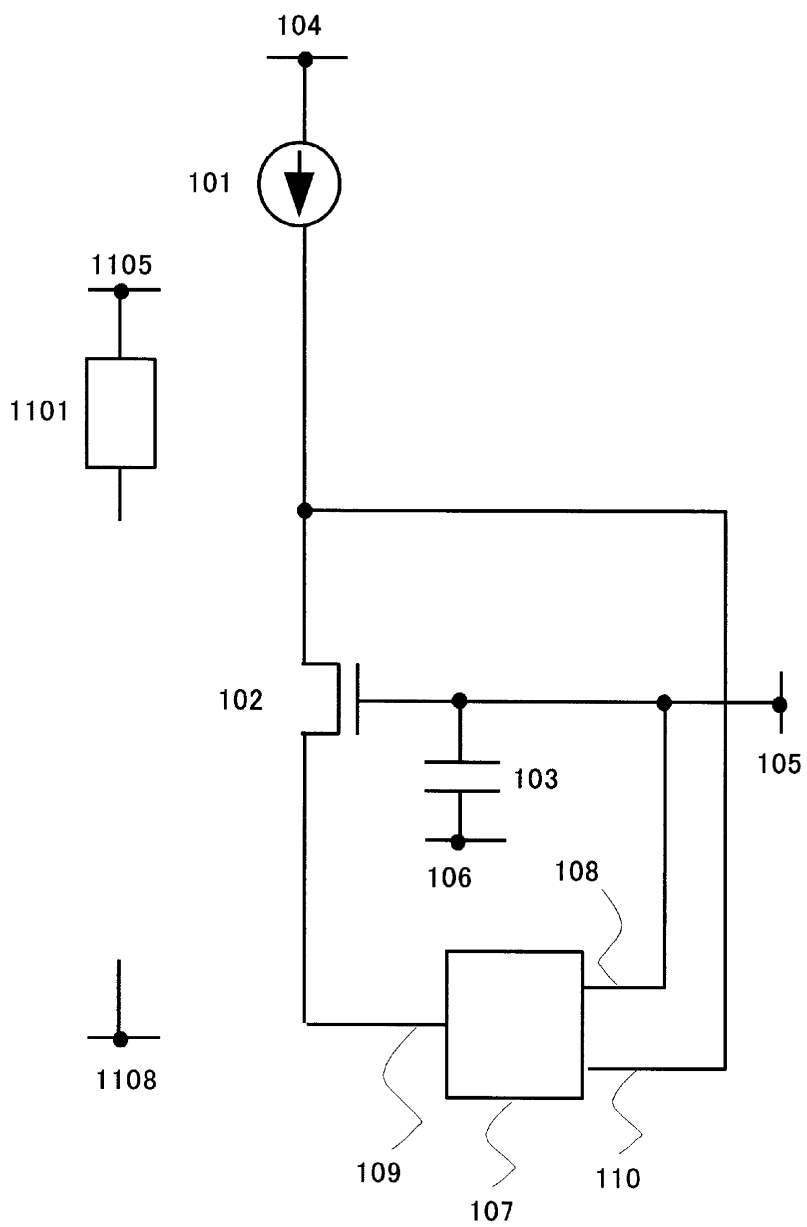
[図25]



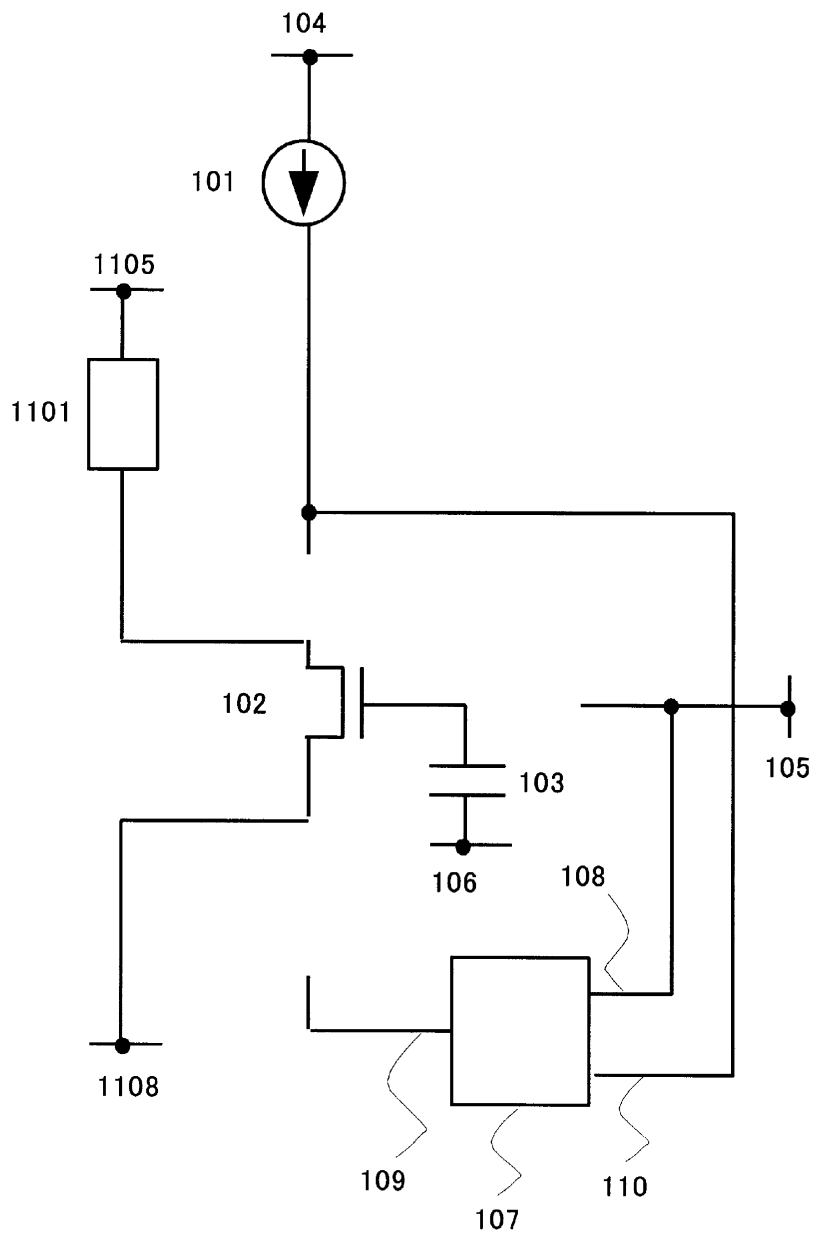
[図26]



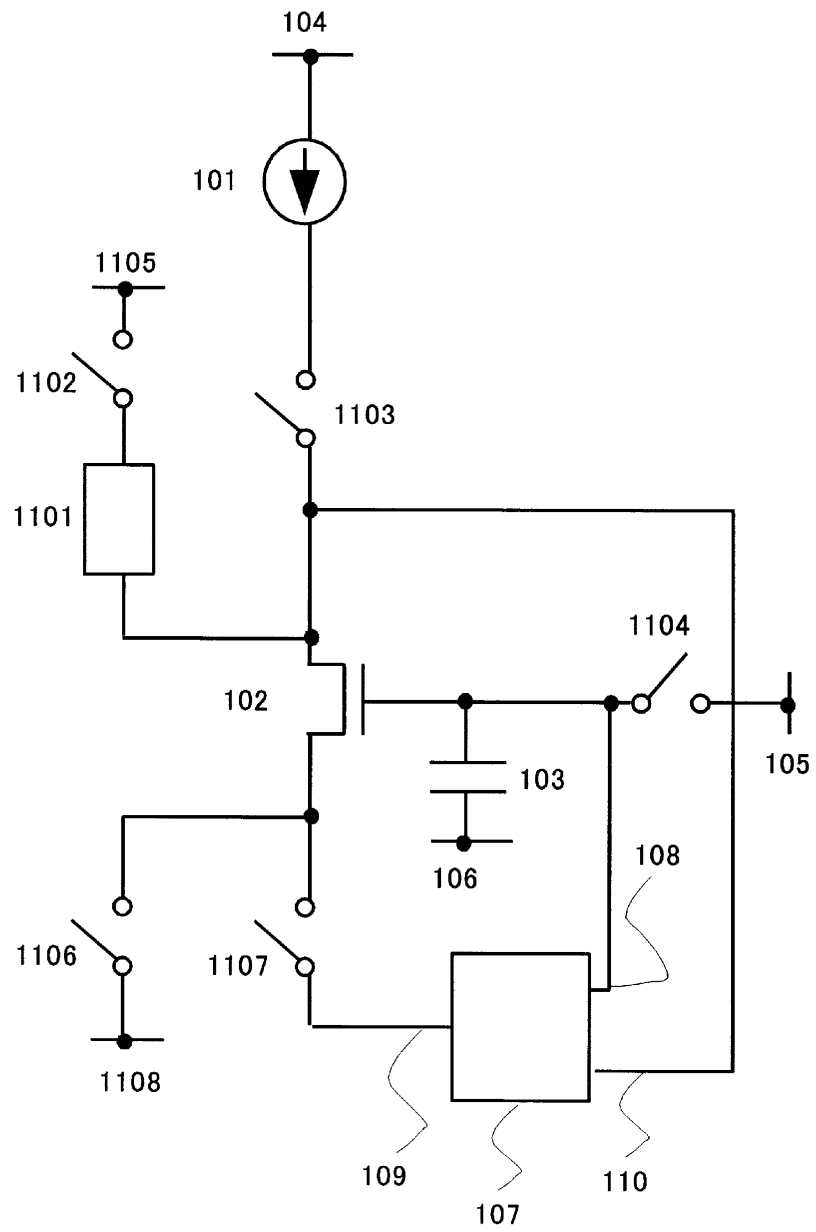
[図27]



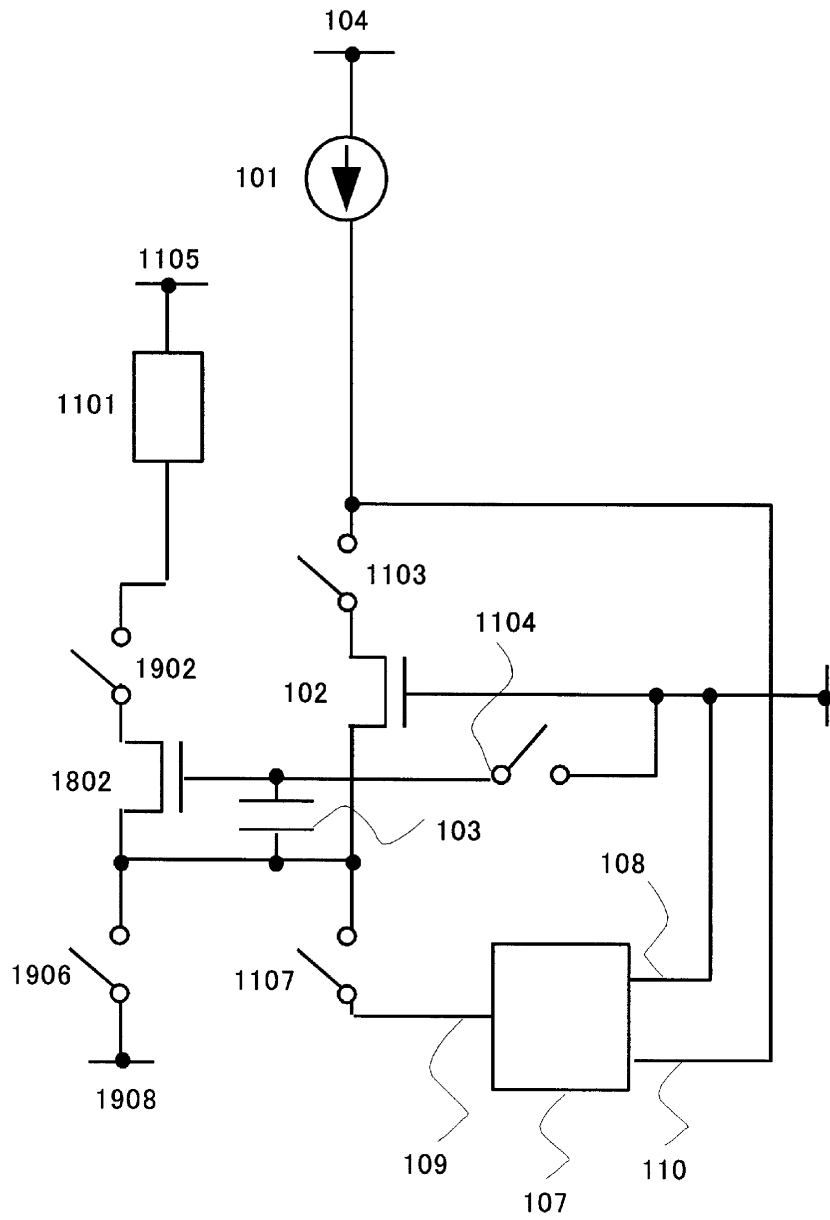
[図28]



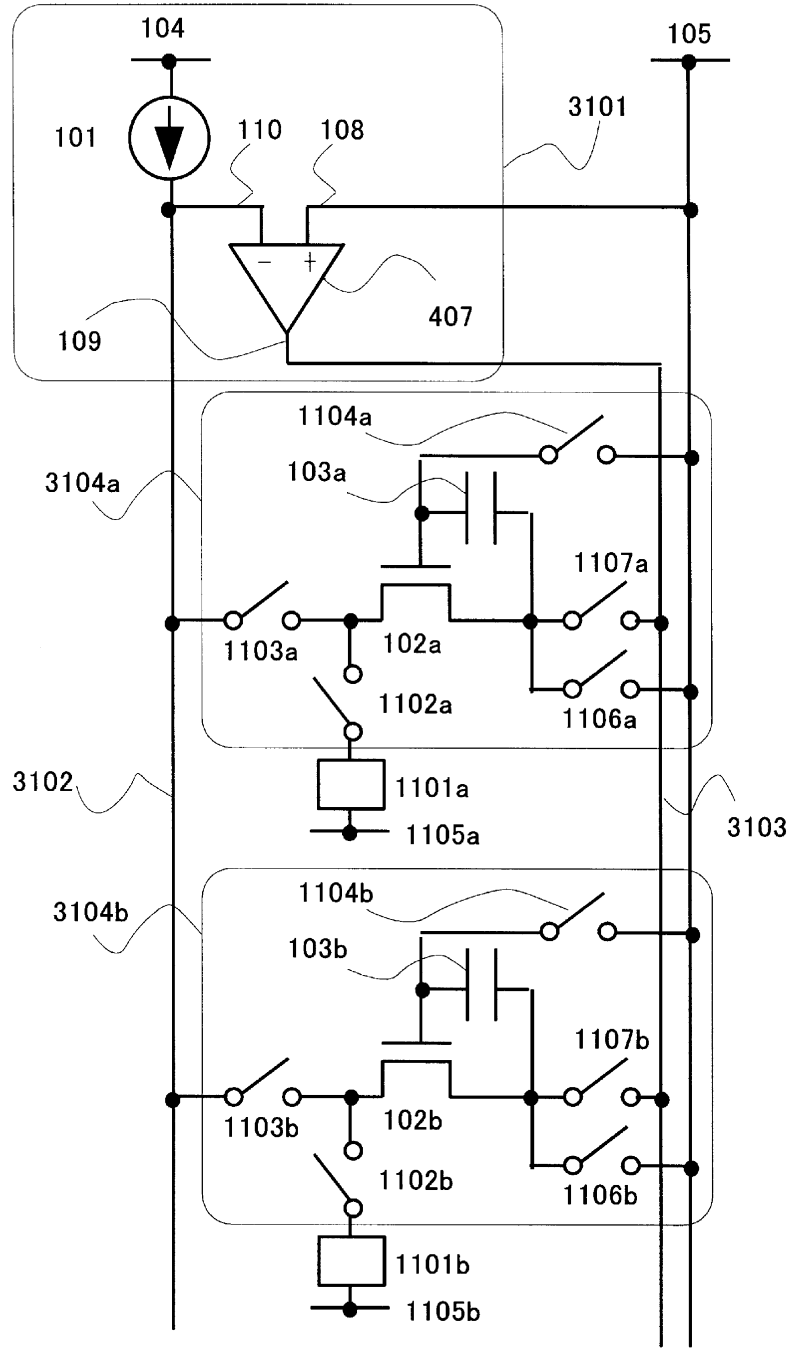
[図29]



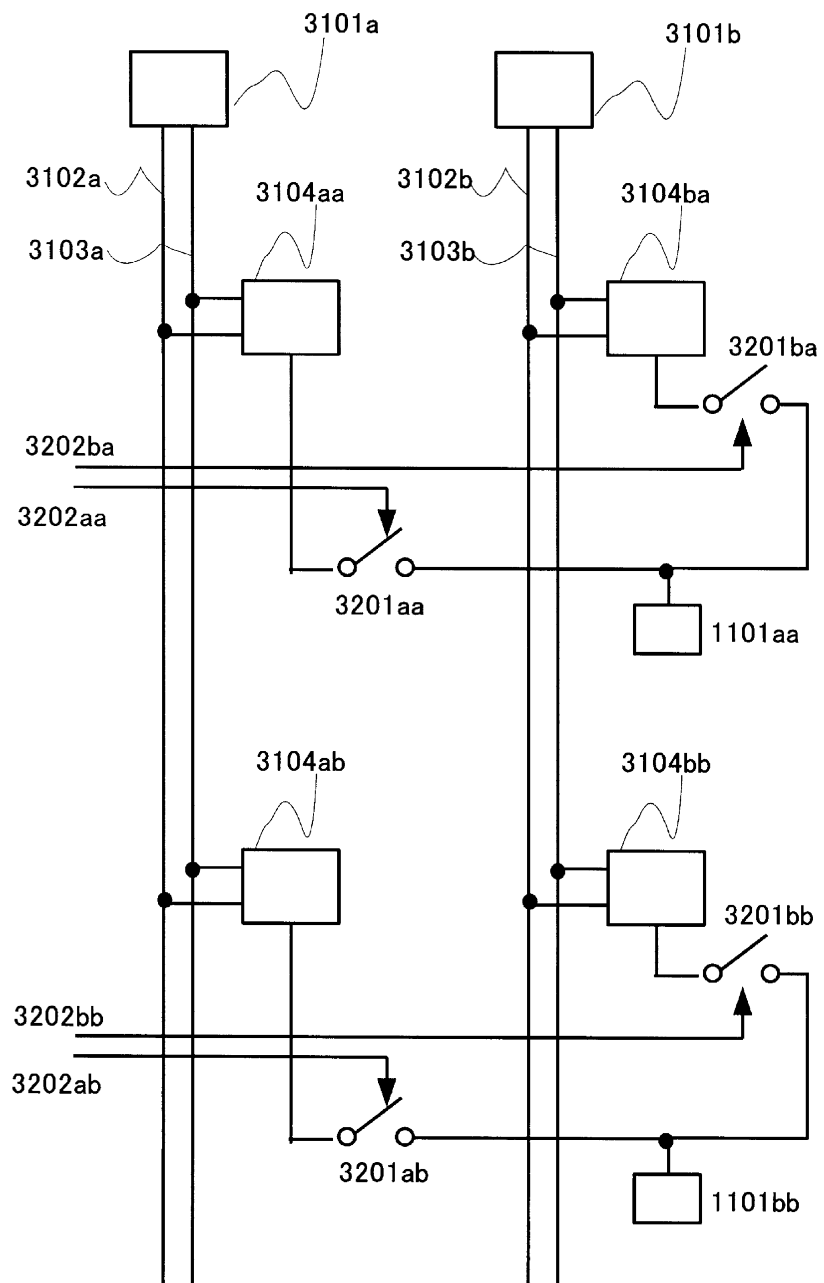
[図30]



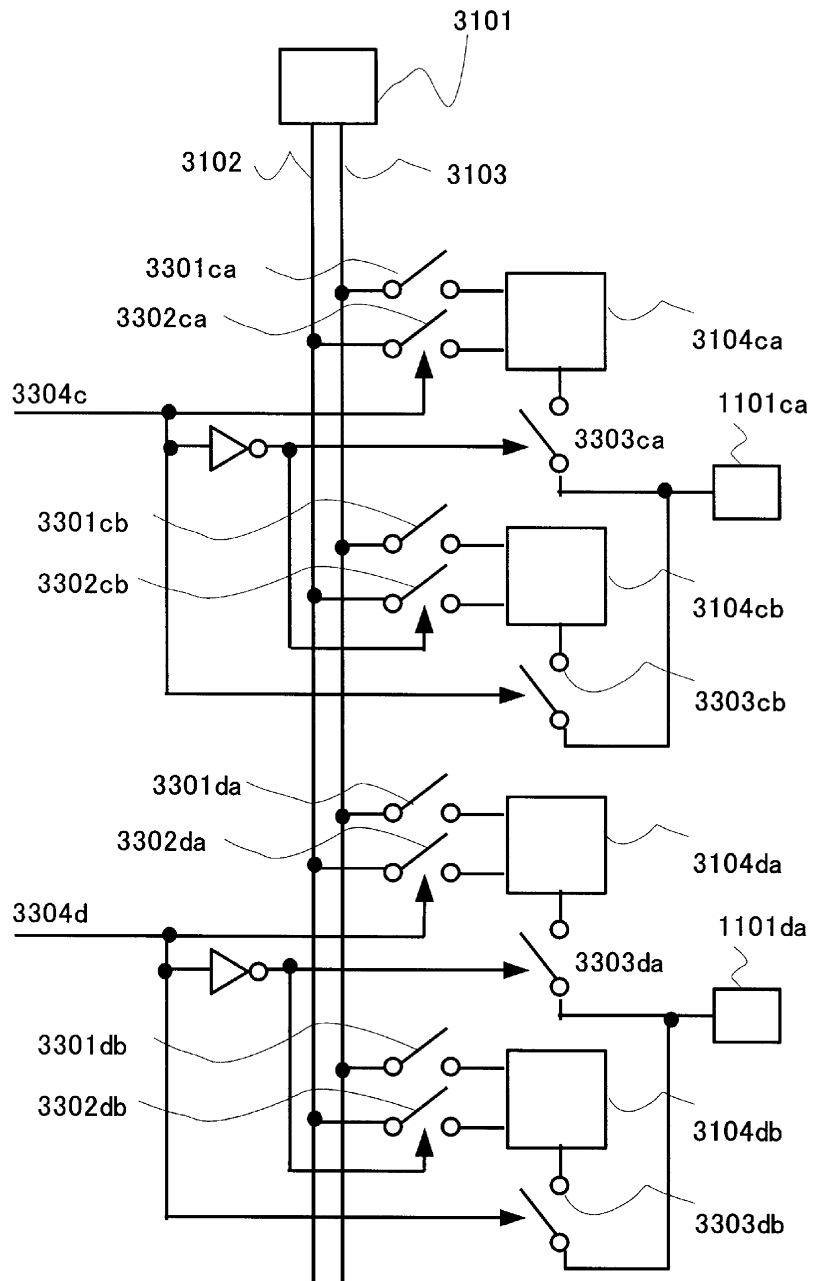
[図31]



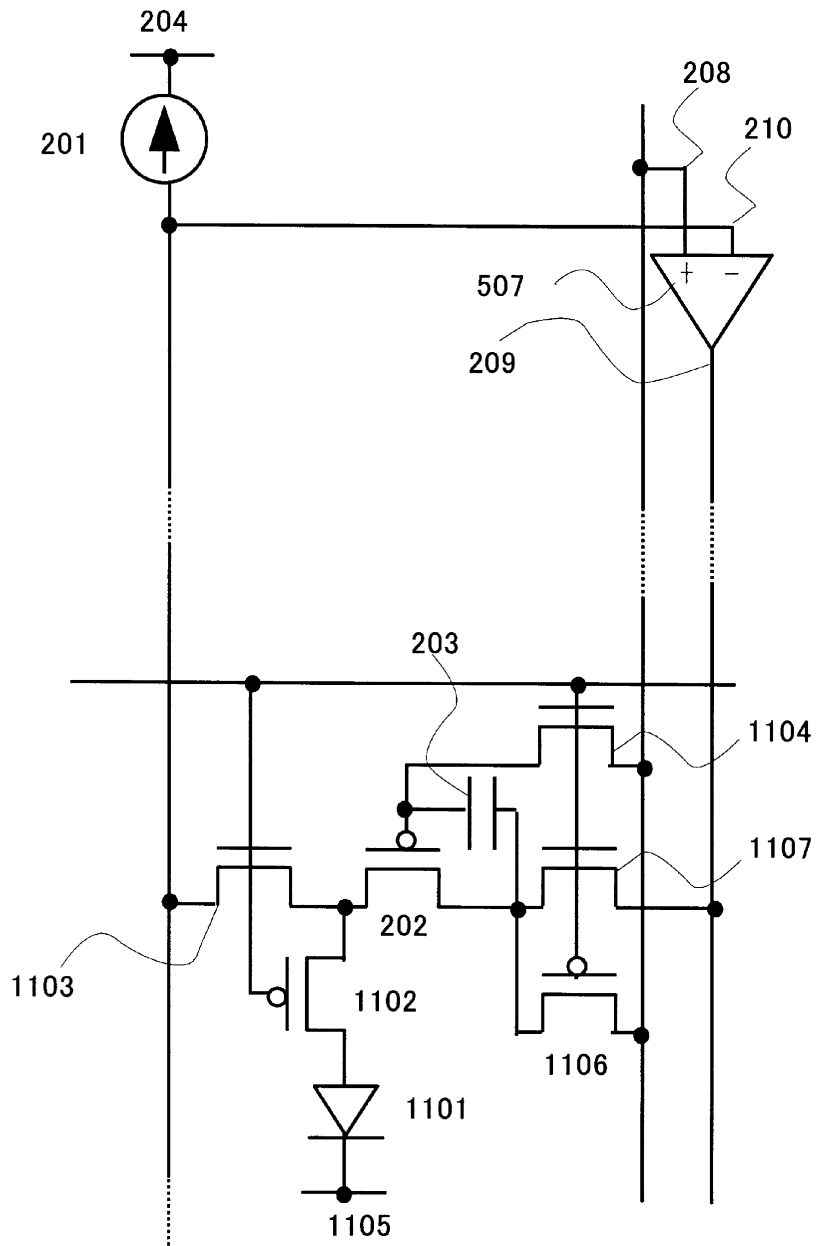
[図32]



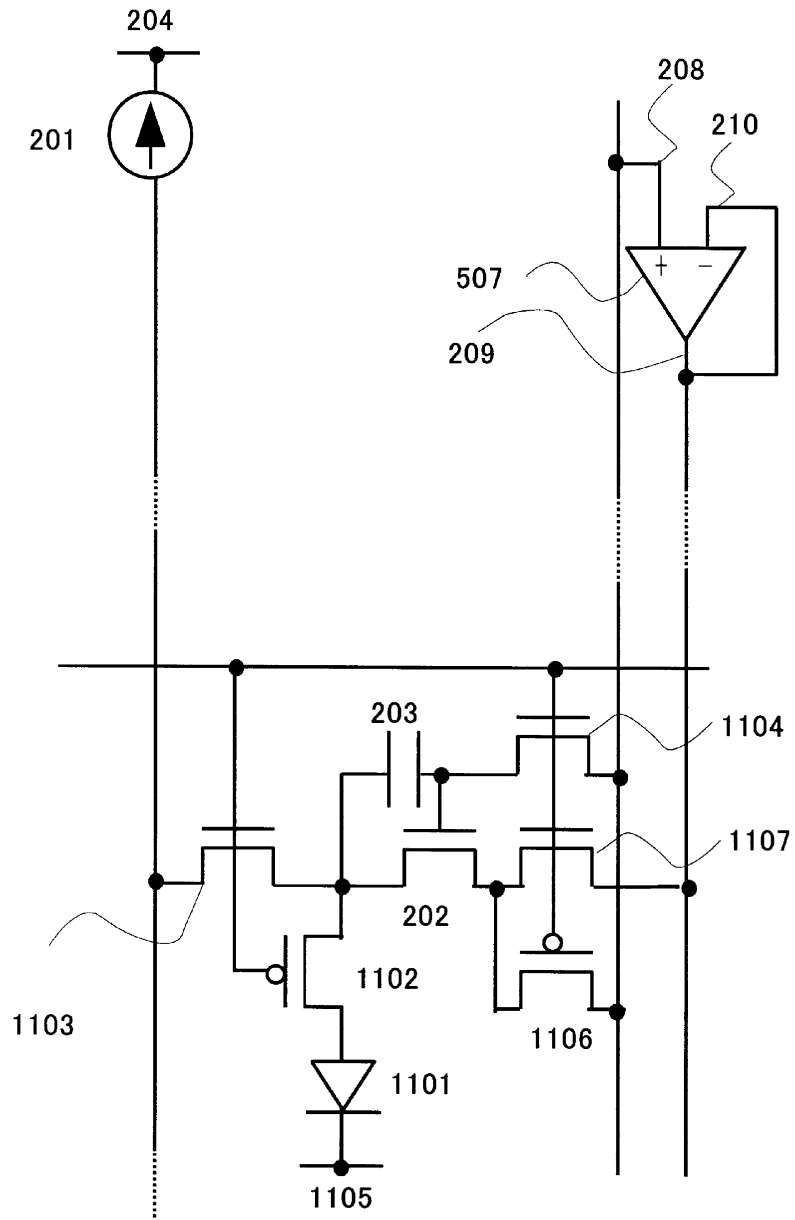
[図33]



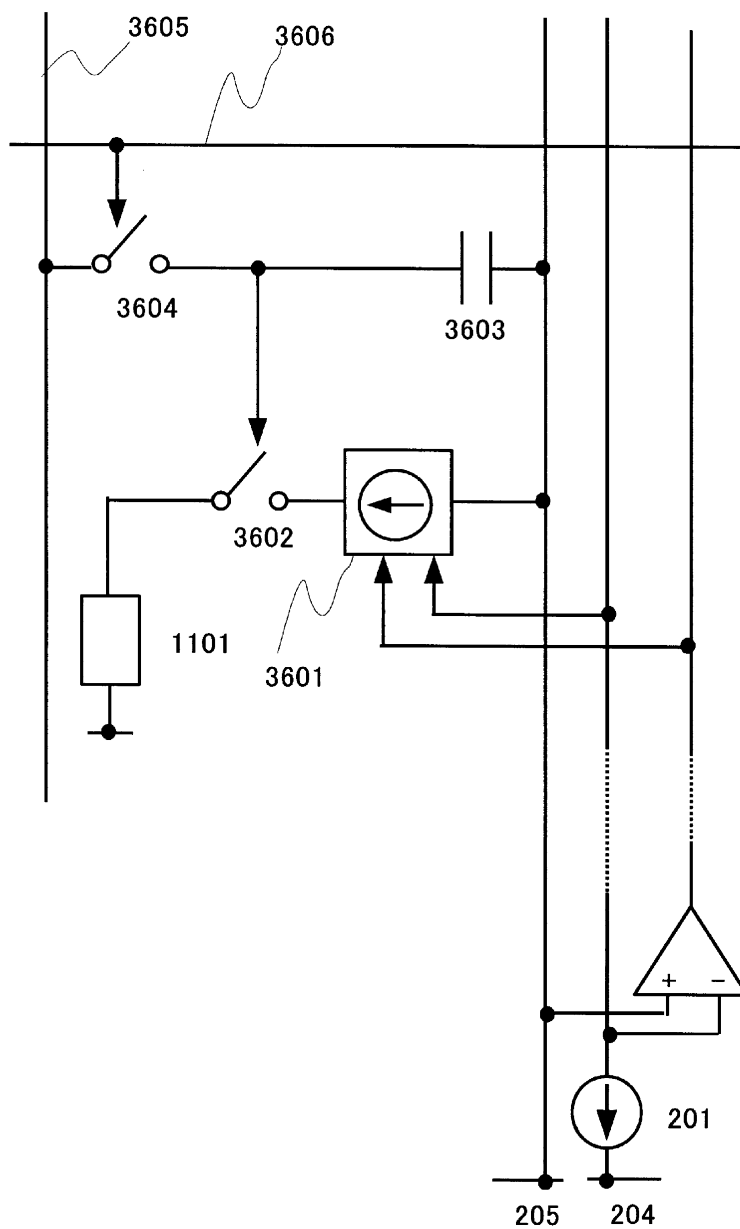
[図34]



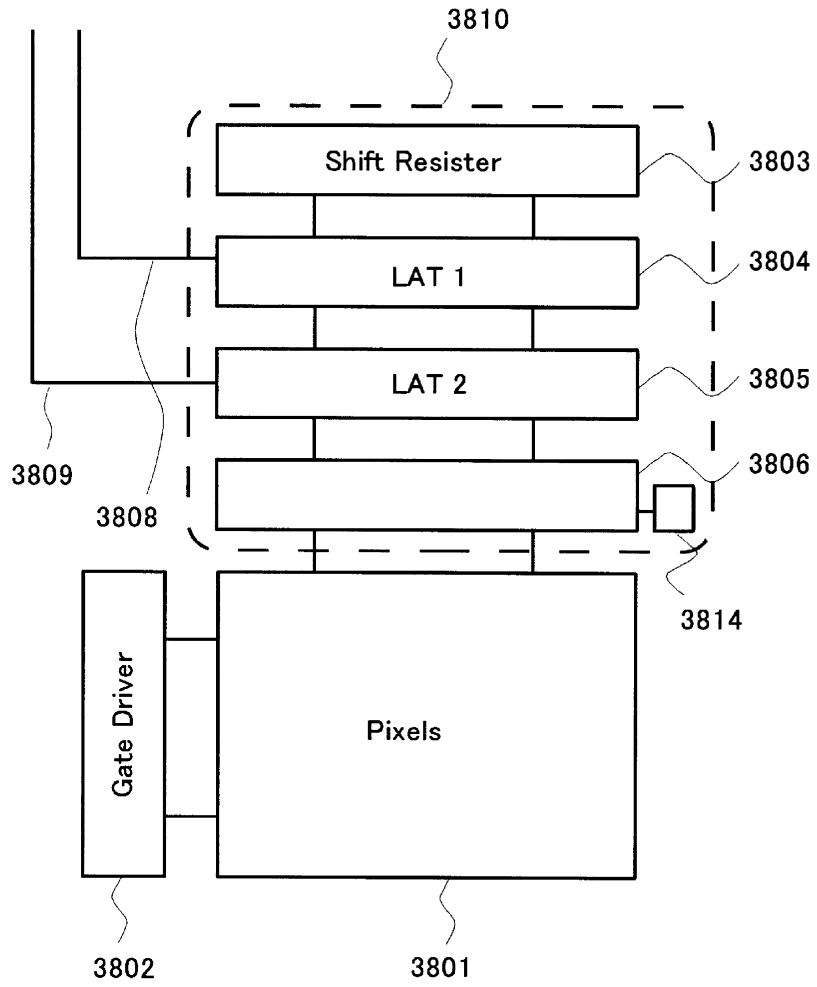
[図35]



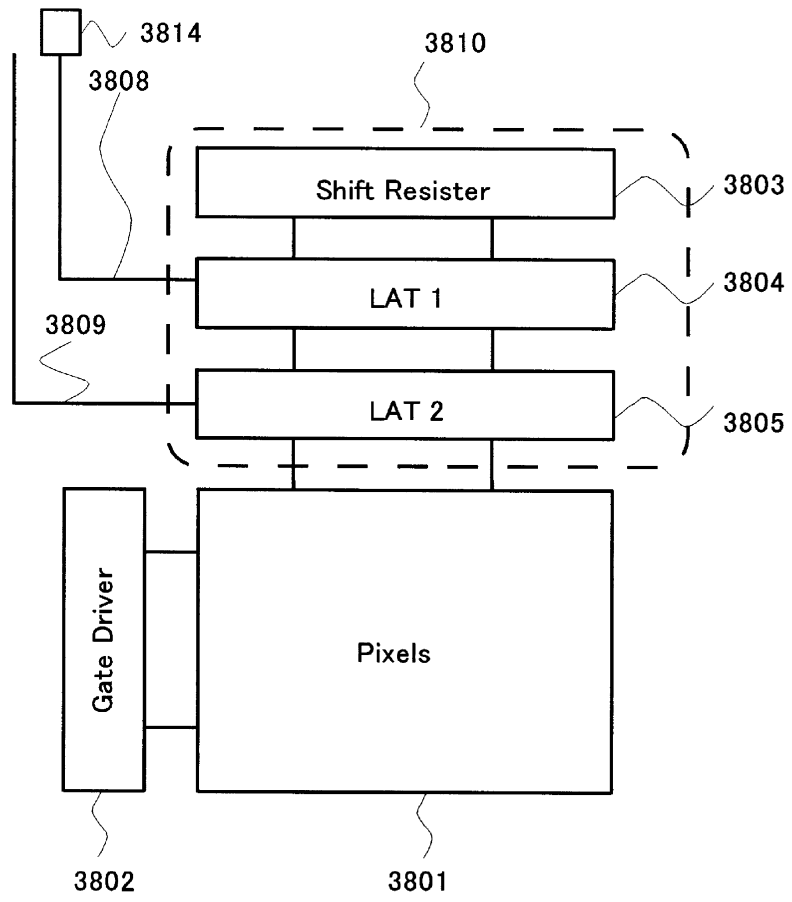
[図36]



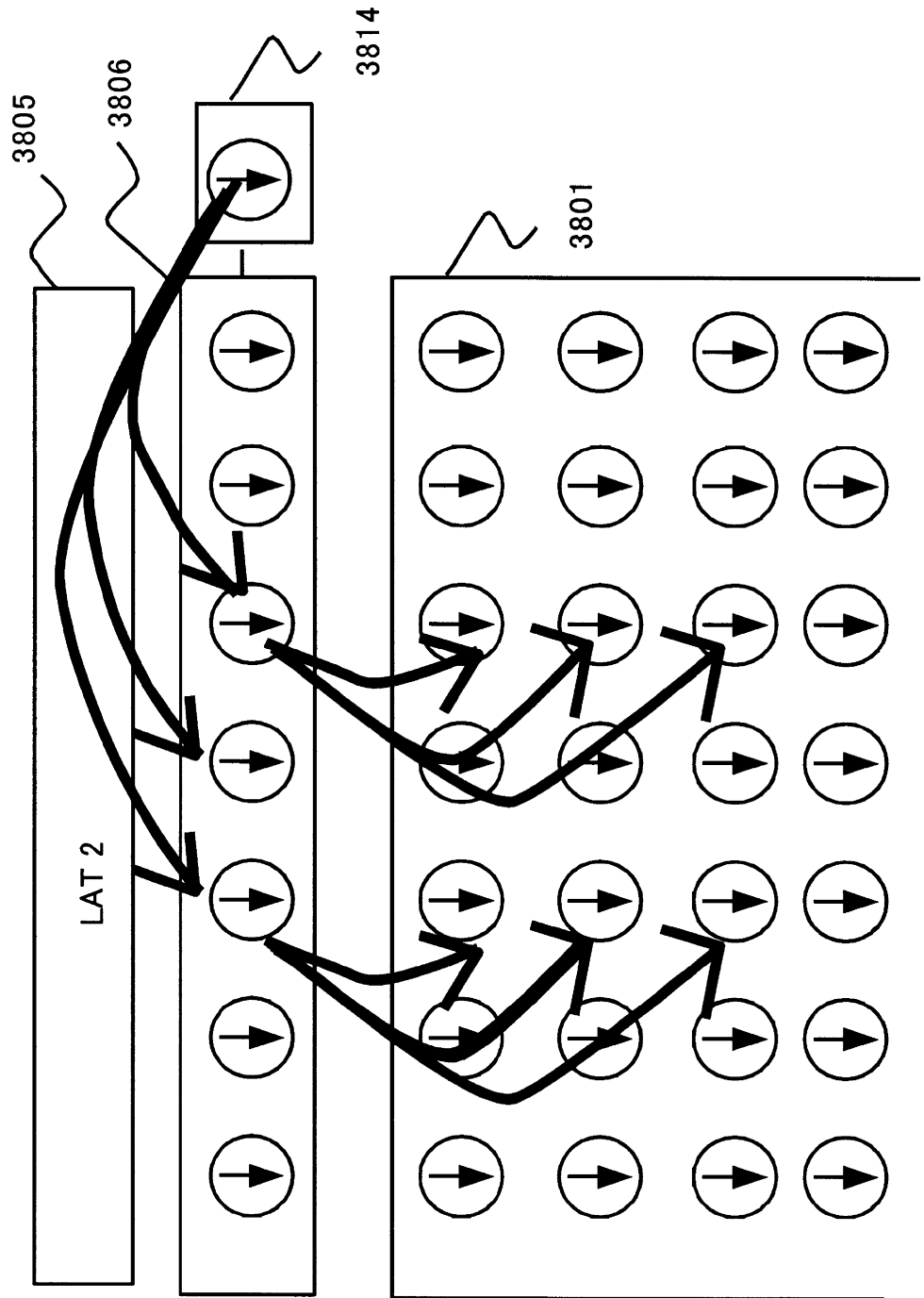
[図38]



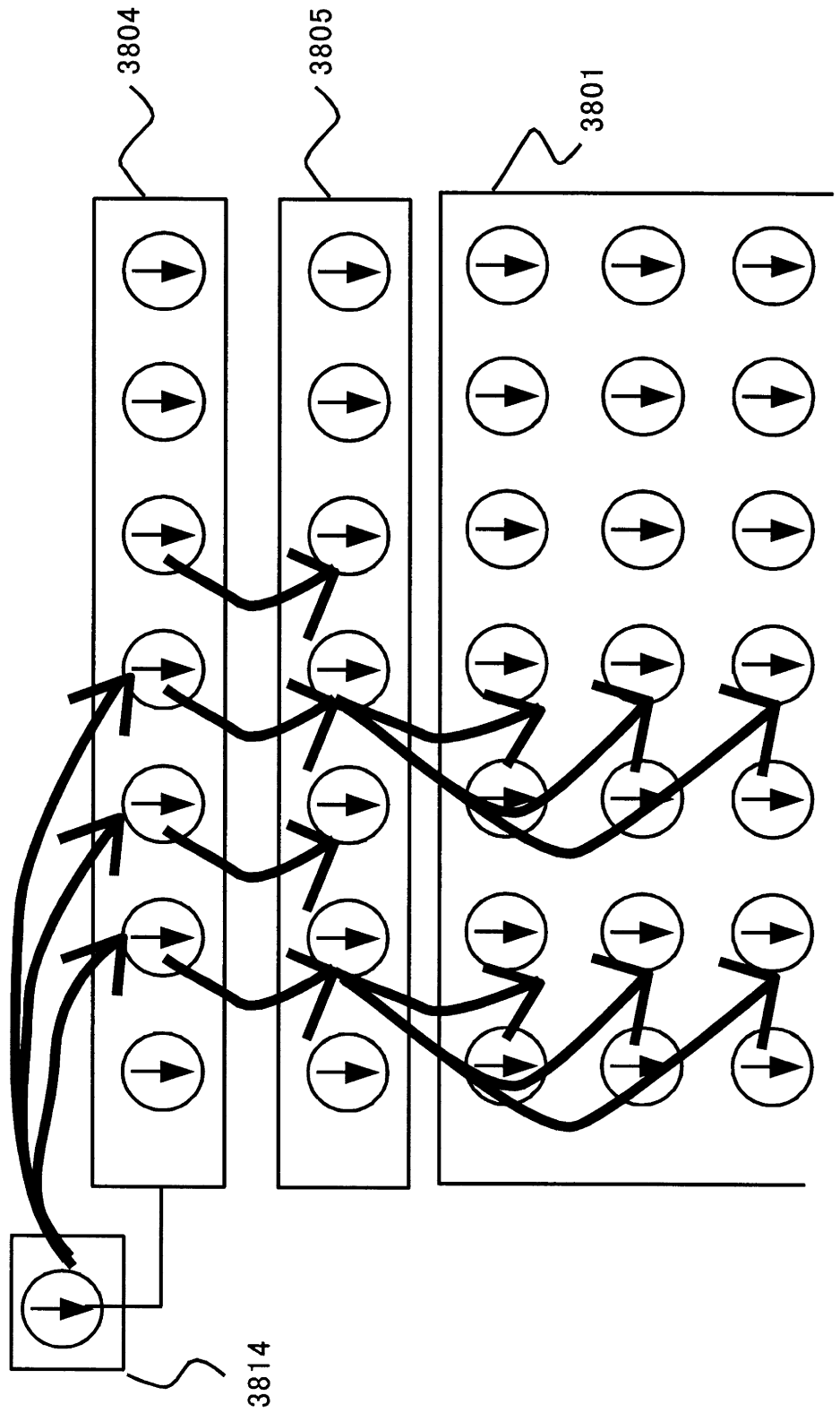
[図39]



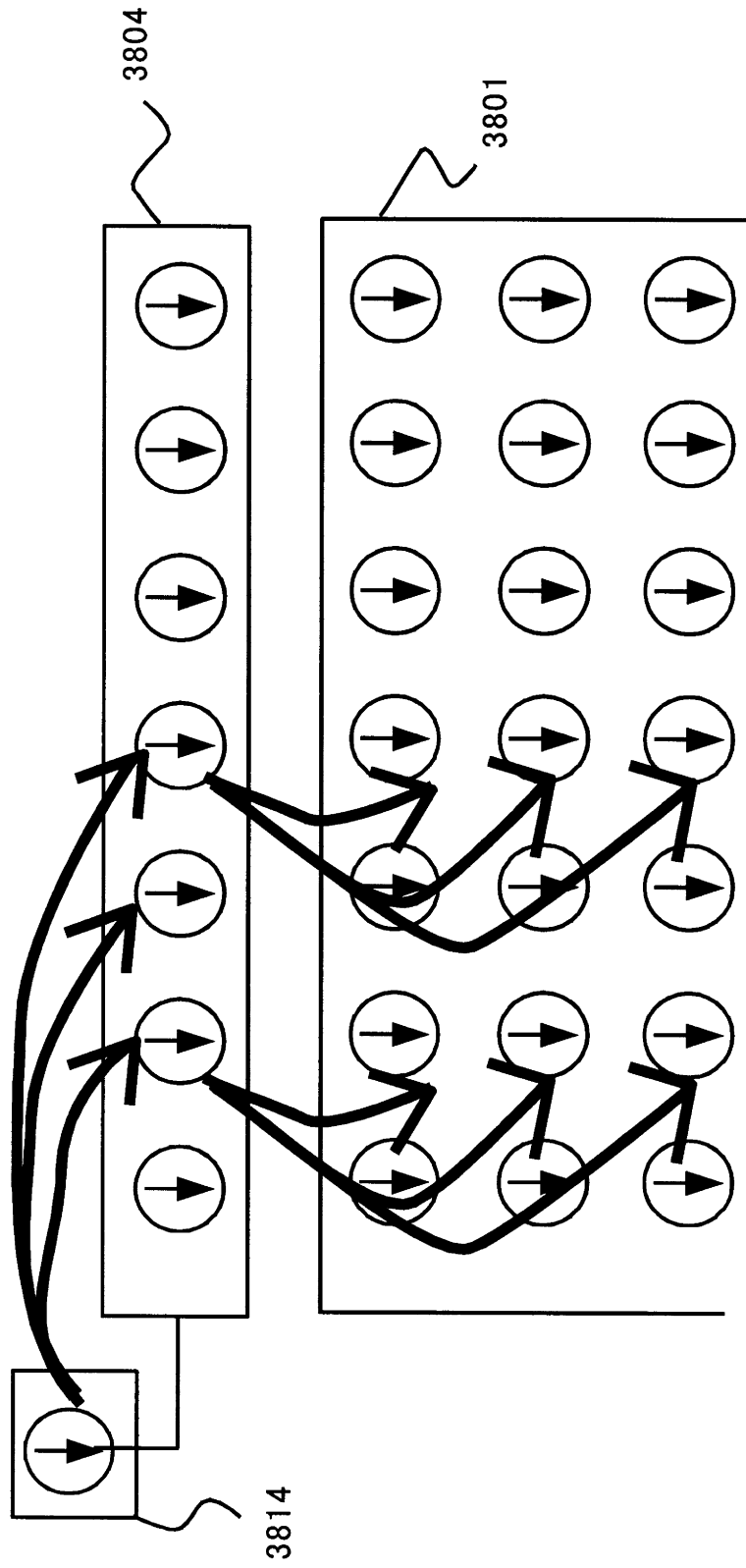
[図40]



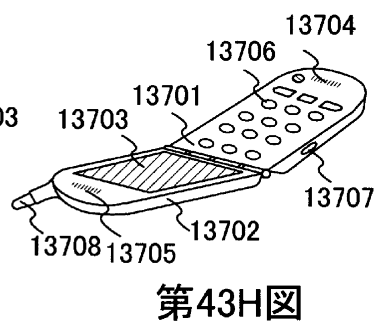
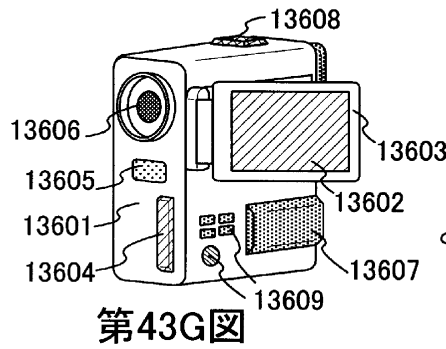
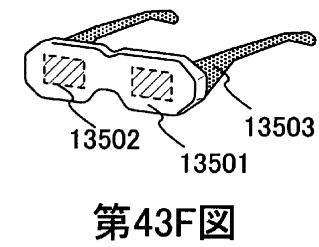
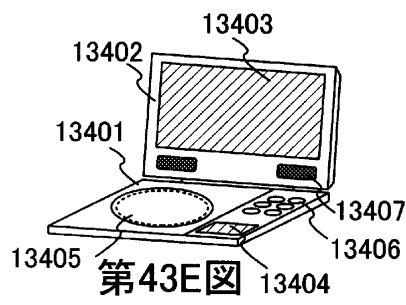
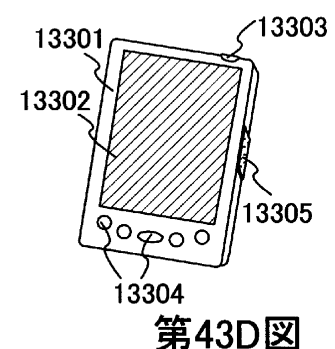
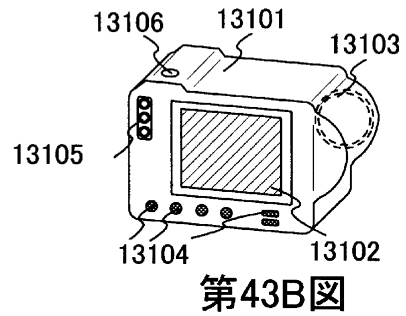
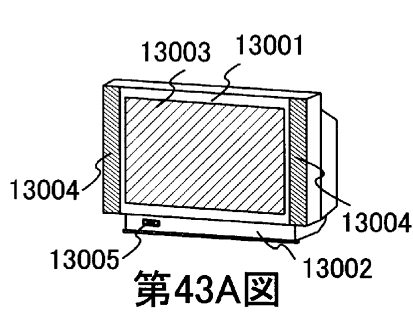
[図41]



[図42]



[図43]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005969

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G05F3/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G05F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-149783 A (Hitachi, Ltd.), 02 June, 1999 (02.06.99), Fig. 1; Par. Nos. [0033] to [0037] (Family: none)	1-5, 8-15
X	JP 2000-112548 A (Ricoh Co., Ltd.), 21 April, 2000 (21.04.00), Fig. 3; Par. Nos. [0002] to [0008] (Family: none)	6-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 August, 2004 (17.08.04)

Date of mailing of the international search report

31 August, 2004 (31.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ G05F3/24

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ G05F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-149783 A (株式会社日立製作所) 02.06.1999, 図1, 段落【0033】-【0037】 (ファミリーなし)	1-5 8-15
X	JP 2000-112548 A (株式会社リコー) 21.04.2000, 図3, 段落【0002】-【0008】 (ファミリーなし)	6-15

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>
--	---

国際調査を完了した日 17.08.2004	国際調査報告の発送日 31.8.2004
--------------------------	--------------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 米山 毅	3V 9324
電話番号 03-3581-1101 内線 3356		