202329333

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202329333 A

(43)公開日： 中華民國 112 (2023) 年 07 月 16 日

(21)申請案號：111143756 (22)申請日： 中華民國 111 (2022) 年 11 月 16 日

(51)Int. Cl.： *H01L21/82 (2006.01)* *H01L29/78 (2006.01)*

(30)優先權：2021/11/30 日本 2021-194809

2022/02/28 日本 2022-030009

2022/05/16 日本 2022-080079

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：方堂涼太 HODO, RYOTA (JP) ；齋藤暁 SAITO, SATORU (JP) ；國武寬司 KUNITAKE, HITOSHI (JP) ；山崎舜平 YAMAZAKI, SHUNPEI (JP) ；和久田真弘 WAKUDA, MASAHIRO (JP) ；濱田俊樹 HAMADA, TOSHIKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：7 項 圖式數：62 共 343 頁

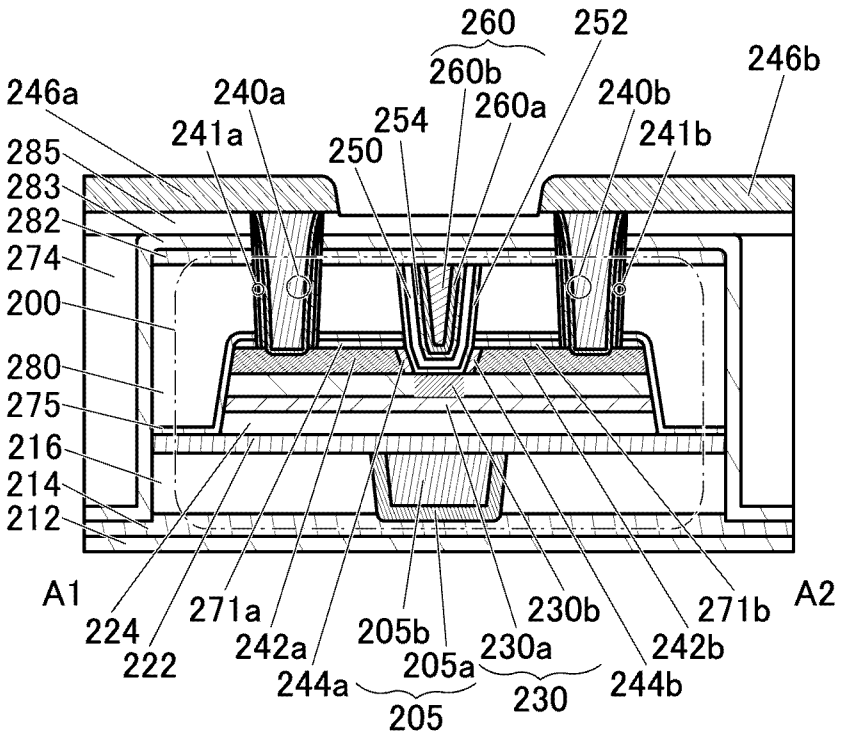
(54)名稱

半導體裝置、半導體裝置的製造方法

(57)摘要

提供一種能夠實現微型化或高積體化的半導體裝置及其製造方法。該半導體裝置包括：金屬氧化物；金屬氧化物上的第一導電體及第二導電體；在金屬氧化物上且位於第一導電體與第二導電體間的第一絕緣體；第一絕緣體上的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第三導電體；位於第一導電體與第一絕緣體間的第四絕緣體；以及位於第二導電體與第一絕緣體間的第五絕緣體。第一絕緣體接觸於金屬氧化物的頂面及側面且與第二絕緣體相比不容易透過氧。第一導電體、第二導電體、第四絕緣體及第五絕緣體包含相同金屬元素。在通道長度方向的剖面中，從第一導電體到第一絕緣體的距離為第一絕緣體的膜厚度以上且從第三導電體到金屬氧化物的距離以下。

指定代表圖：



【圖1B】

符號簡單說明：

200:電晶體

205a:導電體

205b:導電體

205:導電體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224:絕緣體

230a:氧化物

230b:氧化物

230:氧化物

240a:導電體

240b:導電體

241a:絕緣體

241b:絕緣體

242a:導電體

242b:導電體

244a:絕緣體

244b:絕緣體

246a:導電體

246b:導電體

250:絕緣體

252:絕緣體

254:絕緣體

260a:導電體

260b:導電體

260:導電體

271a:絕緣體

271b:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

【發明摘要】

【中文發明名稱】

半導體裝置、半導體裝置的製造方法

【中文】

提供一種能夠實現微型化或高積體化的半導體裝置及其製造方法。該半導體裝置包括：金屬氧化物；金屬氧化物上的第一導電體及第二導電體；在金屬氧化物上且位於第一導電體與第二導電體間的第一絕緣體；第一絕緣體上的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第三導電體；位於第一導電體與第一絕緣體間的第四絕緣體；以及位於第二導電體與第一絕緣體間的第五絕緣體。第一絕緣體接觸於金屬氧化物的頂面及側面且與第二絕緣體相比不容易透過氧。第一導電體、第二導電體、第四絕緣體及第五絕緣體包含相同金屬元素。在通道長度方向的剖面中，從第一導電體到第一絕緣體的距離為第一絕緣體的膜厚度以上且從第三導電體到金屬氧化物的距離以下。

【指定代表圖】圖1B

【代表圖之符號簡單說明】

200:電晶體

205a:導電體

205b:導電體

205:導電體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224:絕緣體

230a:氧化物

230b:氧化物

230:氧化物

240a:導電體

240b:導電體

241a:絕緣體

241b:絕緣體

242a:導電體

242b:導電體

244a:絕緣體

244b:絕緣體

246a:導電體

246b:導電體

250:絕緣體

252:絕緣體

254:絕緣體

260a:導電體

260b:導電體

260:導電體

271a:絕緣體

271b:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置、半導體裝置的製造方法

【技術領域】

【0001】本發明的一個實施方式係關於一種電晶體、半導體裝置、顯示裝置及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法及顯示裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置、記憶體裝置也是半導體裝置的一個實施方式。顯示裝置(液晶顯示裝置、發光顯示裝置等)、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI、CPU、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路(IC晶片)被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路(IC)、影像顯示裝置(簡單地記載為顯示裝置)等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。因此，實現電晶體的微型化的技術被要求。非專利文獻1及非專利文獻2公開了將矽用於通道且通道長度為3nm的沒有pn接面的電

晶體(Junctionless-FET)。另外，非專利文獻3公開了將氧化物半導體用於通道且閘極長度為12nm以下的電晶體。

【0009】

[專利文獻1] 日本專利申請公開第2012-257187號公報

[專利文獻2] 日本專利申請公開第2011-151383號公報

【0010】

[非專利文獻1] S.Migita, et al, “Electrical Performances of Junctionless-FETs at the Scaling Limit (L_{CH}=3nm)”,IEDM Tech. Dig., pp.191-194, 2012.

[非專利文獻2] S.Migita, et al, “Experimental Demonstration of Ultrashort-Channel (3nm) Junctionless FETs Utilizing Atomically Sharp V-Grooves on SOI”, IEEE Trans. Nanotechnol., 13, pp.208-215, 2014.

[非專利文獻3] S.Subhechha, et al, “First demonstration of sub-12nm L_g gate last IGZO-TFTs with oxygen tunnel architecture for front gate devices”, Symposium on VLSI Technology Digest of Technical Papers, T10-5, 2021.

【發明內容】

【0011】本發明的一個實施方式的目的之一是提供一種能夠實現微型化或高積體化的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種具有良好的電特

性的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種電晶體的電特性不均勻少的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種可靠性良好的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種通態電流大的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種低功耗的半導體裝置。

【0012】注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0013】本發明的一個實施方式是一種半導體裝置，包括：包括電晶體的通道形成區域的金屬氧化物；金屬氧化物上的第一導電體及第二導電體；在金屬氧化物上且位於第一導電體與第二導電體間的第一絕緣體；第一絕緣體上的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第三導電體；位於第一導電體與第一絕緣體間的第四絕緣體；位於第二導電體與第一絕緣體間的第五絕緣體；以及位於第一導電體及第二導電體上方的第六絕緣體。第六絕緣體具有開口。開口具有在第一導電體與第二導電體間且重疊於金屬氧化物的區域。第一絕緣體、第二絕緣體、第三絕緣體及第三導電體配置在開口內。第一絕緣體具有接觸於金屬氧化物的頂面的區域、接觸於金屬氧化物的側面的區域以及接觸於開口的側壁的區域。第一絕

緣體使用與第二絕緣體相比不容易透過氧的材料。第一絕緣體具有膜厚度為1.0nm以上且小於3.0nm的區域。第一導電體及第二導電體都包含金屬元素。第四絕緣體及第五絕緣體包含金屬元素。在電晶體的通道長度方向的剖面中，從第一導電體到第一絕緣體的距離為第一絕緣體的膜厚度以上且從第三導電體到金屬氧化物的距離以下。

【0014】在上述半導體裝置中，較佳的是，第一絕緣體使用與第二絕緣體相比不容易透過氧及氫的材料，第三絕緣體使用與第二絕緣體相比不容易透過氫的材料，第一絕緣體及第二絕緣體都包含氧，第二絕緣體及第三絕緣體都包含矽，並且第三絕緣體及第三導電體都包含氮。

【0015】在上述半導體裝置中，第一絕緣體較佳為包含鋁。

【0016】在上述半導體裝置中，金屬氧化物較佳為具有從金屬氧化物的底面向金屬氧化物的頂面鋁濃度變高的濃度梯度。

【0017】在上述半導體裝置中，金屬氧化物較佳為至少包含銦、鋁及鋅。

【0018】在上述半導體裝置中，金屬元素較佳為鉭或鈦。

【0019】本發明的一個實施方式是一種半導體裝置的製造方法，該半導體裝置包括：金屬氧化物；第一導電體至第三導電體；第一絕緣體至第四絕緣體；位於第一導電體與第二絕緣體間的第五絕緣體；以及位於第二導電體與

第二絕緣體間的第六絕緣體。該半導體裝置的製造方法包括如下步驟：依次沉積金屬氧化膜、導電膜的第一製程；將金屬氧化膜及導電膜加工為島狀而形成金屬氧化物及導電層的第二製程；形成第一絕緣體的第三製程；加工第一絕緣體的一部分及導電層的一部分而形成到達金屬氧化物的開口、第一導電體以及第二導電體的第四製程；在開口內形成第一絕緣膜的第五製程；在第一絕緣膜上形成第二絕緣膜的第六製程；在含氧氛圍下進行微波處理的第七製程；依次沉積第三絕緣膜及第二導電膜的第八製程；以及藉由CMP處理形成第二絕緣體、第三絕緣體、第四絕緣體及第三導電體的第九製程。在進行第四製程、第五製程、第六製程及第七製程中的任一個時形成第五絕緣體及第六絕緣體。

【0020】根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種可靠性良好的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種電晶體的電特性不均勻少的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種低功耗的半導體裝置。

【0021】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上

述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0022】

[圖1A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖1B]至[圖1D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖2]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖3A]至[圖3E]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖4A]至[圖4D]是金屬氧化物中的鋁濃度分佈的示意圖。

[圖5A]及[圖5B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖6A]及[圖6B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖7A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖7B]至[圖7D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖8A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖8B]至[圖8D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖9A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖9B]至[圖9D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖10B]至[圖10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖11B]至[圖11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖12A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖12B]至[圖12D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖13A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖13B]至[圖13D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖14A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖14B]至[圖14D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖15A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖15B]至[圖15D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖16A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖16B]至[圖16D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖17A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖17B]至[圖17D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖18]是說明根據本發明的一個實施方式的微波處理裝置的俯視圖。

[圖19]是說明根據本發明的一個實施方式的微波處理裝置的剖面示意圖。

[圖20]是說明根據本發明的一個實施方式的微波處理裝置的剖面示意圖。

[圖21]是說明根據本發明的一個實施方式的微波處理裝置的示意圖。

[圖22A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖22B]至[圖22D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖23A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖23B]至[圖23D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖24A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖24B]至[圖24D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖25A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖25B]至[圖25D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖26A]是根據本發明的一個實施方式的半導體裝置

的平面圖。[圖26B]及[圖26C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖27A]及[圖27B]是示出顯示裝置的結構例子的圖。

[圖28A]至[圖28D]是示出顯示裝置的結構例子的電路圖。

[圖29A]至[圖29D]是示出顯示裝置的結構例子的電路圖。

[圖30]是示出顯示裝置的結構例子的電路圖。

[圖31A]至[圖31C]是示出顯示裝置的結構例子的圖。

[圖32A]至[圖32F]是示出像素的結構例子的圖。

[圖33]是示出顯示裝置的結構例子的圖。

[圖34]是示出顯示裝置的結構例子的圖。

[圖35]是示出顯示裝置的結構例子的圖。

[圖36]是示出顯示裝置的結構例子的圖。

[圖37A]至[圖37F]是示出發光元件的結構例子的圖。

[圖38A]至[圖38C]是示出發光元件的結構例子的圖。

[圖39A]至[圖39D]是示出電子裝置的一個例子的圖。

[圖40A]至[圖40F]是示出電子裝置的一個例子的圖。

[圖41A]至[圖41G]是示出電子裝置的一個例子的圖。

[圖42A]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的方塊圖。[圖42B]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的立體圖。

[圖43A]至[圖43H]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的電路圖。

[圖44]是說明金屬氧化物的蝕刻速度的圖。

[圖45A]至[圖45C]是說明樣本的製造方法的圖。

[圖46]是包括在所製造的樣本中的電晶體的剖面STEM影像。

[圖47A]及[圖47B]是用於器件模擬的電晶體的剖面示意圖。

[圖48A]是示出藉由器件模擬得到的Cg-Vg特性的圖。[圖48B]是示出藉由器件模擬得到的Id-Vg特性的圖。

[圖49A]是示出藉由器件模擬得到的Id-Vg特性的圖。[圖49B]是從Id-Vg特性估計的Vth的結果。[圖49C]是從Id-Vg特性估計的汲極電流的結果。

[圖50A]及[圖50B]是所製造的樣本的剖面STEM影像。

[圖51]是電晶體的Id-Vg特性。

[圖52]是示出Vth的正態概率圖(normal probability plot)的圖。

[圖53]是示出電晶體的截止頻率的測量結果的圖。

[圖54A]是說明疊層膜的疊層結構的圖。[圖54B]及[圖54C]是所製造的樣本的SIMS分析的結果。

[圖55]是示出所製造的樣本的片電阻的圖。

[圖56A]及[圖56B]是電晶體的Id-Vg特性。

[圖57A]至[圖57C]是包括在所製造的樣本中的電晶體的剖面STEM影像。

[圖58A]是電晶體的Id-Vg特性。[圖58B]是示出Vth的

正態概率圖的圖。

[圖59]是示出金屬氧化物的霍爾移動率與載子濃度的關係的圖。

[圖60A]至[圖60D]是電晶體的Id-Vg特性。

[圖61]是示出臨界電壓與線性區域中的場效移動率的關係的圖。

[圖62A]是示出金屬氧化物的載子濃度的溫度依賴性的圖。[圖62B]是示出金屬氧化物的霍爾移動率的溫度依賴性的圖。

【實施方式】

【0023】下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0024】在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地減薄，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的元

件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0025】另外，尤其在俯視圖(也稱為平面圖)或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0026】此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0027】在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0028】例如，在本說明書等中，當明確地記載為“X與Y連接”時，在本說明書等中公開了如下情況：X與Y電連接；X與Y在功能上連接；X與Y直接連接。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也在圖式或文中公開了。在此，X和Y為物件(例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等)。

【0029】在本說明書等中，電晶體是指至少包括閘

極、汲極以及源極這三個端子的元件。電晶體在汲極(汲極端子、汲極區域或汲極電極)與源極(源極端子、源極區域或源極電極)之間具有形成通道的區域(以下也稱為通道形成區域),並且透過通道形成區域電流能夠流過源極和汲極之間。注意,在本說明書等中,通道形成區域是指電流主要流過的區域。

【0030】另外,在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下,源極或汲極的功能有時互相調換。因此,在本說明書等中,有時源極或汲極可以相互調換。

【0031】注意,通道長度例如是指電晶體的俯視圖中的半導體(或在電晶體處於開啟狀態時,在半導體中電流流過的部分)和閘極電極互相重疊的區域或者通道形成區域中的源極(源極區域或源極電極)和汲極(汲極區域或汲極電極)之間的距離。另外,在一個電晶體中,通道長度不一定在所有的區域中成為相同的值。也就是說,一個電晶體的通道長度有時不限定於一個值。因此,在本說明書中,通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0032】通道寬度例如是指在電晶體的俯視圖中半導體(或在電晶體處於開啟狀態時,在半導體中電流流過的部分)和閘極電極互相重疊的區域或者通道形成區域中的垂直於通道長度方向上的通道形成區域的長度。另外,在一個電晶體中,通道寬度不一定在所有的區域中成為相同

的值。也就是說，一個電晶體的通道寬度有時不限定於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0033】在本說明書等中，根據電晶體的結構，有時形成通道的區域中的實際上的通道寬度(以下，也稱為“有效通道寬度”)和電晶體的俯視圖所示的通道寬度(以下，也稱為“外觀上的通道寬度”)不同。例如，在閘極電極覆蓋半導體的側面時，有時因為有效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面上的通道形成區域的比率增高。在此情況下，有效通道寬度大於外觀上的通道寬度。

【0034】在上述情況下，有時難以藉由實測估計有效通道寬度。例如，為了根據設計值估計有效通道寬度，需要預先知道半導體的形狀的假定。因此，當不確定半導體的形狀時，難以準確地測量有效的通道寬度。

【0035】在本說明書中，在簡單地描述為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示有效通道寬度。注意，例如藉由對剖面TEM影像進行分析，可以決定通道長度、通道寬度、有效通道寬度或外觀上的通道寬度等的值。

【0036】注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可

以說是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的增高、結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質起作用。此外，例如有時雜質的混入導致氧化物半導體中的氧空位(也稱為V_O：oxygen vacancy)的形成。

【0037】注意，在本說明書等中，氧氮化矽是指氧含量大於氮含量的物質。此外，氮氧化矽是指氮含量大於氧含量的物質。

【0038】注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0039】在本說明書等中，“平行”是指兩條直線形成的角度為-10°以上且10°以下的狀態。因此，也包括該角度為-5°以上且5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且30°以下的狀態。另外，“垂直”是指兩條直線的角度為80°以上且100°以下的狀態。因此，也包括該角度為85°以上且95°以下的狀態。“大致垂直”是指兩條直線形成的角度為60°以上且120°以下的狀態。

【0040】在本說明書等中，金屬氧化物(metal oxide)是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物

絕緣體、氧化物導電體(包括透明氧化物導電體)和氧化物半導體(Oxide Semiconductor，也可以簡稱為OS)等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體換稱為包括金屬氧化物或氧化物半導體的電晶體。

【0041】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度1μm的汲極電流在室溫下為1×10^{-20}A以下，在85℃下為1×10^{-18}A以下，或在125℃下為1×10^{-16}A以下。

【0042】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位(接地電位)時，也可以將“電壓”稱為“電位”。地電位不一定意味著0V。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0043】此外，在本說明書等中，在多個組件使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”或“[m，n]”等用於識別的符號。

【0044】另外，在本說明書中，在規定有上限值和下限值的情況下，被視為公開有自由地組合上限值及下限值的結構。

【0045】注意，在本說明書等中，“高度一致或大致一致”是指在從剖面看時距作為基準的面(例如，基板表面

等平坦的面)的高度相等的結構。例如，在半導體裝置的製造程序中，有時進行平坦化處理(典型的是CMP處理)使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，如下情況也稱為“高度一致或大致一致”：包括對基準面具有兩個高度的層(在此，第一層和第二層)，其中第一層的頂面高度與第二層的頂面高度之差為20nm以下。

【0046】注意，在本說明書等中，“端部對齊或大致對齊”是指在俯視時層疊的層與層之間輪廓的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓不重疊且上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也包括在“端部對齊或大致對齊”。

【0047】

實施方式1

在本實施方式中，參照圖1A至圖26C說明本發明的一個實施方式的半導體裝置的一個例子及其製造方法。本發明的一個實施方式的半導體裝置包括電晶體。

【0048】

<半導體裝置的結構例子>

參照圖1說明包括電晶體200的半導體裝置的結構。圖1A至圖1D是包括電晶體200的半導體裝置的俯視圖及剖面圖。圖1A是該半導體裝置的俯視圖。圖1B至圖1D是該半導體裝置的剖面圖。在此，圖1B是沿著圖1A中的點劃線A1-A2的部分的剖面圖，也是電晶體200的通道長度方向的剖面圖。此外，圖1C是沿著圖1A中的點劃線A3-A4的部分的剖面圖，也是電晶體200的通道寬度方向的剖面圖。另外，圖1D是沿著圖1A中的點劃線A5-A6的部分的剖面圖。注意，在圖1A的俯視圖中，為了明確起見，省略一部分組件。

【0049】本發明的一個實施方式的半導體裝置包括基板(未圖示)上的絕緣體212、絕緣體212上的絕緣體214、絕緣體214上的電晶體200、電晶體200上的絕緣體280、絕緣體280上的絕緣體282、絕緣體282上的絕緣體283、絕緣體283上的絕緣體274以及絕緣體283上及絕緣體274上的絕緣體285。絕緣體212、絕緣體214、絕緣體280、絕緣體282、絕緣體283、絕緣體285、絕緣體274及絕緣體285被用作層間膜。此外，還包括與電晶體200電連接並被用作插頭的導電體240a及導電體240b。此外，還包括與導電體240a的側面接觸的絕緣體241a及與導電體240b的側面接觸的絕緣體241b。另外，絕緣體285及導電體240a上設置有與導電體240a電連接的導電體246a，絕緣體285及導電體240b上設置有與導電體240b電連接的導電體246b。此外，絕緣體283與絕緣體214的頂面的一部分、絕緣體280的側

面以及絕緣體282的側面及頂面接觸。

【0050】以與絕緣體280、絕緣體282、絕緣體283及絕緣體285的開口的內壁接觸的方式設置絕緣體241a，以與絕緣體241a的側面接觸的方式設置導電體240a。此外，以與絕緣體280、絕緣體282、絕緣體283及絕緣體285的開口的內壁接觸的方式設置絕緣體241b，以與絕緣體241b的側面接觸的方式設置導電體240b。此外，絕緣體241a及絕緣體241b具有以與上述開口的內壁接觸的方式設置有第一絕緣體且其內側設置有第二絕緣體的結構。另外，導電體240a具有以與絕緣體241a的側面接觸的方式設置有第一導電體且其內側設置有第二導電體的結構。另外，導電體240b具有以與絕緣體241b的側面接觸的方式設置有第一導電體且其內側設置有第二導電體的結構。在此，導電體240a的頂面高度與重疊於導電體246a的區域的絕緣體285的頂面高度可以大致一致。另外，導電體240b的頂面高度與重疊於導電體246b的區域的絕緣體285的頂面高度可以大致一致。

【0051】此外，在電晶體200中，絕緣體241a及絕緣體241b的每一個層疊有第一絕緣體與第二絕緣體，但是本發明不侷限於此。例如，絕緣體241a及絕緣體241b也可以具有單層結構或者三層以上的疊層結構。此外，在電晶體200中，導電體240a及導電體240b的每一個層疊有第一導電體與第二導電體，但是本發明不侷限於此。例如，導電體240a及導電體240b也可以具有單層結構或者三層以上的

疊層結構。此外，在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0052】

[電晶體200]

如圖1A至圖1D所示，電晶體200包括絕緣體214上的絕緣體216、以嵌入絕緣體216中的方式配置的導電體205(導電體205a及導電體205b)、絕緣體216及導電體205上的絕緣體222、絕緣體222上的絕緣體224、絕緣體224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的導電體242a及導電體242b、導電體242a上的絕緣體271a、導電體242b上的絕緣體271b、在氧化物230b上且位於導電體242a與導電體242b間的絕緣體252、絕緣體252上的絕緣體250、絕緣體250上的絕緣體254、位於絕緣體254上並與氧化物230b的一部分重疊的導電體260(導電體260a及導電體260b)、以及配置在絕緣體222、絕緣體224、氧化物230a、氧化物230b、導電體242a、導電體242b、絕緣體271a及絕緣體271b上的絕緣體275。另外，電晶體200包括位於導電體242a與絕緣體252之間的絕緣體244a以及位於導電體242b與絕緣體252之間的絕緣體244b。

【0053】以下，有時將氧化物230a及氧化物230b統稱為氧化物230。此外，有時將導電體242a及導電體242b統稱為導電體242。此外，有時將絕緣體271a及絕緣體271b統稱為絕緣體271。

【0054】絕緣體280位於絕緣體275上。因此，可以說

絕緣體280位於導電體242a及導電體242b的上方。在絕緣體280及絕緣體275中設置到達氧化物230b的開口。也就是說，該開口可以說具有在導電體242a與導電體242b間且與氧化物230b重疊的區域。此外，絕緣體275可以說包括與絕緣體280所包括的開口重疊的開口。此外，在該開口內設置絕緣體252、絕緣體250、絕緣體254及導電體260。也就是說，導電體260包括隔著絕緣體252、絕緣體250及絕緣體254與氧化物230b重疊的區域。此外，在電晶體200的通道長度方向上，絕緣體271a及導電體242a與絕緣體271b及導電體242b之間設置有導電體260、絕緣體252、絕緣體250及絕緣體254。絕緣體254具有與導電體260的側面接觸的區域及與導電體260的底面接觸的區域。

【0055】導電體260被用作第一閘極(也稱為頂閘極)電極，導電體205被用作第二閘極(也稱為背閘極)電極。此外，絕緣體252、絕緣體250及絕緣體254被用作第一閘極絕緣體，絕緣體222及絕緣體224被用作第二閘極絕緣體。注意，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。此外，導電體242a被用作源極電極和汲極電極中的一個，導電體242b被用作源極電極和汲極電極中的另一個。此外，氧化物230的與導電體260重疊的區域的至少一部分被用作通道形成區域。

【0056】為了實現電晶體的微型化或高積體化，需要閘極絕緣體的薄膜化。然而，在閘極絕緣體的薄膜化進展時，有時發生如下問題：源極電極與閘極電極間的寄生電

容以及汲極電極與閘極電極間的寄生電容增加；源極電極與閘極電極間的洩漏電流以及汲極電極與閘極電極間的洩漏電流增大；等。

【0057】於是，在本實施方式中，在被用作源極電極和汲極電極中的一個的導電體242a與被用作頂閘極電極的導電體260間設置絕緣體244a，並且在被用作源極電極和汲極電極中的另一個的導電體242b與導電體260間設置絕緣體244b。藉由設置絕緣體244a及絕緣體244b，可以增大導電體242a與導電體260間的距離以及導電體242b與導電體260間的距離，所以可以減少導電體242a與導電體260間的寄生電容以及導電體242b與導電體260間的寄生電容。由此，可以提高電晶體200的切換速度而實現具有高頻特性的電晶體。

【0058】較佳為在電晶體200中將被用作半導體的金屬氧化物(以下，也稱為氧化物半導體)用於包含通道形成區域的氧化物230。

【0059】被用作半導體的金屬氧化物的能帶間隙較佳為2eV以上，更佳為2.5eV以上。藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流(off-state current)。

【0060】較佳的是，在氧化物230中，通道形成區域的載子濃度降低且被i型化或實質上被i型化，源極區域及汲極區域的載子濃度高且被n型化。藉由採用上述結構，可以提供一種具有良好電特性的半導體裝置。注意，在氧

化物230中，通道形成區域的至少一部分與導電體260重疊。換言之，通道形成區域設置在導電體242a與導電體242b間的區域。另外，源極區域和汲極區域中的一個與導電體242a重疊，源極區域和汲極區域中的另一個與導電體242b重疊。

【0061】在使用氧化物半導體的電晶體中，如果在氧化物半導體的通道形成區域中存在雜質及氧空位，電特性則容易變動，有時降低可靠性。此外，形成氫進入氧空位中的缺陷(下面有時稱為V_OH)而可能會產生成為載子的電子。因此，當在氧化物半導體的通道形成區域中包含氧空位時，電晶體會具有常開啟特性(即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此，在氧化物半導體的通道形成區域中，較佳為儘量減少雜質、氧空位及V_OH。

【0062】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧(以下，有時稱為過量氧)的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及V_OH。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。此外，在從該絕緣體供應給氧化物半導體的氧擴散到閘極電極、源極電極及汲極電極等導電體時，有時該導電體被氧化，這導致導電性的損失，因此對電晶體的

電特性及可靠性帶來負面影響。

【0063】如此，在通道形成區域中，較佳為降低氧空位及V_OH。因此，較佳的是，向通道形成區域供應氧，防止源極區域及汲極區域被供應過多的氧。另外，較佳為抑制氫擴散到通道形成區域。

【0064】為了將氧供應給通道形成區域，作為絕緣體250較佳為使用容易透過氧的絕緣體。此外，作為絕緣體280較佳為使用包含過量氧的絕緣體。藉由採用上述結構，可以將包含在絕緣體280中的氧透過絕緣體250供應給氧化物230的通道形成區域。因此，可以使氧化物230的通道形成區域成為i型或實質上i型。

【0065】作為絕緣體250，例如可以使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此時，絕緣體250至少包含氧及矽。

【0066】絕緣體250中的水、氫等雜質濃度較佳為得到降低。

【0067】絕緣體250的膜厚度較佳為0.5nm以上且20nm以下，更佳為1nm以上且15nm以下。尤其是，為了製造微型電晶體(例如閘極長度為10nm以下的電晶體)，絕緣體250的膜厚度較佳為0.5nm以上且10nm以下，更佳為0.5nm以上且5nm以下。在上述情況下，絕緣體250的至少一部分是具有上述膜厚度的區域即可。

【0068】絕緣體250與絕緣體252的頂面接觸。

【0069】作為絕緣體280較佳為使用包含過量氧的絕緣體。作為絕緣體280，例如可以使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等包含矽的氧化物。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此外，因為氧化矽、氧氮化矽、具有空孔的氧化矽等的材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。

【0070】絕緣體280被用作層間膜，所以其介電常數較佳為較低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。上述包含矽的氧化物為介電常數較低的材料，所以是較佳的。

【0071】絕緣體280中的水、氫等雜質濃度較佳為得到降低。

【0072】絕緣體280設置在絕緣體275上，在設置絕緣體252、絕緣體250、絕緣體254及導電體260的區域中具有開口。此外，絕緣體280的頂面也可以被平坦化。

【0073】在氧化物230的通道形成區域被供應過多的氧時，有可能源極區域及汲極區域藉由通道形成區域被過度氧化而電晶體200的通態電流減少或者場效移動率降低。

【0074】於是，較佳為在絕緣體250與氧化物230b間設置對氧具有阻擋性的絕緣體252。絕緣體252以與絕緣體250的底面、氧化物230b的頂面及氧化物230b的側面接觸

的方式設置。藉由使絕緣體252對氧具有阻擋性，可以抑制在將絕緣體250中的氧供應到通道形成區域時該氧過度供應到通道形成區域。因此，可以抑制因氧透過通道形成區域過度供應到源極區域及汲極區域而電晶體200的通態電流減少或場效移動率降低。另外，可以抑制在進行熱處理等時從氧化物230脫離氧，從而可以抑制在氧化物230中形成氧空位。由此，可以提高電晶體200的電特性而可以提高可靠性。

【0075】此外，絕緣體252設置於絕緣體280與絕緣體250之間，並包括與絕緣體280所包括的開口的側壁接觸的區域。藉由採用上述結構，可以在將包含在絕緣體280中的氧供應到絕緣體250時該氧過度供應到絕緣體250。

【0076】作為絕緣體252較佳為使用包括鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，可以使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物(鋁酸鉿)、包含鉿及矽的氧化物(矽酸鉿)等。在本實施方式中，作為絕緣體252，使用氧化鋁。此時，絕緣體252至少包含氧及鋁。絕緣體252例如與絕緣體250相比不容易透過氧即可。另外，作為絕緣體252例如使用與絕緣體250相比不容易透過氧的材料即可。另外，作為絕緣體252例如也可以使用氧化鎂、氧化鎵、鎵鋅氧化物或銦鎵鋅氧化物等。

【0077】絕緣體252的膜厚度較佳為小。這是因為如下緣故：在絕緣體252的膜厚度過大時，藉由絕緣體250供應到氧化物230的氧量減少。明確而言，絕緣體252的膜厚

度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且小於3.0nm。此時，絕緣體252的至少一部分是具有上述膜厚度的區域即可。例如，絕緣體252較佳為包括其膜厚度比絕緣體250的膜厚度小的區域。此時，絕緣體252的至少一部分是膜厚度比絕緣體250小的區域即可。

【0078】為了如上所述地將絕緣體252沉積得薄，較佳為利用原子層沉積(ALD：Atomic Layer Deposition)法沉積絕緣體252。ALD法有只利用熱能使前驅物及反應物起反應的熱ALD(Thermal ALD)法、使用收到電漿激發的反應物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。

【0079】此外，ALD法可以按層沉積原子，從而發揮能夠沉積極薄的膜、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及能夠在低溫下進行沉積等的效果。因此，可以在形成於絕緣體280等中的開口的側面等以上述較小的膜厚度且高覆蓋性沉積絕緣體252。

【0080】ALD法中使用的前驅物有時包含碳等。因此，利用ALD法形成的膜有時與利用其它的沉積方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析(SIMS：Secondary Ion Mass Spectrometry)、X射線光電子能譜(XPS：X-ray

Photoelectron Spectroscopy)或俄歇電子能譜(AES：Auger Electron Spectroscopy)進行。

【0081】藉由減小絕緣體252的膜厚度，可以實現電晶體200的微型化。這是因為如下緣故：絕緣體252與絕緣體254、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。藉由具有這種結構，可以提供一種能夠實現微型化或高積體化的半導體裝置。

【0082】另外，絕緣體252設置在絕緣體250與導電體242a之間以及絕緣體250與導電體242b之間。藉由減小絕緣體252的膜厚度，導電體242a的側面被氧化而形成絕緣體244a。同樣地，導電體242b的側面被氧化而形成絕緣體244b。換言之，電晶體200包括位於導電體242a與絕緣體252之間的絕緣體244a以及位於導電體242b與絕緣體252之間的絕緣體244b。

【0083】另外，藉由調整絕緣體252的膜厚度，可以控制絕緣體244a及絕緣體244b的通道長度方向的長度。例如，藉由增大絕緣體252的膜厚度，減少擴散到導電體242a及導電體242b的絕緣體250中的氧量，抑制導電體242a及導電體242b的側面被氧化，從而可以減小絕緣體244a及絕緣體244b的通道長度方向的長度。因此，可以抑制導致電晶體200的通態電流的減少或場效移動率的下降。

【0084】將在後面說明詳細內容，在形成導電體242a及導電體242b時或者在形成導電體242a及導電體242b之後

的製程中，絕緣體244a及絕緣體244b自對準地形成。因此，可以自對準地減少導電體242a與導電體260間的寄生電容以及導電體242b與導電體260間的寄生電容。

【0085】另外，絕緣體244a包含導電體242a中的元素、以及氧。同樣地，絕緣體244b包含導電體242b中的元素、以及氧。例如，在作為導電體242a及導電體242b使用包含金屬元素的材料時，絕緣體244a及絕緣體244b各自包含該金屬元素及氧。另外，例如，在作為導電體242a及導電體242b使用包含金屬元素及氮的導電材料時，絕緣體244a及絕緣體244b各自包含該金屬元素、氧以及氮。

【0086】為了抑制氫擴散到通道形成區域，較佳為在氧化物230附近設置具有抑制氫的擴散的功能的絕緣體。在本實施方式所說明的半導體裝置中，該絕緣體例如為絕緣體252及絕緣體254。

【0087】作為絕緣體252可以適當地使用的氧化鋁具有抑制氫(例如，氫原子和氫分子等中的至少一個)的擴散的功能。因此，可以防止絕緣體250中的氫等的雜質擴散到氧化物230。絕緣體252例如與絕緣體250相比不容易透過氫即可。另外，作為絕緣體252例如使用與絕緣體250相比不容易透過氫的材料即可。

【0088】絕緣體254較佳為具有氫阻擋性。由此，可以防止包含在導電體260中的氫等雜質擴散到絕緣體250及氧化物230。例如，作為絕緣體254使用利用PEALD法沉積的氮化矽即可。此時，絕緣體254至少包含氮、矽。作為

絕緣體254，例如也可以使用氧化鋁、氧化鎂、氧化鈴、氧化鎵、銦鎵鋅氧化物或氮氧化矽等。絕緣體254例如與絕緣體250相比不容易透過氫即可。另外，作為絕緣體254例如使用與絕緣體250相比不容易透過氫的材料即可。

【0089】絕緣體254也可以還具有氧阻擋性。絕緣體254設置於絕緣體250與導電體260之間。因此，可以防止包含在絕緣體250中的氧擴散到導電體260且抑制導電體260被氧化。另外，可以抑制對氧化物230供應的氧量的減少。注意，絕緣體254例如與絕緣體250相比不容易透過氧即可。另外，作為絕緣體254例如使用與絕緣體250相比不容易透過氧的材料即可。

【0090】絕緣體254需要與絕緣體252、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體254的膜厚度較佳為小。絕緣體254的膜厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體254的至少一部分是具有上述膜厚度的區域即可。另外，絕緣體254的膜厚度較佳為比絕緣體250的膜厚度小。此時，絕緣體254的至少一部分是膜厚度比絕緣體250小的區域即可。

【0091】在此，圖2示出圖1B中的通道形成區域附近的放大圖。如圖2所示，將絕緣體244a的通道長度方向的長度記作長度D1。另外，長度D1也是通道長度方向的剖面中的從導電體242a到絕緣體252的距離。另外，長度D1

也是從導電體242a的側面到絕緣體252的與絕緣體244a接觸的面的距離。例如，長度D1為導電體242a與絕緣體244a的介面的位置和絕緣體244a與絕緣體252的介面的位置之差。另外，絕緣體244b的通道長度方向的長度與長度D1一致或大致一致。

【0092】長度D1較佳為1nm以上、3nm以上或5nm以上且20nm以下、15nm以下或10nm以下。或者，長度D1較佳為絕緣體252的膜厚度以上且從導電體260到氧化物230的距離以下。在此，從導電體260到氧化物230b的距離例如是指在通道長度方向的剖面中從導電體260a的底面到氧化物230b的頂面的距離。另外，從導電體260到氧化物230b的距離也是絕緣體252的膜厚度、絕緣體250的膜厚度及絕緣體254的膜厚度的總和。換言之，也可以說從導電體260到氧化物230b的距離是第一閘極絕緣體的物理厚度。藉由採用這種結構，電晶體200可以得到良好電特性。

【0093】此外，長度D1有時可以藉由利用穿透式電子顯微鏡(TEM：Transmission Electron Microscope)等對絕緣體244a及其周邊的剖面形狀進行觀察來測定出。

【0094】另外，長度D1有時可以藉由利用能量色散型X射線分析法(EDX：Energy Dispersive X-ray spectroscopy)對絕緣體244a及其周邊的組成進行線性分析來算出。例如，作為長度D1的算出方法，首先將通道長度方向作為深度方向進行EDX的線性分析。接著，在藉由上述分析得到

的對於深度方向的各元素的定量值的分佈中，絕緣體244a與絕緣體252的介面的深度(位置)為絕緣體252的主要成分且導電體242a的非主要成分的元素的定量值成為一半的深度。另外，導電體242a與絕緣體244a的介面的深度(位置)為氧的定量值成為一半的深度。由此，可以算出長度D1。

【0095】如圖2所示，氧化物230b包括被用作電晶體200的通道形成區域的區域230bc及以夾著區域230bc的方式設置並被用作源極區域或汲極區域的區域230ba及區域230bb。區域230bc的至少一部分與導電體260重疊。換言之，區域230bc設置在導電體242a與導電體242b間的區域中。區域230ba與導電體242a重疊，區域230bb與導電體242b重疊。

【0096】與區域230ba及區域230bb相比，其氧空位少或雜質濃度低，所以區域230bc是載子濃度低的高電阻區域。因此，區域230bc可以說是i型(本質)或實質上i型的區域。

【0097】此外，區域230ba及區域230bb是如下區域：由於氧空位多或者氫、氮、金屬元素等雜質的濃度高，因此載子濃度提高，所以被低電阻化。就是說，區域230ba及區域230bb是比區域230bc載子濃度高且電阻低的n型區域。

【0098】在此，區域230bc的載子濃度較佳為$1\times10^{18}cm^{-3}$以下，更佳為低於$1\times10^{17}cm^{-3}$，進一步較佳為低於$1\times10^{16}cm^{-3}$，更進一步較佳為低於$1\times10^{13}cm^{-3}$，還進一步較

佳為低於$1\times10^{12}cm^{-3}$。對被用作通道形成區域的區域230bc的載子濃度的下限值沒有特別的限定，例如，可以將其設定為$1\times10^{-9}cm^{-3}$。

【0099】藉由使電晶體200包括絕緣體244a，絕緣體244a下方的氧化物230b中形成有區域230bd。區域230bd是其載子濃度等於或低於區域230ba的載子濃度且等於或高於區域230bc的載子濃度的區域。區域230bd位於區域230bc與區域230ba間，所以被用作區域230bc與區域230ba的接合區域或偏置區域。區域230bd的氫濃度有時等於或低於區域230ba的氫濃度且等於或高於區域230bc的氫濃度。同樣地，藉由使電晶體200包括絕緣體244b，絕緣體244b下方的氧化物230b中形成有區域230be。與區域230bd同樣，區域230be被用作區域230bc與區域230bb的接合區域或偏置區域。

【0100】另外，區域230bd位於絕緣體244a的下方，所以有時絕緣體250等中的氧透過絕緣體244a供應到區域230bd。因此，區域230bd中的氧空位有時等於或少於區域230ba的氧空位且等於或多於區域230bc中的氧空位。同樣地，區域230be中的氧空位有時等於或少於區域230bb的氧空位且等於或多於區域230bc中的氧空位。

【0101】注意，圖2示出區域230ba、區域230bb、區域230bc、區域230bd及區域230be形成在氧化物230b中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物230b和氧化物230a中。

【0102】在氧化物230中，有時難以明確地觀察各區域的範圍。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，氫及氮等雜質元素的濃度越低即可。

【0103】如圖1C所示，絕緣體252以與氧化物230b的頂面及側面、氧化物230a的側面、絕緣體224的側面及絕緣體222的頂面接觸的方式設置。就是說，在通道寬度方向的剖面中氧化物230a、氧化物230b及絕緣體224的與導電體260重疊的區域被絕緣體252覆蓋。另外，絕緣體252具有接觸於絕緣體271a的側面的區域、接觸於絕緣體271b的側面的區域以及接觸於絕緣體275所包括的開口的側壁的區域。

【0104】藉由採用上述結構，被用作通道形成區域的區域230bc可以被i型化或實質上被i型化且被用作源極區域或汲極區域的區域230ba及區域230bb可以被n型化。另外，可以自對準地減少導電體260與導電體242a間的寄生電容以及導電體260與導電體242b間的寄生電容。因此，可以提供一種具有優良的電特性的半導體裝置。藉由採用上述結構，即便使半導體裝置微型化或高積體化也可以使其具有良好的電特性。例如，即使閘極長度為20nm以下、15nm以下、10nm以下或7nm以下且1nm以上、3nm以上或5nm以上，也可以得到良好的電特性。注意，後面說明閘極長度。

【0105】此外，藉由使電晶體200微型化可以提高高頻特性。明確而言，可以提高截止頻率。當閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為50GHz以上或100GHz以上。

【0106】在作為絕緣體252使用氧化鋁，作為絕緣體250使用氧化矽或氧氮化矽，並且作為絕緣體254使用氮化矽的情況下，絕緣體252及絕緣體250都包含氧，絕緣體250及絕緣體254都包含矽。藉由使接觸的層包含相同元素作為主要成分，可以降低這些層的介面的缺陷態密度。因此，因該缺陷態而發生的載子陷阱等得到抑制，由此可以製造具有良好特性和高可靠性的電晶體200及半導體裝置。

【0107】再者，在作為導電體260a使用氮化鈦或氮化鉭時，絕緣體254及導電體260a都包含氮。如上所述，藉由使用這種結構，可以製造具有良好特性和高可靠性的電晶體200及半導體裝置。

【0108】另外，氧化物230b包含氧作為主要成分，所以可以降低氧化物230b與絕緣體252的介面的缺陷態密度。因此，因該缺陷態而發生的載子陷阱等得到抑制，由此可以製造具有良好特性和高可靠性的電晶體200及半導體裝置。

【0109】在通道長度方向的剖面中，導電體260a的底面較佳為位於導電體242a的底面與頂面間。藉由採用這種結構，可以容易將導電體260的電場作用於氧化物230b的

通道形成區域。由此，可以提高電晶體200的通態電流及頻率特性。另外，根據閘極絕緣體的膜厚度或氧化物230b的上部被去除的量等，在通道長度方向的剖面中，導電體260a的底面有時位於導電體242a的底面的下方，有時位於導電體242a的頂面的上方。

【0110】在此，說明上述閘極長度。

【0111】圖3A示出圖1B中的通道形成區域附近的放大圖。圖3A是電晶體200的通道長度方向的剖面圖。如上所述絕緣體252、絕緣體250及絕緣體254被用作第一閘極絕緣體。

【0112】以後有時將絕緣體252、絕緣體250及絕緣體254總稱為絕緣體256。此時，絕緣體256包括絕緣體252、絕緣體252上的絕緣體250以及絕緣體250上的絕緣體254。此外，絕緣體256被用作第一閘極絕緣體。

【0113】圖3B示出將包括在圖3A中的絕緣體252、絕緣體250及絕緣體254換為絕緣體256的剖面圖。此外，在圖3B中為了使圖式簡化示出單層的導電體260。注意，如上所述，導電體260可以具有導電體260a及導電體260b的疊層結構或三層以上的疊層結構。

【0114】圖3A及圖3B所示的寬度Lg是在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面的寬度。以後有時將在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面簡稱為與氧化物230b重疊的區域的導電體260的底面。也就是說，後面說明的

與氧化物230b重疊的區域的導電體260的底面有時可以被稱為在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面。

【0115】閘極長度是電晶體工作時載子移動通道形成區域內部的方向上的閘極電極的長度，是電晶體的俯視圖中的閘極電極的底面的寬度。在本說明書等中，閘極長度是在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面的寬度。也就是說，閘極長度是圖3A及圖3B所示的寬度Lg。注意，導電體260設置於絕緣體275及絕緣體280所包括的開口的內部。此外，該開口的側壁垂直於或傾斜於基板面。尤其是在該開口的側壁與基板面所形成的角度為90°以下時，與氧化物230b重疊的區域的導電體260的最小寬度為寬度Lg。因此，在通道長度方向的剖面中，導電體260也可以說包括成為寬度Lg的區域。

【0116】與氧化物230b重疊的區域的導電體260的底面較佳為具有平坦的區域。如圖3A及圖3B所示，在與氧化物230b重疊的區域的導電體260的底面具有平坦的區域時，寬度Lg是該平坦的區域的寬度。藉由與氧化物230b重疊的區域的導電體260的底面具有平坦的區域，可以在氧化物230的通道形成區域均勻地產生電場。

【0117】圖3A及圖3B示出與氧化物230b重疊的區域的導電體260的底面具有平坦的區域的結構，但是本發明不侷限於此。在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面也可以具有曲線。

【0118】圖3C示出圖3B所示的電晶體200的變形例子。圖3C是電晶體200的通道長度方向的剖面圖。例如，如圖3C所示，與氧化物230b重疊的區域的導電體260的底面也可以包括平坦的區域及具有曲線的區域。注意，具有曲線的區域位於該底面的兩側的端部。這裡，該底面所具有的導電體242a一側的曲線與導電體260的導電體242a一側的側面接觸的點為點Qa。此外，該底面所具有的導電體242b一側的曲線與導電體260的導電體242b一側的側面接觸的點為點Qb。在該結構中，寬度Lg為連接點Qa和點Qb的線段長度。

【0119】圖3D示出圖3B所示的電晶體200的變形例子。圖3D是電晶體200的通道長度方向的剖面圖。例如，如圖3D所示，導電體260也可以具有圓弧狀的底面。注意，該圓弧是曲率中心P位於導電體260內且半徑r的圓弧。在這種結構中，寬度Lg是在通道長度方向的剖面中包括曲率中心P且平行於氧化物230b的底面的直線與導電體260重疊的區域的寬度。換言之，寬度Lg為半徑r的2倍。注意，在圖3D中以虛線表示的直線是包括曲率中心P且平行於氧化物230b的底面的直線。

【0120】注意，在圖3D所示的導電體260的底面形狀中，在半徑r大時(例如，半徑r比通道長度大時)，從曲率中心P到氧化物230b的通道形成區域的距離也變大。此時，該形狀的閘極長度也可以採用圖3C所示的寬度Lg。也就是說，也可以根據圖3D所示的導電體260的底面的形

狀決定點Qa及點Qb算出寬度Lg。

【0121】在圖3C所示的導電體260的底面形狀中，有時點Qa及點Qb的決定很困難。此時，該形狀的閘極長度也可以採用圖3D所示的寬度Lg。也就是說，也可以根據圖3C所示的導電體260的底面的形狀決定曲率中心P算出寬度Lg。

【0122】以上說明上述閘極長度。接著，說明通道長度。

【0123】絕緣體244a的導電性比導電體242a低，絕緣體244b的導電性比導電體242b低。因此，在電晶體200具有絕緣體244a及絕緣體244b時，如圖3A至圖3D所示，也可以將導電體242a的下端部與導電體242b的下端部間的距離看作通道長度。也就是說，藉由形成絕緣體244a及絕緣體244b，可以增大通道長度。因此，可以提高電晶體200的源極-汲極耐壓來實現可靠性高的電晶體。因此，即使電晶體被微型化也可以得到良好電特性。另外，導電體242a的下端部與導電體242b的下端部間的距離為距離L。

【0124】通道長度根據用於導電體260的材料、閘極長度及用於第一閘極絕緣體的材料及膜厚度等設定。在閘極長度在上述範圍的任意個時，通道長度例如為60nm以下、50nm以下、40nm以下或30nm以下且5nm以上、10nm以上、15nm以上或20nm以上即可。

【0125】絕緣體244a的通道長度方向的長度D1較佳為小於寬度Lg，較佳為上述範圍中的任意個。藉由採用這種

結構，即使閘極長度在上述範圍的任意個，電晶體200也可以得到良好的電特性。另外，在寬度Lg非常小(例如小於5nm)的情況下，長度D1有時大於寬度Lg。

【0126】當在絕緣體280及絕緣體275中形成開口時，與該開口重疊的區域的氧化物230b的上部有時被去除。此時，如圖3E所示，氧化物230b的與導電體260重疊的區域的膜厚度比氧化物230b的與導電體242a重疊的區域的膜厚度小。注意，圖3E所示的電晶體200是圖3B所示的電晶體200的變形例子。圖3E是電晶體200的通道長度方向的剖面圖。

【0127】如圖3E所示，氧化物230b的與導電體260重疊的區域的膜厚度和氧化物230b的與導電體242a重疊的區域的膜厚度之差為差異Lt。在差異Lt小時，距離L可以被看作通道長度。

【0128】由此，可以提供一種可靠性良好的半導體裝置。另外，可以提供一種具有良好的電特性的半導體裝置。此外，可以提供一種能夠實現微型化或高積體化的半導體裝置。另外，可以提供一種具有良好的電特性且能夠實現微型化或高積體化的半導體裝置。

【0129】此外，本實施方式以在氧化物230b上設置導電體242a及導電體242b的狀態在含氧氛圍下進行微波處理來減少區域230bc的氧空位及V_OH。另外，將在後面的<半導體裝置的製造方法>中詳細地說明微波處理。

【0130】絕緣體212、絕緣體214、絕緣體271、絕緣

體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體200的上方擴散到電晶體200的阻擋絕緣膜。因此，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、銅原子等雜質的擴散的功能(不容易使上述雜質透過)的絕緣材料。此外，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能(不容易使上述氧透過)的絕緣材料。

【0131】此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能(也可以說透過性低)。或者，是指俘獲並固定所對應的物質(也稱為吸雜)的功能。

【0132】作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉿、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體212、絕緣體275及絕緣體283，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體214、絕緣體271、絕緣體282及絕緣體285，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體212及絕緣體214從基板一側擴散到電晶體200一側。或

者，可以抑制水、氫等雜質從配置在絕緣體285的外方的層間絕緣膜等經過絕緣體283及絕緣體282擴散到電晶體200一側。或者，可以抑制包含在絕緣體224等中的氧經過絕緣體212及絕緣體214擴散到基板一側。或者，可以抑制含在絕緣體280等中的氧經過絕緣體282等向電晶體200的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285圍繞電晶體200的結構。

【0133】在此，作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有非晶結構的氧化物。例如，較佳為使用AlO_x(x是大於0的任意數)或MgO_y(y是大於0的任意數)等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以俘獲或固定含在電晶體200中的氫或存在於電晶體200的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體200的通道形成區域中的氫。藉由將具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以製造具有良好特性的可靠性高的電晶體200及半導體裝置。

【0134】此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285較

佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有非晶結構的層上形成有多晶結構的層的疊層結構。

【0135】絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285的沉積例如可以利用濺射法。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285的氫濃度。作為沉積方法，除了濺射法以外還可以適當地使用化學氣相沉積(CVD：Chemical Vapor Deposition)法、分子束磊晶(MBE：Molecular Beam Epitaxy)法、脈衝雷射沉積(PLD：Pulsed Laser Deposition)法、ALD法等。

【0136】此外，有時較佳為降低絕緣體212、絕緣體275及絕緣體283的電阻率。例如，藉由使絕緣體212、絕緣體275及絕緣體283的電阻率約為$1\times10^{13}\Omega cm$，在半導體裝置製程的利用電漿等的處理中，有時絕緣體212、絕緣體275及絕緣體283可以緩和導電體205、導電體242、導電體260或導電體246a或導電體246b的電荷積聚(charge up)。絕緣體212、絕緣體275及絕緣體283的電阻率較佳為$1\times10^{10}\Omega cm$以上且$1\times10^{15}\Omega cm$以下。

【0137】此外，絕緣體216、絕緣體274、絕緣體280

及絕緣體285的介電常數較佳為比絕緣體214低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體216、絕緣體274、絕緣體280及絕緣體285，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等即可。

【0138】導電體205以與氧化物230及導電體260重疊的方式配置。在此，導電體205較佳為以嵌入形成在絕緣體216的開口中的方式設置。此外，導電體205的一部分有時嵌入絕緣體214中。

【0139】導電體205包括導電體205a及導電體205b。導電體205a以與上述開口的底面及側壁接觸的方式設置。導電體205b以嵌入形成在導電體205a的凹部中的方式設置。在此，導電體205b的頂面的高度與導電體205a的頂面的高度及絕緣體216的頂面的高度一致或大致一致。

【0140】在此，作為導電體205a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能的導電材料。

【0141】藉由作為導電體205a使用具有降低氫的擴散的功能的導電材料，可以防止含在導電體205b中的氫等雜質透過絕緣體216及絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a使用具有抑制氧的擴散的功能的

導電材料，可以抑制導電體205b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以舉出鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。因此，作為導電體205a較佳為使用單層或疊層的上述導電材料。例如，作為導電體205a使用氮化鈦即可。

【0142】此外，導電體205b較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體205b可以使用鎢。

【0143】導電體205有時被用作第二閘極電極。在此情況下，藉由獨立地改變施加到導電體205的電位而不使其與施加到導電體260的電位聯動，可以控制電晶體200的臨界電壓(Vth)。尤其是，藉由對導電體205施加負電位，可以增大電晶體200的Vth而減少關態電流。由此，與不對導電體205施加負電位的情況相比，在對導電體205施加負電位的情況下，可以減少對導電體260施加的電位為0V時的汲極電流。

【0144】此外，導電體205的電阻率考慮上述施加到導電體205的電位設計，導電體205的膜厚度根據該電阻率設定。此外，絕緣體216的膜厚度與導電體205大致相同。在此，較佳為在導電體205的設計允許的範圍內減小導電體205及絕緣體216的膜厚度。藉由減小絕緣體216的膜厚度，可以降低含在絕緣體216中的氫等雜質的絕對量，所以可以減少該雜質擴散到氧化物230。

【0145】此外，如圖1A所示，導電體205較佳為比氧化物230中不與導電體242a及導電體242b重疊的區域大。

尤其是，如圖1C所示，導電體205較佳為延伸到氧化物230的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物230的通道寬度方向的側面的外側，導電體205和導電體260隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體260的電場和被用作第二閘極電極的導電體205的電場電圍繞氧化物230的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為surrounded channel(S-channel)結構。

【0146】在本說明書等中，S-channel結構的電晶體是指由一對閘極電極中的一方及另一方的電場電圍繞通道形成區域的電晶體的結構。此外，本說明書等中公開的S-channel結構與Fin型結構及平面型結構不同。另一方面，可以將在本說明書等中公開的S-channel結構視為Fin型結構的一種。另外，在本說明書等中，Fin型結構是指以至少包圍通道的兩個面以上(明確而言，兩個面、三個面或四個面等)的方式配置閘極電極的結構。藉由採用Fin型結構及S-channel結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0147】藉由使電晶體200常關閉且使其具有上述S-channel結構，可以電圍繞通道形成區域。因此，可以提高流過電晶體的電流密度，所以可以期待電晶體的通態電流或電晶體的場效移動率的提高。

【0148】注意，作為圖1B所示的電晶體200示出S-channel結構的電晶體，但是本發明的一個實施方式的半導體裝置不侷限於此。例如，作為可用於本發明的一個實施方式的電晶體的結構，也可以採用選自平面型結構、Fin型結構和GAA(Gate All Around：全環繞閘極)結構中的任一個或多個。

【0149】此外，如圖1C所示，將導電體205延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體205下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體205。例如，多個電晶體可以共同使用導電體205。

【0150】注意，示出在電晶體200中作為導電體205層疊有導電體205a及導電體205b的結構，但是本發明不侷限於此。例如，導電體205可以具有單層結構，也可以具有三層以上的疊層結構。

【0151】絕緣體222較佳為具有抑制氫(例如，氫原子和氫分子等中的至少一個)的擴散的功能。此外，絕緣體222較佳為具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能。例如，絕緣體222較佳為具有與絕緣體224相比抑制氫和氧中的一者或兩者的擴散的功能。

【0152】絕緣體222較佳為包含使用作為絕緣材料的鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物(鋁酸鉿)等。或者，較佳為使用包含鉿及鋯的氧化物，例

如使用鉿鋯氧化物。當使用這種材料形成絕緣體222時，絕緣體222被用作抑制氧從氧化物230釋放到基板一側及氫等雜質從電晶體200的周圍部擴散到氧化物230的層。因此，藉由設置絕緣體222，可以抑制氫等雜質擴散到氧化物230，而可以抑制在氧化物230中生成氧空位。此外，可以抑制導電體205與絕緣體224及氧化物230所包含的氧起反應。

【0153】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔或氧化鋯。或者，也可以對上述絕緣體進行氮化處理。此外，作為絕緣體222還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0154】此外，作為絕緣體222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鉿鋯氧化物等所謂的high-k材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體222有時可以使用鋯鈦酸鉛(PZT)、鈦酸鍶($SrTiO_3$)、(Ba，Sr)TiO_3(BST)等介電常數高的物質。

【0155】作為與氧化物230接觸的絕緣體224，例如適當地使用氧化矽、氧氮化矽等即可。

【0156】此外，絕緣體222和絕緣體224中的一者或兩

者也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，絕緣體224也可以形成為島狀且與氧化物230a重疊。在此情況下，絕緣體275與絕緣體224的側面及絕緣體222的頂面接觸。

【0157】例如，作為氧化物230可以使用包含銦、元素M及鋅的In-M-Zn氧化物(元素M為選自鋁、鎵、釔、錫、硼、矽、釩、鈹、銅、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鈴、鉭、鎢、鎂和鈷等中的一種或多種)等的金屬氧化物。尤其較佳為使用包含銦、鋅及選自鎵、鋁和錫中的一個或多個的金屬氧化物。此外，作為氧化物230也可以使用In-Ga氧化物、In-Zn氧化物或銦氧化物等。

【0158】氧化物230較佳為具有化學組成互不相同的多個氧化物層的疊層結構。例如，用於氧化物230a的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子數比較佳為大於用於氧化物230b的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子數比。此外，用於氧化物230a的金屬氧化物中的相對於In的元素M的原子數比較佳為大於用於氧化物230b的金屬氧化物中的相對於In的元素M的原子數比。藉由採用這樣的結構，可以抑制雜質及氧從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0159】在此，較佳的是，用於氧化物230b的金屬氧化物中的相對於元素M的In的原子數比大於用於氧化物

230a的金屬氧化物中的相對於元素M的In的原子數比。藉由採用該結構，電晶體200可以得到高通態電流以及高頻特性。

【0160】此外，氧化物230a及氧化物230b除了氧以外還包含共同元素作為主要成分，所以可以降低氧化物230a與氧化物230b的介面的缺陷態密度。因此，介面散射對載子傳導帶來的影響減少，從而電晶體200可以得到高通態電流及高頻特性。

【0161】明確而言，作為氧化物230a，使用In：M：Zn=1：3：4[原子數比]或其附近的組成、In：M：Zn=1：3：2[原子數比]或其附近的組成或者In：M：Zn=1：1：0.5[原子數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物230b，使用In：M：Zn=1：1：1[原子數比]或其附近的組成、In：M：Zn=1：1：1.2[原子數比]或其附近的組成、In：M：Zn=1：1：2[原子數比]或其附近的組成、In：M：Zn=1：1：5[原子數比]或其附近的組成、In：M：Zn=1：1：8[原子數比]或其附近的組成、In：M：Zn=4：2：3[原子數比]或其附近的組成或者In：M：Zn=5：1：3[原子數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子數比的±30%的範圍。此外，作為元素M較佳為使用鎵或鋁。

【0162】此外，在藉由濺射法沉積金屬氧化物時，上述原子數比不侷限於所沉積的金屬氧化物的原子數比，而也可以是用於金屬氧化物的沉積的濺射靶材的原子數比。

【0163】另外，在將電晶體200例如用於顯示裝置的像素電路時，有時顯示裝置所包括的發光元件的發光的一部分(雜散光)入射到電晶體200中。此時，因雜散光而電晶體特性劣化，有時對像素工作帶來不好影響。

【0164】因雜散光而電晶體特性劣化的量例如可以利用NBTIS(Negative Bias Temperature Illumination Stress)測試中測量的電晶體的臨界電壓的變化量或偏移電壓(Vsh)的變化量進行評價。注意，偏移電壓(Vsh)被定義為在電晶體的汲極電流(Id)-閘極電壓(Vg)曲線的傾斜程度最大的點的切線與Id=1pA的直線交叉處的Vg。在此，在NBTIS測試中，有時將電晶體的臨界電壓變化的劣化或Vsh變化的劣化稱為光負偏壓劣化。

【0165】如上所述，在將電晶體200例如用於顯示裝置的像素電路時，在電晶體200中較佳為減少雜散光的影響。例如，在電晶體200中較佳為減少因雜散光而發生的電晶體特性的劣化。明確而言，電晶體200較佳為對於NBTIS測試的耐性高(光負偏壓劣化少)。

【0166】於是，在將電晶體200例如用於顯示裝置的像素電路時，作為被用作電晶體200的半導體的金屬氧化物更佳為使用其能帶間隙為3.1eV以上的金屬氧化物，進一步較佳為使用3.3eV以上的金屬氧化物。波長為400nm以上的光的能量為3.1eV以下。換言之，即使波長為400nm以上的光入射到該金屬氧化物，價帶的電子也不容易激發到導帶。因此，藉由在電晶體的通道形成區域中使用能帶間

隙更大的金屬氧化物，可以提高對於NBTIS測試的耐性。換言之，藉由在電晶體的通道形成區域中使用能帶間隙更大的金屬氧化物，即使不設置遮光層等也可以減少雜散光的影響，由此可以抑制電晶體特性的劣化。

【0167】明確而言，作為氧化物230，使用In：M：Zn=2：6：5[原子數比]或其附近的組成、In：M：Zn=1：3：4[原子數比]或其附近的組成、In：M：Zn=1：1：1[原子數比]或其附近的組成或者In：M：Zn=1：4：5[原子數比]或其附近的組成的金屬氧化物，即可。

【0168】例如，當記載為原子數比為In：M：Zn=2：6：5或其附近的組成時包括如下情況：In為2時，M為4以上且8以下，Zn為3以上且7.5以下。此外，當記載為原子數比為In：M：Zn=1：1：1或其附近的組成時包括如下情況：In為1時，M大於0.1且為2以下，Zn大於0.1且為2以下。

【0169】可以藉由利用分光光度計的光學評價、光譜橢圓偏光計、光致發光法、X射線光電子分光法(XPS或ESCA：Electron Spectroscopy for Chemical Analysis)、X射線吸收精細結構(XAFS：X-ray Absorption Fine Structure)等中的一個或多個評價金屬氧化物的能帶間隙。

【0170】可以藉由感應耦合電漿質譜分析法(ICP-MS：Inductively Coupled Plasma-Mass Spectrometry)、XPS、SEM(Scanning Electron Microscopy)-EDX(Energy Dispersive X-ray Spectroscopy)、SIMS等評價金屬氧化物

的組成。

【0171】氧化物230b較佳為具有結晶性。尤其是，較佳為使用CAAC-OS(c-axis aligned crystalline oxide semiconductor：c軸配向結晶氧化物半導體)作為氧化物230b。

【0172】CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷(例如，氧空位等)少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度(例如，400℃以上且600℃以下)進行熱處理，可以使CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0173】此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性且可靠性高。

【0174】此外，當作為氧化物230b使用CAAC-OS等具有結晶性的氧化物時，可以抑制導電體242a或導電體242b從氧化物230b抽出氧。因此，即使進行熱處理也可以抑制氧從氧化物230b被抽出，所以電晶體200對製程中的高溫度(所謂熱積存：thermal budget)也很穩定。此外，可以抑制導電體242a及導電體242b的導電率降低。

【0175】如圖1C所示，在從電晶體200的通道寬度的剖面看時，也可以在氧化物230b的側面與氧化物230b的頂

面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲(以下，也稱為圓形)。

【0176】上述彎曲面的曲率半徑較佳為大於0nm且小於與導電體242重疊的區域的氧化物230b的膜厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於0nm且為20nm以下，較佳為1nm以上且15nm以下，更佳為2nm以上且10nm以下。藉由採用上述形狀，可以提高絕緣體252、絕緣體250、絕緣體254及導電體260的向氧化物230b的覆蓋性。

【0177】在作為絕緣體252使用氧化鋁時，有時對氧化物230b中與絕緣體252接觸的區域及其附近添加鋁。注意，在沉積成為絕緣體252的絕緣膜、在該絕緣膜上沉積膜或在沉積該絕緣膜之後進行的熱處理等在沉積該絕緣膜之後的製程中，氧化物230b中的與絕緣體252接觸的區域及其附近被添加鋁。

【0178】圖4A至圖4D示意性地示出深度方向上的絕緣體252中及氧化物230中的鋁濃度分佈。在圖4A至圖4D中，縱軸表示鋁(Al)濃度，橫軸表示深度方向。注意，深度方向可以換稱為膜厚度。

【0179】另外，在作為添加鋁之前的氧化物230使用不包含鋁的金屬氧化物時，圖4A至圖4D中的點線表示鋁濃度的檢測下限。另外，在作為添加鋁之前的氧化物230使用包含鋁的金屬氧化物時，圖4A至圖4D中的點線表示絕緣體224附近的氧化物230的鋁濃度。

【0180】如圖4A至圖4D所示，氧化物230具有從氧化物230的底面向氧化物230的頂面鋁濃度變高的濃度梯度。換言之，氧化物230具有在膜厚度方向上向絕緣體252鋁濃度變高的濃度梯度。

【0181】如圖4A所示，有時氧化物230具有鋁濃度在絕緣體252和氧化物230的介面到達高峰後單調地減少的區域和鋁濃度恆定的區域。此時，與鋁濃度恆定的區域相比，鋁濃度單調地減少的區域位於絕緣體252一側。

【0182】另外，如圖4B所示，有時氧化物230具有鋁濃度在絕緣體252和氧化物230的介面到達高峰後單調地減少的第一區域和鋁濃度單調地減少的第二區域。此時，與第二區域相比，第一區域位於絕緣體252一側。

【0183】如圖4C所示，有時氧化物230具有鋁濃度在絕緣體252和氧化物230的介面到達高峰後呈指數減少的區域和鋁濃度恆定的區域。此時，與鋁濃度恆定的區域相比，鋁濃度呈指數減少的區域位於絕緣體252一側。

【0184】如圖4D所示，在氧化物230中，有時鋁濃度在絕緣體252和氧化物230的介面到達高峰後呈指數減少。

【0185】藉由對氧化物230b中與絕緣體252接觸的區域及其附近添加鋁，可以抑制在該區域及其附近形成氧空位。由於在氧化物230b的該區域及其附近容易形成通道，所以藉由採用該結構可以減少通道形成區域的氧空位。因此，可以抑制電晶體200的電特性變動，並且可以抑制基板面內的電晶體200的電特性不均勻。注意，在作為添加

鋁前的氧化物230b使用In-M-Zn氧化物時，氧化物230b至少包含銦(In)、鋁(Al)及鋅(Zn)。或者，氧化物230b包含銦(In)、元素M、鋁(Al)及鋅(Zn)。

【0186】另外，由於以與氧化物230的頂面及側面接觸的方式設置包含氧化鋁等的絕緣體252，氧化物230所包含的銦有時集中地分佈在氧化物230和絕緣體252的介面及其附近。因此，氧化物230的表面附近具有接近銦氧化物的原子數比或者接近In-Zn氧化物的原子數比。在如此那樣氧化物230，尤其是氧化物230b的表面附近的銦的原子數比較大時，可以提高電晶體200的場效移動率。

【0187】注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化物230a的單層、氧化物230b的單層或三層以上的疊層結構，也可以具有氧化物230a及氧化物230b分別具有疊層的結構。

【0188】導電體242a及導電體242b與氧化物230b的頂面接觸。

【0189】作為導電體242a及導電體242b較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料例如可以舉出包含氮的導電材料及包含氧的導電材料等。由此，可以抑制導電體242a及導電體242b的導電率降低。在作為導電體242a及導電體242b使用包含金屬元素及氮的導電材料時，導電體242a及導電體242b至少包含金屬元素及氮。

【0190】作為導電體242a及導電體242b例如較佳為使用包含鉭的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉭及鋁的氮化物、包含鈦及鋁的氮化物等。此外，例如也可以使用釕、氧化釕、氮化釕、包含銗和釕的氧化物、包含鑭和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0191】注意，有時包含在氧化物230b等中的氫擴散到導電體242a或導電體242b。尤其是，當作為導電體242a及導電體242b使用包含鉭的氮化物時，有時包含在氧化物230b等中的氫容易擴散到導電體242a或導電體242b，該擴散的氫與導電體242a或導電體242b所包含的氮鍵合。也就是說，有時包含在氧化物230b等中的氫被導電體242a或導電體242b吸收。

【0192】此外，較佳為在導電體242的側面與導電體242的頂面之間不形成彎曲面。藉由使導電體242不具有該彎曲面，如圖1D所示，可以增大通道寬度方向的剖面上的導電體242的剖面積。由此，增大導電體242的導電率，從而可以增大電晶體200的通態電流。

【0193】另外，當在導電體242a與氧化物230b接觸的狀態下進行熱處理時，與導電體242a重疊的區域的氧化物230b的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體242a重疊的區域的氧化物230b自對準地低電阻化。同樣地，當在導電體242b與氧化物230b接觸

的狀態下進行熱處理時，與導電體242b重疊的區域的氧化物230b的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體242b重疊的區域的氧化物230b自對準地低電阻化。

【0194】導電體242a及導電體242b較佳為使用具有壓縮應力的導電膜來形成。由此，可以在區域230ba及區域230bb形成向拉伸方向擴展的應變(以下有時稱為拉伸應變)。藉由由拉伸應變穩定地形成V_OH，可以使區域230ba及區域230bb成為穩定的n型區域。注意，導電體242a所具有的壓縮應力是緩和導電體242a的壓縮形狀的應力，並且是具有從導電體242a的中央部向端部的方向的向量的應力。導電體242b所具有的壓縮應力也是同樣的。

【0195】導電體242a所具有的壓縮應力的大小例如可以為500MPa以上，較佳為1000MPa以上，更佳為1500MPa以上，進一步較佳為2000MPa以上。注意，也可以製造在基板上沉積用於導電體242a的導電膜的樣本，並根據該樣本的應力測量值規定導電體242a所具有的應力的大小。導電體242b所具有的壓縮應力的大小也是同樣的。

【0196】由於導電體242a及導電體242b所具有的壓縮應力的作用，在區域230ba及區域230bb分別形成應變。該應變是因導電體242a及導電體242b所具有的壓縮應力的作用各自向拉伸方向擴展的應變(拉伸應變)。在區域230ba及區域230bb具有CAAC結構時，該應變相當於向垂直於CAAC結構的c軸的方向的延伸。在CAAC結構向垂直於該

CAAC結構的c軸的方向延伸時，該應變中易於形成氧空位。另外，該應變易於吸收氫，所以易於形成V_OH。因此，在該應變中易於形成氧空位及V_OH且容易得到氧空位及V_OH穩定的結構。由此，區域230ba及區域230bb成為載子濃度高的穩定的n型區域。

【0197】注意，以上對氧化物230b中形成的應變進行了說明，但本發明不限於此。有時在氧化物230a中也形成同樣的應變。

【0198】在本發明的一個實施方式中，導電體242a及導電體242b尤其較佳為採用包含鉭的氮化物或包含鈦的氮化物。此時，導電體242a及導電體242b包含鉭或鈦以及氮。

【0199】在圖1A至圖1D等中示出導電體242具有單層的結構，但本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖5A所示，作為導電體242a也可以採用導電體242a1與導電體242a1上的導電體242a2的兩層的疊層結構，作為導電體242b也可以採用導電體242b1與導電體242b1上的導電體242b2的兩層的疊層結構。此時，導電體242a1及導電體242b1被配置在與氧化物230b接觸的一側。

【0200】注意，下面有時將導電體242a1和導電體242b1統稱為導電體242的下層。另外，有時將導電體242a2和導電體242b2統稱為導電體242的上層。

【0201】導電體242的下層(導電體242a1及導電體

242b1)較佳為由具有不易氧化的特性的導電材料構成。由此，可以抑制因導電體242的下層氧化而導電體242的導電率下降。此外，導電體242的下層也可以具有容易吸取(提取)氫的特性。由此，氧化物230的氫擴散到導電體242的下層，可以減少氧化物230的氫濃度。因此，可以使電晶體200具有穩定的電特性。

【0202】另外，導電體242的上層(導電體242a2及導電體242b2)較佳為由導電性比導電體242的下層(導電體242a1及導電體242b1)高的導電材料構成。此時，導電體242的上層的至少一部分具有導電性高於導電體242的下層的區域即可。或者，導電體242的上層較佳為由電阻率比導電體242的下層低的導電材料構成。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0203】另外，導電體242的上層也可以具有容易吸取氫的特性。由此，被導電體242的下層吸取的氫還擴散到導電體242的上層，而可以進一步降低氧化物230中的氫濃度。因此，可以使電晶體200具有穩定的電特性。

【0204】在此，導電體242的下層及導電體242的上層較佳為使用構成元素相同且化學組成不同的導電材料。此時，可以在不暴露於大氣環境的情況下連續沉積導電體242的下層和導電體242的上層。藉由以不暴露於大氣環境的方式沉積膜，可以防止來自大氣環境的雜質或水分附著於導電體242的下層表面，由此可以保持導電體242的下層與導電體242的上層的介面附近的清潔。

【0205】此外，較佳的是，作為導電體242的下層使用相對於鉭的氮的原子數比高的含鉭的氮化物，作為導電體242的上層使用相對於鉭的氮的原子數比低的含鉭的氮化物。例如，作為導電體242的下層，使用如下含鉭的氮化物：相對於鉭的氮的原子數比為1.0以上且2.0以下，較佳為1.1以上且1.8以下，更佳為1.2以上且1.5以下。例如，作為導電體242的上層，使用如下含鉭的氮化物：相對於鉭的氮的原子數比為0.3以上且1.5以下，較佳為0.5以上且1.3以下，更佳為0.6以上且1.0以下。

【0206】另外，藉由在含鉭的氮化物中提高相對於鉭的氮的原子數比，可以抑制含鉭的氮化物的氧化。另外，可以提高含鉭的氮化物的耐氧化性。可以抑制氧擴散到含鉭的氮化物中。因此，作為導電體242的下層，較佳為使用相對於鉭的氮的原子數比高的含鉭的氮化物。由此，可以防止氧化層形成在導電體242的下層與氧化物230之間，或者可以減小氧化層的膜厚度。

【0207】此外，藉由在含鉭的氮化物中降低相對於鉭的氮的原子數比，可以降低該氮化物的電阻率。因此，作為導電體242的上層，較佳為使用相對於鉭的氮的原子數比低的含鉭的氮化物。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0208】藉由由具有不容易被氧化的特性的導電材料構成導電體242的下層且由其導電性高於導電體242的下層的導電材料構成導電體242的上層，如圖5A所示，絕緣體

244a及絕緣體244b具有通道長度方向的長度不同的區域。在此，將從導電體242的下層到絕緣體252的距離記作長度D2且將從導電體242的上層到絕緣體252的距離記作長度D3。此時，可以說絕緣體244a及絕緣體244b具有通道長度方向的長度為長度D2的第一區域以及第一區域上的通道長度方向的長度為長度D3的第二區域。藉由採用這種結構，可以減少導電體242a與導電體260間的寄生電容以及導電體242b與導電體260間的寄生電容，並且可以抑制通道長度增大。由此，可以提高電晶體200的切換速度而實現具有高頻特性的電晶體。另外，可以抑制導致電晶體200的通態電流的下降或場效移動率的下降。

【0209】注意，圖5A示出絕緣體244a及絕緣體244b的通道長度方向的長度在導電體242的上層與導電體242的下層的邊界不連續的結構，但是如圖5B所示，絕緣體244a及絕緣體244b的通道長度方向的長度也可以在導電體242的上層與導電體242的下層的邊界連續變化。此時，在剖面中，與導電體242a接觸的絕緣體244a的側面為曲線。同樣地，在剖面中，與導電體242b接觸的絕緣體244b的側面為曲線。在該結構中也可以減少導電體242a與導電體260間的寄生電容以及導電體242b與導電體260間的寄生電容，並且可以抑制通道長度增大。

【0210】另外，有時即使導電體242a為單層，與導電體242a接觸的絕緣體244a的側面也是曲線。同樣地，有時即使導電體242b為單層，與導電體242b接觸的絕緣體244b

的側面也是曲線。

【0211】注意，在導電體242中，有時難以明確地觀察到上層與下層的邊界。在將含鉭的氮化物用於導電體242的情況下，在各層中檢測出的鉭和氮的濃度不侷限於按每層分階段地變化，也可以在上層與下層之間的區域逐漸地變化(也稱為漸變(gradation))。也就是說，在導電體242中的更接近氧化物230的區域中，相對於鉭的氮的原子數比更高，即可。因此，位於導電體242的下方的區域的相對於鉭的氮的原子數比較佳為高於位於導電體242的上方的區域的相對於鉭的氮的原子數比。

【0212】導電體242的下層的膜厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，導電體242的下層的至少一部分具有上述膜厚度的區域即可。此外，導電體242的下層的膜厚度較佳為薄於導電體242的上層的膜厚度。此時，導電體242的下層的至少一部分具有膜厚度比導電體242的上層薄的區域即可。

【0213】另外，在此示出了作為導電體242的下層及導電體242的上層使用構成元素相同且化學組成不同的導電材料的例子，但不侷限於此，導電體242的下層和導電體242的上層也可以使用不同的導電材料形成。

【0214】注意，導電體242的下層及導電體242的上層的結構不侷限於上述結構。例如，也可以使導電體242的下層及導電體242的上層的構成元素、化學組成和沉積條

件中的一個或多個不同。例如，也可以作為導電體242的下層使用含鉭的氮化物且作為導電體242的上層使用含鈦的氮化物。

【0215】絕緣體271a與導電體242a的頂面接觸，絕緣體271b與導電體242b的頂面接觸。絕緣體271較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271較佳為具有抑制氧擴散的功能。例如，絕緣體271較佳為具有與絕緣體280相比進一步抑制氧擴散的功能。作為絕緣體271，例如，可以使用氮化矽、氧化鋁及氧化鎂等絕緣體。

【0216】絕緣體275以覆蓋絕緣體224、氧化物230a、氧化物230b、導電體242a、導電體242b、絕緣體271a及絕緣體271b的方式設置。明確而言，絕緣體275具有如下區域：與絕緣體224的側面接觸的區域；與氧化物230a的側面接觸的區域；與氧化物230b的側面接觸的區域；與導電體242a的側面接觸的區域；與導電體242b的側面接觸的區域；與絕緣體271a的側面及頂面接觸的區域；以及與絕緣體271b的側面及頂面接觸的區域。

【0217】絕緣體275較佳為具有俘獲並固定氫的功能。在此情況下，絕緣體275較佳為包括氮化矽或具有非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。此外，例如，作為絕緣體275也可以使用氧化鋁與該氧化鋁上的氮化矽的疊層膜。

【0218】另外，絕緣體275較佳為對氧具有阻擋性。

由此，可以抑制包含在絕緣體280中的氧擴散到與絕緣體275接觸一側的導電體242a的側面及與絕緣體275接觸一側的導電體242b的側面。因此，可以抑制包含在絕緣體280中的氧導致與絕緣體275接觸一側的導電體242a的側面及與絕緣體275接觸一側的導電體242b的側面被氧化使得電阻率增大而通態電流減少。另外，絕緣體275例如與絕緣體280相比不容易透過氧即可。另外，作為絕緣體275例如使用與絕緣體280相比不容易透過氧的材料即可。

【0219】另外，藉由使絕緣體275具有氧阻擋性，可以抑制包含在絕緣體280中的氧擴散到氧化物230a及氧化物230b的側面。另外，絕緣體275與被用作電晶體200的源極區域或汲極區域的區域230ba及區域230bb接觸且不與被用作電晶體200的通道形成區域的區域230bc接觸。因此，可以抑制因氧過度供應到源極區域及汲極區域而電晶體200的通態電流降低或場效移動率降低。

【0220】藉由設置上述絕緣體271及絕緣體275，可以由對氧具有阻擋性的絕緣體包圍導電體242。換言之，可以抑制包含在絕緣體224及絕緣體280中的氧擴散到導電體242中。由此，可以抑制包含在絕緣體224及絕緣體280中的氧導致導電體242直接被氧化使得電阻率增大而通態電流減少。

【0221】絕緣體250被用作閘極絕緣體的一部分。在圖1A至圖1D等中，示出絕緣體250具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例

如，如圖6A所示，絕緣體250也可以具有絕緣體250a與絕緣體250a上的絕緣體250b這兩層的疊層結構。

【0222】如圖6A所示，在使絕緣體250具有兩層疊層結構的情況下，較佳的是，絕緣體250a使用容易使氧透過的絕緣體形成，而絕緣體250b使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。例如，絕緣體250a使用上述的能夠用於絕緣體250的材料，絕緣體250b使用包括鋁和鉿中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，可以使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物(鋁酸鉿)、包含鉿及矽的氧化物(矽酸鉿)等。在本實施方式中，作為絕緣體250b，使用氧化鉿。此時，絕緣體250b至少包含氧及鉿。此外，絕緣體250b的膜厚度為0.5nm以上且5.0nm以下，較佳為1.0nm以上且5.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體250b的至少一部分是具有上述膜厚度的區域即可。

【0223】注意，當絕緣體250a使用氧化矽或氧氮化矽等時，絕緣體250b也可以使用相對介電常數高的high-k材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體250a及絕緣體250b的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此

外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度(EOT)。因此，可以提高絕緣體250的絕緣耐壓。

【0224】此外，如圖6A所示，在絕緣體250採用兩層的疊層結構時，藉由作為絕緣體250b使用氧化鉿等具有抑制氫等雜質及氧的透過的功能的絕緣體，絕緣體250b可以兼具絕緣體254所具有的功能。在此情況下，藉由採用不設置絕緣體254的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0225】導電體260被用作電晶體200的第一閘極電極。導電體260較佳為包括導電體260a以及配置在導電體260a上的導電體260b。例如，較佳為以包圍導電體260b的底面及側面的方式配置導電體260a。此外，如圖1B及圖1C所示，導電體260的頂面的高度與絕緣體254的最上部、絕緣體250的最上部、絕緣體252的最上部及絕緣體280的頂面的高度一致或大致一致。雖然在圖1B及圖1C中導電體260具有導電體260a和導電體260b的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0226】作為導電體260a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能的導電材料。

【0227】此外，當導電體260a具有抑制氧的擴散的功能時，可以抑制絕緣體250所包含的氧使導電體260b氧化

而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。在作為導電體260a使用氮化鈦或氮化鉭時，導電體260a包含鈦或鉭以及氮。

【0228】此外，由於導電體260還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0229】此外，在電晶體200中，以填埋形成於絕緣體280等的開口的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。就是說，可以將電晶體200的電晶體結構稱為TGSA(Trench Gate Self Align)結構，也可以將其視為Fin型結構的一種。

【0230】此外，如圖1C所示，在電晶體200的通道寬度方向上，以絕緣體222的底面為基準，導電體260的不與氧化物230b重疊的區域的底面的高度較佳為比氧化物230b的底面的高度低。藉由採用被用作閘極電極的導電體260隔著絕緣體250等覆蓋氧化物230b的通道形成區域的側面及頂面的結構，容易使導電體260的電場作用於氧化物230b的通道形成區域整體。由此，可以提高電晶體200的通態電流及頻率特性。以絕緣體222的底面為基準時的不與氧化物230b重疊的區域的導電體260的底面的高度與氧

化物230b的底面的高度之差為0nm以上且100nm以下，較佳為3nm以上且50nm以下，更佳為5nm以上且20nm以下。

【0231】如圖1B所示，絕緣體282接觸於導電體260、絕緣體252、絕緣體250、絕緣體254及絕緣體280的各頂面的至少一部分。

【0232】絕緣體282較佳為被用作抑制水、氫等雜質從上方向絕緣體280擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體282較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體282，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體282至少包含氧及鋁。藉由在夾在絕緣體212與絕緣體283的區域內設置與絕緣體280接觸且具有俘獲氫等雜質的功能的絕緣體282，可以俘獲包含在絕緣體280等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體282較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0233】設置於絕緣體280上的絕緣體282較佳為用能夠對絕緣體280添加氧的方法形成。由此，可以使絕緣體280包含過量氧。作為絕緣體282，較佳為藉由濺射法沉積氧化鋁，更佳為在包含氧氣體的氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使膜厚度分佈更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF(Radio Frequency：射頻)功率。可以根

據對基板施加的RF功率的大小控制注入到絕緣體282的下層中的氧量。例如，RF功率越小注入到絕緣體282的下層中的氧量就越少，即使絕緣體282較薄該氧量也容易飽和。另外，RF功率越大注入到絕緣體282的下層中的氧量就越多。

【0234】作為RF功率，例如設定為0W/cm^{2}以上且1.86W/cm^{2}以下。換言之，可以根據形成絕緣體282時的RF功率而使氧量改變為適合於電晶體的特性的量並注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。

【0235】另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0236】在圖1A至圖1D等中，示出絕緣體282具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖6B所示，絕緣體282也可以採用絕緣體282a與絕緣體282a上的絕緣體282b的兩層疊層結構。

【0237】較佳的是，使用相同的材料以不同的方法形成絕緣體282a及絕緣體282b。例如，在作為絕緣體282在含氧氣體的氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁的情況下，較佳的是，在沉積絕緣體282a時對基板施加的RF功率不同於在沉積絕緣體282b時對基板施加的RF功率，更佳的是，在沉積絕緣體282a時對基板施加的RF功率低於在沉積絕緣體282b時對基板施加的RF功率。明確而

言，將對基板施加的RF功率設為0W/cm^{2}以上且0.62W/cm^{2}以下沉積絕緣體282a，將對基板施加的RF功率設為1.86W/cm^{2}以下沉積絕緣體282b。更明確而言，將對基板施加的RF功率設為0W/cm^{2}沉積絕緣體282a，將對基板施加的RF功率設為0.31W/cm^{2}沉積絕緣體282b。藉由採用該結構，可以使絕緣體282具有非晶結構並且可以調整對絕緣體280供應的氧量。

【0238】注意，在沉積絕緣體282a時對基板施加的RF功率也可以高於在沉積絕緣體282b時對基板施加的RF功率。明確而言，將對基板施加的RF功率設為1.86W/cm^{2}以下沉積絕緣體282a，將對基板施加的RF功率設為0W/cm^{2}以上且0.62W/cm^{2}以下沉積絕緣體282b。更明確而言，將對基板施加的RF功率設為1.86W/cm^{2}沉積絕緣體282a，將對基板施加的RF功率設為0.62W/cm^{2}沉積絕緣體282b。藉由採用該結構，可以增加對絕緣體280供應的氧量。

【0239】另外，絕緣體282a的膜厚度為1nm以上且20nm以下，較佳為1.5nm以上且15nm以下，更佳為2nm以上且10nm以下，進一步較佳為3nm以上且8nm以下。藉由採用該結構，無論RF功率的大小，都可以使絕緣體282a具有非晶結構。另外，藉由使絕緣體282a具有非晶結構，可以使絕緣體282b容易具有非晶結構並使絕緣體282具有非晶結構。

【0240】上述絕緣體282a及絕緣體282b具有由相同材料構成的疊層結構，但本發明不侷限於此。絕緣體282a及

絕緣體282b也可以具有由不同材料構成的疊層結構。

【0241】絕緣體283與絕緣體214的頂面的一部分、絕緣體216的側面、絕緣體222的側面、絕緣體275的側面、絕緣體280的側面及絕緣體282的側面及頂面接觸。

【0242】絕緣體283被用作抑制水、氫等雜質從上方擴散到絕緣體280的阻擋絕緣膜。絕緣體283配置在絕緣體282上。作為絕緣體283，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體283使用藉由濺射法沉積的氮化矽即可。藉由使用濺射法沉積絕緣體283，可以形成密度高的氮化矽膜。此外，作為絕緣體283，也可以在藉由濺射法沉積的氮化矽上還層疊藉由PEALD法或CVD法沉積的氮化矽。

【0243】導電體240a及導電體240b較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體240a及導電體240b也可以具有疊層結構。

【0244】當作為導電體240a及導電體240b各自採用疊層結構時，作為配置在絕緣體285、絕緣體283、絕緣體282、絕緣體280、絕緣體275及絕緣體271附近的第一導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、釕、氧化釕等。可以以單層或疊層使用具有抑制水、氫等雜質的透過的功能的導電材料。此外，可以抑制包含在絕緣體283的上方的層的水、氫等雜質透過導電體240a及導電體240b混入到氧化物230。

【0245】作為絕緣體241a及絕緣體241b，使用可用於絕緣體275等的阻擋絕緣膜即可。作為絕緣體241a及絕緣體241b，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體241a及絕緣體241b與絕緣體283、絕緣體282、絕緣體275及絕緣體271接觸地設置，所以可以抑制包含在絕緣體280等中的水、氫等雜質經過導電體240a及導電體240b混入氧化物230。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體280所包含的氧被導電體240a及導電體240b吸收。

【0246】在絕緣體241a及絕緣體241b具有如圖1B所示那樣的疊層結構時，作為與絕緣體280等的開口的內壁接觸的第一絕緣體以及其內側的第二絕緣體較佳為組合使用氧阻擋絕緣膜和氫阻擋絕緣膜。

【0247】例如，作為第一絕緣體使用利用ALD法沉積的氧化鋁且作為第二絕緣體使用利用PEALD法沉積的氮化矽即可。藉由採用這樣的結構，可以抑制導電體240a及導電體240b的氧化，並且可以抑制氫混入導電體240a及導電體240b中。

【0248】另外，也可以以與導電體240a的頂面接觸的方式配置被用作佈線的導電體246a且以與導電體240b的頂面接觸的方式配置被用作佈線的導電體246b。導電體246a及導電體246b較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，該導電體可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。此外，該導電

體也可以以嵌入形成於絕緣體的開口中的方式形成。

【0249】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0250】

<<基板>>

作為形成電晶體200的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(釔安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽、鍺為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如SOI(Silicon On Insulator；絕緣層上覆矽)基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包括金屬氮化物的基板、包括金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0251】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0252】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0253】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉿、氧化鋯、含有鋁及鉿的氧化物、含有鋁及鉿的氧氮化物、含有矽及鉿的氧化物、含有矽及鉿的氧氮化物或者含有矽及鉿的氮化物等。

【0254】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0255】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、

鈸、鉿或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈸、氧化鉿、氧化鉭等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0256】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0257】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0258】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0259】此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0260】尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物。此外，也可以使用包含氮的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0261】

<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物(氧化物半導體)。下面，對可用於根據本發明的氧化物230的金屬氧化物進行說明。

【0262】金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎵、釔、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂及鈷等中的一種或多種。

【0263】在此考慮金屬氧化物為包含銦、元素M及鋅的In-M-Zn氧化物的情況。注意，元素M為鋁、鎵、釔或錫。作為可以應用於元素M的其他元素，有硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂、鈷等。注意，作為元素M有時也可以組合多個上述元素。尤其是，元素M較佳為選自鎵、鋁、釔和錫中的一種或多種。

【0264】尤其是，作為電晶體的半導體層，較佳為使用包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物(也記載為IGZO)。或者，作為電晶體的半導體層，也可以使用包含銦(In)、鋁(Al)及鋅(Zn)的氧化物(也記載為IAZO)。或者，作為半導體層，也可以使用包含銦(In)、鋁(Al)、鎵(Ga)及鋅(Zn)的氧化物(IAGZO或IGAZO)。

【0265】此外，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物(metal oxide)。此外，也可以

將包含氮的金屬氧化物稱為金屬氧氮化物(metal oxynitride)。

【0266】以下，作為金屬氧化物的一個例子說明包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物。注意，有時將包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物稱為In-Ga-Zn氧化物。

【0267】

<結晶結構的分類>

作為氧化物半導體的結晶結構，可以舉出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、CAC(cloud-aligned composite)、單晶(single crystal)及多晶(poly crystal)等。

【0268】可以使用X射線繞射(XRD：X-Ray Diffraction)譜對膜或基板的結晶結構進行評價。例如，可以使用GIXD(Grazing-Incidence XRD)測定測得的XRD譜進行評價。此外，將GIXD法也稱為薄膜法或Seemann-Bohlin法。以下，有時將GIXD測量所得的XRD譜簡單地記作XRD譜。

【0269】例如，石英玻璃基板的XRD譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的In-Ga-Zn氧化物膜的XRD譜的峰形狀不是左右對稱。XRD譜的峰的形狀是左右不對稱說明膜中或基板中存在結晶。換言之，除非XRD譜峰形狀為左右對稱，否則不能說膜或基板處於非晶態。

【0270】此外，可以使用奈米束電子繞射法(NBED：

Nano Beam Electron Diffraction)觀察的繞射圖案(也稱為奈米束電子繞射圖案)對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈圖案，可以確認石英玻璃處於非晶態。此外，以室溫沉積的In-Ga-Zn氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈圖案。因此可以推測，以室溫沉積的In-Ga-Zn氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該In-Ga-Zn氧化物是非晶態的結論。

【0271】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半導體等。

【0272】在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0273】

[CAAC-OS]

CAAC-OS是包括多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的膜厚度方向、CAAC-OS膜的被形成面

的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0274】此外，上述多個結晶區域的每一個由一個或多個微小結晶(最大徑小於10nm的結晶)構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十nm左右。

【0275】此外，在In-Ga-Zn氧化物中，有CAAC-OS具有層疊有含有銦(In)及氧的層(以下，In層)、含有鎵(Ga)、鋅(Zn)及氧的層(以下，(Ga，Zn)層)的層狀結晶結構(也稱為層狀結構)的趨勢。此外，銦和鎵可以彼此置換。因此，有時(Ga，Zn)層包含銦。此外，有時In層包含鎵。注意，有時In層包含鋅。該層狀結構例如在高解析度TEM(Transmission Electron Microscope)影像中被觀察作為晶格影像。

【0276】例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用θ/2θ掃描的Out-of-plane XRD測量中，

在2θ=31°或其附近檢測出表示c軸配向的峰。注意，表示c軸配向的峰的位置(2θ值)有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0277】此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點(斑點)。此外，在以透過樣本的入射電子束的斑點(也稱為直接斑點)為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0278】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於CAAC-OS因為a-b面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0279】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0280】CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說CAAC-OS是雜質、缺陷(氧空位等)少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度(所謂熱積存)也很穩定。由此，藉由將CAAC-OS用於在通道形成區域中包括金屬氧化物的電晶體(有時將其稱為OS電晶體)，可以擴大製程的彈性。

【0281】

[nc-OS]

在nc-OS中，微小的區域(例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域)中的原子排列具有週期性。換言之，nc-OS具有微小的結晶。此外，例如，該微小的結晶的尺寸為1nm以上且10nm以下，尤其為1nm以上且3nm以下，將該微小的結晶稱為奈米晶。此外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。例如，在對nc-OS膜使用XRD裝置進行結構分析時，在使用θ/2θ掃描的Out-of-plane XRD測量中，檢測不出表示結晶性的峰。此外，在對nc-OS膜進行使用其束徑

比奈米晶大(例如，50nm以上)的電子束的電子繞射(也稱為選區電子繞射)時，觀察到類似光暈圖案的繞射圖案。另一方面，在對nc-OS膜進行使用其束徑近於或小於奈米晶的尺寸(例如1nm以上且30nm以下)的電子束的電子繞射(也稱為奈米束電子繞射)的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0282】

[a-like OS]

a-like OS是具有介於nc-OS與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS包含空洞或低密度區域。也就是說，a-like OS的結晶性比nc-OS及CAAC-OS的結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0283】

<<氧化物半導體的結構>>

接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

【0284】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的

狀態稱為馬賽克狀或補丁(patch)狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【0285】再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構(下面也稱為雲狀)。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0286】在此，將相對於構成In-Ga-Zn氧化物的CAC-OS的金屬元素的In、Ga及Zn的原子數比的每一個記作[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一區域是其[In]大於CAC-OS膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於CAC-OS膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0287】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以In為主要成分的區域。此外，可以將上述第二區域稱為以Ga為主要成分的區域。

【0288】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0289】此外，In-Ga-Zn氧化物中的CAC-OS是指如

下構成：在包含In、Ga、Zn及O的材料構成中，部分主要成分為Ga的區域與部分主要成分為In的區域無規律地以馬賽克狀存在。因此，可推測，CAC-OS具有金屬元素不均勻地分佈的結構。

【0290】CAC-OS例如可以藉由在對基板不進行加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣體(典型的是氬)、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為0%以上且低於30%，較佳為0%以上且10%以下。

【0291】例如，在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法(EDX)取得的EDX面分析(mapping)影像，可確認到具有以In為主要成分的區域(第一區域)及以Ga為主要成分的區域(第二區域)不均勻地分佈而混合的結構。

【0292】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率(μ)。

【0293】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制關態電流。

【0294】在將CAC-OS用於電晶體的情況下，藉由起

因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能(控制開啟/關閉的功能)。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將CAC-OS用於電晶體，可以實現高通態電流(I_{on})、高場效移動率(μ)及良好的切換工作。

【0295】此外，使用CAC-OS的電晶體具有高可靠性。因此，CAC-OS最適合於顯示裝置等各種半導體裝置。

【0296】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS中的兩種以上。

【0297】

<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0298】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0299】較佳為將載子濃度低的氧化物半導體用於電晶體。例如，氧化物半導體的載子濃度可以為$1\times10^{17}cm^{-3}$以下，較佳為$1\times10^{15}cm^{-3}$以下，更佳為$1\times10^{13}cm^{-3}$以下，進

一步較佳為$1\times10^{11}cm^{-3}$以下，更進一步較佳為低於$1\times10^{10}cm^{-3}$，且為$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，降低氧化物半導體膜中的雜質濃度以降低缺陷態密度即可。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質的氧化物半導體或實質上高純度本質的氧化物半導體。

【0300】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0301】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0302】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0303】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0304】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體的矽或碳的濃度(藉由SIMS測得的濃度)例如設定為2×10^{18}atoms/cm^{3}以下，較佳為2×10^{17}atoms/cm^{3}以下。

【0305】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度設定為1×10^{18}atoms/cm^{3}以下，較佳為2×10^{16}atoms/cm^{3}以下。

【0306】當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利用SIMS測得的氧化物半導體中的氮濃度設定為低於5×10^{19}atoms/cm^{3}以下，較佳為5×10^{18}atoms/cm^{3}以下，更佳為1×10^{18}atoms/cm^{3}以下，進一步較佳為5×10^{17}atoms/cm^{3}以下。

【0307】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電

子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用SIMS測得的氧化物半導體的氫濃度設定為低於1×10^{20}atoms/cm^3，較佳為低於1×10^{19}atoms/cm^3，更佳為低於5×10^{18}atoms/cm^3，進一步較佳為低於1×10^{18}atoms/cm^3。

【0308】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0309】

<<其他半導體材料>>

氧化物230可以換稱為包括電晶體200的通道形成區域的半導體層。注意，能夠用於該半導體層的半導體材料不侷限於上述金屬氧化物。作為該半導體層，也可以使用具有能帶間隙的半導體材料(不是零能帶間隙半導體的半導體材料)。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質(也稱為原子層物質、二維材料等)等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

【0310】在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具

有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0311】作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、釙、鉝。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0312】作為半導體層，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是MoS_2)、硒化鉬(典型的是$MoSe_2$)、碲化鉬(典型的是$MoTe_2$)、硫化鎢(典型的是WS_2)、硒化鎢(典型的是WSe_2)、碲化鎢(典型的是WTe_2)、硫化鉿(典型的是HfS_2)、硒化鉿(典型的是$HfSe_2$)、硫化鋯(典型的是ZrS_2)、硒化鋯(典型的是$ZrSe_2$)等。

【0313】

<半導體裝置的製造方法>

接著，使用圖7A至圖17D說明圖1A至圖1D所示的本發明的一個實施方式的半導體裝置的製造方法。

【0314】各圖式中的A是俯視圖。另外，各圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向上的剖面圖。各圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於電晶體200的通道寬度方向上的剖面圖。此外，各圖

式中的D是沿著A中的點劃線A5-A6的部分的剖面圖。為了明確起見，在各圖式中的A的俯視圖中省略部分組件。

【0315】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。

【0316】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0317】注意，CVD法可以分為利用電漿的電漿增強CVD(PECVD)法、利用熱量的熱CVD(TCVD：Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分類為金屬CVD(MCVD：Metal CVD)法及有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0318】藉由利用電漿增強CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件(電晶體、電容器等)等有時因從電漿接收電荷而會產生電荷積聚。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱

CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0319】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用收到電漿激發的反應物的PEALD法等。

【0320】CVD法及ALD法不同於從靶材等中被釋放的粒子沉積的濺射法。因此，藉由CVD法及ALD法沉積的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由ALD法沉積的膜具有良好的步階覆蓋性和膜厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速度快的CVD法等其他沉積方法組合而使用。

【0321】此外，當使用CVD法時，可以藉由調整源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0322】當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意

組成的膜。

【0323】首先，準備基板(未圖示)，在該基板上沉積絕緣體212(參照圖7A至圖7D)。絕緣體212較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體212中的氫濃度。注意，絕緣體212的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0324】在本實施方式中，作為絕緣體212在含氮氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氮化矽。藉由使用脈衝DC濺射法，可以抑制因靶材表面的電弧(arcing)而發生的微粒，所以可以使膜厚度更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應電力而提高濺射速率及膜品質。

【0325】此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體212的下方的層所包含的水、氫等雜質擴散。此外，藉由作為絕緣體212使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體212的下方的層的導電體(未圖示)使用銅等容易擴散的金屬，也可以抑制該金屬透過絕緣體212向上方擴散。

【0326】接著，在絕緣體212上沉積絕緣體214(參照圖7A至圖7D)。絕緣體214較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體214中的氫濃度。注意，絕緣體214的沉積不

侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0327】作為絕緣體214，較佳為使用俘獲並固定氫的性能高的具有非晶結構的金屬氧化物，例如較佳為使用氧化鋁。由此，可以俘獲或固定包含在絕緣體216等中的氫以防止該氫擴散到氧化物230。尤其是，絕緣體214特別較佳為使用具有非晶結構的氧化鋁或非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0328】在本實施方式中，作為絕緣體214在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使膜厚度更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體214的下層中的氧量。作為RF功率，設定為0W/cm^2以上且1.86W/cm^2以下。換言之，可以使用形成絕緣體214時的RF功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0329】接著，在絕緣體214上沉積絕緣體216。絕緣體216較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體216中的氫濃度。注意，絕緣體216的沉積不侷限於濺射法，也

可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0330】在本實施方式中，作為絕緣體216在包含氧氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氧化矽。藉由使用脈衝DC濺射法，可以使膜厚度更均勻而提高濺射速率及膜品質。

【0331】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續沉積。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氫而沉積絕緣體212、絕緣體214及絕緣體216，並且可以抑制在各沉積製程之間氫混入膜中。

【0332】接著，在絕緣體216中形成到達絕緣體214的開口。開口例如包括槽、狹縫等。有時將形成有開口的區域稱為開口部。在形成該開口時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成開口時被用作蝕刻停止膜的絕緣體。例如，當作為形成開口的絕緣體216使用氧化矽或氧氮化矽時，絕緣體214較佳為使用氮化矽、氧化鋁或氧化鉿。

【0333】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿(CCP：Capacitively Coupled Plasma)蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一方施加不同的多個高頻電壓的結構。或者，也可以採用

對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿(ICP：Inductively Coupled Plasma)蝕刻裝置等。

【0334】在形成上述開口之後，沉積成為導電體205a的導電膜。該導電膜較佳為包括具有抑制氧的透過的功能的導電體。例如，可以使用氮化鉭、氮化鎢、氮化鈦等。或者，可以使用具有抑制氧透過的功能的導電體與鉭、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該導電膜。

【0335】在本實施方式中，作為成為導電體205a的導電膜沉積氮化鈦。藉由作為導電體205b的下層使用上述金屬氮化物，可以抑制由於絕緣體216等導電體205b被氧化。此外，即使作為導電體205b使用銅等容易擴散的金屬，也可以防止該金屬從導電體205a向外方擴散。

【0336】接著，沉積成為導電體205b的導電膜。作為該導電膜，可以使用鉭、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。該導電膜的沉積可以使用電鍍法、濺射法、CVD法、MBE法、PLD法、ALD法等進行。在本實施方式中，作為該導電膜沉積鎢。

【0337】接著，藉由CMP處理去除成為導電體205a的導電膜的一部分及成為導電體205b的導電膜的一部分而使

絕緣體216露出(參照圖7A至圖7D)。其結果是，只在開口部中殘留導電體205a及導電體205b。此外，有時藉由該CMP處理絕緣體216的一部分被去除。

【0338】接著，在絕緣體216及導電體205上沉積絕緣體222(參照圖8A至圖8D)。作為絕緣體222較佳為沉積包括鋁和鉿中的一者或兩者的氧化物的絕緣體。作為包括鋁和鉿中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物(鋁酸鉿)等。或者，較佳為使用鉿鋯氧化物。包括鋁和鉿中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體222對氫及水具有阻擋性時，可以抑制電晶體200的周圍的結構體所包含的氫及水透過絕緣體222擴散到電晶體200的內側，從而可以抑制氧化物230中的氧空位的生成。

【0339】可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣體222。在本實施方式中，作為絕緣體222利用ALD法沉積氧化鉿。

【0340】接著，較佳為進行熱處理。熱處理以250℃以上且650℃以下，較佳為以300℃以上且500℃以下，更佳為以320℃以上且450℃以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比率設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫

離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0341】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體222等吸收。

【0342】在本實施方式中，作為熱處理在沉積絕緣體222後以氮氣體與氧氣體的流量比為4：1且400℃的溫度進行1小時的處理。藉由進行該熱處理，例如可以去除絕緣體222所包含的水、氫等雜質。此外，在作為絕緣體222使用含鉿氧化物時，有時藉由進行該熱處理絕緣體222的一部分被晶化。此外，也可以在沉積成為絕緣體224的絕緣膜之後等的時機進行熱處理。

【0343】接著，在絕緣體222上沉積絕緣膜224A(參照圖8A至圖8D)。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣膜224A。在本實施方式中，作為絕緣膜224A利用濺射法沉積氧化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣膜224A中的氫濃度。絕緣膜224A在後面製程中與氧化物230a接觸，所以如此那樣氫濃度得到降低是較佳的。

【0344】接著，在絕緣膜224A上依次沉積氧化膜230A以及氧化膜230B(參照圖8A至圖8D)。氧化膜230A是成為氧化物230a的金屬氧化膜，氧化膜230B是成為氧化物

230b的金屬氧化膜。較佳為在不暴露於大氣環境的情況下連續地沉積氧化膜230A及氧化膜230B。藉由不暴露於大氣而進行沉積，可以防止來自大氣環境的雜質或水分附著於氧化膜230A及氧化膜230B上，所以可以保持氧化膜230A與氧化膜230B的介面附近的清潔。

【0345】氧化膜230A及氧化膜230B可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，在氧化膜230A及氧化膜230B的沉積中利用濺射法。

【0346】例如，在利用濺射法沉積氧化膜230A以及氧化膜230B的情況下，作為濺射氣體使用氧或者氧和高貴氣體的混合氣體。藉由提高濺射氣體所包含的氧的比率，可以增加沉積的氧化膜中的過量氧。此外，在利用濺射法沉積上述氧化膜的情況下，例如可以使用上述In-M-Zn氧化物靶材等。

【0347】尤其是，在沉積氧化膜230A時，有時濺射氣體所包含的氧的一部分供應給絕緣體224。因此，該濺射氣體所包含的氧的比率可以為70%以上，較佳為80%以上，更佳為100%。

【0348】在使用濺射法形成氧化膜230B的情況下，藉由在包含在濺射氣體中的氧的比率超過30%且為100%以下，較佳為70%以上且100%以下的條件下進行沉積，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體可以得到比較高的可靠性。注

意，本發明的一個實施方式不侷限於此。在利用濺射法形成氧化膜230B的情況下，當在將濺射氣體所包含的氧的比率設定為1%以上且30%以下，較佳為5%以上且20%以下的情況下進行沉積時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由在加熱基板的同時進行沉積，可以提高該氧化膜的結晶性。

【0349】在本實施方式中，利用濺射法使用In：Ga：Zn=1：3：4[原子數比]的氧化物靶材沉積氧化膜230A。此外，利用濺射法使用In：Ga：Zn=4：2：4.1[原子數比]的氧化物靶材、In：Ga：Zn=1：1：1[原子數比]的氧化物靶材、In：Ga：Zn=1：1：1.2[原子數比]的氧化物靶材或者In：Ga：Zn=1：1：2[原子數比]的氧化物靶材沉積氧化膜230B。各氧化膜較佳為根據氧化物230a及氧化物230b所需的特性適當地選擇沉積條件及原子數比來形成。

【0350】注意，較佳為藉由濺射法不暴露於大氣的方式沉積絕緣膜224A、氧化膜230A及氧化膜230B。例如，使用多室方式沉積裝置即可。由此，可以降低各沉積製程之間氫混入絕緣膜224A、氧化膜230A及氧化膜230B。

【0351】接著，較佳為進行熱處理。熱處理在氧化膜230A、氧化膜230B中不發生多晶化的溫度範圍內進行即可，可以在250℃以上且650℃以下，較佳為在400℃以上且600℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍

下進行。例如，熱處理較佳為在氧氛圍下進行。因此，可以對氧化膜230A及氧化膜230B供應氧而實現氧空位的減少。另外，例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比率設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，作為熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。或者，也可以在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理，然後在氮氣體或惰性氣體氛圍下連續進行熱處理。

【0352】藉由對氧化物230進行加氧化處理，可以由所供應的氧填補氧化物230中的氧空位。再者，氧化物230中殘留的氫與被供給的氧發生反應而可以將該氫以H_2O的形態去除(脫水化)。由此，可以抑制殘留在氧化物230中的氫與氧空位再結合而形成V_OH。

【0353】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜230A及氧化膜230B等吸收。

【0354】在本實施方式中，作為熱處理，在氮氣體與氧氣體的流量比為4：1且400℃的溫度的條件下進行1小時的處理。藉由這樣的包含氧氣體的熱處理，例如可以減少氧化膜230A及氧化膜230B中的水、氫等雜質。藉由如此

減少膜中的雜質，氧化膜230B的結晶性得到提高，可以實現密度更高的緻密結構。因此，可以增大氧化膜230A及氧化膜230B中的結晶區域，可以降低氧化膜230A及氧化膜230B中的結晶區域的面內不均勻。因此，可以降低電晶體200的電特性的面內不均勻。

【0355】另外，藉由進行熱處理，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫轉移到絕緣體222而被絕緣體222吸收。換言之，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫擴散到絕緣體222。因此，雖然絕緣體222的氫濃度增高，但絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫濃度都降低。

【0356】尤其是，絕緣膜224A被用作電晶體200的閘極絕緣體，氧化膜230A及氧化膜230B被用作電晶體200的通道形成區域。因此，包括氫濃度降低了的絕緣膜224A、氧化膜230A及氧化膜230B的電晶體200具有優異可靠性，所以是較佳的。

【0357】接著，在氧化膜230B上沉積導電膜242A(參照圖8A至圖8D)。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積導電膜242A。例如，作為導電膜242A利用濺射法沉積氮化鉭膜即可。此外，在沉積導電膜242A之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積導電膜242A。藉由進行這種處理，可以去除附著於氧化膜230B

的表面的水分及氫，而且減少氧化膜230A及氧化膜230B中的水分濃度及氫濃度。熱處理的溫度較佳為100℃以上且400℃以下。在本實施方式中，將熱處理的溫度設定為200℃。

【0358】接著，在導電膜242A上沉積絕緣膜271A(參照圖8A至圖8D)。絕緣膜271A可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積。作為絕緣膜271A，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，作為絕緣膜271A藉由濺射法沉積氧化鋁膜或氮化矽膜即可。或者，例如，作為絕緣膜271A也可以藉由濺射法沉積氮化矽膜及該氮化矽膜上的氧化矽膜。

【0359】較佳為藉由濺射法以不暴露於大氣的方式沉積導電膜242A及絕緣膜271A。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氫而沉積導電膜242A及絕緣膜271A，並且可以抑制在各沉積製程之間氫混入膜中。此外，當在絕緣膜271A上形成硬遮罩時，成為該硬遮罩的膜也以不暴露於大氣的方式連續沉積即可。

【0360】接著，利用光微影法將絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A加工為島狀，形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B(參照圖9A至圖9D)。在此，以其至少一部分與導電體205重疊的方式形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B。作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加

工適合於微型加工。另外，也可以在各自不同的條件下進行絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A的加工。

【0361】注意，在光微影法中，首先透過遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，可以藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用KrF準分子雷射、ArF準分子雷射、EUV(Extreme Ultraviolet：極紫外)光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0362】再者，也可以在光阻遮罩下使用由絕緣體或導電體構成的硬遮罩。當使用硬遮罩時，可以在導電膜242A上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對導電膜242A等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在導電膜242A等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，

在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定需要去除硬遮罩。在本實施方式中，將絕緣層271B用作硬遮罩。

【0363】在此，絕緣層271B被用作導電層242B的遮罩，如圖9B至圖9D所示，導電層242B在側面與頂面之間不具有彎曲面。由此，圖1B及圖1D所示的導電體242a及導電體242b的側面與頂面交叉的端部成為角狀。在導電體242的側面與頂面交叉的端部成為角狀時，與該端部具有曲面的情況相比，導電體242的剖面積增大。由此，導電體242的電阻下降，從而可以增大電晶體200的通態電流。

【0364】另外，如圖9B至圖9D所示，絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面形狀也可以為錐形形狀。注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，傾斜的側面和基板面所形成的角度(以下，有時稱為錐角)較佳為小於90°。絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面例如以錐角為60°以上且小於90°的方式形成。在側面具有這樣的錐形形狀時，以後的製程中的絕緣體275等的覆蓋性得到提高，可以減少空洞等缺陷。

【0365】但是，不侷限於此，也可以採用絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面大致垂直於絕緣體222的頂面的結構。藉由採用這樣的結構，在設置多個電晶體200時可以實現小面積

化及高密度化。

【0366】此外，有時在上述蝕刻製程中產生的副產物以層狀形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面。在此情況下，該層狀的副產物形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B與絕緣體275間。因此，較佳為去除接觸於絕緣體222的頂面的該層狀的副產物。

【0367】接著，以覆蓋絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的方式沉積絕緣體275(參照圖10A至圖10D)。在此，絕緣體275較佳為與絕緣體222的頂面及絕緣體224的側面接觸。絕緣體275可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體275較佳為使用抑制氧透過的功能的絕緣膜。例如，作為絕緣體275可以利用ALD法沉積氮化矽。或者，作為絕緣體275可以利用濺射法沉積氧化鋁且在其上利用PEALD法沉積氮化矽。在絕緣體275具有這種疊層結構時，抑制水、氫等雜質及氧的擴散的功能有時得到提高。

【0368】如此，可以由具有抑制氧擴散的功能的絕緣體275及絕緣層271B覆蓋絕緣體224、氧化物230a、氧化物230b及導電層242B。由此，可以抑制在後面製程中氧從絕緣體280直接擴散到絕緣體224、氧化物230a、氧化物230b及導電層242B中。

【0369】接著，在絕緣體275上沉積成為絕緣體280的絕緣膜。可以利用濺射法、CVD法、MBE法、PLD法、

ALD法等沉積該絕緣膜。例如，作為該絕緣膜藉由濺射法沉積氧化矽膜即可。藉由在含氧氛圍下使用濺射法沉積該絕緣膜，可以形成包含過量氧的絕緣體280。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體280中的氫濃度。此外，在沉積該絕緣膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積該絕緣膜。藉由進行這種處理，可以去除附著於絕緣體275的表面等的水分及氫，而且減少氧化物230a、氧化物230b及絕緣體224中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0370】接著，藉由對成為絕緣體280的絕緣膜進行CMP處理，形成其頂面平坦的絕緣體280(參照圖10A至圖10D)。此外，也可以在絕緣體280上例如藉由濺射法沉積氮化矽，直到該氮化矽到達絕緣體280為止進行CMP處理。

【0371】接著，對絕緣體280的一部分、絕緣體275的一部分、絕緣層271B的一部分及導電層242B的一部分進行加工來形成到達氧化物230b的開口。該開口較佳為以與導電體205重疊的方式形成。藉由形成該開口，形成絕緣體271a、絕緣體271b、導電體242a、導電體242b(參照圖11A至圖11D)。

【0372】在此，如圖11B及圖11C所示，絕緣體280、絕緣體275、絕緣體271及導電體242的側面形狀有時為錐形形狀。另外，絕緣體280的錐角有時大於導電體242的錐

角。另外，雖然在圖11A至圖11C中沒有示出，但是在形成上述開口時氧化物230b的上部有時被去除。在去除氧化物230b的一部分時，有時在氧化物230b中形成槽部。

【0373】此外，可以對絕緣體280的一部分、絕緣體275的一部分、絕緣層271B的一部分、導電層242B的一部分藉由乾蝕刻法或濕蝕刻法進行加工。利用乾蝕刻法的加工適合於微型加工。此外，該加工也可以以互不相同的條件進行。例如，也可以藉由乾蝕刻法對絕緣體280的一部分進行加工，藉由濕蝕刻法對絕緣體275的一部分及絕緣層271B的一部分進行加工，藉由乾蝕刻法對導電層242B的一部分進行加工。

【0374】在作為絕緣體275使用氮化矽且作為絕緣體280使用氧化矽時，絕緣體275可以被用作在絕緣體280中形成開口時的蝕刻停止膜。因此，可以製造極其微型的電晶體(閘極長度及通道寬度小的電晶體)。

【0375】在形成到達氧化物230b的開口時，有時導電體242a的側面被氧化而形成絕緣體244a。另外，有時導電體242b的側面被氧化而形成絕緣體244b。另外，絕緣體244a及絕緣體244b的通道長度方向的長度根據形成上述開口時的加工條件而變化。

【0376】在形成導電體242a及導電體242b時使用的乾蝕刻裝置具有消除蝕刻中積累於基板的靜電的功能。就是說，該乾蝕刻裝置具有如下功能：藉由在形成導電體242a及導電體242b的蝕刻處理結束後以與形成導電體242a及導

電體242b時相比更低的電力進行電漿處理，來消除積累於基板的靜電。該電漿處理被稱為靜電消除電漿處理。例如，在靜電消除電漿處理中使用氮時的絕緣體244a及絕緣體244b的通道長度方向的長度趨於比在靜電消除電漿處理中使用氧時的通道長度方向的長度小。

【0377】在此，有時發生如下情況：雜質附著於氧化物230a的側面、氧化物230b的頂面及側面、導電體242的側面以及絕緣體280的側面等；或者該雜質擴散到它們的內部。此外，也可以進行去除這些雜質的製程。另外，有時因上述乾蝕刻而在氧化物230b的表面上形成損傷區域。此外，也可以去除這樣的損傷區域。作為該雜質，可以舉出起因於如下成分等的雜質：絕緣體280、絕緣體275、絕緣層271B的一部分及導電層242B所包含的成分；包含於形成上述開口時使用的裝置所使用的構件中的成分；用於蝕刻的氣體或液體所包含的成分。作為該雜質，例如有鈐、矽、鉭、氟、氯等。

【0378】尤其是，矽等雜質有時導致氧化物230b的結晶性下降。因此，在氧化物230b的表面及其附近較佳為去除矽等雜質。此外，該雜質的濃度較佳為得到降低。例如，氧化物230b的表面及其附近的矽原子的濃度可以為5.0原子%以下，較佳為2.0原子%以下，更佳為1.5原子%以下，進一步較佳為1.0原子%以下，尤其較佳為小於0.3原子%。

【0379】由於矽等雜質，在氧化物230b的結晶性低的

區域中結晶結構的緻密度降低，所以產生大量V_OH而電晶體容易變成常開啟化。由此，較佳為減少或去除氧化物230b的結晶性低的區域。

【0380】相對於此，氧化物230b較佳為具有層狀的CAAC結構。尤其是，較佳為氧化物230b的汲極的下端部也具有CAAC結構。在此，在電晶體200中，導電體242a或導電體242b及其附近被用作汲極。換言之，導電體242a或導電體242b的下端部附近的氧化物230b較佳為具有CAAC結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧化物230b的結晶性低的區域而使其具有CAAC結構，可以進一步抑制電晶體200的電特性的變動。此外，可以進一步提高電晶體200的可靠性。

【0381】為了去除在上述蝕刻製程中附著於氧化物230b表面的雜質等，進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌(也可以稱為濕蝕刻處理)、使用電漿的電漿處理、使用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0382】另外，也可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸等而成的水溶液、純水或碳酸水等進行洗滌處理。或者，可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。或者，也可以適當地組合上述洗滌。

【0383】注意，在本說明書等中，有時將用純水稀釋

氫氟酸的水溶液稱為稀氫氟酸且將用純水稀釋氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等可以根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整即可。稀氨水的氨濃度設定為0.01%以上且5%以下，較佳為設定為0.1%以上且0.5%以下即可。此外，稀氫氟酸的氟化氫濃度設定為0.01ppm以上且100ppm以下，較佳為設定為0.1ppm以上且10ppm以下即可。

【0384】此外，作為超聲波洗滌較佳為使用200kHz以上的頻率，更佳為使用900kHz以上的頻率。藉由使用該頻率，可以降低對氧化物230b等造成的損傷。

【0385】此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氫氟酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0386】作為上述洗滌處理，在本實施方式中，使用稀氨水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物230a、氧化物230b等的表面或者擴散到其內部的雜質。並且，可以提高氧化物230b的結晶性。

【0387】另外，也可以在上述蝕刻或上述洗滌後進行熱處理。熱處理以100℃以上且450℃以下，較佳為以350℃以上且400℃以下進行即可。熱處理在氮氣體、惰性氣體或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230a及氧化物230b供應氧，從而可以減少氧

空位。此外，藉由進行上述熱處理，可以提高氧化物230b的結晶性。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0388】接著，沉積絕緣膜252A(參照圖12A至圖12D)。絕緣膜252A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣膜252A較佳為利用ALD法沉積。如上所述，絕緣膜252A較佳為沉積得薄，需要將膜厚度不均勻性抑制為小。對此，ALD法是交替地導入前驅物及反應物(例如，氧化劑等)進行的沉積方法，由於膜厚度可以根據反復該循環的次數進行調整，所以可以精密地調整膜厚度。另外，如圖12B及圖12C所示，絕緣膜252A需要以高覆蓋性沉積在絕緣體280等中形成的開口的底面及側面。尤其是，絕緣膜252A較佳為以高覆蓋性沉積在氧化物230的頂面及側面、導電體242的側面。由於可以在上述開口的底面及側面上沉積每一層的原子層，所以可以在該開口中以高覆蓋性沉積絕緣膜252A。

【0389】另外，當利用ALD法沉積絕緣膜252A時，作為氧化劑可以使用臭氧(O_3)、氧(O_2)、水(H_2O)等。藉由使用不包含氫的臭氧(O_3)、氧(O_2)等作為氧化劑，可以減少擴散到氧化物230b的氫。

【0390】在本實施方式中，作為絕緣膜252A藉由熱ALD法沉積氧化鋁。

【0391】另外，在沉積絕緣膜252A時，有時絕緣體

244a及絕緣體244b的通道長度方向的長度變大。另外，當在沉積絕緣膜252A之前不形成絕緣體244a及絕緣體244b時，有時在沉積絕緣膜252A時導電體242a的側面被氧化而形成絕緣體244a。另外，有時導電體242b的側面被氧化而形成絕緣體244b。

【0392】接著，沉積絕緣膜250A(參照圖12A至圖12D)。在此，也可以在沉積絕緣膜250A之前進行熱處理，並且該熱處理也可以在減壓下進行，以不暴露於大氣的方式連續沉積絕緣膜250A。此外，該熱處理較佳為在含氧氛圍下進行。藉由進行這種處理，可以去除附著於絕緣膜252A的表面等的水分及氫，而且減少氧化物230a、氧化物230b中的水分濃度及氫濃度。熱處理的溫度較佳為100℃以上且400℃以下。

【0393】可以利用濺射法、CVD法、PECVD法、MBE法、PLD法、ALD法等沉積絕緣膜250A。絕緣膜250A較佳為使用減少或去除氫原子的氣體的沉積方法沉積。由此，可以降低絕緣膜250A的氫濃度。絕緣膜250A在後面製程中成為隔著膜厚度較小的絕緣體252與氧化物230b相對的絕緣體250，所以如此那樣氫濃度得到降低是較佳的。

【0394】在本實施方式中，作為絕緣膜250A藉由PECVD法沉積氧氮化矽。

【0395】另外，在沉積絕緣膜250A時，有時絕緣體244a及絕緣體244b的通道長度方向的長度變大。另外，當在沉積絕緣膜250A之前不形成絕緣體244a及絕緣體244b

時，有時在沉積絕緣膜250A時導電體242a的側面被氧化而形成絕緣體244a。另外，有時導電體242b的側面被氧化而形成絕緣體244b。

【0396】接著，較佳為在含氧氛圍下進行微波處理。在此，微波處理例如是指使用包括利用微波產生高密度電漿的電源的裝置的處理。此外，在本說明書等中，微波是指具有300MHz以上且300GHz以下的頻率的電磁波。

【0397】圖12B至圖12D中的點線表示微波、RF等高頻、氧電漿或氧自由基等。微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在此，將微波處理裝置的頻率設定為300MHz以上且300GHz以下，較佳為2.4GHz以上且2.5GHz以下，例如為2.45GHz即可。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率為1000W以上且10000W以下，較佳為2000W以上且5000W以下即可。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物230b中。

【0398】此外，上述微波處理較佳為在減壓下進行，壓力為10Pa以上且1000Pa以下，較佳為300Pa以上且700Pa以下即可。此外，處理溫度為750℃以下，較佳為500℃以下，例如為250℃左右即可。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。例如，處理溫度為100℃以上且750℃以下，較佳為300℃以上且

500℃以下即可。

【0399】另外，例如，上述微波處理使用氧氣體及氬氣體進行即可。在此，氧流量比($O_2/(O_2+Ar)$)大於0%且為100%以下，較佳為大於0%且為50%以下，更佳為10%以上且40%以下，進一步較佳為10%以上且30%以下即可。如此，藉由在含氧氛圍下進行微波處理，可以降低區域230bc中的載子濃度。另外，藉由在微波處理中防止對處理室導入過多的氧，可以防止在區域230ba及區域230bb中載子濃度過度地降低。

【0400】如圖12B至圖12D所示，藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用於氧化物230b的導電體242a與導電體242b間的區域。此時，也可以將微波或RF等高頻照射到區域230bc。換言之，可以使微波或RF等高頻、氧電漿等在圖2所示的區域230bc中作用。藉由電漿、微波等的作用，可以使區域230bc的V_OH分開為氧空位(V_O)及氫(H)。換言之，在區域230bc中發生“$V_OH \rightarrow H+V_O$”的反應而可以減少包含在區域230bc中的V_OH。此外，藉由對區域230bc中的氧空位供應在上述氧電漿中產生的氧自由基或包含在絕緣體250中的氧，可以降低區域230bc中的氧空位。換言之，可以促進“$V_O+O \rightarrow null$”的反應。另外，區域230bc中的氫漂移(擴散)到因導電體242a及導電體242b所具有的壓縮應力的作用在區域230ba及區域230bb中形成的應變。因此，可以降低區域230bc中的氫濃度。由此，可以降低區域

230bc中的V_OH、氧空位及氫濃度而降低載子濃度。由此，區域230bc可以被i型化或實質上被i型化。

【0401】在圖2所示的區域230ba及區域230bb上設置導電體242a及導電體242b。在此，導電體242較佳為被用作在含氧氛圍下進行微波處理時保護免受微波、RF等高頻或氧電漿等的作用的遮蔽膜。由此，導電體242較佳為具有遮蔽300MHz以上且300GHz以下，例如2.4GHz以上且2.5GHz以下的電磁波的功能。

【0402】如圖12B至圖12D所示，當在含氧氛圍下進行微波處理時，微波或RF等高頻、氧電漿等的作用被導電體242a及導電體242b遮蔽並不涉及於區域230ba及區域230bb。再者，可以藉由覆蓋氧化物230b及導電體242的絕緣體271及絕緣體280降低上述作用。另外，在區域230ba及區域230bb中，從區域230bc擴散的氫與氧空位起反應形成V_OH。由此，在進行微波處理時在區域230ba及區域230bb中不發生V_OH的減少以及過多的氧的供應，因此可以防止載子濃度的降低。如此，可以使區域230ba及區域230bb成為n型。

【0403】另外，微波或RF等高頻、氧電漿等的作用藉由絕緣體244a及絕緣體244b降低，但是不像導電體242a及導電體242b那樣遮蔽。因此，對區域230bd及區域230be的上述作用比對區域230bc的上述作用小且比對區域230ba及區域230bb的上述作用大。因此，藉由微波處理，區域230bd及區域230be的載子濃度低於區域230ba及區域230bb

但不像區域230bc那樣降低。

【0404】另外，以與導電體242a及導電體242b的側面接觸的方式設置有具有氧阻擋性的絕緣體252。因此，可以抑制因微波處理而過多的氧供應到導電體242a及導電體242b的側面。

【0405】另外，導電體242a及導電體242b的上方以與導電體242a的側面及導電體242b的側面接觸的方式設置有具有氧阻擋性的絕緣體275。因此，可以抑制因微波處理而導電體242a及導電體242b的頂面及側面被氧化。另外，如圖12D所示，絕緣體275接觸於與導電體242a或導電體242b重疊的區域的氧化物230b的側面。由此，可以使用絕緣體275抑制過多的氧供應到該區域的氧化物230b側面，從而可以防止載子濃度的下降。

【0406】另外，較佳為在沉積絕緣膜252A之後或者在沉積絕緣膜250A之後以含氧氛圍進行微波處理。如此，藉由經由絕緣膜252A或絕緣膜250A以含氧氛圍進行微波處理，可以對區域230bc高效地注入氧。另外，藉由以與區域230bc的表面接觸的方式配置絕緣膜252A，可以抑制區域230bc被注入不必要的氧。另外，藉由將絕緣膜252A配置在導電體242的側面附近，可以抑制導電體242的側面的過度氧化。

【0407】另外，作為注入到區域230bc中的氧，有氧原子、氧分子及氧自由基(也稱為O自由基，包含不成對電子的原子、分子或者離子)等各種方式。注入到區域230bc

中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。

【0408】由於可以提高絕緣體252及絕緣體250的膜品質，電晶體200的可靠性得到提高。

【0409】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及V_OH而使區域230bc成為i型或實質上i型。並且，可以抑制對被用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持進行微波處理之前的n型區域的狀態。再者，可以將區域230bd及區域230be用作接合區域或偏置區域。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0410】上述微波處理是在使區域230bc成為i型或實質上i型且使區域230ba及區域230bb成為n型時很有效的方法之一。藉由使用微波處理，可以製造微型電晶體200，其中其閘極長度為6nm，甚至為3nm。

【0411】另外，在微波處理中，有時由於微波與氧化物230b中的分子的電磁相互作用而對氧化物230b直接傳遞熱能量。有時因該熱能量而氧化物230b被加熱。有時將該熱處理稱為微波退火。藉由在含氧氛圍下進行微波處理，有時可以得到與氧退火相等的效果。就是說，藉由微波退火，可以由氧填補氧空位(進行null化)。另外，可認為：在氧化物230b包含氫時，上述熱能量傳遞到氧化物230b中的氫而被活性化的氫從氧化物230b釋放。

【0412】另外，在進行上述微波處理時，有時絕緣體244a及絕緣體244b的通道長度方向的長度變大。另外，當在進行上述微波處理之前不形成絕緣體244a及絕緣體244b時，有時在進行上述微波處理時導電體242a的側面被氧化而形成絕緣體244a。另外，有時導電體242b的側面被氧化而形成絕緣體244b。

【0413】此外，藉由適當地調節絕緣膜250A的沉積條件、含氧氛圍下的微波處理的條件、藉由絕緣體282的沉積而添加到絕緣體280的氧等，有時可以減少區域230bc中的氧空位及V_OH，可以抑制過多氧供應到區域230ba及區域230bb。在此情況下，也可以不設置絕緣體252。由此，可以簡化半導體裝置的製程而提高生產率。

【0414】上述微波處理也可以在沉積絕緣膜252A之後進行。或者，也可以在沉積絕緣膜252A之後進行微波處理而不進行沉積絕緣膜250A之後的微波處理。

【0415】另外，當作為絕緣體250採用圖6A所示的兩層的疊層結構時，在沉積上述絕緣膜250A之後沉積成為絕緣體250b的絕緣膜即可。該絕緣膜可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。該絕緣膜較佳為使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。該絕緣膜可以使用與絕緣體222同樣的材料設

置。例如，作為該絕緣膜利用熱ALD法沉積氧化鉿即可。

【0416】注意，在絕緣體250具有圖6A所示的兩層疊層結構時，較佳為在沉積絕緣膜250A之後進行上述微波處理。或者，也可以在沉積成為絕緣體250b的絕緣膜之後進行微波處理而不進行沉積絕緣膜250A後的微波處理。

【0417】另外，也可以在上述微波處理之後保持減壓狀態進行熱處理。藉由進行這種處理，可以高效地去除氧化物230b中及氧化物230a中的氫。此外，可以高效地去除絕緣膜252A、絕緣膜250A及成為絕緣體250b的絕緣膜中在進行微波處理之前沉積的絕緣膜中的氫。此外，氫的一部分有時被導電體242a及導電體242b吸雜。此外，也可以反復在進行微波處理之後保持減壓狀態進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除氧化物230b中及氧化物230a中的氫。另外，可以進一步高效地去除絕緣膜252A、絕緣膜250A及成為絕緣體250b的絕緣膜中在進行微波處理之前沉積的絕緣膜中的氫。注意，熱處理溫度較佳為300℃以上且500℃以下。上述微波處理，亦即，微波退火也可以兼作該熱處理。在藉由微波退火氧化物230b等充分地被加熱時，也可以不進行該熱處理。

【0418】此外，藉由進行微波處理而對絕緣膜252A、絕緣膜250A和成為絕緣體250b的絕緣膜中的任一個或多個的膜品質進行改性，可以抑制氫、水、雜質等的擴散。由此，可以抑制因成為導電體260的導電膜的沉積等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體252擴散

到氧化物230b、氧化物230a等。

【0419】到上述製程，在導電體242a的側面形成絕緣體244a且在導電體242b的側面形成絕緣體244b。換言之，在進行如下製程中的任一個時形成絕緣體244a及絕緣體244b：加工絕緣體280的一部分等形成到達氧化物230b的開口的製程；沉積絕緣膜252A的製程；沉積絕緣膜250A的製程；以及進行微波處理的製程。換言之，絕緣體244a及絕緣體244b在半導體裝置的製程中自對準地形成。

【0420】接著，沉積絕緣膜254A(參照圖13A至圖13D)。絕緣膜254A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。與絕緣膜252A同樣，絕緣膜254A較佳為利用ALD法沉積。藉由利用ALD法，可以以高覆蓋性沉積較薄的絕緣膜254A。在本實施方式中，作為絕緣膜254A利用PEALD法沉積氮化矽膜。

【0421】接著，依次沉積成為導電體260a的導電膜及成為導電體260b的導電膜。成為導電體260a的導電膜及成為導電體260b的導電膜可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，作為成為導電體260a的導電膜利用ALD法沉積氮化鈦膜，作為成為導電體260b的導電膜利用CVD法沉積鎢膜。

【0422】接著，藉由利用CMP處理直到絕緣體280露出為止對絕緣膜252A、絕緣膜250A、絕緣膜254A、成為導電體260a的導電膜及成為導電體260b的導電膜進行拋光，來形成絕緣體252、絕緣體250、絕緣體254及導電體

260(導電體260a及導電體260b)(參照圖14A至圖14D)。由此，絕緣體252以覆蓋到達氧化物230b的開口的方式配置。此外，導電體260隔著絕緣體252、絕緣體250及絕緣體254以填充上述開口的方式配置。

【0423】接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以400℃的溫度進行1小時的處理。藉由該熱處理，可以減少絕緣體250及絕緣體280中的水分濃度及氫濃度。此外，也可以在上述熱處理之後以不暴露於大氣的方式連續地進行絕緣體282的沉積。

【0424】接著，在絕緣體252、絕緣體250、絕緣體254、導電體260及絕緣體280上形成絕緣體282(參照圖14A至圖14D)。絕緣體282可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體282較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282中的氫濃度。

【0425】在本實施方式中，作為絕緣體282在包含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。另外，將對基板施加的RF功率設定為1.86W/cm^{2}以下。較佳為設定為0W/cm^{2}以上且0.62W/cm^{2}以下。藉由降低RF功率，可以抑制注入到絕緣體280中的氧量。或者，也可以沉積具有兩層的疊層結構的絕緣體282。此時，將對基板施加的RF功率設定為0W/cm^{2}來沉積絕緣體282的下層，將對基板施加的RF功率設定為0.62W/cm^{2}來沉積絕緣體282的

上層。

【0426】另外，藉由使用濺射法在含氧氛圍下沉積絕緣體282，可以在進行沉積的同時對絕緣體280添加氧。由此，可以使絕緣體280包含過量氧。此時，較佳為在加熱基板的同時沉積絕緣體282。

【0427】接著，藉由光微影法在絕緣體282上形成蝕刻遮罩，直到使絕緣體214的頂面露出為止對絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分、絕緣體222的一部分及絕緣體216的一部分進行加工(參照圖15A至圖15D)。在進行該加工時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。

【0428】接著，也可以進行熱處理。熱處理以250℃以上且650℃以下的溫度，較佳為以350℃以上且600℃以下的溫度進行即可。另外，該熱處理較佳為以低於沉積氧化膜230B後進行的熱處理溫度的溫度進行。此外，熱處理在氮氣體或惰性氣體氛圍下進行。藉由進行該熱處理，添加到絕緣體280的氧的一部分經過絕緣體250等而擴散到氧化物230。

【0429】藉由進行該熱處理，可以從因上述加工而形成的絕緣體280的側面向外部釋放包含在絕緣體280中的氧及鍵合於該氧的氫。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。

【0430】並且，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕

緣體252。絕緣體252具有氧阻擋性，因此可以減少過多的氧擴散到氧化物230。由此，可以以避免過多的氧的供應的方式將氧供應到區域230bc及其附近。由此，可以減少區域230bc中的氧空位及V_OH，並且可以抑制過多的氧供應到區域230ba及區域230bb。因此，可以提高電晶體200的電特性及可靠性。

【0431】另一方面，當使電晶體200高密度集成化時，有時相對於一個電晶體200的絕緣體280的體積過小。此時，在上述熱處理中，擴散到氧化物230的氧之量顯著少。當在氧含量不十分的氧化絕緣體(例如，絕緣體250等)接觸的狀態下對氧化物230進行加熱時，構成氧化物230的氧有可能脫離。但是，在本實施方式所示的電晶體200中，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕緣體252。因為絕緣體252具有氧阻擋性，所以上述熱處理中也可以抑制氧從氧化物230脫離。由此，可以抑制在區域230bc中形成氧空位及V_OH。因此，可以提高電晶體200的電特性及可靠性。

【0432】如上所述，在根據本實施方式的半導體裝置中，在絕緣體280所供應的氧量較多的情況和絕緣體280所供應的氧量較少的情況下，都可以形成具有良好的電特性及高可靠性的電晶體。因此，可以提供一種基板面內的電晶體200的電特性不均勻得到抑制的半導體裝置。

【0433】接著，在絕緣體282上形成絕緣體283(參照

圖16A至圖16D)。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積絕緣體283。絕緣體283較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體283中的氫濃度。此外，絕緣體283也可以採用多層結構。例如，可以藉由濺射法沉積氮化矽，並在該氮化矽上藉由ALD法沉積氮化矽。藉由使用阻擋性高的絕緣體283及絕緣體214包圍電晶體200，可以防止水分及氫從外部進入。

【0434】接著，在絕緣體283上形成成為絕緣體274的絕緣膜。該絕緣膜可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，作為該絕緣膜利用CVD法沉積氧化矽膜。

【0435】接著，藉由使用CMP處理直到絕緣體283露出為止對成為絕緣體274的絕緣膜進行拋光，來使該絕緣膜的頂面平坦而形成絕緣體274(參照圖16A至圖16D)。有時藉由該CMP處理絕緣體283的頂面的一部分被去除。

【0436】接著，在絕緣體274上及絕緣體283上形成絕緣體285(參照圖17A至圖17D)。絕緣體285可以藉由濺射法、CVD法、MBE法、PLD法或ALD法等沉積。絕緣體285較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體285中的氫濃度。

【0437】在本實施方式中，作為絕緣體285藉由濺射法沉積氧化矽。

【0438】接著，在絕緣體271、絕緣體275、絕緣體280、絕緣體282、絕緣體283及絕緣體285中形成到達導電體242的開口(參照圖17A及圖17B)。在形成該開口時，可以利用光微影法。注意，在圖17A中該開口在俯視時的形狀為圓形，但是不侷限於此。例如，在俯視時，該開口也可以具有橢圓等大致圓形形狀或四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0439】接著，沉積成為絕緣體241a及絕緣體241b的絕緣膜，並對該絕緣膜進行各向異性蝕刻來形成絕緣體241a及絕緣體241b(參照圖17B)。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積該絕緣膜。作為該絕緣膜，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，較佳為藉由ALD法沉積氧化鋁膜，在其上使用PEALD法沉積氮化矽膜。氮化矽對氫具有高阻擋性，所以是較佳的。

【0440】此外，作為對成為絕緣體241a及絕緣體241b的絕緣膜進行的各向異性蝕刻，例如可以採用乾蝕刻法等。藉由在開口的側壁部設置絕緣體241a及絕緣體241b，可以抑制來自外部的氧的透過，並防止接下來要形成的導電體240a及導電體240b的氧化。此外，可以防止包含在絕緣體280等中的水、氫等雜質擴散到導電體240a及導電體240b。

【0441】接著，沉積成為導電體240a及導電體240b的導電膜。該導電膜較佳為具有包含具有抑制水、氫等雜質

的透過的功能的導電體的疊層結構。例如，可以具有氮化鉭或氮化鈦等與鎢、鉬或銅等的疊層。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積該導電膜。

【0442】接著，藉由進行CMP處理，去除成為導電體240a及導電體240b的導電膜的一部分，使絕緣體285的頂面露出。其結果是，上述導電膜只殘留在上述開口中，由此可以形成其頂面平坦的導電體240a及導電體240b(參照圖17A至圖17D)。注意，有時由於該CMP處理而絕緣體285的頂面的一部分被去除。

【0443】接著，沉積成為導電體246a及導電體246b的導電膜。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積該導電膜。

【0444】接著，藉由光微影法對成為導電體246a及導電體246b的導電膜進行加工，來形成與導電體240a的頂面接觸的導電體246a及與導電體240b的頂面接觸的導電體246b。此時，導電體246a及導電體246b與絕緣體285不重疊的區域的絕緣體285的一部分有時被去除。

【0445】藉由上述製程，可以製造包括圖1A至圖1D所示的電晶體200的半導體裝置。如圖7A至圖17D所示，藉由使用本實施方式所示的半導體裝置的製造方法，可以製造電晶體200。

【0446】

<微波處理裝置>

以下，說明可以在上述半導體裝置的製造方法中使用

的微波處理裝置。

【0447】首先，參照圖18至圖21對製造半導體裝置等時雜質混入較少的製造裝置的結構進行說明。

【0448】圖18示意性地示出單晶片式多室(single wafer multi-chamber)製造裝置2700的俯視圖。製造裝置2700包括：具備收納基板的盒式介面(cassette port)2761和進行基板對準的對準介面(alignment port)2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室2703b；在真空中進行基板的傳送的傳送室2704；處理室2706a；處理室2706b；處理室2706c；以及處理室2706d。

【0449】此外，大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與處理室2706a、處理室2706b、處理室2706c以及處理室2706d連接。

【0450】在各室之間的連接部設置有閘閥GV，由此除了大氣側基板供應室2701及大氣側基板傳送室2702以外，各室可以獨立地保持為真空狀態。在大氣側基板傳送室2702中設置有傳送機器人2763a，並且在傳送室2704中設置有傳送機器人2763b。藉由利用傳送機器人2763a及傳

送機器人2763b可以在製造裝置2700中傳送基板。

【0451】傳送室2704及各處理室的背壓(全壓)例如為1×10^{-4}Pa以下，較佳為3×10^{-5}Pa以下，更佳為1×10^{-5}Pa以下。傳送室2704及各處理室的質量電荷比(m/z)是18的氣體分子(原子)的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。此外，傳送室2704及各處理室的m/z是28的氣體分子(原子)的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。傳送室2704及各處理室的m/z是44的氣體分子(原子)的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。

【0452】傳送室2704及各處理室內的全壓及分壓可以使用電離真空計、質量分析器等測量。

【0453】另外，傳送室2704及各處理室較佳為具有外部洩漏或內部洩漏少的結構。例如，傳送室2704的洩漏率為1×10^{0}Pa/min以下，較佳為5×10^{-1}Pa/min以下。另外，各處理室的洩漏率為1×10^{-1}Pa/min以下，較佳為5×10^{-2}Pa/min以下。

【0454】洩漏率從利用電離真空計、質量分析器等測量的全壓及分壓導出即可。例如，從利用渦輪分子泵等真空泵開始抽空後經過10分鐘時的全壓以及閥關閉後經過10分鐘時的全壓導出即可。注意，上述開始抽空後經過10分鐘時的全壓較佳為多次測量該全壓時的平均值。

【0455】洩漏率取決於外部洩漏及內部洩漏。外部洩

漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0456】例如，較佳為使用金屬墊片對傳送室2704及各處理室的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形環高，因此可以降低外部洩漏。藉由利用由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬的鈍態，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0457】作為構成製造裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、鋯、鎳或釩。另外，也可以使用上述包含雜質的釋放氣體少的金屬覆蓋含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性和耐熱性且適於加工。在此，藉由進行拋光等減少構件表面上的凹凸以縮小表面積，可以減少釋放氣體。

【0458】或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置2700的構件。

【0459】製造裝置2700的構件較佳為儘量只由金屬構成，例如當設置由石英等構成的觀察窗(viewing window)等時，為了抑制釋放氣體，較佳為由其膜厚度小的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

【0460】雖然存在於傳送室2704及各處理室內的附著

物附著於內壁等而不影響到傳送室2704及各處理室的壓力，但是該附著物成為對傳送室2704及各處理室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室2704及各處理室內的附著物脫離並預先進行排氣是重要的。為了促進附著物的脫離，也可以對傳送室2704及各處理室進行烘烤。藉由進行烘烤，可以將附著物的脫離速度提高到10倍左右。烘烤以100℃以上且450℃以下進行即可。此時，藉由在將惰性氣體導入傳送室2704及各處理室的同時去除附著物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。此外，藉由將導入的惰性氣體加熱到與烘烤溫度相同程度的溫度，可以進一步提高附著物的脫離速度。這裡，作為惰性氣體較佳為使用高貴氣體。

【0461】此外，較佳為藉由導入被加熱的高貴氣體等惰性氣體或氧等提高傳送室2704及各處理室內的壓力，並在經過一定時間之後再次對傳送室2704及各處理室進行排氣處理。可以由被加熱的氣體的導入使傳送室2704及各處理室內的附著物脫離，由此可以減少存在於傳送室2704及各處理室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。明確地說，藉由導入40℃以上且400℃以下，較佳為50℃以上且200℃以下的惰性氣體或氧等來將傳送室2704及各處理室內的壓力設定為0.1Pa以上且10kPa以下，較佳為1Pa以上且1kPa以下，更佳為5Pa以上且100Pa以下，並將保持壓力的期間設

定為1分鐘以上且300分鐘以下，較佳為5分鐘以上且120分鐘以下，即可。然後，對傳送室2704及各處理室進行排氣5分鐘以上且300分鐘以下，較佳為10分鐘以上且120分鐘以下。

【0462】接著，使用圖19所示的剖面示意圖說明處理室2706b及處理室2706c。

【0463】處理室2706b及處理室2706c例如是能夠對被處理物進行微波處理的處理室。注意，處理室2706b與處理室2706c的不同之處僅在於進行微波處理時的氛圍。因為處理室2706b和處理室2706c的其他結構相同，所以下面一併說明。

【0464】處理室2706b及處理室2706c包括縫隙天線板2808、電介質板2809、基板支架2812以及排氣口2819。此外，在處理室2706b及處理室2706c的外部等設置有氣體供應源2801、閥2802、高頻產生器2803、波導管2804、模式轉換器2805、氣體管2806、波導管2807、匹配器(matching box)2815、高頻電源2816、真空泵2817以及閥2818。

【0465】高頻產生器2803透過波導管2804與模式轉換器2805連接。模式轉換器2805透過波導管2807與縫隙天線板2808連接。縫隙天線板2808與電介質板2809接觸地配置。此外，氣體供應源2801透過閥2802與模式轉換器2805連接。並且，由經過模式轉換器2805、波導管2807及電介質板2809的氣體管2806對處理室2706b及處理室2706c導入氣體。此外，真空泵2817具有透過閥2818及排氣口2819從

處理室2706b及處理室2706c排出氣體等的功能。此外，高頻電源2816透過匹配器2815與基板支架2812連接。

【0466】基板支架2812具有保持基板2811的功能。例如，基板支架2812具有被用作對於基板2811的靜電卡盤或機械卡盤。此外，基板支架2812具有從高頻電源2816接收電力的電極的功能。此外，基板支架2812在其內部包括加熱機構2813並具有對基板2811進行加熱的功能。

【0467】作為真空泵2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。此外，除了真空泵2817以外，還可以使用低溫冷阱(cryotrap)。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

【0468】作為加熱機構2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，還可以使用利用被加熱的氣體等介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用GRTA(Gas Rapid Thermal Annealing：氣體快速熱退火)或LRTA(Lamp Rapid Thermal Annealing：燈快速熱退火)等的RTA(Rapid Thermal Annealing：快速熱退火)。GRTA利用高溫氣體進行熱處理。作為氣體使用惰性氣體。

【0469】此外，氣體供應源2801也可以透過質量流量控制器與精製器連接。作為氣體，較佳為使用露點為-80℃以下，較佳為-100℃以下的氣體。例如，可以使用氧氣體、氮氣體及高貴氣體(氬氣體等)。

【0470】作為電介質板2809例如使用氧化矽(石英)、氧化鋁(alumina)或氧化釔(yttria)等即可。此外，也可以在電介質板2809的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋯、氧化鈴、氧化鉭、氧化矽、氧化鋁或氧化釔等。因為電介質板2809暴露於後述的高密度電漿2810的特別高密度區域中，所以藉由設置保護層可以減輕損傷。其結果是，可以抑制進行處理時的微粒的增加等。

【0471】高頻產生器2803具有例如產生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高頻產生器2803所產生的微波透過波導管2804傳送到模式轉換器2805。在模式轉換器2805中，將被傳送的TE(Transverse Electric)模式的微波轉換為TEM(Transverse Electric and Magnetic)模式的微波。然後，該微波透過波導管2807傳送到縫隙天線板2808。在縫隙天線板2808中設置有多個縫隙，微波透過該縫隙及電介質板2809。然後，在電介質板2809的下方產生電場而可以生成高密度電漿2810。高密度電漿2810包括根據從氣體供應源2801供應的氣體種類的離子及自由基。例如，高密度電漿2810包括氧自由基等。

【0472】此時，藉由利用在高密度電漿2810中生成的離子及自由基可以對基板2811上的膜等的品質進行改性。此外，有時較佳為使用高頻電源2816對基板2811一側施加偏壓。作為高頻電源2816，例如可以使用13.56MHz、

27.12MHz等頻率的RF電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿2810中的離子到達基板2811上的膜等的開口部的深部。

【0473】例如，藉由從氣體供應源2801導入氧，可以在處理室2706b或處理室2706c內進行使用高密度電漿2810的氧自由基處理。

【0474】接著，使用圖20所示的剖面示意圖說明處理室2706a及處理室2706d。

【0475】處理室2706a及處理室2706d例如是能夠對被處理物照射電磁波的處理室。注意，處理室2706a與處理室2706d的不同之處僅在於電磁波的種類。因為處理室2706a和處理室2706d的其他結構大多是相同的，所以下面一併說明。

【0476】處理室2706a及處理室2706d包括一個或多個燈2820、基板支架2825、氣體導入口2823以及排氣口2830。此外，在處理室2706a及處理室2706d的外部等設置有氣體供應源2821、閥2822、真空泵2828以及閥2829。

【0477】氣體供應源2821透過閥2822與氣體導入口2823連接。真空泵2828透過閥2829與排氣口2830連接。燈2820與基板支架2825相對地配置。基板支架2825具有保持基板2824的功能。此外，基板支架2825在其內部包括加熱機構2826並具有對基板2824進行加熱的功能。

【0478】作為燈2820，例如可以使用具有放射可見光或紫外光等的電磁波的功能的光源。例如，可以使用具有

放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波長區域中具有峰的電磁波的功能的光源。

【0479】例如，作為燈2820，可以使用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的光源。

【0480】例如，從燈2820放射的電磁波的一部分或全部被基板2824吸收，由此可以對基板2824上的膜等的品質進行改性。例如，可以生成或減少缺陷、或者可以去除雜質。此外，在對基板2824進行加熱的同時生成或減少缺陷、或者去除雜質的情況下，可以高效地生成或減少缺陷、或者可以去除雜質等。

【0481】或者，例如，也可以利用從燈2820放射的電磁波使基板支架2825發熱，由此對基板2824進行加熱。在此情況下，也可以在基板支架2825的內部不包括加熱機構2826。

【0482】真空泵2828可參照關於真空泵2817的記載。此外，加熱機構2826可參照關於加熱機構2813的記載。此外，氣體供應源2821可參照關於氣體供應源2801的記載。

【0483】可用於本實施方式的微波處理裝置不侷限於上述微波處理裝置，可以使用圖21所示的微波處理裝置2900。微波處理裝置2900包括石英管2901、排氣口2819、氣體供應源2801、閥2802、高頻產生器2803、波導管2804、氣體管2806、真空泵2817及閥2818。另外，微波處

理裝置2900在石英管2901內包括支撐多個基板2811(2811_1至2811_n，n是2以上的整數)的基板支架2902。另外，微波處理裝置2900也可以在石英管2901的外側包括加熱單元2903。

【0484】由高頻產生器2803產生的微波透過波導管2804照射到設置在石英管2901內的基板。真空泵2817透過閥2818與排氣口2819連接，可以調整石英管2901內部的壓力。另外，氣體供應源2801透過閥2802與氣體管2806連接，可以對石英管2901內導入所希望的氣體。另外，藉由加熱單元2903可以將石英管2901內的基板2811加熱到所希望的溫度。或者，也可以藉由加熱單元2903加熱從氣體供應源2801供應的氣體。藉由微波處理裝置2900，可以對基板2811同時進行熱處理和微波處理。另外，可以在加熱基板2811之後進行微波處理。另外，可以在對基板2811進行微波處理之後進行熱處理。

【0485】可以將基板2811_1至基板2811_n都設為形成半導體裝置或記憶體裝置的處理基板，也可以將基板2811_1至基板2811_n的一部分基板設為虛擬基板。例如，也可以將基板2811_1及基板2811_n設為虛擬基板且將基板2811_2至基板2811_n-1設為處理基板。另外，也可以將基板2811_1、基板2811_2、基板2811_n-1及基板2811_n設為虛擬基板且將基板2811_3至基板2811_n-2設為處理基板。藉由使用虛擬基板，可以在微波處理或熱處理時多個處理基板均勻地被處理而可以降低處理基板間的不均勻，所以

是較佳的。例如，藉由將虛擬基板配置在最接近於高頻產生器2803及波導管2804的處理基板上，可以抑制該處理基板直接暴露於微波，所以是較佳的。

【0486】藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以對膜品質進行改性。

【0487】

<半導體裝置的變形例子>

以下，使用圖22A至圖25D說明本發明的一個實施方式的半導體裝置的一個例子。

【0488】各圖式中的A是半導體裝置的俯視圖。各圖式中的B是沿著各圖式中的A中的點劃線A1-A2的部分的剖面圖。各圖式中的C是沿著各圖式中的A中的點劃線A3-A4的部分的剖面圖。各圖式中的D是沿著各圖式中的A中的點劃線A5-A6的部分的剖面圖。為了明確起見，在各圖式中的A的俯視圖中省略部分組件。

【0489】注意，在各圖式中的A至D所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的組件附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0490】

<半導體裝置的變形例子1>

圖22A至圖22D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖22A至圖22D所示的半導體

裝置與圖1A至圖1D所示的半導體裝置的不同之處在於絕緣體271及絕緣體283的每一個具有兩層疊層結構。

【0491】絕緣體271a包括絕緣體271a1以及絕緣體271a1上的絕緣體271a2。絕緣體271b包括絕緣體271b1以及絕緣體271b1上的絕緣體271b2。

【0492】絕緣體271a1及絕緣體271b1較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271a1及絕緣體271b1較佳為具有抑制氧擴散的功能。由此，可以防止包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而通態電流減少。

【0493】絕緣體271a2及絕緣體271b2被用作用來殘留絕緣體271a1及絕緣體271b1的保護層。在將導電膜242A及氧化膜230B等加工為島狀之後去除硬遮罩時，有成為絕緣體271a1及絕緣體271b1的絕緣層被去除的擔憂。於是，藉由在上述硬遮罩與成為絕緣體271a1及絕緣體271b1的絕緣層之間設置成為絕緣體271a2及絕緣體271b2的絕緣層，可以殘留成為絕緣體271a1及絕緣體271b1的絕緣層。例如，在作為上述硬遮罩使用鎢時，較佳為作為絕緣體271a2及絕緣體271b2使用氧化矽等。

【0494】絕緣體283包括絕緣體283a及絕緣體283a上的絕緣體283b。絕緣體283a及絕緣體283b較佳為使用相同的材料以不同的方法形成。例如，可以作為絕緣體283a利

用濺射法沉積氮化矽且作為絕緣體283b利用ALD法沉積氮化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282a中的氫濃度。再者，在利用濺射法沉積的膜中形成針孔或斷開等的情況下，可以使用利用覆蓋性優異的ALD法沉積的膜填埋重疊於針孔或斷開等的部分。

【0495】注意，如圖22B所示，有時絕緣體283b的頂面的一部分被去除。此外，有時難以明確檢測絕緣體283a及絕緣體283b的邊界。

【0496】絕緣體283a及絕緣體283b不侷限於由相同的材料構成的疊層結構，也可以具有由不同材料構成的疊層結構。

【0497】

<半導體裝置的變形例子2>

圖23A至圖23D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖23A至圖23D所示的半導體裝置的與圖1A至圖1D所示的半導體裝置不同之處在於：沒有設置絕緣體282。因此，在圖23A至圖23D所示的半導體裝置中，絕緣體283與導電體260的頂面、絕緣體280的頂面、絕緣體254的最上部、絕緣體250的最上部及絕緣體252的最上部接觸。

【0498】例如，在利用圖12B至圖12D所示的微波處理等可以將充分的氧供應到氧化物230時，即使是不進行設置絕緣體282的情況下的向絕緣體280的氧供應，可以使

區域230bc實質上i型化。在此情況下，如圖23A至圖23D所示，藉由採用不設置絕緣體282的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0499】

<半導體裝置的變形例子3>

圖24A至圖24D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖24A至圖24D所示的半導體裝置的與圖1A至圖1D所示的半導體裝置不同之處在於：設置有氧化物243(氧化物243a及氧化物243b)。氧化物243a設置在氧化物230b和導電體242a之間，氧化物243b設置在氧化物230b和導電體242b之間。在此，氧化物243a較佳為與氧化物230b的頂面及導電體242a的底面接觸。另外，氧化物243b較佳為與氧化物230b的頂面及導電體242b的底面接觸。

【0500】氧化物243較佳為具有抑制氧透過的功能。藉由在被用作源極電極或汲極電極的導電體242與氧化物230b之間配置具有抑制氧透過的功能的氧化物243，導電體242與氧化物230b之間的電阻被減少，所以是較佳的。藉由採用這樣的結構，有時可以提高電晶體200的電特性、場效移動率及可靠性。

【0501】作為氧化物243也可以使用包含元素M的金屬氧化物。尤其是，作為元素M較佳為使用鋁、鎵、釔或錫。氧化物243中的元素M的濃度較佳為比氧化物230b高。此外，作為氧化物243也可以使用氧化鎵。此外，作

為氧化物243也可以使用In-M-Zn氧化物等金屬氧化物。明確而言，用於氧化物243的金屬氧化物中的相對於In的元素M的原子數比較佳為大於用於氧化物230b的金屬氧化物中的相對於In的元素M的原子數比。此外，氧化物243的膜厚度較佳為0.5nm以上且5nm以下，更佳為1nm以上且3nm以下，進一步較佳為1nm以上且2nm以下。此外，氧化物243較佳為具有結晶性。當氧化物243具有結晶性時，能夠更適當地抑制氧化物230中的氧的釋放。例如，在氧化物243具有六方晶等結晶結構的情況下，有時可以抑制氧化物230中的氧的釋放。

【0502】

<半導體裝置的變形例子4>

圖25A至圖25D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖25A至圖25D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的不同之處在於絕緣體283與絕緣體212的頂面的一部分接觸。因此，電晶體200配置在由絕緣體283及絕緣體212密封的區域中。藉由上述結構，可以抑制包含在上述密封的區域外的氫混入上述密封的區域中。另外，在圖25A至圖25D所示的電晶體200中，絕緣體212、絕緣體283具有單層的結構，但是本發明不侷限於此。例如，絕緣體212和絕緣體283中的一者或兩者也可以具有兩層以上的疊層結構。

【0503】電晶體200等OS電晶體的因被照射放射線而引起的電特性變動小，亦即，對於放射線的耐性高，因此

可以在有可能入射放射線的環境下也適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器等中的半導體裝置的電晶體。作為放射線，例如可以舉出X射線及中子輻射等。另外，宇宙空間例如是指高度100km以上的地方，但是本說明書中記載的宇宙空間也可以包括熱層、中間層及平流層。

【0504】或者，例如，可以將OS電晶體用作構成設置在核電站以及放射性廢物的處理場或處置場的工作機器人中的半導體裝置的電晶體。尤其是，可以適當地用作構成如下半導體裝置的電晶體：該半導體裝置設置在核反應堆設施的排除、核燃料或燃料碎片的取出、放射性物質較多的空間處的實地考察等時遠端操作的遠端操作機器人中。

【0505】

<半導體裝置的應用例子>

以下，使用圖26說明本發明的一個實施方式的半導體裝置的一個例子。

【0506】圖26A示出半導體裝置500的俯視圖。在圖26A中，平行於電晶體200的通道長度方向的方向是x方向，垂直於x方向的方向是y方向。另外，圖26B是沿著圖26A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向的剖面圖。圖26C是沿著圖26A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於開口

區域295及其附近的剖面圖。注意，在圖26A的俯視圖中，為了明確起見，省略部分組件。

【0507】注意，在圖26A至圖26C所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的組件附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0508】圖26A至圖26C所示的半導體裝置500是圖1A至圖1D所示的半導體裝置的變形例子。圖26A至圖26C所示的半導體裝置500的與圖1A至圖1D所示的半導體裝置不同之處在於：絕緣體282及絕緣體280形成有開口區域295。另外，與圖1A至圖1D所示的半導體裝置不同之處在於：以圍繞多個電晶體200的方式形成有密封部265。

【0509】半導體裝置500包括排列為矩陣狀的多個電晶體200及多個開口區域295。另外，在y方向上延伸地設置有被用作電晶體200的閘極電極的多個導電體260。開口區域295形成在不與氧化物230及導電體260重疊的區域中。另外，以圍繞多個電晶體200、多個導電體260及多個開口區域295的方式形成有密封部265。注意，電晶體200、導電體260及開口區域295的數量、配置以及尺寸不侷限於圖26所示的結構，根據半導體裝置500的設計適當地設定即可。

【0510】如圖26B及圖26C所示，密封部265以圍繞多個電晶體200、絕緣體216、絕緣體222、絕緣體275、絕緣

體280及絕緣體282的方式設置。換言之，絕緣體283以覆蓋絕緣體216、絕緣體222、絕緣體275、絕緣體280及絕緣體282的方式設置。另外，在密封部265，絕緣體283與絕緣體214的頂面接觸。另外，在密封部265的上方，絕緣體283和絕緣體285之間設置有絕緣體274。絕緣體274的頂面高度與絕緣體283的最上面的高度大致一致。另外，作為絕緣體274，可以使用與絕緣體280同樣的絕緣體。

【0511】藉由採用這樣的結構，可以由絕緣體283、絕緣體214及絕緣體212圍繞多個電晶體200。在此，絕緣體283、絕緣體214及絕緣體212中的一個或多個較佳為被用作氫阻擋絕緣膜。由此，可以抑制包含在密封部265的區域之外的氫混入密封部265的區域中。

【0512】如圖26C所示，在開口區域295中，絕緣體282具有開口部。另外，在開口區域295中，絕緣體280也可以具有與絕緣體282的開口部重疊的槽部。絕緣體280的槽部的深度最深為使絕緣體275的頂面露出的程度即可，例如，可以為絕緣體280的最大膜厚度的1/4以上且1/2以下左右。

【0513】另外，如圖26C所示，絕緣體283在開口區域295的內側與絕緣體282的側面、絕緣體280的側面及絕緣體280的頂面接觸。另外，在開口區域295中，有時絕緣體274的一部分以嵌入形成於絕緣體283中的凹部的方式形成。此時，形成在開口區域295中的絕緣體274的頂面高度與絕緣體283的最上面的高度有時一致或大致一致。

【0514】在形成有這樣的開口區域295且從絕緣體282的開口部絕緣體280露出的狀態下進行熱處理，由此可以在對氧化物230供應氧的同時從開口區域295將包含在絕緣體280中的氧的一部分擴散到外部。由此，可以從包含過量氧的絕緣體280將充分的氧供應到氧化物半導體層中的被用作通道形成區域的區域及其附近，並且可以防止被供應過多的氧。

【0515】此時，可以將包含在絕緣體280中的氫鍵合到氧，將其經過開口區域295釋放到外部。鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的氫，可以減少包含在絕緣體280中的氫混入氧化物230。

【0516】另外，在圖26A中，俯視的開口區域295的形狀大致為長方形，但是本發明不侷限於此。例如，俯視的開口區域295的形狀也可以是長方形、橢圓形、圓形、菱形或組合這些形狀而成的形狀。另外，開口區域295的面積及配置間距可以根據包括電晶體200的半導體裝置的設計適當地設定。例如，在電晶體200的密度低的區域中，擴大開口區域295的面積或縮小開口區域295的配置間距即可。另外，例如，在電晶體200的密度高的區域中，縮小開口區域295的面積或增大開口區域295的配置間距即可。

【0517】根據本發明的一個實施方式可以提供一種新穎電晶體。根據本發明的一個實施方式可以提供一種電晶體特性的不均勻少的半導體裝置。此外，根據本發明的一個實施方式可以提供一種具有良好的電特性的半導體裝

置。此外，根據本發明的一個實施方式可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式可以提供一種場效移動率高的半導體裝置。此外，根據本發明的一個實施方式可以提供一種頻率特性良好的半導體裝置。此外，根據本發明的一個實施方式可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

【0518】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及實施例等適當地組合而實施。

【0519】

實施方式2

在本實施方式中，說明本發明的一個實施方式的顯示裝置(顯示面板)的結構例子。可以將上述實施方式所說明的電晶體200用於本發明的一個實施方式的顯示裝置所包括的電晶體。另外，上述實施方式所說明的半導體裝置包括電晶體200，所以可以說顯示裝置包括發光元件及半導體裝置。

【0520】本發明的一個實施方式是包括發光元件(也稱為發光器件)的顯示裝置。顯示裝置包括發射不同顏色的光的兩個以上的發光元件。發光元件各自包括一對電極及該一對電極間的EL層。發光元件較佳為有機EL元件(有

機電場發光元件)。發射不同顏色的兩個以上的發光元件各自包括包含不同發光材料的EL層。例如，藉由包括分別發射紅色(R)、綠色(G)或藍色(B)的光的三個發光元件，可以實現全彩色顯示裝置。

【0521】在製造包括發光顏色不同的多個發光元件的顯示裝置時，需要將至少包含發光顏色不同的發光材料的層(發光層)分別形成為島狀。這裡，已知在分別形成EL層的一部分或全部時，利用使用金屬遮罩等陰影遮罩的蒸鍍法形成島狀有機膜的方法。然而，這方法由於金屬遮罩的精度、金屬遮罩與基板的錯位、金屬遮罩的撓曲以及蒸氣散射等所導致的沉積了的膜的輪廓變大等的各種影響，而島狀有機膜的形狀及位置與設計時的形狀及位置產生偏差，難以實現顯示裝置的高清晰化及高開口率化。此外，在蒸鍍中，有時因層的輪廓模糊而端部的膜厚度變小。就是說，有時根據位置而島狀發光層的膜厚度不同。另外，當製造大型且高解析度或高清晰的顯示裝置時，有如下擔擾：由於金屬遮罩的低尺寸精度及熱等所引起的變形，製造良率下降。因此，已進行如下措施：藉由採用Pentile排列等特殊像素排列方式而類比地提高清晰度(也稱為像素密度)。

【0522】注意，在本說明書等中，島狀是指以同一製程形成並使用同一材料的兩個以上的層物理分離的狀態。例如，島狀發光層是指該發光層與相鄰的發光層物理分離的狀態。

【0523】在本發明的一個實施方式中，不使用高精細金屬遮罩(FMM：Fine Metal Mask)等陰影遮罩而藉由光微影法將EL層加工為微細圖案。因此，可以實現目前難以實現的具有高清晰度和高開口率的顯示裝置。另外，由於可以分別製造EL層，所以可以實現非常鮮明且對比度高的顯示品質高的顯示裝置。另外，例如，也可以使用金屬遮罩和光微影法的兩者將EL層加工為微細圖案。

【0524】另外，可以物理性地分離EL層的一部分或全部。由此，可以抑制經由相鄰的發光元件共通使用的層(也稱為共用層)的發光元件間的洩漏電流。因此，可以抑制因非意圖性的發光而發生的串擾，從而可以實現對比度非常高的顯示裝置。尤其是，可以實現在低亮度下電流效率高的顯示裝置。

【0525】本發明的一個實施方式也可以實現組合白色發光的發光元件和濾色片的顯示裝置。在此情況下，可以將相同結構的發光元件用於發射不同顏色的光的像素(子像素)中的各發光元件，各發光元件中的所有層都可以用作共用層。再者，藉由光微影法分離各EL層的一部分或全部。由此，可以抑制經由共用層的洩漏電流而可以實現對比度高的顯示裝置。尤其是，在具有隔著導電性高的中間層層疊多個發光層的串聯結構的元件中，可以有效地防止經由該中間層的洩漏電流，所以可以實現兼具高亮度、高清晰度及高對比的顯示裝置。

【0526】另外，較佳為設置至少覆蓋島狀發光層的側

面的絕緣層。該絕緣層也可以覆蓋島狀EL層的頂面的一部分。該絕緣層較佳為使用對水及氧具有阻擋性的材料。例如，可以使用不容易使水或氧擴散的無機絕緣膜。由此，可以抑制EL層的劣化而可以實現可靠性高的顯示裝置。

【0527】另外，在相鄰的兩個發光元件間有不設置有各發光元件的EL層的區域(凹部)。在以覆蓋該凹部的方式形成共用電極或者共用電極及共用層的情況下，有時發生共用電極因EL層端部的步階而分離的現象(也稱為斷開)，導致EL層上的共用電極被絕緣。於是，較佳為採用使用被用作平坦化膜的樹脂層填充位於相鄰的兩個發光元件間的局部性的步階的結構(也稱為LFP：Local Filling Planarization)。該樹脂層被用作平坦化膜。由此，可以抑制共用層或共用電極的斷開而可以實現可靠性高的顯示裝置。

【0528】

[顯示模組]

圖27A是示意性地示出顯示模組390的立體圖。顯示模組390包括顯示裝置400及FPC440。注意，顯示模組390所包括的顯示面板不侷限於顯示裝置400，也可以是將在後面說明的顯示裝置400A至顯示裝置400D中的任意個。

【0529】顯示模組390包括基板441及基板442。顯示模組390包括顯示部431。顯示部431是顯示影像的區域。

【0530】圖27B是基板441一側的結構的立體示意圖。基板441上層疊有電路部432、電路部432上的像素電路部

433以及像素電路部433上的像素部434。此外，基板441的不與像素部434重疊的部分上設置有用來連接到FPC440的端子部435。端子部435與電路部432藉由由多個佈線構成的佈線部436電連接。

【0531】像素部434包括週期性地排列的多個像素434a。在圖27B的右側示出一個像素434a的放大圖。像素434a包括發射紅色光的發光元件110R、發射綠色光的發光元件110G及發射藍色光的發光元件110B。

【0532】像素電路部433包括週期性地排列的多個像素電路433a。一個像素電路433a控制一個像素434a所包括的三個發光器件的發光。一個像素電路433a可以由三個控制一個發光器件的發光的電路構成。例如，像素電路433a可以採用對於一個發光器件至少具有一個選擇電晶體、一個電流控制用電晶體(驅動電晶體)和電容器的結構。此時，選擇電晶體的閘極被輸入閘極信號，源極被輸入源極信號。由此，可以實現主動矩陣型顯示面板。

【0533】可以作為像素電路433a所包括的電晶體中的至少一個使用上述實施方式所說明的電晶體200。

【0534】電路部432包括用於驅動像素電路部433的各像素電路433a的電路。例如，較佳為包括閘極線驅動電路和源極線驅動電路中的一者或兩者。此外，還可以具有運算電路、記憶體電路和電源電路等中的至少一個。此外，也可以作為電路部432所包括的電晶體中的至少一個使用上述實施方式所說明的電晶體200。

【0535】另外，設置在電路部432中的電晶體也可以構成像素電路433a的一部分。就是說，也可以由像素電路部433所包括的電晶體及電路部432所包括的電晶體構成像素電路433a。

【0536】FPC440用作從外部向電路部432供給視訊信號及電源電位等的佈線。此外，也可以在FPC440上安裝IC。

【0537】顯示模組390可以採用像素部434的下側層疊有像素電路部433和電路部432中的一者或兩者的結構，所以可以使顯示部431具有極高的開口率(有效顯示面積比)。例如，顯示部431的開口率可以為40%以上且低於100%，較佳為50%以上且95%以下，更佳為60%以上且95%以下。另外，能夠極高密度地配置像素434a，由此可以使顯示部431具有極高的清晰度。例如，顯示部431較佳為以2000ppi以上、更佳為3000ppi以上、進一步較佳為5000ppi以上、更進一步較佳為6000ppi以上且20000ppi以下或30000ppi以下的清晰度配置像素434a。

【0538】這種極高清晰的顯示模組390適合用於頭戴式顯示器等VR用設備或眼鏡型AR用設備。例如，因為顯示模組390具有極高清晰度的顯示部431，所以在透過透鏡觀看顯示模組390的顯示部的結構中，即使用透鏡放大顯示部也使用者不能看到像素，由此可以實現具有高度沉浸感的顯示。此外，不侷限於此，顯示模組390還可以應用於具有相對較小型的顯示部的電子裝置。例如，適合用於

手錶等可穿戴式電子裝置的顯示部。

【0539】

[像素電路的結構例子]

以下說明可用於本發明的一個實施方式的顯示裝置的像素電路的結構例子。

【0540】圖28A所示的像素電路PIX1包括電晶體M1、電晶體M2、電容器C1及發光元件EL。此外，像素電路PIX1與佈線SL、佈線GL、佈線AL及佈線CL電連接。

【0541】在電晶體M1中，閘極與佈線GL電連接，源極和汲極中的一個與佈線SL電連接，其中另一個與電晶體M2的閘極及電容器C1的一個電極電連接。在電晶體M2中，源極和汲極中的一個與佈線AL電連接，其中另一個與發光元件EL的陽極電連接。電容器C1的另一個電極與發光元件EL的陽極電連接。發光元件EL的陰極與佈線CL電連接。

【0542】電晶體M1也可以被稱為選擇電晶體，其被用作用來控制像素的選擇/非選擇的開關。電晶體M2也可以被稱為驅動電晶體，其具有控制流過發光元件EL的電流的功能。電容器C1被用作儲存電容器，其具有保持電晶體M2的閘極電位的功能。作為電容器C1，可以使用MIM電容器等電容器、佈線間的電容或電晶體的閘極電容等。

【0543】佈線SL被供應源極信號。佈線GL被供應閘極信號。佈線AL與佈線CL各自被供應恆電位。可以將發光元件EL的陽極一側和陰極一側分別設定為高電位和低於

陽極一側的電位。

【0544】圖28B所示的像素電路PIX2具有對像素電路PIX1追加電晶體M3的結構。另外，像素電路PIX2與佈線V0電連接。

【0545】在電晶體M3中，閘極與佈線GL電連接，源極和汲極中的一個與發光元件EL的陽極電連接，其中另一個與佈線V0電連接。

【0546】在向像素電路PIX2寫入資料時，佈線V0被供應恆電位。由此，可以抑制電晶體M2的閘極-源極間電壓的不均勻。

【0547】圖28C中的像素電路PIX3示出作為像素電路PIX1的電晶體M1及電晶體M2使用一對閘極電連接的電晶體時的例子。此外，圖28D中的像素電路PIX4示出在像素電路PIX2中使用該電晶體時的例子。由此，可以增大電晶體能夠流過的電流。注意，雖然在此作為所有電晶體使用一對閘極電連接的電晶體，但是不侷限於此。此外，也可以使用包括一對閘極且它們與不同佈線電連接的電晶體。例如，藉由使用一個閘極與源極電連接的電晶體，可以提高可靠性。

【0548】圖29A所示的像素電路PIX5具有對上述像素電路PIX2追加電晶體M4的結構。此外，像素電路PIX5與被用作三個閘極線的佈線(佈線GL1、佈線GL2及佈線GL3)電連接。

【0549】在電晶體M4中，閘極與佈線GL3電連接，源

極和汲極中的一個與電晶體M2的閘極電連接，其中另一個與佈線V0電連接。此外，電晶體M1的閘極與佈線GL1電連接，電晶體M3的閘極與佈線GL2電連接。

【0550】藉由使電晶體M3和電晶體M4同時成為導通狀態，電晶體M2的源極與閘極成為相同電位，由此可以使電晶體M2成為非導通狀態。由此，可以強制性地遮斷流過發光元件EL的電流。這種像素電路適合於交替地設置顯示期間和關燈期間的顯示方法。

【0551】圖29B中的像素電路PIX6示出對像素電路PIX5追加電容器C2的情況的例子。電容器C2的一個電極與電晶體M2的閘極電連接，其另一個電極與佈線AL電連接。電容器C2用作儲存電容器。

【0552】圖29C中的像素電路PIX7示出在像素電路PIX5中採用包括一對閘極的電晶體的例子。圖29D中的像素電路PIX8示出在像素電路PIX6中採用包括一對閘極的電晶體的例子。作為電晶體M1、電晶體M3及電晶體M4使用與一對閘極電連接的電晶體，作為電晶體M2使用一個閘極與源極電連接的電晶體。

【0553】圖30所示的像素電路PIX9包括電晶體M11至電晶體M17、電容器C11至電容器C13以及發光元件EL。

【0554】此外，除非特別敘述，本說明書等所示的電晶體M11至電晶體M17為增強型(常關閉型)的n通道型場效應電晶體。由此，其臨界電壓(Vth)大於0V。

【0555】發光元件EL的一個端子與電晶體M15的源極

和汲極中的另一個以及電容器C13的一個端子電連接。發光元件EL的另一個端子與佈線104電連接。例如，可以將發光元件EL的一個端子及另一個端子分別用作陽極端子及陰極端子。另外，也可以將發光元件EL的一個端子及另一個端子分別用作陰極端子及陽極端子。

【0556】電晶體M15的閘極與電容器C13的另一個端子及電晶體M17的源極和汲極中的一個電連接。電晶體M15的源極和汲極中的另一個與電容器C11的一個端子、電容器C12的一個端子、電晶體M12的源極和汲極中的一個、電晶體M13的源極和汲極中的一個以及電晶體M16的源極和汲極中的一個電連接。

【0557】電晶體M12的閘極與電容器C11的另一個端子、電晶體M13的源極和汲極中的另一個及電晶體M11的源極和汲極中的一個電連接。電晶體M12包括背閘極。電晶體M12的背閘極與電容器C12的另一個端子及電晶體M14的源極和汲極中的一個電連接。

【0558】電晶體M11的源極和汲極中的另一個與佈線DL電連接，電晶體M11的閘極與佈線GLa電連接。電晶體M11具有選擇使電晶體M12的閘極與佈線DL間處於導通狀態還是非導通狀態的功能。

【0559】電晶體M12的源極和汲極中的另一個與佈線101電連接。電晶體M12包括背閘極。電晶體M12具有控制流過發光元件EL的電流的量的功能。就是說，電晶體M12具有控制發光元件EL的發光量的功能。由此，可以將電晶

體M12稱為“驅動電晶體”。

【0560】電晶體M13的閘極與佈線GLb電連接。電晶體M13具有選擇使電晶體M12的閘極與源極間處於導通狀態還是非導通狀態的功能。

【0561】電晶體M14的閘極與佈線GLb電連接，電晶體M14的源極和汲極中的另一個與佈線102電連接。電晶體M14具有選擇使佈線102與電容器C12的一個端子間處於導通狀態還是非導通狀態的功能。

【0562】電晶體M15具有切換電晶體M12與發光元件EL間的導通和非導通的功能。在電晶體M15處於關閉狀態時發光元件EL淬滅，在電晶體M15處於開啟狀態時發光元件EL可以發射光。為了使驅動電晶體所決定的電流量確實地流過發光元件EL，無論源極電位及汲極電位的值如何，電晶體M15都要確實地處於開啟狀態。

【0563】電晶體M16的閘極與佈線GLa電連接，電晶體M16的源極和汲極中的另一個與佈線103電連接。電晶體M16具有選擇使電晶體M12的源極和汲極中的一個與佈線103間處於導通狀態還是非導通狀態的功能。

【0564】電晶體M17的閘極與佈線GLa電連接，電晶體M17的源極和汲極中的另一個與佈線GLc電連接。電晶體M17具有選擇使電晶體M15的閘極與佈線GLc間處於導通狀態還是非導通狀態的功能。

【0565】電容器C11的一個端子、電容器C12的一個端子、電晶體M12的源極和汲極中的一個、電晶體M13的

源極和汲極中的一個、電晶體M15的源極和汲極中的另一個與電晶體M16的源極和汲極中的一個電連接的區域也被稱為節點ND11。

【0566】另外，電容器C12的另一個端子、電晶體M12的背閘極與電晶體M14的源極和汲極中的一個電連接的區域也被稱為節點ND12。

【0567】另外，電晶體M11的源極和汲極中的一個、電晶體M13的源極和汲極中的另一個、電容器C11的另一個端子及電晶體M12的閘極電連接的區域也被稱為節點ND13。

【0568】另外，電晶體M15的閘極、電容器C13的另一個端子與電晶體M17的源極和汲極中的一個電連接的區域也被稱為節點ND14。

【0569】電容器C11具有在節點ND13處於浮動狀態時保持電晶體M12的源極和汲極中的一個與電晶體M12的閘極間的電位差的功能。電容器C12具有在節點ND12處於浮動狀態時保持電晶體M12的源極和汲極中的一個與電晶體M12的背閘極間的電位差的功能。電容器C13具有在節點ND14處於浮動狀態時保持電晶體M15的源極和汲極中的一個與電晶體M15的閘極間的電位差的功能。

【0570】電容器C11至電容器C13的電容較佳為大。尤其較佳的是，電容器C11及電容器C12的電容較大並大於電容器C13的電容。電容器C11及電容器C12的電容各自較佳為2fF以上，更佳為4fF以上，進一步較佳為6fF以

上，更進一步較佳為8fF以上，還進一步較佳為10fF以上。電容器C13的電容較佳為1fF以上，更佳為2fF以上，進一步較佳為3fF以上，更進一步較佳為4fF以上，還進一步較佳為5fF以上。電容器C11至電容器C13的電容越大越好，所以不需要特別設定上限。注意，在設定上限時，將電容器C11及電容器C12的電容設定為20fF以下且將電容器C13的電容設定為10fF以下即可。

【0571】藉由增大電容器C11的電容，可以長時間保持電晶體M12的源極和汲極中的一個與電晶體M12的閘極間的電位差。藉由增大電容器C12的電容，可以長時間保持電晶體M12的源極和汲極中的一個與電晶體M12的背閘極間的電位差。藉由增大電容器C13的電容，可以長時間保持電晶體M15的源極和汲極中的一個與電晶體M15的閘極間的電位差。

【0572】保持在電容器C11及電容器C12中的資料大大影響到顯示品質，所以外部的雜訊所帶來的影響較佳為小。藉由提高電容器C11及電容器C12的電容，可以減少外部的雜訊所帶來的影響，所以可以實現顯示品質高的顯示裝置。另外，電容器C11較佳為在比1個圖框期間長的期間保持資料。電容器C12也是同樣地，較佳為在比1個圖框期間長的期間保持資料，更佳為保持1秒以上，進一步較佳為保持1分鐘以上，更進一步較佳為保持1小時以上。因此，也可以使電容器C12的電容大於電容器C11的電容。另一方面，電容器C13能夠保持足以使電晶體M15處於開

啟狀態的電壓即可，所以電容器C13的電容也可以小於電容器C11及電容器C12。

【0573】電容器C11的電容較佳為電容器C13的電容的2倍以上，更佳為3倍以上，進一步較佳為4倍以上，更進一步較佳為5倍以上。電容器C12的電容較佳為電容器C13的電容的2倍以上，更佳為3倍以上，進一步較佳為4倍以上，更進一步較佳為5倍以上。

【0574】在俯視時，電容器C11的面積較佳為電容器C13的面積的2倍以上，更佳為3倍以上，進一步較佳為4倍以上，更進一步較佳為5倍以上。電容器C12的面積較佳為電容器C13的面積的2倍以上，更佳為3倍以上，進一步較佳為4倍以上，更進一步較佳為5倍以上。

【0575】在本說明書等中，電容器的面積是指電容器所包括的上部電極與下部電極彼此重疊的區域的面積。

【0576】在作為本發明的一個實施方式的顯示裝置所包括的像素電路使用像素電路PIX1至像素電路PIX9中的任意個的情況下，作為該像素電路所包括的電晶體中的至少一個較佳為使用上述實施方式所說明的電晶體200等的OS電晶體。氧化物半導體的能帶間隙為2eV以上，由此OS電晶體的關態電流值極小。因此，藉由在像素電路中使用OS電晶體，可以長期間保持寫入到節點的電荷。例如，在顯示不需要按每個圖框進行改寫的靜態影像的情況下，即使停止周圍驅動電路的工作也可以繼續顯示影像。上述在顯示靜態影像時停止周圍驅動電路的工作的驅動方法也

被稱為“空轉停止驅動”。藉由進行空轉停止驅動，可以降低顯示裝置的功耗。

【0577】即使在高溫環境下，OS電晶體的關態電流也幾乎不增加。明確而言，即使在室溫以上且200℃以下的環境溫度下，關態電流也幾乎不增加。此外，即使在高溫環境下，OS電晶體的通態電流也不容易下降。包括OS電晶體的顯示裝置即使在高溫環境下也穩定地工作並具有高可靠性。

【0578】另外，在OS電晶體中，源極和汲極之間的絕緣耐壓高。例如，藉由在像素電路PIX9中使用OS電晶體，即使電位Va與電位Vc的電位差大也工作很穩定，由此可以實現可靠性良好的顯示裝置。尤其是，較佳為對電晶體M12和電晶體M15中的一者或兩者使用OS電晶體。

【0579】像素電路也可以由使用不同的半導體材料的多種電晶體構成。例如，也可以由LTPS電晶體及OS電晶體構成像素電路。此外，有時將組合LTPS電晶體和OS電晶體的結構稱為LTPO。LTPS電晶體是指在通道形成區域中包含低溫多晶矽(LTPS：Low Temperature Poly Silicon)的電晶體。LTPS電晶體具有高場效移動率以及良好的頻率特性。

【0580】在像素電路由使用不同的半導體材料的多種電晶體構成的情況下，也可以按每個電晶體的種類將上述電晶體設置在彼此不同的層中。例如，在該像素電路由Si電晶體及OS電晶體構成的情況下，也可以以重疊的方式

設置包括Si電晶體的層及包括OS電晶體的層。藉由採用上述結構，可以減小該像素電路的面積。

【0581】另外，也可以將Si電晶體和OS電晶體中的一者或兩者用作構成週邊驅動電路的電晶體。例如，也可以將OS電晶體用作構成像素電路的電晶體並將Si電晶體用作構成週邊驅動電路的電晶體。OS電晶體的關態電流小，所以可以降低功耗。另外，Si電晶體的工作速度比OS電晶體快，所以適合用於週邊驅動電路。另外，根據顯示裝置的方式也可以將OS電晶體用作構成像素電路的電晶體和構成週邊驅動電路的電晶體的兩者。另外，也可以將Si電晶體用作構成像素電路的電晶體並將OS電晶體用作構成週邊驅動電路的電晶體。

【0582】例如，在構成像素電路PIX9的電晶體中電晶體M11以及電晶體M13至電晶體M17都被用作開關。因此，可以將電晶體M11以及電晶體M13至電晶體M17替換為可以實現開關功能的元件。

【0583】圖30示出電晶體M12包括背閘極且電晶體M12以外的電晶體不包括背閘極的結構，但是本發明的一個實施方式不侷限於此。電晶體M12以外的電晶體也可以包括背閘極。

【0584】作為像素電路也可以使用多通道型電晶體。多通道型電晶體包括電連接的多個閘極且在源極和汲極之間具有半導體層與該閘極重疊的多個區域。換言之，多通道型電晶體包括電連接的多個閘極且在源極和汲極之間具

有多個通道形成區域。另外，在本說明書等中，有時將多通道型電晶體記作“多通道電晶體”、“多閘極電晶體”或“多閘極型電晶體”。

【0585】注意，對本發明的一個實施方式的顯示裝置所包括的電晶體的結構沒有特別的限制。例如，可以使用平面型、FIN(鰭)型、TRI-GATE(三閘極)型、頂閘極型、底閘極型、雙閘極型(在通道上下配置有閘極)等各種結構的電晶體。另外，作為根據本發明的一個實施方式的電晶體可以使用MOS型電晶體、接合型電晶體、雙極電晶體等。

【0586】注意，用於本發明的一個實施方式的顯示裝置所包括的電晶體的半導體材料不侷限於上述材料。例如，電晶體也可以在通道形成區域中包括單晶半導體、多晶半導體、微晶半導體或非晶半導體。另外，作為半導體材料，除了主要成分由單一元素構成的單個半導體(例如，矽(Si)或鍺(Ge))以外，也可以使用化合物半導體(例如，砷化鎵(GaAs)、磷化銦(InP)、氮化鎵(GaN)或矽鍺(SiGe))或者氧化物半導體等。

【0587】另外，本實施方式等示出由n通道型電晶體構成顯示裝置的例子，但是本發明的一個實施方式不侷限於此。構成顯示裝置的部分或全部電晶體也可以使用p通道型電晶體。

【0588】

[顯示裝置的結構例子]

圖31A示出本發明的一個實施方式的顯示裝置400的俯視示意圖。顯示裝置400在基板401上包括多個呈現紅色的發光元件110R、多個呈現綠色的發光元件110G及多個呈現藍色的發光元件110B。在圖31A中為了便於區別各發光元件，在各發光元件的發光區域內附上符號“R”、“G”、“B”。

【0589】發光元件110R、發光元件110G及發光元件110B都以矩陣狀排列。圖31A示出同一顏色的發光元件在一個方向上排列的所謂條紋排列。注意，發光元件的排列方法不侷限於此，還可以使用S條紋排列、Delta排列、拜耳排列、鋸齒形(zigzag)排列等排列方法，也可以使用Pentile排列、Diamond排列等。

【0590】作為發光元件110R、發光元件110G、發光元件110B，較佳為使用OLED(Organic Light Emitting Diode：有機發光二極體)或QLED(Quantum-dot Light Emitting Diode：量子點發光二極體)。作為EL元件含有的發光物質，可以舉出發射螢光的物質(螢光材料)、發射磷光的物質(磷光材料)、呈現熱活化延遲螢光的物質(熱活性化延遲螢光(Thermally activated delayed fluorescence：TADF)材料)及無機化合物(量子點材料等)。

【0591】另外，圖31A示出與共用電極113電連接的連接電極111C。連接電極111C被供應用來對共用電極113供應的電位(例如，陽極電位或陰極電位)。連接電極111C設置在發光元件110R等排列的顯示區域的外側。

【0592】連接電極111C可以沿著顯示區域的外周設置。例如，既可以沿著顯示區域的外周的一個邊設置，又可以橫跨顯示區域的外周的兩個以上的邊設置。就是說，在顯示區域的頂面形狀為長方形的情況下，連接電極111C的頂面形狀可以為帶狀(長方形)、L字狀、“冂”字狀(方括號狀)或四角形等。

【0593】圖31B、圖31C分別是對應於圖31A中的點劃線A1-A2及點劃線A3-A4的剖面示意圖。圖31B示出發光元件110R、發光元件110G及發光元件110B的剖面示意圖，圖31C示出連接電極111C與共用電極113連接的連接部140的剖面示意圖。

【0594】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。發光元件110R、發光元件110G、發光元件110B共通使用共用層114及共用電極113。

【0595】發光元件110R所包括的有機層112R包含發射至少在紅色波長區域中具有強度的光的發光有機化合物。發光元件110G所包括的有機層112G包含發射至少在綠色的波長區域具有強度的光的發光有機化合物。發光元件110B所包括的有機層112B包含發射至少在藍色的波長區域具有強度的光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括

具有發光有機化合物的層(發光層)。

【0596】以下，在說明發光元件110R、發光元件110G及發光元件110B之間共同的內容時有時將其稱為發光元件110進行說明。同樣地，在說明有機層112R、有機層112G及有機層112B等用字母進行區別的組件之間共同的內容時，有時用省略字母的符號進行說明。

【0597】有機層112及共用層114可以分別獨立包括電子注入層、電子傳輸層、電洞注入層和電洞傳輸層中的一個以上。例如，有機層112從像素電極111一側層疊有電洞注入層、電洞傳輸層、發光層、電子傳輸層的疊層結構，並且共用層114包括電子注入層。

【0598】像素電極111R、像素電極111G及像素電極111B都設置在每個發光元件中。另外，共用電極113及共用層114設置為各發光元件共通使用的一個層。作為各像素電極和共用電極113中的任一方使用對可見光具有透光性的導電膜且另一方使用具有反射性的導電膜。藉由使各像素電極具有透光性且使共用電極113具有反射性可以實現底面發射型(底部發射結構)的顯示裝置，與此相反，藉由使各像素電極具有反射性且使共用電極113具有透光性可以實現頂面發射型(頂部發射結構)的顯示裝置。另外，藉由使各像素電極和共用電極113的兩者具有透光性，也可以實現雙面發射型(雙面發射結構)的顯示裝置。

【0599】在共用電極113上以覆蓋發光元件110R、發光元件110G及發光元件110B的方式設置保護層121。保護

層121具有防止水等的雜質從上方擴散到各發光元件的功能。

【0600】像素電極111的端部較佳為具有錐形形狀。在像素電極111的端部具有錐形形狀時，沿著像素電極111的側面設置的有機層112也具有錐形形狀。藉由使像素電極的側面具有錐形形狀，可以提高沿著像素電極的側面設置的EL層的覆蓋性。另外，藉由使像素電極的側面具有錐形形狀，可以藉由洗滌處理等容易去除製程中的異物(例如，灰塵或微粒等)，所以是較佳的。

【0601】有機層112藉由光微影法被加工為島狀。因此，有機層112在其端部具有頂面與側面所成的角近於90°的形狀。另一方面，使用FMM等形成的有機膜的膜厚度有越接近端部越減薄的傾向，例如其頂面在1μm以上且10μm以下的範圍中形成為坡狀，因此難以區別頂面與側面。

【0602】相鄰的兩個發光元件間設置有絕緣層125、樹脂層126及層128。

【0603】在相鄰的兩個發光元件間，各有機層112的側面隔著樹脂層126彼此相對。樹脂層126位於相鄰的兩個發光元件間且以填充各有機層112的端部和兩個有機層112間的區域的方式設置。樹脂層126的頂面具有平滑的凸狀形狀，以覆蓋樹脂層126的頂面的方式設置共用層114及共用電極113。

【0604】樹脂層126被用作填充位於相鄰的兩個發光元件間的步階的平坦化膜。藉由設置樹脂層126，可以防

止共用電極113因有機層112的端部的步階被分離的現象(也稱為斷開)導致有機層112上的共用電極被絕緣。樹脂層126也可以稱為LFP。

【0605】作為樹脂層126，可以適合使用包含有機材料的絕緣層。例如，作為樹脂層126可以使用丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、亞胺樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽酮樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及上述樹脂的前驅物等。另外，作為樹脂層126，也可以使用聚乙烯醇(PVA)、聚乙烯醇縮丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普魯蘭、水溶性纖維素或者醇可溶性聚醯胺樹脂等有機材料。

【0606】另外，作為樹脂層126，也可以使用感光性樹脂。作為感光性樹脂也可以使用光阻劑。感光性樹脂可以使用正型材料或負型材料。

【0607】樹脂層126也可以包含吸收可見光的材料。例如，樹脂層126本身可以由吸收可見光的材料構成，樹脂層126也可以包含吸收可見光的顏料。作為樹脂層126，例如可以使用如下樹脂：能夠用於可被用作透過紅色、藍色或綠色的光且吸收其他光的濾色片的樹脂；或者作為顏料包含碳黑且被用作黑矩陣的樹脂；等。

【0608】絕緣層125與有機層112的側面接觸。另外，絕緣層125覆蓋有機層112的上端部。另外，絕緣層125的一部分與基板401的頂面接觸。

【0609】絕緣層125位於樹脂層126與有機層112間且

被用作防止樹脂層126接觸於有機層112的保護膜。在有機層112與樹脂層126接觸時，有可能由於形成樹脂層126時使用的有機溶劑等而有機層112被溶解。因此，如本實施方式所示，藉由在有機層112與樹脂層126間設置絕緣層125，可以保護有機層112的側面。

【0610】絕緣層125可以為包含無機材料的絕緣層。作為絕緣層125，可以使用氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜等無機絕緣膜。絕緣層125可以為單層結構，也可以為疊層結構。作為氧化絕緣膜，可以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、銦鎵鋅氧化物膜、氧化鎵膜、氧化鍺膜、氧化釔膜、氧化鋯膜、氧化鑭膜、氧化鈰膜、氧化鉿膜及氧化鉭膜等。作為氮化絕緣膜，可以舉出氮化矽膜及氮化鋁膜等。作為氧氮化絕緣膜，可以舉出氧氮化矽膜、氧氮化鋁膜等。作為氮氧化絕緣膜，可以舉出氮氧化矽膜、氮氧化鋁膜等。尤其是，藉由將利用ALD法形成的氧化鋁膜、氧化鉿膜等氧化金屬膜、氧化矽膜等無機絕緣膜用於絕緣層125，可以形成針孔較少且保護EL層功能優異的絕緣層125。

【0611】在本說明書等中，氧氮化物是指在其組成中氧含量多於氮含量的材料，而氮氧化物是指在其組成中氮含量多於氧含量的材料。例如，在記載為“氧氮化鋁”時指在其組成中氧含量多於氮含量的材料，而在記載為“氮氧化鋁”時指在其組成中氮含量多於氧含量的材料。

【0612】絕緣層125可以利用濺射法、CVD法、PLD

法、ALD法等形成。較佳的是，絕緣層125利用覆蓋性優異的ALD法形成。

【0613】另外，也可以藉由在絕緣層125與樹脂層126之間設置反射膜(例如，包含選自銀、鈀、銅、鈦和鋁等中的一個或多個的金屬膜)而使上述反射膜反射發光層所發射的光。由此，可以進一步提高光提取效率。

【0614】層128是用來在蝕刻有機層112時保護有機層112的保護層(也稱為遮罩層、犧牲層)的一部分殘留的部分。層128可以使用可用於上述絕緣層125的材料。尤其是，層128及絕緣層125較佳為都使用相同材料，由此可以使用相同的用來進行加工的裝置等。

【0615】尤其是，由於利用ALD法形成的氧化鋁膜、氧化鉿膜等氧化金屬膜、氧化矽膜等無機絕緣膜是針孔較少的膜，所以保護EL層的功能優異，因此可以適合用於絕緣層125及層128。

【0616】以覆蓋共用電極113的方式設置保護層121。

【0617】保護層121例如可以具有至少包括無機絕緣膜的單層結構或疊層結構。作為無機絕緣膜，例如可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉿膜等氧化物膜、氧氮化物膜、氮氧化物膜或氮化物膜。另外，作為保護層121也可以使用銦鎵氧化物、銦鋅氧化物、銦錫氧化物、銦鎵鋅氧化物等的半導體材料或導電材料。

【0618】作為保護層121也可以使用無機絕緣膜與有

機絕緣膜的疊層膜。例如，較佳為在一對無機絕緣膜之間夾持有機絕緣膜。並且，有機絕緣膜較佳為被用作平坦化膜。由此，可以使有機絕緣膜的頂面平坦，所以有機絕緣膜上的無機絕緣膜的覆蓋性得到提高，由此可以提高阻擋性。另外，保護層121的頂面變平坦，所以當在保護層121的上方設置結構物(例如，濾色片、觸控感測器的電極或透鏡陣列等)時可以減少起因於下方的結構的凹凸形狀的影響，所以是較佳的。

【0619】圖31C示出連接電極111C與共用電極113電連接的連接部140。在連接部140中，在連接電極111C上，絕緣層125及樹脂層126中設置有開口部。在該開口部，連接電極111C與共用電極113電連接。

【0620】注意，圖31C示出連接電極111C與共用電極113電連接的連接部140，但是也可以在連接電極111C上隔著共用層114設置共用電極113。尤其是，在作為共用層114使用載子注入層的情況等下，用於該共用層114的材料的電阻率充分低且其膜厚度也很薄，所以在很多情況下共用層114位於連接部140也沒有問題。由此，可以使用相同陰影遮罩形成共用電極113及共用層114，所以可以降低製造成本。

【0621】以上是顯示裝置的結構例子的說明。

【0622】

[像素的佈局]

以下，主要說明與圖31A不同的像素佈局。發光元件

(子像素)的排列沒有特別的限制，可以採用各種排列方法。

【0623】另外，作為子像素的頂面形狀，例如可以舉出三角形、四角形(包括長方形、正方形)、五角形等多角形、帶圓角的上述多角形形狀、橢圓形或圓形等。在此，子像素的頂面形狀相當於發光元件的發光區域的頂面形狀。

【0624】圖32A所示的像素150採用S條紋排列。圖32A所示的像素150由發光元件110a、發光元件110b及發光元件110c這三個子像素構成。例如，發光元件110a、發光元件110b及發光元件110c可以分別為藍色的發光元件、紅色的發光元件及綠色的發光元件。

【0625】圖32B所示的像素150包括具有帶圓角的近似梯形的頂面形狀的發光元件110a、具有帶圓角的近似三角形的頂面形狀的發光元件110b以及具有帶圓角的近似四角形或近似六角形的頂面形狀的發光元件110c。此外，發光元件110a的發光面積比發光元件110b大。如此，各發光元件的形狀及尺寸可以分別獨立決定。例如，包括可靠性高的發光元件的尺寸可以更小。例如，發光元件110a、發光元件110b及發光元件110c可以分別為綠色的發光元件、紅色的發光元件及藍色的發光元件。

【0626】圖32C所示的像素124a及像素124b採用Pentile排列。圖32C示出交替配置包括發光元件110a及發光元件110b的像素124a及包括發光元件110b及發光元件

110c的像素124b的例子。例如，發光元件110a、發光元件110b及發光元件110c也可以分別為紅色的發光元件、綠色的發光元件及藍色的發光元件。

【0627】圖32D及圖32E所示的像素124a及像素124b採用Delta排列。像素124a在上行(第一行)包括兩個發光元件(發光元件110a、110b)，在下行(第二行)包括一個發光元件(發光元件110c)。像素124b在上行(第一行)包括一個發光元件(發光元件110c)，在下行(第二行)包括兩個發光元件(發光元件110a、110b)。例如，發光元件110a、發光元件110b及發光元件110c也可以分別為紅色的發光元件、綠色的發光元件及藍色的發光元件。

【0628】圖32D示出各發光元件具有帶圓角的近似四角形的頂面形狀的例子，圖32E示出各發光元件具有圓形的頂面形狀的例子。

【0629】圖32F示出各顏色的發光元件配置為鋸齒形狀的例子。明確而言，在俯視圖中，在列方向上排列的兩個發光元件(例如，發光元件110a及發光元件110b或發光元件110b及發光元件110c)的上邊的位置不一致。例如，發光元件110a、發光元件110b及發光元件110c也可以分別為紅色的發光元件、綠色的發光元件及藍色的發光元件。

【0630】在光微影法中，被加工的圖案越微細越不能忽視光的繞射所帶來的影響，所以在藉由曝光轉移光罩的圖案時其保真度下降，難以將光阻遮罩加工為所希望的形狀。因此，即使光罩的圖案為矩形，也易於形成帶圓角的

圖案。因此，發光元件的頂面形狀有時呈角部圓的多角形形狀、橢圓形或圓形等。

【0631】再者，在本發明的一個實施方式的顯示面板的製造方法中，使用光阻遮罩將EL層加工為島狀。形成在EL層上的光阻膜需要以低於EL層的耐熱溫度的溫度固化。因此，根據EL層的材料的耐熱溫度及光阻劑材料的固化溫度而有時光阻膜的固化不充分。固化不充分的光阻膜在被加工時有時呈遠離所希望的形狀的形狀。其結果是，EL層的頂面形狀有時呈帶圓角的多角形形狀、橢圓形或圓形等。例如，當要形成頂面形狀為正方形的光阻遮罩時，有時形成圓形頂面形狀的光阻遮罩而EL層的頂面形狀呈圓形。

【0632】為了使EL層的頂面形狀呈所希望的形狀，也可以預先利用以設計圖案與轉移圖案一致的方式校正遮罩圖案的技術(OPC(Optical Proximity Correction：光學鄰近效應修正)技術)。明確而言，在OPC技術中，對遮罩圖案上的圖形角部等追加校正用圖案。

【0633】

[顯示裝置400A]

圖33所示的顯示裝置400A包括基板331、發光元件110R、發光元件110G、發光元件110B、電容器240及電晶體200。

【0634】基板331相當於圖27A及圖27B中的基板441。

【0635】基板331上設置有電晶體200。電晶體200是實施方式1所說明的電晶體200。因此，電晶體200的結構可以參照實施方式1。

【0636】與導電體242a和導電體242b中的一方電連接的插頭374嵌入絕緣層365、絕緣層329、絕緣層264及絕緣體275。在此，插頭374較佳為具有覆蓋絕緣層365、絕緣層329、絕緣層264及絕緣體275各自的開口的側面及導電體242a和導電體242b中的一方的頂面的一部分的導電層374a以及與導電層374a的頂面接觸的導電層374b。此時，作為導電層374a，較佳為使用氫及氧不容易擴散的導電材料。

【0637】另外，絕緣層365上設置有電容器240。

【0638】電容器240包括導電層341、導電層245及位於它們之間的絕緣層343。導電層341用作電容器240的一個電極，導電層245用作電容器240的另一個電極，並且絕緣層343用作電容器240的電介質。

【0639】導電層341設置在絕緣層365上，並嵌入絕緣層354中。導電層341藉由嵌入絕緣層365等中的插頭374與電晶體200的源極和汲極中的一個電連接。絕緣層343覆蓋導電層341設置。導電層245設置在隔著絕緣層343與導電層341重疊的區域中。

【0640】以覆蓋電容器240的方式設置絕緣層255a，在絕緣層255a上設置絕緣層255b，並且在絕緣層255b上設置絕緣層255c。

【0641】絕緣層255a、絕緣層255b及絕緣層255c可以適當地使用無機絕緣膜。例如，較佳的是，作為絕緣層255a及絕緣層255c使用氧化矽膜，作為絕緣層255b使用氮化矽膜。由此，絕緣層255b可以用作蝕刻保護膜。雖然在本實施方式中示出絕緣層255c的一部分被蝕刻而設置有凹部的例子，但是也可以不在絕緣層255c中設置凹部。

【0642】絕緣層255c上設置有發光元件110R、發光元件110G及發光元件110B。發光元件110R、發光元件110G及發光元件110B的結構可以參照上述[顯示裝置的結構例子]。

【0643】顯示裝置400A按每個發光顏色分別形成發光器件，所以低亮度的發光和高亮度的發光之間的色度變化小。另外，有機層112R、112G、112B彼此分離，所以即使採用高清晰顯示面板也可以抑制在相鄰的子像素間發生串擾。因此，可以實現高清晰且顯示品質高的顯示面板。

【0644】相鄰的發光元件間的區域設置有絕緣層125、樹脂層126及層128。

【0645】發光元件的像素電極111R、像素電極111G及像素電極111B藉由埋入於絕緣層255a、絕緣層255b及絕緣層255c中的插頭356以及埋入於絕緣層365等中的插頭374電連接於電晶體200的源極和汲極中的一個。絕緣層255c的頂面的高度與插頭356的頂面的高度一致或大致一致。作為插頭可以使用各種導電材料。

【0646】另外，發光元件110R、110G及110B上設置

有保護層121。保護層121上由黏合層171貼合有基板170。

【0647】相鄰的兩個像素電極111間不設置有覆蓋像素電極111的頂面端部的絕緣層。因此，可以使相鄰的發光元件間的間隔非常小。因此，可以實現高清晰或高解析度的顯示裝置。

【0648】電晶體200在通道形成區域中包括氧化物半導體，所以洩漏電流非常小。另外，電晶體200可以實現微型化，可以分離相鄰的電晶體200間的通道形成區域。因此，可以減少可流過相鄰發光元件間的洩漏電流(橫向洩漏電流、側洩漏電流等)。因此，在使相鄰的發光元件間的間隔非常小的情況下，也可以實現發光元件間的洩漏電流得到抑制且對比度高的顯示裝置。

【0649】

[顯示裝置400B]

圖34所示的顯示裝置400B具有層疊有分別在形成通道的半導體中含有氧化物半導體的電晶體200A及電晶體200B的結構。

【0650】電晶體200A、電晶體200B及其周邊的結構可以援用上述顯示裝置400A。

【0651】注意，在此，採用層疊兩個包括氧化物半導體的電晶體的結構，但是不侷限於該結構。例如，也可以採用層疊三個以上的電晶體的結構。

【0652】

[顯示裝置400C]

在圖35所示的顯示裝置400C中，層疊有通道形成於基板301的電晶體310及形成通道的半導體層含有金屬氧化物的電晶體200。

【0653】基板301相當於圖27A及圖27B中的基板441。

【0654】電晶體310是在基板301中具有通道形成區域的電晶體。作為基板301，例如可以使用如單晶矽基板等半導體基板。電晶體310包括基板301的一部分、導電層311、低電阻區域312、絕緣層313及絕緣層314。導電層311被用作閘極電極。絕緣層313位於基板301與導電層311之間，並被用作閘極絕緣層。低電阻區域312是基板301中摻雜有雜質的區域，並被用作源極和汲極中的一個。絕緣層314覆蓋導電層311的側面，並被用作絕緣層。

【0655】此外，在相鄰的兩個電晶體310之間，以嵌入基板301的方式設置有元件分離層315。

【0656】以覆蓋電晶體310的方式設置有絕緣層261，並且絕緣層261上設置有導電層251。導電層251藉由嵌入絕緣層261中的插頭371與電晶體310的源極和汲極中的一個電連接。此外，以覆蓋導電層251的方式設置有絕緣層262，並且絕緣層262上設置有導電層352。導電層251及導電層352都被用作佈線。此外，以覆蓋導電層352的方式設置有絕緣層263及絕緣層332，並且絕緣層332上設置有電晶體200。此外，以覆蓋電晶體200的方式設置有絕緣層365，並絕緣層365上設置有電容器240。電容器240與電晶

體200藉由插頭374電連接。

【0657】注意，圖35示出在形成通道的半導體層中包含單晶矽的電晶體310和在形成通道的半導體層中包括金屬氧化物的電晶體200的疊層結構的例子，但是不侷限於此。例如，電晶體310也可以使用高電子移動率電晶體(HEMT：High Electron Mobility Transistor)、利用氮化鎵(也稱為GaN)的電晶體或利用鎵(Ga)的電晶體。因此，電晶體310與電晶體200的疊層結構可以為Si\OS(矽與該矽上的氧化物半導體)、HEMT\OS(高電子移動率電晶體與該高電子移動率電晶體上的氧化物半導體)、GaN\OS(氮化鎵與該氮化鎵上的氧化物半導體)、Ga\OS(鎵與該鎵上的氧化物半導體)等。另外，作為用於HEMT的材料，例如可以使用選自GaAs、InP、GaN和SiGe中的任一個或多個。

【0658】電晶體200可以用作構成像素電路的電晶體。此外，電晶體310可以用作構成像素電路的電晶體或構成用來驅動該像素電路的驅動電路(閘極線驅動電路、源極線驅動電路)的電晶體。此外，電晶體310及電晶體200可以用作構成運算電路或記憶體電路等各種電路的電晶體。

【0659】借助於這種結構，在發光器件正下不但可以形成像素電路還可以形成驅動電路等，因此與在顯示區域的周圍設置驅動電路的情況相比，可以使顯示面板小型化。

【0660】

[顯示裝置400D]

在圖36所示的顯示裝置400D中，層疊有通道形成於基板301的電晶體310、形成通道的半導體層含有金屬氧化物的電晶體200A及電晶體200B。

【0661】電晶體200A可以用作構成像素電路的電晶體。此外，電晶體310可以用作構成像素電路的電晶體或構成用來驅動該像素電路的驅動電路(閘極線驅動電路、源極線驅動電路)的電晶體。電晶體200B可以用作構成像素電路的電晶體，也可以用作構成上述驅動電路的電晶體。此外，電晶體310、電晶體200A及電晶體200B可以用作構成運算電路或記憶體電路等各種電路的電晶體。

【0662】以上，本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0663】

實施方式3

在本實施方式中，對能夠用於本發明的一個實施方式的顯示裝置的發光元件進行說明。

【0664】如圖37A所示，發光元件在一對電極(下部電極761及上部電極762)間包括EL層763。EL層763可以由層780、發光層771及層790等多個層構成。

【0665】發光層771至少包含發光物質(也稱為發光材料)。

【0666】在下部電極761及上部電極762分別為陽極及陰極的情況下，層780包括含有電洞注入性高的物質的層

(電洞注入層)、含有電洞傳輸性高的物質的層(電洞傳輸層)和含有電子阻擋性高的物質的層(電子障壁層)中的一個或多個。另外，層790包括含有電子注入性高的物質的層(電子注入層)、含有電子傳輸性高的物質的層(電子傳輸層)和含有電洞阻擋性高的物質的層(電洞障壁層)中的一個或多個。在下部電極761及上部電極762分別為陰極及陽極的情況下，層780和層790的結構與上述反轉。

【0667】包括設置在一對電極間的層780、發光層771及層790的結構可以被用作單一的發光單元，在本說明書中將圖37A的結構稱為單結構。

【0668】另外，圖37B示出圖37A所示的發光元件所包括的EL層763的變形例子。明確而言，圖37B所示的發光元件包括下部電極761上的層781、層781上的層782、層782上的發光層771、發光層771上的層791、層791上的層792及層792上的上部電極762。

【0669】在下部電極761及上部電極762分別為陽極及陰極的情況下，例如，層781、層782、層791及層792可以分別為電洞注入層、電洞傳輸層、電子傳輸層及電子注入層。另外，在下部電極761及上部電極762分別為陰極及陽極的情況下，層781、層782、層791及層792可以分別為電子注入層、電子傳輸層、電洞傳輸層及電洞注入層。藉由採用上述層結構，可以將載子高效地注入到發光層771，由此可以提高發光層771內的載子的再結合的效率。

【0670】此外，如圖37C及圖37D所示，層780與層

790之間設置有多個發光層(發光層771、發光層772、發光層773)的結構也是單結構的變形例子。注意，雖然圖37C及圖37D示出包括三層發光層的例子，但具有單結構的發光元件中的發光層可以為兩層，也可以為四層以上。另外，具有單結構的發光元件也可以在兩個發光層之間包括緩衝層。

【0671】另外，如圖37E及圖37F所示，在本說明書中多個發光單元(發光單元763a及發光單元763b)隔著電荷產生層785(也稱為中間層)串聯連接的結構被稱為串聯結構。另外，也可以將串聯結構稱為疊層結構。藉由採用串聯結構，可以實現能夠以高亮度發光的發光元件。此外，串聯結構由於與單結構相比可以降低為了得到相同的亮度所需的電流，所以可以提高可靠性。

【0672】圖37D及圖37F示出顯示裝置包括重疊於發光元件的層764的例子。圖37D示出層764重疊於圖37C所示的發光元件的例子，圖37F示出層764重疊於圖37E所示的發光元件的例子。在圖37D及圖37F中，上部電極762使用透過可見光的導電膜以將光提取到上部電極762一側。

【0673】作為層764可以使用顏色轉換層和濾色片(彩色層)中的一者或兩者。

【0674】例如，在具有單結構的發光元件包括三層發光層的情況下，較佳為包括含有發射紅色(R)光的發光物質的發光層、含有發射綠色(G)光的發光物質的發光層以及發射藍色(B)光的發光物質的發光層。作為發光層的疊

層順序，可以採用從陽極一側依次層疊R、G、B的順序或從陽極一側依次層疊R、B、G的順序等。此時，也可以在R與G或B之間設置緩衝層。

【0675】另外，例如在具有單結構的發光元件包括兩層發光層的情況下，較佳為採用包括含有發射藍色(B)光的發光物質的發光層以及含有發射黃色(Y)光的發光物質的發光層的結構。有時將該結構稱為BY單結構。

【0676】發射白色光的發光元件較佳為包括兩種以上的發光物質。為了得到白色發光，以兩種以上的發光物質的各發光顏色處於補色關係的方式選擇發光物質即可。例如，藉由使第一發光層的發光顏色與第二發光層的發光顏色處於補色關係，可以得到在發光元件整體上以白色發光的發光元件。此外，在使用包括三個以上的發光層的發光元件的情況也是同樣的。

【0677】注意，圖37C和圖37D中的層780及層790也可以分別獨立地採用圖37B所示的由兩層以上的層而成的疊層結構。

【0678】另外，在將圖37E或圖37F所示的結構的發光元件用於呈現各顏色的子像素時，也可以根據子像素使用不同發光物質。明確而言，在呈現紅色光的子像素所包括的發光元件中，也可以將發射紅色光的發光物質用於發光層771及發光層772。同樣地，在呈現綠色光的子像素所包括的發光元件中，也可以將發射綠色光的發光物質用於發光層771及發光層772。在呈現藍色光的子像素所包括的發

光元件中，也可以將發射藍色光的發光物質用於發光層771及發光層772。可以說，具有這種結構的顯示裝置使用具有串聯結構的發光元件並具有SBS結構。由此，具有串聯結構及SBS結構的兩者的優點。由此，可以實現能夠以高亮度發光且可靠性高的發光元件。

【0679】注意，雖然圖37E及圖37F示出發光單元763a包括一層發光層771且發光單元763b包括一層發光層772的例子，但不侷限於此。發光單元763a及發光單元763b各自也可以包括兩層以上的發光層。

【0680】注意，圖37E至圖37F示出包括兩個發光單元的發光元件，但是不侷限於此。發光元件也可以包括三個以上的發光單元。注意，也可以將包括兩個發光單元的結構及包括三個發光單元的結構分別稱為兩級串聯結構及三級串聯結構。

【0681】另外，在圖37E及圖37F中，發光單元763a包括層780a、發光層771及層790a，發光單元763b包括層780b、發光層772及層790b。

【0682】在下部電極761及上部電極762分別為陽極及陰極的情況下，層780a及層780b各自包括電洞注入層、電洞傳輸層和電子障壁層中的一個或多個。另外，層790a及層790b各自包括電子注入層、電子傳輸層和電洞障壁層中的一個或多個。在下部電極761及上部電極762分別為陰極及陽極的情況下，層780a和層790a的結構與上述反轉，層780b和層790b的結構也與上述反轉。

【0683】在下部電極761及上部電極762分別為陽極及陰極的情況下，例如，層780a包括電洞注入層及電洞注入層上的電洞傳輸層，而且還可以包括電洞傳輸層上的電子障壁層。另外，層790a包括電子傳輸層，而且還可以包括發光層771與電子傳輸層之間的電洞障壁層。另外，層780b包括電洞傳輸層，而且還可以包括電洞傳輸層上的電子障壁層。另外，層790b包括電子傳輸層及電子傳輸層上的電子注入層，而且還可以包括發光層772與電子傳輸層之間的電洞障壁層。在下部電極761及上部電極762分別為陰極及陽極的情況下，例如，層780a包括電子注入層及電子注入層上的電子傳輸層，而且還可以包括電子傳輸層上的電洞障壁層。另外，層790a包括電洞傳輸層，而且還可以包括發光層771與電洞傳輸層之間的電子障壁層。另外，層780b包括電子傳輸層，而且還可以包括電子傳輸層上的電洞障壁層。另外，層790b包括電洞傳輸層及電洞傳輸層上的電洞注入層，而且還可以包括發光層772與電洞傳輸層之間的電子障壁層。

【0684】另外，當製造具有串聯結構的發光元件時，兩個發光單元隔著電荷產生層785層疊。電荷產生層785至少具有電荷產生區域。電荷產生層785具有在對一對電極間施加電壓時向兩個發光單元中的一方注入電子且向另一方注入電洞的功能。

【0685】另外，作為串聯結構的發光元件的一個例子，可以舉出圖38A至圖38C所示的結構。

【0686】圖38A示出包括三個發光單元的結構。在圖38A中，多個發光單元(發光單元763a、發光單元763b及發光單元763c)隔著電荷產生層785彼此串聯連接。另外，發光單元763a包括層780a、發光層771及層790a，發光單元763b包括層780b、發光層772及層790b，發光單元763c包括層780c、發光層773及層790c。注意，層780c可以採用可用於層780a及層780b的結構，層790c可以採用可用於層790a及層790b的結構。

【0687】在圖38A中，發光層771、發光層772及發光層773較佳為包含發射相同顏色的光的發光物質。明確而言，可以採用如下結構：發光層771、發光層772及發光層773都包含紅色(R)發光物質的結構(所謂R\R\R三級串聯結構)；發光層771、發光層772及發光層773都包含綠色(G)發光物質的結構(所謂G\G\G三級串聯結構)；或者發光層771、發光層772及發光層773都包含藍色(B)發光物質的結構(所謂B\B\B三級串聯結構)。注意，“a\b”表示包含發射a的光的發光物質的發光單元上隔著電荷產生層設置有包含發射b的光的發光物質的發光單元，a、b表示顏色。

【0688】另外，在圖38A中，也可以將發射不同顏色的光的發光物質用於發光層771、發光層772和發光層773中的一部分或全部。作為發光層771、發光層772和發光層773的發光顏色的組合，例如可以舉出其中任兩個為藍色(B)且剩下一個為黃色(Y)的結構以及其中任一個為紅色(R)，另一個為綠色(G)且剩下一個為藍色(B)的結構。

【0689】注意，作為各自發射相同顏色的光的發光物質不侷限於上述結構。例如，如圖38B所示，也可以採用層疊包括多個發光層的發光單元的串聯型發光元件。在圖38B中，兩個發光單元(發光單元763a及發光單元763b)隔著電荷產生層785串聯連接。另外，發光單元763a包括層780a、發光層771a、發光層771b、發光層771c以及層790a，發光單元763b包括層780b、發光層772a、發光層772b、發光層772c以及層790b。

【0690】在圖38B中，從發光層771a、發光層771b及發光層771c中選擇各自處於補色關係的發光物質，來使發光單元763a具有能夠實現白色發光(W)的結構。另外，也從發光層772a、發光層772b及發光層772c中選擇各自處於補色關係的發光物質，來使發光單元763b具有能夠實現白色發光(W)的結構。也就是說，圖38B所示的結構是W\W兩級串聯結構。注意，對處於補色關係的發光物質的疊層順序沒有特別的限制。實施者可以適當地選擇最合適的疊層順序。雖然未圖示，但也可以採用W\W\W三級串聯結構或四級以上的串聯結構。

【0691】另外，在使用具有串聯結構的發光元件的情況下，可以舉出：包括發射黃色(Y)光的發光單元及發射藍色(B)光的發光單元的B\Y或Y\B兩級串聯結構；包括發射紅色(R)光及綠色(G)光的發光單元及發射藍色(B)光的發光單元的R·G\B或B\R·G兩級串聯結構；依次包括發射藍色(B)光的發光單元、發射黃色(Y)光的發光單元及發射藍

色(B)光的發光單元的B\Y\B三級串聯結構；依次包括發射藍色(B)光的發光單元、發射黃綠色(YG)光的發光單元及發射藍色(B)光的發光單元的B\YG\B三級串聯結構；以及依次包括發射藍色(B)光的發光單元、發射綠色(G)光的發光單元及發射藍色(B)光的發光單元的B\G\B三級串聯結構等。注意，“a·b”表示一個發光單元包含發射a的光的發光物質及發射b的光的發光物質。

【0692】另外，如圖38C所示，也可以組合包括一個發光層的發光單元和包括多個發光層的發光單元。

【0693】明確而言，在圖38C所示的結構中，多個發光單元(發光單元763a、發光單元763b及發光單元763c)隔著電荷產生層785彼此串聯連接。另外，發光單元763a包括層780a、發光層771及層790a，發光單元763b包括層780b、發光層772a、發光層772b、發光層772c及層790b，發光單元763c包括層780c、發光層773及層790c。

【0694】例如，在圖38C所示的結構中可以採用B\R·G·YG\B三級串聯結構等，其中發光單元763a為發射藍色(B)光的發光單元，發光單元763b為發射紅色(R)光、綠色(G)光及黃綠色(YG)光的發光單元，並且發光單元763c為發射藍色(B)光的發光單元。

【0695】例如，作為發光單元的疊層數及顏色順序，可以舉出從陽極一側層疊B和Y的兩級結構、層疊B和發光單元X的兩級結構、層疊B、Y和B的三級結構、層疊B、X和B的三級結構，作為發光單元X中的發光層的疊層數及

顏色順序，可以採用從陽極一側層疊R和Y的兩層結構、層疊R和G的兩層結構、層疊G和R的兩層結構、層疊G、R和G的三層結構或層疊R、G和R的三層結構等。另外，也可以在兩個發光層之間設置其他層。

【0696】接著，說明可用於發光元件的材料。

【0697】作為下部電極761和上部電極762中的提取光一側的電極使用透過可見光的導電膜。另外，作為不提取光一側的電極較佳為使用反射可見光的導電膜。另外，在顯示裝置包括發射紅外光的發光元件時，較佳為作為提取光一側的電極使用透過可見光及紅外光的導電膜且作為不提取光一側的電極使用反射可見光及紅外光的導電膜。

【0698】另外，不提取光一側的電極也可以使用透過可見光的導電膜。在此情況下，較佳為在反射層與EL層763間配置該電極。換言之，EL層763的發光也可以被該反射層反射而從顯示裝置提取。

【0699】作為形成發光元件的一對電極的材料，可以適當地使用金屬、合金、導電化合物及它們的混合物等。作為該材料，具體地可以舉出鋁、鈦、鉻、錳、鐵、鈷、鎳、銅、鎵、鋅、銦、錫、鉬、鉭、鎢、鈀、金、鉑、銀、鉿及釹等金屬以及適當地組合它們的合金。另外，作為該材料，可以舉出銦錫氧化物(也稱為In-Sn氧化物、ITO等)、In-Si-Sn氧化物(也稱為ITSO)、銦鋅氧化物(In-Zn氧化物)及In-W-Zn氧化物等。另外，作為該材料，可以舉出：鋁、鎳及鑭的合金(Al-Ni-La)等包含鋁的合金(鋁合

金)；以及銀、鈀及銅的合金(Ag-Pd-Cu，也記作APC)。另外，作為該材料，可以舉出以上沒有列舉的屬於元素週期表中第1族或第2族的元素(例如，鋰、銫、鈣、銣)、銪、鐿等稀土金屬、適當地組合它們的合金以及石墨烯等。

【0700】發光元件較佳為採用微腔諧振器(微腔)結構。因此，發光元件所包括的一對電極中的一個較佳為對可見光具有透過性及反射性的電極(半透過半反射電極)，另一個較佳為對可見光具有反射性的電極(反射電極)。當發光元件具有微腔結構時，可以在兩個電極之間使從發光層得到的發光諧振，並且可以增強從發光元件發射的光。

【0701】半透過半反射電極可以具有可被用作反射電極的導電層和可被用作對可見光具有透過性的電極(也稱為透明電極)的導電層的疊層結構。

【0702】透明電極的光穿透率為40%以上。例如，在發光元件的透明電極中，較佳為使用對可見光(波長為400nm以上且小於750nm的光)的穿透率為40%以上的電極。半透過半反射電極的對可見光的反射率為10%以上且95%以下，較佳為30%以上且80%以下。反射電極對可見光的反射率為40%以上且100%以下，較佳為70%以上且100%以下。另外，這些電極的電阻率較佳為$1\times10^{-2}\Omega$cm以下。

【0703】發光元件至少包括發光層。另外，作為發光層以外的層，發光元件還可以包括包含電洞注入性高的物質、電洞傳輸性高的物質、電洞阻擋材料、電子傳輸性高的物質、電子阻擋材料、電子注入性高的物質或雙極性的

物質(電子傳輸性及電洞傳輸性高的物質)等的層。例如，發光元件除了發光層以外還可以包括電洞注入層、電洞傳輸層、電洞障壁層、電荷產生層、電子障壁層、電子傳輸層和電子注入層中的一層以上。

【0704】發光元件可以使用低分子化合物或高分子化合物，還可以包含無機化合物。構成發光元件的層可以藉由蒸鍍法(包括真空蒸鍍法)、轉印法、印刷法、噴墨法、塗佈法等方法形成。

【0705】發光層包含一種或多種發光物質。作為發光物質，適當地使用呈現藍色、紫色、藍紫色、綠色、黃綠色、黃色、橙色或紅色等發光顏色的物質。此外，作為發光物質，也可以使用發射近紅外光的物質。

【0706】作為發光物質，可以舉出螢光材料、磷光材料、TADF材料及量子點材料等。

【0707】作為螢光材料，例如可以舉出芘衍生物、蒽衍生物、聯伸三苯衍生物、茀衍生物、咔唑衍生物、二苯并噻吩衍生物、二苯并呋喃衍生物、二苯并喹噁啉衍生物、喹噁啉衍生物、吡啶衍生物、嘧啶衍生物、菲衍生物及萘衍生物等。

【0708】作為磷光材料，例如可以舉出具有4H-三唑骨架、1H-三唑骨架、咪唑骨架、嘧啶骨架、吡嗪骨架、吡啶骨架的有機金屬錯合物(尤其是銥錯合物)、以具有拉電子基團的苯基吡啶衍生物為配體的有機金屬錯合物(尤其是銥錯合物)、鉑錯合物、稀土金屬錯合物等。

【0709】發光層除了發光物質(客體材料)以外還可以包含一種或多種有機化合物(主體材料、輔助材料等)。作為一種或多種有機化合物，可以使用電洞傳輸性高的物質(電洞傳輸材料)和電子傳輸性高的物質(電子傳輸材料)中的一者或兩者。作為電洞傳輸材料，可以使用下述可用於電洞傳輸層的電洞傳輸性高的材料。作為電子傳輸材料，可以使用下述可用於電子傳輸層的電子傳輸性高的材料。此外，作為一種或多種有機化合物，也可以使用雙極性材料或TADF材料。

【0710】例如，發光層較佳為包含磷光材料、容易形成激態錯合物的電洞傳輸材料及電子傳輸材料的組合。藉由採用這樣的結構，可以高效地得到利用從激態錯合物到發光物質(磷光材料)的能量轉移的ExTET(Exciplex-Triplet Energy Transfer：激態錯合物-三重態能量轉移)的發光。藉由選擇形成發射與發光物質的最低能量一側的吸收帶的波長重疊的光的激態錯合物的組合，可以使能量轉移變得順利，從而高效地得到發光。藉由採用上述結構，可以同時實現發光元件的高效率、低電壓驅動以及長壽命。

【0711】電洞注入層是將電洞從陽極注入到電洞傳輸層的包含電洞注入性高的材料的層。作為電洞注入性高的材料，可以舉出芳香胺化合物以及包含電洞傳輸材料及受體材料(電子受體材料)的複合材料等。

【0712】作為電洞傳輸材料，可以使用下述可用於電洞傳輸層的電洞傳輸性高的材料。

【0713】作為受體材料，例如可以使用屬於元素週期表中的第4族至第8族的金屬的氧化物。明確而言，可以舉出氧化鉬、氧化釩、氧化鈮、氧化鉭、氧化鉻、氧化鎢、氧化錳及氧化錸。特別較佳為使用氧化鉬，因為其在大氣中也穩定，吸濕性低，並且容易處理。另外，也可以使用含有氟的有機受體材料。除了上述以外，也可以使用醌二甲烷衍生物、四氯苯醌衍生物及六氮雜聯伸三苯衍生物等有機受體材料。

【0714】例如，作為電洞注入性高的材料也可以使用包含電洞傳輸材料及上述屬於元素週期表中第4族至第8族的金屬的氧化物(典型的是氧化鉬)的材料。

【0715】電洞傳輸層是將從陽極藉由電洞注入層注入的電洞傳輸到發光層的層。電洞傳輸層是包含電洞傳輸材料的層。作為電洞傳輸材料，較佳為採用電洞移動率為$1\times10^{-6}cm^2/Vs$以上的物質。注意，只要電洞傳輸性比電子傳輸性高，就可以使用上述以外的物質。作為電洞傳輸材料，較佳為使用富π電子型雜芳族化合物(例如咔唑衍生物、噻吩衍生物、呋喃衍生物等)、芳香胺(包含芳香胺骨架的化合物)等電洞傳輸性高的材料。

【0716】電子障壁層以接觸於發光層的方式設置。電子障壁層是具有電洞傳輸性並包含能夠阻擋電子的材料的層。可以將上述電洞傳輸材料中的具有電子阻擋性的材料用於電子障壁層。

【0717】電子障壁層具有電洞傳輸性，所以也可以被

稱為電洞傳輸層。另外，電洞傳輸層中的具有電子阻擋性的層也可以被稱為電子障壁層。

【0718】電子傳輸層是將從陰極藉由電子注入層注入的電子傳輸到發光層的層。電子傳輸層是包含電子傳輸材料的層。作為電子傳輸材料，較佳為採用電子移動率為$1\times10^{-6}cm^2/Vs$以上的物質。注意，只要電子傳輸性比電洞傳輸性高，就可以使用上述以外的物質。作為電子傳輸材料，可以使用具有喹啉骨架的金屬錯合物、具有苯并喹啉骨架的金屬錯合物、具有噁唑骨架的金屬錯合物、具有噻唑骨架的金屬錯合物等，還可以使用噁二唑衍生物、三唑衍生物、咪唑衍生物、噁唑衍生物、噻唑衍生物、啡啉衍生物、具有喹啉配體的喹啉衍生物、苯并喹啉衍生物、喹噁啉衍生物、二苯并喹噁啉衍生物、吡啶衍生物、聯吡啶衍生物、嘧啶衍生物、含氮雜芳族化合物等缺π電子型雜芳族化合物等電子傳輸性高的物質。

【0719】電洞障壁層以接觸於發光層的方式設置。電洞障壁層是具有電子傳輸性並包含能夠阻擋電洞的材料的層。可以將上述電子傳輸材料中的具有電洞阻擋性的材料用於電洞障壁層。

【0720】電洞障壁層具有電子傳輸性，所以也可以被稱為電子傳輸層。另外，電子傳輸層中的具有電洞阻擋性的層也可以被稱為電洞障壁層。

【0721】電子注入層是將電子從陰極注入到電子傳輸層的包含電子注入性高的材料的層。作為電子注入性高的

材料，可以使用鹼金屬、鹼土金屬或者包含上述物質的化合物。作為電子注入性高的材料，也可以使用包含電子傳輸材料及施體材料(電子施體材料)的複合材料。

【0722】另外，較佳的是，電子注入性高的材料的LUMO能階與用於陰極的材料的功函數值之差小(具體的是0.5eV以下)。

【0723】電子注入層例如可以使用鋰、銫、鐿、氟化鋰(LiF)、氟化銫(CsF)、氟化鈣(CaF_x，X為任意數)、8-(羥基喔啉)鋰(簡稱：Liq)、2-(2-吡啶基)苯酚鋰(簡稱：LiPP)、2-(2-吡啶基)-3-羥基吡啶(pyridinolato)鋰(簡稱：LiPPy)、4-苯基-2-(2-吡啶基)苯酚鋰(簡稱：LiPPP)、鋰氧化物(LiO_x)、碳酸銫等鹼金屬、鹼土金屬或它們的化合物。另外，電子注入層也可以具有兩層以上的疊層結構。作為該疊層結構，例如可以舉出作為第一層使用氟化鋰且作為第二層設置鐿的結構。

【0724】電子注入層也可以包含電子傳輸材料。例如，可以將具有非共用電子對並具有缺π電子雜芳環的化合物用於電子傳輸材料。明確而言，可以使用具有吡啶環、二嗪環(嘧啶環、吡嗪環、嗒咿環)以及三嗪環中的至少一個的化合物。

【0725】具有非共用電子對的有機化合物的最低空分子軌域(LUMO：Lowest Unoccupied Molecular Orbital)能階較佳為-3.6eV以上且-2.3eV以下。一般來說，可以使用CV(循環伏安法)、光電子能譜法、吸收光譜法、逆光電子

能譜法等估計有機化合物的最高佔據分子軌域(HOMO：Highest Occupied Molecular Orbital)能階及LUMO能階。

【0726】例如，可以將4,7-二苯基-1,10-啡啉(簡稱：BPhen)、2,9-二(萘-2-基)-4,7-二苯基-1,10-啡啉(簡稱：NBPhen)、二喹喔啉并[2,3-a：2',3'-c]吩嗪(簡稱：HATNA)、2,4,6-三[3'-(吡啶-3-基)聯苯-3-基]-1,3,5-三嗪(簡稱：TmPPPyTz)等用於具有非共用電子對的有機化合物。此外，與BPhen相比，NBPhen具有高玻璃轉移溫度(Tg)，從而具有高耐熱性。

【0727】如上所述，電荷產生層至少具有電荷產生區域。電荷產生區域較佳為包括受體材料，例如較佳為包括可應用於上述電洞注入層的電洞傳輸材料及受體材料。

【0728】另外，電荷產生層較佳為包括含有電子注入性高的材料的層。該層也可以被稱為電子注入緩衝層。電子注入緩衝層較佳為設置在電荷產生區域與電子傳輸層間。藉由設置電子注入緩衝層，可以緩和電荷產生區域與電子傳輸層間的注入能障，所以將產生在電荷產生區域中的電子容易注入到電子傳輸層中。

【0729】電子注入緩衝層較佳為包含鹼金屬或鹼土金屬，例如可以包含鹼金屬的化合物或鹼土金屬的化合物。明確而言，電子注入緩衝層較佳為包含含有鹼金屬和氧的無機化合物或者含有鹼土金屬和氧的無機化合物，更佳為包含含有鋰和氧的無機化合物(氧化鋰(Li_2O)等)。除此之外，作為電子注入緩衝層可以適當地使用可應用於上述電

子注入層的材料。

【0730】電荷產生層較佳為包括含有電子傳輸性高的材料的層。該層也可以被稱為電子中繼層。電子中繼層較佳為設置在電荷產生區域與電子注入緩衝層間。在電荷產生層不包括電子注入緩衝層時，電子中繼層較佳為設置在電荷產生區域與電子傳輸層間。電子中繼層具有防止電荷產生區域與電子注入緩衝層(或電子傳輸層)的相互作用並順利地傳遞電子的功能。

【0731】作為電子中繼層，較佳為使用酞青銅(II)(簡稱：CuPc)等酞青類材料或者具有金屬-氧鍵合和芳香配體的金屬錯合物。

【0732】注意，有時根據剖面形狀或特性等不能明確地區別上述電荷產生區域、電子注入緩衝層及電子中繼層。

【0733】另外，電荷產生層也可以包括施體材料代替受體材料。例如，作為電荷產生層也可以包括含有可應用於上述電子注入層的電子傳輸材料和施體材料的層。

【0734】在層疊發光單元時，藉由在兩個發光單元間設置電荷產生層，可以抑制驅動電壓的上升。

【0735】本實施方式可以與其他實施方式適當地組合。

【0736】

實施方式4

在本實施方式中，對本發明的一個實施方式的電子裝

置進行說明。

【0737】本實施方式的電子裝置在顯示部中包括本發明的一個實施方式的顯示裝置。本發明的一個實施方式的顯示裝置容易實現高清晰化及高解析度化。因此，可以用於各種電子裝置的顯示部。

【0738】作為電子裝置，例如除了電視機、桌上型或膝上型個人電腦、用於電腦的顯示器、數位看板及彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端及音頻再生裝置等。

【0739】特別是，因為本發明的一個實施方式的顯示裝置可以提高清晰度，所以可以適合用於包括較小的顯示部的電子裝置。作為這種電子裝置可以舉出手錶型及手鐲型資訊終端設備(可穿戴裝置)、可戴在頭上的可穿戴裝置諸如頭戴顯示器等VR用設備、眼鏡型AR用設備及MR用設備等。

【0740】本發明的一個實施方式的顯示裝置較佳為具有極高的解析度諸如HD(像素數為1280×720)、FHD(像素數為1920×1080)、WQHD(像素數為2560×1440)、WQXGA(像素數為2560×1600)、4K(像素數為3840×2160)、8K(像素數為7680×4320)等。尤其是，較佳為設定為4K、8K或其以上的解析度。另外，本發明的一個實施方式的顯示裝置中的像素密度(清晰度)較佳為100ppi以上，較佳為300ppi以上，更佳為500ppi以上，進一步較佳為1000ppi以上，更

進一步較佳為2000ppi以上，更進一步較佳為3000ppi以上，還進一步較佳為5000ppi以上，進一步較佳為7000ppi以上。藉由使用上述的具有高解析度和高清晰度中的一者或兩者的顯示裝置，在可攜式或家用等的個人用途的電子裝置中可以進一步提高真實感及縱深感等。此外，對本發明的一個實施方式的顯示裝置的螢幕比例(縱橫比)沒有特別的限制。例如，顯示裝置可以適應1：1(正方形)、4：3、16：9及16：10等各種螢幕比例。

【0741】本實施方式的電子裝置也可以包括感測器(該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0742】本實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像或文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；或者讀出儲存在存儲介質中的程式或資料的功能；等。

【0743】使用圖39A至圖39D說明可戴在頭上的可穿戴裝置的一個例子。這些可穿戴裝置具有顯示AR內容的功能、顯示VR內容的功能、顯示SR內容的功能和顯示MR內容的功能中的至少一個。當電子裝置具有顯示AR、

VR、SR、MR等中的至少一個的內容的功能時，可以提高使用者的沉浸感。

【0744】圖39A所示的電子裝置700A以及圖39B所示的電子裝置700B都包括一對顯示面板751、一對外殼721、通訊部(未圖示)、一對安裝部723、控制部(未圖示)、成像部(未圖示)、一對光學構件753、眼鏡架757以及一對鼻墊758。

【0745】顯示面板751可以應用本發明的一個實施方式的顯示裝置。因此，可以實現極高清晰的電子裝置。

【0746】電子裝置700A及電子裝置700B都可以將由顯示面板751顯示的影像投影於光學構件753中的顯示區域756。因為光學構件753具有透光性，所以使用者可以與藉由光學構件753看到的透過影像重疊地看到顯示於顯示區域的影像。因此，電子裝置700A及電子裝置700B都是能夠進行AR顯示的電子裝置。

【0747】電子裝置700A及電子裝置700B上作為成像部也可以設置有能夠拍攝前方的照相機。另外，藉由在電子裝置700A及電子裝置700B設置陀螺儀感測器等的加速度感測器，可以檢測使用者的頭部朝向並將對應該方向的影像顯示在顯示區域756上。

【0748】通訊部具有無線通訊裝置，例如藉由該無線通訊裝置可以供應影像信號等。另外，代替無線通訊裝置或者除了無線通訊裝置以外還可以包括能夠連接供應影像信號及電源電位的電纜的連接器。

【0749】另外，電子裝置700A以及電子裝置700B設置有電池，可以以無線方式和有線方式中的一者或兩者進行充電。

【0750】外殼721也可以設置有觸控感測器模組。觸控感測器模組具有檢測外殼721的外側的面是否被觸摸的功能。藉由觸控感測器模組，可以檢測使用者的點按操作或滑動操作等而執行各種處理。例如，藉由點按操作可以執行動態影像的暫時停止或再生等的處理，藉由滑動操作可以執行快進、快退等的處理等。另外，藉由在兩個外殼721的每一個設置觸控感測器模組，可以擴大操作範圍。

【0751】作為觸控感測器模組，可以使用各種觸控感測器。例如，可以採用靜電電容式、電阻膜方式、紅外線方式、電磁感應方式、表面聲波式、光學方式等各種方式。尤其是，較佳為將靜電電容式或光學方式的感測器應用於觸控感測器模組。

【0752】在使用光學方式的觸控感測器時，作為受光元件可以使用光電轉換元件(也稱為光電轉換元件)。在光電轉換元件的活性層中可以使用無機半導體和有機半導體中的一者或兩者。

【0753】圖39C所示的電子裝置800A以及圖39D所示的電子裝置800B都包括一對顯示部820、外殼821、通訊部822、一對安裝部823、控制部824、一對成像部825以及一對透鏡832。

【0754】顯示部820可以應用本發明的一個實施方式

的顯示裝置。因此，可以實現極高清晰的電子裝置。

【0755】顯示部820設置在外殼821內部的透過透鏡832能看到的位置上。另外，藉由在一對顯示部820間顯示不同影像，可以進行利用視差的三維顯示。

【0756】可以將電子裝置800A以及電子裝置800B都稱為面向VR的電子裝置。裝上電子裝置800A或電子裝置800B的使用者透過透鏡832能看到顯示在顯示部820上的影像。

【0757】電子裝置800A及電子裝置800B較佳為具有一種機構，其中能夠調整透鏡832及顯示部820的左右位置，以根據使用者的眼睛的位置使透鏡832及顯示部820位於最合適的位置上。此外，較佳為具有一種機構，其中藉由改變透鏡832與顯示部820間的距離來調整焦點。

【0758】使用者可以使用安裝部823將電子裝置800A或電子裝置800B裝在頭上。在圖39C等中，例示出安裝部823具有如眼鏡的鏡腳(也稱為鉸鏈或腳絲等)那樣的形狀，但是不侷限於此。只要使用者能夠裝上，安裝部823就例如可以具有頭盔型或帶型的形狀。

【0759】成像部825具有取得外部的資訊的功能。可以將成像部825所取得的資料輸出到顯示部820。在成像部825中可以使用影像感測器。另外，也可以設置多個相機以能夠對應望遠及廣角等多種視角。

【0760】注意，在此示出包括成像部825的例子，設置能夠測量出與物件的距離的測距感測器(也稱為檢測部)

即可。換言之，成像部825是檢測部的一個實施方式。作為檢測部例如可以使用影像感測器或雷射雷達(LIDAR：Light Detection and Ranging)等距離影像感測器。藉由使用由相機取得的影像以及由距離影像感測器取得的影像，可以取得更多的資訊，可以實現精度更高的姿態操作。

【0761】電子裝置800A也可以包括被用作骨傳導耳機的振動機構。例如，作為顯示部820、外殼821和安裝部823中的任一個或多個可以採用包括該振動機構的結構。由此，不需要另行設置頭戴式耳機、耳機或揚聲器等音響設備，而只裝上電子裝置800A就可以享受影像和聲音。

【0762】電子裝置800A以及電子裝置800B也可以都包括輸入端子。可以將供應來自影像輸出設備等的影像信號以及用於對設置在電子裝置內的電池進行充電的電力等的電纜連線到輸入端子。

【0763】本發明的一個實施方式的電子裝置也可以具有與耳機750進行無線通訊的功能。耳機750包括通訊部(未圖示)，並具有無線通訊功能。耳機750藉由無線通訊功能可以從電子裝置接收資訊(例如聲音資料)。例如，圖39A所示的電子裝置700A具有藉由無線通訊功能將資訊發送到耳機750的功能。另外，例如圖39C所示的電子裝置800A具有藉由無線通訊功能將資訊發送到耳機750的功能。

【0764】另外，電子裝置也可以包括耳機部。圖39B所示的電子裝置700B包括耳機部727。例如，可以採用以

有線方式連接耳機部727和控制部的結構。連接耳機部727和控制部的佈線的一部分也可以配置在外殼721或安裝部723的內部。

【0765】同樣，圖39D所示的電子裝置800B包括耳機部827。例如，可以採用以有線方式連接耳機部827和控制部824的結構。連接耳機部827和控制部824的佈線的一部分也可以配置在外殼821或安裝部823的內部。另外，耳機部827和安裝部823也可以包括磁鐵。由此，可以用磁力將耳機部827固定到安裝部823，收納變得容易，所以是較佳的。

【0766】電子裝置也可以包括能夠與耳機或頭戴式耳機等連接的聲音輸出端子。另外，電子裝置也可以包括聲音輸入端子和聲音輸入機構中的一者或兩者。作為聲音輸入機構，例如可以使用麥克風等收音裝置。藉由將聲音輸入機構設置到電子裝置，可以使電子裝置具有所謂的耳麥的功能。

【0767】如此，作為本發明的一個實施方式的電子裝置，眼鏡型(電子裝置700A以及電子裝置700B等)和護目鏡型(電子裝置800A以及電子裝置800B等)的兩者都是較佳的。

【0768】另外，本發明的一個實施方式的電子裝置可以以有線或無線方式將資訊發送到耳機。

【0769】圖40A所示的電子裝置6500是可以被用作智慧手機的可攜式資訊終端設備。

【0770】電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、相機6507及光源6508等。顯示部6502具有觸控面板功能。

【0771】顯示部6502可以應用本發明的一個實施方式的顯示裝置。因此，可以實現極高清晰的電子裝置。

【0772】圖40B是包括外殼6501的麥克風6506一側的端部的剖面示意圖。

【0773】外殼6501的顯示面一側設置有具有透光性的保護構件6510，被外殼6501及保護構件6510包圍的空間內設置有顯示面板6511、光學構件6512、觸控感測器面板6513、印刷電路板6517及電池6518等。

【0774】顯示面板6511、光學構件6512及觸控感測器面板6513使用黏合層(未圖示)固定到保護構件6510。

【0775】在顯示部6502的外側的區域中，顯示面板6511的一部分疊回，且該疊回區域連接有FPC6515。FPC6515安裝有IC6516。FPC6515與設置於印刷電路板6517的端子連接。

【0776】顯示面板6511可以使用本發明的一個實施方式的撓性顯示器。由此，可以實現極輕量的電子裝置。此外，由於顯示面板6511極薄，所以可以在抑制電子裝置的厚度的情況下安裝大容量的電池6518。此外，藉由折疊顯示面板6511的一部分以在像素部的背面設置與FPC6515的連接部，可以實現窄邊框的電子裝置。

【0777】圖40C示出電視機的一個例子。在電視機

7100中，外殼7101中組裝有顯示部7000。在此示出利用支架7103支撐外殼7101的結構。

【0778】顯示部7000可以應用本發明的一個實施方式的顯示裝置。因此，可以實現極高清晰度的電子裝置。

【0779】可以藉由利用外殼7101所具備的操作開關以及另外提供的遙控器7111進行圖40C所示的電視機7100的操作。另外，也可以在顯示部7000中具備觸控感測器，也可以藉由用指頭等觸摸顯示部7000進行電視機7100的操作。另外，也可以在遙控器7111中具備顯示從該遙控器7111輸出的資訊的顯示部。藉由利用遙控器7111所具備的操作鍵或觸控面板，可以進行頻道及音量的操作，並可以對顯示在顯示部7000上的影像進行操作。

【0780】另外，電視機7100具備接收機及數據機等。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通訊網路，從而進行單向(從發送者到接收者)或雙向(發送者和接收者之間或接收者之間等)的資訊通訊。

【0781】圖40D示出膝上型個人電腦的一個例子。膝上型個人電腦7200包括外殼7211、鍵盤7212、指向裝置7213及外部連接埠7214等。在外殼7211中組裝有顯示部7000。

【0782】顯示部7000可以應用本發明的一個實施方式的顯示裝置。因此，可以實現極高清晰的電子裝置。

【0783】圖40E和圖40F示出數位看板的一個例子。

【0784】圖40E所示的數位看板7300包括外殼7301、顯示部7000及揚聲器7303等。此外，還可以包括LED燈、操作鍵(包括電源開關或操作開關)、連接端子、各種感測器及麥克風等。

【0785】圖40F示出設置於圓柱狀柱子7401上的數位看板7400。數位看板7400包括沿著柱子7401的曲面設置的顯示部7000。

【0786】在圖40E和圖40F中，可以將本發明的一個實施方式的顯示裝置用於顯示部7000。因此，可以實現極高清晰的電子裝置。

【0787】顯示部7000越大，一次能夠提供的資訊量越多。顯示部7000越大，越容易吸引人的注意，例如可以提高廣告宣傳效果。

【0788】藉由將觸控面板用於顯示部7000，不僅可以在顯示部7000上顯示靜態影像或動態影像，使用者還能夠直覺性地進行操作，所以是較佳的。另外，在用於提供路線資訊或交通資訊等資訊的用途時，可以藉由直覺性的操作提高易用性。

【0789】如圖40E和圖40F所示，數位看板7300或數位看板7400較佳為可以藉由無線通訊與使用者所攜帶的智慧手機等資訊終端設備7311或資訊終端設備7411聯動。例如，顯示在顯示部7000上的廣告資訊可以顯示在資訊終端設備7311或資訊終端設備7411的螢幕上。此外，藉由操作資訊終端設備7311或資訊終端設備7411，可以切換顯示部

7000的顯示。

【0790】此外，可以在數位看板7300或數位看板7400上以資訊終端設備7311或資訊終端設備7411的螢幕為操作單元(控制器)執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

【0791】圖41A至圖41G所示的電子裝置包括外殼9000、顯示部9001、揚聲器9003、操作鍵9005(包括電源開關或操作開關)、連接端子9006、感測器9007(該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)、麥克風9008等。

【0792】圖41A至圖41G所示的電子裝置具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像或文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體(程式)控制處理的功能；進行無線通訊的功能；或者讀出儲存在存儲介質中的程式或資料並進行處理的功能；等。注意，電子裝置的功能不侷限於上述功能，而可以具有各種功能。電子裝置可以包括多個顯示部。另外，也可以在電子裝置中設置相機等而使其具有如下功能：拍攝靜態影像或動態影像，且將所拍攝的影像儲存在存儲介質(外部存儲介質或內置於相機的存儲介質)中的功能；將

所拍攝的影像顯示在顯示部上的功能；等。

【0793】下面，詳細地說明圖41A至圖41G所示的電子裝置。

【0794】圖41A是示出可攜式資訊終端9101的立體圖。可以將可攜式資訊終端9101例如用作智慧手機。注意，在可攜式資訊終端9101中，也可以設置揚聲器9003、連接端子9006或感測器9007等。另外，作為可攜式資訊終端9101，可以將文字或影像資訊顯示在其多個面上。在圖41A中示出三個圖示9050的例子。另外，可以將以虛線的矩形示出的資訊9051顯示在顯示部9001的其他面上。作為資訊9051的一個例子，可以舉出提示收到電子郵件、SNS或電話等的資訊；電子郵件或SNS等的標題；電子郵件或SNS等的發送者姓名；日期；時間；電池餘量；以及電波強度等。或者，可以在顯示有資訊9051的位置上例如顯示圖示9050。

【0795】圖41B是示出可攜式資訊終端9102的立體圖。可攜式資訊終端9102具有將資訊顯示在顯示部9001的三個以上的面上的功能。在此，示出資訊9052、資訊9053及資訊9054分別顯示於不同的面上的例子。例如，在將可攜式資訊終端9102放在上衣口袋裡的狀態下，使用者能夠確認顯示在從可攜式資訊終端9102的上方看到的位置上的資訊9053。例如，使用者可以確認到該顯示而無需從口袋裡拿出可攜式資訊終端9102，由此能夠判斷是否接電話。

【0796】圖41C是示出平板終端9103的立體圖。平板

終端9103例如可以執行行動電話、電子郵件及文章的閱讀和編輯、播放音樂、網路通訊以及電腦遊戲等各種應用軟體。平板終端9103在外殼9000的正面包括顯示部9001、相機9002、麥克風9008及揚聲器9003，在外殼9000的左側面包括被用作用於操作的按鈕的操作鍵9005，在底面包括連接端子9006。

【0797】圖41D是示出手錶型可攜式資訊終端9200的立體圖。可以將可攜式資訊終端9200例如用作智慧手錶(註冊商標)。另外，顯示部9001的顯示面彎曲，可沿著其彎曲的顯示面進行顯示。此外，可攜式資訊終端9200例如藉由與可進行無線通訊的耳麥相互通訊可以進行免提通話。此外，藉由利用連接端子9006，可攜式資訊終端9200可以與其他資訊終端進行資料傳輸及進行充電。充電也可以藉由無線供電進行。

【0798】圖41E至圖41G是示出可以折疊的可攜式資訊終端9201的立體圖。另外，圖41E是將可攜式資訊終端9201展開的狀態的立體圖、圖41G是折疊的狀態的立體圖、圖41F是從圖41E的狀態和圖41G的狀態中的一個轉換成另一個時中途的狀態的立體圖。可攜式資訊終端9201在折疊狀態下可攜性好，而在展開狀態下因為具有無縫拼接較大的顯示區域所以顯示的瀏覽性強。可攜式資訊終端9201所包括的顯示部9001被由鉸鏈9055連結的三個外殼9000支撐。顯示部9001例如可以在曲率半徑0.1mm以上且150mm以下的範圍彎曲。

【0799】本實施方式可以與其他實施方式適當地組合。此外，在本說明書中，在一個實施方式中示出多個結構例子的情況下，可以適當地組合該結構例子。

【0800】

實施方式5

實施方式1所說明的電晶體200的應用範圍不侷限於顯示裝置、包括顯示裝置的電子裝置等。在本實施方式中，參照圖42A、圖42B以及圖43A至圖43H，對根據本發明的一個實施方式的使用將氧化物用於半導體的電晶體(以下有時稱為OS電晶體)的記憶體裝置(以下有時稱為OS記憶體裝置)進行說明。OS記憶體裝置是至少包括電容器和控制電容器的充放電的OS電晶體的記憶體裝置。因為OS電晶體的關態電流極低所以OS記憶體裝置具有優良的保持特性，從而可以被用作非揮發性記憶體。

【0801】

<記憶體裝置的結構例子>

圖42A示出OS記憶體裝置的結構的一個例子。記憶體裝置1400包括週邊電路1411及記憶單元陣列1470。週邊電路1411包括行電路1420、列電路1430、輸出電路1440及控制邏輯電路1460。

【0802】列電路1430例如包括列解碼器、預充電電路、感測放大器及寫入電路等。預充電電路具有對佈線進行預充電的功能。感測放大器具有放大從記憶單元讀出的資料信號的功能。注意，上述佈線是連接到記憶單元陣列

1470所包括的記憶單元的佈線，下面描述其詳細內容。被放大的資料信號作為資料信號RDATA透過輸出電路1440輸出到記憶體裝置1400的外部。此外，行電路1420例如包括行解碼器、字線驅動器電路等，並可以選擇要存取的行。

【0803】對記憶體裝置1400從外部供應作為電源電壓的低電源電壓(VSS)、用於週邊電路1411的高電源電壓(VDD)及用於記憶單元陣列1470的高電源電壓(VIL)。此外，對記憶體裝置1400從外部輸入控制信號(CE、WE、RE)、位址信號ADDR及資料信號WDATA。位址信號ADDR被輸入到行解碼器及列解碼器，資料信號WDATA被輸入到寫入電路。

【0804】控制邏輯電路1460對從外部輸入的控制信號(CE、WE、RE)進行處理來生成行解碼器及列解碼器的控制信號。控制信號CE是晶片賦能信號，控制信號WE是寫入賦能信號，並且控制信號RE是讀出賦能信號。控制邏輯電路1460所處理的信號不侷限於此，根據需要而輸入其他控制信號即可。

【0805】記憶單元陣列1470包括配置為行列狀的多個記憶單元MC及多個佈線。注意，連接記憶單元陣列1470和行電路1420的佈線的個數取決於記憶單元MC的結構、包括在一個列中的記憶單元MC的個數等。此外，連接記憶單元陣列1470和列電路1430的佈線的個數取決於記憶單元MC的結構、包括在一個行中的記憶單元MC的個數等。

【0806】此外，雖然在圖42A中示出在同一平面上形成週邊電路1411和記憶單元陣列1470的例子，但是本實施方式不侷限於此。例如，如圖42B所示，也可以以重疊於週邊電路1411的一部分上的方式設置記憶單元陣列1470。例如，也可以採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構。

【0807】在圖43A至圖43H中說明可用於上述記憶單元MC的記憶單元的結構例子。

【0808】

[DOSRAM]

圖43A至圖43C示出DRAM的記憶單元的電路結構例子。在本說明書等中，有時將使用1OS電晶體1電容器型記憶單元的DRAM稱為DOSRAM(Dynamic Oxide Semiconductor Random Access Memory，動態氧化物半導體隨機存取記憶體)。圖43A所示的記憶單元1471包括電晶體M1及電容器CA。此外，電晶體M1包括閘極(有時稱為頂閘極)及背閘極。

【0809】電晶體M1的第一端子與電容器CA的第一端子連接，電晶體M1的第二端子與佈線BIL連接，電晶體M1的閘極與佈線WOL連接，電晶體M1的背閘極與佈線BGL連接。電容器CA的第二端子與佈線LL連接。

【0810】佈線BIL被用作位元線，佈線WOL被用作字線。佈線LL被用作用來對電容器CA的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，佈線LL可以為接

地電位，也可以為低位準電位。佈線BGL被用作用來對電晶體M1的背閘極施加電位的佈線。藉由對佈線BGL施加任意電位，可以增加或減少電晶體M1的臨界電壓。

【0811】此外，記憶單元MC不侷限於記憶單元1471，而可以改變其電路結構。例如，記憶單元MC也可以採用如圖43B所示的記憶單元1472那樣的電晶體M1的背閘極不與佈線BGL連接，而與佈線WOL連接的結構。此外，例如，記憶單元MC也可以是如圖43C所示的記憶單元1473那樣的由單閘極結構的電晶體構成的記憶單元，亦即，不包括背閘極的電晶體M1構成的記憶單元。

【0812】在將上述實施方式所示的半導體裝置用於記憶單元1471等的情況下，作為電晶體M1可以使用電晶體200。藉由作為電晶體M1使用OS電晶體，可以使電晶體M1的關態電流極低。換言之，因為可以由電晶體M1長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。或者，還可以不進行記憶單元的更新工作。此外，由於關態電流極低，因此可以將多值資料或類比資料保持在記憶單元1471、記憶單元1472、記憶單元1473中。

【0813】此外，在DOSRAM中，在如此那樣地採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構時，可以縮短位元線。由此，位元線電容減小，從而可以減少記憶單元的存儲電容。

【0814】

[NOSRAM]

圖43D至圖43G示出2電晶體1電容器的增益單元型記憶單元的電路結構例子。圖43D所示的記憶單元1474包括電晶體M2、電晶體M3、電容器CB。此外，電晶體M2包括頂閘極(有時簡稱為閘極)及背閘極。在本說明書等中，有時將包括將OS電晶體用於電晶體M2的增益單元型記憶單元的記憶體裝置稱為NOSRAM(Nonvolatile Oxide Semiconductor RAM，非揮發性氧化物半導體RAM)。

【0815】電晶體M2的第一端子與電容器CB的第一端子連接，電晶體M2的第二端子與佈線WBL連接，電晶體M2的閘極與佈線WOL連接，電晶體M2的背閘極與佈線BGL連接。電容器CB的第二端子與佈線CAL連接。電晶體M3的第一端子與佈線RBL連接，電晶體M3的第二端子與佈線SL連接，電晶體M3的閘極與電容器CB的第一端子連接。

【0816】佈線WBL被用作寫入位元線，佈線RBL被用作讀出位元線，佈線WOL被用作字線。佈線CAL被用作用來對電容器CB的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，較佳為對佈線CAL施加高位準電位。另外，在保持資料時，較佳為對佈線CAL施加低位準電位。佈線BGL被用作用來對電晶體M2的背閘極施加電位的佈線。藉由對佈線BGL施加任意電位，可以增加或減少電晶體M2的臨界電壓。

【0817】此外，記憶單元MC不侷限於記憶單元1474，而可以適當地改變其電路結構。例如，記憶單元

MC也可以採用如圖43E所示的記憶單元1475那樣的電晶體M2的背閘極不與佈線BGL連接，而與佈線WOL連接的結構。此外，例如，記憶單元MC也可以是如圖43F所示的記憶單元1476那樣的由單閘極結構的電晶體，亦即，不包括背閘極的電晶體M2構成的記憶單元。此外，例如，記憶單元MC也可以具有如圖43G所示的記憶單元1477那樣的將佈線WBL和佈線RBL組合為一個佈線BIL的結構。

【0818】在將上述實施方式所示的半導體裝置用於記憶單元1474等的情況下，作為電晶體M2可以使用電晶體200。藉由作為電晶體M2使用OS電晶體，可以使電晶體M2的關態電流極低。由此，因為可以由電晶體M2長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。或者，還可以不進行記憶單元的更新工作。此外，由於關態電流極低，因此可以將多值資料或類比資料保持在記憶單元1474中。記憶單元1475至記憶單元1477也是同樣的。

【0819】此外，電晶體M3也可以是在通道形成區域中包含矽的電晶體(以下有時稱為Si電晶體)。Si電晶體的導電型可以是n通道型或p通道型。Si電晶體的場效移動率有時比OS電晶體高。因此，作為被用作讀出電晶體的電晶體M3，也可以使用Si電晶體。此外，藉由將Si電晶體用於電晶體M3，可以層疊於電晶體M3上地設置電晶體M2，從而可以減少記憶單元的佔有面積，並可以實現記憶體裝置的高積體化。

【0820】此外，電晶體M3也可以是OS電晶體。在將

OS電晶體用於電晶體M2、電晶體M3時，在記憶單元陣列1470中可以只使用n型電晶體構成電路。

【0821】此外，圖43H示出3電晶體1電容器的增益單元型記憶單元的一個例子。圖43H所示的記憶單元1478包括電晶體M4至電晶體M6及電容器CC。電容器CC是適當地設置的。記憶單元1478與佈線BIL、佈線RWL、佈線WWL、佈線BGL及佈線GNDL電連接。佈線GNDL是供應低位準電位的佈線。此外，也可以將記憶單元1478電連接到佈線RBL、佈線WBL，而不與佈線BIL電連接。

【0822】電晶體M4是包括背閘極的OS電晶體，該背閘極與佈線BGL電連接。此外，也可以使電晶體M4的背閘極和閘極互相電連接。或者，電晶體M4也可以不包括背閘極。

【0823】此外，電晶體M5、電晶體M6各自可以是n通道型Si電晶體或p通道型Si電晶體。或者，電晶體M4至電晶體M6也可以都是OS電晶體。在此情況下，可以在記憶單元陣列1470中只使用n型電晶體構成電路。

【0824】在將上述實施方式所示的半導體裝置用於記憶單元1478時，作為電晶體M4可以使用電晶體200。藉由作為電晶體M4使用OS電晶體，可以使電晶體M4的關態電流極低。

【0825】注意，本實施方式所示的週邊電路1411及記憶單元陣列1470等的結構不侷限於上述結構。此外，也可以根據需要改變、去除或追加這些電路及連接到該電路的

佈線、電路元件等的配置或功能。

【0826】以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而使用。

【0827】

實施方式6

在本實施方式中，說明安裝有本發明的半導體裝置的記憶體裝置、晶片及電子裝置。

【0828】

<記憶體裝置>

上述實施方式所示的半導體裝置例如可以應用於各種電子裝置(例如，資訊終端、電腦、智慧手機、電子書閱讀器終端、數位相機(也包括攝影機)、錄影再現裝置、導航系統等)的記憶體裝置。這裡，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶卡(例如，SD卡)、USB記憶體、SSD(固態硬碟)等各種卸除式存放裝置。

【0829】

<晶片>

在晶片上安裝有多個電路(系統)。如此，在一個晶片上集成有多個電路(系統)的技術有時被稱為系統晶片(System on Chip：SoC)。

【0830】晶片包括CPU、GPU、一個或多個類比運算

部、一個或多個記憶體控制器、一個或多個介面、一個或多個網路電路等。

【0831】晶片設置有凸塊，該凸塊與印刷電路板(Printed Circuit Board：PCB)的第一面連接。此外，在PCB的第一面的背面設置有多個凸塊，該凸塊與主機板連接。

【0832】此外，也可以在主機板上設置有DRAM、快閃記憶體等記憶體裝置。例如，可以將上述實施方式所示的DOSRAM應用於DRAM。此外，例如，可以將上述實施方式所示的NOSRAM應用於快閃記憶體。

【0833】CPU較佳為具有多個CPU核心。此外，GPU較佳為具有多個GPU核。此外，CPU和GPU可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片上設置有CPU和GPU共同使用的記憶體。可以將上述NOSRAM或DOSRAM應用於該記憶體。此外，GPU適合用於多個資料的平行計算，其可以用於影像處理及積和運算。藉由在GPU中設置使用本發明的氧化物半導體的影像處理電路及積和運算電路，可以以低功耗執行影像處理及積和運算。

【0834】類比運算部具有A/D(類比/數位)轉換電路和D/A(數位/類比)轉換電路中的一者或兩者。此外，也可以在類比運算部中設置上述積和運算電路。

【0835】記憶體控制器具有用作DRAM的控制器的電路及用作快閃記憶體的介面的電路。

【0836】介面具有與如顯示裝置、揚聲器、麥克風、

影像拍攝裝置、控制器等外部連接設備之間的介面電路。

【0837】網路電路具有LAN(Local Area Network：區域網路)等網路電路。此外，還可以具有網路安全用電路。

【0838】可以將設置有具有GPU的晶片的PCB、DRAM及設置有快閃記憶體的主機板稱為GPU模組。

【0839】GPU模組因具有使用SoC技術的晶片而可以減少其尺寸。此外，GPU模組因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式(可攜帶)遊戲機等可攜式電子裝置。此外，藉由利用使用GPU的積和運算電路，可以執行深度神經網路(DNN)、卷積神經網路(CNN)、遞迴神經網路(RNN)、自編碼器、深度波茲曼機(DBM)、深度置信網路(DBN)等方法，由此可以將晶片用作AI晶片，或者，可以將GPU模組用作AI系統模組。

【0840】

<電子裝置>

上述晶片可以安裝在各種電子裝置中。作為電子裝置的例子，例如除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板(Digital Signage)、彈珠機等大型遊戲機、大型電腦等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機(智慧手機)、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、移動體、電器產品等。例如，作為

移動體，也可以舉出汽車、電車、單軌鐵路、船舶、飛行物(直升機、無人駕駛飛機(無人機)、飛機、火箭)等。另外，作為電器產品，例如可以舉出電冷藏冷凍箱、吸塵器、微波爐、電烤箱、電鍋、熱水器、IH炊具、飲水機、包括空調的冷暖空調機、洗衣機、乾衣機、視聽設備等。此外，藉由將上述晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0841】本發明的一個實施方式的電子裝置也可以包括天線。藉由由天線接收信號，可以在顯示部上顯示影像或資訊等。另外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0842】本發明的一個實施方式的電子裝置也可以包括感測器(該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0843】本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像、文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。

【0844】在本實施方式中說明的電子裝置、該電子裝

置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0845】本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施例1

【0846】在本實施例中，對使用乾蝕刻法蝕刻氧化物半導體的速度進行評價，並且對使用乾蝕刻法加工為島狀的氧化物半導體進行剖面觀察。

【0847】在本實施例中，作為氧化物半導體使用In-Ga-Zn氧化物。在此，表1示出蝕刻In-Ga-Zn氧化物時產生的副產物的沸點。如表1所示，In、Ga及Zn的每一個的鹵素化合物的沸點高，所以在蝕刻In-Ga-Zn氧化物時通常使用濕蝕刻法。然而，使用濕蝕刻法形成微細圖案是困難的。因此，在形成In-Ga-Zn氧化物的微細圖案時，較佳為使用乾蝕刻法。另外，In、Ga及Zn的每一個的有機化合物的沸點低於In、Ga及Zn的每一個的鹵素化合物的沸點，所以作為In-Ga-Zn氧化物的蝕刻氣體有時除了氯氣體等的鹵素氣體以外還使用包含甲烷的氣體。

【0848】

[表 1]

	In	Ga	Zn
氯化物	800 ℃ $InCl_3$	201.2 ℃ $GaCl_3$	732 ℃ $ZnCl_2$
氟化物	1200 ℃ InF_3	1000 ℃ GaF_3	1500 ℃ ZnF_2

【0849】首先，說明對使用乾蝕刻法蝕刻氧化物的速度進行評價的結果。明確而言，使乾蝕刻製程中的蝕刻氣體以及施加到電極的高頻功率的條件不同而評價氧化物半導體的蝕刻速度。另外，為了使蝕刻氣體以及施加到電極的高頻功率的條件不同，準備具有相同結構的多個樣本。

【0850】以如下方式製造樣本。首先，在矽晶圓上沉積用作蝕刻停止膜的氧化矽膜，在該氧化矽膜上沉積膜厚度為100nm的氧化物半導體，在該氧化物半導體上形成光阻遮罩。在此，在氧化物半導體的沉積中，利用DC濺射法，作為沉積氣體使用氧氣體45sccm，沉積壓力為0.7Pa，沉積功率為500W，基板溫度為200℃，靶材和基板的間距為60mm。使用該條件沉積的氧化物半導體成為具有CAAC結構的氧化物半導體(CAAC-OS)。

【0851】使用CCP蝕刻裝置對上述樣本進行乾蝕刻製程。作為在乾蝕刻製程中相同的條件，施加到上部電極的高頻功率為1000W，壓力為1.2Pa，基板溫度為70℃，處理時間為30秒。另外，蝕刻氣體使用氯(Cl_2)氣體、氯及氬(Ar)的混合氣體(Cl_2：Ar=7：3)或者甲烷(CH_4)及氬的混合氣體(CH_4：Ar=7：3)。另外，施加到下部電極的高頻功率

在0W至400W的範圍內。

【0852】圖44示出各條件下的氧化物半導體的蝕刻速度。在圖44中，縱軸表示氧化物半導體的蝕刻速度(CAAC-OS etching rate)[nm/min]，橫軸表示施加到下部電極的高頻功率(Bottom rf)[W]。另外，在圖44中，以菱形表示的繪圖是作為蝕刻氣體使用氯氣體(Cl_2)時的結果，以黑色圓圈表示的繪圖是作為蝕刻氣體使用氯及氬的混合氣體(Cl_2/Ar)時的結果，以白色圓圈表示的繪圖是作為蝕刻氣體使用甲烷及氬的混合氣體(CH_4/Ar)時的結果。

【0853】從圖44可知：藉由使用氯氣體、氯及氬的混合氣體或甲烷及氬的混合氣體的乾蝕刻可以蝕刻氧化物半導體。因此，藉由作為蝕刻氣體使用包含鹵素或甲烷的氣體，可以精密地形成In-Ga-Zn氧化物的微細圖案。另外，可知：在使用氯氣體、氯及氬的混合氣體和甲烷及氬的混合氣體的任意個時，氧化物半導體的蝕刻速度都對施加到下部電極的高頻功率具有高依賴性。就是說，可知氧化物半導體的乾蝕刻取決於離子濺射及包括化學反應的反應蝕刻的機制。換言之，氧化物半導體的乾蝕刻需要較高離子入射能量的輔助效果。

【0854】接著，對包括使用乾蝕刻法加工為島狀的氧化物半導體的樣本進行剖面觀察。

【0855】首先，使用圖45C說明上述樣本的製造方法。注意，製造方法的詳細內容可以參考實施方式1。

【0856】準備矽晶圓，在該矽晶圓上藉由CVD法沉積

膜厚度為200nm的氧氮化矽。該氧氮化矽相當於實施方式1所說明的絕緣體216。

【0857】在氧氮化矽上藉由ALD法沉積膜厚度為20nm的氧化鉿。該氧化鉿相當於實施方式1所說明的絕緣體222。

【0858】在上述氧化鉿上藉由濺射法沉積膜厚度為20nm的第一氧化矽膜。第一氧化矽膜相當於實施方式1所說明的絕緣膜224A。

【0859】在第一氧化矽膜上藉由濺射法沉積氧化物半導體膜。該氧化物半導體膜具有第一氧化物半導體膜與第一氧化物半導體膜上的第二氧化物半導體膜的疊層結構。在沉積第一氧化物半導體膜時，使用In：Ga：Zn=1：3：4[原子數比]的氧化物靶材。在沉積第二氧化物半導體膜時，使用In：Ga：Zn=1：1：1[原子數比]的氧化物靶材。第一氧化物半導體膜的膜厚度為10nm，第二氧化物半導體膜的膜厚度為15nm。第一氧化物半導體膜及第二氧化物半導體膜分別相當於實施方式1所說明的氧化膜230A及氧化膜230B。由於上述氧化物半導體膜具有CAAC結構，所以在圖45C中將其表示為“CAAC-OS”。

【0860】在上述氧化物半導體膜上藉由濺射法依次沉積膜厚度為20nm的氮化鉭膜、膜厚度為5nm的氮化矽膜以及膜厚度為10nm的第二氧化矽膜。注意，該氮化鉭膜、該氮化矽膜及第二氧化矽膜使用多室型濺射裝置以不暴露於大氣的方式連續沉積。該氮化鉭膜相當於實施方式1所

說明的導電膜242A，該氮化矽膜與第二氧化矽膜的疊層膜相當於絕緣膜271A。

【0861】第二氧化矽膜上沉積鎢膜。

【0862】在上述鎢膜上形成有機遮罩，將該有機遮罩作為遮罩藉由乾蝕刻法將上述鎢膜、第二氧化矽膜、上述氮化矽膜及上述氮化鉭膜加工為島狀，來形成島狀的鎢層(圖45C中的“Metal Mask”)、氧化矽層、氮化矽層及氮化鉭層(參照圖45C中的左側的圖)。該氮化鉭膜相當於實施方式1所說明的導電層242B，該氮化矽膜與該氧化矽層的疊層體相當於絕緣層271B。導電層242B是成為源極電極及汲極電極的導電層，所以在圖45C中表示為“S/D metal”。另外，上述氮化矽層及上述氧化矽層的疊層體被用作蝕刻停止層，所以在圖45C中表示為“Etch stopper”。

【0863】接著，使用上述島狀的鎢層作為遮罩藉由乾蝕刻法加工具有疊層結構的氧化物半導體膜，來形成島狀的氧化物半導體(參照圖45C中的中央的圖)。該島狀的氧化物半導體具有由第一氧化物半導體膜形成的第一氧化物半導體與由第二氧化物半導體膜形成的第二氧化物半導體的疊層結構。另外，作為蝕刻氣體使用甲烷及氬的混合氣體。在形成島狀的氧化物半導體時島狀的鎢層的端部被去除，但是上述氮化鉭層的形狀被保持。

【0864】接著，去除上述島狀的鎢層(參照圖45C中的右側的圖)。此時，上述氮化鉭層被上述氮化矽層與上述氧化矽層的疊層體保護，所以上述氮化鉭層的形狀被保

持。

【0865】藉由上述步驟，製造包括島狀的氧化物半導體的樣本。作為示出該樣本的結構的剖面圖，可以參照圖9B。

【0866】在此，說明與使用圖45C說明的樣本的製造方法不同的製造方法。圖45A示出使用有機遮罩(圖45A所示的“organic mask”)代替圖45C中的“Metal mask”及“Etch stopper”加工氧化物半導體膜的方法的例子。另外，圖45B示出不使用圖45C中的“Metal mask”及“Etch stopper”加工氧化物半導體膜的方法的例子。

【0867】在使用甲烷及氫的混合氣體蝕刻氧化物半導體膜時，作為反應生成物產生有機金屬化合物。在使用有機遮罩蝕刻氧化物半導體膜時，反應生成物(圖45A中的“reaction product”)再附著於有機遮罩及氧化物半導體的側面而形成層(圖45A中的“rabbit ear”)。

【0868】為了抑制上述層(圖45A中的“rabbit ear”)的形成，可想到如下方法：使用有機遮罩形成成為源極電極及汲極電極的導電層(圖45B中的“S/D metal”)，去除該有機遮罩，使用該導電層作為遮罩蝕刻氧化物半導體膜。然而，如上所述，在蝕刻氧化物半導體時，需要較高離子入射能量的輔助效果。因此，在使用上述導電層作為遮罩蝕刻氧化物半導體膜時，上述導電層的端部被去除(Reduced cross-sectional area)而上述導電層的剖面積縮小(參照圖45B中的右側的圖)。電晶體越微型化，上述導電層的剖面

積的縮小越對電晶體的特性帶來不好影響。

【0869】如此，藉由使用圖45C所示的方法蝕刻氧化物半導體，可以實現微型的島狀氧化物半導體的加工。

【0870】對所製造的樣本藉由日立高新技術公司製造的“HD-2700”拍攝了剖面STEM影像。圖46示出所製造的樣本的剖面STEM影像。圖46所示的“Etch Stopper”表示上述氮化矽層與上述氧化矽層的疊層體，“S/D metal”表示上述氮化鉭層，“CAAC-OS”表示具有疊層結構的島狀的氧化物半導體。

【0871】如圖46所示，第一氧化物半導體與第二氧化物半導體的介面的通道寬度方向的長度為36.5nm。

【0872】另外，如圖46所示，當在氮化鉭膜上設置硬遮罩及蝕刻停止膜時，在氧化物半導體的側面不形成層(rabbit ear)。另外，可知氮化鉭層的側面與頂面交叉的端部成為角狀。換言之，在蝕刻氧化物半導體之後也保持氮化鉭層的形狀。由此，與該端部具有曲面的情況相比，可以進一步增大氮化鉭層的剖面積。

【0873】本實施例可以與實施方式或其他實施例所示的構成、結構、方法等適當地組合而使用。

實施例2

【0874】在本實施例中，說明藉由器件模擬對包括絕緣體244a及絕緣體244b的電晶體進行檢驗的結果。使用Synopsys公司的TCAD Sentaurus進行該器件模擬。

【0875】圖47A及圖47B是用於器件模擬的電晶體的剖面示意圖。圖47A是該電晶體的通道長度方向的剖面示意圖。另外，圖47B是該電晶體的通道寬度方向的剖面示意圖。

【0876】用於器件模擬的電晶體包括背閘極電極(backgate，BGE)、背閘極電極上的背閘極絕緣膜(backgate insulator，BGI)、背閘極絕緣膜上的具有CAAC結構的氧化物半導體(CAAC-OS)、氧化物半導體上的源極電極及汲極電極(S/D metal)、與氧化物半導體重疊的頂閘極電極(topgate，TGE)、位於氧化物半導體與頂閘極電極間的頂閘極絕緣膜(topgate insulator，TGI)。另外，該電晶體包括位於源極電極和汲極電極中的一個與頂閘極絕緣膜間的氧化物(Oxide)以及位於源極電極和汲極電極中的另一個與頂閘極絕緣膜間的氧化物。以下，將位於源極電極和汲極電極中的一個與頂閘極絕緣膜間的氧化物記作第一氧化物，並且將源極電極和汲極電極中的另一個與頂閘極絕緣膜間的氧化物記作第二氧化物。

【0877】另外，用於器件模擬的電晶體對應於實施方式1所說明的電晶體200。明確而言，上述背閘極電極對應於導電體205，上述背閘極絕緣膜對應於絕緣體222及絕緣體224，上述氧化物半導體對應於氧化物230，上述源極電極及汲極電極對應於導電體242a及導電體242b，上述頂閘極絕緣膜對應於絕緣體252、絕緣體250及絕緣體254，並且頂閘極電極對應於導電體260。另外，第一氧化物及第

二氧化物分別對應於絕緣體244a及絕緣體244b。

【0878】首先，評價第一氧化物及第二氧化物的每一個的通道長度方向的長度對電晶體的電特性帶來的影響。在用於本器件模擬的電晶體中，第一氧化物的通道長度方向的長度(圖47A中的condition)為0nm、3nm、5nm或10nm。另外，第二氧化物的通道長度方向的長度與第一氧化物的通道長度方向的長度相等。在此，第一氧化物的通道長度方向的長度對應於實施方式1所說明的長度D1。另外，可以說第一氧化物及第二氧化物的每一個的通道長度方向的長度都為0nm的電晶體是不包括第一氧化物及第二氧化物的電晶體。

【0879】另外，閘極長度(通道長度方向的頂閘極電極的寬度)為6.5nm。另外，第一氧化物的側面與第二氧化物的側面間的距離為20.5nm。另外，氧化物半導體的通道寬度方向的長度為26.9nm。

【0880】表2示出上述以外的在器件模擬中設定的參數。

【0881】

[表2]

TGE	功函數	4.7	eV
TGI	物理厚度	7	nm
	EOT	5.1	nm
S/D電極	功函數	4.5	eV
BGI	物理厚度	40	nm
	EOT	25	nm
BGE	功函數	5.0	eV
CAAC-OS	電子親和力	4.7	eV
	能帶間隙 (300K)	3.2	eV
	相對介電常數	15	
	電子移動率	6	cm^2/Vs
	電洞移動率	0.01	cm^2/Vs
	導帶 狀態密度（300K）	5.0×10^{18}	cm^{-3}
	價帶 狀態密度（300K）	5.0×10^{18}	cm^{-3}
	膜厚度	25	nm
	施體濃度（通道形成區域）	1.0×10^{16}	cm^{-3}
	施體濃度（S/D區域）	1.0×10^{20}	cm^{-3}

【0882】使用上述電晶體及參數進行器件模擬而算出電容(Cg)-頂閘極電壓(Vg)特性及Id-Vg特性。另外，在算出Cg-Vg特性時，Vs-Vd=Vbg=0V。另外，在算出Id-Vg特性時，Vs=Vbg=0V。

【0883】圖48A及圖48B示出器件模擬結果。圖48A示出所算出的Cg-Vg特性，圖48B示出所算出的Id-Vg特性。在圖48A中，縱軸表示頂閘極電極與汲極電極間的電容Cg[fF]且橫軸表示頂閘極電壓Vg[V]。另外，在圖48B中，縱軸表示汲極電流Id[A]且橫軸表示頂閘極電壓Vg[V]。

【0884】另外，圖48A及圖48B中的點線表示使用第一氧化物的通道長度方向的長度為0nm的電晶體得到的結

果，圖48A及圖48B中的虛線表示使用第一氧化物的通道長度方向的長度為3nm的電晶體得到的結果，圖48A及圖48B中的點劃線表示使用第一氧化物的通道長度方向的長度為5nm的電晶體得到的結果，圖48A及圖48B中的實線表示使用第一氧化物的通道長度方向的長度為10nm的電晶體得到的結果。

【0885】從圖48A確認到：藉由設置第一氧化物及第二氧化物，寄生電容降低。另一方面，影響到通道的電場的電容值沒有變化，這意味著寄生電容相對地降低。由此，本發明的一個實施方式的電晶體可以高速工作且實現低功耗化。

【0886】從圖48B確認到：藉由設置第一氧化物及第二氧化物，臨界電壓Vth向正方向漂移。可認為這是因為如下緣故：藉由設置第一氧化物及第二氧化物，縱方向的電場強度相對地增大而短通道效應得到抑制。

【0887】由此，藉由增大實施方式所說明的絕緣體244a及絕緣體244b的每一個的通道長度方向的長度，可以減少頂閘極電極與汲極電極間的寄生電容。另外，可以抑制短通道效應。

【0888】從上述結果可知，實施方式所說明的絕緣體244a的通道長度方向的長度(長度D1)較佳為1nm以上、3nm以上或5nm以上且20nm以下、15nm以下或10nm以下。

【0889】接著，評價氧化物半導體的通道寬度方向的長度對通道長度較小的電晶體(短通道電晶體)的電特性帶

來的影響。

【0890】在用於本器件模擬的電晶體中，第一氧化物及第二氧化物的每一個的通道長度方向的長度都為3nm。另外，閘極長度為6.5nm。另外，第一氧化物的側面與第二氧化物的側面間的距離為20.5nm。另外，氧化物半導體的通道寬度方向的長度(channel width)為26.9nm、45nm或60nm。

【0891】上述以外的在器件模擬中設定的參數與表2所示的參數相同。

【0892】使用上述電晶體及參數進行器件模擬而算出Id-Vg特性。另外，在算出Id-Vg特性時，Vs=Vbg=0V且Vd=1.2V。

【0893】圖49A至圖49C示出器件模擬結果。圖49A示出所算出的Id-Vg特性。在圖49A中，縱軸表示每通道寬度1μm的汲極電流Id[A/μm]且橫軸表示頂閘極電壓Vg[V]。另外，圖49A中的實線表示使用氧化物半導體的通道寬度方向的長度為26.9nm的電晶體得到的結果，圖49A中的虛線表示使用氧化物半導體的通道寬度方向的長度為45nm的電晶體得到的結果，圖49A中的點線表示使用氧化物半導體的通道寬度方向的長度為60nm的電晶體得到的結果。

【0894】圖49B示出從所算出的Id-Vg特性估計的臨界電壓Vth的結果，圖49C示出頂閘極電壓Vg=Vth+2[V]時的每通道寬度1μm的汲極電流Id[μA/μm]的結果。

【0895】從圖49B可知：即使改變氧化物半導體的通

道寬度方向的長度，臨界電壓Vth的變動仍然較小。另外，從圖49C可知：在頂閘極電壓較高的條件(Vg=Vth+2[V])下，氧化物半導體的通道寬度方向的長度越小，汲極電流越大。可認為這是因為如下緣故：在縮小氧化物半導體的通道寬度方向的長度時，單位通道的電場強度進一步增加。

【0896】另外，已知由緩變通道近似(GCA：gradual channel approximation)表示的MOSFET的汲極電流與半導體層的通道寬度成比例，但是上述結果說明微型電晶體因通道長度方向的電場的影響而不能得到與GCA符合的特性。

【0897】由此，可知：藉由減小氧化物半導體的通道寬度方向的長度，可以製造即使使用氧化物半導體的通道長度方向的長度較小的電晶體(通道長度較小的電晶體)也可以維持驅動能力的器件。

【0898】本實施例可以與實施方式或其他實施例所示的構成、結構、方法等適當地組合而使用。

實施例3

【0899】在本實施例中，製造包括多個電晶體的樣本並對該電晶體的結構、該電晶體所包括的金屬氧化物的結晶性及該電晶體的電特性進行評價。

【0900】

[樣本的製造]

包括在樣本中的電晶體相當於圖22A至圖22D所示的電晶體。因此，包括在樣本中的電晶體的剖面結構可以援用圖22A至圖22D。注意，作為包括在樣本中的電晶體的設計值，通道長度為20nm，通道寬度為20nm。

【0901】以下，說明樣本的製造方法。注意，製造方法的詳細內容可以參考實施方式1。

【0902】絕緣體212使用膜厚度為60nm的氮化矽。絕緣體212使用矽靶材藉由脈衝DC濺射法形成。

【0903】絕緣體214使用膜厚度為40nm的氧化鋁。絕緣體214使用鋁靶材藉由脈衝DC濺射法形成。

【0904】絕緣體216使用膜厚度為130nm的氧化矽。絕緣體216使用矽靶材藉由脈衝DC濺射法形成。

【0905】絕緣體212、絕緣體214及絕緣體216使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【0906】導電體205a使用利用金屬CVD法沉積的氮化鈦膜形成。導電體205b使用利用金屬CVD法沉積的鎢膜形成。

【0907】絕緣體222使用藉由ALD法沉積的膜厚度為20nm的氧化鉿。

【0908】絕緣體224使用藉由濺射法沉積的膜厚度為20nm的氧化矽膜形成。

【0909】氧化物230a使用藉由DC濺射法沉積的膜厚度為10nm的氧化膜形成。注意，在沉積成為氧化物230a的氧化膜時使用In：Ga：Zn=1：3：4[原子數比]的氧化物靶

材。

【0910】氧化物230b使用藉由RF濺射法沉積的膜厚度為15nm的氧化膜形成。注意，在沉積成為氧化物230b的氧化膜時使用In：Ga：Zn=1：1：1.2[原子數比]的氧化物靶材。

【0911】作為導電體242a及導電體242b，使用藉由濺射法沉積的膜厚度為20nm的氮化鉭膜形成。注意，作為成為導電體242a及導電體242b的導電膜，使用金屬鉭靶材在含氮氛圍下沉積。

【0912】絕緣體271a1及絕緣體271b1使用膜厚度為5nm的氮化矽膜形成。此外，絕緣體271a2及絕緣體271b2使用氧化矽膜形成。注意，該氮化矽膜及該氧化矽膜使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【0913】絕緣體275使用藉由ALD法沉積的膜厚度為5nm的氮化矽。

【0914】絕緣體280使用藉由濺射法沉積的氧化矽。

【0915】絕緣體252使用利用ALD法沉積的膜厚度為1nm的氧化鋁膜形成。此外，絕緣體250使用利用ALD法沉積的膜厚度為3nm的氧化矽膜形成。另外，絕緣體254使用利用ALD法沉積的膜厚度為3nm的氮化矽膜形成。

【0916】導電體260a使用藉由金屬CVD法沉積的膜厚度為5nm的氮化鈦膜形成。作為導電體260b，使用利用金屬CVD法沉積的鎢膜形成。

【0917】絕緣體282使用氧化鋁。絕緣體282使用鋁靶

材藉由脈衝DC濺射法沉積。

【0918】絕緣體283a使用藉由濺射法沉積的膜厚度為20nm的氮化矽。此外，絕緣體283b使用藉由ALD法沉積的膜厚度為5nm的氮化矽。

【0919】作為絕緣體274，使用利用CVD法沉積的氧氮化矽。此外，絕緣體285使用藉由濺射法沉積的膜厚度為50nm的氧化矽。

【0920】絕緣體241a及絕緣體241b都使用第一絕緣體與第二絕緣體的疊層體。作為第一絕緣體，使用利用ALD法沉積的氧化鋁膜形成，作為第二絕緣體，使用利用ALD法沉積的氮化矽膜形成。

【0921】導電體240a及導電體240b都使用氮化鈦膜與該氮化鈦膜上的鎢膜的疊層膜形成。注意，作為該氮化鈦膜及該鎢膜，利用CVD法沉積。

【0922】藉由上述製程，製造包括電晶體的樣本。在包括在所製造的樣本中的電晶體中，頂閘極絕緣膜(絕緣體252、絕緣體250及絕緣體254)的EOT為5.1nm。

【0923】

[剖面觀察影像]

對所製造的樣本藉由日立高新技術公司製造的“HD-2700”拍攝了剖面STEM影像。圖50A示出所製造的樣本的通道長度方向的剖面STEM影像，圖50B示出所製造的樣本的通道寬度方向的剖面STEM影像。

【0924】注意，在圖50A及圖50B中，根據剖面STEM

影像的觀察結果測量各組件的長度。從使用圖50A進行測長的結果可知，包括在樣本中的電晶體的通道長度方向的閘極長度(圖50A中的寬度Lg)為6.5nm。此外，從使用圖50B進行測長的結果可知，包括在樣本中的電晶體所包括的氧化物230a及氧化物230b的介面的通道寬度方向的長度(圖50B中的W)為26.9nm。

【0925】

[電特性評價]

對包括在所製造的樣本中的電晶體的電特性進行評價。這裡，作為電特性，測量Id-Vg特性。在Id-Vg特性的測量中，汲極電壓Vd為0.1V或1.2V，源極電壓Vs及背閘極電壓Vbg為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。

【0926】圖51示出包括在所製造的樣本中的九個電晶體的Id-Vg特性。在圖51中，第一縱軸表示汲極電流Id[A]，第二縱軸表示場效移動率μFE[cm^2/Vs]，並且橫軸表示頂閘極電壓Vg[V]。另外，在圖51中，以實線表示汲極電壓Vd為1.2V時的Id，以點劃線表示汲極電壓Vd為0.1V時的Id，以虛線表示場效移動率。注意，場效移動率從將汲極電壓Vd設定為1.2V而測量的值算出。

【0927】從圖51可確認到包括在所製造的樣本中的電晶體呈現良好的電特性。該電晶體的EOT為5.1nm，比閘極長度厚。但是從圖51可知，作為短通道效應的指標的DIBL(drain induced barrier lowering：漏致勢壘降低)較

小。

【0928】接著，測量所製造的樣本中的三十六個電晶體的Id-Vg特性而評價Vth的偏差。Id-Vg特性的測量條件與上述條件相同。

【0929】圖52示出Vth的正態概率圖。在圖52中，橫軸表示Vth[V]且縱軸表示Vth跟隨正態分佈時的期待值(expected value)[V]。換言之，圖52所示的Vth的正態概率圖為正態Q-Q圖(normal Q-Q plot)。

【0930】從圖52可知：臨界電壓Vth的中央值為-0.43V，臨界電壓Vth的標準差(σ)為0.22V。

【0931】

[截止頻率]

對包括在所製造的樣本中的電晶體的截止頻率進行測量。明確而言，對該電晶體的通道長度的截止頻率進行測量。在截止頻率的測量中，汲極電壓Vd為2.5V，頂閘極電壓Vg為1.5V。此外，測量在室溫環境下(在此，27℃的溫度環境下)進行。此外，使1000個該電晶體並聯連接進行測量。在該電晶體中，通道長度方向的閘極長度為6.5nm。

【0932】圖53示出截止頻率的測量結果。在圖53中，縱軸表示電流增益(|H21|)[dB]，橫軸表示頻率[GHz]。此外，圖53中的四角形表示對於頻率的電流增益的實測，圖53中的實線表示對於頻率的電流增益的實測的外推。電流放大率為1，亦即，電流增益|H21|為0dB的頻率藉由外推

求出，得到截止頻率f_T。

【0933】經過測量，該電晶體的截止頻率f_T估計為118GHz。

【0934】由此可確認到，包括在所製造的樣本中的電晶體微型且具有良好的電特性。此外，該電晶體具有優良的頻率特性。

【0935】本實施例所示的構成、結構或方法等可以與實施方式等所示的構成、結構或方法等適當地組合而使用。

實施例4

【0936】在本實施例中，評價氮化矽膜的對氧及氫的阻擋性、導電體與金屬氧化物的疊層體的片電阻、電晶體的結構以及電晶體的電特性。

【0937】

<氮化矽膜的對氧及氫的阻擋性>

在本節中，評價氮化矽膜的氧阻擋性及氫阻擋性。明確而言，製造包括包含氮化矽膜的疊層膜的樣本(樣本5A至樣本5D)而進行SIMS分析。

【0938】

[樣本的製造1]

圖54A示出所製造的疊層膜的疊層結構。如圖54A所示，疊層膜包括層901、層901上的層902、層902上的層903、層903上的層904、層904上的層905以及層905上的層

906。

【0939】在樣本5A至樣本5D中，作為層901都準備矽基板。另外，作為層902，使用利用熱氧化處理形成的膜厚度為100nm的氧化矽膜與該氧化矽膜上的藉由PECVD法沉積的膜厚度為100nm的氧氮化矽膜的疊層結構。

【0940】在樣本5A及樣本5B中，作為層903使用藉由ALD法沉積的膜厚度為3.3nm的氮化矽膜。另外，在樣本5C及樣本5D中，作為層903使用藉由ALD法沉積的膜厚度為1.4nm的氮化矽膜。

【0941】在樣本5A至樣本5D中，作為層904都使用藉由PECVD法沉積的膜厚度為50nm的氧氮化矽膜。

【0942】在樣本5A及樣本5B中，作為層905使用藉由PECVD法沉積的膜厚度為50nm的氧氮化矽膜。在此，沉積該氧氮化矽膜時的沉積氣體為氘(D_2)氣體200sccm、SiH_4氣體2.0sccm及N_2O氣體800sccm。另外，在樣本5C及樣本5D中，作為層905使用藉由濺射法沉積的膜厚度為50nm的包含^{18}O的氧化矽膜。

【0943】在樣本5A至樣本5D中，作為層906都使用藉由濺射法沉積的膜厚度為20nm的氮化矽膜。

【0944】接著，對樣本5B及樣本5D在氮氛圍下以400℃進行8小時的熱處理。另外，不對樣本5A及樣本5C進行該熱處理。藉由比較樣本5C及樣本5D的氧(^{18}O)濃度分佈，可以評價用於層903的氮化矽膜的氧阻擋性(經過熱擴散多少氧透過層903)。藉由比較樣本5A及樣本5B的氘(D)

濃度分佈，可以評價用於層903的氮化矽膜的氫阻擋性(經過熱擴散多少氫透過層903)。

【0945】藉由上述步驟，製造具有疊層膜的樣本5A至樣本5D。

【0946】

[氫濃度及氧濃度的評價]

對樣本5A至樣本5D進行SIMS分析。注意，該SIMS分析的分析方向為從基板一側向層906的方向。藉由該SIMS分析取得樣本5A及樣本5B中的氘(D)的分佈且取得樣本5C及樣本5D中的氧(^{18}O)的分佈。

【0947】圖54B示出樣本5A及樣本5B中的氘(D)的分佈的結果。在圖54B中，橫軸表示膜厚度方向的深度(Depth)[nm]，縱軸表示氘濃度(D concentration) [atoms/cm^3]。另外，圖54B中的點線表示樣本5A的氘(D)的分佈，圖54B中的實線表示樣本5B的氘(D)的分佈。

【0948】從圖54B可知：在進行上述熱處理的樣本5B中，包含在層905中的氘(D)不擴散到用於層902的氧氮化矽膜中。因此，可知用於層903的氮化矽膜抑制包含在層905中的氘(D)的熱擴散。

【0949】圖54C示出樣本5C及樣本5D中的氧(^{18}O)的分佈的結果。在圖54C中，橫軸表示膜厚度方向的深度(Depth)[nm]，縱軸表示^{18}O濃度(^{18}O concentration)[atoms/cm^3]。另外，圖54C中的點線表示樣本5C的氧(^{18}O)的分佈，圖54C中的實線表示樣本5D的氧(^{18}O)的分佈。

【0950】從圖54C可知：在進行上述熱處理的樣本5D中，包含在層905中的氧(^{18}O)不擴散到用於層902的氧氮化矽膜中。因此，可知用於層903的氮化矽膜抑制包含在層905中的氧(^{18}O)的熱擴散。

【0951】如此，可知氮化矽膜對氧及氫具有阻擋性。因此，藉由作為圖1等所示的絕緣體275使用具有氧阻擋性的氮化矽膜，可以抑制被絕緣體275覆蓋且用作源極電極或汲極電極的導電體242a及導電體242b的氧化。另外，可以維持被絕緣體275覆蓋的區域的氧化物230的導電性。另外，藉由作為絕緣體275使用具有氫阻擋性的氮化矽膜，可以抑制氫擴散到氧化物230的通道形成區域而可以將通道形成區域的施體濃度保持為低。

【0952】

<電晶體的評價>

如上所述，可知氮化矽膜對氧及氫具有阻擋性。在本節中，製造包括電晶體的樣本(樣本5E至樣本5G)而評價片電阻及電晶體的電特性。包括在樣本5E至樣本5G中的電晶體相當於圖22A至圖22D所示的電晶體。因此，包括在樣本5E至樣本5G中的電晶體的剖面結構可以援用圖22A至圖22D。

【0953】

[樣本的製造2]

以下，說明樣本5E及樣本5F的製造方法。主要對與在實施例3中製造的樣本不同之處進行說明。另外，除了絕

緣體275以外，樣本5E及樣本5F的製造方法相同。另外，製造方法的詳細內容可以參考實施方式1。注意，作為包括在樣本5E及樣本5F中的電晶體的設計值，通道長度為30nm，通道寬度為30nm。

【0954】在樣本5E中不設置絕緣體275。另一方面，在樣本5F中，絕緣體275使用藉由ALD法沉積的膜厚度為5nm的氮化矽。換言之，包括在樣本5E中的電晶體在源極電極及汲極電極上不包括氮化矽膜，包括在樣本5F中的電晶體在源極電極及汲極電極上包括氮化矽膜。

【0955】在樣本5E及樣本5F中，絕緣體252使用利用ALD法沉積的膜厚度為1nm的氧化鋁膜形成。此外，絕緣體250使用利用CVD法沉積的膜厚度為5nm的氧氮化矽膜與該氧氮化矽膜上的利用ALD法沉積的膜厚度為1.5nm的氧化鉿膜的疊層膜形成。另外，絕緣體254使用利用ALD法沉積的膜厚度為1nm的氮化矽膜形成。

【0956】在樣本5E及樣本5F中，絕緣體283a使用藉由濺射法沉積的膜厚度為25nm的氮化矽。此外，絕緣體283b使用藉由ALD法沉積的膜厚度為5nm的氮化矽。

【0957】藉由上述製程，製造包括電晶體的樣本5E及樣本5F。在包括樣本5E及樣本5F中的電晶體中，通道長度方向的閘極長度(圖3A中的寬度Lg)為18nm，氧化物230a與氧化物230b的介面的通道寬度方向的長度為48nm。

【0958】另外，在樣本5E及樣本5F中，藉由其一部分與電晶體的製程相同的製程製造評價用元件。明確而言，

除了不進行形成到達氧化物230b的開口的製程以外，該評價用元件的製造方法與電晶體的製造方法相同。更明確而言，藉由如下步驟製造評價用元件：形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的疊層體；在該疊層體上形成絕緣體275、絕緣體280及絕緣體282等；在絕緣層271B、絕緣體275、絕緣體280及絕緣體282等中形成到達導電層242B的兩個開口；在該兩個開口中分別形成導電體240a及導電體240b；以及在導電體240a及導電體240b上分別形成導電體246a及導電體246b。

【0959】以電晶體的通道長度方向的長度為40000nm且電晶體的通道寬度方向的長度為30nm的方式製造包括在樣本5E及樣本5F中的評價用元件。

【0960】

[片電阻]

使用包括在樣本5E及樣本5F的每一個中的評價用元件進行片電阻的測量。圖55示出片電阻的測量結果。在圖55中，縱軸表示片電阻(sheet resistance)[Ω/square]。另外，圖55的左側的繪圖是包括在樣本5E中的評價用元件的結果，圖55中的右側的繪圖是包括在樣本5F中的評價用元件的結果。

【0961】從圖55可確認到：與樣本5E相比，樣本5F的片電阻值的不均勻被抑制到低電阻一側。因此，藉由設置使用氮化矽的絕緣體275，可以維持位於導電體242a或導電體242b的下方的氧化物230b的導電性。

【0962】

[電特性評價1]

對包括在所製造的樣本5E及樣本5F的每一個中的電晶體的電特性進行評價。這裡，作為電特性，測量Id-Vg特性。在Id-Vg特性的測量中，汲極電壓Vd為0.1V或1.2V，源極電壓Vs及背閘極電壓Vbg為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。另外，在評價電特性時，使用包括在樣本5E及樣本5F的每一個中的通道長度方向的閘極長度為18nm的電晶體。

【0963】圖56A示出包括在樣本5E中的九個電晶體的Id-Vg特性，圖56B示出包括在樣本5F中的九個電晶體的Id-Vg特性。在圖56A及圖56B中，縱軸表示每通道寬度1μm的汲極電流(Id[A/μm])，橫軸表示閘極-源極間電壓(Vg[V])。另外，在圖56A及圖56B中，以實線表示汲極電壓Vd為1.2V時的Id，以點線表示汲極電壓Vd為0.1V時的Id。

【0964】從圖56A及圖56B可確認到：與包括在樣本5E中的電晶體相比，包括在樣本5F中的電晶體的臨界電壓的不均勻得到抑制，其通態電流很高。因此可知，藉由設置使用氮化矽的絕緣體275，可以減少電晶體的電特性不均勻。

【0965】

[樣本的製造3]

以下，說明樣本5G的製造方法。主要對與樣本5F不同之處進行說明。另外，製造方法的詳細內容可以參考實施方式1。注意，作為包括在樣本5G中的電晶體的設計值，通道長度為20nm，通道寬度為20nm。

【0966】在樣本5G中，絕緣體252使用利用ALD法沉積的膜厚度為1nm的氧化鋁膜形成。此外，絕緣體250使用利用ALD法沉積的膜厚度為3nm的氧化矽膜形成。此外，絕緣體254使用利用ALD法沉積的膜厚度為3nm的氮化矽膜形成。絕緣體252、絕緣體250及絕緣體254被用作頂閘極絕緣膜。頂閘極絕緣膜以其物理厚度為7.0nm(EOT=5.1nm)的方式形成。

【0967】在樣本5G中，作為絕緣體283a，使用利用濺射法沉積的膜厚度為20nm的氮化矽。此外，絕緣體283b使用藉由ALD法沉積的膜厚度為5nm的氮化矽。

【0968】藉由上述製程，製造包括電晶體的樣本5G。

【0969】

[剖面觀察影像]

對所製造的樣本5G藉由日立高新技術公司製造的“HD-2700”拍攝了剖面STEM影像。圖57A示出包括在樣本5G中的電晶體的通道長度方向的剖面STEM影像，圖57B示出包括在所製造的樣本5G中的電晶體的通道寬度方向的剖面STEM影像，圖57C示出重疊於包括在所製造的樣本5G中的電晶體所包含的氧化物230的源極電極或汲極電極的區域的通道寬度方向的剖面STEM影像。注意，在圖57A

至圖57C中，不對一部分的組件(例如，絕緣體271等)附上符號。

【0970】注意，在圖57A及圖57B中，根據剖面STEM影像的觀察結果測量各組件的長度。從使用圖57A進行測長的結果可知，包括在樣本5G中的電晶體的通道長度方向的閘極長度(圖3A中的寬度Lg)為8.5nm。此外，從使用圖57B進行測長的結果可知，包括在樣本5G中的氧化物230a及氧化物230b的介面的通道寬度方向的長度為26.8nm。

【0971】從圖57C可知：藉由使用ALD法可以將絕緣體275以高覆蓋性沉積在導電體242及氧化物230上。由此，可確認到絕緣體275具有足以用作保護膜及蝕刻停止膜的覆蓋性。

【0972】

[電特性評價2]

對包括在所製造的樣本5G中的電晶體的電特性進行評價。這裡，作為電特性，測量Id-Vg特性。在Id-Vg特性的測量中，將汲極電壓Vd設定為0.1V或1.2V，將源極電壓Vs及背閘極電壓Vbg設定為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。

【0973】圖58A示出包括在樣本5G中的九個電晶體的Id-Vg特性。在圖58A中，縱軸表示每通道寬度1μm的汲極電流(Id[A/μm])，橫軸表示閘極-源極間電壓(Vg[V])。另外，在圖58A中，以實線表示汲極電壓Vd設定為1.2V時的Id，以點線表示汲極電壓Vd為0.1V時的Id。

【0974】從圖58A可確認到包括在樣本5G中的電晶體具有常關閉特性且具有開關特性。明確而言，汲極電壓Vd為1.2V時的Vth為0.28V，SS為172mV/dec.。注意，在本實施例中，Vth定義為汲極電流Id為1pA時的閘極-源極間電壓Vg。此外，SS為次臨界值斜率。

【0975】接著，測量樣本5G中的在100mm^{2}範圍內的三十六個電晶體的Id-Vg特性而評價Vth的偏差。

【0976】圖58B示出Vth的正態概率圖。在圖58B中，橫軸表示Vth[V]，縱軸表示推定累積機率(%)。注意，作為推定累積機率(也稱為累積相對頻率)的計算方法舉出中位秩法、平均秩法、對稱樣本累積分佈法以及Kaplan-Meier法，可以適當地選擇即可。在本實施例中，使用中位秩法算出推定累積機率。

【0977】從圖58B可知：三十六個電晶體的Vth的標準差(σ)約為134mV。

【0978】本實施例所示的構成、結構或方法等可以與實施方式等所示的構成、結構或方法等適當地組合而使用。

實施例5

【0979】在本實施例中，評價金屬氧化物的基礎物性。明確而言，評價金屬氧化物的霍爾移動率與載子濃度的關係。另外，製造包括在通道形成區域中包括金屬氧化物的電晶體的樣本而評價電晶體的電特性。

【0980】

<金屬氧化物的霍爾移動率與載子濃度的關係>

在本節中，說明評價金屬氧化物的霍爾移動率與載子濃度的關係的結果。明確而言，對包括金屬氧化物的樣本進行霍爾效應測量，利用該結果算出金屬氧化物的載子濃度。

【0981】在此，霍爾效應測量是利用霍爾效應測量載子密度、移動率及電阻率等電特性的方法，該霍爾效應是指藉由對電流流過的物件向垂直於電流的方向施加磁場來在垂直於電流和磁場的兩者的方向上產生電動勢的效應。這裡，利用Van der Pauw法(四點探針法)進行霍爾效應測量。

【0982】說明用於霍爾效應測量的樣本的製造方法。

【0983】首先，製造樣本60A至樣本60D。除了在沉積金屬氧化物時使用的靶材的組成以外，樣本60A至樣本60D的製造方法相同。

【0984】準備石英基板，在該石英基板上藉由濺射法沉積膜厚度為35nm的金屬氧化物。在樣本60A、樣本60B、樣本60C及樣本60D中，在沉積金屬氧化物時使用的氧化物靶材的組成分別為In：Ga：Zn=5：1：3[原子數比]、In：Ga：Zn=1：1：2[原子數比]、In：Ga：Zn=1：1：5[原子數比]、In：Ga：Zn=1：1：8[原子數比]。

【0985】在沉積金屬氧化物之後，在大氣壓環境下以氮氣體和氧氣體的流量比為4：1且450℃的溫度進行1小時

的處理。將該處理稱為第一處理。藉由第一處理可以降低金屬氧化物中的載子濃度。

【0986】藉由在進行第一處理之後在樣本60A至樣本60D的每一個中分離基板，來從樣本60A製造樣本61A至樣本68A，從樣本60B製造樣本61B至樣本68B，從樣本60C製造樣本61C至樣本68C，並且從樣本60D製造樣本61D至樣本68D。

【0987】接著，在減壓(真空)下進行1小時的處理。將該處理稱為第二處理。第二處理的溫度按每個樣本不同。明確而言，樣本62A、62B、62C、62D的第二處理的溫度為100℃，樣本63A、63B、63C、63D的第二處理的溫度為150℃，樣本64A、64B、64C、64D的第二處理的溫度為200℃，樣本65A、65B、65C、65D的第二處理的溫度為250℃，樣本66A、66B、66C、66D的第二處理的溫度為300℃，樣本67A、67B、67C、67D的第二處理的溫度為350℃，樣本68A、68B、68C、68D的第二處理的溫度為400℃。另外，不對樣本61A、61B、61C、61D進行第二處理。藉由使第二處理的溫度按每個樣本不同，可以使金屬氧化物中的載子濃度變化。

【0988】藉由上述步驟，製造用於霍爾效應測量的樣本(樣本61A至樣本68A、樣本61B至樣本68B、樣本61C至樣本68C、樣本61D至樣本68D)。以下，有時將樣本61A至樣本68A記作樣本群6A，將樣本61B至樣本68B記作樣本群6B，將樣本61C至樣本68C記作樣本群6C，將樣本61D至樣

本68D記作樣本群6D。

【0989】另外，為了進行霍爾效應測量，在各樣本上藉由濺射法沉積膜厚度為200nm的鈦-鋁合金膜。使用金屬遮罩以使鈦-鋁合金膜形成在樣本的四角處。

【0990】注意，在霍爾效應測量中，使用株式會社東陽特克尼卡製造的ResiTest8400。

【0991】圖62A示出霍爾效應測量的結果。圖62A是示出金屬氧化物的載子濃度的溫度依賴性的圖。在圖62A中，縱軸表示金屬氧化物的載子濃度(Carrier concentration)[cm^{-3}]且橫軸表示第二處理的溫度[℃]。圖62A中的三角形表示樣本群6A的結果，圖62A中的四角形表示樣本群6B的結果，圖62A中的菱形表示樣本群6C的結果，圖62A中的圓形表示樣本群6D的結果。

【0992】從圖62A確認到如下傾向：在樣本群6A至樣本群6D的每一個中，第二處理的溫度越高載子濃度越高。

【0993】圖62B示出霍爾效應測量的結果。圖62B是示出金屬氧化物的霍爾移動率的溫度依賴性的圖。在圖62B中，縱軸表示金屬氧化物的霍爾移動率(Hall Mobility)[cm^2/Vs]且橫軸表示第二處理的溫度[℃]。圖62B中的三角形表示樣本群6A的結果，圖62B中的四角形表示樣本群6B的結果，圖62B中的菱形表示樣本群6C的結果，圖62B中的圓形表示樣本群6D的結果。

【0994】從圖62B確認到：在樣本群6A至樣本群6D的每一個中，在第二處理的溫度為250℃時霍爾移動率最

大。另外，Zn的比率較高的金屬氧化物(例如，樣本群6B、樣本群6C或樣本群6D中的金屬氧化物)中樣本群6B的霍爾移動率較高。另外，確認到如下傾向：藉由提高Zn的比率，霍爾移動率稍微降低。

【0995】圖59示出霍爾效應測量的結果。圖59是示出金屬氧化物的霍爾移動率與載子濃度的關係的圖。在圖59中，縱軸表示金屬氧化物的霍爾移動率(Hall Mobility)[cm^2/Vs]，橫軸表示金屬氧化物的載子濃度(Carrier concentration)[cm^{-3}]。圖59中的三角形表示樣本群6A的結果，圖59中的四角形表示樣本群6B的結果，圖59中的菱形表示樣本群6C的結果，圖59中的圓形表示樣本群6D的結果。

【0996】從圖59確認到：Zn的比率較高的金屬氧化物(例如，樣本群6B、樣本群6C或樣本群6D中的金屬氧化物)有霍爾移動率低且載子濃度也低的傾向。另外，確認到In的比率較高的金屬氧化物(例如，樣本群6A中的金屬氧化物)有霍爾移動率高且載子濃度也高的傾向。明確而言，在樣本群6A中，霍爾移動率的最大值為$34.0cm^2/Vs$，載子濃度的最小值為$9.1\times10^{17}cm^{-3}$。

【0997】另外，在樣本群6A至樣本群6D的每一個中，隨著載子濃度的增加霍爾移動率增加。換言之，金屬氧化物的載子濃度與霍爾移動率具有權衡關係。因此，可知：藉由指定所希望的載子濃度，可以推測最合適的組成以及霍爾移動率的可取範圍。

【0998】

<電晶體的電特性>

在本節中，製造包括多個圖22A至圖22D所示的電晶體的樣本而評價電晶體的電特性。

【0999】在本節中，製造樣本69A至樣本69D。樣本69A至樣本69D中的電晶體的剖面結構可以參照圖22A至圖22D。另外，在本節中，不進行如下製程：直到絕緣體214的頂面露出為止加工絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分、絕緣體222的一部分及絕緣體216的一部分(參照圖15A至圖15D)。

【1000】注意，作為包括在樣本69A至樣本69D的每一個中的電晶體的設計值，通道長度為60nm，通道寬度為60nm。另外，在本實施例中，通道寬度的設計值是指外觀上的通道寬度的設計值。因此，通道寬度的設計值可以換稱為閘極寬度的設計值。

【1001】以下，說明樣本69A至樣本69D的製造方法。另外，除了沉積氧化物230b時使用的靶材的組成以外，樣本69A至樣本69D的製造方法相同。另外，製造方法的詳細內容可以參考實施方式1。

【1002】絕緣體212使用膜厚度為60nm的氮化矽。絕緣體212使用矽靶材藉由脈衝DC濺射法沉積。

【1003】絕緣體214使用膜厚度為40nm的氧化鋁。絕緣體214使用鋁靶材藉由脈衝DC濺射法沉積。

【1004】絕緣體216使用膜厚度為130nm的氧化矽。

絕緣體216使用矽靶材藉由脈衝DC濺射法沉積。

【1005】絕緣體212、絕緣體214及絕緣體216使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【1006】導電體205a使用利用金屬CVD法沉積的氮化鈦膜形成。導電體205b使用利用金屬CVD法沉積的鎢膜形成。

【1007】絕緣體222使用藉由ALD法沉積的膜厚度為20nm的氧化鉿。

【1008】絕緣體224使用藉由濺射法沉積的膜厚度為10nm的氧化矽形成。

【1009】氧化物230a使用藉由RF濺射法沉積的膜厚度為10nm的氧化膜形成。注意，在沉積成為氧化物230a的氧化膜時使用In：Ga：Zn=1：3：2[原子數比]的氧化物靶材。藉由上述方法沉積的In-Ga-Zn氧化物具有氧阻擋性。換言之，氧化物230a被用作緩衝層。因此，藉由設置氧化物230a，可以抑制氧從氧化物230a的下側注入到氧化物230b。

【1010】氧化物230b使用藉由DC濺射法沉積的膜厚度為15nm的氧化膜。另外，在沉積成為氧化物230b的氧化膜時，在樣本69A、樣本69B、樣本69C及樣本69D中分別使用In：Ga：Zn=5：1：3[原子數比]的氧化物靶材、In：Ga：Zn=1：1：2[原子數比]的氧化物靶材、In：Ga：Zn=1：1：5[原子數比]的氧化物靶材及In：Ga：Zn=1：1：8[原子數比]的氧化物靶材。

【1011】作為導電體242a及導電體242b，使用藉由濺射法沉積的膜厚度為20nm的氮化鉭膜形成。注意，作為成為導電體242a及導電體242b的導電膜，使用金屬鉭靶材在含氮氛圍下沉積。

【1012】絕緣體271a1及絕緣體271b1使用膜厚度為5nm的氮化矽膜形成。另外，絕緣體271a2及絕緣體271b2使用氧化矽膜形成。注意，該氮化矽膜及該氧化矽膜使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【1013】絕緣體275使用藉由ALD法沉積的膜厚度為5nm的氮化矽。

【1014】絕緣體280使用藉由濺射法沉積的氧化矽。

【1015】絕緣體252使用利用ALD法沉積的膜厚度為1nm的氧化鋁膜形成。此外，絕緣體250使用利用ALD法沉積的膜厚度為1nm的氧化矽膜與該氧化矽膜上的藉由ALD法沉積的膜厚度為4nm的氧化鉿膜的疊層膜形成。另外，絕緣體254使用利用ALD法沉積的膜厚度為1nm的氮化矽膜形成。

【1016】導電體260a使用藉由金屬CVD法沉積的膜厚度為5nm的氮化鈦膜形成。導電體260b使用利用金屬CVD法沉積的鎢膜形成。

【1017】絕緣體282使用氧化鋁。絕緣體282使用鋁靶材藉由脈衝DC濺射法沉積。

【1018】絕緣體283使用膜厚度為20nm的氮化矽。絕緣體283使用矽靶材藉由脈衝DC濺射法形成。如此，在用

作層間膜的絕緣體280的上部及下部設置具有氫阻擋性的氮化矽。

【1019】藉由上述方法製造包括電晶體的樣本69A至樣本69D。

【1020】接著，對包括在所製造的樣本69A至樣本69D的每一個中的電晶體的電特性進行評價。在此，作為電特性測量汲極電流(Id)-頂閘極電壓(Vg)特性。在Id-Vg特性的測量中，汲極-源極間電壓Vds為0.1V或1.2V，背閘極電壓Vbg為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。另外，該測量在大氣壓的乾燥空氣中在室溫(27℃)環境下進行。

【1021】在進行電特性評價時，使用Hi-SOL公司製造的半自動探測器。另外，作為測量器使用Keysight Technologies公司製造的B1500A。

【1022】另外，從所得到的Id-Vg特性算出臨界電壓(Vth)及線性區域中的場效移動率(μ_{FE}(lin.))。在此，將臨界電壓(Vth)定義為汲極電流成為1pA時的閘極電壓Vg。

【1023】圖60A至圖60D示出包括在所製造的樣本中的電晶體的Id-Vg特性。圖60A、圖60B、圖60C、圖60D分別為包括在樣本69A中的九個電晶體的Id-Vg特性、包括在樣本69B中的九個電晶體的Id-Vg特性、包括在樣本69C中的九個電晶體的Id-Vg特性、包括在樣本69D中的九個電晶體的Id-Vg特性。在圖60A至圖60D中，縱軸表示汲極電流Id[A]，橫軸表示頂閘極電壓Vg[V]。另外，在圖60A至圖

60D中，以實線表示汲極-源極間電壓Vds為1.2V時的汲極電流Id，以點線表示汲極-源極間電壓Vds為0.1V時的汲極電流Id。

【1024】從圖60A至圖60D可知如下結果：包括在各樣本中的電晶體都幾乎可以得到開關特性。明確而言，在汲極-源極間電壓Vds為1.2V時，在樣本69A中Vth為-2.42V(σ=1.70V)且μ_{FE}(lin.)為13.5cm^2/Vs，在樣本69B中Vth為0.62V(σ=0.08V)且μ_{FE}(lin.)為5.5cm^2/Vs，在樣本69C中Vth為1.02V(σ=0.24V)且μ_{FE}(lin.)為3.2cm^2/Vs，在樣本69D中Vth為1.00V(σ=0.08V)且μ_{FE}(lin.)為1.7cm^2/Vs。另外，上述數值是在九個電晶體的每一個中得到的特性值的中央值，σ為標準差。

【1025】另外，圖61示出標繪出所算出的Vth的中央值及μ_{FE}(lin.)的中央值的結果。在圖61中，縱軸表示線性區域中的場效移動率(μ_{FE}(lin.))[cm^2/Vs]且橫軸表示臨界電壓Vth[V]。圖61中的三角形表示包括在樣本69A中的電晶體的結果，圖61中的四角形表示包括在樣本69B中的電晶體的結果，圖61中的菱形表示包括在樣本69C中的電晶體的結果，圖61中的圓形表示包括在樣本69D中的電晶體的結果。

【1026】從圖61確認到如下傾向：在通道形成區域包括In的比率高的金屬氧化物(例如，用於樣本69A的氧化物230b的金屬氧化物)的電晶體中，可以得到高場效移動率但其Vth為負值。另外，確認到如下傾向：在通道形成區

域包括Zn的比率高的金屬氧化物(例如，用於樣本69B、樣本69C或樣本69D的氧化物230b的金屬氧化物)的電晶體中，其場效移動率降低但其Vth為正值。由此，可認為場效移動率與臨界電壓具有權衡關係。例如，為了得到場效移動率高的電晶體，較佳為在通道形成區域中包括In的比率高的金屬氧化物。另外，為了得到具有常關閉特性的電晶體，較佳為在通道形成區域中包括Zn的比率高的金屬氧化物。

【1027】另外，從圖61可知：為了在保持高移動率的同時得到常關閉特性，作為氧化物230b較佳為使用利用In：Ga：Zn=1：1：2[原子數比]的氧化物靶材沉積的In-Ga-Zn氧化物。換言之，藉由在成為Zn的比率高的組成的條件下沉積包括通道形成區域的金屬氧化物，可以確認到控制性良好且具有常關閉特性的電晶體。

【1028】本實施例所示的構成、結構或方法等可以與其他實施方式等所示的構成、結構或方法等適當地組合而使用。

【符號說明】

【1029】

101:佈線

102:佈線

103:佈線

104:佈線

110a:發光元件

110B:發光元件

110b:發光元件

110c:發光元件

110G:發光元件

110R:發光元件

110:發光元件

111B:像素電極

111C:連接電極

111G:像素電極

111R:像素電極

111:像素電極

112B:有機層

112G:有機層

112R:有機層

112:有機層

113:共用電極

114:共用層

121:保護層

124a:像素

124b:像素

125:絕緣層

126:樹脂層

128:層

140:連接部

150:像素

170:基板

171:黏合層

200A:電晶體

200B:電晶體

200:電晶體

205a:導電體

205b:導電體

205:導電體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224A:絕緣膜

224:絕緣體

230a:氧化物

230A:氧化膜

230b:氧化物

230B:氧化膜

230ba:區域

230bb:區域

230bc:區域

230bd:區域

230be:區域

230:氧化物

240a:導電體

240b:導電體

240:電容器

241a:絕緣體

241b:絕緣體

242a:導電體

242A:導電膜

242b:導電體

242B:導電層

242:導電體

243a:氧化物

243b:氧化物

243:氧化物

244a:絕緣體

244b:絕緣體

245:導電層

246a:導電體

246b:導電體

250a:絕緣體

250A:絕緣膜

250b:絕緣體

250:絕緣體

251:導電層

252A:絕緣膜

252:絕緣體

254A:絕緣膜

254:絕緣體

255a:絕緣層

255b:絕緣層

255c:絕緣層

256:絕緣體

260a:導電體

260b:導電體

260:導電體

261:絕緣層

262:絕緣層

263:絕緣層

264:絕緣層

265:密封部

271a:絕緣體

271A:絕緣膜

271b:絕緣體

271B:絕緣層

271:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282a:絕緣體

282b:絕緣體

282:絕緣體

283a:絕緣體

283b:絕緣體

283:絕緣體

285:絕緣體

295:開口區域

301:基板

310:電晶體

311:導電層

312:低電阻區域

313:絕緣層

314:絕緣層

315:元件分離層

329:絕緣層

331:基板

332:絕緣層

341:導電層

343:絕緣層

352:導電層

354:絕緣層

356:插頭

365:絕緣層

371:插頭

374a:導電層

374b:導電層

374:插頭

390:顯示模組

400A:顯示裝置

400B:顯示裝置

400C:顯示裝置

400D:顯示裝置

400:顯示裝置

401:基板

431:顯示部

432:電路部

433a:像素電路

433:像素電路部

434a:像素

434:像素部

435:端子部

436:佈線部

440:FPC

441:基板

442:基板

500:半導體裝置

700A:電子裝置

700B:電子裝置

721:外殼

723:安裝部

727:耳機部

750:耳機

751:顯示面板

753:光學構件

756:顯示區域

757:眼鏡架

758:鼻墊

761:下部電極

762:上部電極

763a:發光單元

763b:發光單元

763c:發光單元

763:EL層

764:層

771a:發光層

771b:發光層

771c:發光層

771:發光層

772a:發光層

772b:發光層

772c:發光層

772:發光層

773:發光層

780a:層

780b:層

780c:層

780:層

781:層

782:層

785:電荷產生層

790a:層

790b:層

790c:層

790:層

791:層

792:層

800A:電子裝置

800B:電子裝置

820:顯示部

821:外殼

822:通訊部

823:安裝部

824:控制部

825:成像部

827:耳機部

832:透鏡

901:層

902:層

903:層

904:層

905:層

906:層

1400:記憶體裝置

1411:週邊電路

1420:行電路

1430:列電路

1440:輸出電路

1460:控制邏輯電路

1470:記憶單元陣列

1471:記憶單元

1472:記憶單元

1473:記憶單元

1474:記憶單元

1475:記憶單元

1476:記憶單元

1477:記憶單元

1478:記憶單元

2700:製造裝置

2701:大氣側基板供應室

2702:大氣側基板傳送室

2703a:負載鎖定室

2703b:卸載閉鎖室

2704:傳送室

2706a:處理室

2706b:處理室

2706c:處理室

2706d:處理室

2761:盒式介面

2762:對準介面

2763a:傳送機器人

2763b:傳送機器人

2801:氣體供應源

2802:閥

2803:高頻產生器

2804:波導管

2805:模式轉換器

2806:氣體管

2807:波導管

2808:縫隙天線板

2809:電介質板

2810:高密度電漿

2811_1:基板

2811_2:基板

2811_3:基板

2811_n:基板

2811:基板

2812:基板支架

2813:加熱機構

2815:匹配器

2816:高頻電源

2817:真空泵

2818:閥

2819:排氣口

2820:燈

2821:氣體供應源

2822:閥

2823:氣體導入口

2824:基板

2825:基板支架

2826:加熱機構

2828:真空泵

2829:閥

2830:排氣口

2900:微波處理裝置

2901:石英管

2902:基板支架

2903:加熱單元

6500:電子裝置

6501:外殼

6502:顯示部

6503:電源按鈕

6504:按鈕

6505:揚聲器

6506:麥克風

6507:相機

6508:光源

6510:保護構件

6511:顯示面板

6512:光學構件

6513:觸控感測器面板

6515:FPC

6516:IC

6517:印刷電路板

6518:電池

7000:顯示部

7100:電視機

7101:外殼

7103:支架

7111:遙控器

7200:膝上型個人電腦

7211:外殼

7212:鍵盤

7213:指向裝置

7214:外部連接埠

7300:數位看板

7301:外殼

7303:揚聲器

7311:資訊終端設備

7400:數位看板

7401:柱子

7411:資訊終端設備

9000:外殼

9001:顯示部

9002:相機

9003:揚聲器

9005:操作鍵

9006:連接端子

9007:感測器

9008:麥克風

9050:圖示

9051:資訊

9052:資訊

9053:資訊

9054:資訊

9055:鉸鏈

9101:可攜式資訊終端

9102:可攜式資訊終端

9103:平板終端

9200:可攜式資訊終端

9201:可攜式資訊終端

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

包括電晶體的通道形成區域的金屬氧化物；

該金屬氧化物上的第一導電體及第二導電體；

在該金屬氧化物上且位於該第一導電體與該第二導電體間的第一絕緣體；

該第一絕緣體上的第二絕緣體；

該第二絕緣體上的第三絕緣體；

該第三絕緣體上的第三導電體；

位於該第一導電體與該第一絕緣體間的第四絕緣體；

位於該第二導電體與該第一絕緣體間的第五絕緣體；以及

位於該第一導電體及該第二導電體上方的第六絕緣體，

其中，該第六絕緣體具有開口，

該開口具有在該第一導電體與該第二導電體間且重疊於該金屬氧化物的區域，

該第一絕緣體、該第二絕緣體、該第三絕緣體及該第三導電體配置在該開口內，

該第一絕緣體具有接觸於該金屬氧化物的頂面的區域、接觸於該金屬氧化物的側面的區域以及接觸於該開口的側壁的區域，

該第一絕緣體使用與該第二絕緣體相比不容易透過氧的材料，

該第一絕緣體具有膜厚度為1.0nm以上且小於3.0nm的區域，

該第一導電體及該第二導電體都包含金屬元素，

該第四絕緣體及該第五絕緣體包含該金屬元素，

並且，在該電晶體的通道長度方向的剖面中，從該第一導電體到該第一絕緣體的距離為該第一絕緣體的膜厚度以上且從該第三導電體到該金屬氧化物的距離以下。

【請求項2】如請求項1之半導體裝置，

其中該第一絕緣體使用與該第二絕緣體相比不容易透過氧及氫的材料，

該第三絕緣體使用與該第二絕緣體相比不容易透過氫的材料，

該第一絕緣體及該第二絕緣體都包含氧，

該第二絕緣體及該第三絕緣體都包含矽，

並且該第三絕緣體及該第三導電體都包含氮。

【請求項3】如請求項1之半導體裝置，

其中該第一絕緣體包含鋁。

【請求項4】如請求項3之半導體裝置，

其中該金屬氧化物具有從該金屬氧化物的底面向該金屬氧化物的頂面鋁濃度變高的濃度梯度。

【請求項5】如請求項4之半導體裝置，

其中該金屬氧化物至少包含銦、鋁及鋅。

【請求項6】如請求項1至5中任一項之半導體裝置，

其中該金屬元素為鉭或鈦。

【請求項7】一種半導體裝置的製造方法，該半導體裝置包括金屬氧化物、第一導電體至第三導電體、第一絕緣體至第四絕緣體、位於該第一導電體與該第二絕緣體間的第五絕緣體以及位於該第二導電體與該第二絕緣體間的第六絕緣體，

該半導體裝置的製造方法包括如下步驟：

依次沉積金屬氧化膜、導電膜的第一製程；

將該金屬氧化膜及該導電膜加工為島狀而形成該金屬氧化物及導電層的第二製程；

形成該第一絕緣體的第三製程；

加工該第一絕緣體的一部分及該導電層的一部分而形成到達該金屬氧化物的開口、該第一導電體以及該第二導電體的第四製程；

在該開口內形成第一絕緣膜的第五製程；

在該第一絕緣膜上形成第二絕緣膜的第六製程；

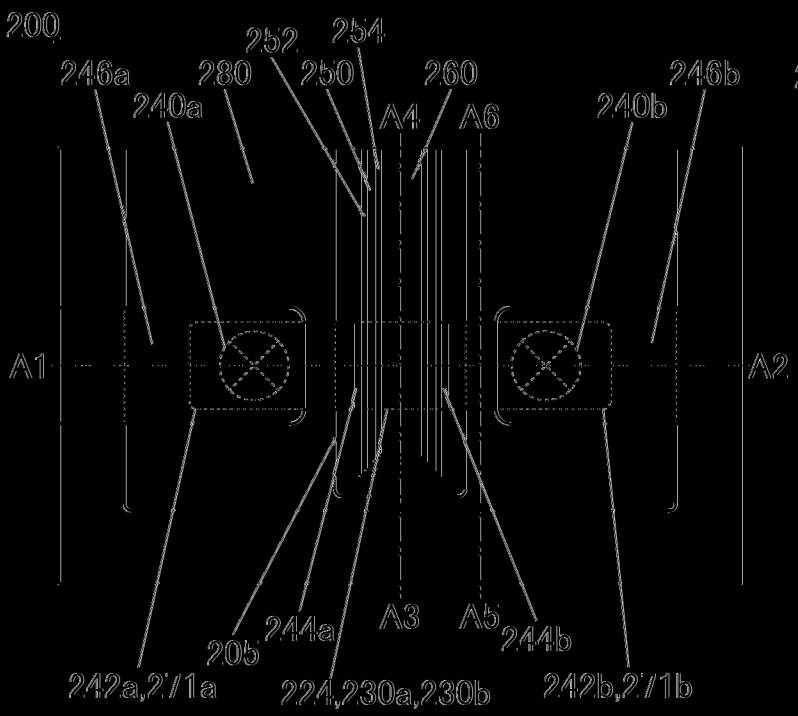
在含氧氛圍下進行微波處理的第七製程；

依次沉積第三絕緣膜及第二導電膜的第八製程；以及

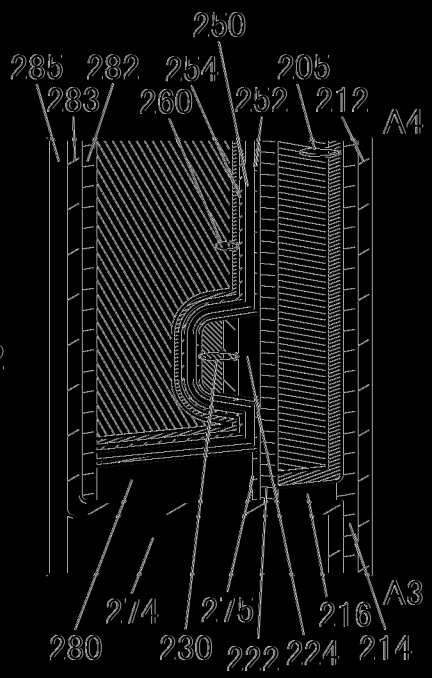
藉由CMP處理形成該第二絕緣體、該第三絕緣體、該第四絕緣體及該第三導電體的第九製程，

其中，在進行該第四製程、該第五製程、該第六製程及該第七製程中的任一個時形成該第五絕緣體及該第六絕緣體。

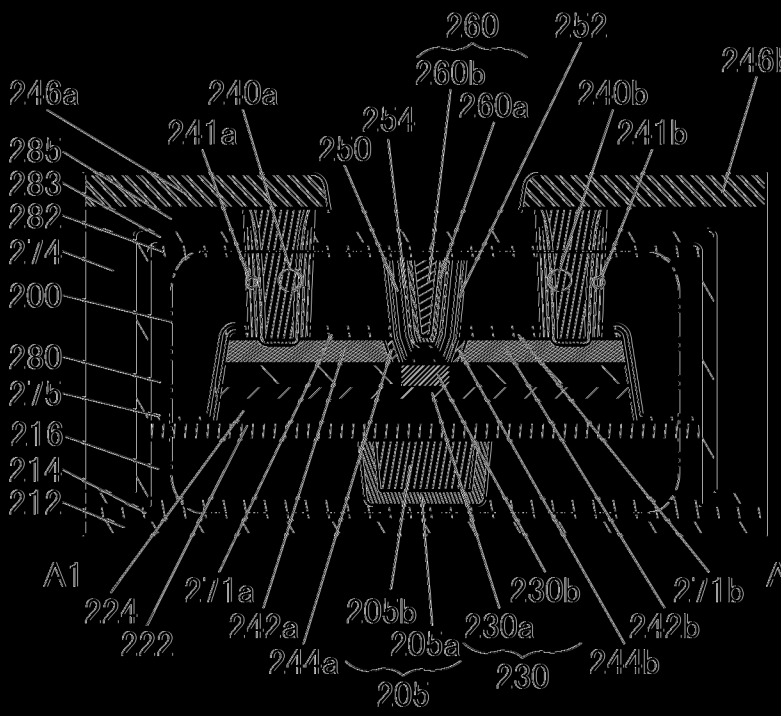
【發明圖式】



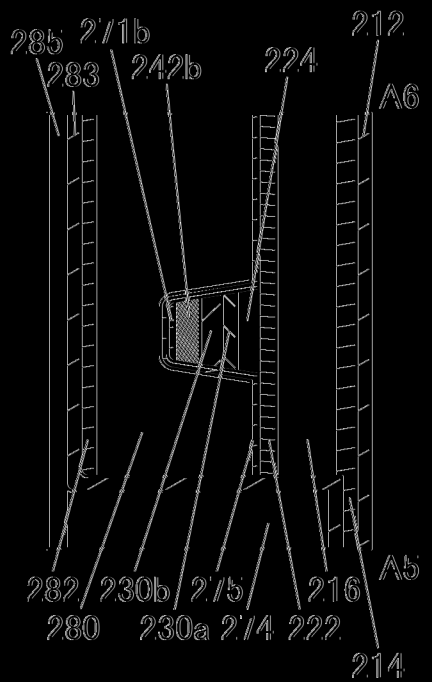
【圖1A】



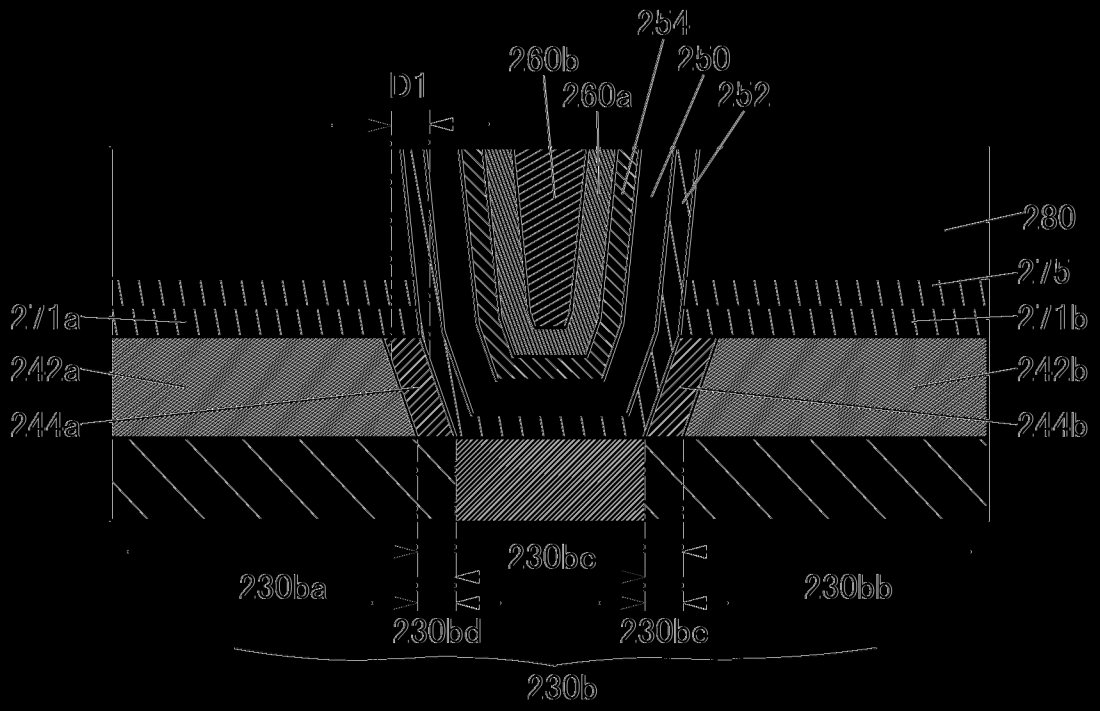
【圖1C】



【圖1B】



【圖1D】


254
260b
250
D1
260a
252
280
275
271a
271b
242a
242b
244a
244b
230bc
230ba
230bb
230bd
230bc
230b

圖(圖2)

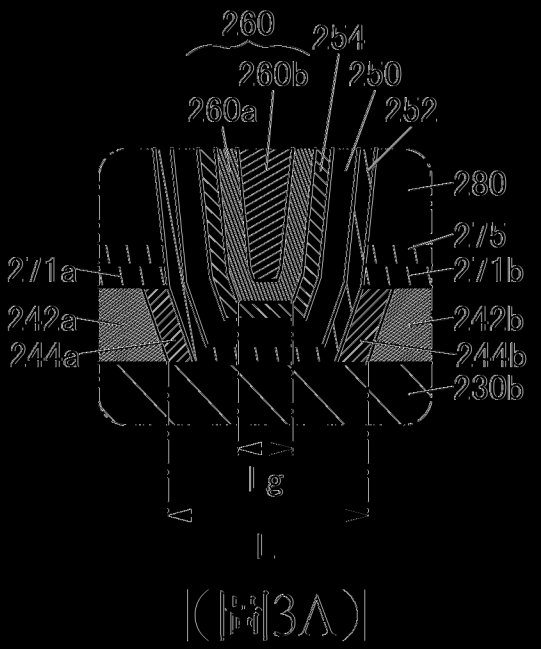


圖3A

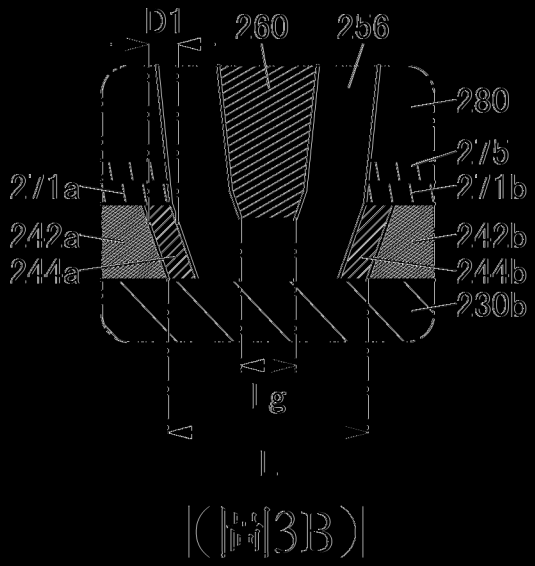


圖3B

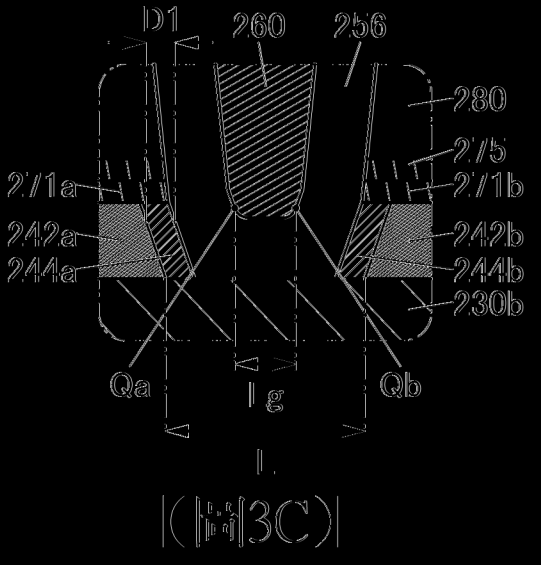


圖3C

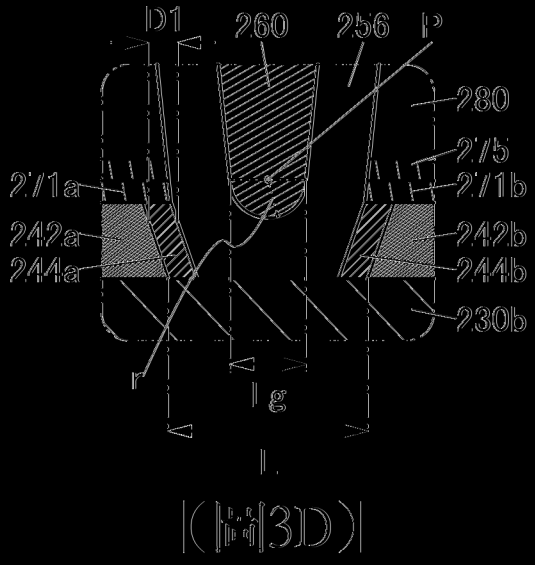


圖3D

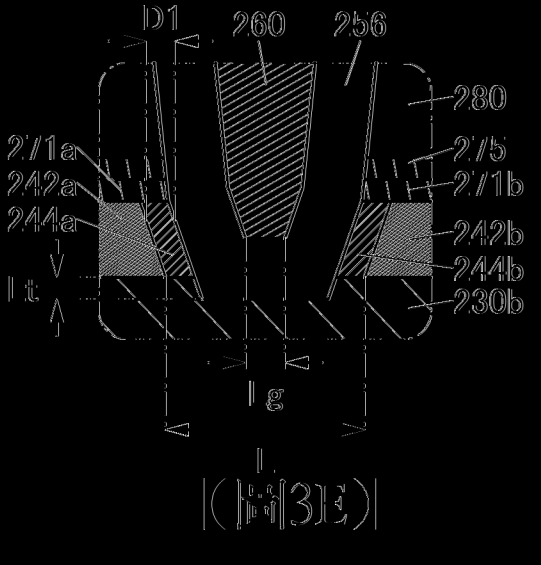
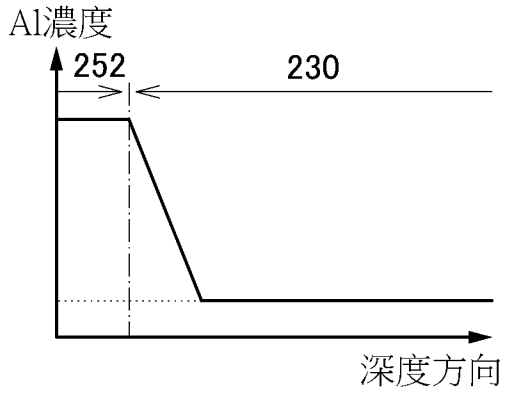
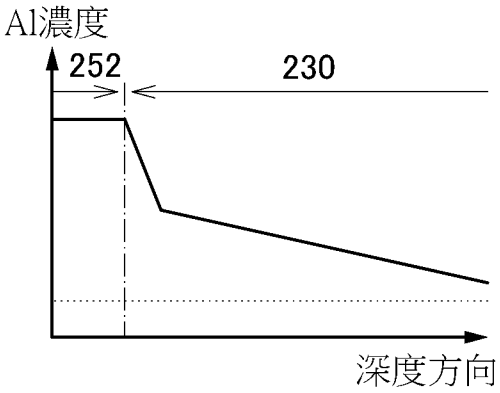


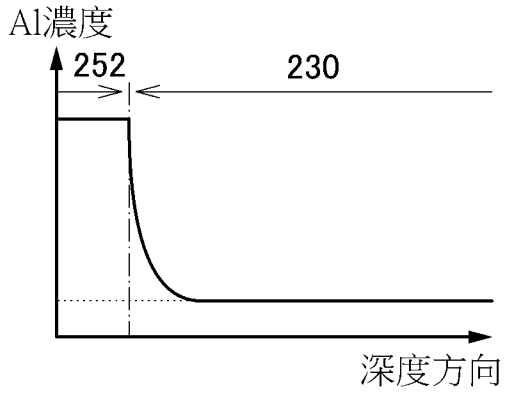
圖3E



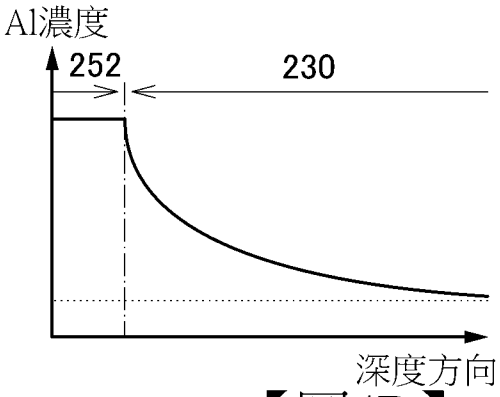
【圖4A】



【圖4B】



【圖4C】



【圖4D】

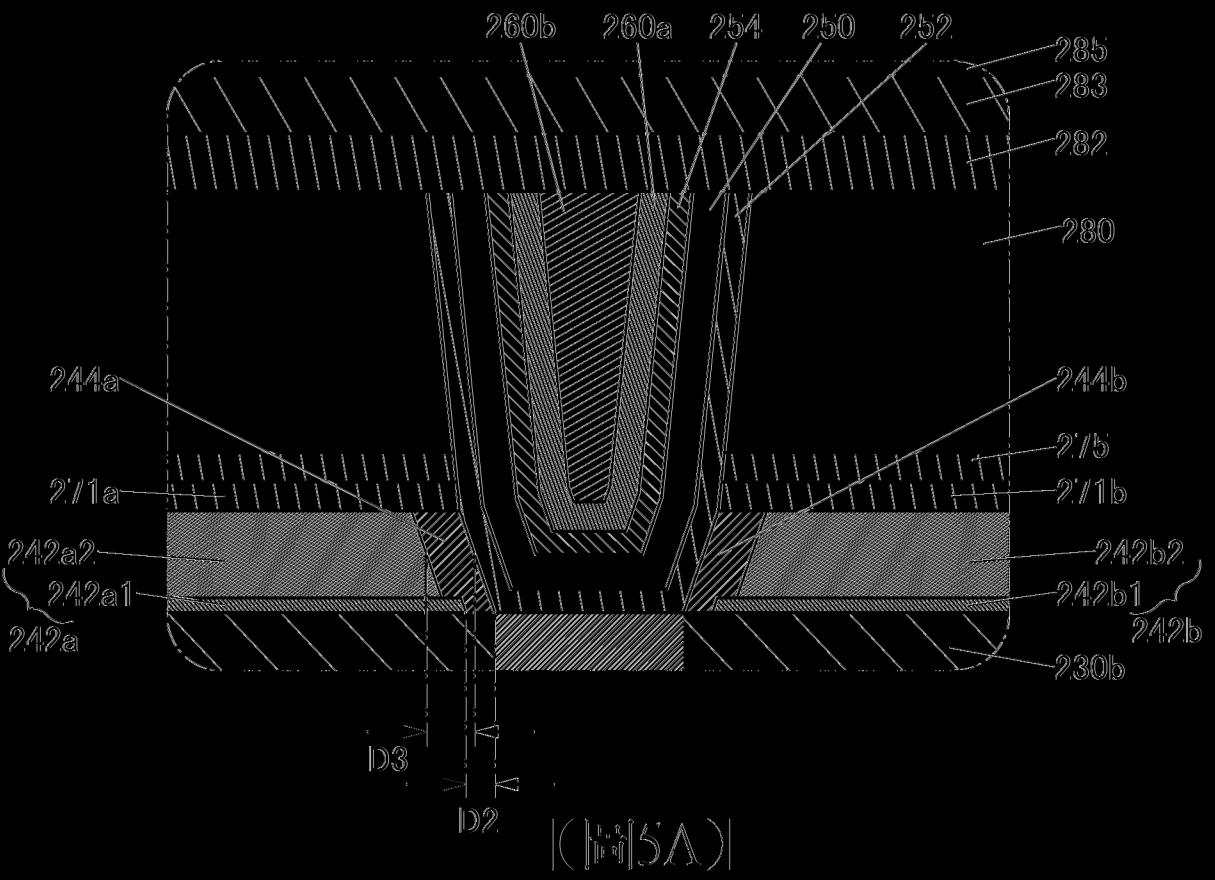

260b
260a
254
250
252
285
283
282
280
244a
244b
271
271a
271b
242a2
242b2
242a1
242b1
242a
242b
230b
D3
D2

圖5A

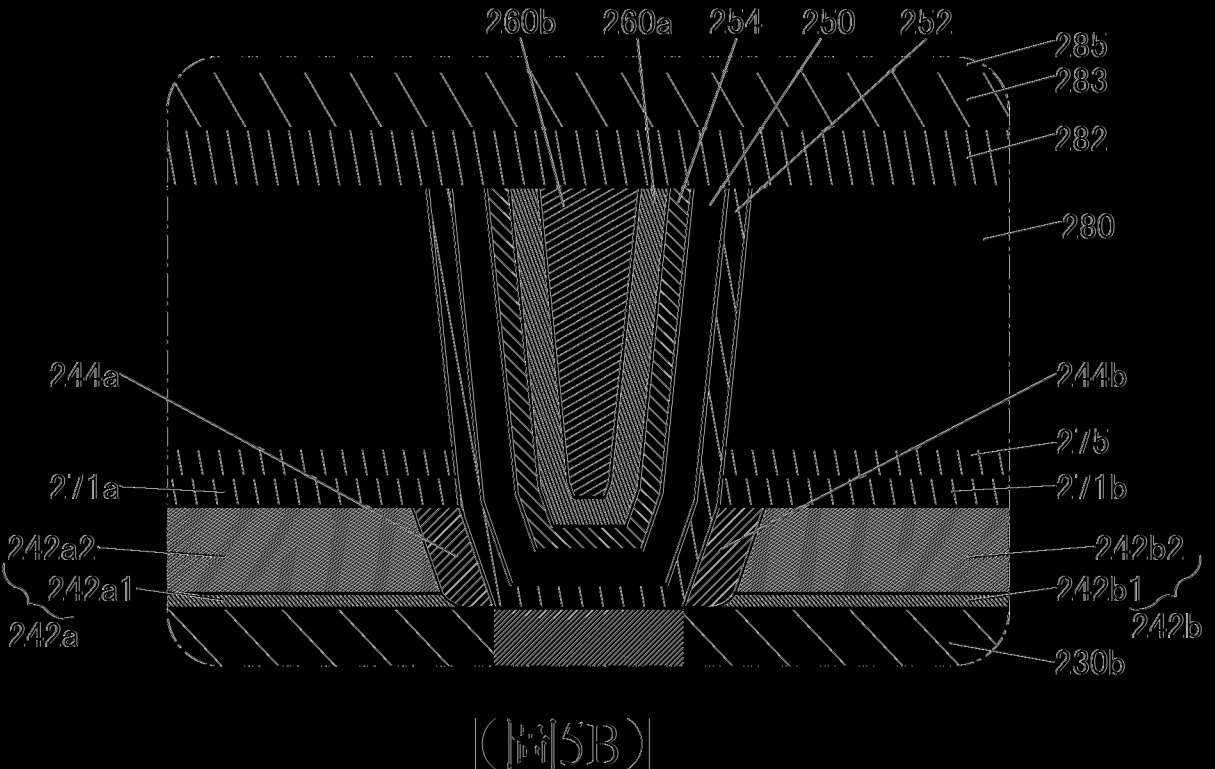

260b
260a
254
250
252
285
283
282
280
244a
244b
271
271a
271b
242a2
242b2
242a1
242b1
242a
242b
230b

圖5B

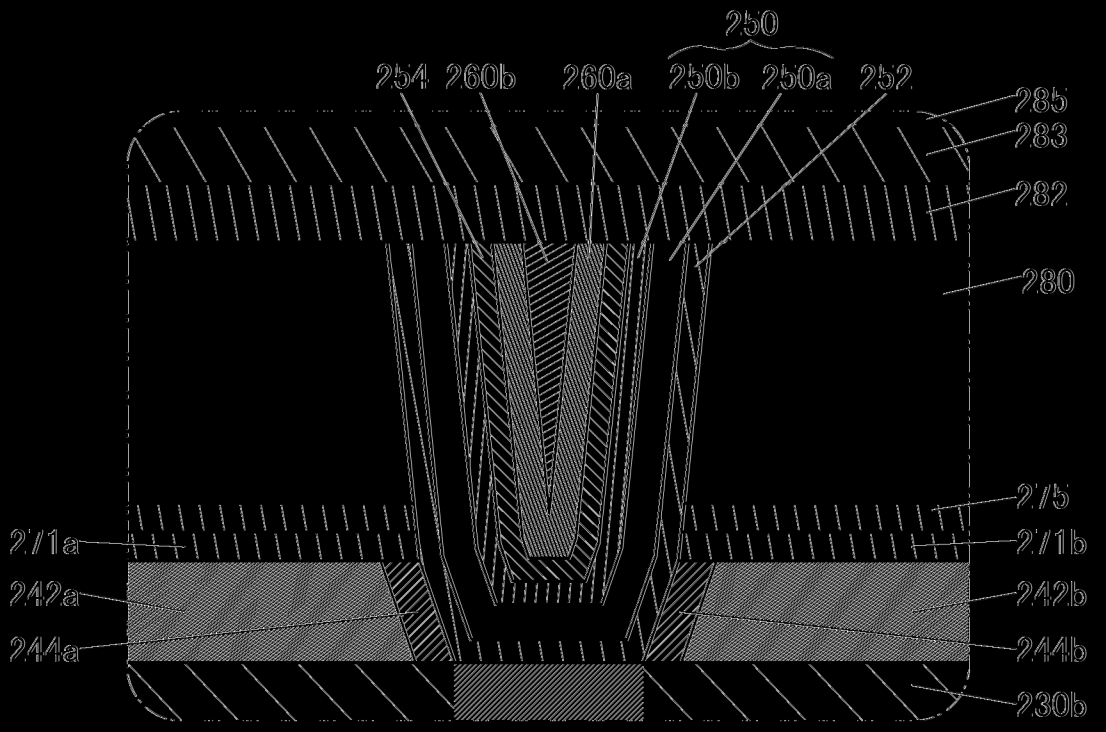

250
254
260b
260a
250b
250a
252
285
283
282
280
275
271a
271b
242a
242b
244a
244b
230b

圖6A

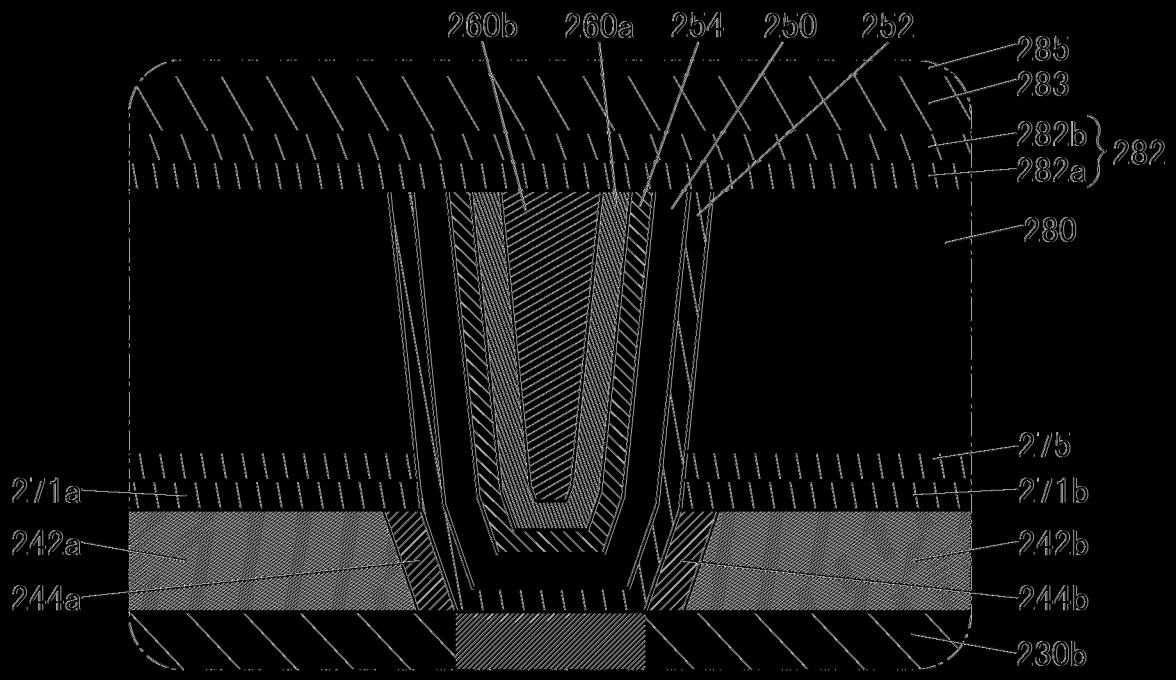
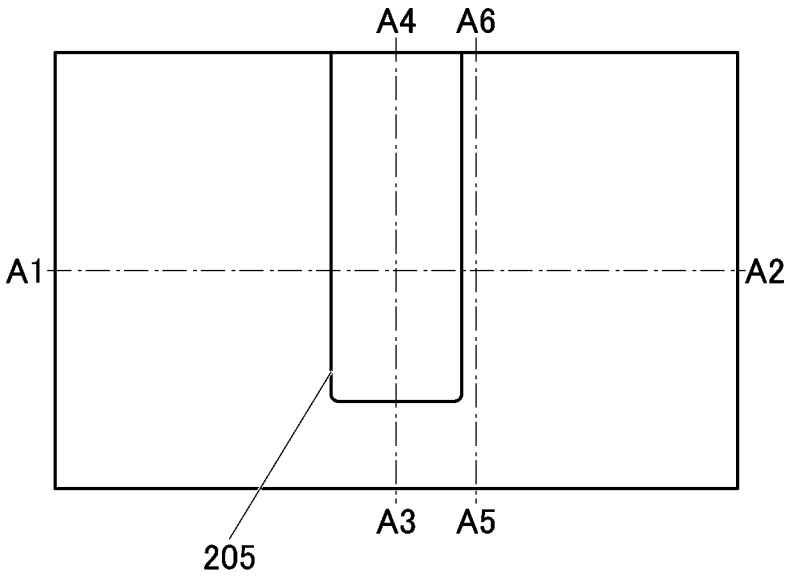
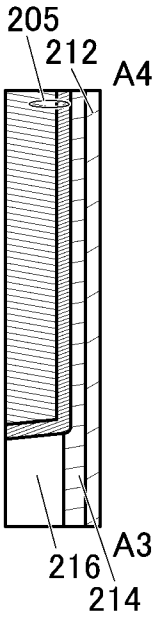

260b
260a
254
250
252
285
283
282b
282a
282
280
275
271a
271b
242a
242b
244a
244b
230b

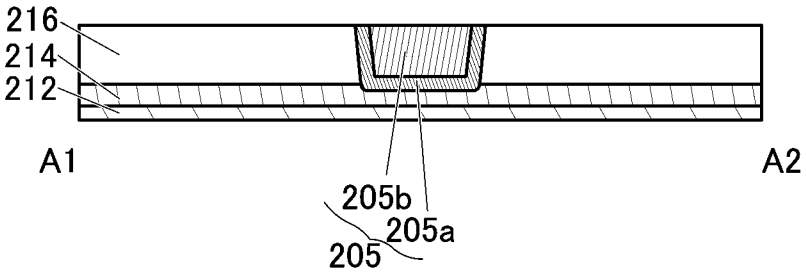
圖6B



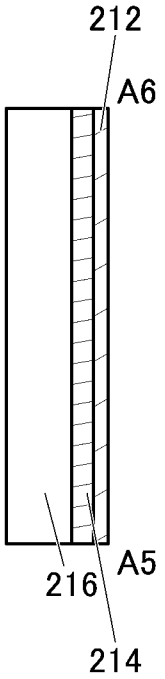
【圖7A】



【圖7C】



【圖7B】



【圖7D】

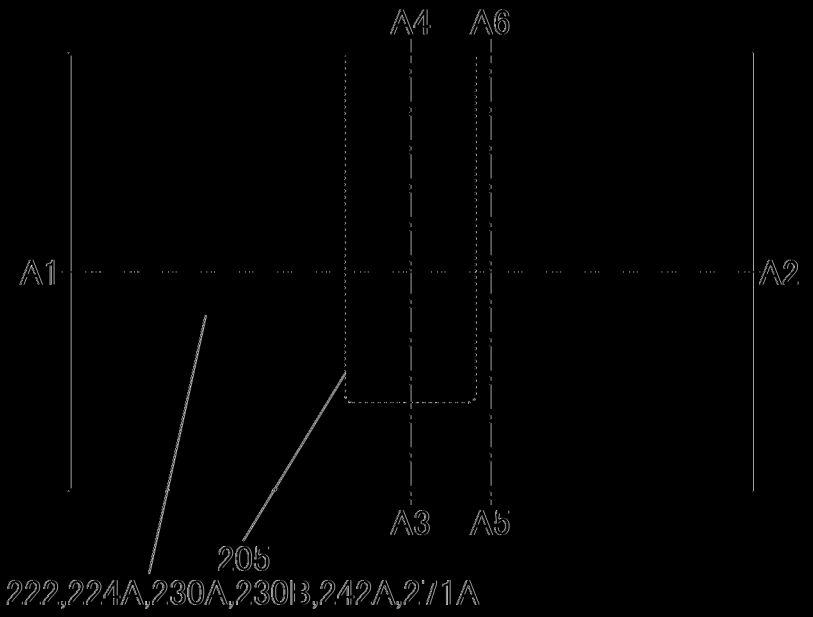


圖8A

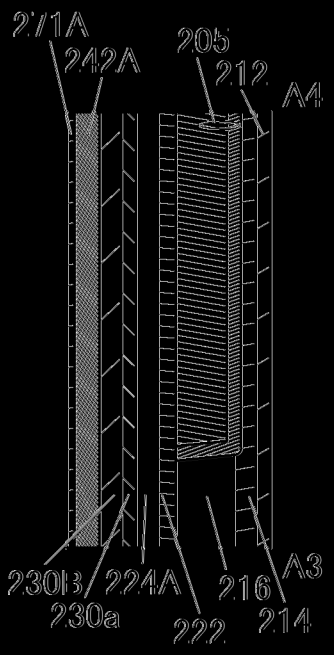


圖8C

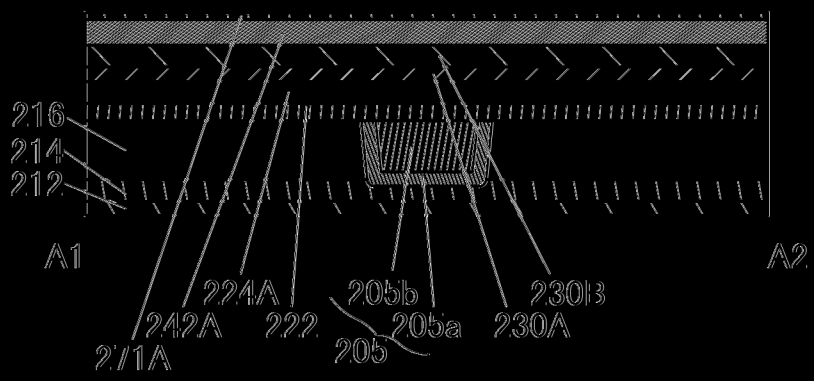


圖8B

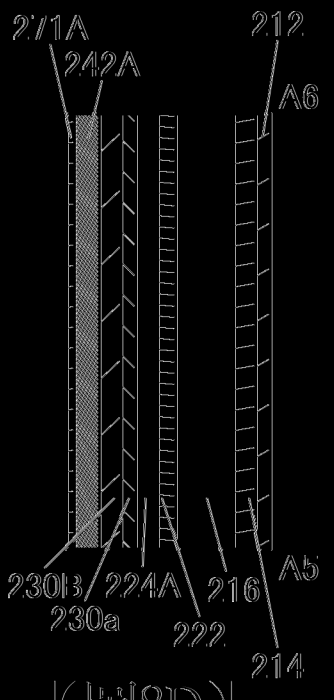


圖8D

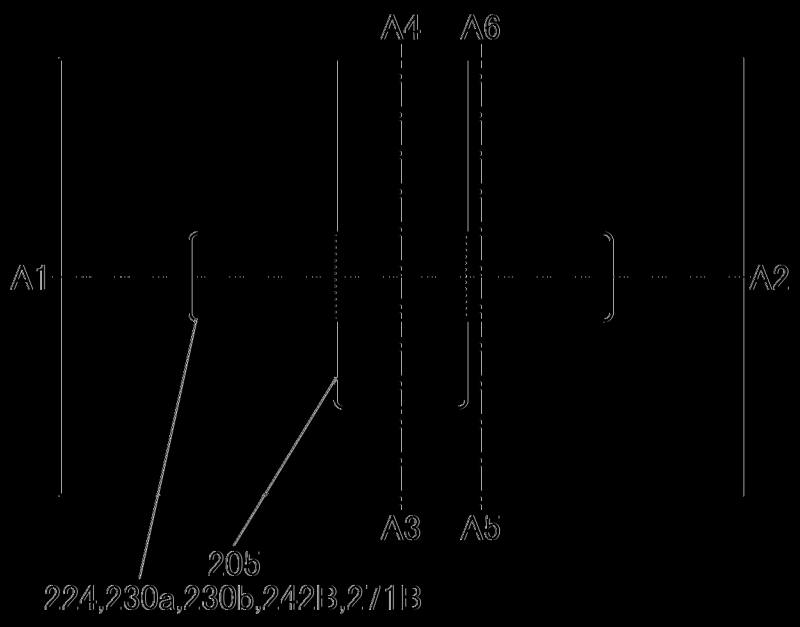


圖9A

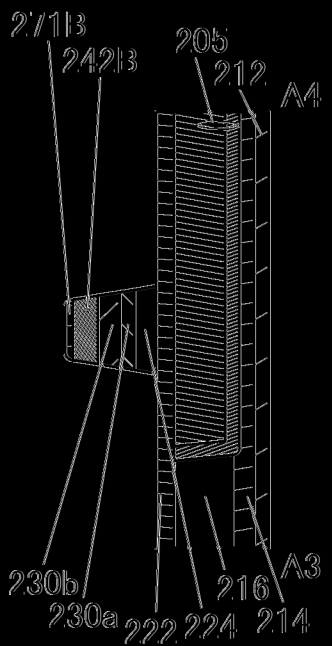


圖9C

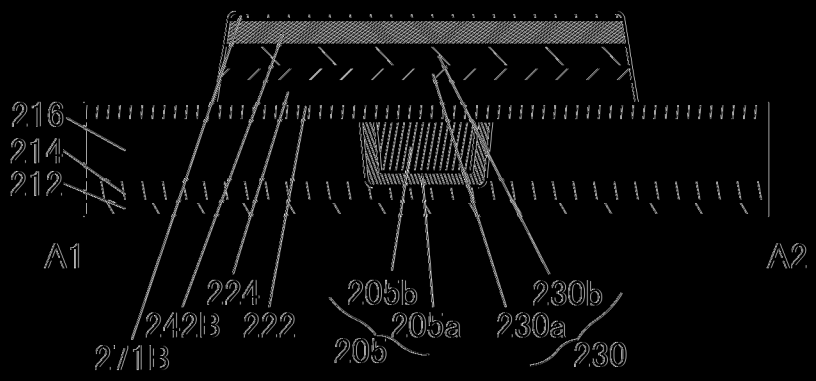


圖9B

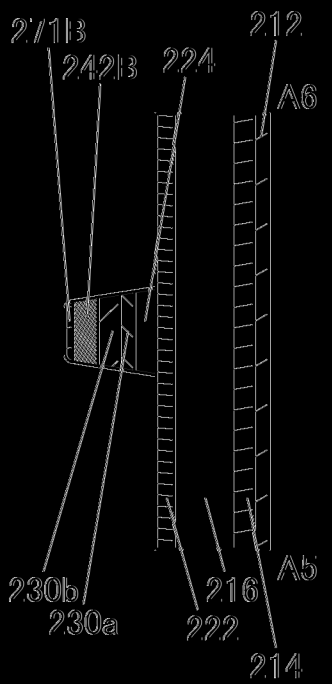


圖9D

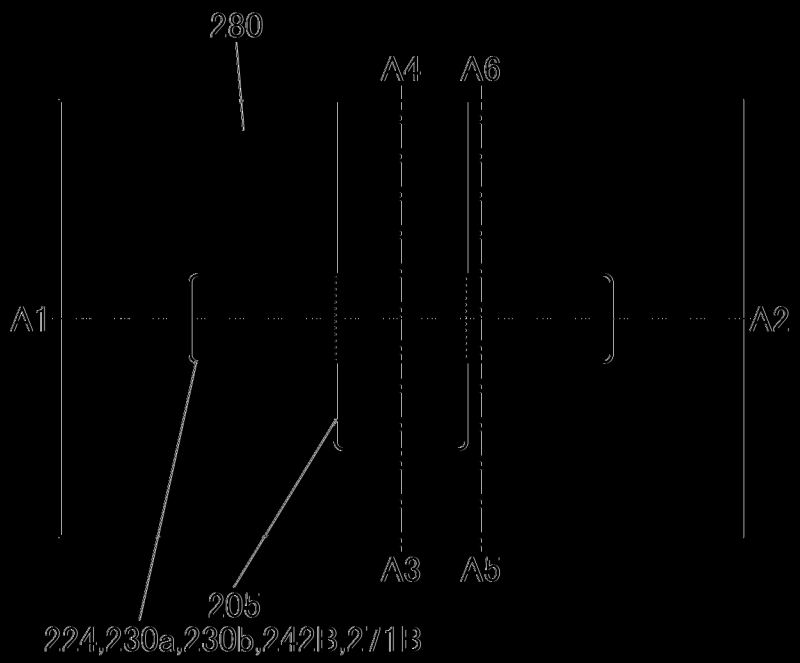


圖10A

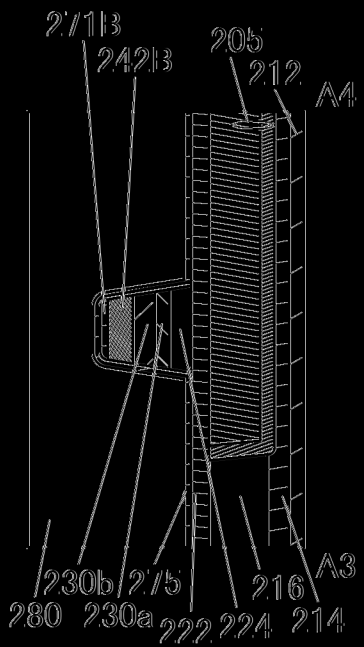


圖10C

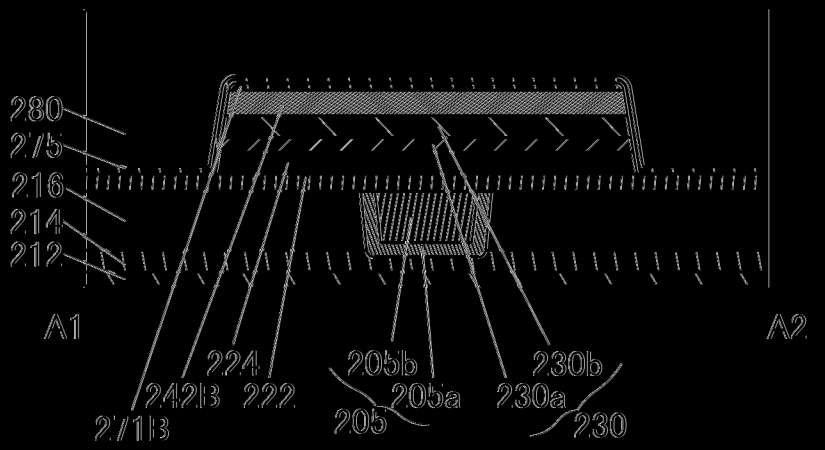


圖10B

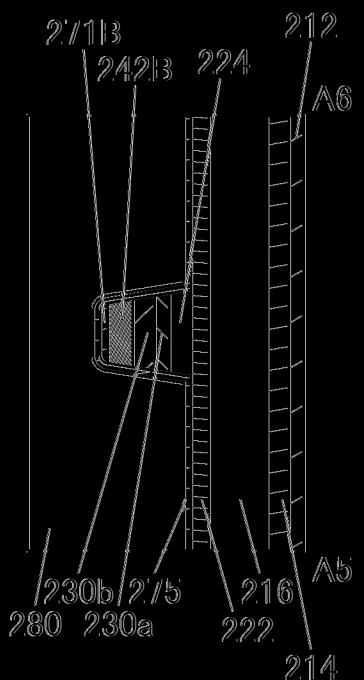


圖10D

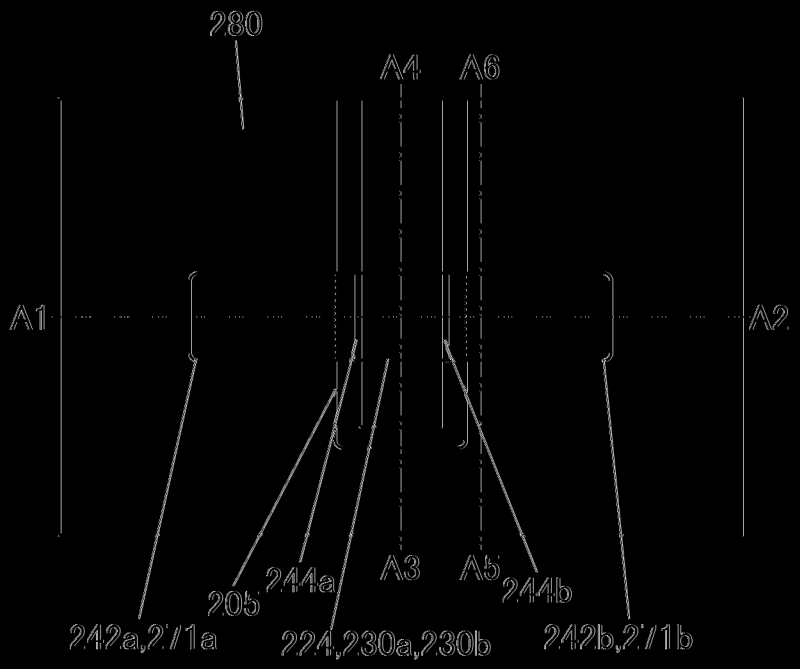


圖11A

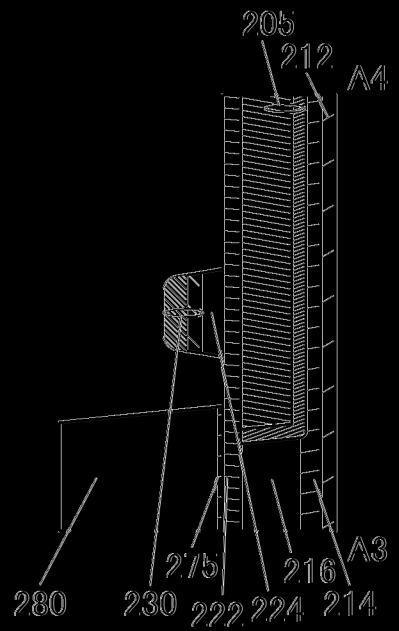


圖11C

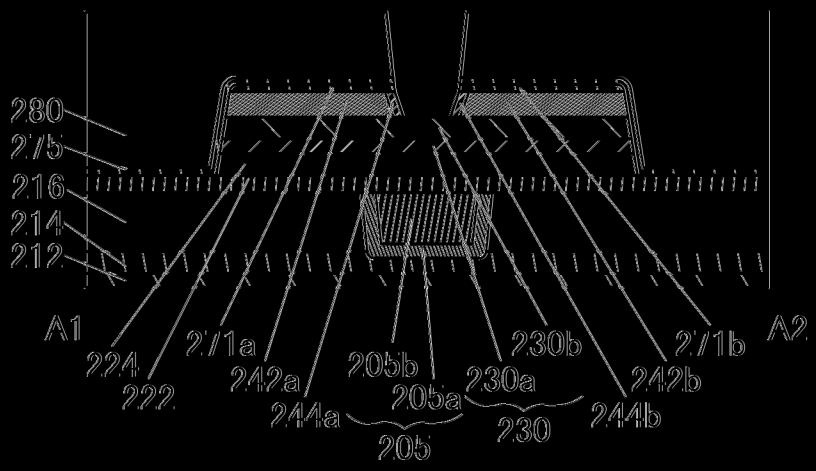


圖11B

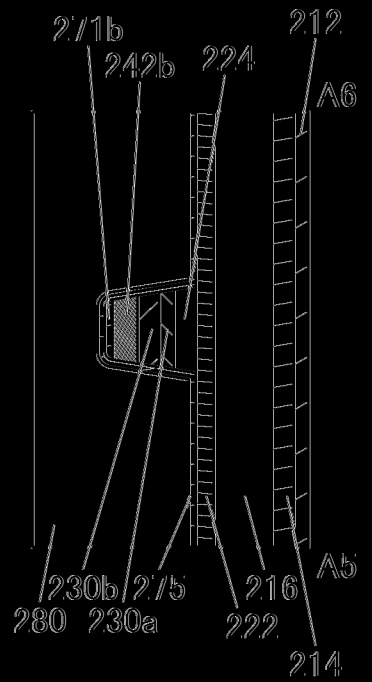


圖11D

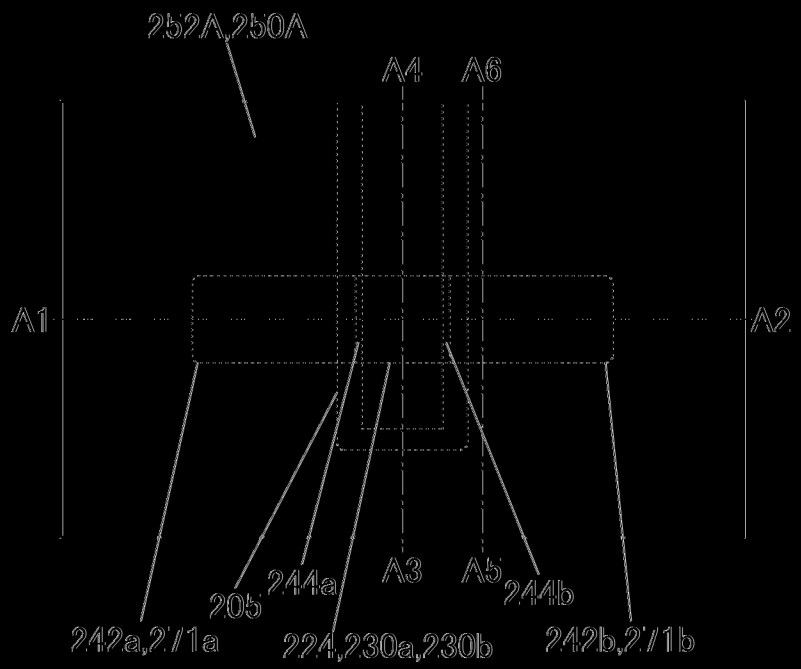


圖12A

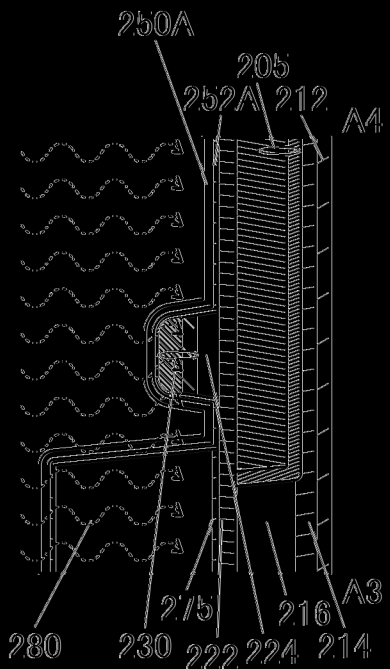


圖12C

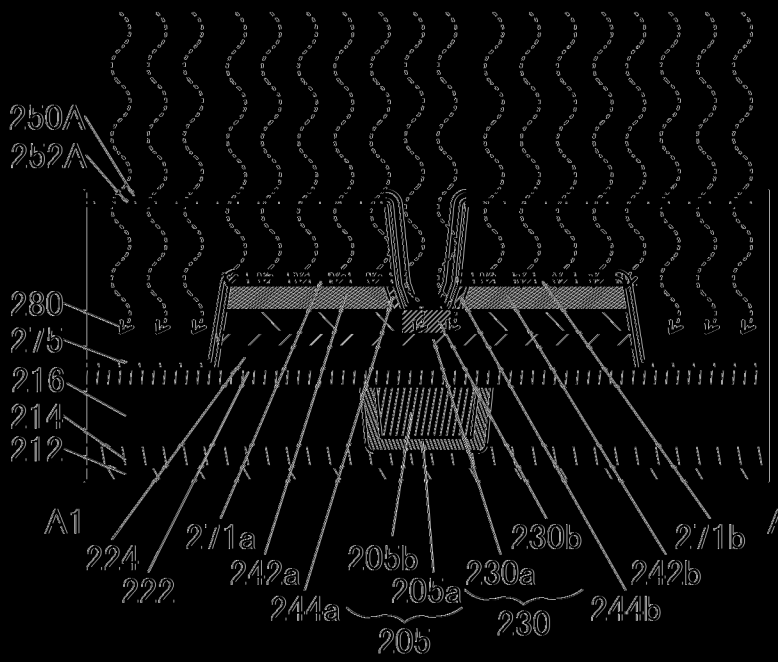


圖12B

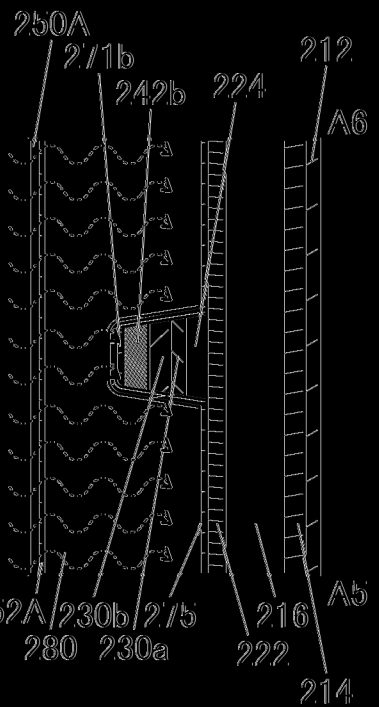


圖12D

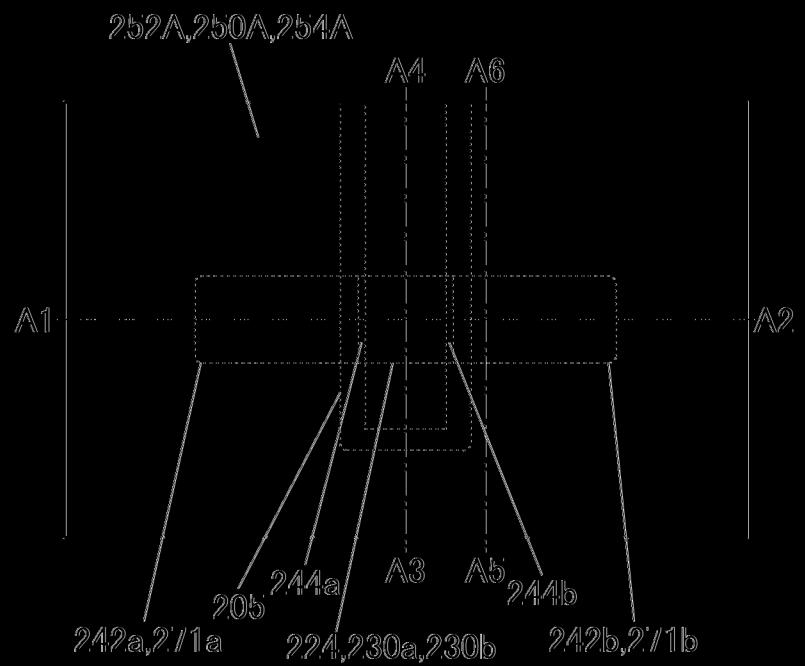


圖13A

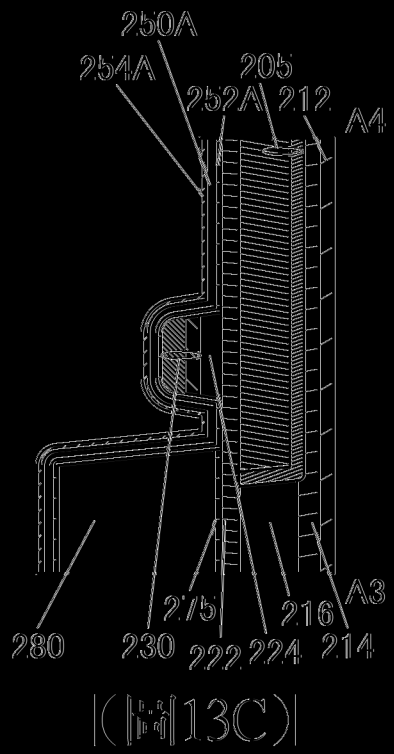


圖13C

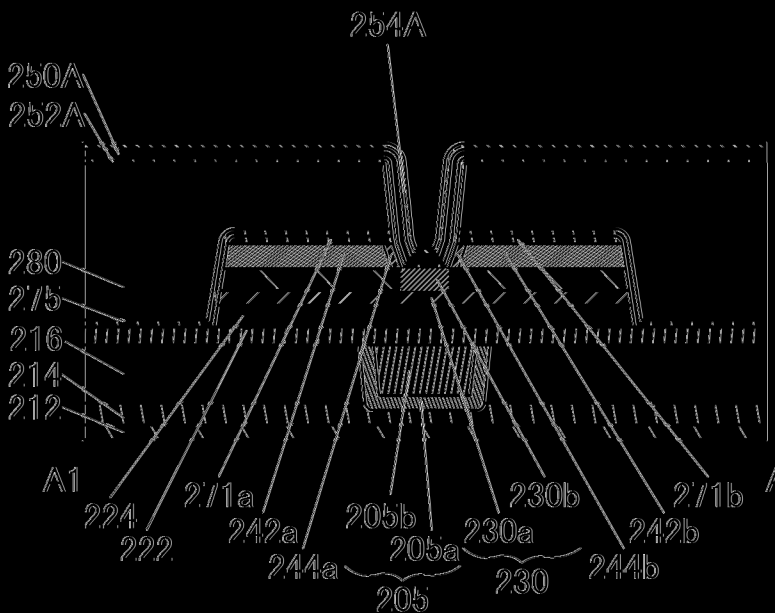


圖13B

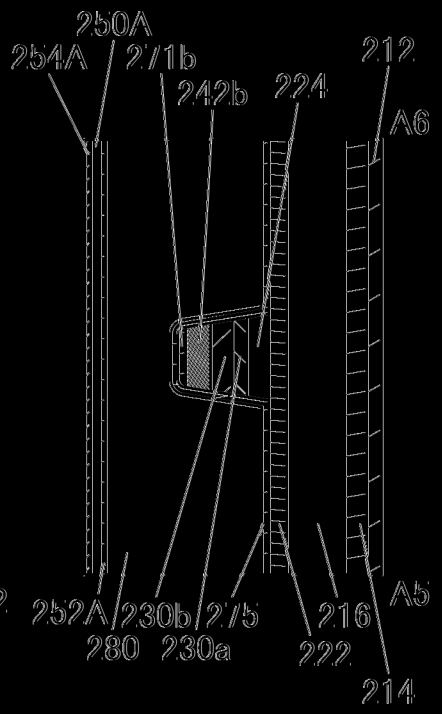


圖13D

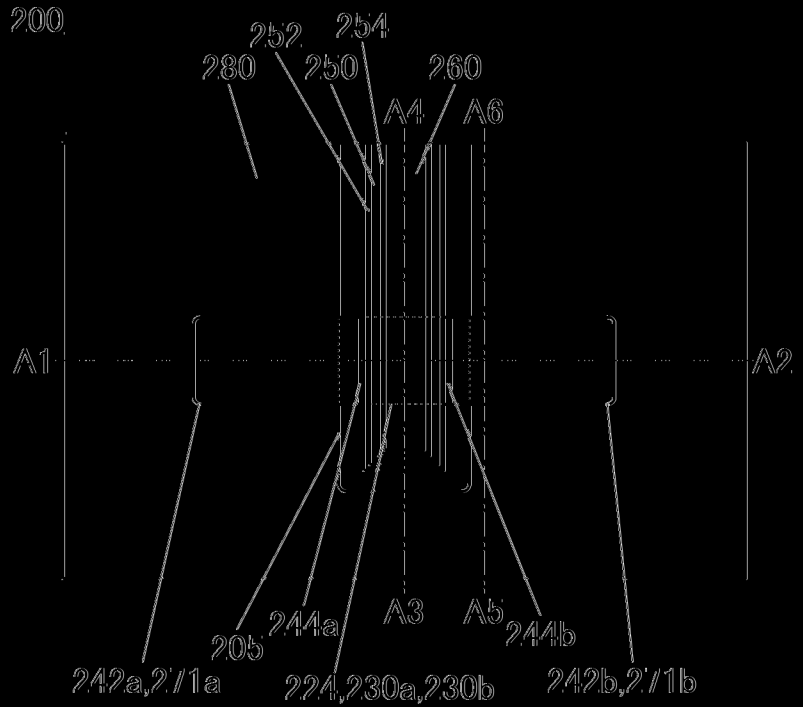


圖14A

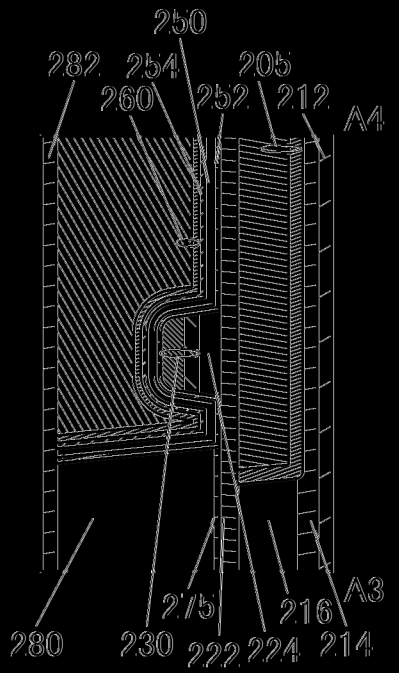


圖14C

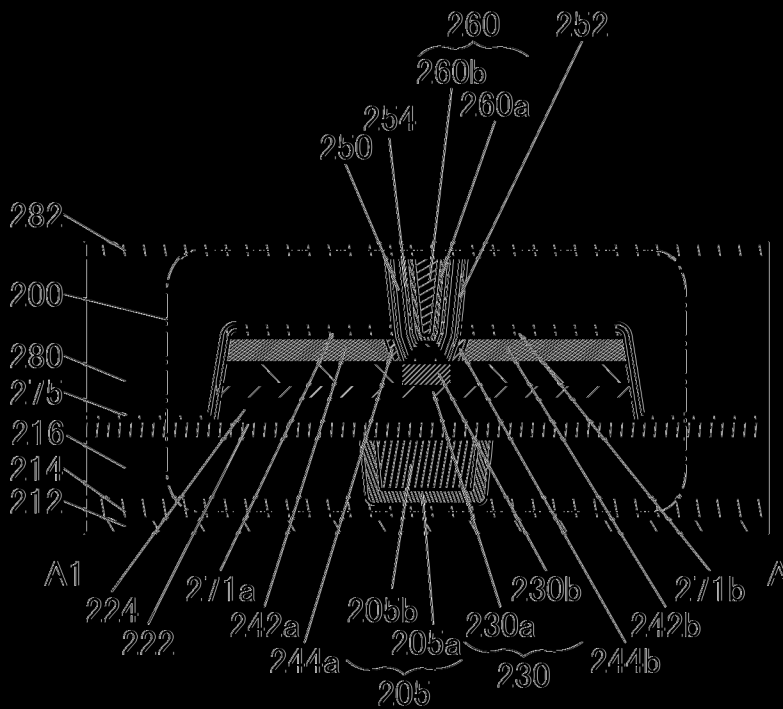


圖14B

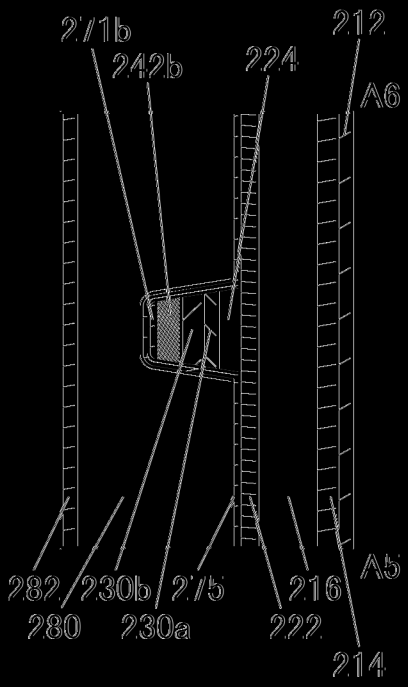


圖14D

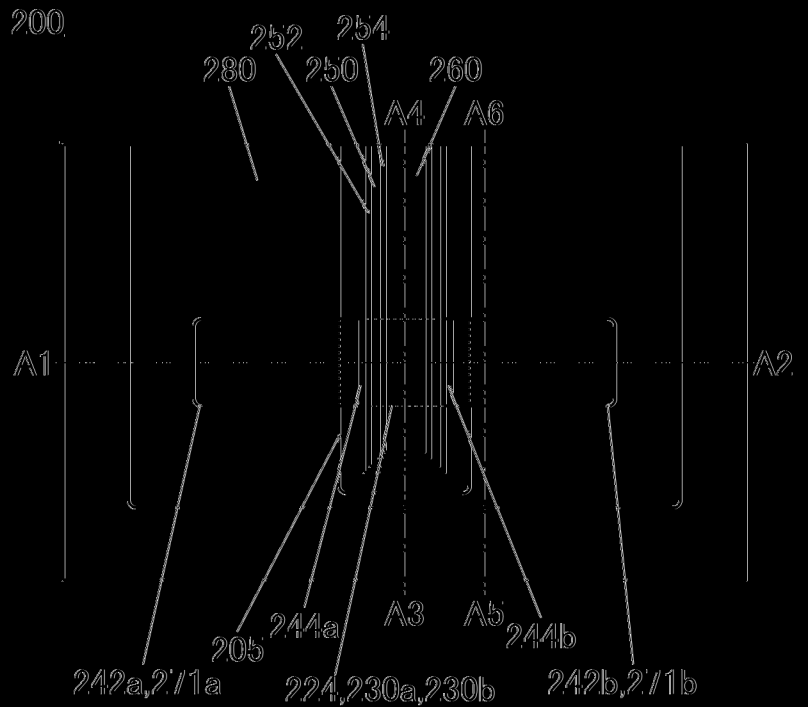


圖15A

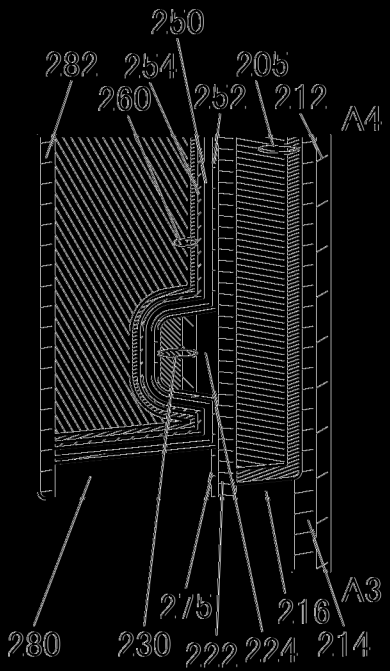


圖15C

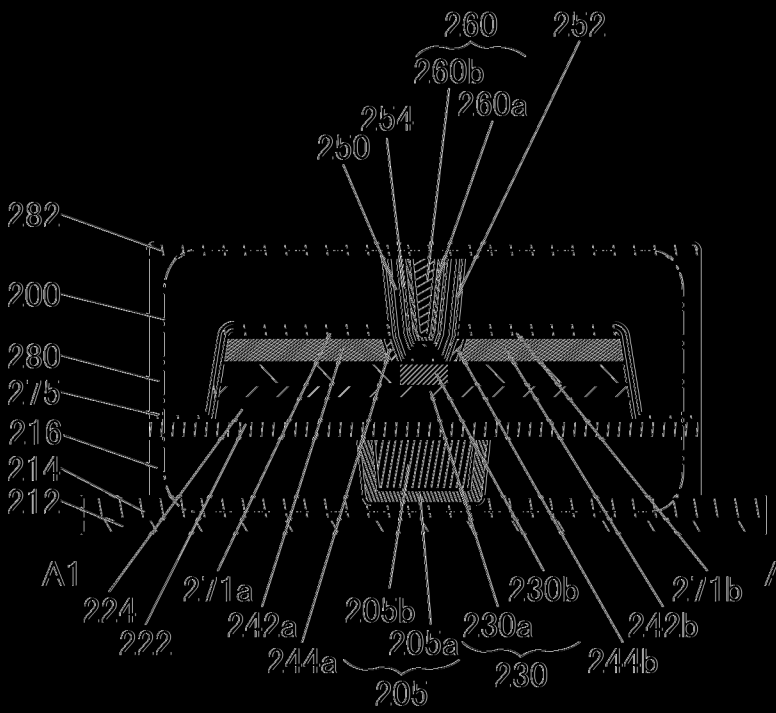


圖15B

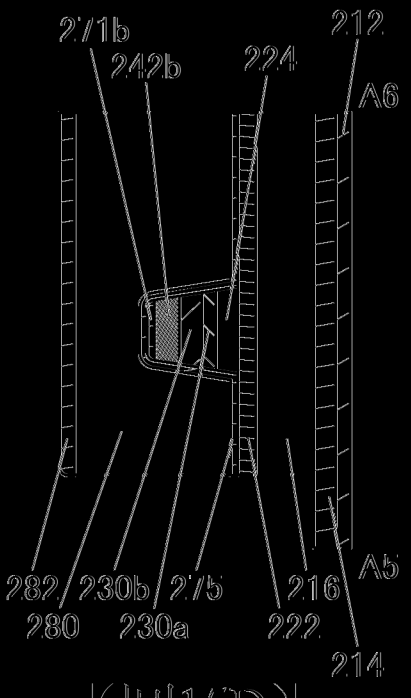


圖15D

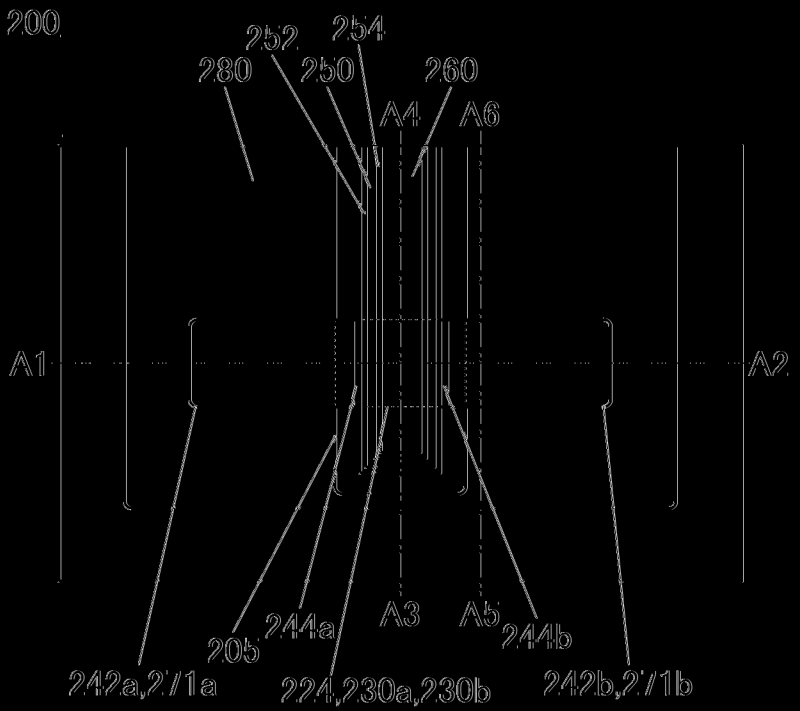


圖16A

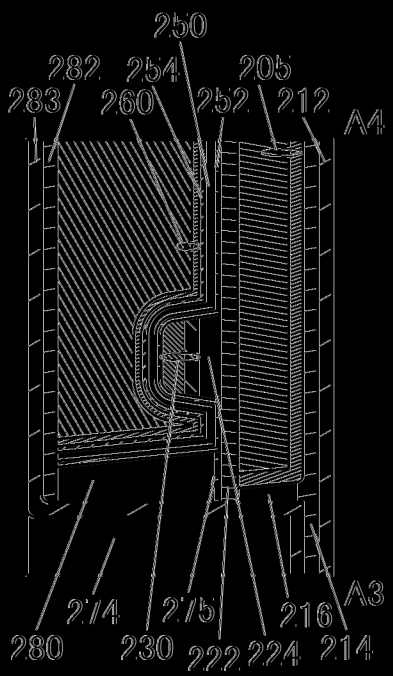


圖16C

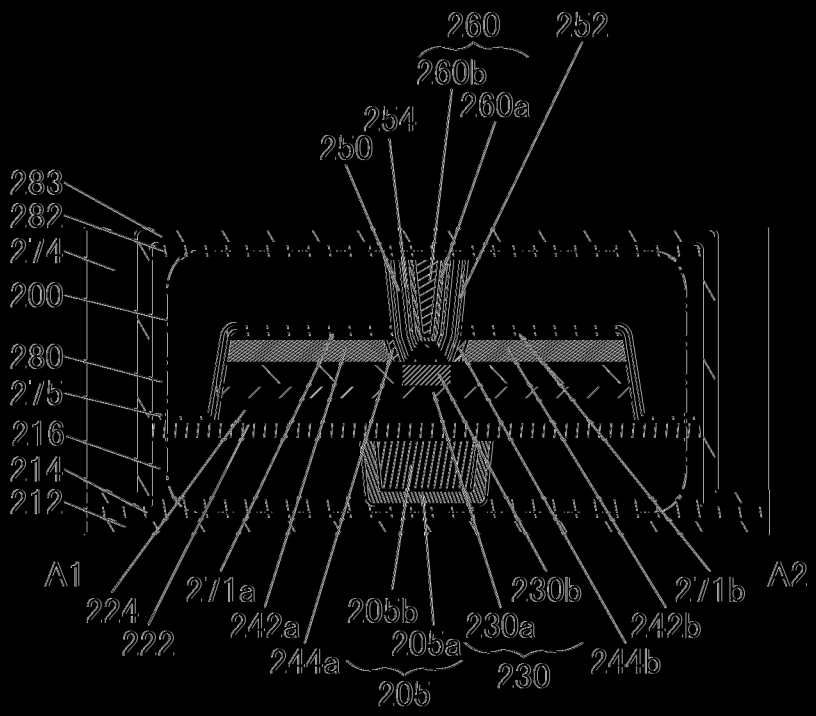


圖16B

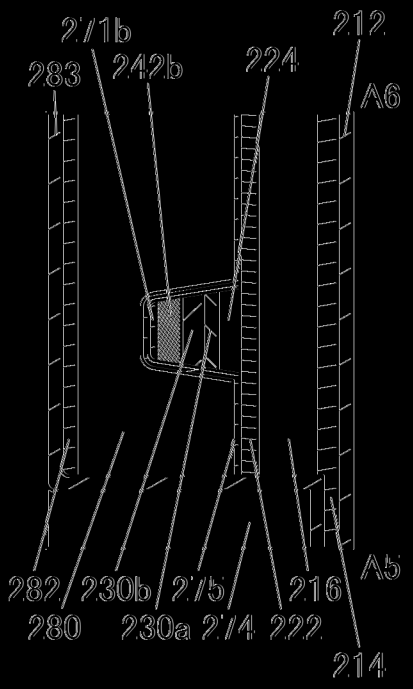


圖16D

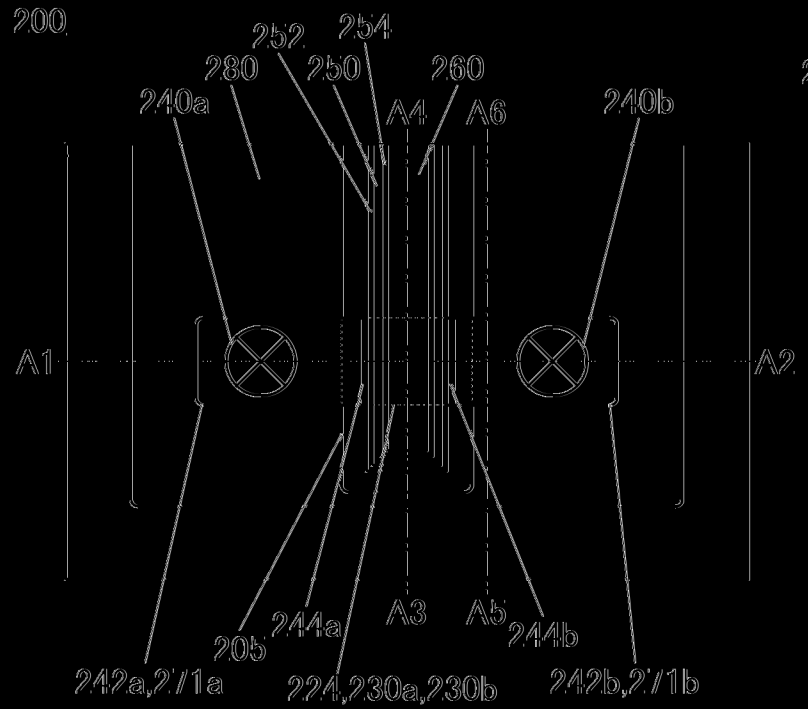


圖1-7A

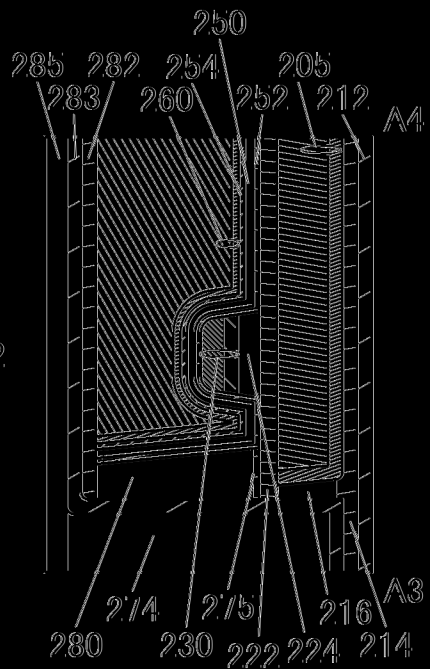


圖1-7C

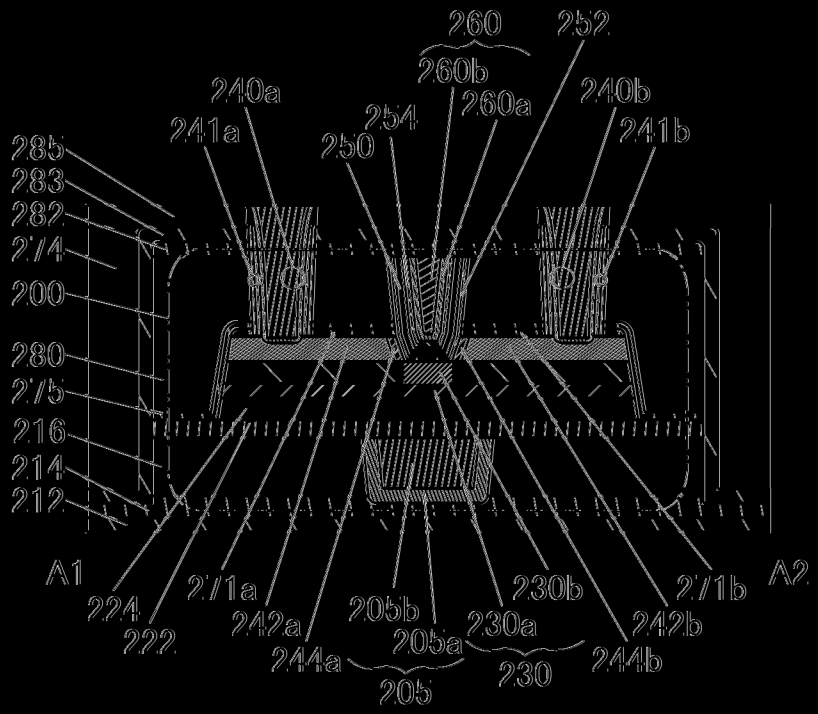


圖1-7B

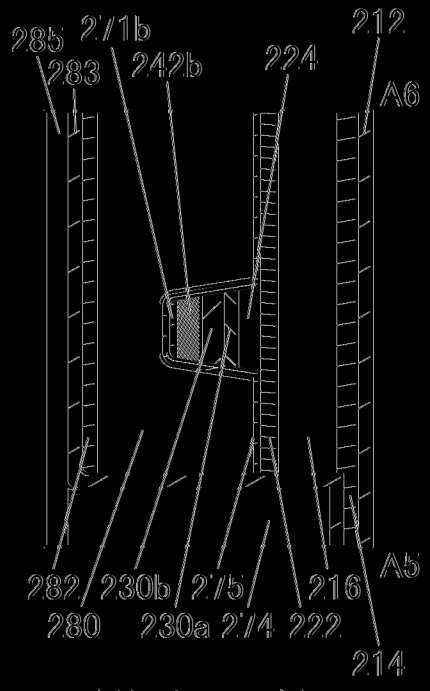
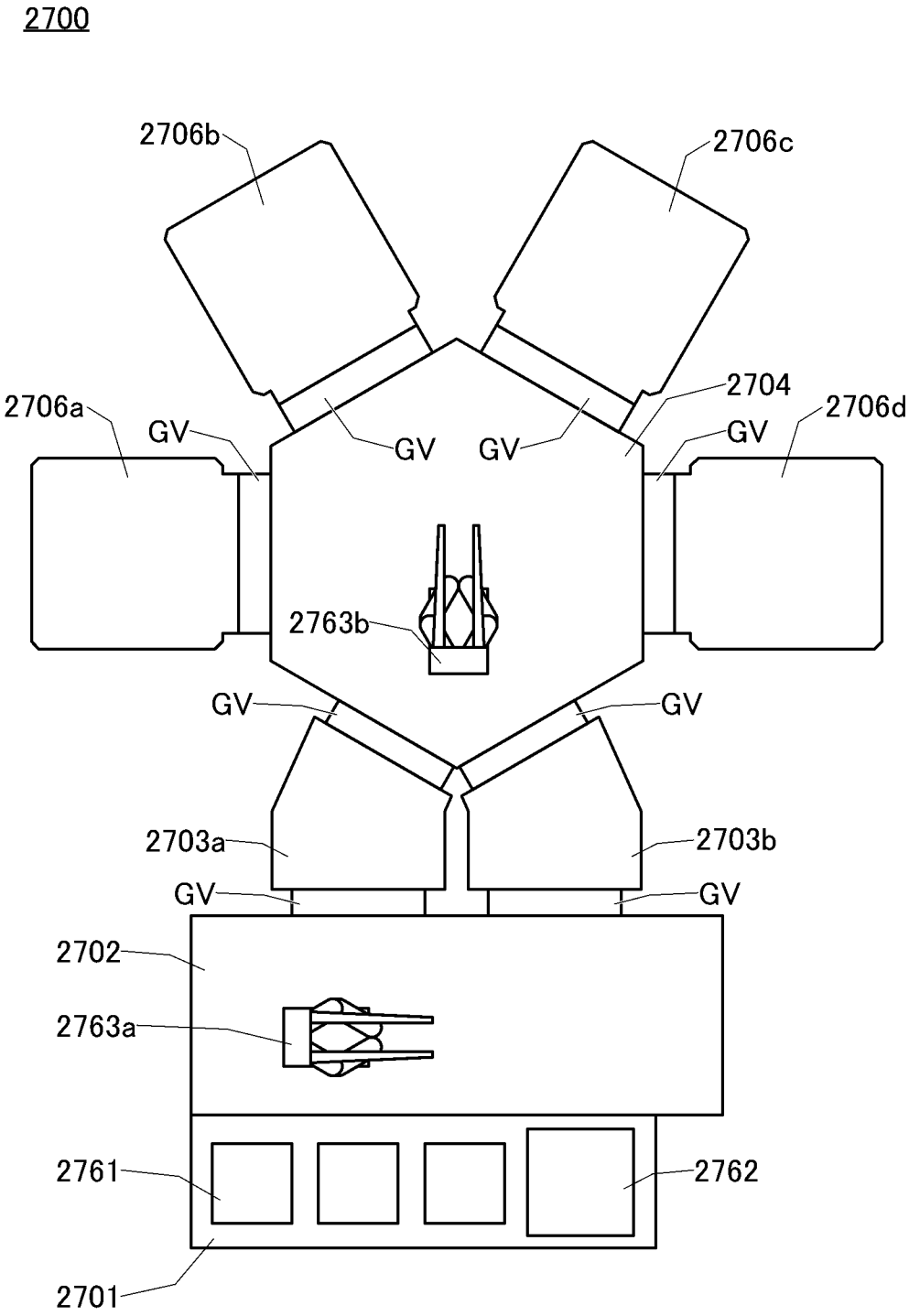
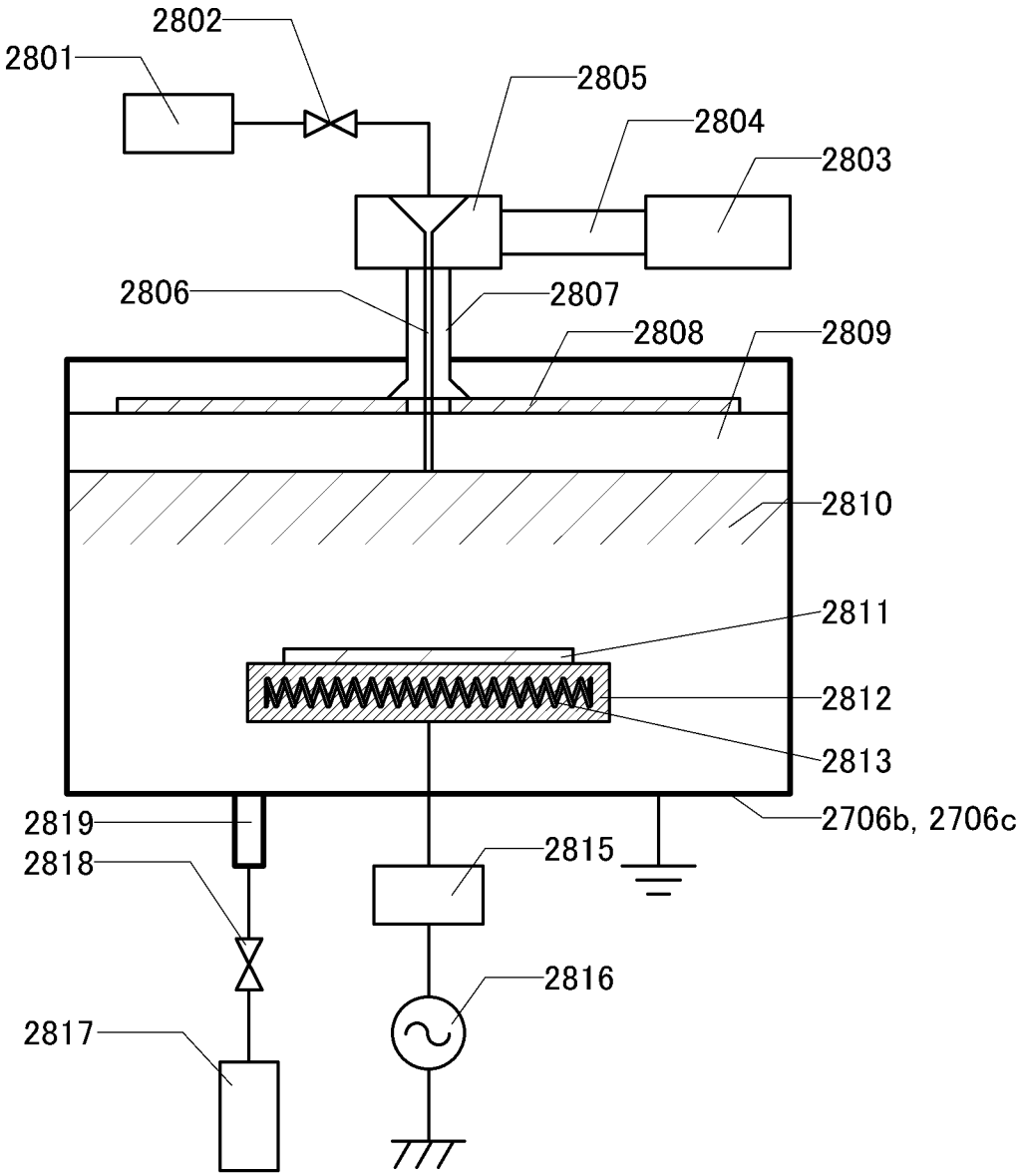


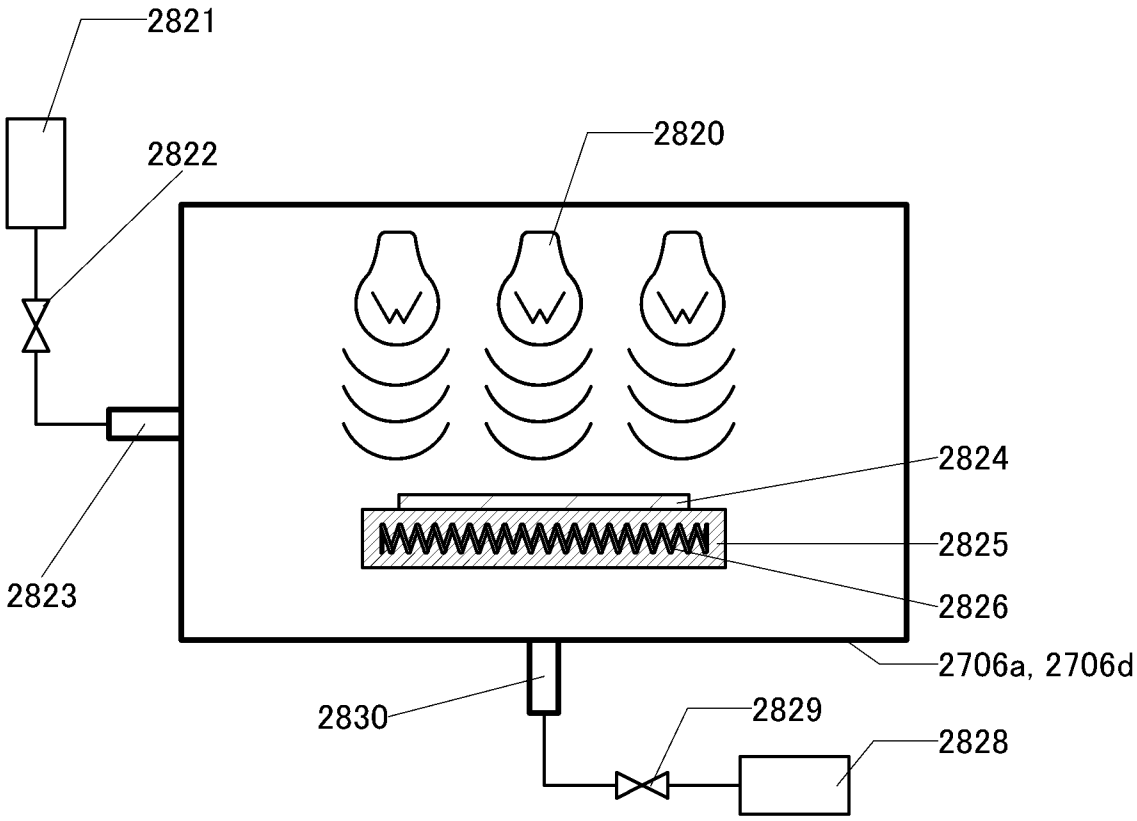
圖1-7D


2700
2706b
2706c
2706a
GV
GV
GV
2704
GV
2706d
2763b
GV
GV
2703a
2703b
GV
GV
2702
2763a
2761
2762
2701

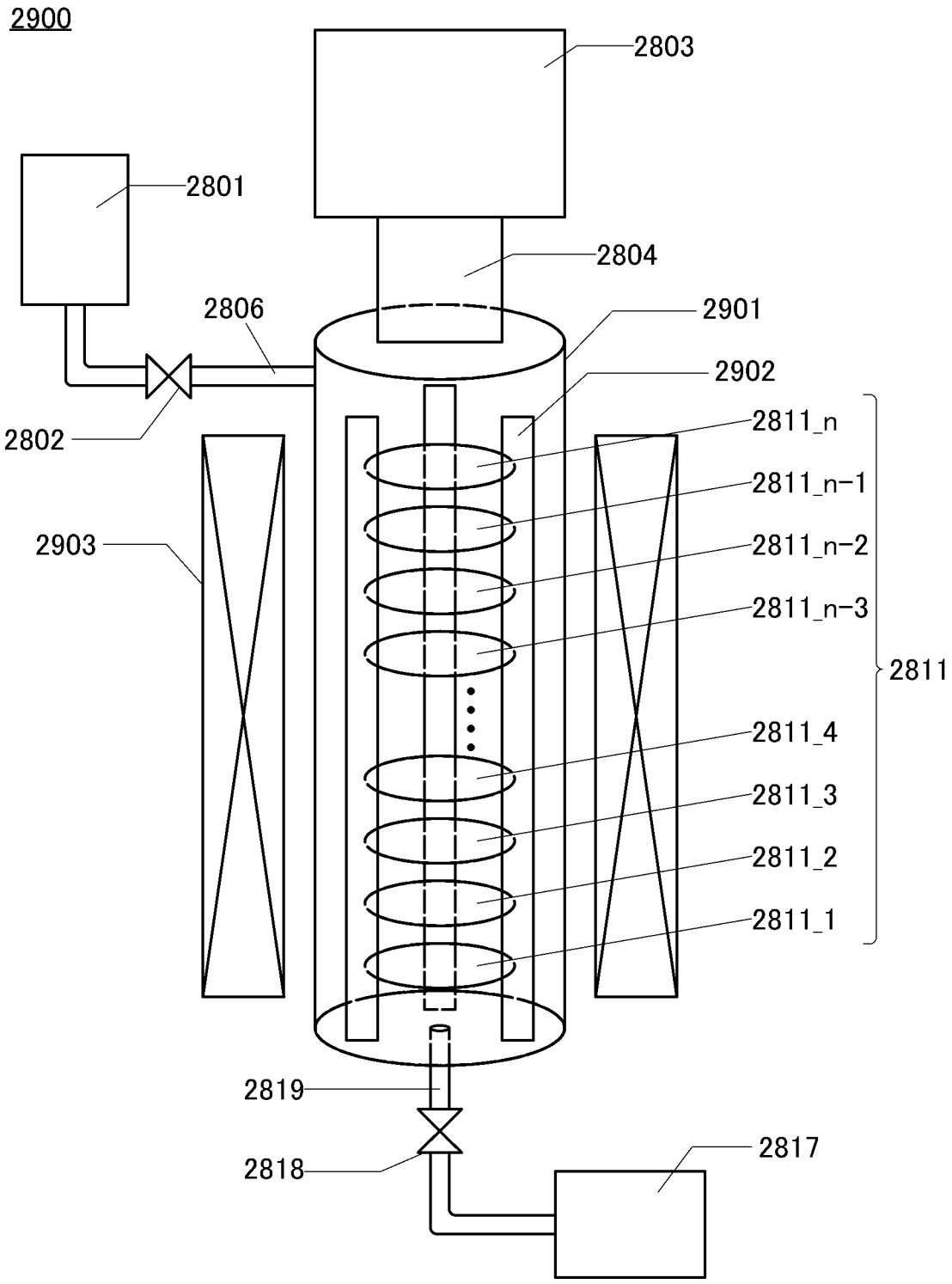
【圖18】


2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2819
2706b, 2706c
2818
2815
2816
2817

【圖19】


2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

【圖20】


2900
2803
2801
2804
2806
2901
2902
2802
2811_n
2811_n-1
2811_n-2
2811_n-3
2903
2811
2811_4
2811_3
2811_2
2811_1
2819
2817
2818

【圖21】

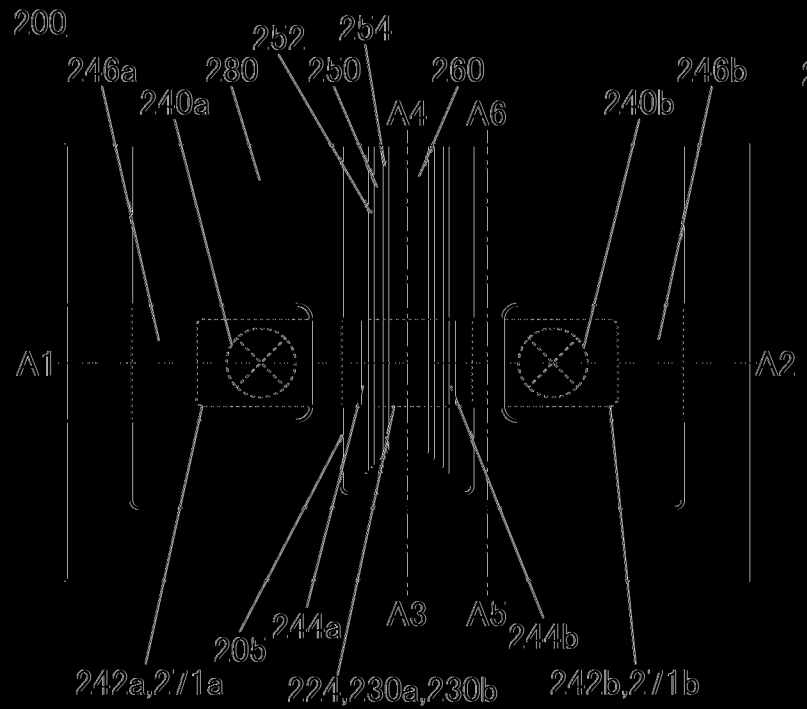


圖22A

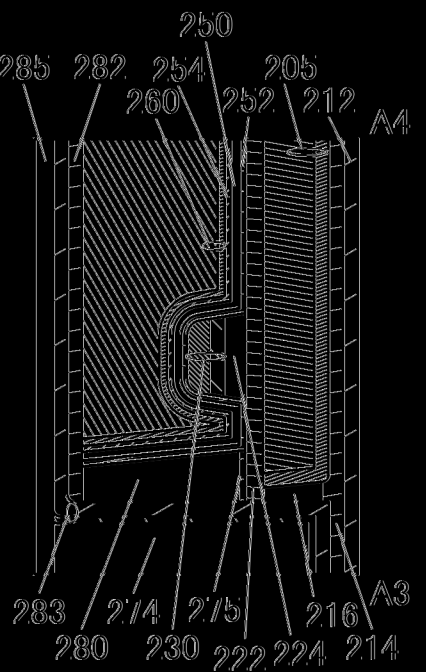


圖22C

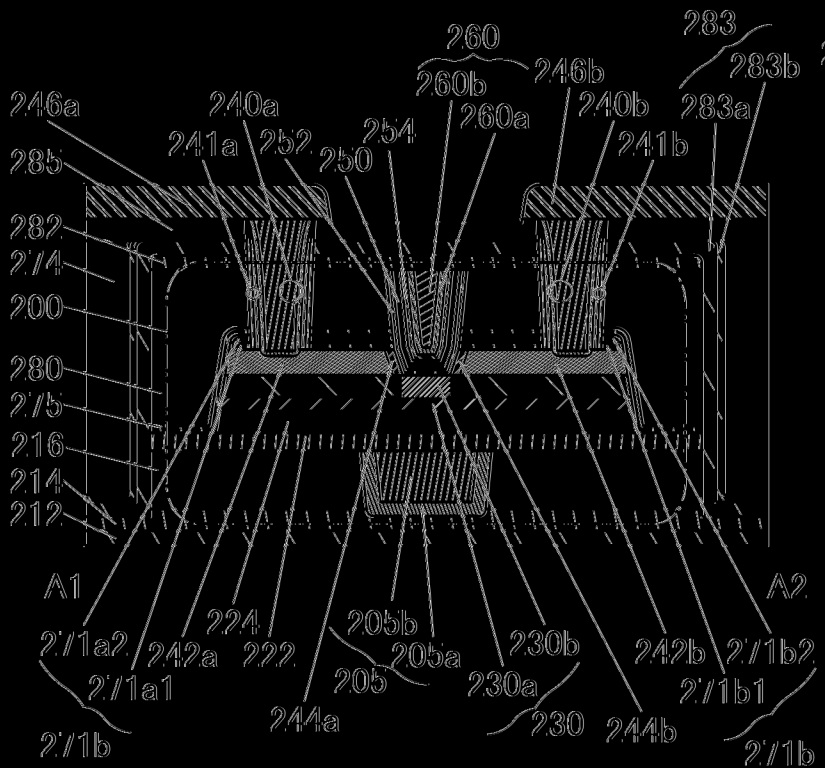


圖22B

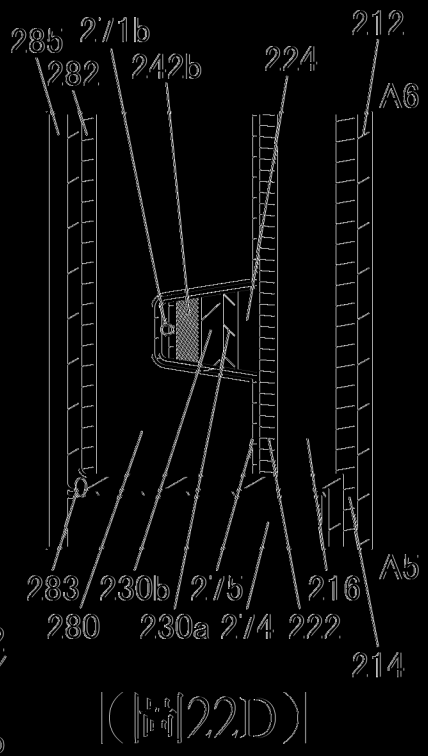


圖22D

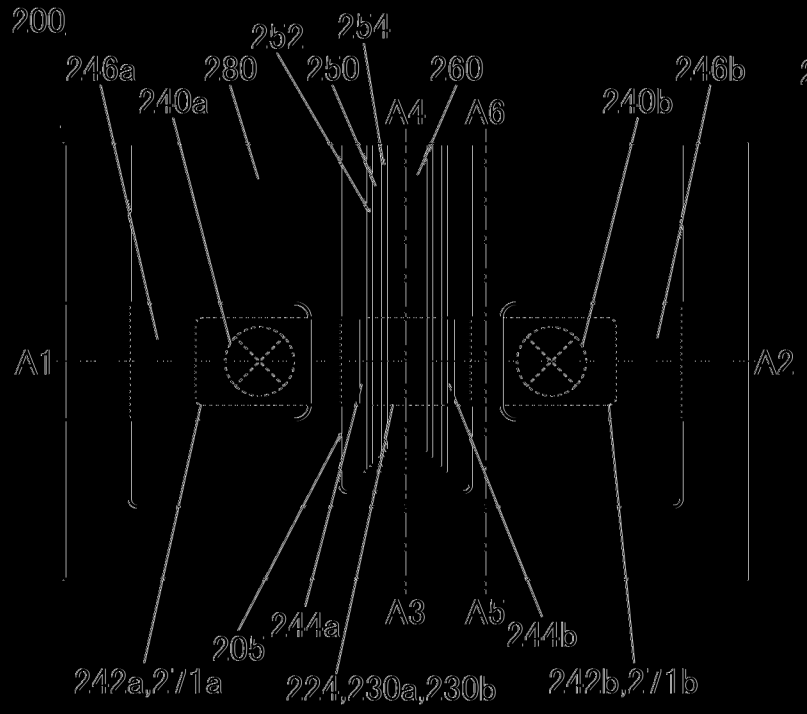


圖23A

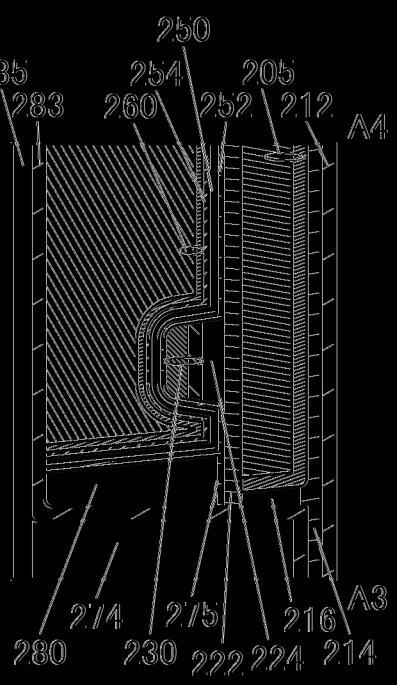


圖23C

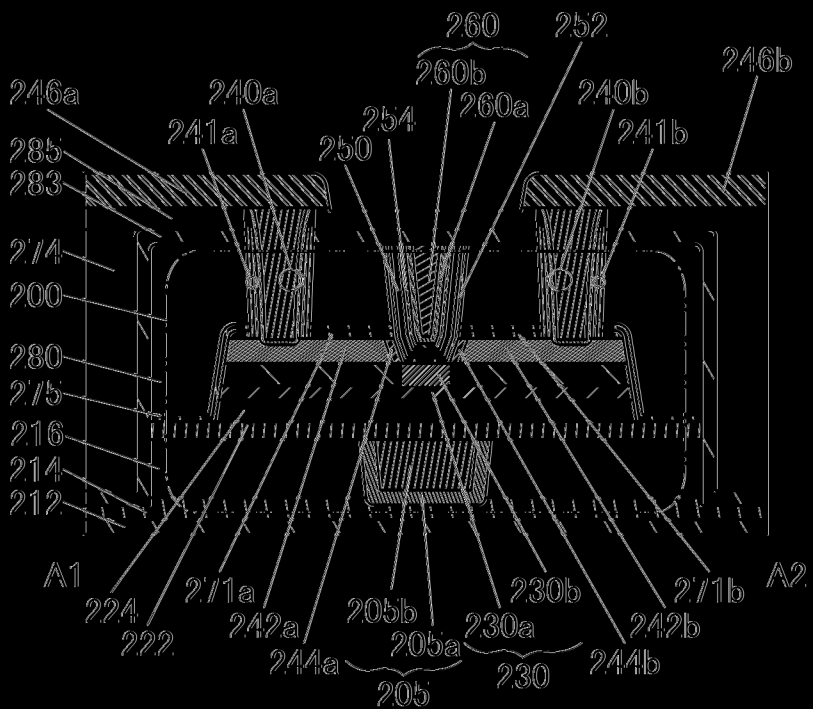


圖23B

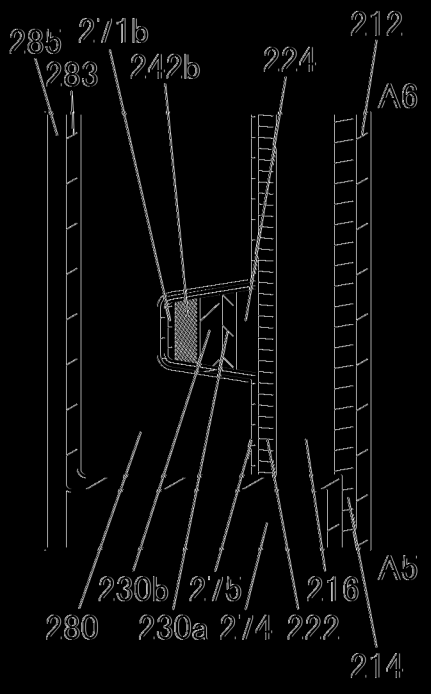


圖23D

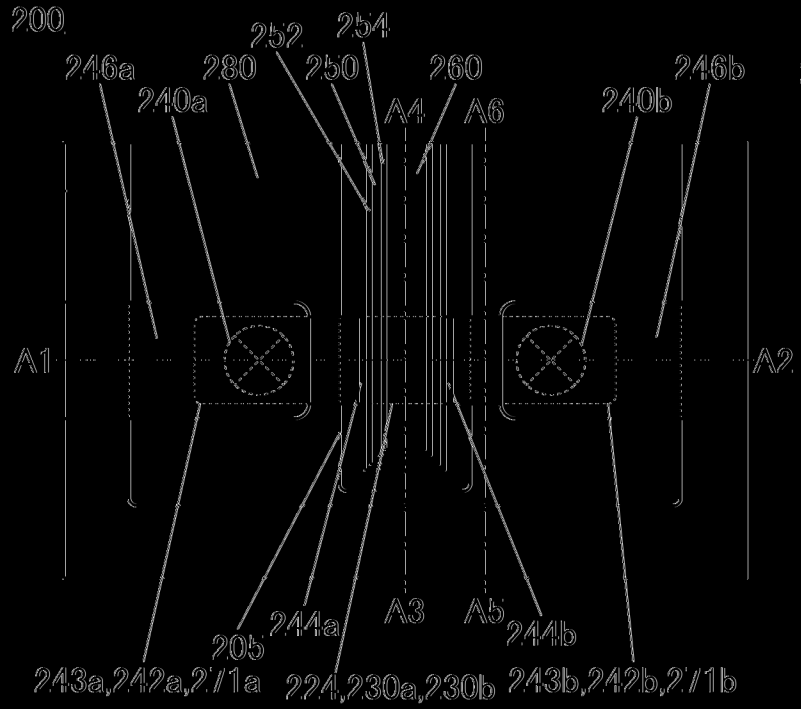


圖2A

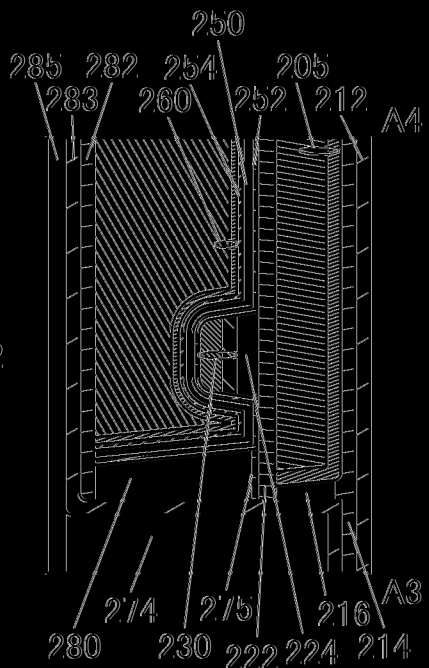


圖2C

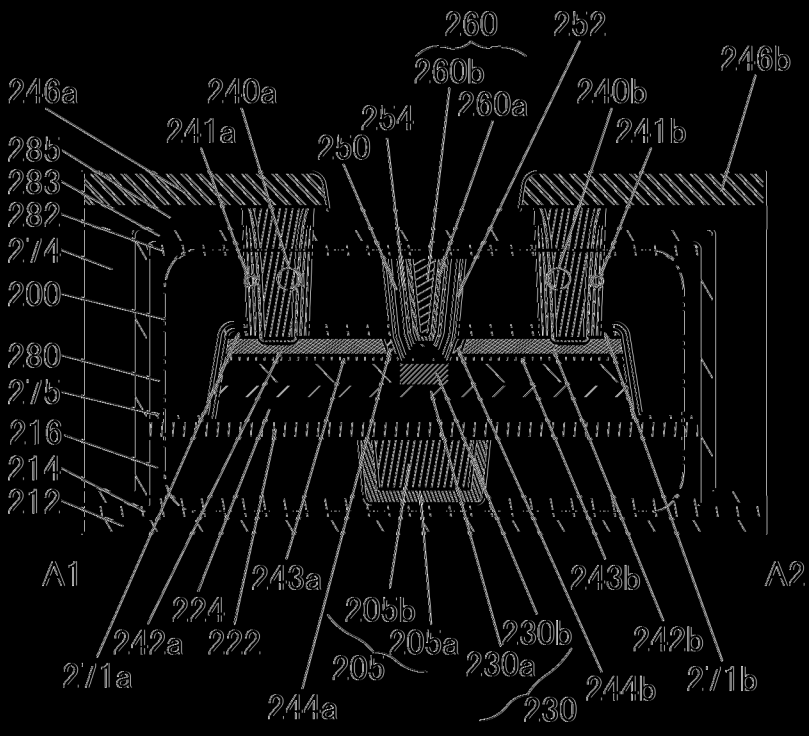


圖2B

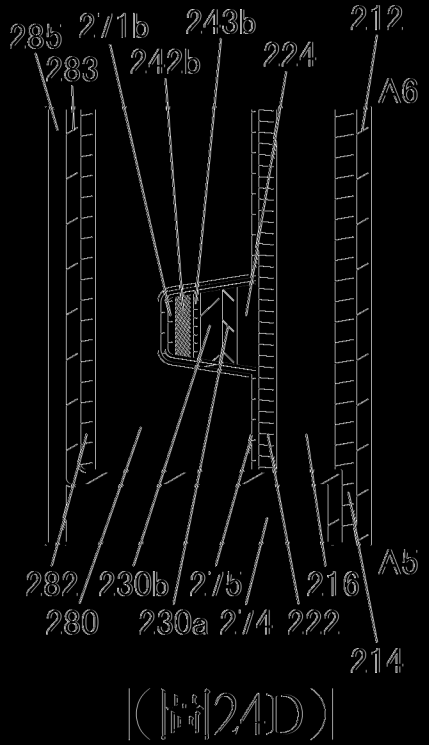


圖2D

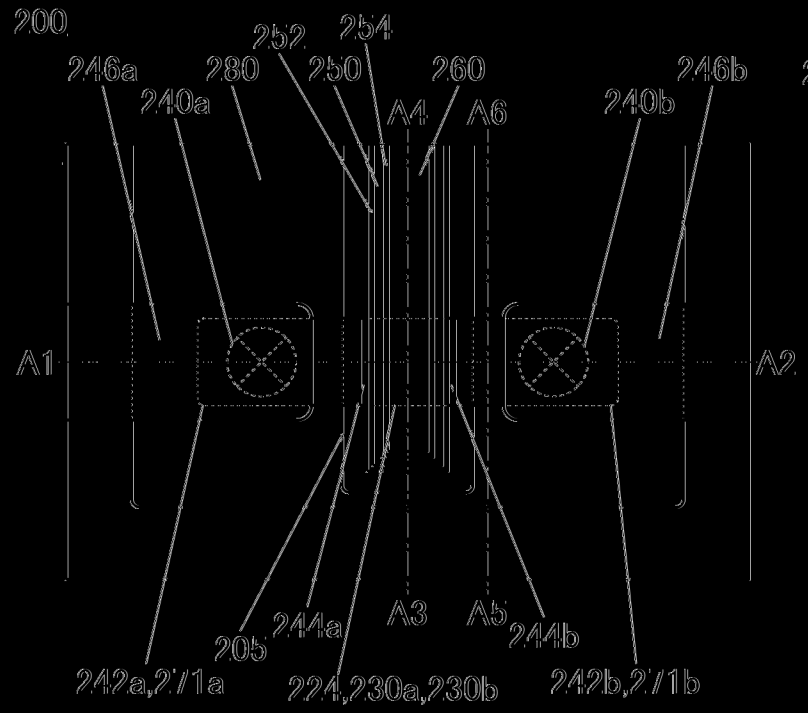


圖25A

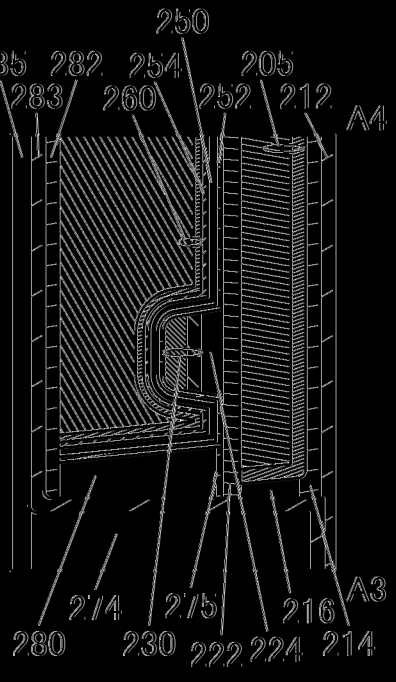


圖25C

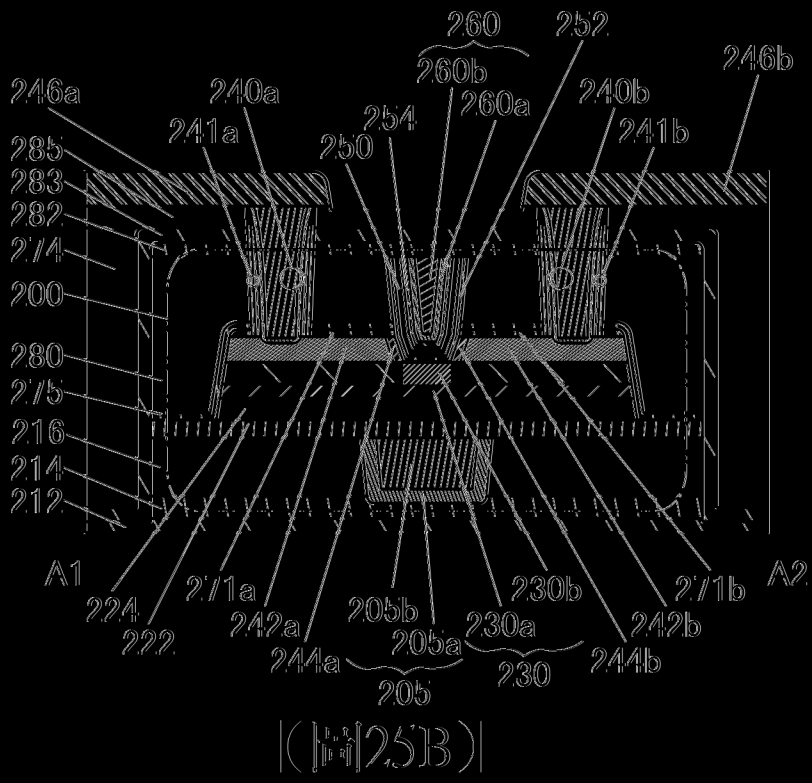


圖25B

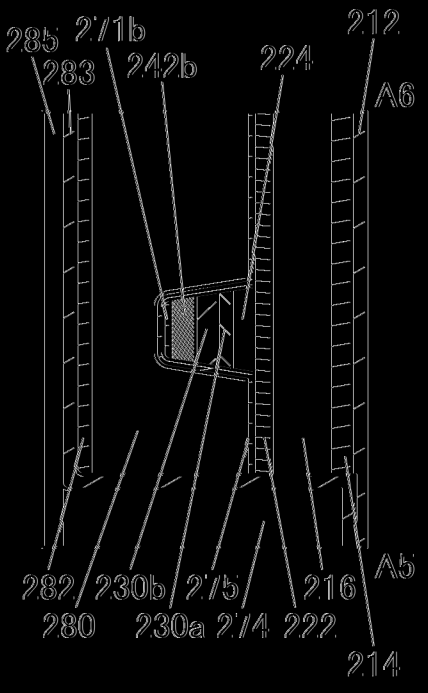


圖25D

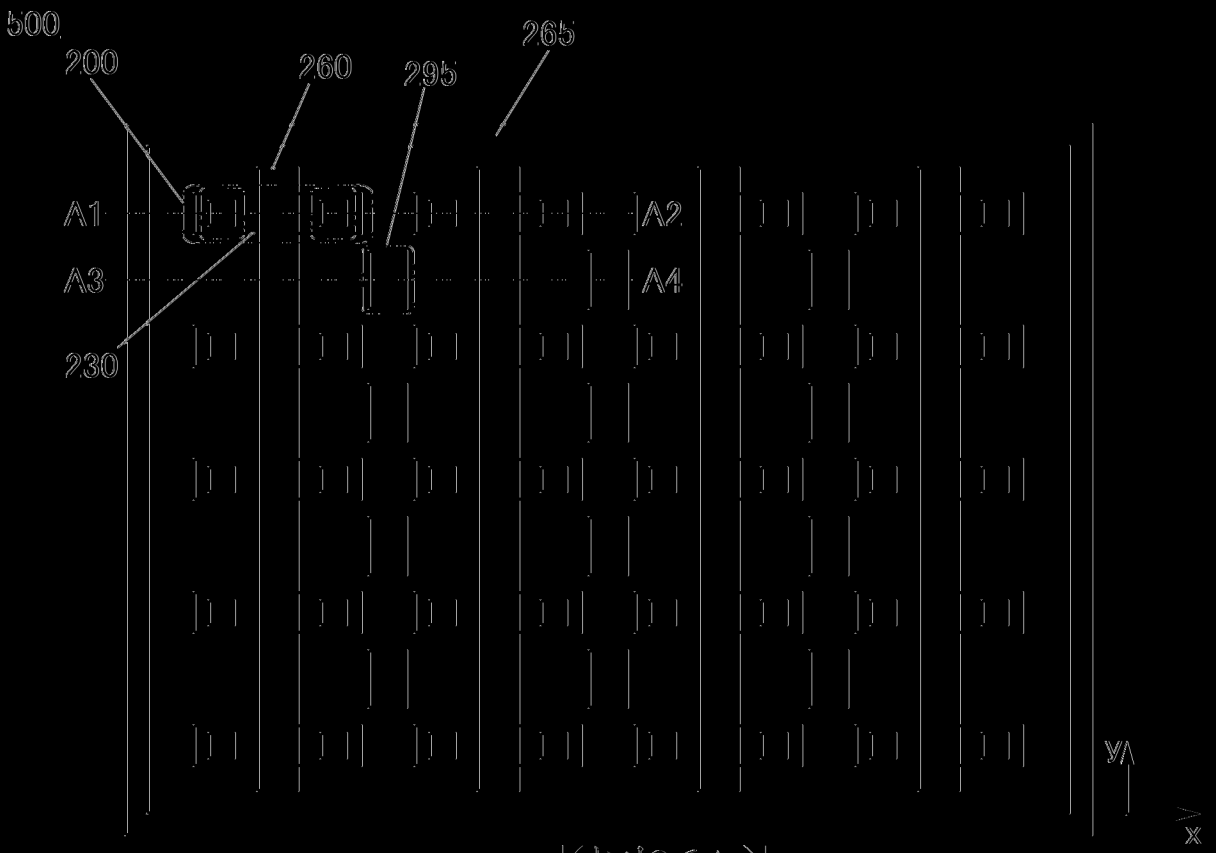


圖26A

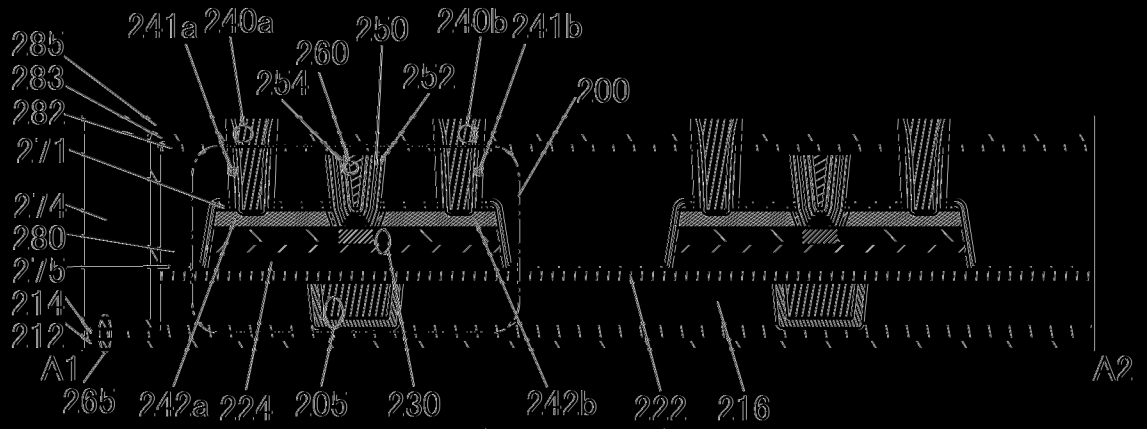


圖26B



圖26C

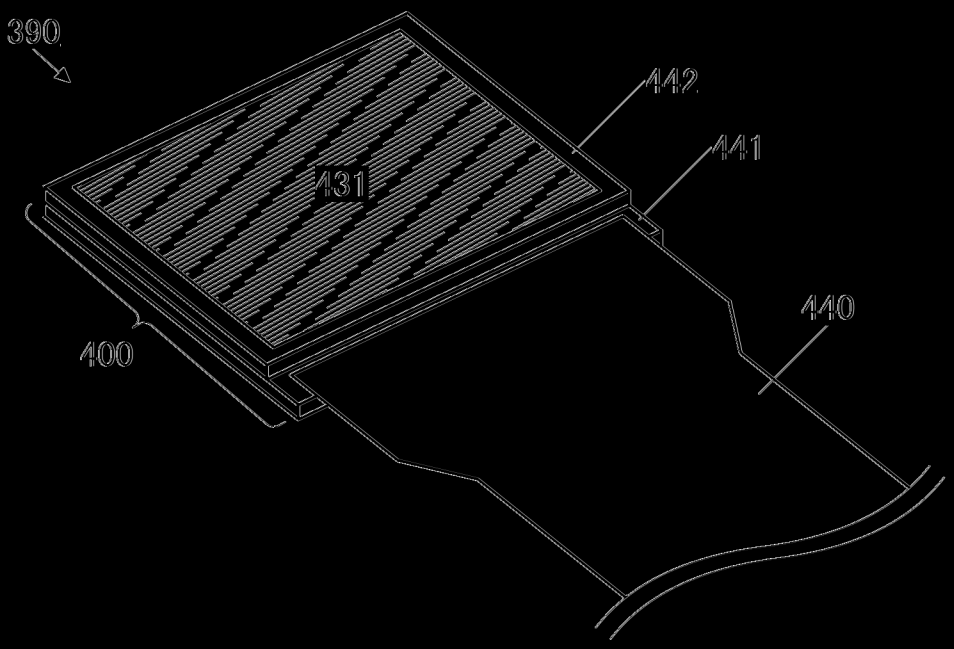

390
442
441
431
440
400

圖2.7A

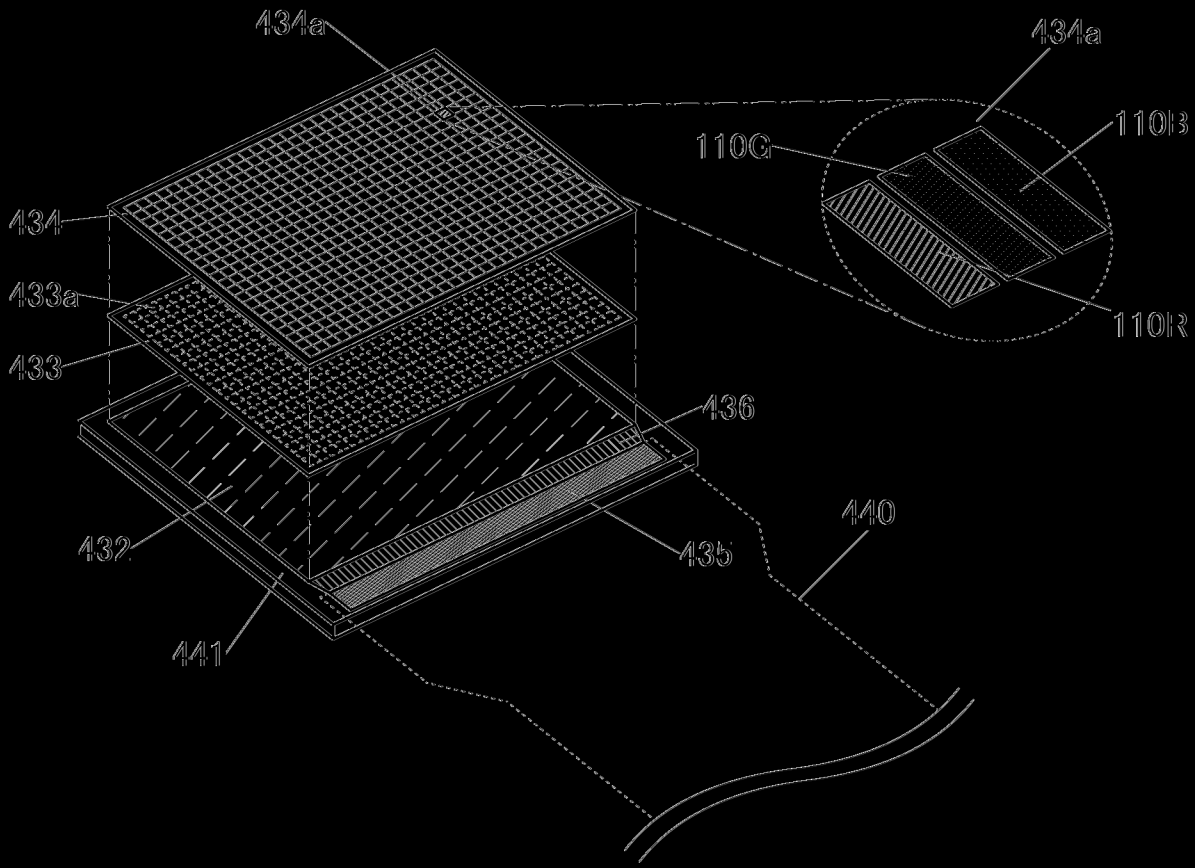
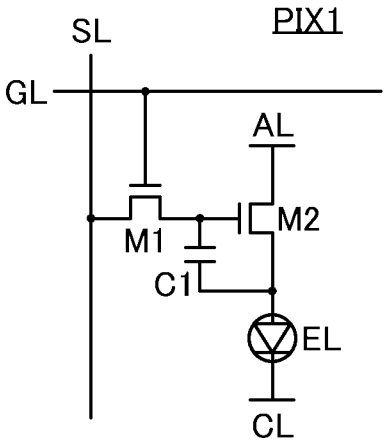
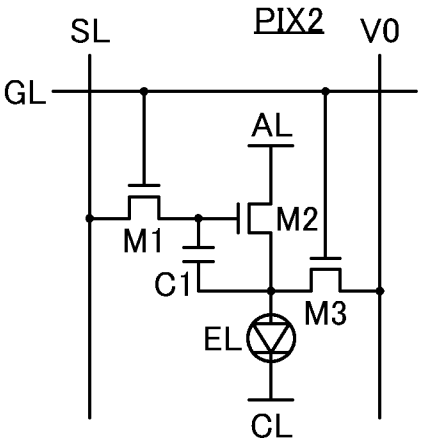

434a
434a
110B
110G
434
433a
433
110R
436
440
432
435
441

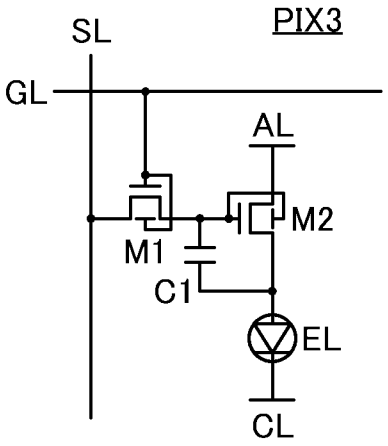
圖2.7B



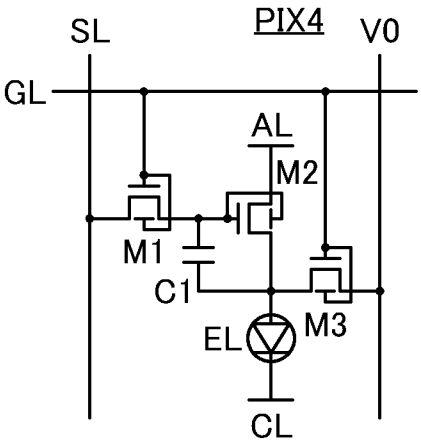
【圖28A】



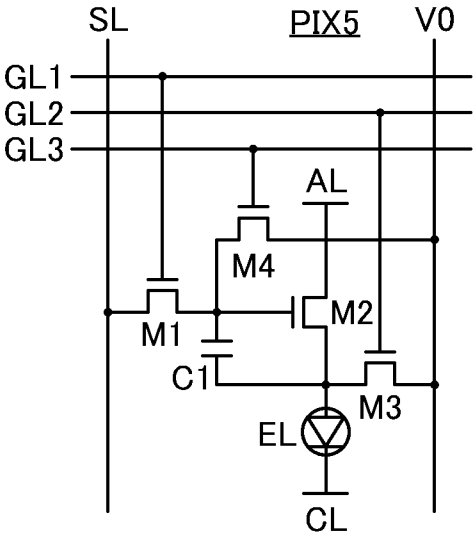
【圖28B】



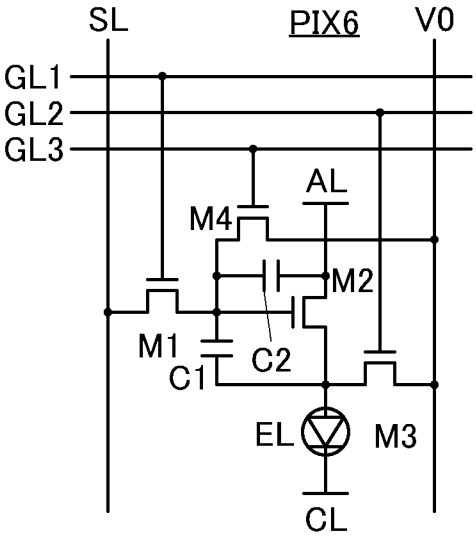
【圖28C】



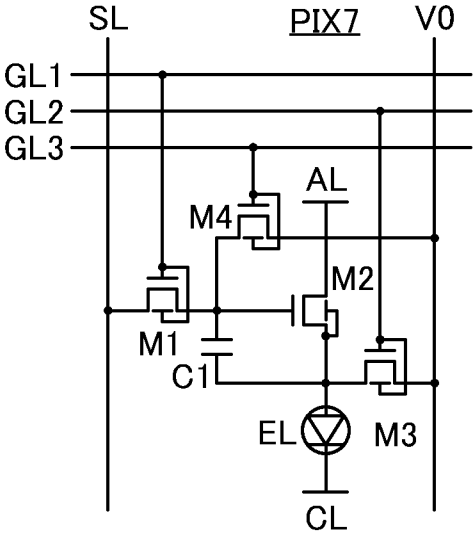
【圖28D】



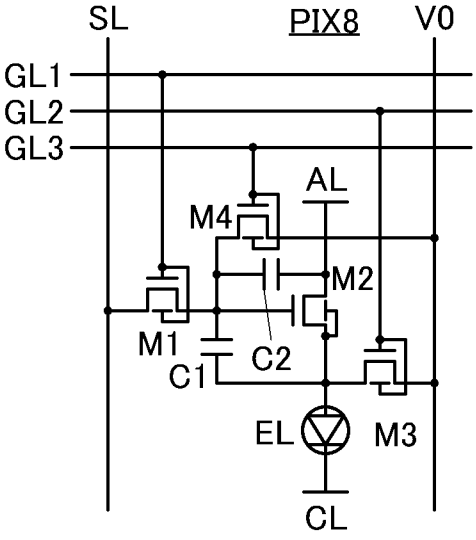
【圖29A】



【圖29B】

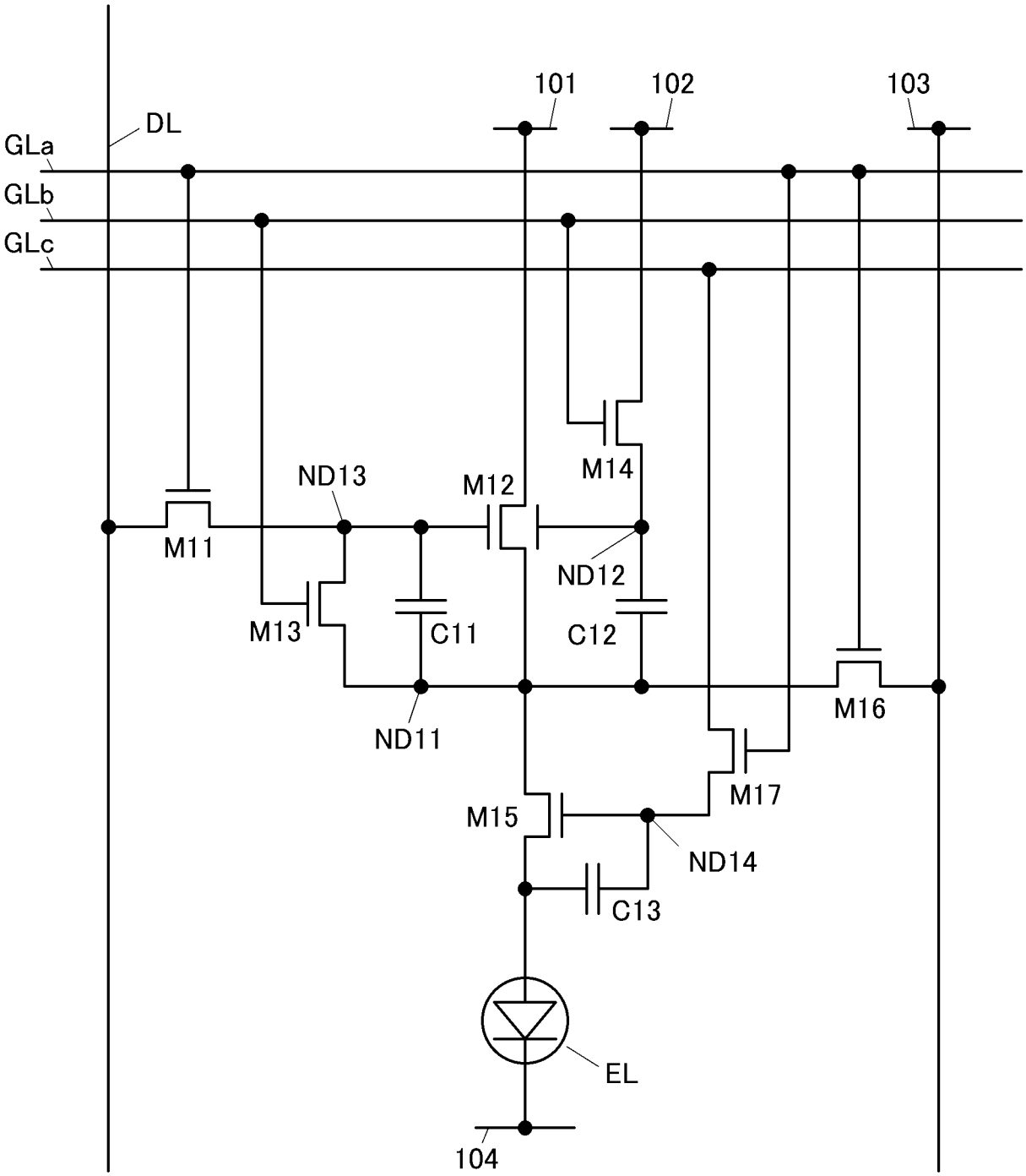


【圖29C】



【圖29D】

PIX9


101
102
103
DL
GLa
GLb
GLc
M14
ND13
M12
M11
ND12
M13
C11
C12
M16
ND11
M17
M15
ND14
C13
EL
104

【圖30】

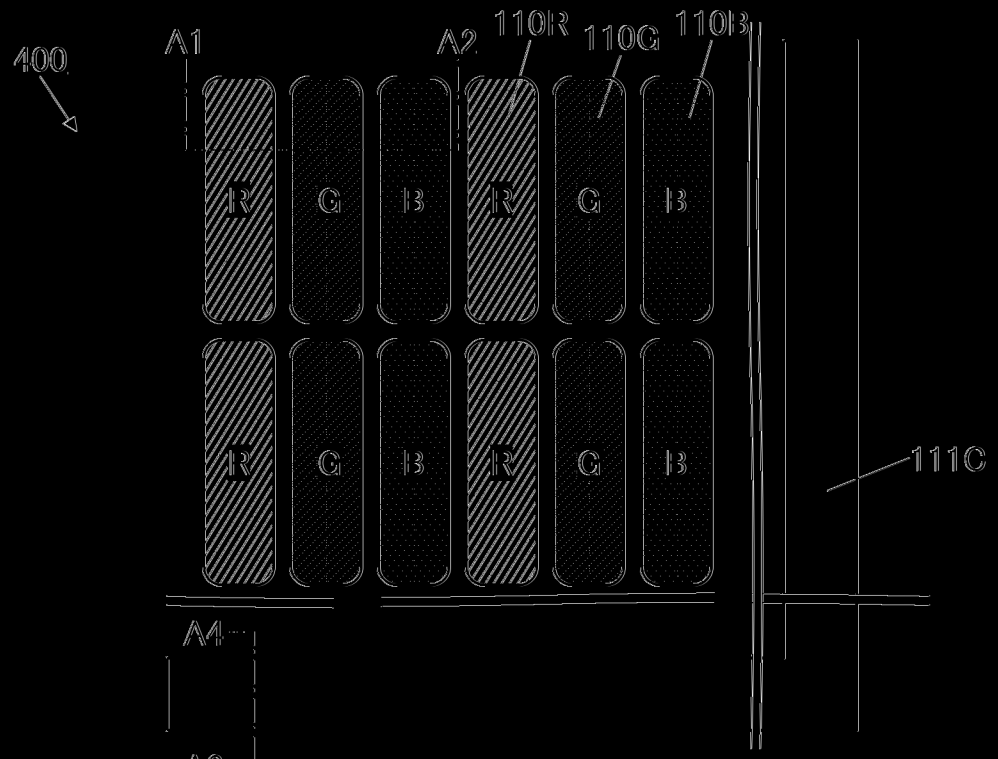


圖31A

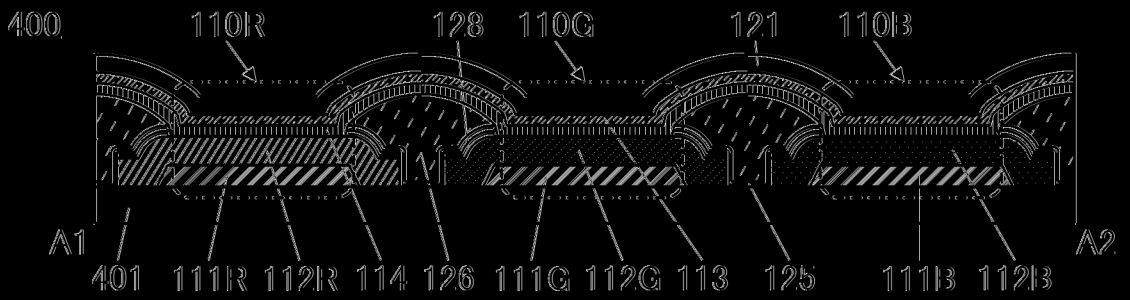


圖31B

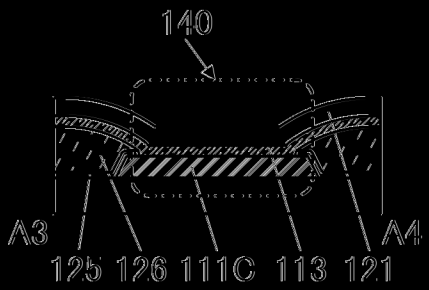


圖31C

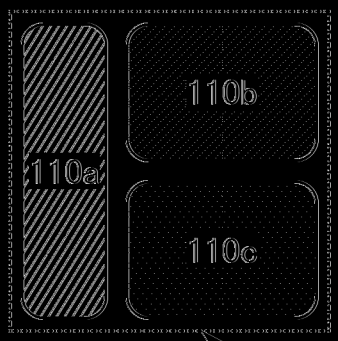


圖32A

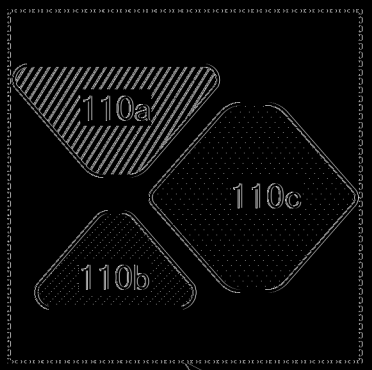


圖32B

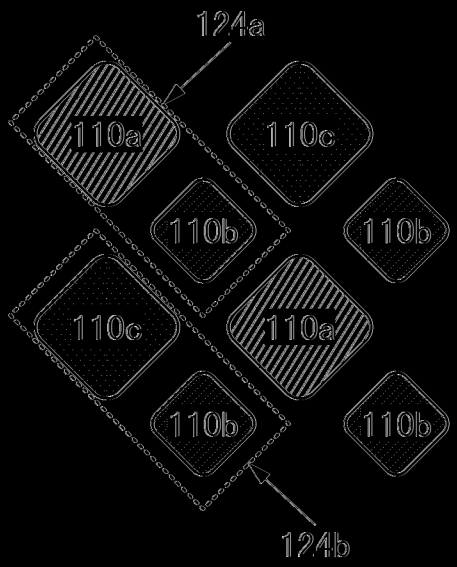


圖32C

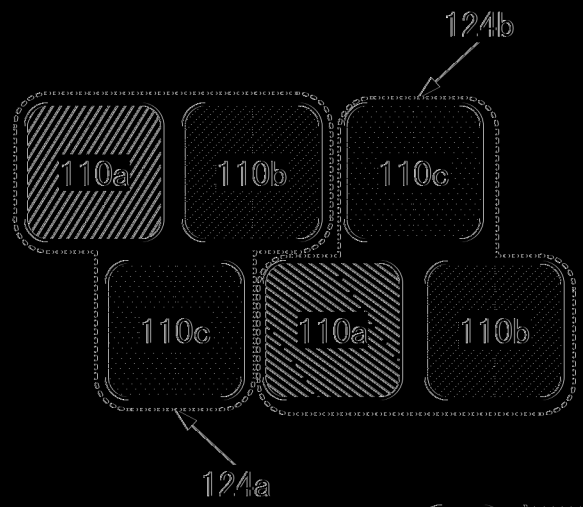


圖32D

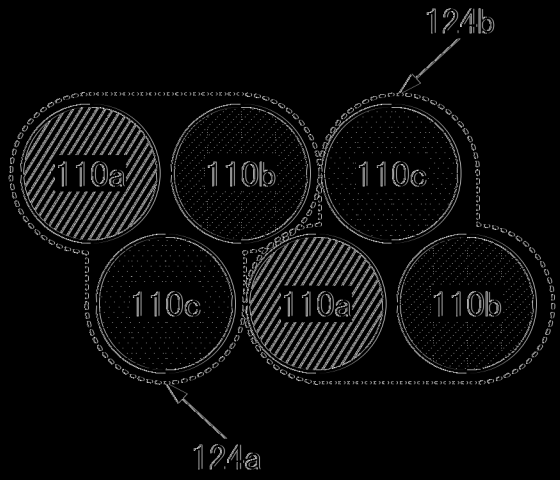


圖32E

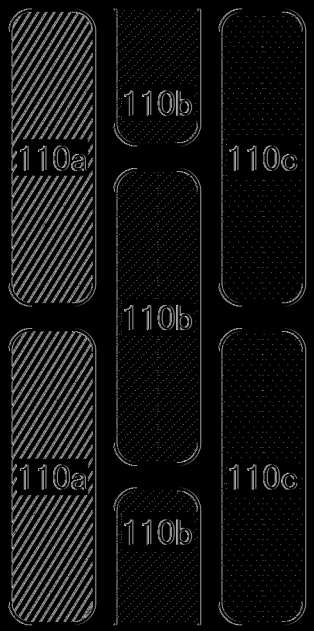


圖32F

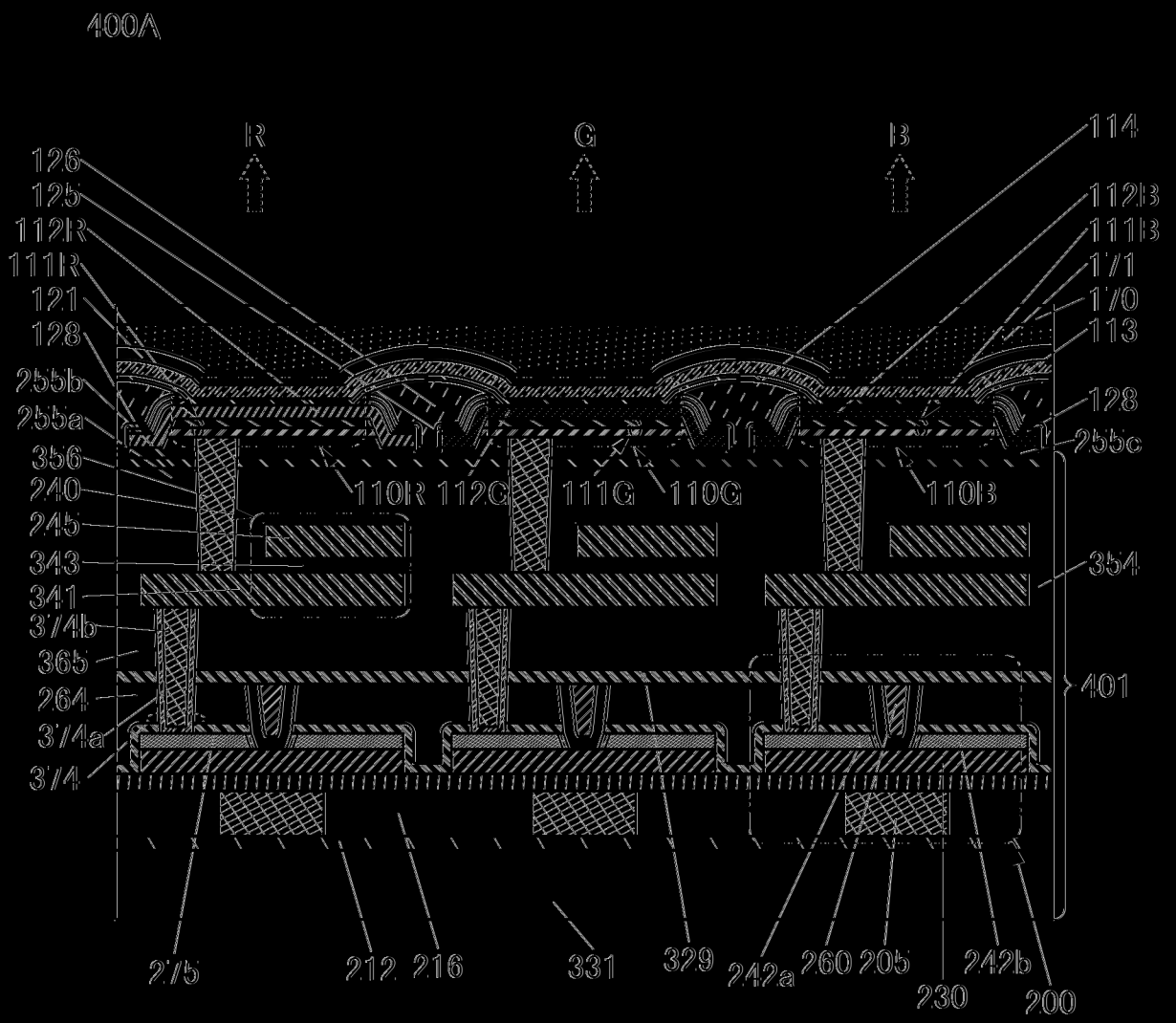

400A
R
G
B
126
125
112R
111R
121
128
255b
255a
356
240
245
343
341
374b
365
264
374a
374
114
112B
111B
171
170
113
128
255c
354
401
110R
112G
111G
110G
110B
275
212
216
331
329
242a
260
205
230
242b
200

圖33

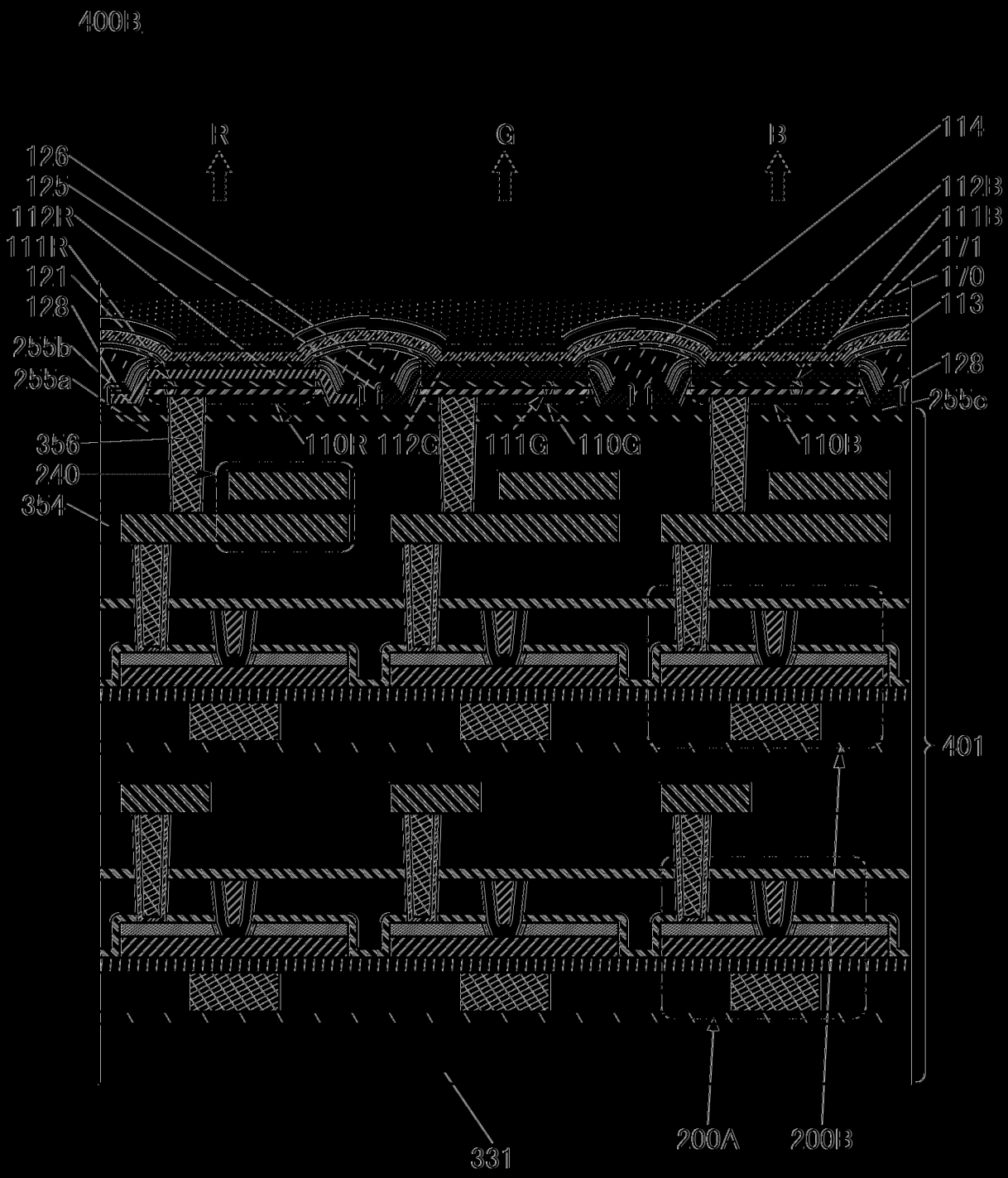

400B
R
G
B
126
125
112R
111R
121
128
255b
255a
356
240
354
110R
112G
111G
110G
110B
114
112B
111B
171
170
113
128
255c
401
331
200A
200B

圖34

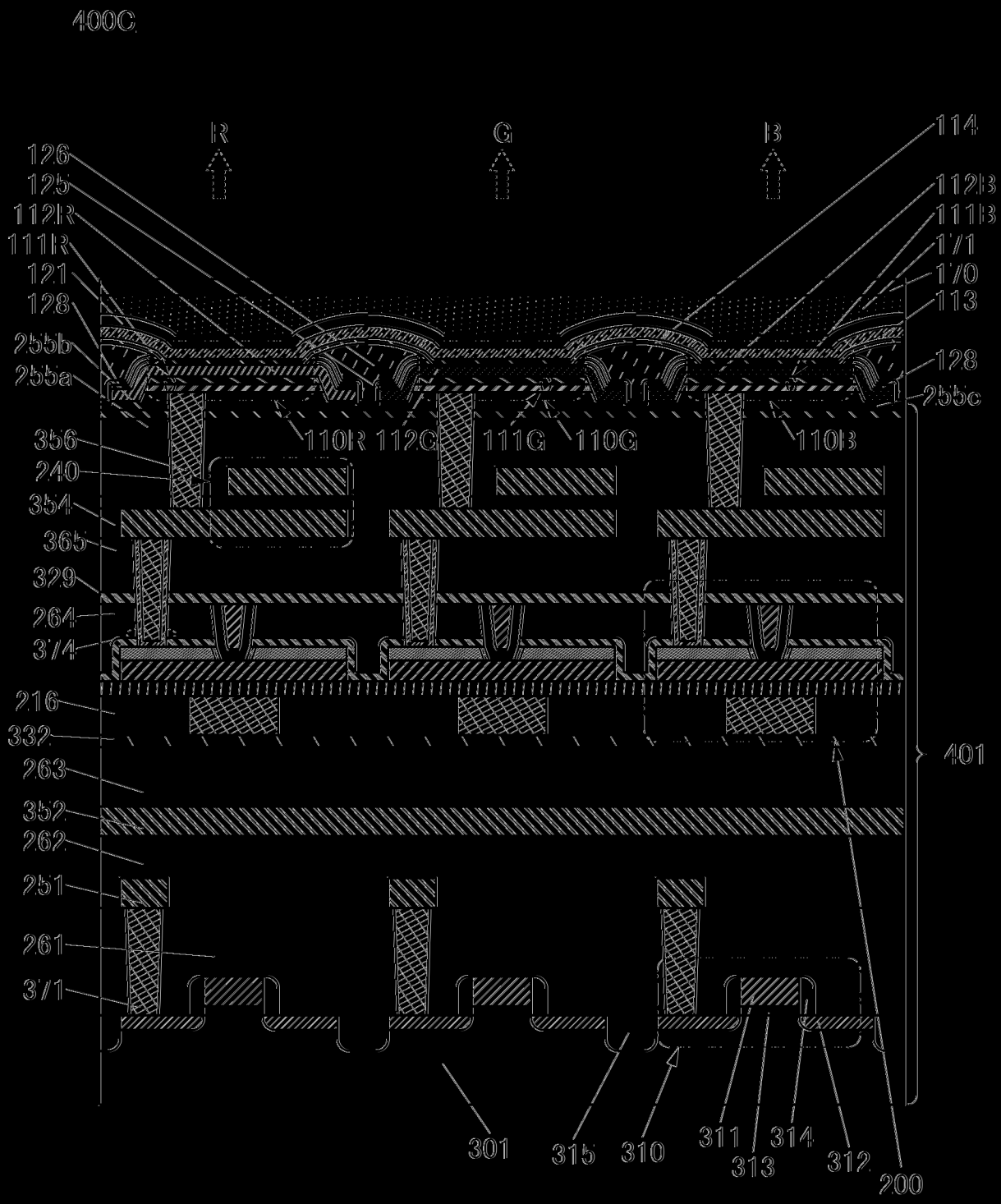

400C
R
G
B
126
125
112R
111R
121
128
255b
255a
356
240
354
365
329
264
374
216
332
263
352
262
251
261
371
114
112B
111B
171
170
113
128
255c
110R
112G
111G
110G
110B
401
301
315
310
311
313
314
312
200

圖35

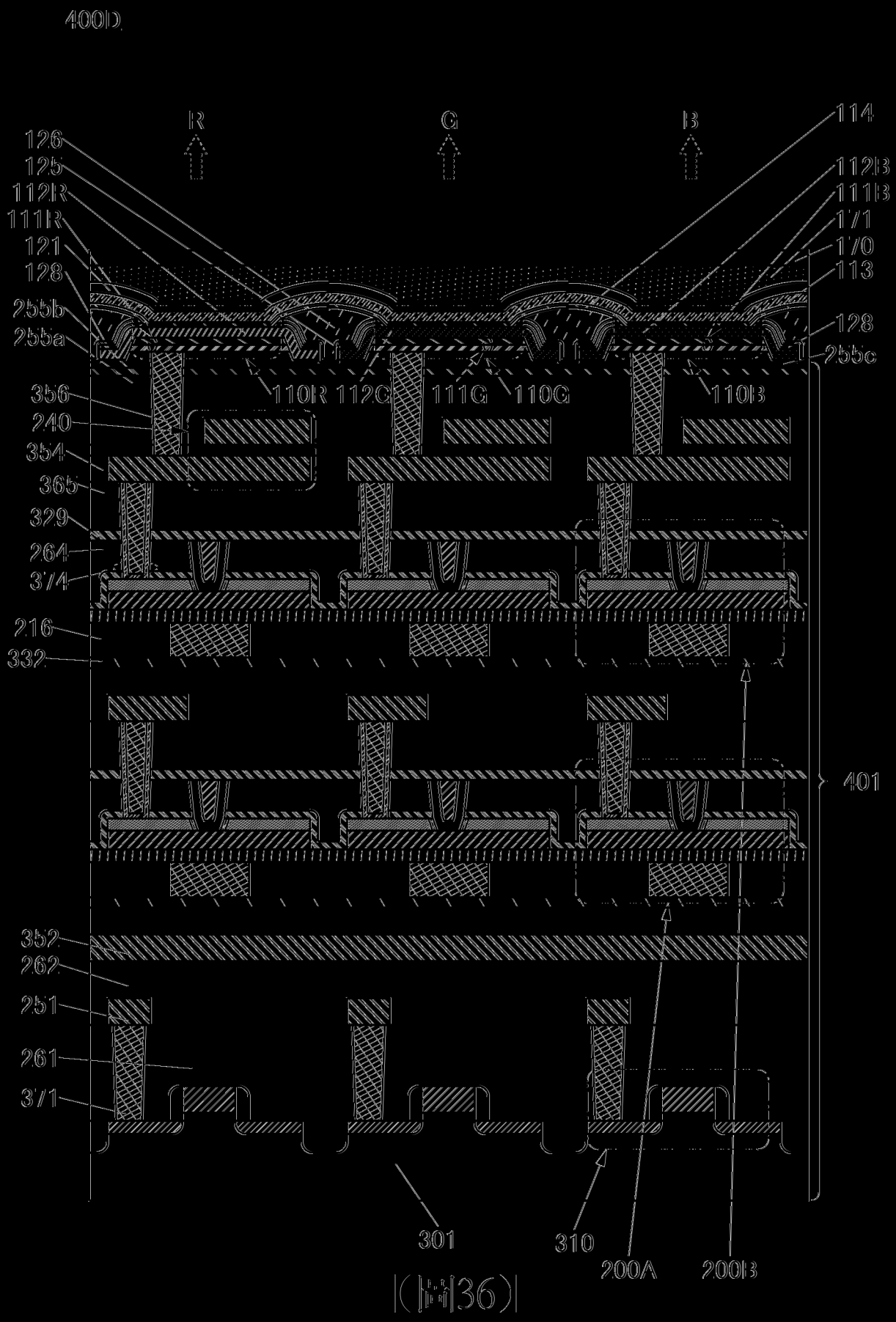

400D
R
G
B
126
125
112R
111R
121
128
255b
255a
114
112B
111B
171
170
113
128
255c
110R
112G
111G
110G
110B
356
240
354
365
329
264
374
216
332
401
352
262
251
261
371
301
310
200A
200B

圖36

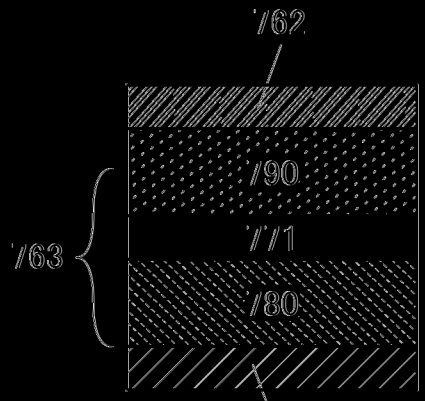


圖3'/A

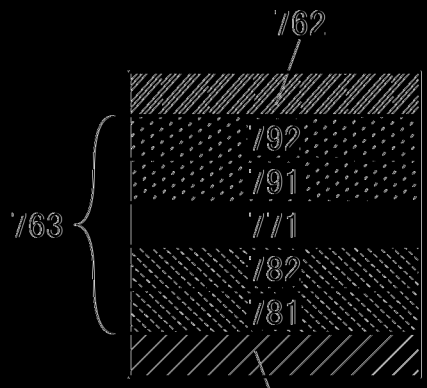


圖3'/B

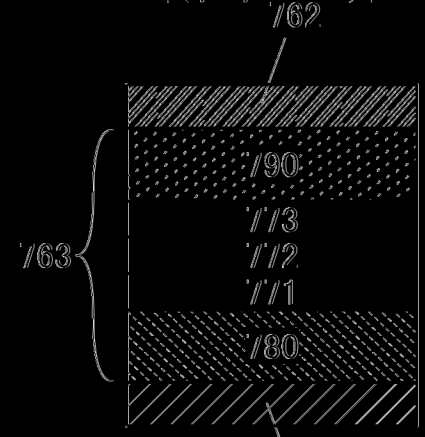


圖3'/C

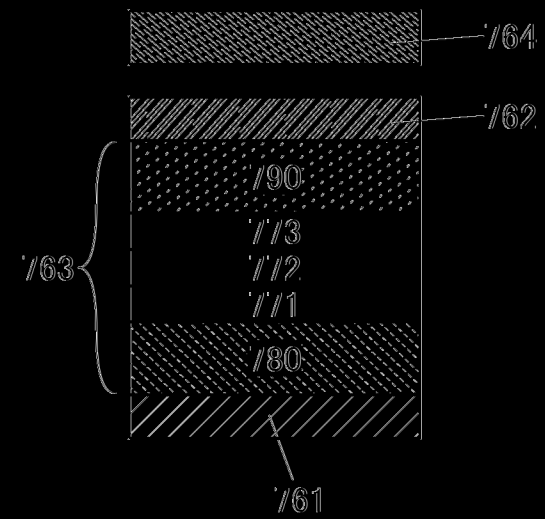


圖3'/D

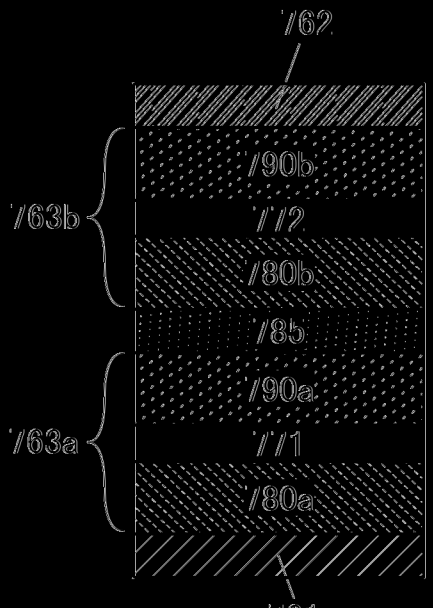


圖3'/E

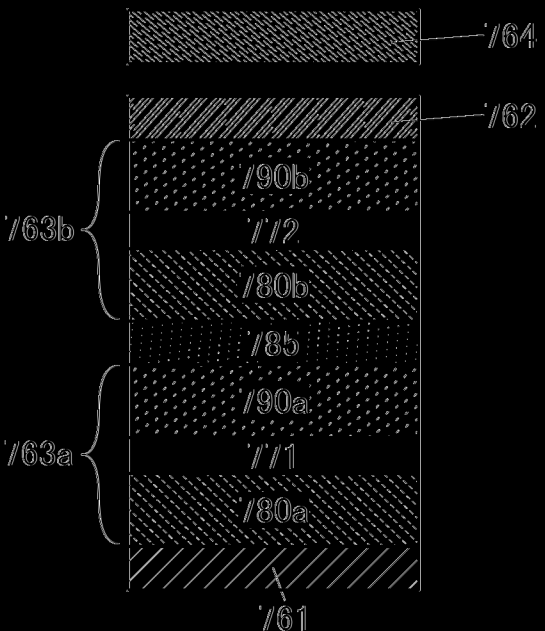


圖3'/F

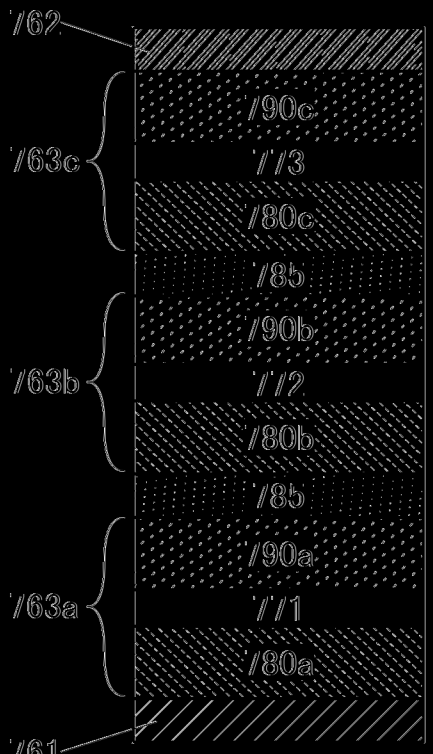


圖38A

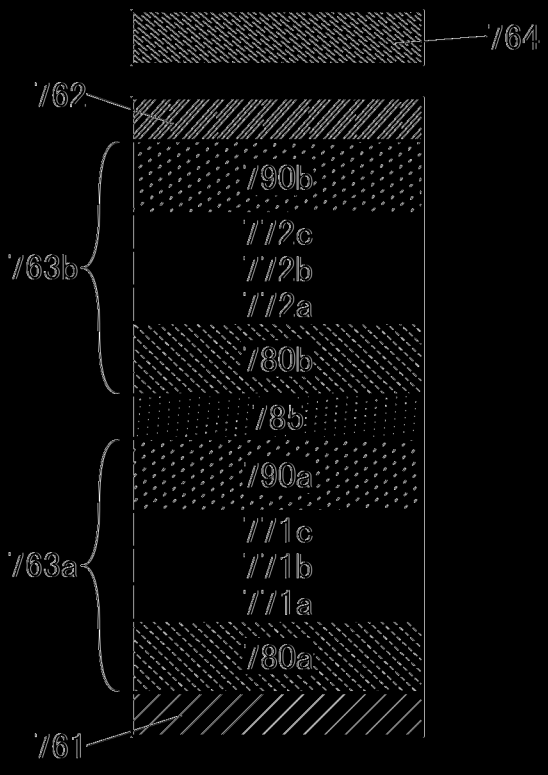


圖38B

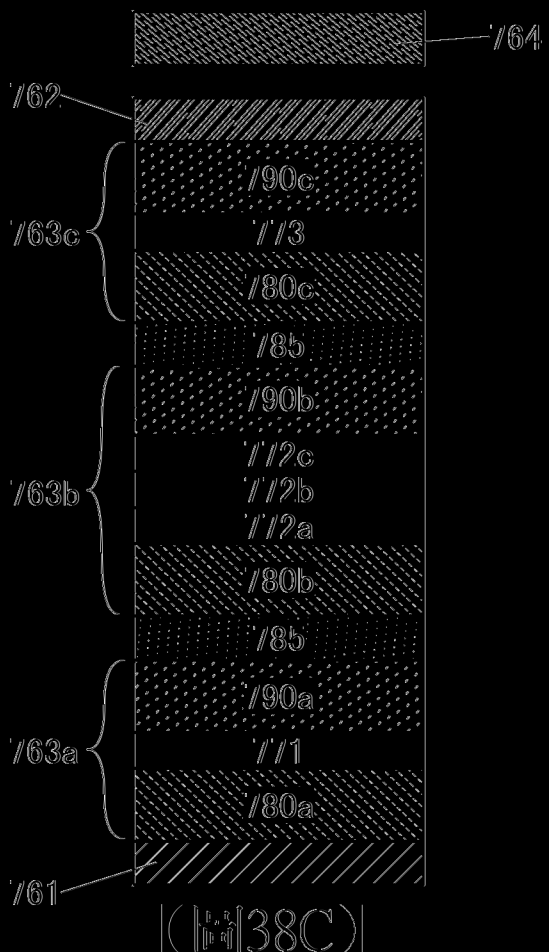


圖38C

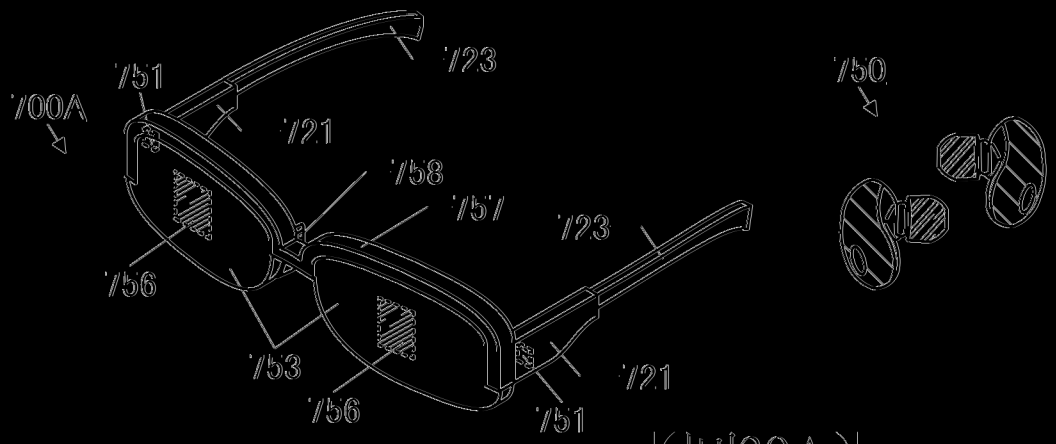


圖39A

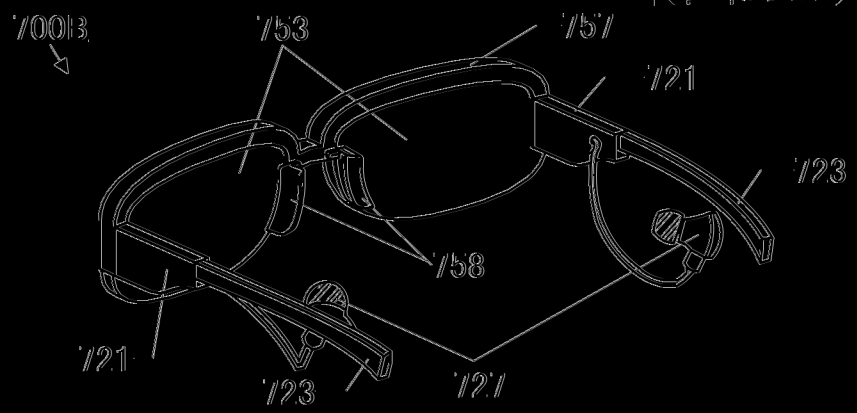


圖39B

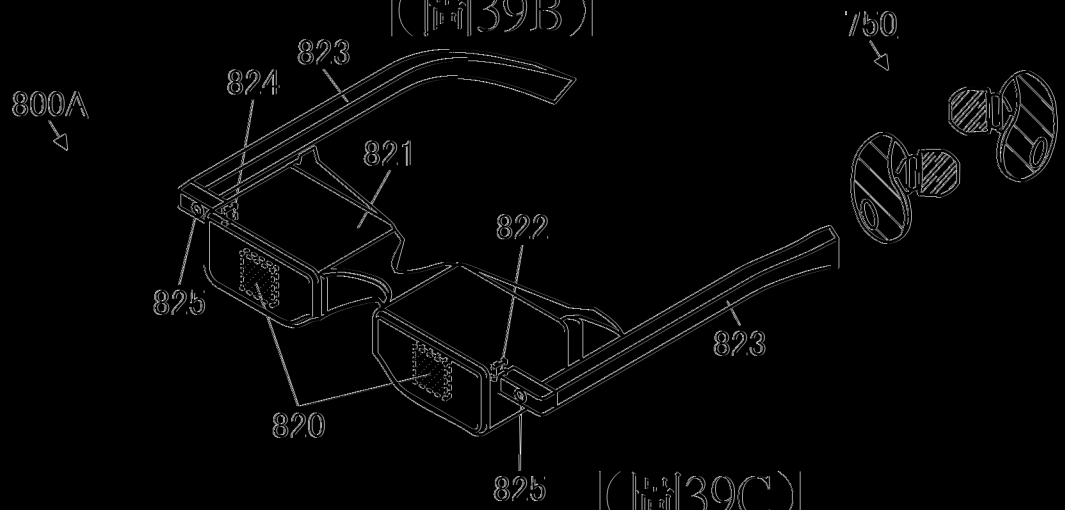


圖39C

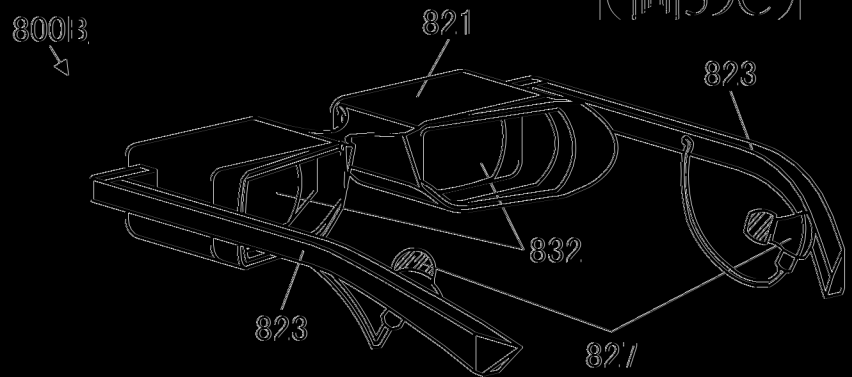


圖39D

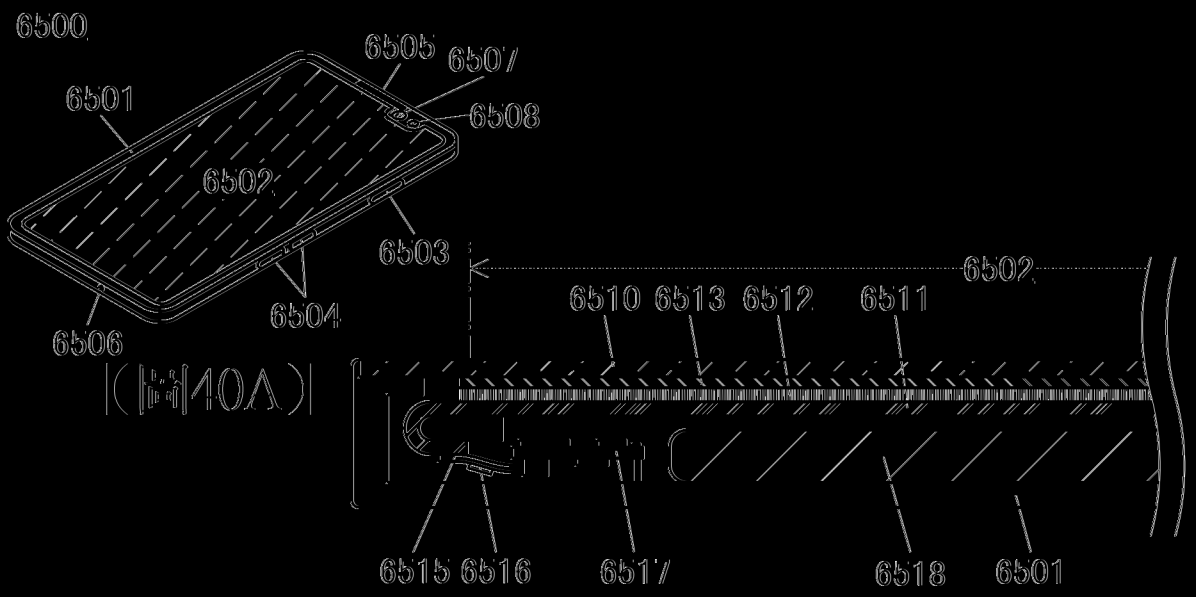


圖40A

圖40B

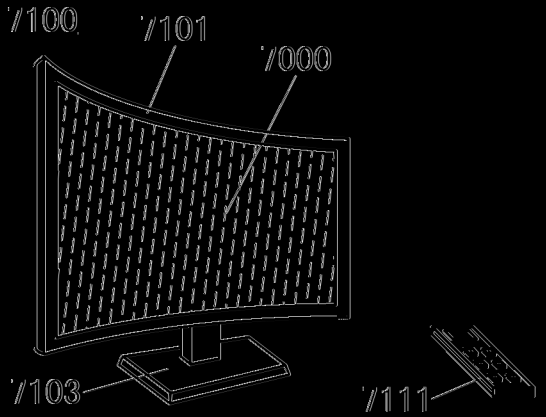


圖40C

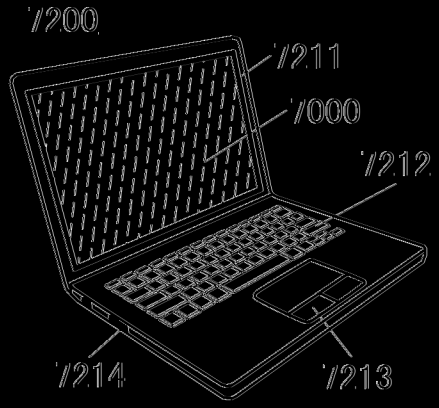


圖40D

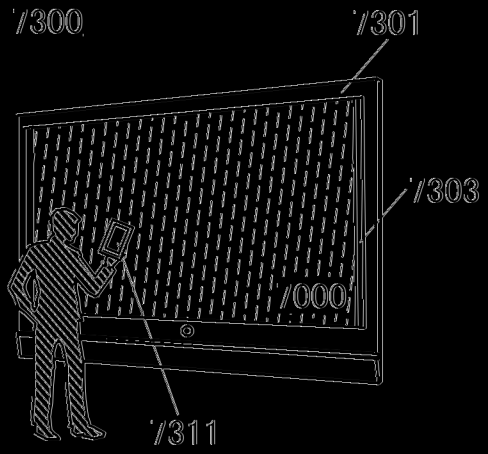


圖40E

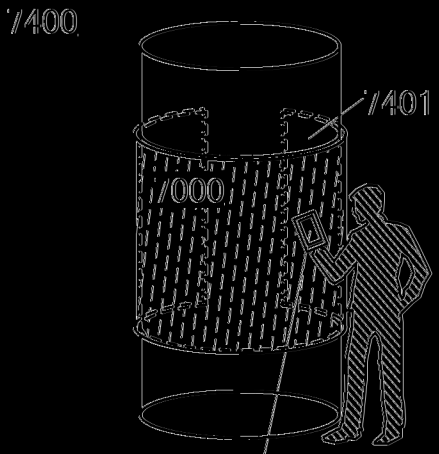


圖40F

9101

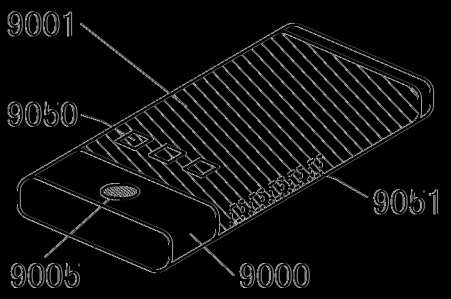


圖41A

9102

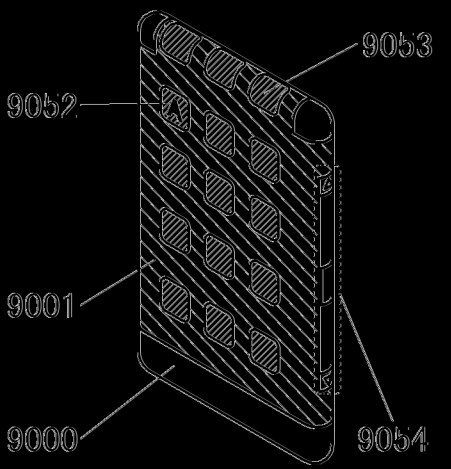


圖41B

9103

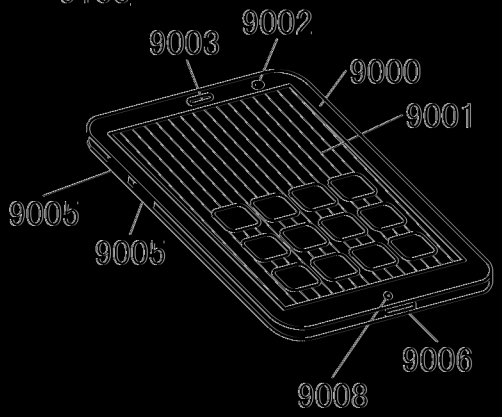


圖41C

9200

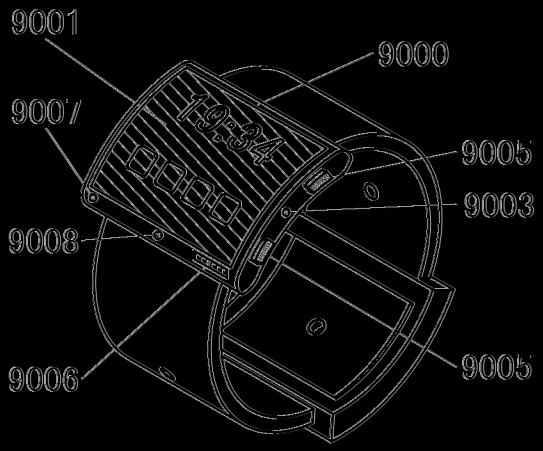


圖41D

9201

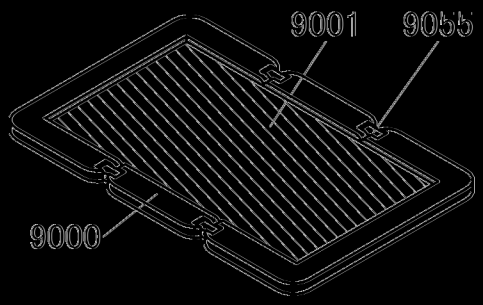


圖41E

9201

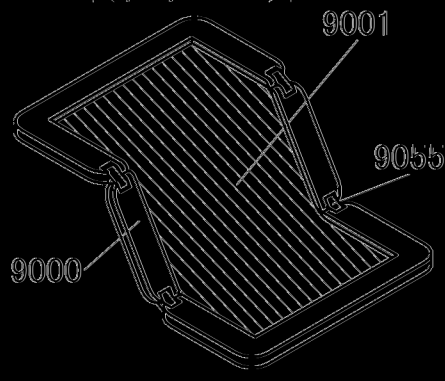


圖41F

9201

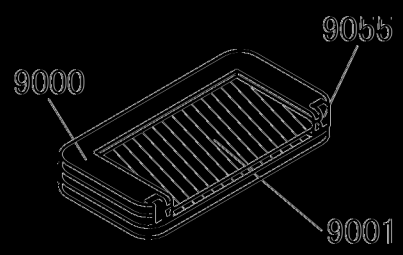
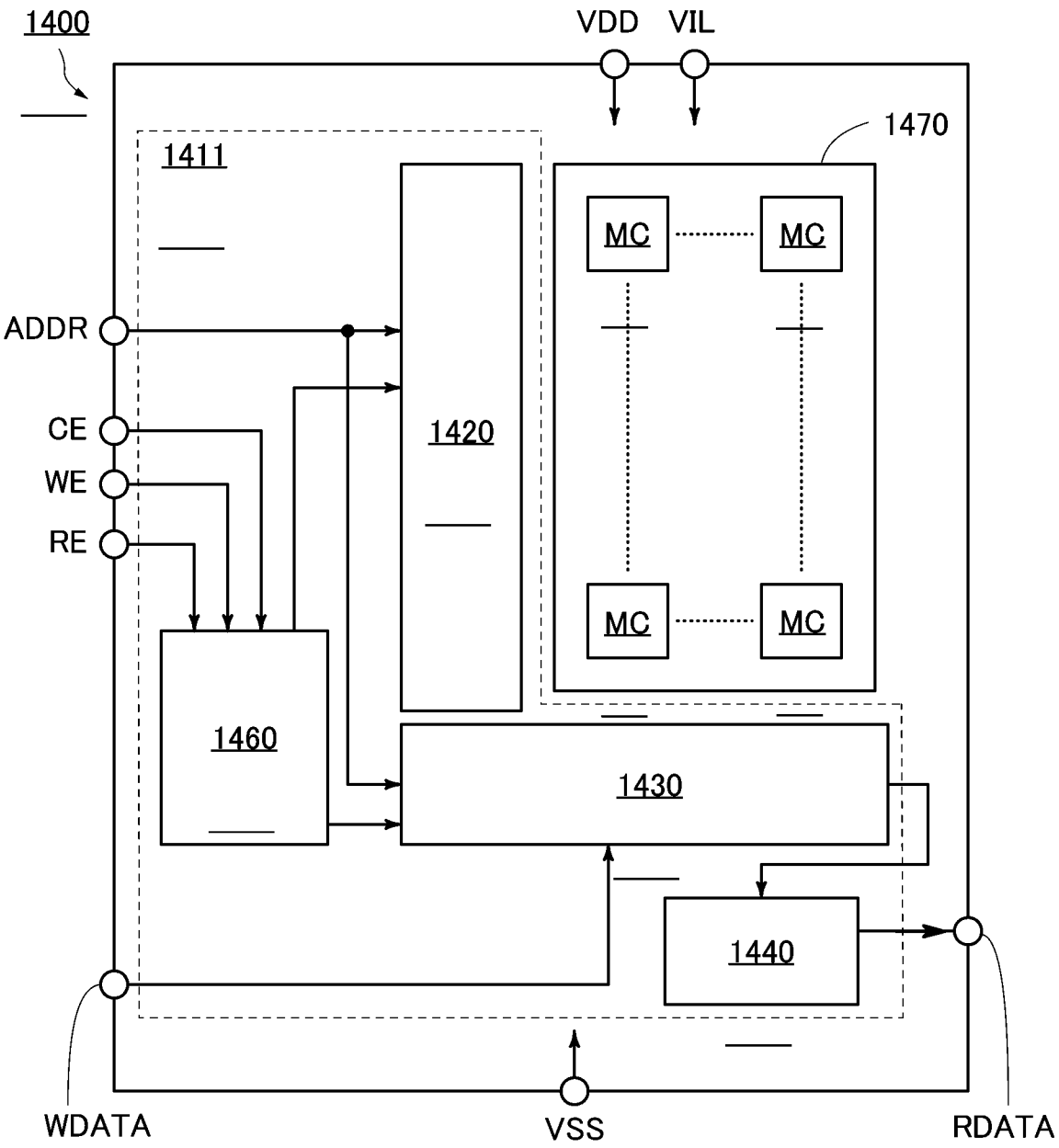
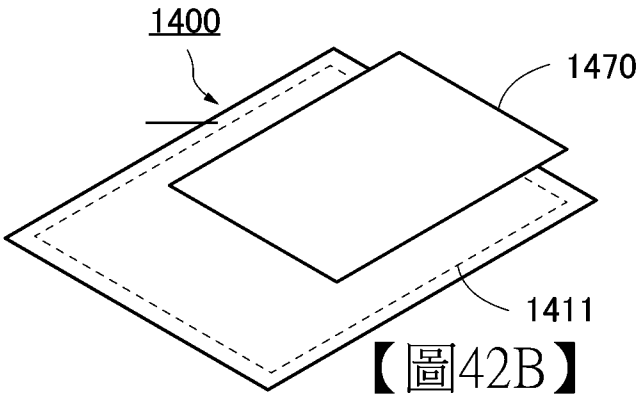


圖41G


1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WE
RE
1420
1460
1430
1440
WDATA
VSS
RDATA

【圖42A】


1400
1470
1411

【圖42B】

14/1

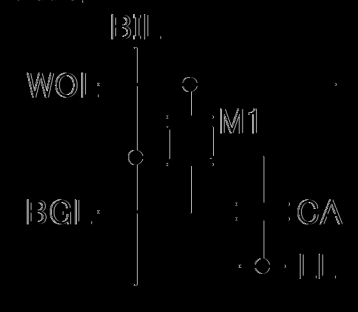


圖43A

14/2



圖43B

14/3

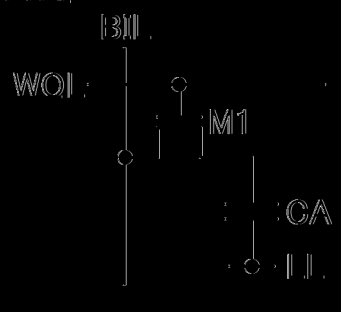


圖43C

14/4

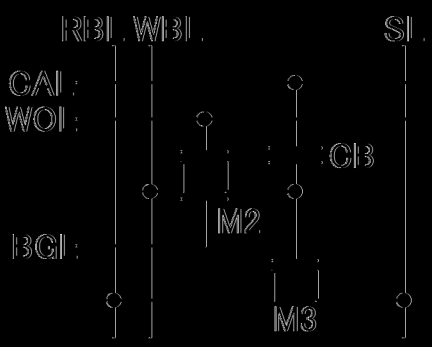


圖43D

14/5

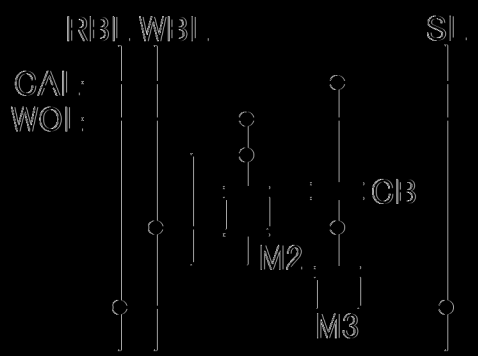


圖43E

14/6

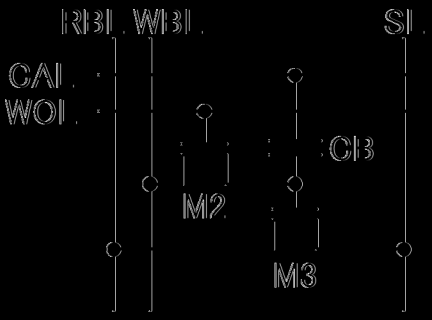


圖43F

14/7

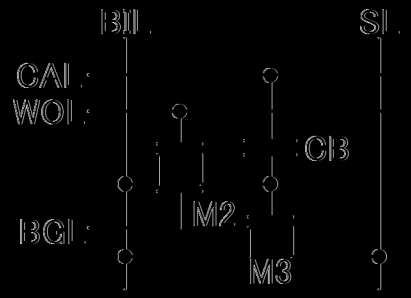
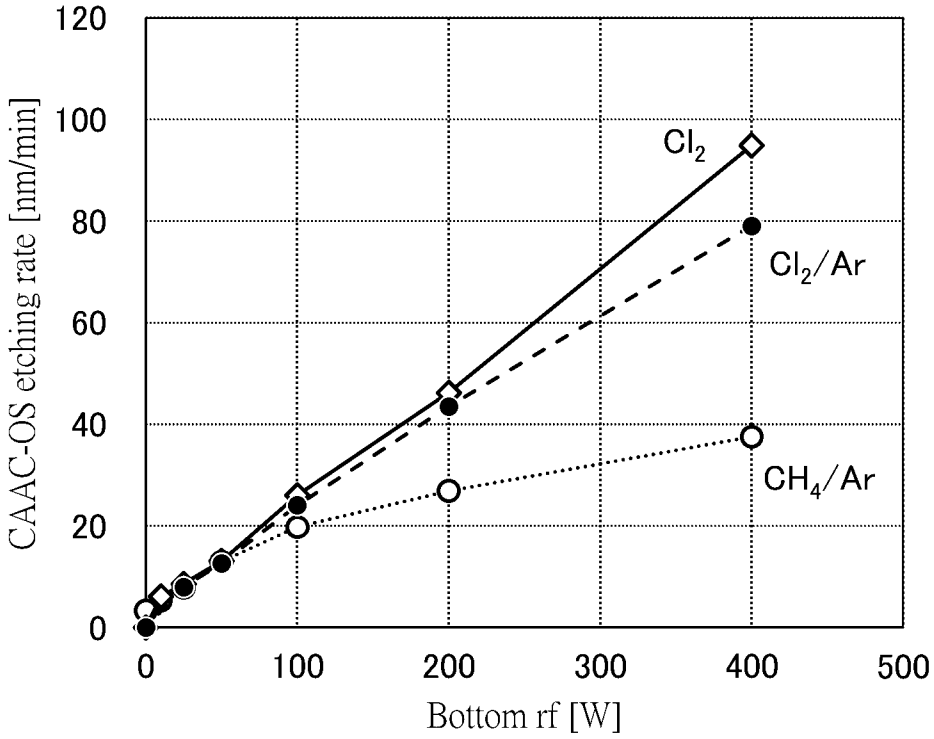


圖43G

14/8



圖43H


120
100
80
60
40
20
0
CAAC-OS etching rate [nm/min]
0
100
200
300
400
500
Bottom rf [W]
Cl2
Cl2/Ar
CH4/Ar

【圖44】

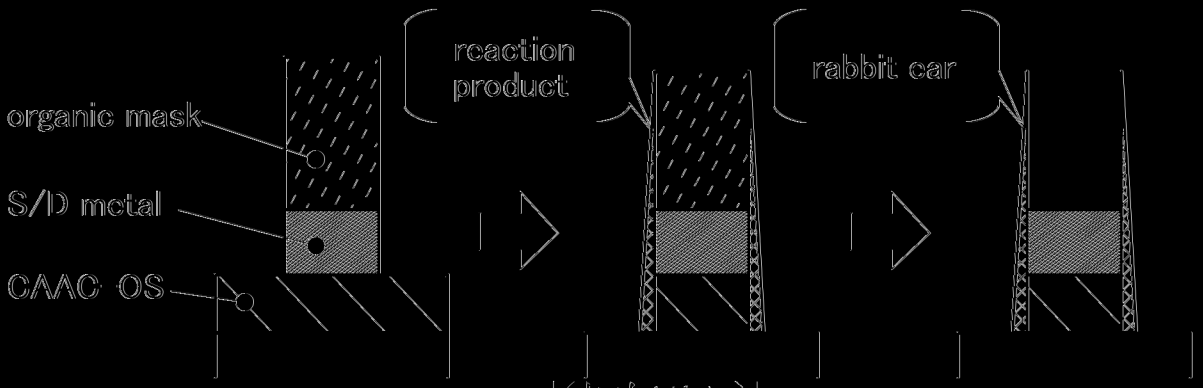


圖 45A

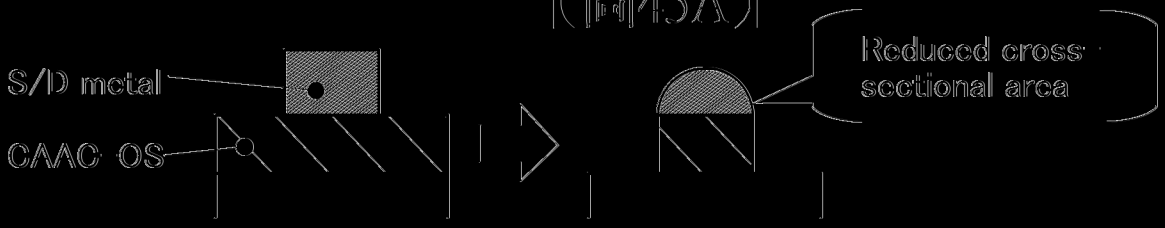


圖 45B

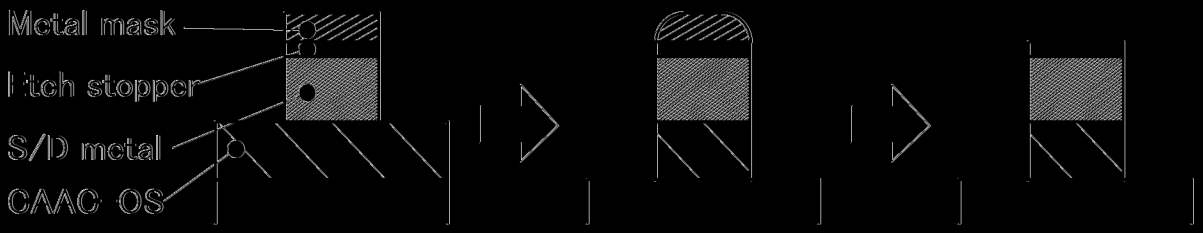


圖 45C

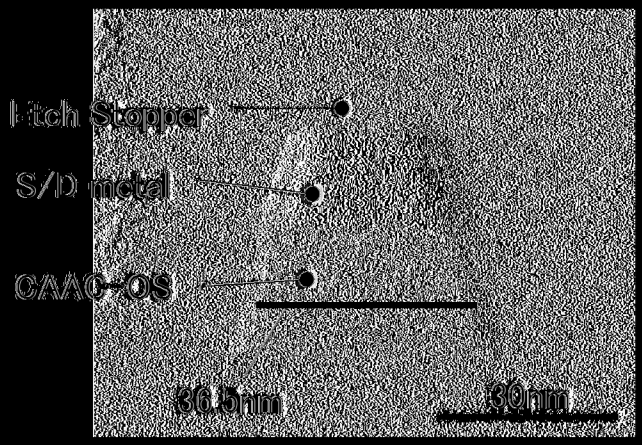
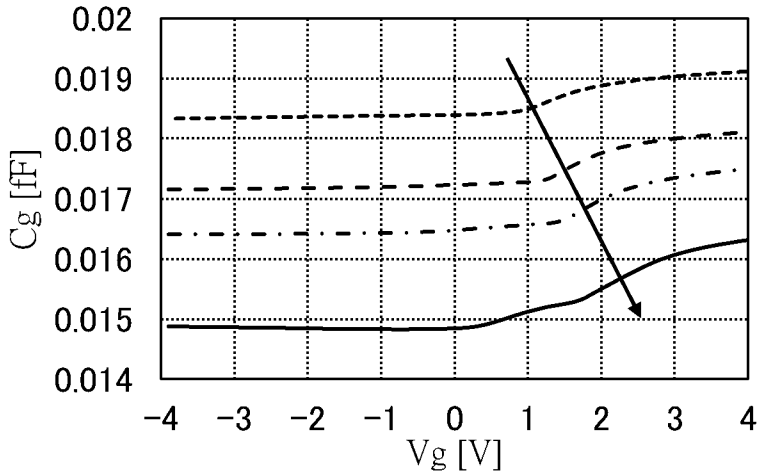


圖46

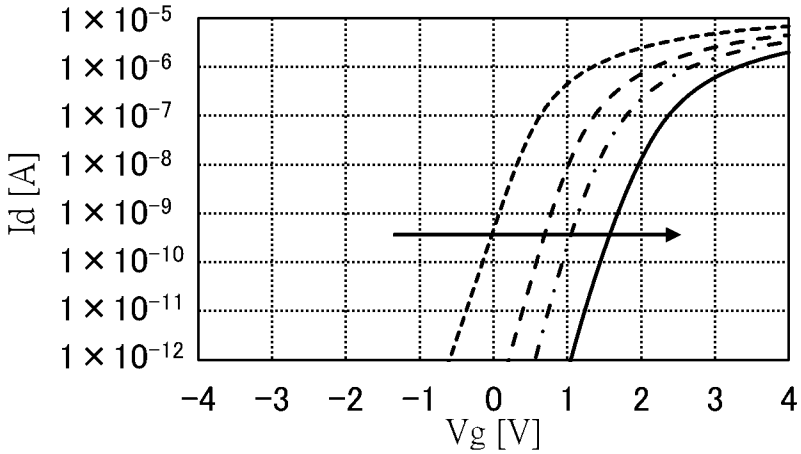
conductor
S/D
metal
oxide
gate
(FG)
gate insulator
(FG)
CAAC-OS
65nm
20.5nm
gate
(BG)
gate insulator
(BG)
26.9nm

(47A)

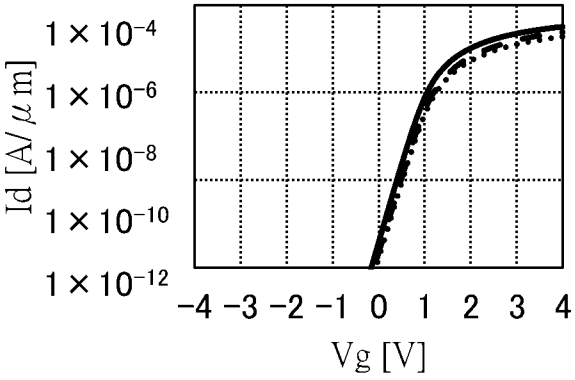
(47B)


0.02
0.019
0.018
0.017
0.016
0.015
0.014
Cg [fF]
−4 −3 −2 −1 0 1 2 3 4
Vg [V]

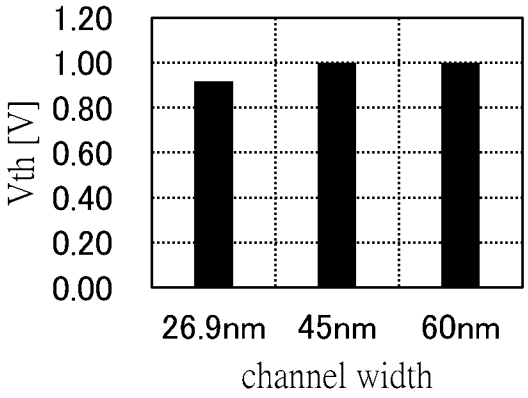
【圖48A】


1×10−5
1×10−6
1×10−7
1×10−8
1×10−9
1×10−10
1×10−11
1×10−12
Id [A]
−4 −3 −2 −1 0 1 2 3 4
Vg [V]

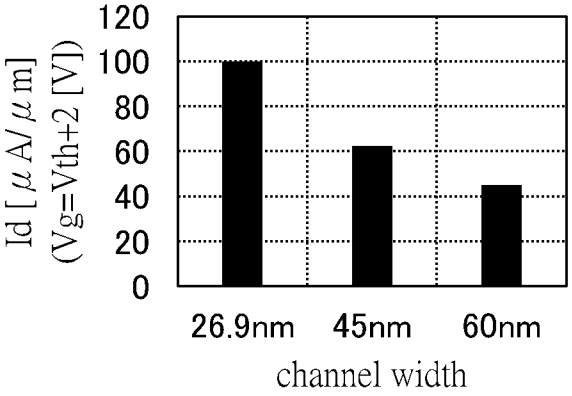
【圖48B】



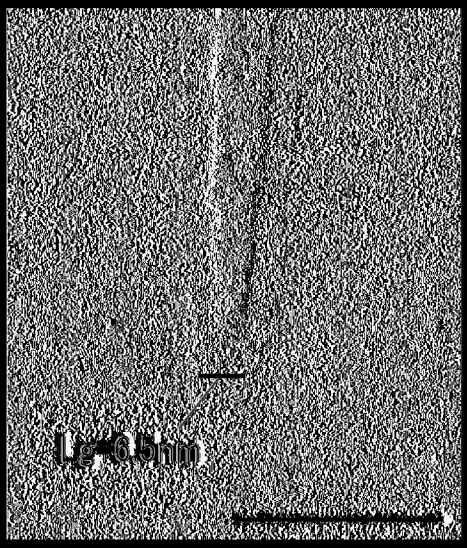
【圖49A】

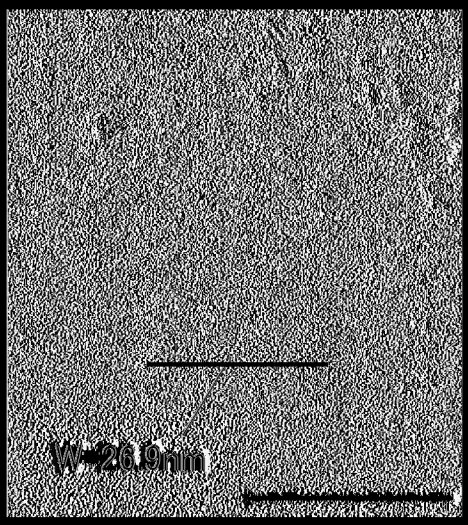


【圖49B】



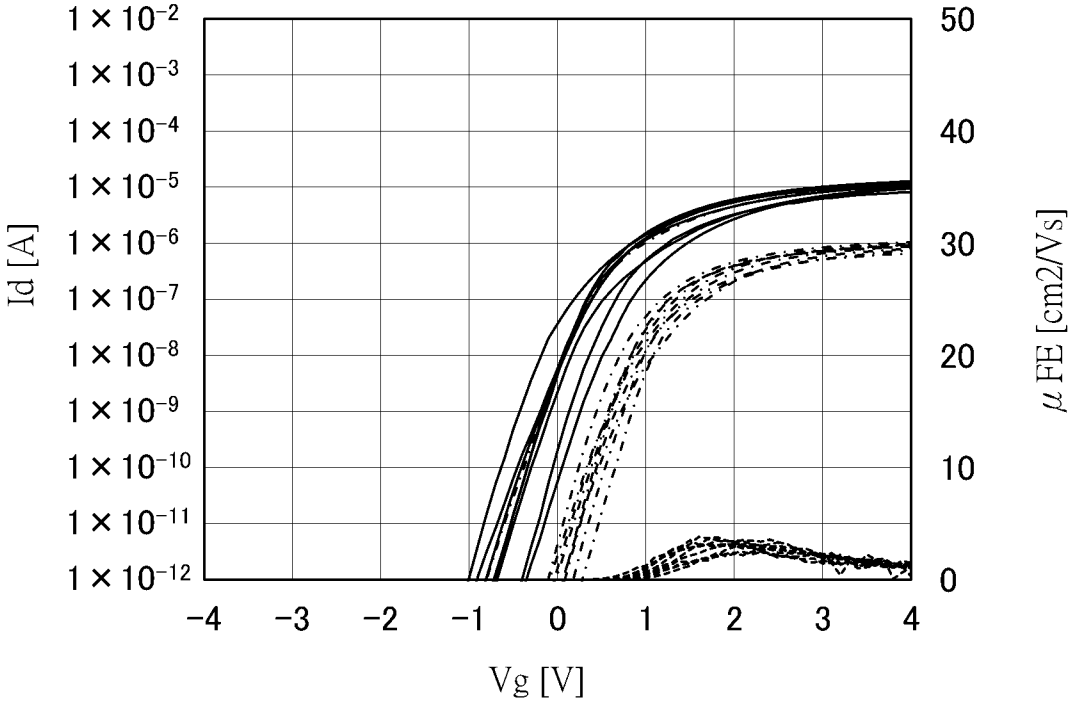
【圖49C】



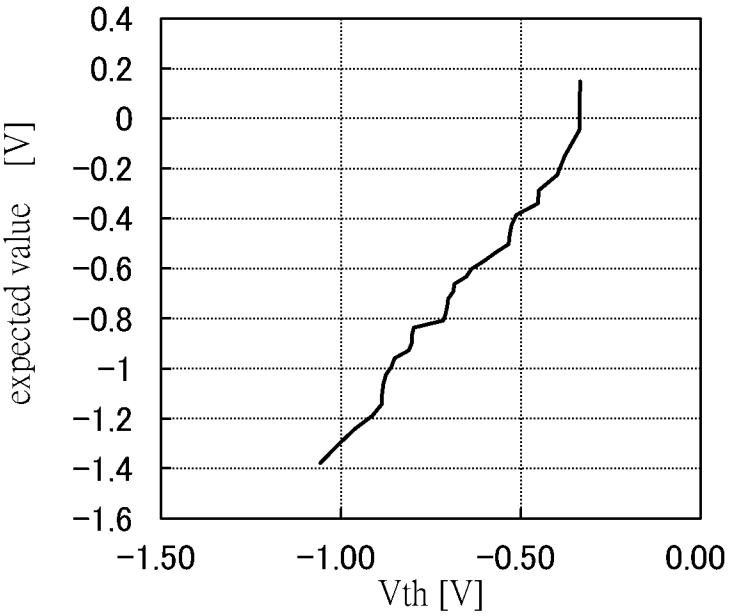


|(圖50A)|

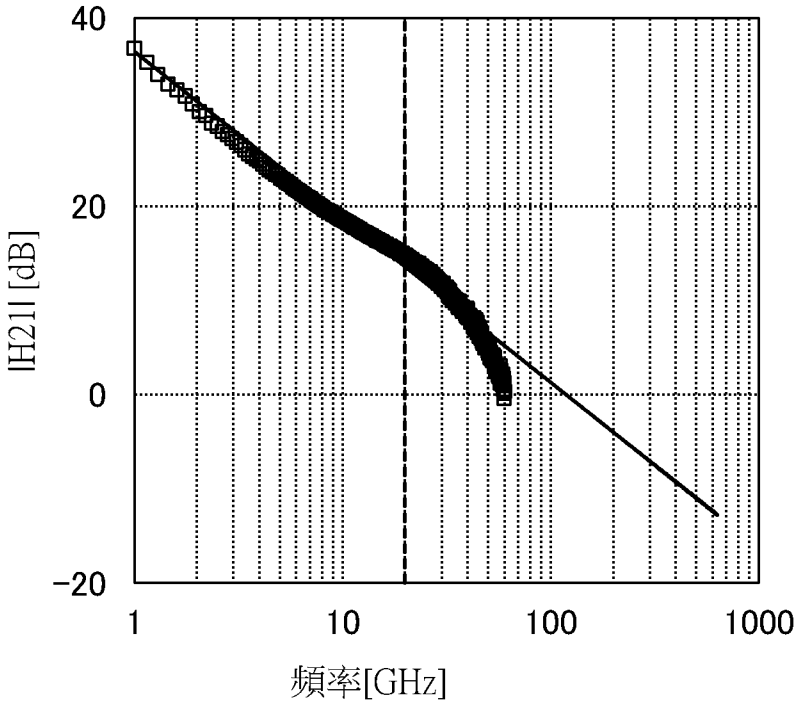
|(圖50B)|


Id [A]
1×10-2
1×10-3
1×10-4
1×10-5
1×10-6
1×10-7
1×10-8
1×10-9
1×10-10
1×10-11
1×10-12
−4
−3
−2
−1
0
1
2
3
4
Vg [V]
50
40
30
20
10
0
μFE [cm2/Vs]

【圖51】


0.4
0.2
0
−0.2
−0.4
−0.6
−0.8
−1
−1.2
−1.4
−1.6
expected value [V]
−1.50
−1.00
−0.50
0.00
Vth [V]

【圖52】



【圖53】

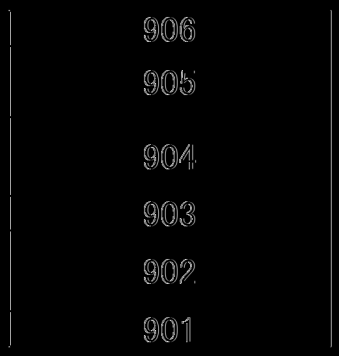


圖 54A

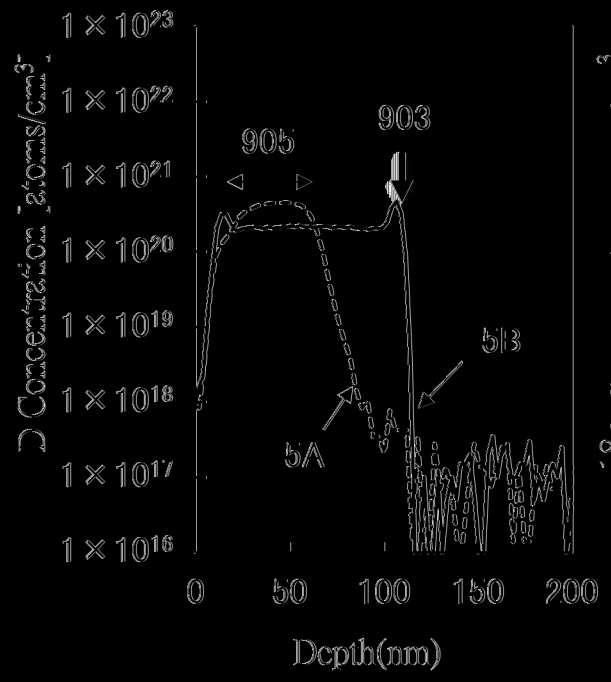


圖 54B

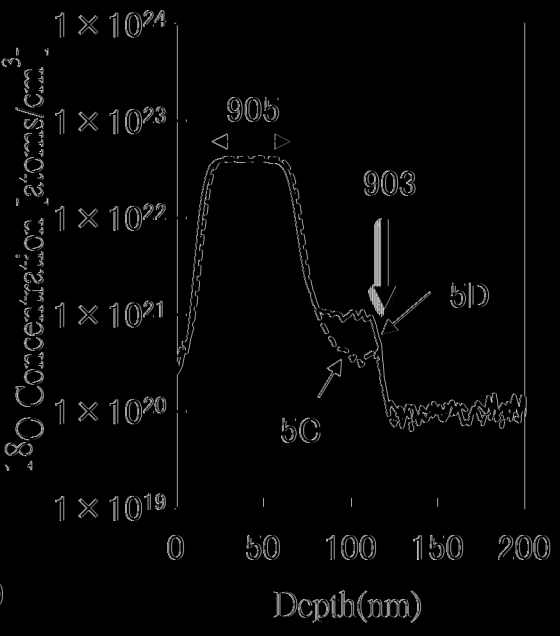
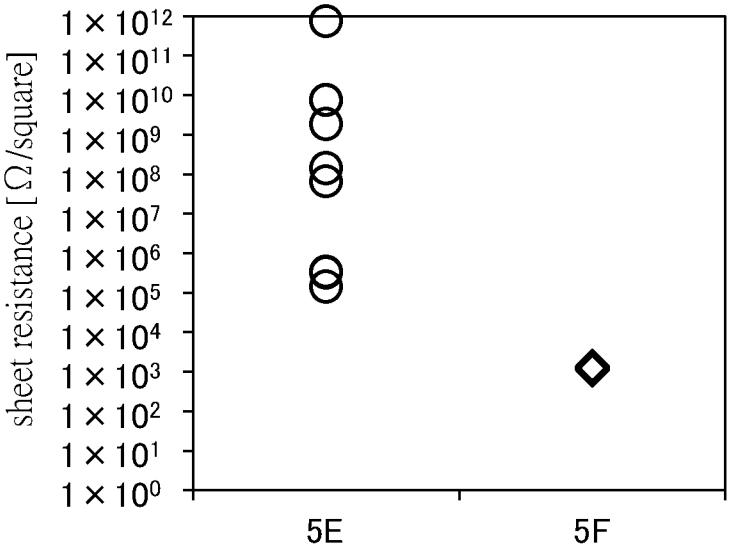
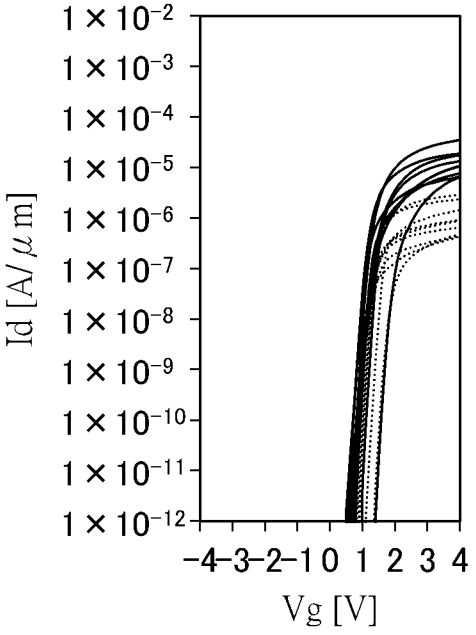


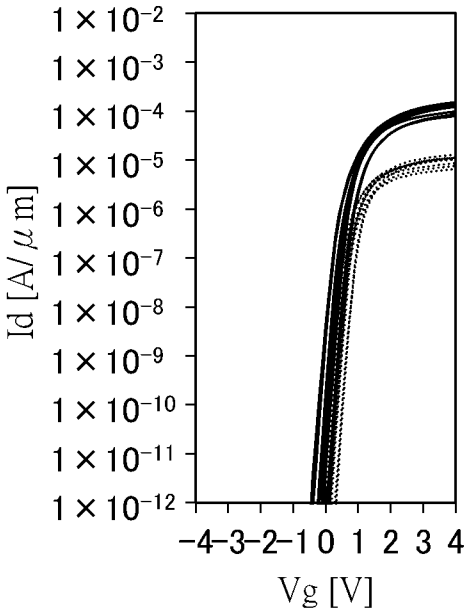
圖 54C


sheet resistance [Ω/square]
1×10^12
1×10^11
1×10^10
1×10^9
1×10^8
1×10^7
1×10^6
1×10^5
1×10^4
1×10^3
1×10^2
1×10^1
1×10^0
5E
5F

【圖55】


1×10−2
1×10−3
1×10−4
1×10−5
1×10−6
1×10−7
1×10−8
1×10−9
1×10−10
1×10−11
1×10−12
Id [A/μm]
−4 −3 −2 −1 0 1 2 3 4
Vg [V]

【圖56A】


1×10−2
1×10−3
1×10−4
1×10−5
1×10−6
1×10−7
1×10−8
1×10−9
1×10−10
1×10−11
1×10−12
Id [A/μm]
−4 −3 −2 −1 0 1 2 3 4
Vg [V]

【圖56B】

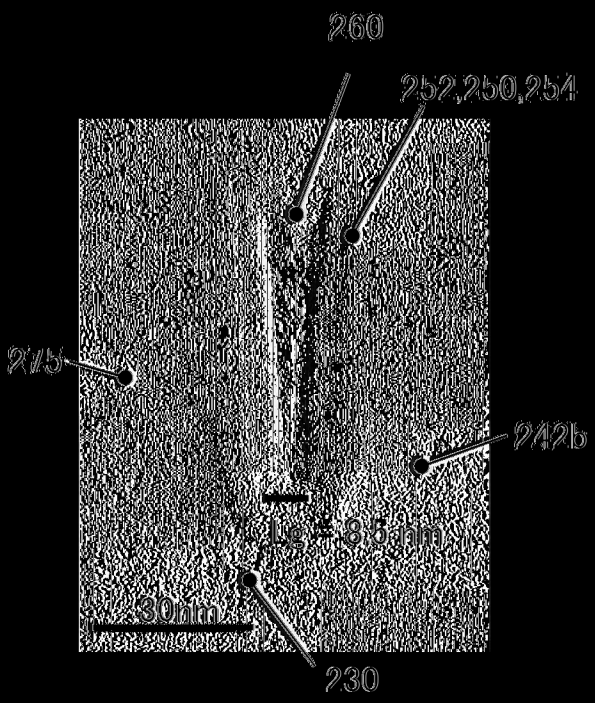

260
252,250,254
215
242b
Lg ≈ 8.5 nm
30nm
230

圖5A

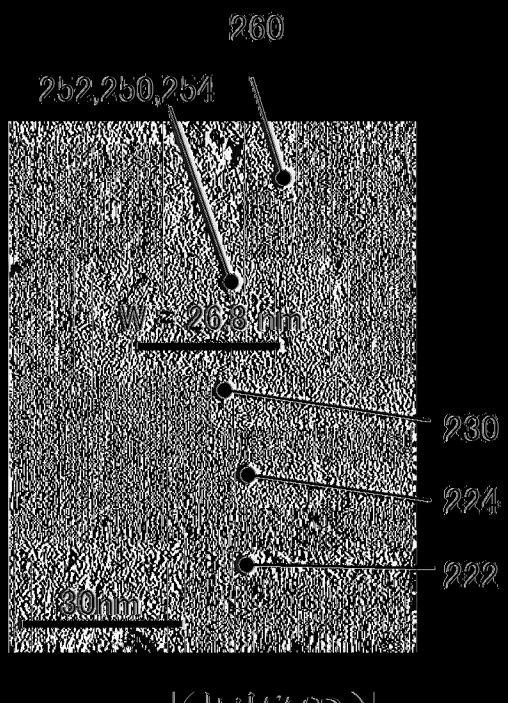

260
252,250,254
W ≈ 26.8 nm
230
224
222
30nm

圖5B

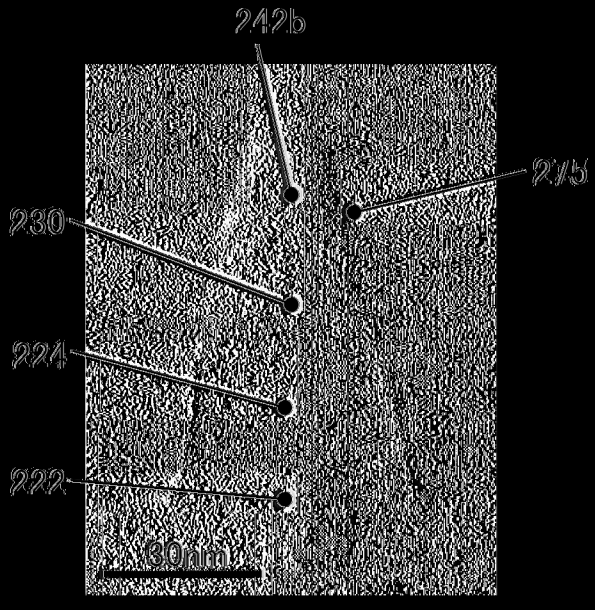
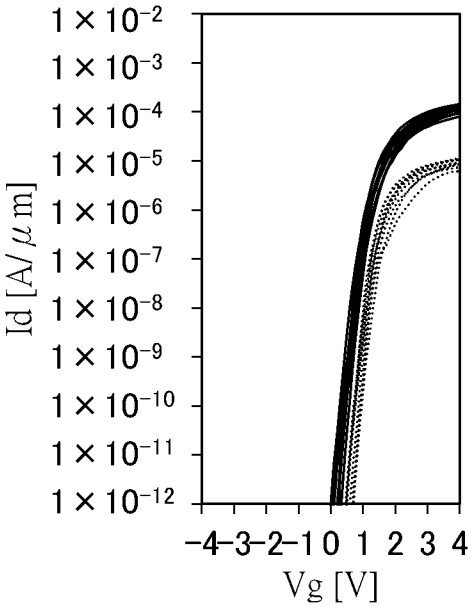
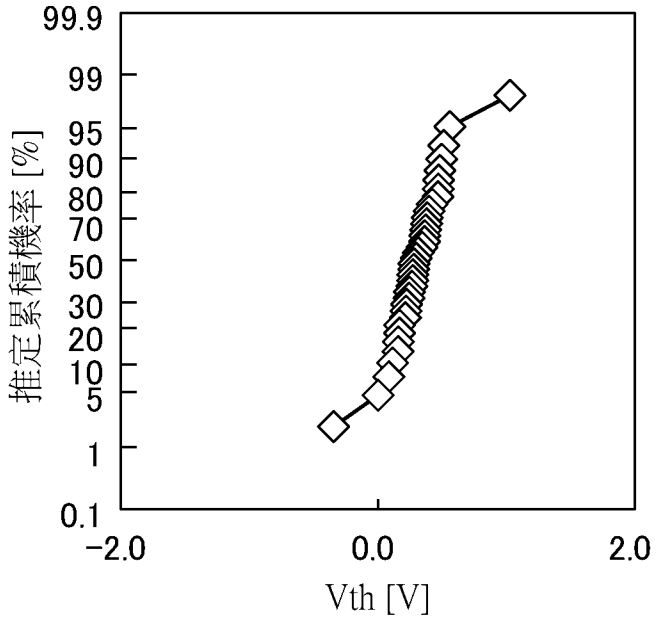

242b
215
230
224
222
30nm

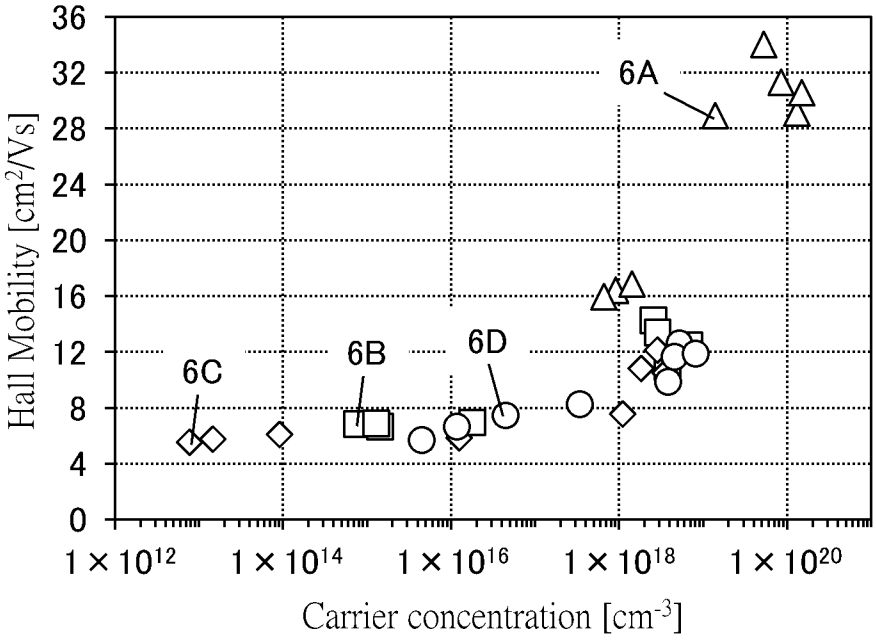
圖5C


1×10⁻²
1×10⁻³
1×10⁻⁴
1×10⁻⁵
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
Id [A/μm]
-4 -3 -2 -1 0 1 2 3 4
Vg [V]

【圖58A】


99.9
99
95
90
80
70
50
30
20
10
5
1
0.1
推定累積機率 [%]
-2.0
0.0
2.0
Vth [V]

【圖58B】


36
32
28
24
20
16
12
8
4
0
Hall Mobility [cm²/Vs]
6A
6B
6C
6D
1×10¹²
1×10¹⁴
1×10¹⁶
1×10¹⁸
1×10²⁰
Carrier concentration [cm⁻³]

【圖59】

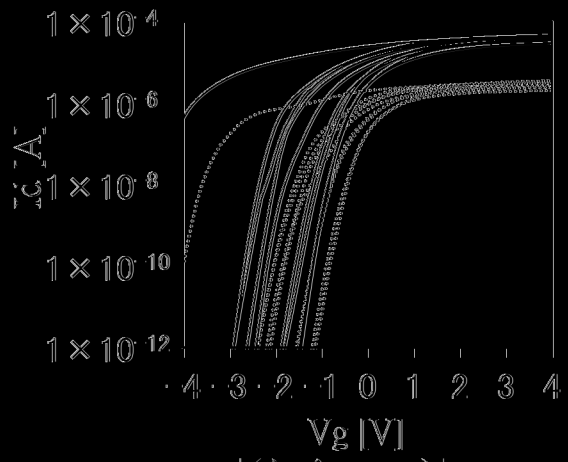


圖60A

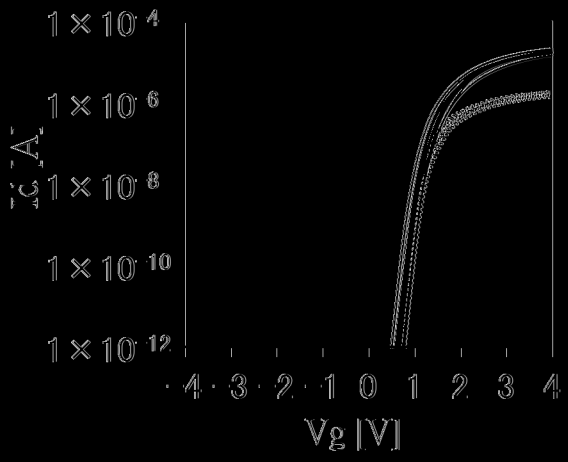


圖60B

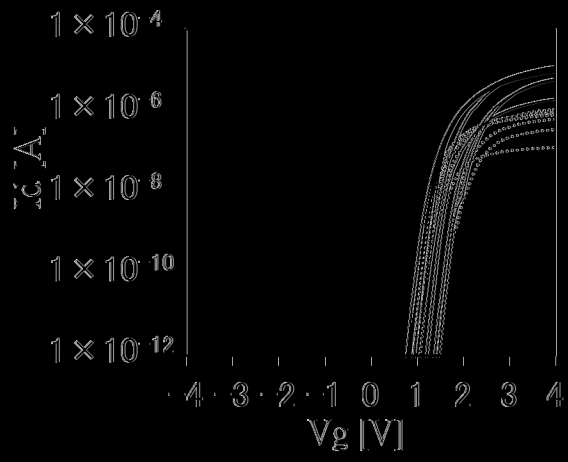


圖60C

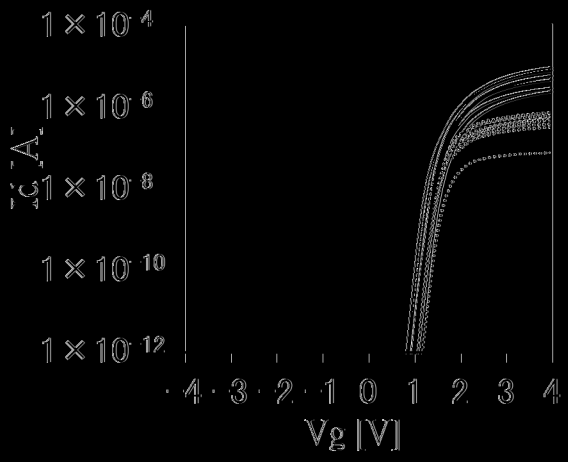
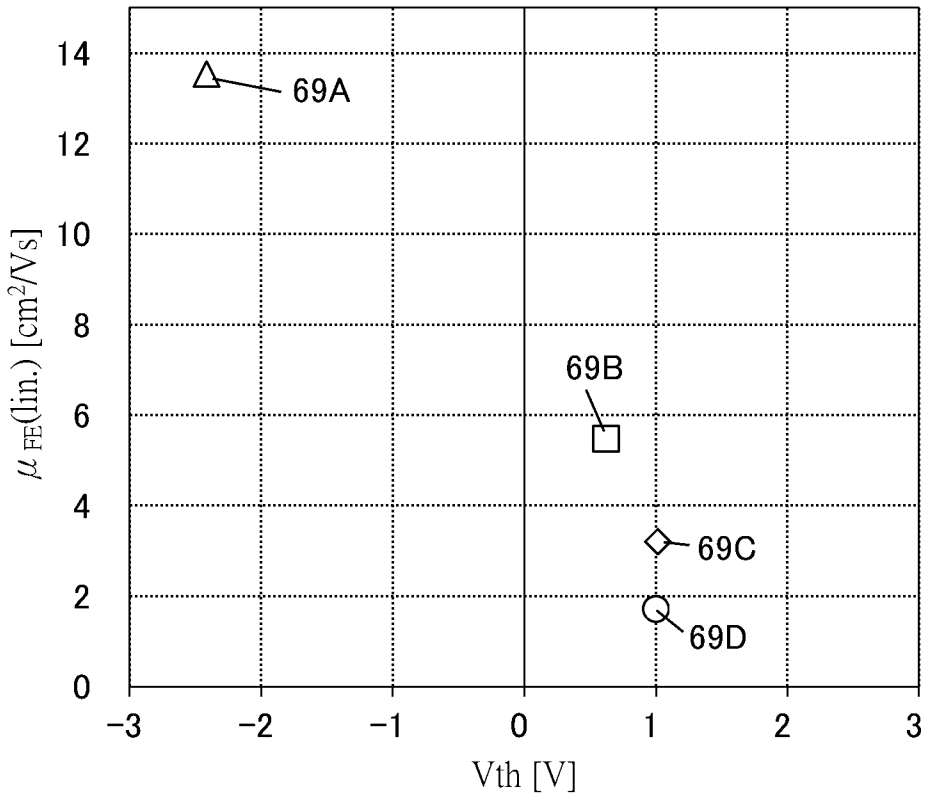
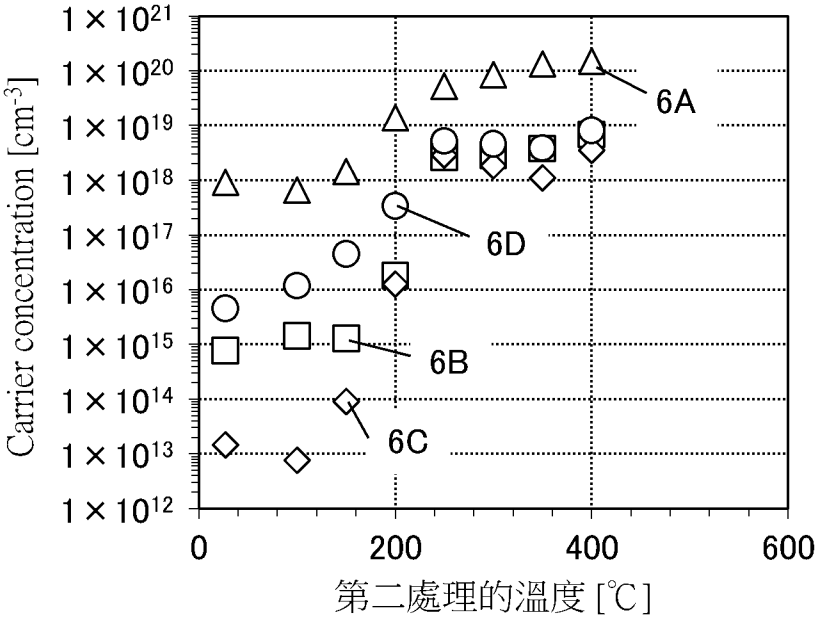


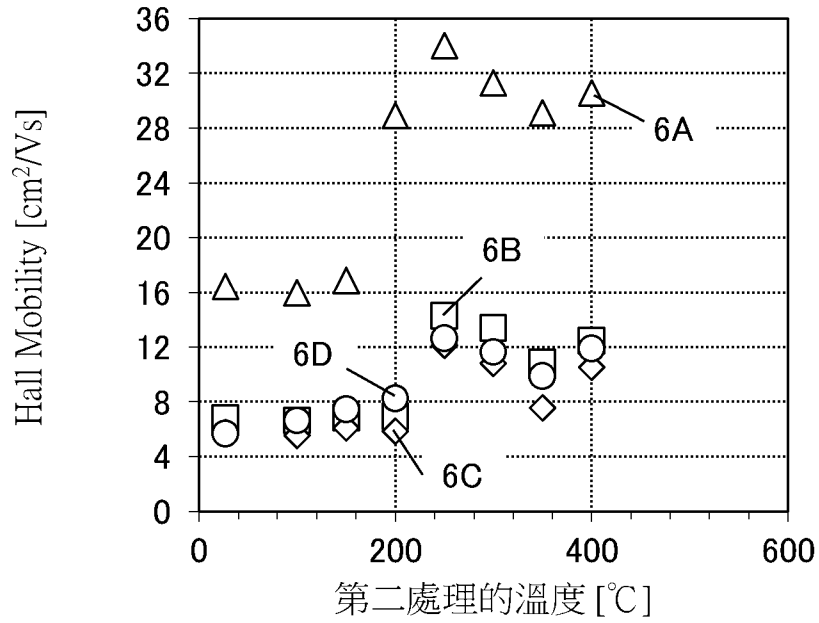
圖60D



【圖61】


Carrier concentration [cm-3]
1×10^21
1×10^20
1×10^19
1×10^18
1×10^17
1×10^16
1×10^15
1×10^14
1×10^13
1×10^12
0
200
400
600
第二處理的溫度 [℃]
6A
6D
6B
6C

【圖62A】


Hall Mobility [cm2/Vs]
36
32
28
24
20
16
12
8
4
0
0
200
400
600
第二處理的溫度 [℃]
6A
6B
6D
6C

【圖62B】