

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)



(10) 国際公開番号

WO 2014/049967 A1

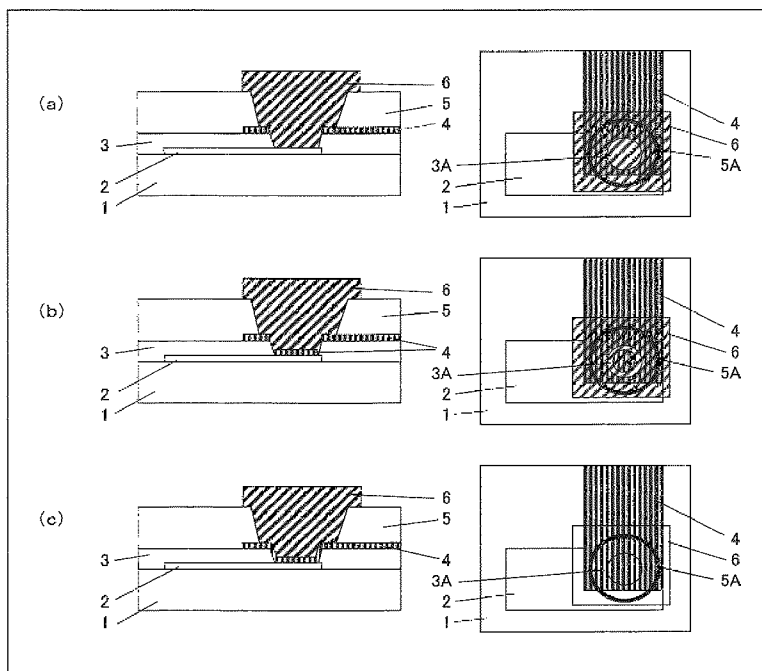
- | | |
|--|--|
| <p>(51) 国際特許分類:
 H01L 21/768 (2006.01) H01L 23/522 (2006.01)
 G09F 9/30 (2006.01) H01L 27/04 (2006.01)
 H01L 21/822 (2006.01) H01L 29/786 (2006.01)</p> | <p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p> |
| <p>(21) 国際出願番号: PCT/JP2013/005125</p> | <p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).</p> |
| <p>(22) 国際出願日: 2013 年 8 月 29 日(29.08.2013)</p> | |
| <p>(25) 国際出願の言語: 日本語</p> | |
| <p>(26) 国際公開の言語: 日本語</p> | |
| <p>(30) 優先権データ:
 特願 2012-212531 2012 年 9 月 26 日(26.09.2012) JP</p> | |
| <p>(71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 Tokyo (JP).</p> | |
| <p>(72) 発明者: 石▲崎▼ 守(ISHIZAKI, Mamoru). 八田 薫(HATTA, Kaoru).</p> | |
| <p>(74) 代理人: 特許業務法人 小笠原特許事務所(OGASAWARA PATENT OFFICE); 〒5640063 大阪府吹田市江坂町 1 丁目 2 3 番 1 0 1 号 大同生命江坂ビル 1 3 階 Osaka (JP).</p> | <p>添付公開書類:
 — 国際調査報告 (条約第 21 条(3))</p> |

添付公開書類:

— 國際調查報告（條約第 21 條(3)）

(54) Title: LAYERED STRUCTURE AND THIN-FILM-TRANSISTOR ARRAY, AND METHOD FOR PRODUCING SAME

(54) 発明の名称：積層構造体、薄膜トランジスタアレイおよびそれらの製造方法



(57) Abstract: A layered structure having a first electrode layer on an insulating substrate, a first insulating film on the top thereof, a second electrode layer on the top thereof, a second insulating film on the top thereof, and a third electrode layer on the top thereof, and also having a section for connecting the first electrode layer and the second electrode layer, wherein: this section has a layered structure comprising the first electrode layer, an opening in the first insulating film, the second electrode layer, an opening in the second insulating film, and the third electrode layer; and in the opening of the second insulating film, the third electrode layer relays or reinforces the connection between the first electrode layer and the second electrode layer on the first insulating film.

(57) 要約: 積層構造体は、絶縁基板上に、第1電極層を有し、その上に第1絶縁膜を有し、その上に第2電極層を有し、その上に第2絶縁膜を有し、その上に第3電極層を有する構造体であって、第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、第1絶縁膜の開口と、第2電極層と、第2絶縁膜の開口と、第3電極層が、第1電極層と、第1絶縁膜

3 電極層との積層構造であり、第2絶縁膜の開口内において、第3電極層が、第1電極層と、第1絶縁膜上の第2電極層との接続を中継または補強する。

WO 2014/049967 A1

明 細 書

発明の名称：

積層構造体、薄膜トランジスタアレイおよびそれらの製造方法

技術分野

[0001] 本発明は、積層構造体、特に画像表示装置等に用いる薄膜トランジスタに関する。

背景技術

[0002] 半導体自体を基板としたトランジスタや集積回路技術を基礎として、ガラス基板上にアモルファスシリコン（a-Si）やポリシリコン（poly-Si）の薄膜トランジスタ（Thin Film Transistor：TFT）が製造され、液晶ディスプレイに応用されている（非特許文献1）。ここでTFTはスイッチの役割を果たしており、ゲート配線に与えられた選択電圧によってTFTをオンにした時に、ソース配線に与えられた信号電圧をドレインに接続された画素電極に書き込む。書き込まれた電圧は、画素電極／ゲート絶縁膜／キャパシタ電極によって構成される蓄積キャパシタに保持される。

[0003] ここで、TFTアレイの場合、ソースとドレインの働きは書き込む電圧の極性によって変わるため、動作で名称を決められない。そこで、便宜的に一方をソース、他方をドレインと、呼び方を統一しておく。本発明では、配線に接続されている方をソース、画素電極に接続されている方をドレインと呼ぶ。

[0004] 近年、有機半導体や酸化物半導体が登場し、200℃以下の低温でTFTを作製できることが示され、プラスチック基板を用いたフレキシブルディスプレイへの期待が高まっている。フレキシブルという特長以外に、軽量、壊れにくい、薄型化できるというメリットも期待されている。また、印刷によってTFTを形成することにより、安価で大面積なディスプレイが期待されている。

先行技術文献

非特許文献

- [0005] 非特許文献1：松本正一編著：「液晶ディスプレイ技術　ーアクティブマトリクスLCDー」産業図書，1996年11月

発明の概要

発明が解決しようとする課題

- [0006]　ところで、別の層の電極を接続することは、真空成膜とフォトリソ+エッチングを繰り返す工程では、容易であった。例えば基板上1に第1電極2を形成し、第1電極2上に開口を有する第1絶縁膜3を形成した試料に、第2電極4を形成する場合、第2電極4をスパッタや蒸着のような真空成膜法で形成すると絶縁層3の段差をカバーするのが容易だからである（なお、本明細書では、「フォトリソグラフィ」を適宜「フォトリソ」と簡略化して記載する）。その後、フォトリソおよびエッチングで第2電極4をパターニングすることで、図45（c）の構造を容易に得ることができる。
- [0007]　しかし、反転オフセット印刷、フレキソ印刷のような薄膜印刷法では、段差をカバーするのが難しい。例えば基板1上に第1電極2を形成し、第1電極2上に開口を有する第1絶縁層3を形成した試料に、第2電極4を印刷する際、図45（a）のように絶縁層3の上にだけ印刷される場合と、図45（b）のように絶縁層3の上と穴の底に印刷されるがそれらが分断されている場合と、図45（c）のように絶縁層3の上と穴の底が接続されている場合とが混在することが多い。図45（a）、図45（b）、図45（c）の左側の図は断面図、右側の図は平面図を示す。
- [0008]　このように、第1電極2と第2電極4との接続が不安定であるという問題があった。
- [0009]　本発明は、係る従来技術の状況に鑑みてなされたもので、第1電極と第2電極との接続不安定さを解消し、第1電極と第2電極とを確実に接続する積層構造体および薄膜トランジスタアレイ、ならびにそれらの製造方法を提供

することを課題とする。

課題を解決するための手段

- [0010] 上記課題を解決するための、第1の発明は、絶縁基板上に第1電極層を有し、その上に第1絶縁膜を有し、その上に第2電極層を有し、その上に第2絶縁膜を有し、その上に第3電極層を有する積層構造体であって、第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、第1絶縁膜の開口と、第2電極層と、第2絶縁膜の開口と、第3電極層との積層構造であり、第2絶縁膜の開口内において、第3電極層が、第1電極層と、第1絶縁膜上の第2電極層との接続を中継または補強することを特徴とする積層構造体である。
- [0011] 第2の発明は、絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第1電極層を有し、該第1電極層の上にゲート絶縁膜を有し、該ゲート絶縁膜の上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含む第2電極層を有し、ソース電極・ドレイン電極間に半導体を有し、ゲート電極がゲート絶縁膜を介して該半導体に重なっており、キャパシタ電極がゲート絶縁膜を介して該画素電極に重なっており、該画素電極上に開口を有する層間絶縁膜を有し、該開口を介して画素電極に接続された上部画素電極を含む第3電極層を有する薄膜トランジスタアレイであって、第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、ゲート絶縁膜の開口と、第2電極層と、層間絶縁膜の開口と、第3電極層との積層構造であり、層間絶縁膜の開口内において、第3電極層が、第1電極層と、ゲート絶縁膜上の第2電極層との接続を中継または補強することを特徴とする薄膜トランジスタアレイである。
- [0012] 第3の発明は、前記薄膜トランジスタアレイの周囲に共通電極を有し、共通電極はゲート側共通電極とソース側共通電極とからなり、各ゲート配線とゲート側共通電極との間にゲート保護素子を有し、各ソース配線とソース側

共通電極との間にソース保護素子を有し、共通電極はアース電位に直接接続されているか、あるいは抵抗を介してアース電位に接続されており、ゲート側共通電極は第2電極層であり、ソース側共通電極は第1電極層であり、該ゲート保護素子および／またはソース保護素子は薄膜トランジスタをダイオード接続したものを逆向きに2個並列接続したものか、薄膜トランジスタをダイオード接続したものを逆向きに2個直列接続したものか、あるいは1個のフローティングゲートトランジスタのいずれかであり、該ゲート保護素子のゲート電極とドレイン電極との短絡部と、ソース保護素子のゲート電極とドレイン電極との短絡部と、ゲート配線とゲート保護素子との接続部と、ソース保護素子とソース側共通電極との接続部との少なくとも1つが、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第2の発明に記載の薄膜トランジスタアレイである。

[0013] 第4の発明は、前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第1電極層にあり、該ソース接続電極と前記ソース配線とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第2または第3の発明に記載の薄膜トランジスタアレイである。

[0014] 第5の発明は、前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第2電極層にあり、前記ゲート配線と該ゲート接続電極とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第2または第3の発明に記載の薄膜トランジスタアレイである。

[0015] 第6の発明は、絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含む第1電極層を有し、ソース電極・ドレイン電極間に半導体を有し、該画素電極上に開口を有するゲート絶縁膜を有し、該ゲート絶縁膜の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第2電極層を有し、該

ゲート電極がゲート絶縁膜を介して半導体に重なっており、該キャパシタ電極がゲート絶縁膜を介して画素電極に重なっており、該画素電極上のゲート絶縁膜開口上に開口を有する層間絶縁膜を有し、該開口を介して画素電極に接続された上部画素電極を含む第3電極層を有する薄膜トランジスタアレイであって、第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、ゲート絶縁膜の開口と、第2電極層と、層間絶縁膜の開口と、第3電極層との積層構造であり、層間絶縁膜の開口内において、第3電極層が、第1電極層と、ゲート絶縁膜上の第2電極層との接続を中継または補強することを特徴とする薄膜トランジスタアレイである。

[0016] 第7の発明は、前記薄膜トランジスタアレイの周囲に共通電極を有し、共通電極はゲート側共通電極とソース側共通電極とからなり、各ゲート配線とゲート側共通電極との間にゲート保護素子を有し、各ソース配線とソース側共通電極との間にソース保護素子を有し、共通電極はアース電位に直接接続されているか、あるいは抵抗を介してアース電位に接続されており、ゲート側共通電極は第1電極層であり、ソース側共通電極は第2電極層であり、該ゲート保護素子および／またはソース保護素子は薄膜トランジスタをダイオード接続したものを逆向きに2個並列接続したものか、薄膜トランジスタをダイオード接続したものを逆向きに2個直列接続したものか、あるいは1個のフローティングゲートトランジスタのいずれかであり、該ゲート保護素子のドレイン電極とゲート電極との短絡部と、ソース保護素子のドレイン電極とゲート電極との短絡部と、ゲート保護素子とゲート配線との接続部と、ソース側共通電極とソース保護素子との接続部との少なくとも1つが、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第6の発明に記載の薄膜トランジスタアレイである。

[0017] 第8の発明は、前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第1電極層にあり、該ゲート接続電極と前記ゲート配線とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第6または第7の発明に記載

の薄膜トランジスタアレイである。

[0018] 第9の発明は、前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第2電極層にあり、前記ソース配線と該ソース接続電極とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする第6または第7の発明に記載の薄膜トランジスタアレイである。

[0019] 第10の発明は、絶縁基板上に、第1電極層を形成する工程と、少なくとも第1電極層の一部を開口する第1絶縁膜を形成する工程と、少なくとも該第1絶縁膜開口部の一部に重なるか近接するように第2電極層を形成する工程と、少なくとも該第1絶縁膜開口部内の第1電極層の一部と第2電極層の一部とを含むような開口を有する第2絶縁膜を形成する工程と、少なくとも第2絶縁膜開口内で第1絶縁膜開口内の第1電極層の一部と第2絶縁膜開口内の第2電極層の一部とを接続するように第3電極層を形成する工程と、を有する積層構造体の製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする積層構造体の製造方法である。

[0020] 第11の発明は、絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、保護素子のゲート電極と、ソース側共通配線とを含む第1電極層を形成する工程と、該第1電極層が形成された基板の上に保護素子のゲート電極とソース側共通電極とに開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、保護素子のソース電極・ドレイン電極と、ゲート側共通配線とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート保護素子のゲート電極\ゲート絶縁膜開口\保護素子のドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続

補強電極と、ゲート配線\ゲート絶縁膜開口\保護素子のソース・ドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のゲート電極\ゲート絶縁膜開口\保護素子のドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース側共通電極\ゲート絶縁膜開口\保護素子のソースまたはドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0021] 第12の発明は、絶縁基板上に、ゲート接続電極と、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、ソース接続電極とを含む第1電極層を形成する工程と、ソース接続電極上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース配線、それに接続されたソース電極、ドレイン電極、該ドレイン電極に接続された画素電極とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ソース接続電極\ゲート絶縁膜開口\ソース配線\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0022] 第13の発明は、絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第1電極層を形成する工程と、ゲート配線上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース接続電極と、ソース配線と、該ソース配線に接続されたソース電極

と、ドレイン電極と、該ドレイン電極に接続された画素電極と、ゲート接続電極とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート配線\ゲート絶縁膜開口\ゲート接続電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0023] 第14の発明は、絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、保護素子のソース電極・ドレイン電極と、ゲート側共通配線とを含む第1電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、該第1電極層および該半導体が形成された基板の上に保護素子のドレイン電極とゲート側共通電極に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、保護素子のゲート電極と、ソース側共通配線とを含む第2電極層を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート保護素子のドレイン電極\ゲート絶縁膜開口\ゲート保護素子のゲート電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ゲート保護素子のソース・ドレイン電極\ゲート絶縁膜開口\ゲート側共通電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のドレイン電極\ゲート絶縁膜開口\ソース保護素子のゲート電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のソース・ドレイン電極\ゲート絶縁膜開口\ソース側共通電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極

と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0024] 第15の発明は、絶縁基板上に、ソース接続電極と、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、ゲート接続電極とを含む第1電極層を形成する工程と、ゲート接続電極上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート接続電極\ゲート絶縁膜開口\ゲート配線\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0025] 第16の発明は、絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含む第1電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、ソース配線上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート接続電極と、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、ソース接続電極とを含む第2電極層を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ソース配線\ゲート絶縁膜開口\ソース接続電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含

む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法である。

[0026] 第17の発明は、少なくとも第2電極層を形成する工程が、反転オフセット印刷であることを特徴する第10の発明に記載の積層構造体の製造方法である。第18の発明は、少なくとも第3電極層を形成する工程が、スクリーン印刷またはグラビアオフセット印刷であることを特徴する第10または第17の発明に記載の積層構造体の製造方法である。

[0027] 第19の発明は、少なくとも第2電極層を形成する工程が、反転オフセット印刷であることを特徴する第11から第16までの発明のいずれかに記載の薄膜トランジスタアレイの製造方法である。第20の発明は、少なくとも第3電極層を形成する工程が、スクリーン印刷またはグラビアオフセット印刷であることを特徴する第11から第16までと第19の発明のいずれかに記載の薄膜トランジスタアレイの製造方法である。

[0028] 第1の発明によれば、第1電極と第2電極の接続を、第3電極が中継または補強することで、安定した接続状態の積層構造体を得られる。

[0029] 第2～5の発明によれば、第1電極と第2電極の接続を、第3電極が中継または補強することで、安定した接続状態のボトムゲート型薄膜トランジスタが得られる。

[0030] 第6～9の発明によれば、第1電極と第2電極の接続を、第3電極が中継または補強することで、安定した接続状態のトップゲート型薄膜トランジスタが得られる。

[0031] 第10、17、18の発明によれば、第1電極と第2電極の接続を、第3電極が補強した、安定した接続状態の積層構造体の製造方法が得られる。

[0032] 第11～16、19、20の発明によれば、第1電極と第2電極の接続を、第3電極が補強した、安定した接続状態の薄膜トランジスタの製造方法が得られる。

発明の効果

[0033] 本発明によれば、第 1 電極と第 2 電極との接続を、第 3 電極が補強することにより、安定した接続状態の積層構造体、特に薄膜トランジスタが得られる。

図面の簡単な説明

[0034] [図1]図 1 は、本発明の接続構造の一例を示す平面図および断面図である。

[図2]図 2 は、本発明の接続構造の一例を示す平面図および断面図である。

[図3]図 3 は、本発明を示すものであり、保護素子付き薄膜トランジスタアレイの例を示す平面図である。

[図4]図 4 は、本発明を示すものであり、保護素子の例を示す回路図である。

[図5]図 5 は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図6]図 6 は、図 5 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図7]図 7 は、図 5 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図8]図 8 は、図 5 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図9]図 9 は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図10]図 10 は、図 9 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図11]図 11 は、図 9 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図12]図 12 は、図 9 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図13]図 13 は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図14]図 14 は、図 13 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図15]図 15 は、図 13 の薄膜トランジスタアレイの製造工程を示す平面図

である。

[図16]図16は、図13の薄膜トランジスタアレイの製造工程を示す平面図である。

[図17]図17は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図18]図18は、図17の薄膜トランジスタアレイの製造工程を示す平面図である。

[図19]図19は、図17の薄膜トランジスタアレイの製造工程を示す平面図である。

[図20]図20は、図17の薄膜トランジスタアレイの製造工程を示す平面図である。

[図21]図21は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図22]図22は、図21の薄膜トランジスタアレイの製造工程を示す平面図である。

[図23]図23は、図21の薄膜トランジスタアレイの製造工程を示す平面図である。

[図24]図24は、図21の薄膜トランジスタアレイの製造工程を示す平面図である。

[図25]図25は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図26]図26は、図25の薄膜トランジスタアレイの製造工程を示す平面図である。

[図27]図27は、図25の薄膜トランジスタアレイの製造工程を示す平面図である。

[図28]図28は、図25の薄膜トランジスタアレイの製造工程を示す平面図である。

[図29]図29は、本発明の薄膜トランジスタアレイの一例を示す平面図であ

る。

[図30]図30は、図29の薄膜トランジスタアレイの製造工程を示す平面図である。

[図31]図31は、図29の薄膜トランジスタアレイの製造工程を示す平面図である。

[図32]図32は、図29の薄膜トランジスタアレイの製造工程を示す平面図である。

[図33]図33は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図34]図34は、図33の薄膜トランジスタアレイの製造工程を示す平面図である。

[図35]図35は、図33の薄膜トランジスタアレイの製造工程を示す平面図である。

[図36]図36は、図33の薄膜トランジスタアレイの製造工程を示す平面図である。

[図37]図37は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図38]図38は、図37の薄膜トランジスタアレイの製造工程を示す平面図である。

[図39]図39は、図37の薄膜トランジスタアレイの製造工程を示す平面図である。

[図40]図40は、図37の薄膜トランジスタアレイの製造工程を示す平面図である。

[図41]図41は、本発明の薄膜トランジスタアレイの一例を示す平面図である。

[図42]図42は、図41の薄膜トランジスタアレイの製造工程を示す平面図である。

[図43]図43は、図41の薄膜トランジスタアレイの製造工程を示す平面図

である。

[図44]図4 4 は、図4 1 の薄膜トランジスタアレイの製造工程を示す平面図である。

[図45]図4 5 は、従来の接続構造の一例を示す平面図である。

発明を実施するための形態

[0035] 本発明の実施の形態について、以下に図面を使用して詳細に説明する。なお、以下に使用する図面では、説明を判り易くするために縮尺は正確には描かれていない。

[0036] [第1の実施の形態]

本発明の第1の実施形態に係わる積層構造体（以下、「構造体」と略す）の例を、図1～2に示す。基板1上に第1電極2を形成し、該第1電極2上に開口を有する第1絶縁膜3を形成し、その上に第2電極4を形成した構造体において、その上に開口を有する第2絶縁膜5を形成し、その上に第3電極6を形成し、該第3電極6が、第1電極2と第2電極4の接続を中継または補強している。図1（a）は、従来の図4 5（a）の接続を中継した構造であり、第3電極6が、第1絶縁膜3の開口内の第1電極2に接触するとともに、第1絶縁膜3上の第2電極6に接触し、第1電極2と第2電極4の接続を行う。図1（b）は、従来の図4 5（b）の接続を中継した構造であり、第3電極6が、第1絶縁膜3の開口内の第1電極2上の第2電極6に接触するとともに、第1絶縁膜3上の第2電極6に接触し、第1電極2と第2電極4の接続を行う。図1（c）は、従来の図4 5（c）の接続を補強した構造であり、第3電極6が、第1絶縁膜3の開口内から第1絶縁膜3の上にかけて第2電極6に接触し、第1電極2と第2電極4の接続の補強を行う。

[0037] なお、第1絶縁膜3の開口は完全に第1電極2の上である必要はなく、開口の一部に第1電極2が含まれていればよい（図2（d）、（e））。また第2電極4は第1絶縁膜3の開口を完全に覆っている必要はなく、少なくとも第1絶縁膜3の開口に近接していればよい（図2（d）、（e））。第2絶縁膜5の開口は第1絶縁膜3の開口を完全に含んでいる必要はなく、少な

くとも第1絶縁膜3の開口内の第1電極2と第1絶縁膜3の上に形成され第1絶縁膜3の開口に近接した第2電極4を含んでいればよい（図2（e））。第3電極6は、第2絶縁膜5の開口を完全に含んでいる必要はなく、少なくとも第1絶縁膜3の開口内の第1電極2と第1絶縁膜3の上に形成され第1絶縁膜3の開口に近接した第2電極4を含んでいればよい（図2（e））。

[0038] 特に第2電極4が第1絶縁膜3の開口を完全に含んでいる必要がないのは、第2電極4を印刷法で行うことによる利点である。印刷法はアディティブな工程なので、下層への影響が小さく、第1電極2に影響を及ぼさない。シリコン半導体で一般的なフォトリソ+エッチングの場合、第2電極4が第1絶縁層3の開口を完全に覆っていないと、覆っていない部分の第1電極2がエッチング除去される恐れがある。

[0039] また、第3電極6が第2絶縁膜5の開口を完全に含んでいる必要がないのは、第3電極6を印刷法で行うことによる利点である。印刷法はアディティブな工程なので、下層への影響が小さく、第2電極4に影響を及ぼさない。シリコン半導体で一般的なフォトリソ+エッチングの場合、第3電極6が第2絶縁層5の開口を完全に覆っていないと、覆っていない部分の第2電極4がエッチング除去される恐れがある。

このように、積層構造体は、絶縁基板上に第1電極層を有してなる第1積層構造と、該第1積層構造の上に第1絶縁膜を有してなる第2積層構造と、該第2積層構造の上に第2電極層を有してなる第3積層構造と、該第3積層構造の上に第2絶縁膜を有してなる第4積層構造と、該第4積層構造の上に第3電極層を有してなる第5積層構造とを含む積層構造体である。さらに、当該積層構造体は、第1電極層と第2電極層とを接続する部分を有し、該部分が、第1電極層と、第1絶縁膜の開口と、第2電極層と、第2絶縁膜の開口と、第3電極層との第6積層構造、すなわち、第1絶縁膜の開口および第2絶縁膜の開口の領域を介するように第1電極層と第2電極層と第3電極層とが積層されている第6積層構造をなしており、第2絶縁膜の開口内におい

て、第3電極層が、第1電極層と、第1絶縁膜上の第2電極層との接続を中継または補強する。

[0040] [第2の実施の形態]

本発明の第2の実施形態に係わる薄膜トランジスタの例を、図5、9、13に示す。これらは、構造体がボトムゲート型薄膜トランジスタであり、第1電極2と第2電極4を接続する部分が保護素子に使われている。なお、保護素子は薄膜トランジスタを静電気破壊から保護するものであり、図3のように、各配線と共通電極20の間、即ちゲート配線12'とゲート共通電極20Gの間や、ソース配線14'とソース共通電極20Sの間に設けられる。図3には示していないが、共通電極20は、アース電位またはキャパシタ配線17'に接続されているか、あるいは抵抗を介して接続されている。ゲート側共通電極20Gとソース側共通電極20Sは互いに接続されていてもよいし、それぞれが個別に抵抗を介してアース電位またはキャパシタ配線17'に接続されていてもよい。また、保護素子として、具体的には、ドレイン25とゲート22を短絡した薄膜トランジスタ（ダイオード接続構造）を逆向きに並列接続したもの（図4（a））、ダイオード接続構造の薄膜トランジスタを逆向きに直列接続したもの（図4（b））、ゲート電極22がどこにも接続されていないフローティングゲート型薄膜トランジスタ（図4（c））などが用いられる。なお、フローティングゲート型薄膜トランジスタでは、ゲート電極22とソース電極24、ゲート電極22とドレイン電極25との重なりを同等にすることにより、ゲート電極22の電位はキャパシタ結合によってソース電極24とドレイン電極25の間になる（図4（d））。

[0041] 図5は、保護素子がダイオード並列構造の場合の例である。ここには、4個の画素用薄膜トランジスタ10（上部画素電極19を含む）と、2個のゲート保護素子30（接続補強電極39を含む）と、2個のソース保護素子40（接続補強電極49を含む）を記載している。その製造工程を図6～8に示す。

[0042] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0043] このような基板 1 上に、ゲート電極 12 と、ゲート配線 12' と、ゲート接続電極 12C と、キャパシタ電極 17 と、キャパシタ配線 17' と、ゲート保護素子のゲート電極 32 と、ソース保護素子のゲート電極 42 と、ソース共通電極 20S とを含む第 1 電極層 2 を形成する（図 6（a））。第 1 電極層 2 としては、Al、Cr、Au、Ag、Ni、Cu、Mo 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。印刷を用いる場合、Ag インク、Ni インク、Cu インク等を用いることができる。特に、フレキソ印刷、反転オフセット印刷は、薄膜印刷が可能で平坦性に優れており、第 1 電極層 2 として好適である。

[0044] 第 1 電極層 2 が形成された基板の上に、ゲート絶縁膜 13 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 13 は開口 13A を有している（図 6（b））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、SiO₂、SiN、SiON、Al₂O₃ 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキソ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接

パターンニングすることが可能である。

[0045] 第1絶縁膜3が形成された基板の上に、ソース電極14と、ソース配線14'と、ソース接続電極14Cと、ドレイン電極15と、画素電極15'と、ゲート共通電極20Gと、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45とを含む第2電極層4を形成する(図7(c))。第2電極層4としては、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜を使用することができる。製法としては、印刷法(グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0046] さらに、画素用薄膜トランジスタの半導体16と、ゲート保護素子の半導体36と、ソース保護素子の半導体46とを形成する(図7(d))。ここで、半導体16は画素用薄膜トランジスタのソース電極14・ドレイン電極15間をつなぎ、かつゲート絶縁膜13を介してゲート電極12に重なるように形成される。ゲート保護素子の半導体36はゲート保護素子のソース電極34・ドレイン電極35間をつなぎ、かつゲート絶縁膜13を介してゲート保護素子のゲート電極32に重なるように形成される。ソース保護素子の半導体46はソース保護素子のソース電極44・ドレイン電極45間をつなぎ、かつゲート絶縁膜13を介してソース保護素子のゲート電極42に重なるように形成される。以上に示した構造は第2電極層4の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第2電極層4を形成するトップコンタクト構造でもよい。またここで、少なくとも半導体16、36、46を覆う封止層(図示せず)を設けてもよい。半導体16、36、46としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、InGaZnO系、ZnGaO系、InZnO系、InO系、GaO系、SnO系

、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキソ印刷やインクジェット等で印刷・焼成することにより、形成できる。封止層としては、フッ素化樹脂が好適である。製法としては、スクリーン印刷・グラビアオフセット印刷・インクジェット等が好適である。

[0047] 第2電極層4および半導体16、36、46が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図8(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0048] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する(図8(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート配線12'とゲート保護素子のドレイン電極35の接続の中継または補強や、ゲート保護素子のゲート電極32とゲート保護素子のドレイン電極35の接続の中継または補強を行っている。ソース保護素子の接続補強電極49は、層間絶縁膜開口18Aの内部において、ソース保護素子のゲート電極42とソース保護素子のドレイン電極45の接続の中継または補強を行っている。第3電極層6としては、Al、Cr、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、Agインク、Niインク、Cuインク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0049] 図9は、保護素子がダイオード直列構造の場合の例である。ここには、4個の画素用薄膜トランジスタ10(上部画素電極19を含む)と、2個のゲ

ート保護素子 30（接続補強電極 39を含む）と、2個のソース保護素子 40（接続補強電極 49を含む）を記載している。その製造工程を図 10～12 に示す。

[0050] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0051] このような基板 1 上に、ゲート電極 12 と、ゲート配線 12' と、ゲート接続電極 12C と、キャパシタ電極 17 と、キャパシタ配線 17' と、ゲート保護素子のゲート電極 32 と、ソース保護素子のゲート電極 42 と、ソース共通電極 20S とを含む第 1 電極層 2 を形成する（図 10（a））。第 1 電極層 2 としては、Al、Cr、Au、Ag、Ni、Cu、Mo 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。印刷を用いる場合、Ag インク、Ni インク、Cu インク等を用いることができる。特に、フレキソ印刷、反転オフセット印刷は、薄膜印刷が可能で平坦性に優れており、第 1 電極層 2 として好適である。

[0052] 第 1 電極層 2 が形成された基板の上に、ゲート絶縁膜 13 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 13 は開口 13A を有している（図 10（b））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、SiO₂、SiN、SiON、Al₂O₃ 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピンコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブ

レーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターニングするか、フレキソ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターニングすることが可能である。

[0053] 第1絶縁膜3が形成された基板の上に、ソース電極14と、ソース配線14'と、ソース接続電極14Cと、ドレイン電極15と、画素電極15'と、ゲート共通電極20Gと、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45とを含む第2電極層4を形成する(図11(c))。第2電極層4としては、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜を使用することができる。製法としては、印刷法(グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0054] さらに、画素用薄膜トランジスタの半導体16と、ゲート保護素子の半導体36と、ソース保護素子の半導体46とを形成する(図11(d))。ここで、半導体16は画素用薄膜トランジスタのソース電極14・ドレイン電極15間をつなぎ、かつゲート絶縁膜13を介してゲート電極12に重なるように形成される。ゲート保護素子の半導体36はゲート保護素子のソース電極34・ドレイン電極35間をつなぎ、かつゲート絶縁膜13を介してゲート保護素子のゲート電極32に重なるように形成される。ソース保護素子の半導体46はソース保護素子のソース電極44・ドレイン電極45間をつなぎ、かつゲート絶縁膜13を介してソース保護素子のゲート電極42に重なるように形成される。以上に示した構造は第2電極層4の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第2電極層4を形成するトップコンタクト構造でもよい。またここで、少なくとも半導体16、36、46を覆う封止層(図示せず)を設けてもよい。半導体16、36、46としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体

、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフエン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキソ印刷やインクジェット等で印刷・焼成することにより、形成できる。封止層としては、フッ素化樹脂が好適である。製法としては、スクリーン印刷・グラビアオフセット印刷・インクジェット等が好適である。

[0055] 第2電極層4および半導体16、36、46が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図12(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0056] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する(図12(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート保護素子のゲート電極12とゲート保護素子のドレイン電極35の接続の中継または補強を行っている。ソース保護素子の接続補強電極49は、層間絶縁膜開口18Aの内部において、ソース保護素子のゲート電極42とソース保護素子のドレイン電極45の接続の中継または補強を行っている。第3電極層6としては、 Al 、 Cr 、 Au 、 Ag 、 Ni 、 Cu 等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、 Ag インク、 Ni インク、 Cu インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0057] 図13は、保護素子がフローティングゲートの場合の例である。ここには、4個の画素用薄膜トランジスタ10（上部画素電極19を含む）と、2個のゲート保護素子30（接続補強電極39を含む）と、2個のソース保護素子40（接続補強電極49を含む）を記載している。その製造工程を図14～16に示す。

[0058] 基板1としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0059] このような基板1上に、ゲート電極12と、ゲート配線12'と、ゲート接続電極12Cと、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース共通電極20Sとを含む第1電極層2を形成する（図14（a））。第1電極層2としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。印刷を用いる場合、Agインク、Niインク、Cuインク等を用いることができる。特に、フレキソ印刷、反転オフセット印刷は、薄膜印刷が可能で平坦性に優れており、第1電極層2として好適である。

[0060] 第1電極層2が形成された基板の上に、ゲート絶縁膜13となる第1絶縁膜3を形成する。ゲート絶縁膜13は開口13Aを有している（図14（b））。第1絶縁膜3としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜

を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピンコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターニングするか、フレキソ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターニングすることが可能である。

[0061] 第1絶縁膜3が形成された基板の上に、ソース電極14と、ソース配線14'と、ソース接続電極14Cと、ドレイン電極15と、画素電極15'と、ゲート共通電極20Gと、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45とを含む第2電極層4を形成する(図15(c))。第2電極層4としては、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜を使用することができる。製法としては、印刷法(グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0062] さらに、画素用薄膜トランジスタの半導体16と、ゲート保護素子の半導体36と、ソース保護素子の半導体46とを形成する(図15(d))。ここで、半導体16は画素用薄膜トランジスタのソース電極14・ドレイン電極15間をつなぎ、かつゲート絶縁膜13を介してゲート電極12に重なるように形成される。ゲート保護素子の半導体36はゲート保護素子のソース電極34・ドレイン電極35間をつなぎ、かつゲート絶縁膜13を介してゲート保護素子のゲート電極32に重なるように形成される。ソース保護素子の半導体46はソース保護素子のソース電極44・ドレイン電極45間をつなぎ、かつゲート絶縁膜13を介してソース保護素子のゲート電極42に重なるように形成される。以上に示した構造は第2電極層4の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第2電極層4を形成するトップコンタクト構造でもよい。またここで、少なくとも半導体16、36、46を覆う封止層(図示せず)を設けても

よい。半導体 16、36、46 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキソ印刷やインクジェット等で印刷・焼成することにより、形成できる。封止層としては、フッ素化樹脂が好適である。製法としては、スクリーン印刷・グラビアオフセット印刷・インクジェット等が好適である。

[0063] 第2電極層4および半導体層16、36、46が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図16(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0064] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する(図16(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート配線12'とゲート保護素子のドレイン電極35の接続の中継または補強を行っている。ソース保護素子の接続補強電極49は、層間絶縁膜開口18Aの内部において、ソース共通電極20Sとソース保護素子のドレイン電極45の接続の中継または補強を行っている。第3電極層6としては、 Al 、 Cr 、 Au 、 Ag 、 Ni 、 Cu 等の金属や、 ITO 等の透明導電膜等を用いることができる。製法としては、 Ag インク、 Ni インク、 Cu インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・

グラビアオフセット印刷は厚膜印刷に適しているからである。

[0065] [第3の実施の形態]

本発明の第3の実施形態に係わる薄膜トランジスタの例を、図17、21に示す。これらは、構造体がボトムゲート型薄膜トランジスタであり、第1電極層2と第2電極層4を接続する部分が、配線を第2電極層4から第1電極層2に切替えるか、第1電極層2から第2電極層4に切替えることに用いたものである。

[0066] 図17は、第2電極層4に含まれるソース配線14'を、第1電極層2に含まれるソース接続電極14Cに接続する部分の中継または補強するための、ソース配線の接続補強電極54の場合の例である。ここには、4個の画素用薄膜トランジスタ10（上部画素電極19を含む）と、2本のゲート配線12'～ゲート接続電極12Cと、2本のソース配線14'～ソース接続電極14C（接続補強電極54を含む）を記載している。その製造工程を図18～20に示す。

[0067] 基板1としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0068] このような基板1上に、ゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'と、ゲート接続電極12Cと、ソース接続電極14Cとを含む第1電極層2を形成する（図18（a））。第1電極層2としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オ

フセット印刷等）を用いることができる。印刷を用いる場合、A g インク、N i インク、C u インク等を用いることができる。特に、フレキソ印刷、反転オフセット印刷は、薄膜印刷が可能で平坦性に優れており、第 1 電極層 2 として好適である。

[0069] 第 1 電極層 2 が形成された基板の上に、ゲート絶縁膜 1 3 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 1 3 は開口 1 3 A を有している（図 1 8 (b)）。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピンコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキソ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターンニングすることが可能である。

[0070] 第 1 絶縁膜 3 が形成された基板の上に、ソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' とを含む第 2 電極層 4 を形成する（図 1 9 (c)）。第 2 電極層 4 としては、A u、A g、N i、C u等の金属や、ITO等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0071] さらに、画素用薄膜トランジスタの半導体 1 6 を形成する（図 1 9 (d)）。ここで、半導体 1 6 は画素用薄膜トランジスタのソース電極 1 4・ドレイン電極 1 5 間をつなぎ、かつゲート絶縁膜 1 3 を介してゲート電極 1 2 に重なるように形成される。以上に示した構造は第 2 電極層 4 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 2 電極層 4 を形成するトップコンタクト構造でもよい。またここで、少なくとも半導体 1 6 を覆う封止層（図示せず）を設けてもよい。半導

体 1 6 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキソ印刷やインクジェット等で印刷・焼成することにより、形成できる。封止層としては、フッ素化樹脂が好適である。製法としては、スクリーン印刷・グラビアオフセット印刷・インクジェット等が好適である。

[0072] 第 2 電極層 4 および半導体 1 6 が形成された基板の上に、層間絶縁膜 1 8 となる第 2 絶縁膜 5 を形成する。層間絶縁膜 1 8 は開口 1 8 A を有している（図 2 0 (e)）。第 2 絶縁膜 5 としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0073] 第 2 絶縁膜 5 が形成された基板の上に、上部画素電極 1 9 と、ソース配線の接続補強電極 5 4 とを含む第 3 電極層 6 を形成する（図 2 0 (f)）。上部画素電極 1 9 は、層間絶縁膜開口 1 8 A を介して画素電極 1 5' に接続されている。ソース配線の接続補強電極 5 4 は、層間絶縁膜開口 1 8 A の内部において、ソース接続電極 1 4 C とソース配線 1 4' の接続の中継または補強を行っている。第 3 電極層 6 としては、 Al 、 Cr 、 Au 、 Ag 、 Ni 、 Cu 等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、 Ag インク、 Ni インク、 Cu インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0074] 図 2 1 は、第 1 電極層 2 に含まれるゲート配線 1 2' を、第 2 電極層 4 に含まれるゲート接続電極 1 2 C に接続する部分の中継または補強するための

、ゲート配線の接続補強電極 5 2 の例である。ここには、4 個の画素用薄膜トランジスタ 1 0（上部画素電極 1 9 を含む）と、2 本のゲート配線 1 2' ～ゲート接続電極 1 2 C（接続補強電極 5 2 を含む）と、2 本のソース配線 1 4' ～ソース接続電極 1 4 C を記載している。その製造工程を図 2 2 ～ 2 4 に示す。

[0075] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0076] このような基板 1 上に、ゲート電極 1 2 と、ゲート配線 1 2' と、キャパシタ電極 1 7 と、キャパシタ配線 1 7' とを含む第 1 電極層 2 を形成する（図 2 2（a））。第 1 電極層 2 としては、Al、Cr、Au、Ag、Ni、Cu、Mo 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。印刷を用いる場合、Ag インク、Ni インク、Cu インク等を用いることができる。特に、フレキソ印刷、反転オフセット印刷は、薄膜印刷が可能で平坦性に優れており、第 1 電極層 2 として好適である。

[0077] 第 1 電極層 2 が形成された基板の上に、ゲート絶縁膜 1 3 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 1 3 は開口 1 3 A を有している（図 2 2（b））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、SiO₂、SiN、SiON、Al₂O₃ 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピンコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブ

レーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターニングするか、フレキソ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターニングすることが可能である。

[0078] 第1絶縁膜3が形成された基板の上に、ソース電極14と、ソース配線14'と、ドレイン電極15と、画素電極15'と、ゲート接続電極12Cと、ソース接続電極14Cとを含む第2電極層4を形成する(図23(c))。第2電極層4としては、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜を使用することができる。製法としては、印刷法(グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0079] さらに、画素用薄膜トランジスタの半導体16を形成する(図23(d))。ここで、半導体16は画素用薄膜トランジスタのソース電極14・ドレイン電極15間をつなぎ、かつゲート絶縁膜13を介してゲート電極12に重なるように形成される。以上に示した構造は第2電極層4の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第2電極層4を形成するトップコンタクト構造でもよい。またここで、少なくとも半導体16を覆う封止層(図示せず)を設けてもよい。半導体16としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、InGaZnO系、ZnGaO系、InZnO系、InO系、GaO系、SnO系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキソ印刷やインクジェット等で印刷・焼成することにより、形成できる。封止層としては、フッ素化樹脂が好適である。製法としては、スクリーン印刷・グラビアオフセット印刷・インクジェット等が好適である。

[0080] 第2電極層4および半導体16が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図24(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0081] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート配線の接続補強電極52とを形成する(図24(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート配線の接続補強電極52は、層間絶縁膜開口18Aの内部において、ゲート配線12'とゲート接続電極12Cの接続の中継または補強を行っている。第3電極層6としては、Al、Cr、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、Agインク、Niインク、Cuインク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0082] [第4の実施の形態]

本発明の第4の実施形態に係わる薄膜トランジスタの例を、図25、29、33に示す。これらは、構造体がトップゲート型薄膜トランジスタであり、第1電極2と第2電極4を接続する部分が保護素子に使われている。なお、保護素子は薄膜トランジスタを静電気破壊から保護するものであり、図3のように、各配線と共通電極20の間、即ちゲート配線12'とゲート共通電極20Gの間や、ソース配線14'とソース共通電極20Sの間に設けられる。図3には示していないが、共通電極20は、アース電位またはキャパシタ配線17'に接続されているか、あるいは抵抗を介して接続されている。ゲート側共通電極20Gとソース側共通電極20Sは互いに接続されていてもよいし、それぞれが個別に抵抗を介してアース電位またはキャパシタ配線17'に接続されていてもよい。また、保護素子として、具体的には、ド

ライン 25 とゲート 22 を短絡した薄膜トランジスタ（ダイオード接続構造）を逆向きに並列接続したもの（図 4（a））、ダイオード接続構造の薄膜トランジスタを逆向きに直列接続したもの（図 4（b））、ゲート電極 22 がどこにも接続されていないフローティングゲート型薄膜トランジスタ（図 4（c））などが用いられる。なお、フローティングゲート型薄膜トランジスタでは、ゲート電極 22 とソース電極 24、ゲート電極 22 とドレイン電極 25 との重なりを同等にすることにより、ゲート電極 22 の電位はキャパシタ結合によってソース電極 24 とドレイン電極 25 の中間になる（図 4（d））。

[0083] 図 25 は、保護素子がダイオード並列構造の場合の例である。ここには、4 個の画素用薄膜トランジスタ 10（上部画素電極 19 を含む）と、2 個のゲート保護素子 30（接続補強電極 39 を含む）と、2 個のソース保護素子 40（接続補強電極 49 を含む）を記載している。その製造工程を図 26 ～ 28 に示す。

[0084] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0085] このような基板 1 上に、ソース電極 14 と、ソース配線 14' と、ソース接続電極 14C と、ドレイン電極 15 と、画素電極 15' と、ゲート共通電極 20G と、ゲート保護素子のソース電極 34 と、ゲート保護素子のドレイン電極 35 と、ソース保護素子のソース電極 44 と、ソース保護素子のドレイン電極 45 とを含む第 1 電極層 2 を形成する（図 26（a））。第 1 電極層 2 としては、Au、Ag、Ni、Cu 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセッ

ト印刷、反転オフセット印刷等）を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0086] さらに、画素用薄膜トランジスタの半導体 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成する（図 2 6（b））。ここで、半導体 1 6 は画素用薄膜トランジスタのソース電極 1 4・ドレイン電極 1 5 間をつなぐように形成される。ゲート保護素子の半導体 3 6 はゲート保護素子のソース電極 3 4・ドレイン電極 3 5 間をつなぐように形成される。ソース保護素子の半導体 4 6 はソース保護素子のソース電極 4 4・ドレイン電極 4 5 間をつなぐように形成される。以上に示した構造は第 1 電極層 2 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 1 電極層 2 を形成するトップコンタクト構造でもよい。半導体 1 6、3 6、4 6 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキシ印刷やインクジェット等で印刷・焼成することにより、形成できる。

[0087] 第 1 電極層 2 および半導体 1 6、3 6、4 6 が形成された基板の上に、ゲート絶縁膜 1 3 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 1 3 は開口 1 3 A を有している（図 2 7（c））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキシ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料と

し露光・現像するなどして、直接パターニングすることが可能である。

[0088] 第1絶縁膜3が形成された基板の上に、ゲート電極12と、ゲート配線12'と、ゲート接続電極12Cと、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース共通電極20Sとを含む第2電極層4を形成する(図27(d))。ここで、ゲート電極12はゲート絶縁膜13を介して画素用薄膜トランジスタの半導体16に重なるように形成される。ゲート保護素子のゲート電極32はゲート絶縁膜13を介してゲート保護素子の半導体36に重なるように形成される。ソース保護素子のゲート電極42はゲート絶縁膜13を介してソース保護素子の半導体46に重なるように形成される。第2電極層4としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法(スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。印刷を用いる場合、Agインク、Niインク、Cuインク等を用いることができる。

[0089] 第2電極層4が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図28(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0090] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する(図28(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート配線12'とゲート保護素子のドレイン電極35の接続の中継または補強や、ゲート

保護素子のゲート電極 32 とゲート保護素子のドレイン電極 35 の接続の中継または補強を行っている。ソース保護素子の接続補強電極 49 は、層間絶縁膜開口 18A の内部において、ソース保護素子のゲート電極 42 とソース保護素子のドレイン電極 45 の接続の中継または補強を行っている。第 3 電極層 6 としては、Al、Cr、Au、Ag、Ni、Cu 等の金属や、ITO 等の透明導電膜等を用いることができる。製法としては、Ag インク、Ni インク、Cu インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0091] 図 29 は、保護素子がダイオード直列構造の場合の例である。ここには、4 個の画素用薄膜トランジスタ 10（上部画素電極 19 を含む）と、2 個のゲート保護素子 30（接続補強電極 39 を含む）と、2 個のソース保護素子 40（接続補強電極 49 を含む）を記載している。その製造工程を図 30～32 に示す。

[0092] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0093] このような基板 1 上に、ソース電極 14 と、ソース配線 14' と、ソース接続電極 14C と、ドレイン電極 15 と、画素電極 15' と、ゲート共通電極 20G と、ゲート保護素子のソース電極 34 と、ゲート保護素子のドレイン電極 35 と、ソース保護素子のソース電極 44 と、ソース保護素子のドレイン電極 45 とを含む第 1 電極層 2 を形成する（図 30（a））。第 1 電極層 2 としては、Au、Ag、Ni、Cu 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセッ

ト印刷、反転オフセット印刷等）を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0094] さらに、画素用薄膜トランジスタの半導体 16 と、ゲート保護素子の半導体 36 と、ソース保護素子の半導体 46 とを形成する（図 30（b））。ここで、半導体 16 は画素用薄膜トランジスタのソース電極 14・ドレイン電極 15 間をつなぐように形成される。ゲート保護素子の半導体 36 はゲート保護素子のソース電極 34・ドレイン電極 35 間をつなぐように形成される。ソース保護素子の半導体 46 はソース保護素子のソース電極 44・ドレイン電極 45 間をつなぐように形成される。以上に示した構造は第 1 電極層 2 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 1 電極層 2 を形成するトップコンタクト構造でもよい。半導体 16、36、46 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキシ印刷やインクジェット等で印刷・焼成することにより、形成できる。

[0095] 第 1 電極層 2 および半導体 16、36、46 が形成された基板の上に、ゲート絶縁膜 13 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 13 は開口 13A を有している（図 31（c））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキシ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料と

し露光・現像するなどして、直接パターンニングすることが可能である。

[0096] 第1絶縁膜3が形成された基板の上に、ゲート電極12と、ゲート配線12'と、ゲート接続電極12Cと、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース共通電極20Sとを含む第2電極層4を形成する(図31(d))。ここで、ゲート電極12はゲート絶縁膜13を介して画素用薄膜トランジスタの半導体16に重なるように形成される。ゲート保護素子のゲート電極32はゲート絶縁膜13を介してゲート保護素子の半導体36に重なるように形成される。ソース保護素子のゲート電極42はゲート絶縁膜13を介してソース保護素子の半導体46に重なるように形成される。第2電極層4としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法(スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。印刷を用いる場合、Agインク、Niインク、Cuインク等を用いることができる。

[0097] 第2電極層4が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図32(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0098] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する(図32(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート保護素子のゲート電極32とゲート保護素子のドレイン電極35の接続の中継または

補強を行っている。ソース保護素子の接続補強電極 49 は、層間絶縁膜開口 18A の内部において、ソース保護素子のゲート電極 42 とソース保護素子のドレイン電極 45 の接続の中継または補強を行っている。第 3 電極層 6 としては、Al、Cr、Au、Ag、Ni、Cu 等の金属や、ITO 等の透明導電膜等を用いることができる。製法としては、Ag インク、Ni インク、Cu インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0099] 図 33 は、保護素子がフローティングゲート型薄膜トランジスタの場合の例である。ここには、4 個の画素用薄膜トランジスタ 10（上部画素電極 19 を含む）と、2 個のゲート保護素子 30（接続補強電極 39 を含む）と、2 個のソース保護素子 40（接続補強電極 49 を含む）を記載している。その製造工程を図 34～36 に示す。

[0100] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0101] このような基板 1 上に、ソース電極 14 と、ソース配線 14' と、ソース接続電極 14C と、ドレイン電極 15 と、画素電極 15' と、ゲート共通電極 20G と、ゲート保護素子のソース電極 34 と、ゲート保護素子のドレイン電極 35 と、ソース保護素子のソース電極 44 と、ソース保護素子のドレイン電極 45 とを含む第 1 電極層 2 を形成する（図 34（a））。第 1 電極層 2 としては、Au、Ag、Ni、Cu 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。特に反転オフセッ

ト印刷は解像度が優れており、最適である。

[0102] さらに、画素用薄膜トランジスタの半導体 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成する（図 3 4（b））。ここで、半導体 1 6 は画素用薄膜トランジスタのソース電極 1 4・ドレイン電極 1 5 間をつなぐように形成される。ゲート保護素子の半導体 3 6 はゲート保護素子のソース電極 3 4・ドレイン電極 3 5 間をつなぐように形成される。ソース保護素子の半導体 4 6 はソース保護素子のソース電極 4 4・ドレイン電極 4 5 間をつなぐように形成される。以上に示した構造は第 1 電極層 2 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 1 電極層 2 を形成するトップコンタクト構造でもよい。半導体 1 6、3 6、4 6 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、 InGaZnO 系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキシ印刷やインクジェット等で印刷・焼成することにより、形成できる。

[0103] 第 1 電極層 2 および半導体 1 6、3 6、4 6 が形成された基板の上に、ゲート絶縁膜 1 3 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 1 3 は開口 1 3 A を有している（図 3 5（c））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターニングするか、フレキシ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターニングすることが可能である。

[0104] 第1絶縁膜3が形成された基板の上に、ゲート電極12と、ゲート配線12'と、ゲート接続電極12Cと、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース共通電極20Sとを含む第2電極層4を形成する（図35（d））。ここで、ゲート電極12はゲート絶縁膜13を介して画素用薄膜トランジスタの半導体16に重なるように形成される。ゲート保護素子のゲート電極32はゲート絶縁膜13を介してゲート保護素子の半導体36に重なるように形成される。ソース保護素子のゲート電極42はゲート絶縁膜13を介してソース保護素子の半導体46に重なるように形成される。第2電極層4としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法（スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。印刷を用いる場合、Agインク、Niインク、Cuインク等を用いることができる。

[0105] 第2電極層4が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している（図36（e））。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

[0106] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6を形成する（図36（f））。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート保護素子の接続補強電極39は、層間絶縁膜開口18Aの内部において、ゲート配線12'とゲート保護素子のドレイン電極35の接続の中継または補強を行っている。ソース保護素子の接続補強電極49は、層間絶縁膜開口18Aの内部に

において、ソース配線 1 4' とソース保護素子のドレイン電極 4 5 の接続の中継または補強を行っている。第 3 電極層 6 としては、A l、C r、A u、A g、N i、C u 等の金属や、I T O 等の透明導電膜等を用いることができる。製法としては、A g インク、N i インク、C u インク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

[0107] [第 5 の実施の形態]

本発明の第 5 の実施形態に係わる薄膜トランジスタの例を、図 3 7、4 1 に示す。これらは、構造体がトップゲート型薄膜トランジスタであり、第 1 電極層 2 と第 2 電極層 4 を接続する部分が、配線を第 2 電極層 4 から第 1 電極層 2 に切替えるか、第 1 電極層 2 から第 2 電極層 4 に切替えることに用いたものである。

[0108] 図 3 7 は、第 2 電極層 4 に含まれるゲート配線 1 2' を、第 1 電極層 2 に含まれるゲート接続電極 1 2 C に接続する部分の中継または補強するための、ゲート配線の接続補強電極 5 2 の場合の例である。ここには、4 個の画素用薄膜トランジスタ 1 0（上部画素電極 1 9 を含む）と、2 本のゲート配線 1 2' ～ゲート接続電極 1 2 C（接続補強電極 5 2 を含む）と、2 本のソース配線 1 4' ～ソース接続電極 1 4 C を記載している。その製造工程を図 3 8～4 0 に示す。

[0109] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルスルホン（P E S）、ポリイミド（P I）、ポリエーテルイミド（P E I）、ポリスチレン（P S）、ポリ塩化ビニル（P V C）、ポリエチレン（P E）、ポリプロピレン（P P）、ナイロン（N y）等が使用できる。また、これらの積層や混合物でもよい。

[0110] このような基板 1 上に、ソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' と、ゲート接続電極 1 2 C と、ソース接続電

極 1 4 C とを含む第 1 電極層 2 を形成する（図 3 8（a））。第 1 電極層 2 としては、Al、Cr、Au、Ag、Ni、Cu、Mo 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0111] さらに、画素用薄膜トランジスタの半導体 1 6 を形成する（図 3 8（b））。ここで、半導体 1 6 は画素用薄膜トランジスタのソース電極 1 4・ドレイン電極 1 5 間をつなぐように形成される。以上に示した構造は第 2 電極層 4 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 2 電極層 4 を形成するトップコンタクト構造でもよい。半導体 1 6 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、InGaZnO 系、ZnGaO 系、InZnO 系、InO 系、GaO 系、SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキシ印刷やインクジェット等で印刷・焼成することにより、形成できる。

[0112] 第 1 電極層 2 および半導体 1 6 が形成された基板の上に、ゲート絶縁膜 1 3 となる第 1 絶縁膜 3 を形成する。ゲート絶縁膜 1 3 は開口 1 3 A を有している（図 3 9（c））。第 1 絶縁膜 3 としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、SiO₂、SiN、SiON、Al₂O₃ 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキシ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターンニングすることが可能である。

- [0113] 第1絶縁膜3が形成された基板の上に、ゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'とを含む第2電極層4を形成する(図39(d))。ここで、ゲート電極12はゲート絶縁膜13を介して半導体16に重なるように形成される。第2電極層4としては、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法(スクリーン印刷、フレキソ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。印刷を用いる場合、Agインク、Niインク、Cuインク等を用いることができる。
- [0114] 第2電極層4が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図40(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。
- [0115] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ゲート配線の接続補強電極52とを含む第3電極層6を形成する(図40(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ゲート配線の接続補強電極52は、層間絶縁膜開口18Aの内部において、ゲート接続電極12Cとゲート配線12'の接続の中継または補強を行っている。第3電極層6としては、Al、Cr、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、Agインク、Niインク、Cuインク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。
- [0116] 図41は、第1電極層2に含まれるソース配線14'を、第2電極層4に含まれるソース接続電極14Cに接続する部分を補強するための、ソース配

線の接続補強電極 54 の場合の例である。ここには、4 個の画素用薄膜トランジスタ 10（上部画素電極 19 を含む）と、2 本のゲート配線 12' ～ゲート接続電極 12C と、2 本のソース配線 14' ～ソース接続電極 14C（接続補強電極 54 を含む）を記載している。その製造工程を図 42～44 に示す。

[0117] 基板 1 としては、ガラスのような無機物でもよいが、プラスチックのような有機物を使用することもできる。具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等が使用できる。また、これらの積層や混合物でもよい。

[0118] このような基板 1 上に、ソース電極 14 と、ソース配線 14' と、ドレイン電極 15 と、画素電極 15' とを含む第 1 電極層 2 を形成する（図 42（a））。第 1 電極層 2 としては、Al、Cr、Au、Ag、Ni、Cu、Mo 等の金属や、ITO 等の透明導電膜を使用することができる。製法としては、印刷法（グラビア印刷、オフセット印刷、反転オフセット印刷等）を用いることができる。特に反転オフセット印刷は解像度が優れており、最適である。

[0119] さらに、画素用薄膜トランジスタの半導体 16 を形成する（図 42（b））。ここで、半導体 16 は画素用薄膜トランジスタのソース電極 14・ドレイン電極 15 間をつなぐように形成される。以上に示した構造は第 2 電極層 4 の上に半導体を形成するボトムコンタクト構造であるが、本発明は、半導体を先に形成し、その上に第 2 電極層 4 を形成するトップコンタクト構造でもよい。半導体 16 としては、有機半導体や、酸化物半導体を用いる。具体的には、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等の有機半導体や、InGaZnO

系、 ZnGaO 系、 InZnO 系、 InO 系、 GaO 系、 SnO 系、あるいはそれらの混合物等の酸化物半導体を用いることができる。有機半導体・酸化物半導体とも、溶液をフレキシ印刷やインクジェット等で印刷・焼成することにより、形成できる。

[0120] 第1電極層2および半導体16が形成された基板の上に、ゲート絶縁膜13となる第1絶縁膜3を形成する。ゲート絶縁膜13は開口13Aを有している(図43(c))。第1絶縁膜3としては、ポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。製法としては、溶媒可溶性有機物の場合にはスピコート、ダイコート等を、それ以外の場合にはスパッタ、蒸着、レーザアブレーション等を用いて成膜後にフォトリソグラフィとエッチング、リフトオフ等でパターンニングするか、フレキシ印刷・反転オフセット印刷・インクジェット等の印刷法や、感光性有機物を材料とし露光・現像するなどして、直接パターンニングすることが可能である。

[0121] 第1絶縁膜3が形成された基板の上に、ゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'と、ゲート接続電極12Cと、ソース接続電極14Cとを含む第2電極層4を形成する(図43(d))。ここで、ゲート電極12はゲート絶縁膜13を介して半導体16に重なるように形成される。第2電極層4としては、 Au 、 Ag 、 Ni 、 Cu 等の金属や、ITO等の透明導電膜を使用することができる。製法としては、蒸着やスパッタ成膜後にフォトリソ+エッチングで形成する方法でもよいが、印刷法(スクリーン印刷、フレキシ印刷、グラビア印刷、オフセット印刷、反転オフセット印刷等)を用いることができる。印刷を用いる場合、 Ag インク、 Ni インク、 Cu インク等を用いることができる。

[0122] 第2電極層4が形成された基板の上に、層間絶縁膜18となる第2絶縁膜5を形成する。層間絶縁膜18は開口18Aを有している(図44(e))。第2絶縁膜5としては、ポリビニルフェノール、アクリル、エポキシ、ポリイミド等が好適である。製法としては、スクリーン印刷やグラビアオフセ

ット印刷が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

- [0123] 第2絶縁膜5が形成された基板の上に、上部画素電極19と、ソース配線の接続補強電極54とを含む第3電極層6を形成する(図44(f))。上部画素電極19は、層間絶縁膜開口18Aを介して画素電極15'に接続されている。ソース配線の接続補強電極54は、層間絶縁膜開口18Aの内部において、ソース配線14'とソース接続電極14Cの接続の中継または補強を行っている。第3電極層6としては、Al、Cr、Au、Ag、Ni、Cu等の金属や、ITO等の透明導電膜等を用いることができる。製法としては、Agインク、Niインク、Cuインク等をスクリーン印刷またはグラビアオフセット印刷するのが好適である。スクリーン印刷・グラビアオフセット印刷は厚膜印刷に適しているからである。

実施例

- [0124] (実施例1)

本発明の実施例について、図1を用いて説明する。図1(a)～(c)が混在する構造体を作製した。まず初めに、絶縁基板1であるガラス上に、スパッタでAlを50nm厚に成膜し、フォトリソ・エッチングによって第1電極層2を形成した。次に、感光性有機材料をスピンコートし、露光・現像することにより、開口3Aを有する第1絶縁膜3を1μm厚に形成した。さらに、第2電極層4として、Agインクを反転印刷し180℃で焼成することによって厚さ50nmのパターンを形成した。

- [0125] さらにエポキシ樹脂をスクリーン印刷・焼成して、開口5Aを有する第2絶縁膜5を形成し、Agペーストをスクリーン印刷・焼成して第3電極層6を形成した。

- [0126] こうして作製した構造体は、図1(a)～(c)が混在しているが、いずれも第1電極層2と第2電極層4の導通が確認できた。

- [0127] (比較例1)

比較例について、図45を用いて説明する。まず初めに、絶縁基板1であ

るガラス上に、スパッタでAlを50nm厚に成膜し、フォトリソ・エッチングによって第1電極層2を形成した。次に、感光性有機材料をスピンコートし、露光・現像することにより、開口3Aを有する第1絶縁膜3を1μm厚に形成した。さらに、第2電極層4として、Agインクを反転印刷し180℃で焼成することによって厚さ50nmのパターンを形成した。

[0128] こうして作製した構造体は、図45(a)～(c)が混在しており、図45(c)は第1電極層2と第2電極層4の導通が確認できたが、図45(a)や(b)の部分では第1電極層2と第2電極層4が導通していなかった。

[0129] (実施例2)

本発明の実施例について、図5および図6～8を用いて説明する。図5に示す素子を、図6(a)～図8(f)の工程によって作製した。まず初めに、絶縁基板1であるPEN上に、反転オフセット印刷によってAgインクを印刷・焼成してゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース側共通電極20Sと、ゲート接続電極12Cとを含む第1電極層2を形成した(図6(a))。次に、感光性有機材料をスピンコートし、露光・現像することにより、開口13Aを有するゲート絶縁膜13、即ち開口3Aを有する第1絶縁膜3を1μm厚に形成した(図6(b))。さらに、ソース電極14と、ソース配線14'と、ドレイン電極15と、画素電極15'と、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45と、ゲート側共通電極20Gと、ソース接続電極14Cとを含む第2電極層4として、Agインクを反転印刷し180℃で焼成することによって厚さ50nmのパターンを形成した(図7(c))。

[0130] さらに、ポリチオフェン溶液をインクジェット印刷、100℃焼成することにより、半導体層16と、ゲート保護素子の半導体36と、ソース保護素子の半導体46とを形成した(図7(d))。そして、フッ素化樹脂である

サイトップをスクリーン印刷・焼成して半導体 16、36、46 を覆う封止層を形成した（図示せず）。さらにエポキシ樹脂をスクリーン印刷・焼成して、開口 18A を有する層間絶縁膜 18、即ち開口 5A を有する第 2 絶縁膜 5 を形成し（図 8（e））、Ag ペーストをスクリーン印刷・焼成して上部画素電極 19 と、ゲート保護素子の接続補強電極 39 と、ソース保護素子の接続補強電極 49 とを含む第 3 電極層 6 形成した（図 8（f））。

[0131] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0132] （実施例 3）

本発明の実施例について、図 9 および図 10～12 を用いて説明する。図 9 に示す素子を、図 10（a）～図 12（f）の工程によって作製した。まず初めに、絶縁基板 1 である PEN 上に、反転オフセット印刷によって Ag インクを印刷・焼成してゲート電極 12 と、ゲート配線 12' と、キャパシタ電極 17 と、キャパシタ配線 17' と、ゲート保護素子のゲート電極 32 と、ソース保護素子のゲート電極 42 と、ソース側共通電極 20S と、ゲート接続電極 12C とを含む第 1 電極層 2 を形成した（図 10（a））。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 13A を有するゲート絶縁膜 13、即ち開口 3A を有する第 1 絶縁膜 3 を 1 μ m 厚に形成した（図 10（b））。さらに、ソース電極 14 と、ソース配線 14' と、ドレイン電極 15 と、画素電極 15' と、ゲート保護素子のソース電極 34 と、ゲート保護素子のドレイン電極 35 と、ソース保護素子のソース電極 44 と、ソース保護素子のドレイン電極 45 と、ゲート側共通電極 20G と、ソース接続電極 14C とを含む第 2 電極層 4 として、Ag インクを反転印刷し 180℃で焼成することによって厚さ 50nm のパターンを形成した（図 11（c））。

[0133] さらに、ポリチオフェン溶液をインクジェット印刷、100℃焼成することにより、半導体層 16 と、ゲート保護素子の半導体 36 と、ソース保護素

子の半導体46とを形成した(図11(d))。そして、フッ素化樹脂であるサイトップをスクリーン印刷・焼成して半導体16、36、46を覆う封止層を形成した(図示せず)。さらにエポキシ樹脂をスクリーン印刷・焼成して、開口18Aを有する層間絶縁膜18、即ち開口5Aを有する第2絶縁膜5を形成し(図12(e))、Agペーストをスクリーン印刷・焼成して上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6形成した(図12(f))。

[0134] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0135] (実施例4)

本発明の実施例について、図13および図14～16を用いて説明する。図13に示す素子を、図14(a)～図16(f)の工程によって作製した。まず初めに、絶縁基板1であるPEN上に、反転オフセット印刷によってAgインクを印刷・焼成してゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース側共通電極20Sと、ゲート接続電極12Cとを含む第1電極層2を形成した(図14(a))。次に、感光性有機材料をスピコートし、露光・現像することにより、開口13Aを有するゲート絶縁膜13、即ち開口3Aを有する第1絶縁膜3を1 μ m厚に形成した(図14(b))。さらに、ソース電極14と、ソース配線14'と、ドレイン電極15と、画素電極15'と、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45と、ゲート側共通電極20Gと、ソース接続電極14Cとを含む第2電極層4として、Agインクを反転印刷し180℃で焼成することによって厚さ50nmのパターンを形成した(図15(c))。

[0136] さらに、ポリチオフェン溶液をフレキシ印刷、100℃焼成することによ

り、半導体層 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成した（図 1 5（d））。そして、フッ素化樹脂であるサイトップをスクリーン印刷・焼成して半導体 1 6、3 6、4 6 を覆う封止層を形成した（図示せず）。さらにエポキシ樹脂をグラビアオフセット印刷・焼成して、開口 1 8 A を有する層間絶縁膜 1 8、即ち開口 5 A を有する第 2 絶縁膜 5 を形成し（図 1 6（e））、A g ペーストをグラビアオフセット印刷・焼成して上部画素電極 1 9 と、ゲート保護素子の接続補強電極 3 9 と、ソース保護素子の接続補強電極 4 9 とを含む第 3 電極層 6 を形成した（図 1 6（f））。

[0137] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0138]（実施例 5）

本発明の実施例について、図 1 7 および図 1 8～2 0 を用いて説明する。図 1 7 に示す素子を、図 1 8（a）～図 2 0（f）の工程によって作製した。まず初めに、絶縁基板 1 である P E N 上に、反転オフセット印刷によって A g インクを印刷・焼成してゲート電極 1 2 と、ゲート配線 1 2' と、キャパシタ電極 1 7 と、キャパシタ配線 1 7' と、ゲート接続電極 1 2 C と、ソース接続電極 1 4 C とを含む第 1 電極層 2 を形成した（図 1 8（a））。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 1 3 A を有するゲート絶縁膜 1 3、即ち開口 3 A を有する第 1 絶縁膜 3 を 1 μ m 厚に形成した（図 1 8（b））。さらに、ソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' とを含む第 2 電極層 4 として、A g インクを反転印刷し 1 8 0℃で焼成することによって厚さ 5 0 n m のパターンを形成した（図 1 9（c））。

[0139] さらに、ポリチオフェン溶液をインクジェット印刷、1 0 0℃焼成することにより、半導体層 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成した（図 1 9（d））。そして、フッ素化樹脂であ

るサイトップをスクリーン印刷・焼成して半導体 16、36、46 を覆う封止層を形成した（図示せず）。さらにエポキシ樹脂をスクリーン印刷・焼成して、開口 18A を有する層間絶縁膜 18、即ち開口 5A を有する第 2 絶縁膜 5 を形成し（図 20（e））、Ag ペーストをスクリーン印刷・焼成して上部画素電極 19 と、ソース配線の接続補強電極 54 とを含む第 3 電極層 6 形成した（図 20（f））。

[0140] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0141] （実施例 6）

本発明の実施例について、図 21 および図 22～24 を用いて説明する。図 21 に示す素子を、図 22（a）～図 24（f）の工程によって作製した。まず初めに、絶縁基板 1 である PEN 上に、反転オフセット印刷によって Ag インクを印刷・焼成してゲート電極 12 と、ゲート配線 12' と、キャパシタ電極 17 と、キャパシタ配線 17' とを含む第 1 電極層 2 を形成した（図 22（a））。次に、感光性有機材料をスピンコートし、露光・現像することにより、開口 13A を有するゲート絶縁膜 13、即ち開口 3A を有する第 1 絶縁膜 3 を 1 μ m 厚に形成した（図 22（b））。さらに、ソース電極 14 と、ソース配線 14' と、ドレイン電極 15 と、画素電極 15' と、ゲート接続電極 12C と、ソース接続電極 14C とを含む第 2 電極層 4 として、Ag インクを反転印刷し 180℃で焼成することによって厚さ 50 nm のパターンを形成した（図 23（c））。

[0142] さらに、ポリチオフェン溶液をフレキソ印刷、100℃焼成することにより、半導体層 16 と、ゲート保護素子の半導体 36 と、ソース保護素子の半導体 46 とを形成した（図 23（d））。そして、フッ素化樹脂であるサイトップをスクリーン印刷・焼成して半導体 16、36、46 を覆う封止層を形成した（図示せず）。さらにエポキシ樹脂をグラビアオフセット印刷・焼成して、開口 18A を有する層間絶縁膜 18、即ち開口 5A を有する第 2 絶

縁膜 5 を形成し（図 2 4（e））、A g ペーストをグラビアオフセット印刷・焼成して上部画素電極 1 9 と、ゲート配線の接続補強電極 5 2 とを含む第 3 電極層 6 形成した（図 2 4（f））。

[0143] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0144]（実施例 7）

本発明の実施例について、図 2 5 および図 2 6～2 8 を用いて説明する。図 2 5 に示す素子を、図 2 6（a）～図 2 8（f）の工程によって作製した。まず初めに、絶縁基板 1 である P E N 上に、反転オフセット印刷によって A g インクを印刷・焼成してソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' と、ゲート保護素子のソース電極 3 4 と、ゲート保護素子のドレイン電極 3 5 と、ソース保護素子のソース電極 4 4 と、ソース保護素子のドレイン電極 4 5 と、ゲート側共通電極 2 0 G と、ソース接続電極 1 4 C とを含む第 1 電極層 2 を形成した（図 2 6（a））。さらに、ポリチオフェン溶液をインクジェット印刷、1 0 0℃焼成することにより、半導体層 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成した（図 2 6（b））。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 1 3 A を有するゲート絶縁膜 1 3、即ち開口 3 A を有する第 1 絶縁膜 3 を 1 μm 厚に形成した（図 2 7（c））。さらに、ゲート電極 1 2 と、ゲート配線 1 2' と、キャパシタ電極 1 7 と、キャパシタ配線 1 7' と、ゲート保護素子のゲート電極 3 2 と、ソース保護素子のゲート電極 4 2 と、ソース側共通電極 2 0 S と、ゲート接続電極 1 2 C とを含む第 2 電極層 4 として、A g インクを反転印刷し 1 8 0℃で焼成することによって厚さ 5 0 n m のパターンを形成した（図 2 7（d））。

[0145] さらにエポキシ樹脂をスクリーン印刷・焼成して、開口 1 8 A を有する層間絶縁膜 1 8、即ち開口 5 A を有する第 2 絶縁膜 5 を形成し（図 2 8（e））、A g ペーストをスクリーン印刷・焼成して上部画素電極 1 9 と、ゲート

保護素子の接続補強電極 3 9 と、ソース保護素子の接続補強電極 4 9 とを含む第 3 電極層 6 形成した（図 2 8（f））。

[0146] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0147]（実施例 8）

本発明の実施例について、図 2 9 および図 3 0～3 2 を用いて説明する。図 2 9 に示す素子を、図 3 0（a）～図 3 2（f）の工程によって作製した。まず初めに、絶縁基板 1 である PEN 上に、反転オフセット印刷によって Ag インクを印刷・焼成してソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' と、ゲート保護素子のソース電極 3 4 と、ゲート保護素子のドレイン電極 3 5 と、ソース保護素子のソース電極 4 4 と、ソース保護素子のドレイン電極 4 5 と、ゲート側共通電極 2 0 G と、ソース接続電極 1 4 C とを含む第 1 電極層 2 を形成した（図 3 0（a））。さらに、ポリチオフェン溶液をインクジェット印刷、1 0 0℃焼成することにより、半導体層 1 6 と、ゲート保護素子の半導体 3 6 と、ソース保護素子の半導体 4 6 とを形成した（図 3 0（b））。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 1 3 A を有するゲート絶縁膜 1 3、即ち開口 3 A を有する第 1 絶縁膜 3 を 1 μm 厚に形成した（図 3 1（c））。さらに、ゲート電極 1 2 と、ゲート配線 1 2' と、キャパシタ電極 1 7 と、キャパシタ配線 1 7' と、ゲート保護素子のゲート電極 3 2 と、ソース保護素子のゲート電極 4 2 と、ソース側共通電極 2 0 S と、ゲート接続電極 1 2 C とを含む第 2 電極層 4 として、Ag インクを反転印刷し 1 8 0℃で焼成することによって厚さ 5 0 nm のパターンを形成した（図 3 1（d））。

[0148] さらにエポキシ樹脂をスクリーン印刷・焼成して、開口 1 8 A を有する層間絶縁膜 1 8、即ち開口 5 A を有する第 2 絶縁膜 5 を形成し（図 3 2（e））、Ag ペーストをスクリーン印刷・焼成して上部画素電極 1 9 と、ゲート保護素子の接続補強電極 3 9 と、ソース保護素子の接続補強電極 4 9 とを含

む第3電極層6形成した(図32(f))。

[0149] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0150] (実施例9)

本発明の実施例について、図33および図34～36を用いて説明する。図33に示す素子を、図34(a)～図36(f)の工程によって作製した。まず初めに、絶縁基板1であるPEN上に、反転オフセット印刷によってAgインクを印刷・焼成してソース電極14と、ソース配線14'と、ドレイン電極15と、画素電極15'と、ゲート保護素子のソース電極34と、ゲート保護素子のドレイン電極35と、ソース保護素子のソース電極44と、ソース保護素子のドレイン電極45と、ゲート側共通電極20Gと、ソース接続電極14Cとを含む第1電極層2を形成した(図34(a))。さらに、ポリチオフェン溶液をフレキシソ印刷、100℃焼成することにより、半導体層16と、ゲート保護素子の半導体36と、ソース保護素子の半導体46とを形成した(図34(b))。次に、感光性有機材料をスピンコートし、露光・現像することにより、開口13Aを有するゲート絶縁膜13、即ち開口3Aを有する第1絶縁膜3を1μm厚に形成した(図35(c))。さらに、ゲート電極12と、ゲート配線12'と、キャパシタ電極17と、キャパシタ配線17'と、ゲート保護素子のゲート電極32と、ソース保護素子のゲート電極42と、ソース側共通電極20Sと、ゲート接続電極12Cとを含む第2電極層4として、Agインクを反転印刷し180℃で焼成することによって厚さ50nmのパターンを形成した(図35(d))。

[0151] さらにエポキシ樹脂をグラビアオフセット印刷・焼成して、開口18Aを有する層間絶縁膜18、即ち開口5Aを有する第2絶縁膜5を形成し(図36(e))、Agペーストをグラビアオフセット印刷・焼成して上部画素電極19と、ゲート保護素子の接続補強電極39と、ソース保護素子の接続補強電極49とを含む第3電極層6形成した(図36(f))。

[0152] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0153] (実施例 10)

本発明の実施例について、図 37 および図 38～40 を用いて説明する。図 37 に示す素子を、図 38 (a)～図 40 (f) の工程によって作製した。まず初めに、絶縁基板 1 である PEN 上に、反転オフセット印刷によって Ag インクを印刷・焼成してソース電極 14 と、ソース配線 14' と、ドレイン電極 15 と、画素電極 15' と、ゲート接続電極 12C と、ソース接続電極 14C とを含む第 1 電極層 2 を形成した (図 38 (a))。さらに、ポリチオフェン溶液をインクジェット印刷、100℃焼成することにより、半導体層 16 を形成した (図 38 (b))。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 13A を有するゲート絶縁膜 13、即ち開口 3A を有する第 1 絶縁膜 3 を 1 μm 厚に形成した (図 39 (c))。さらに、ゲート電極 12 と、ゲート配線 12' と、キャパシタ電極 17 と、キャパシタ配線 17' とを含む第 2 電極層 4 として、Ag インクを反転印刷し 180℃で焼成することによって厚さ 50 nm のパターンを形成した (図 39 (d))。

[0154] さらにエポキシ樹脂をスクリーン印刷・焼成して、開口 18A を有する層間絶縁膜 18、即ち開口 5A を有する第 2 絶縁膜 5 を形成し (図 40 (e))、Ag ペーストをスクリーン印刷・焼成して上部画素電極 19 と、ゲート配線の接続補強電極 52 とを含む第 3 電極層 6 形成した (図 40 (f))。

[0155] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

[0156] (実施例 11)

本発明の実施例について、図 41 および図 42～44 を用いて説明する。図 41 に示す素子を、図 42 (a)～図 44 (f) の工程によって作製した

。まず初めに、絶縁基板 1 である P E N 上に、反転オフセット印刷によって A g インクを印刷・焼成してソース電極 1 4 と、ソース配線 1 4' と、ドレイン電極 1 5 と、画素電極 1 5' とを含む第 1 電極層 2 を形成した（図 4 2（a））。さらに、ポリチオフェン溶液をフレキソ印刷、1 0 0℃焼成することにより、半導体層 1 6 を形成した（図 4 2（b））。次に、感光性有機材料をスピコートし、露光・現像することにより、開口 1 3 A を有するゲート絶縁膜 1 3、即ち開口 3 A を有する第 1 絶縁膜 3 を 1 μ m 厚に形成した（図 4 3（c））。さらに、ゲート電極 1 2 と、ゲート配線 1 2' と、キャパシタ電極 1 7 と、キャパシタ配線 1 7' と、ゲート接続電極 1 2 C と、ソース接続電極 1 4 C とを含む第 2 電極層 4 として、A g インクを反転印刷し 1 8 0℃で焼成することによって厚さ 5 0 n m のパターンを形成した（図 4 3（d））。

[0157] さらにエポキシ樹脂をグラビアオフセット印刷・焼成して、開口 1 8 A を有する層間絶縁膜 1 8、即ち開口 5 A を有する第 2 絶縁膜 5 を形成し（図 4 4（e））、A g ペーストをグラビアオフセット印刷・焼成して上部画素電極 1 9 と、ソース配線の接続補強電極 5 4 とを含む第 3 電極層 6 形成した（図 4 4（f））。

[0158] こうして作製した薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製した。全画素で表示を確認できた。

産業上の利用可能性

[0159] 本発明は、液晶ディスプレイや有機 E L ディスプレイを始めとするディスプレイ等に適用することができる。

符号の説明

[0160] 1 … 基板
2 … 第 1 電極層
3 … 第 1 絶縁膜
3 A … 第 1 絶縁膜の開口

- 4 … 第2電極層
- 5 … 第2絶縁膜
- 5 A … 第2絶縁膜の開口
- 6 … 第3電極層
- 1 0 … 薄膜トランジスタ
- 1 2 … ゲート電極
- 1 2' … ゲート配線
- 1 2 C … ゲート接続電極
- 1 3 … ゲート絶縁膜
- 1 3 A … ゲート絶縁膜の開口
- 1 4 … ソース電極
- 1 4' … ソース配線
- 1 4 C … ソース接続電極
- 1 5 … ドレイン電極
- 1 5' … 画素電極
- 1 6 … 半導体
- 1 7 … キャパシタ電極
- 1 7' … キャパシタ配線
- 1 8 … 層間絶縁膜
- 1 8 A … 層間絶縁膜の開口
- 1 9 … 上部画素電極
- 2 0 … 共通電極
- 2 0 G … ゲート共通電極
- 2 0 S … ソース共通電極
- 3 0 … ゲート保護素子
- 3 2 … ゲート保護素子のゲート電極
- 3 4 … ゲート保護素子のソース電極
- 3 5 … ゲート保護素子のドレイン電極

- 3 6 ... ゲート保護素子の半導体
- 3 9 ... ゲート保護素子の接続補強電極
- 4 0 ... ソース保護素子
- 4 2 ... ソース保護素子のゲート電極
- 4 4 ... ソース保護素子のソース電極
- 4 5 ... ソース保護素子のドレイン電極
- 4 6 ... ソース保護素子の半導体
- 4 9 ... ソース保護素子の接続補強電極
- 5 2 ... ゲート配線の接続補強電極
- 5 4 ... ソース配線の接続補強電極

請求の範囲

[請求項1] 絶縁基板上に第1電極層を有し、その上に第1絶縁膜を有し、その上に第2電極層を有し、その上に第2絶縁膜を有し、その上に第3電極層を有する積層構造体であって、

第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、第1絶縁膜の開口と、第2電極層と、第2絶縁膜の開口と、第3電極層との積層構造であり、第2絶縁膜の開口内において、第3電極層が、第1電極層と、第1絶縁膜上の第2電極層との接続を中継または補強することを特徴とする積層構造体。

[請求項2] 絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第1電極層を有し、該第1電極層の上にゲート絶縁膜を有し、該ゲート絶縁膜の上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含む第2電極層を有し、ソース電極・ドレイン電極間に半導体を有し、ゲート電極がゲート絶縁膜を介して該半導体に重なっており、キャパシタ電極がゲート絶縁膜を介して該画素電極に重なっており、該画素電極上に開口を有する層間絶縁膜を有し、該開口を介して画素電極に接続された上部画素電極を含む第3電極層を有する薄膜トランジスタアレイであって、

第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、ゲート絶縁膜の開口と、第2電極層と、層間絶縁膜の開口と、第3電極層との積層構造であり、層間絶縁膜の開口内において、第3電極層が、第1電極層と、ゲート絶縁膜上の第2電極層との接続を中継または補強することを特徴とする薄膜トランジスタアレイ。

[請求項3] 前記薄膜トランジスタアレイの周囲に共通電極を有し、共通電極はゲート側共通電極とソース側共通電極とからなり、各ゲート配線とゲート側共通電極との間にゲート保護素子を有し、各ソース配線とソー

ス側共通電極との間にソース保護素子を有し、共通電極はアース電位に直接接続されているか、あるいは抵抗を介してアース電位に接続されており、

ゲート側共通電極は第2電極層であり、ソース側共通電極は第1電極層であり、

該ゲート保護素子および／またはソース保護素子は薄膜トランジスタをダイオード接続したものを逆向きに2個並列接続したものか、薄膜トランジスタをダイオード接続したものを逆向きに2個直列接続したものか、あるいは1個のフローティングゲートトランジスタのいずれかであり、

該ゲート保護素子のゲート電極とドレイン電極との短絡部と、ソース保護素子のゲート電極とドレイン電極との短絡部と、ゲート配線とゲート保護素子との接続部と、ソース保護素子とソース側共通電極との接続部との少なくとも1つが、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項2記載の薄膜トランジスタアレイ。

[請求項4] 前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第1電極層にあり、該ソース接続電極と前記ソース配線とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項2または3記載の薄膜トランジスタアレイ。

[請求項5] 前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第2電極層にあり、前記ゲート配線と該ゲート接続電極とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項2または3記載の薄膜トランジスタアレイ。

[請求項6] 絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含

む第1電極層を有し、ソース電極・ドレイン電極間に半導体を有し、該画素電極上に開口を有するゲート絶縁膜を有し、該ゲート絶縁膜の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第2電極層を有し、該ゲート電極がゲート絶縁膜を介して半導体に重なっており、該キャパシタ電極がゲート絶縁膜を介して画素電極に重なっており、該画素電極上のゲート絶縁膜開口上に開口を有する層間絶縁膜を有し、該開口を介して画素電極に接続された上部画素電極を含む第3電極層を有する薄膜トランジスタアレイであって、

第1電極層と第2電極層とを接続する部分を有し、その部分が、第1電極層と、ゲート絶縁膜の開口と、第2電極層と、層間絶縁膜の開口と、第3電極層との積層構造であり、層間絶縁膜の開口内において、第3電極層が、第1電極層と、ゲート絶縁膜上の第2電極層との接続を中継または補強することを特徴とする薄膜トランジスタアレイ。

[請求項7]

前記薄膜トランジスタアレイの周囲に共通電極を有し、共通電極はゲート側共通電極とソース側共通電極とからなり、各ゲート配線とゲート側共通電極との間にゲート保護素子を有し、各ソース配線とソース側共通電極との間にソース保護素子を有し、共通電極はアース電位に直接接続されているか、あるいは抵抗を介してアース電位に接続されており、

ゲート側共通電極は第1電極層であり、ソース側共通電極は第2電極層であり、

該ゲート保護素子および／またはソース保護素子は薄膜トランジスタをダイオード接続したものを逆向きに2個並列接続したもののか、薄膜トランジスタをダイオード接続したものを逆向きに2個直列接続したもののか、あるいは1個のフローティングゲートトランジスタのいずれかであり、

該ゲート保護素子のドレイン電極とゲート電極との短絡部と、ソー

ス保護素子のドレイン電極とゲート電極との短絡部と、ゲート保護素子とゲート配線との接続部と、ソース側共通電極とソース保護素子との接続部との少なくとも1つが、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項6記載の薄膜トランジスタアレイ。

[請求項8] 前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第1電極層にあり、該ゲート接続電極と前記ゲート配線とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項6または7記載の薄膜トランジスタアレイ。

[請求項9] 前記薄膜トランジスタアレイのゲート接続電極およびソース接続電極がいずれも第2電極層にあり、前記ソース配線と該ソース接続電極とを接続する部分が、第3電極層が第1電極層と第2電極層との接続を中継または補強する構造であることを特徴とする請求項6または7記載の薄膜トランジスタアレイ。

[請求項10] 絶縁基板上に、第1電極層を形成する工程と、少なくとも第1電極層の一部を開口する第1絶縁膜を形成する工程と、少なくとも該第1絶縁膜開口部の一部に重なるか近接するように第2電極層を形成する工程と、少なくとも該第1絶縁膜開口部内の第1電極層の一部と第2電極層の一部とを含むような開口を有する第2絶縁膜を形成する工程と、少なくとも第2絶縁膜開口内で第1絶縁膜開口内の第1電極層の一部と第2絶縁膜開口内の第2電極層の一部とを接続するように第3電極層を形成する工程と、を有する積層構造体の製造方法であって、
該第2電極層を形成する工程が印刷であることを特徴とする積層構造体の製造方法。

[請求項11] 絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、保護素子のゲート電極と、ソース側共通配線とを含む第1電

極層を形成する工程と、該第1電極層が形成された基板の上に保護素子のゲート電極とソース側共通電極とに開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、保護素子のソース電極・ドレイン電極と、ゲート側共通配線とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート保護素子のゲート電極\ゲート絶縁膜開口\保護素子のドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ゲート配線\ゲート絶縁膜開口\保護素子のソース・ドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のゲート電極\ゲート絶縁膜開口\保護素子のドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース側共通電極\ゲート絶縁膜開口\保護素子のソースまたはドレイン電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項12]

絶縁基板上に、ゲート接続電極と、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、ソース接続電極とを含む第1電極層を形成する工程と、ソース接続電極上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース配線、それに接続されたソース電極、ドレイン電極、該ドレイン電極に接続された画素電極とを含む第2電極層を形成する工程と、ソース電極・

ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ソース接続電極\ゲート絶縁膜開口\ソース配線\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項13]

絶縁基板上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第1電極層を形成する工程と、ゲート配線上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ソース接続電極と、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、ゲート接続電極とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート配線\ゲート絶縁膜開口\ゲート接続電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項14]

絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、保護素子のソース電極・ドレイン電極と、ゲート側共通配線とを含む第1電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を

形成する工程と、該第1電極層および該半導体が形成された基板の上に保護素子のドレイン電極とゲート側共通電極に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、保護素子のゲート電極と、ソース側共通配線とを含む第2電極層を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート保護素子のドレイン電極\ゲート絶縁膜開口\ゲート保護素子のゲート電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ゲート保護素子のソース・ドレイン電極\ゲート絶縁膜開口\ゲート側共通電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のドレイン電極\ゲート絶縁膜開口\ソース保護素子のゲート電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、ソース保護素子のソース・ドレイン電極\ゲート絶縁膜開口\ソース側共通電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項15]

絶縁基板上に、ソース接続電極と、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極と、ゲート接続電極とを含む第1電極層を形成する工程と、ゲート接続電極上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極とを含む第2電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、画素電極

上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ゲート接続電極\ゲート絶縁膜開口\ゲート配線\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項16]

絶縁基板上に、ソース配線と、該ソース配線に接続されたソース電極と、ドレイン電極と、該ドレイン電極に接続された画素電極とを含む第1電極層を形成する工程と、ソース電極・ドレイン電極間に半導体を形成する工程と、ソース配線上に開口を有するゲート絶縁膜を形成する工程と、該ゲート絶縁膜が形成された基板の上に、ゲート接続電極と、ゲート配線と、該ゲート配線に接続されたゲート電極と、キャパシタ配線と、該キャパシタ配線に接続されたキャパシタ電極と、ソース接続電極とを含む第2電極層を形成する工程と、画素電極上およびゲート絶縁膜開口上に開口を有する層間絶縁膜を形成する工程と、画素電極上の層間絶縁膜開口を介して画素電極に接続された上部画素電極と、ソース配線\ゲート絶縁膜開口\ソース接続電極\層間絶縁膜開口の順に並ぶ層構造の上の接続補強電極と、を含む第3電極層を形成する工程と、を有する薄膜トランジスタアレイの製造方法であって、

該第2電極層を形成する工程が印刷であることを特徴とする薄膜トランジスタアレイの製造方法。

[請求項17]

少なくとも第2電極層を形成する工程が、反転オフセット印刷であることを特徴する請求項10記載の積層構造体の製造方法。

[請求項18]

少なくとも第3電極層を形成する工程が、スクリーン印刷またはグラビアオフセット印刷であることを特徴する請求項10または17記

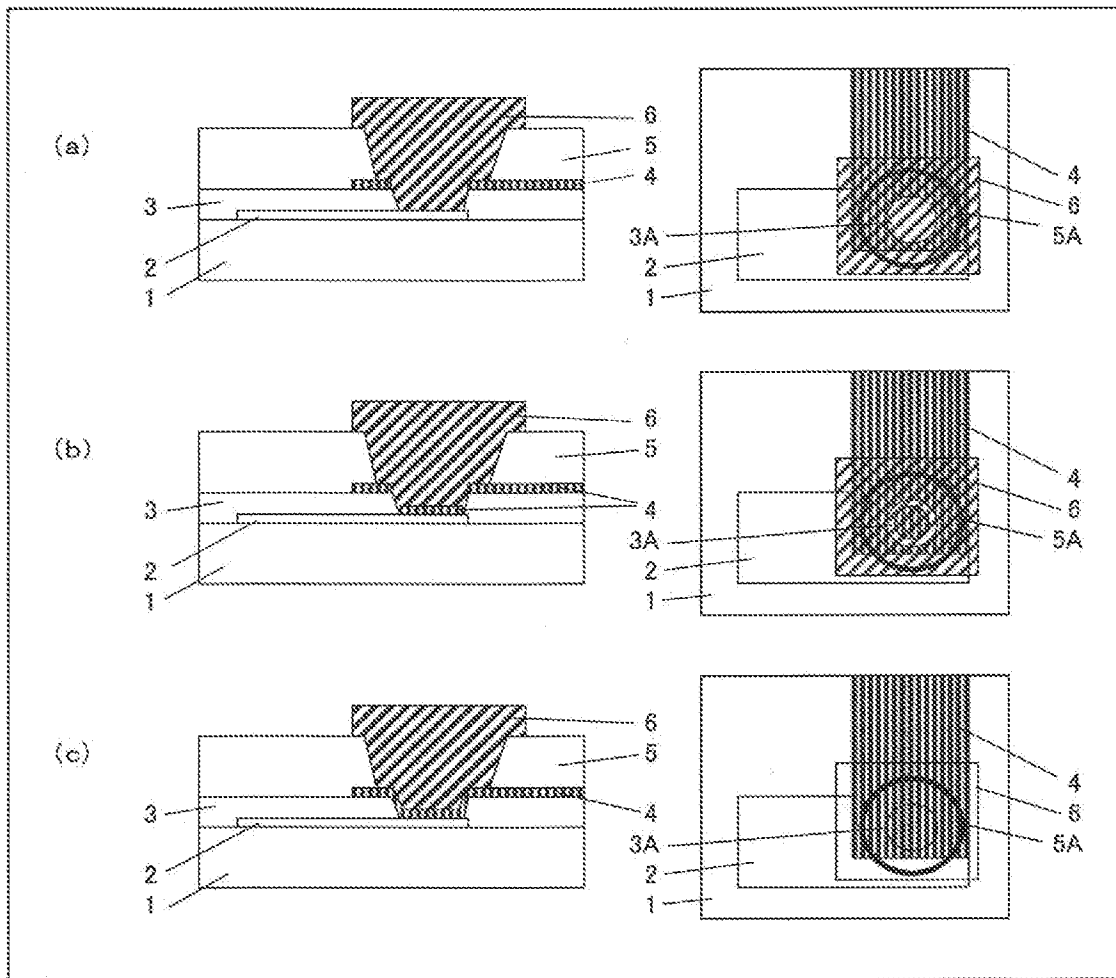
載の積層構造体の製造方法。

[請求項19] 少なくとも第2電極層を形成する工程が、反転オフセット印刷であることを特徴する請求項11～16のいずれか1項記載の薄膜トランジスタアレイの製造方法。

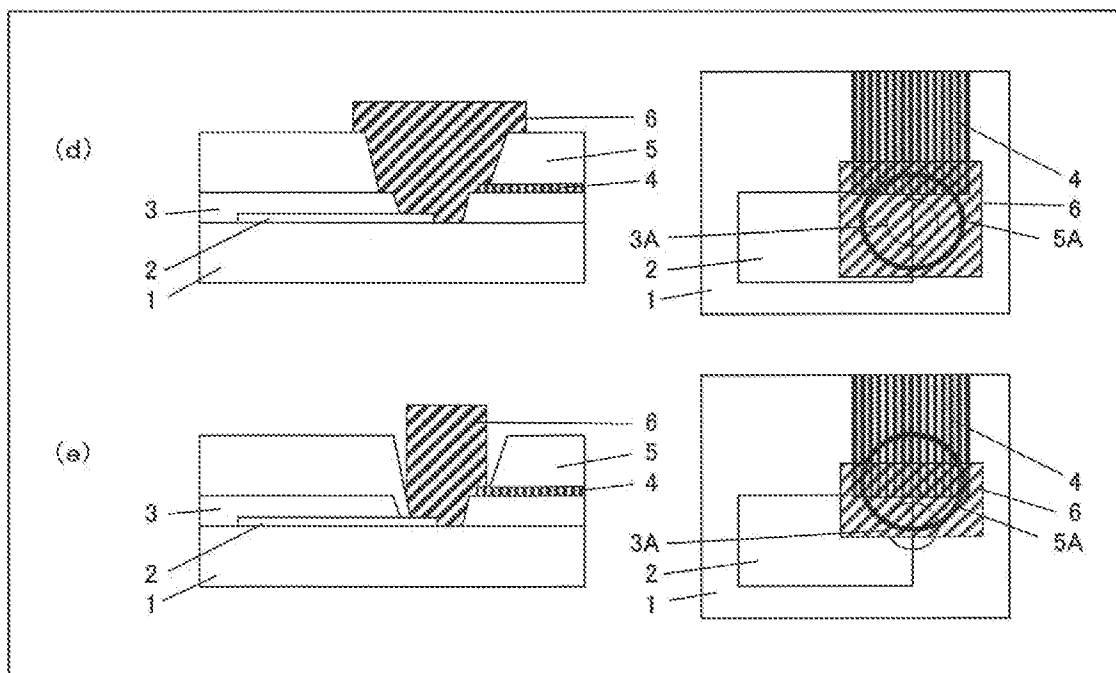
[請求項20] 少なくとも第3電極層を形成する工程が、スクリーン印刷またはグラビアオフセット印刷であることを特徴する請求項11～16のいずれか1項記載の薄膜トランジスタアレイの製造方法。

[請求項21] 少なくとも第3電極層を形成する工程が、スクリーン印刷またはグラビアオフセット印刷であることを特徴する請求項19記載の薄膜トランジスタアレイの製造方法。

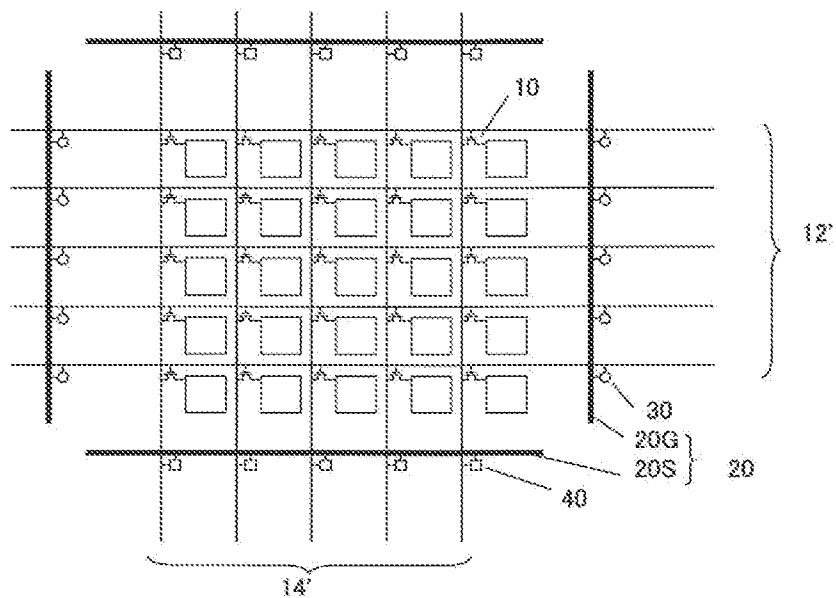
[図1]



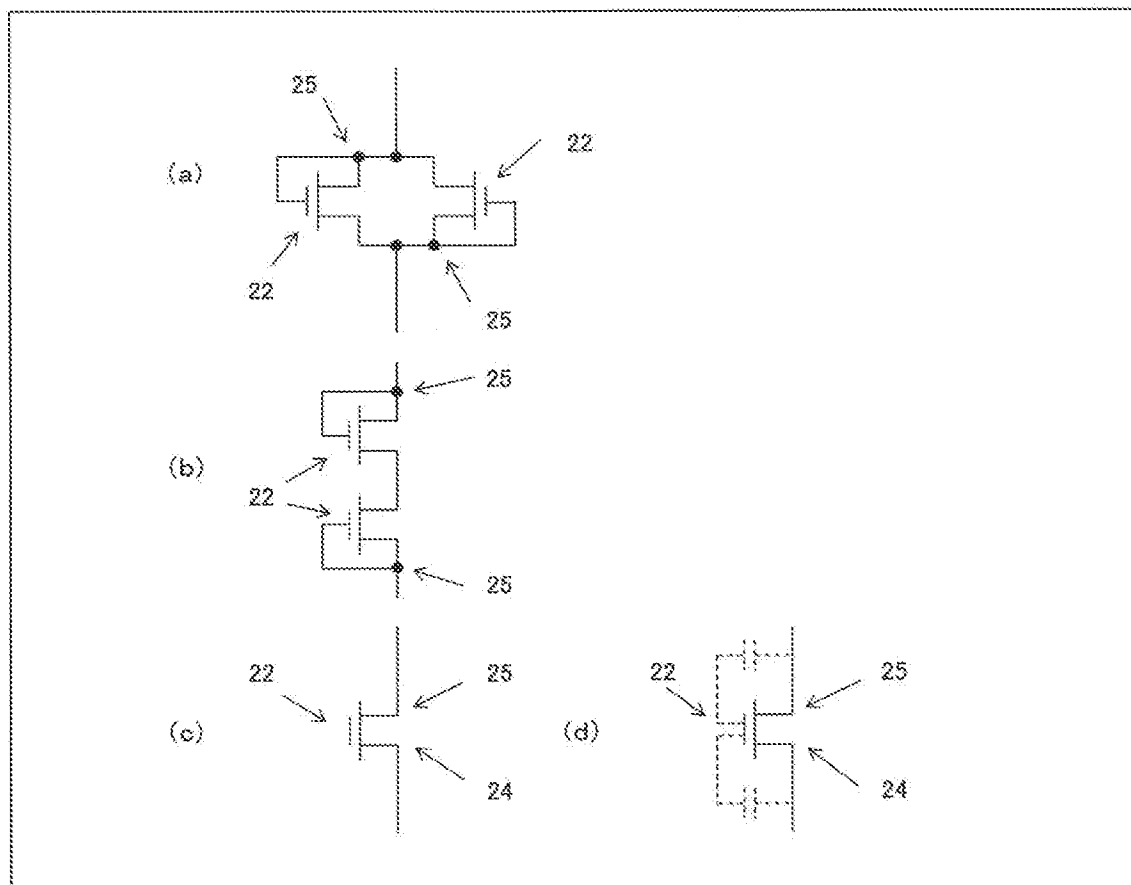
[図2]



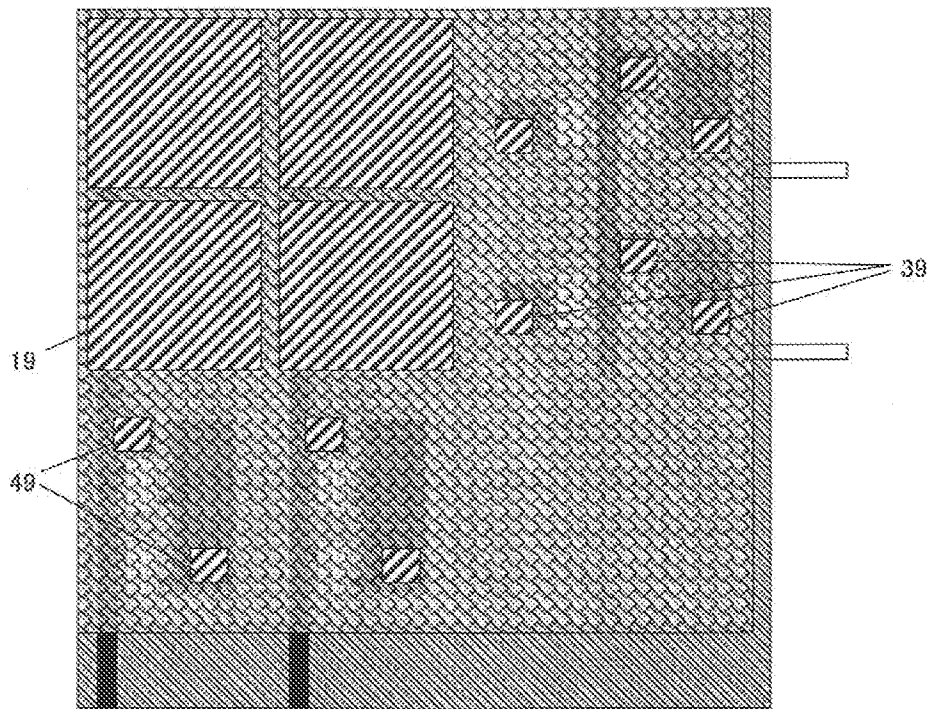
[図3]



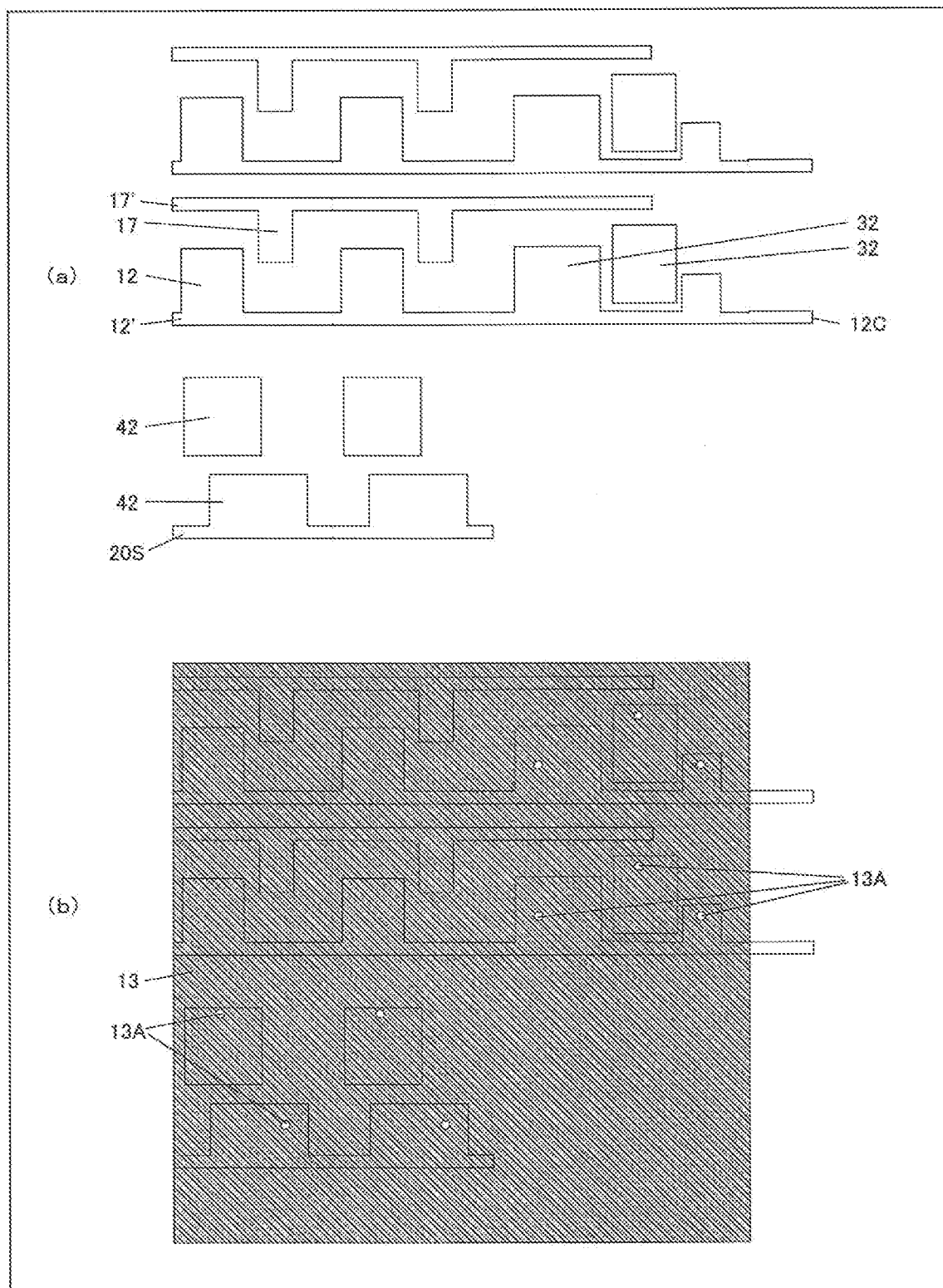
[図4]



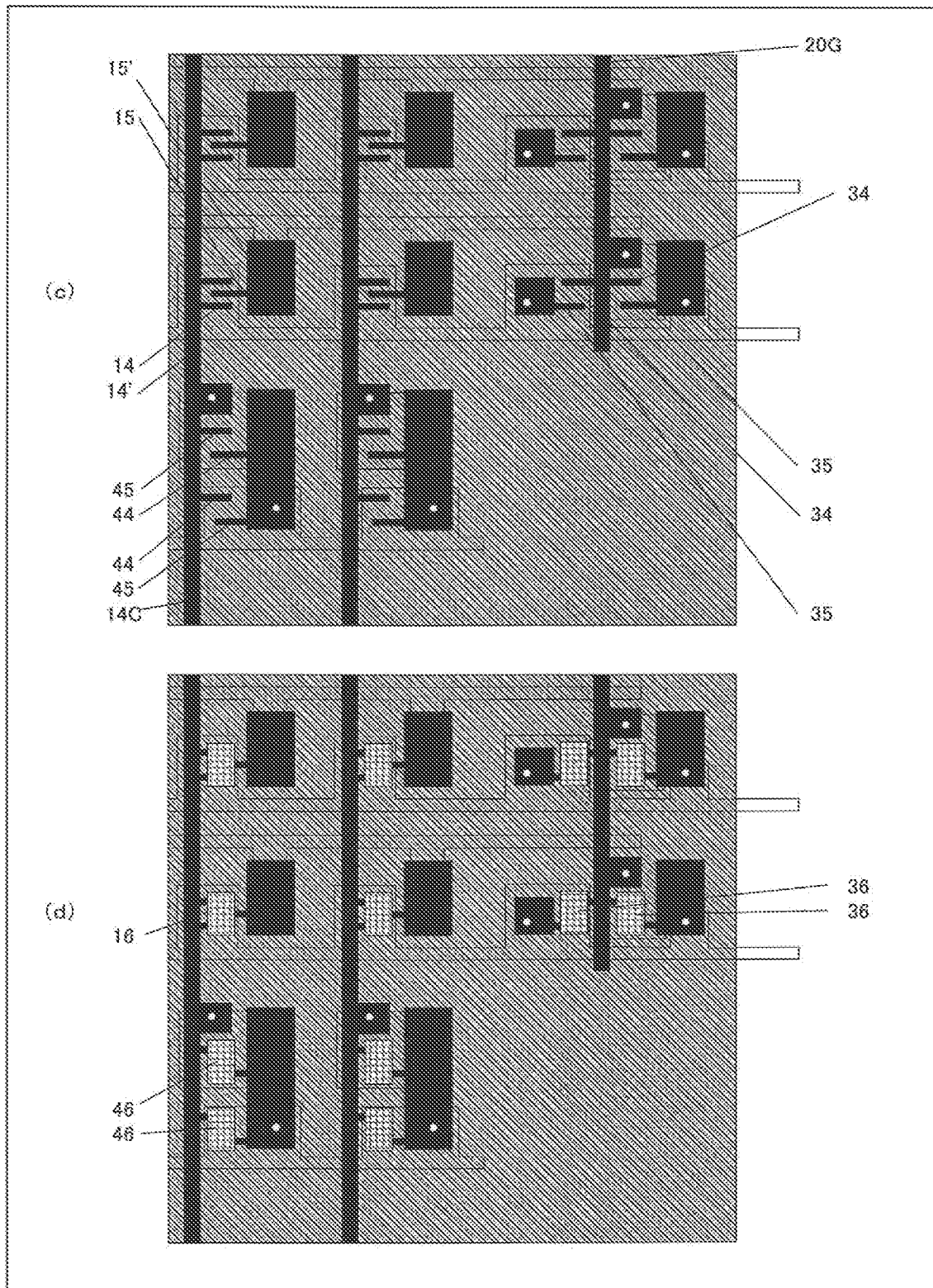
[図5]



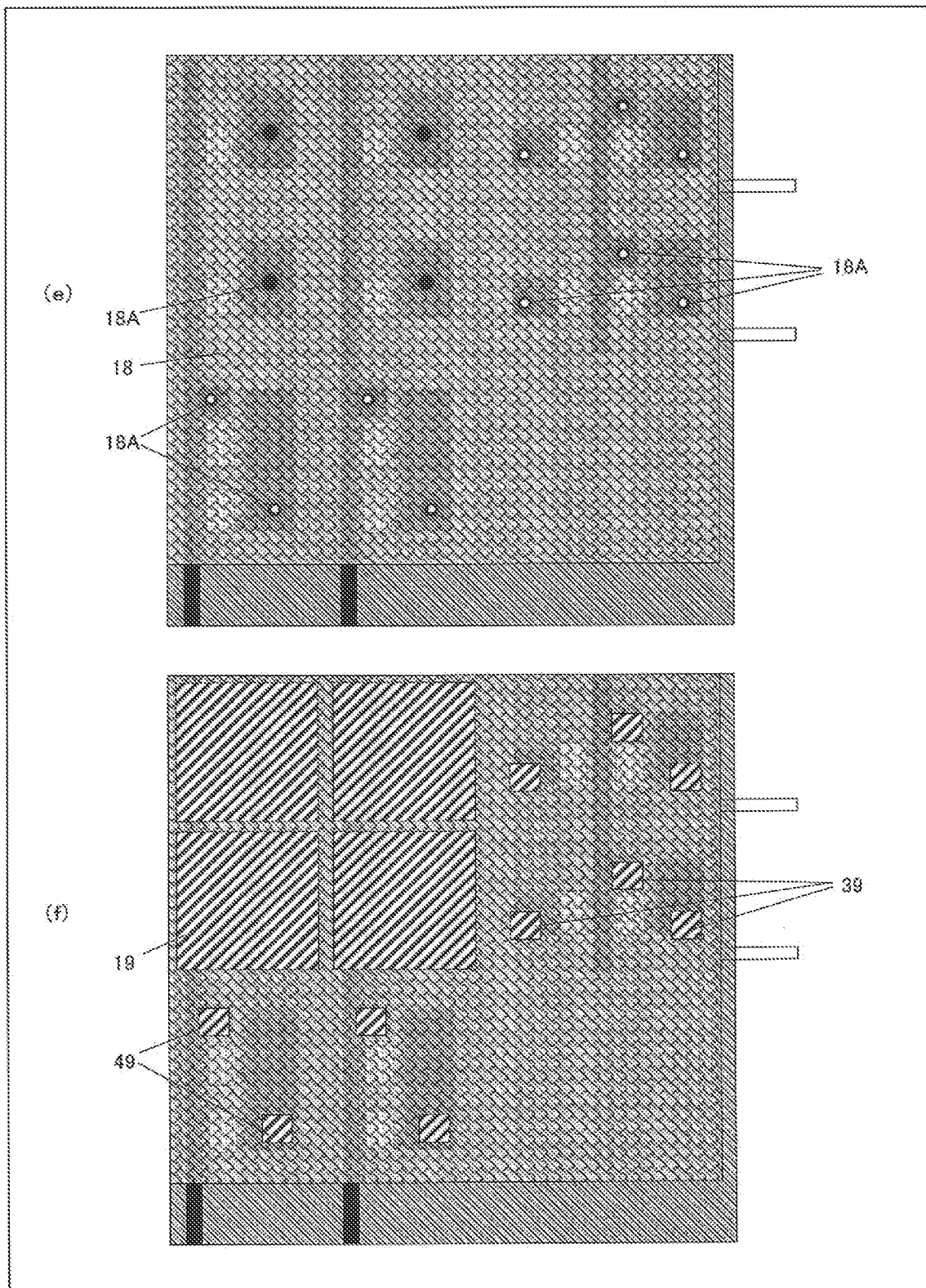
[図6]



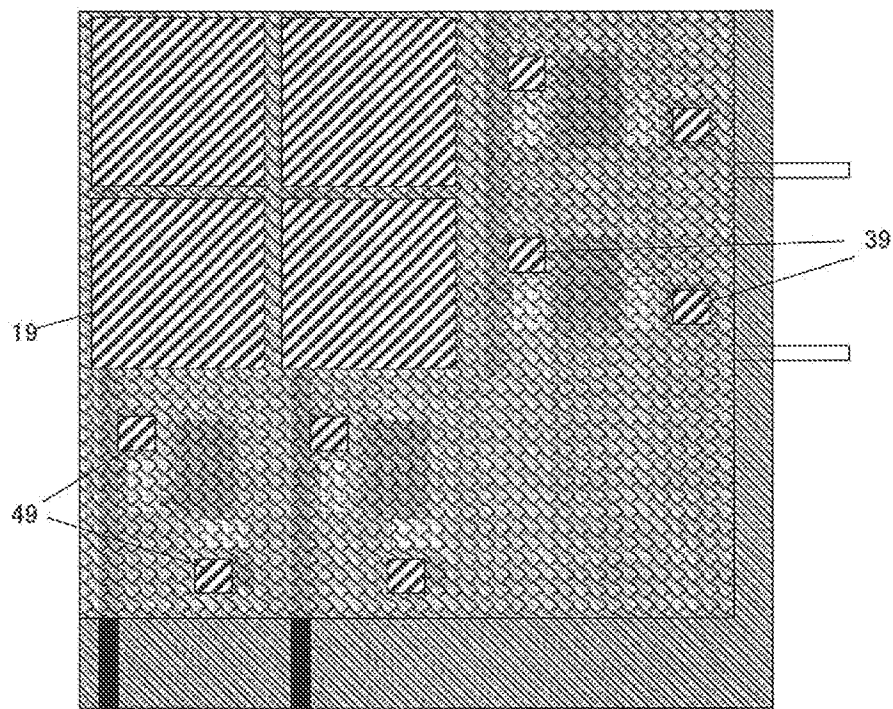
[図7]



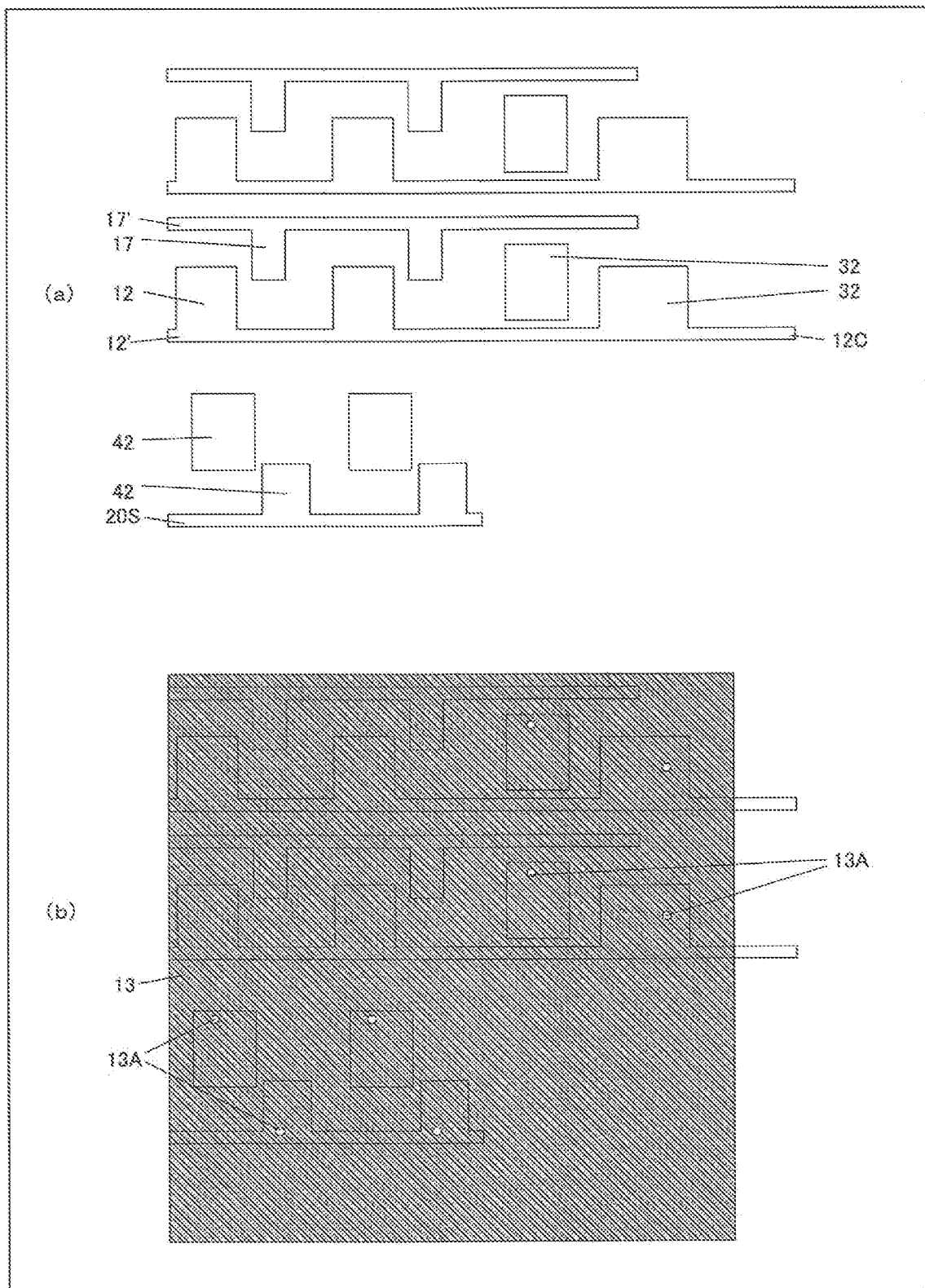
[図8]



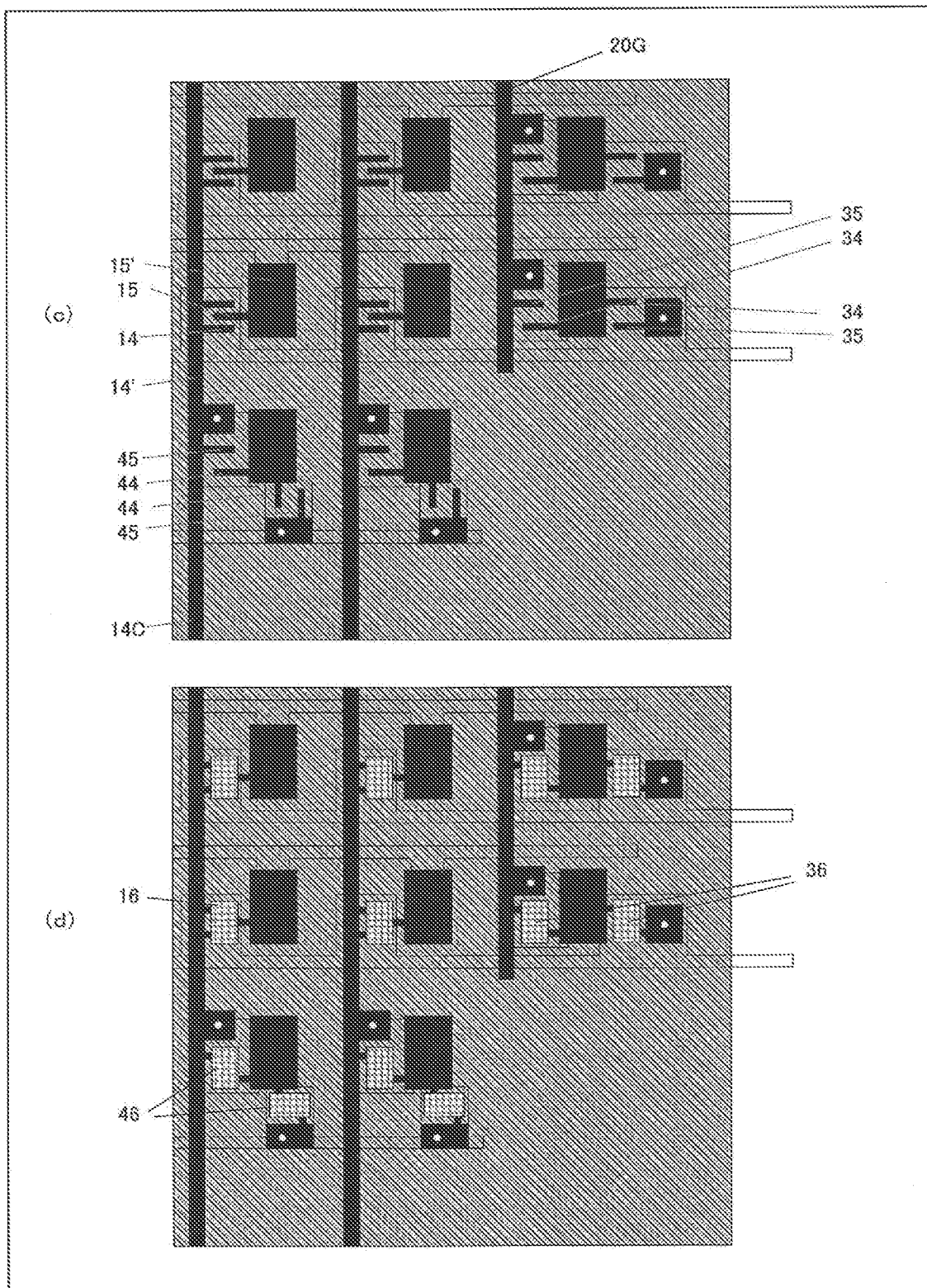
[図9]



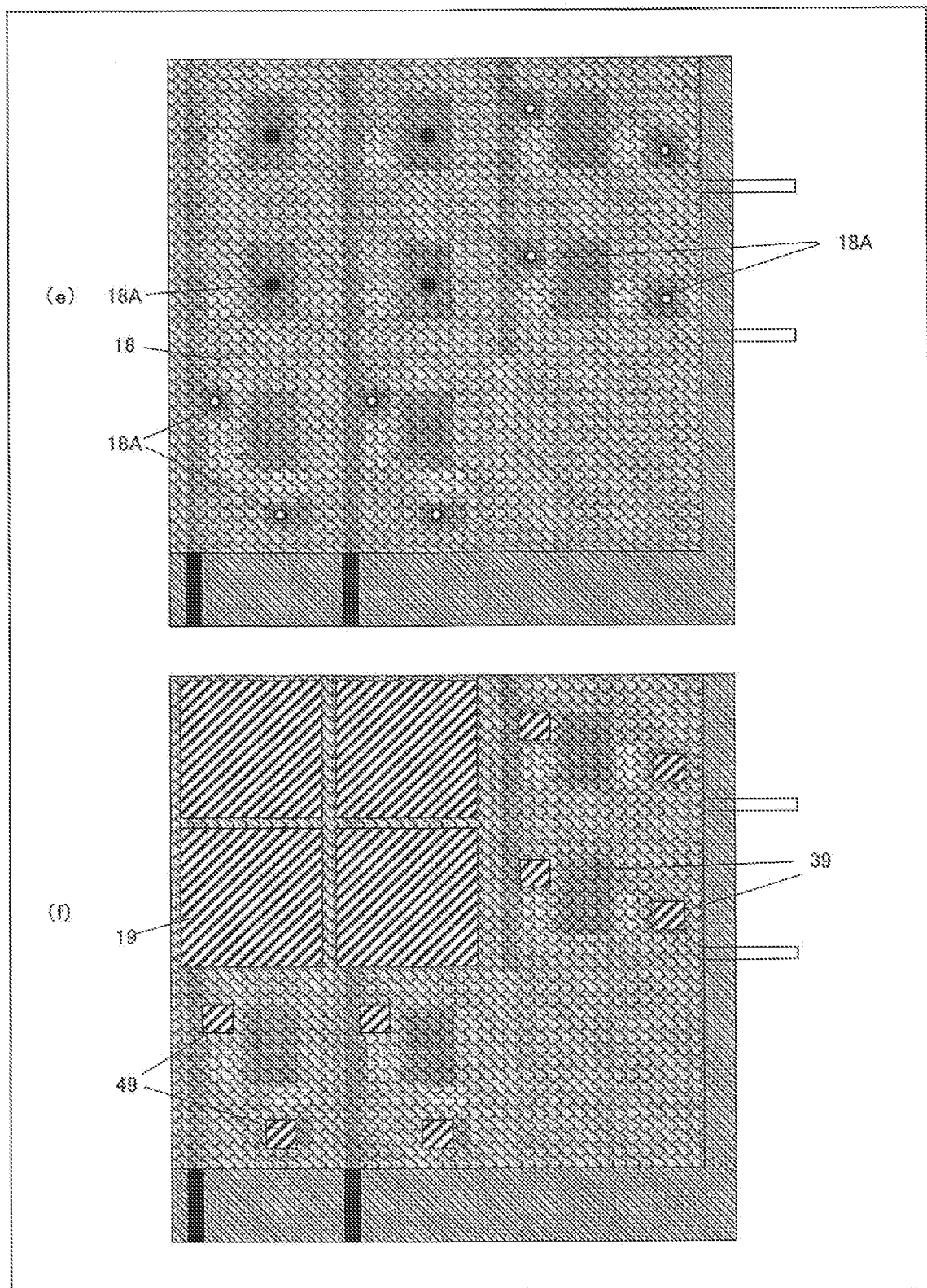
[図10]



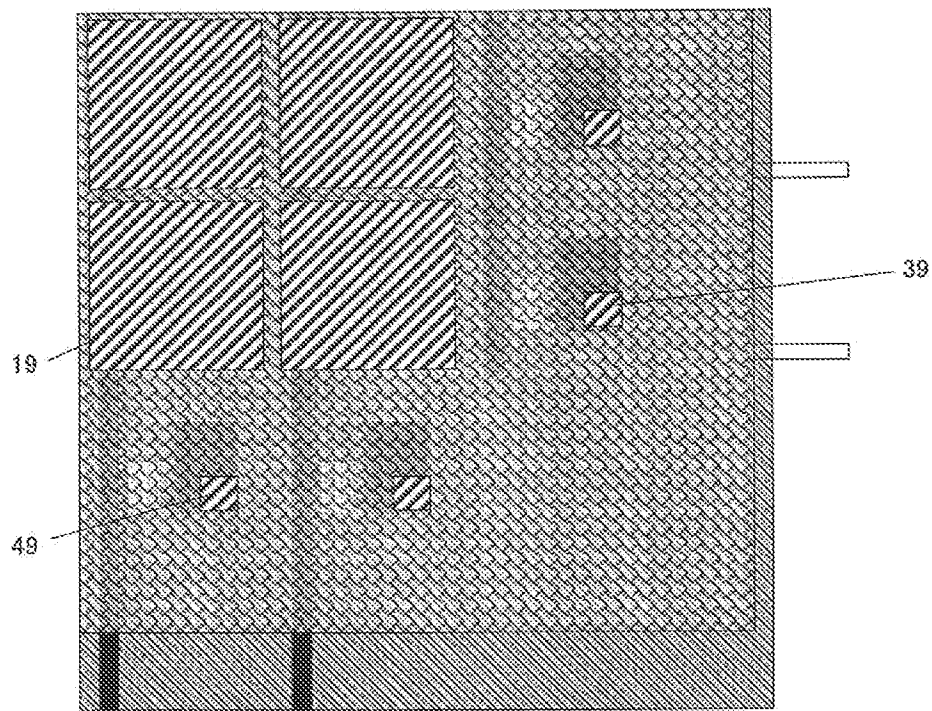
[図11]



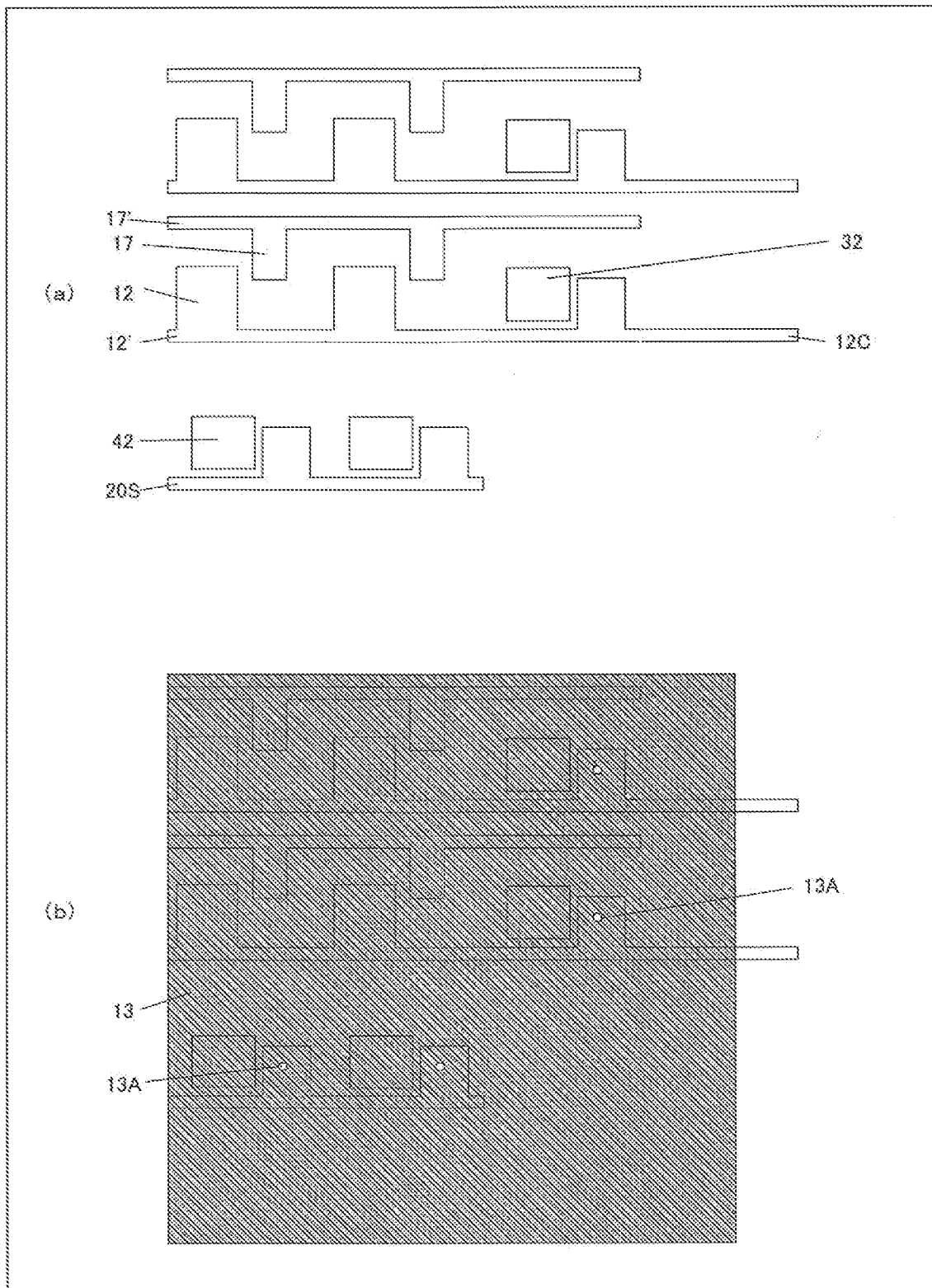
[図12]



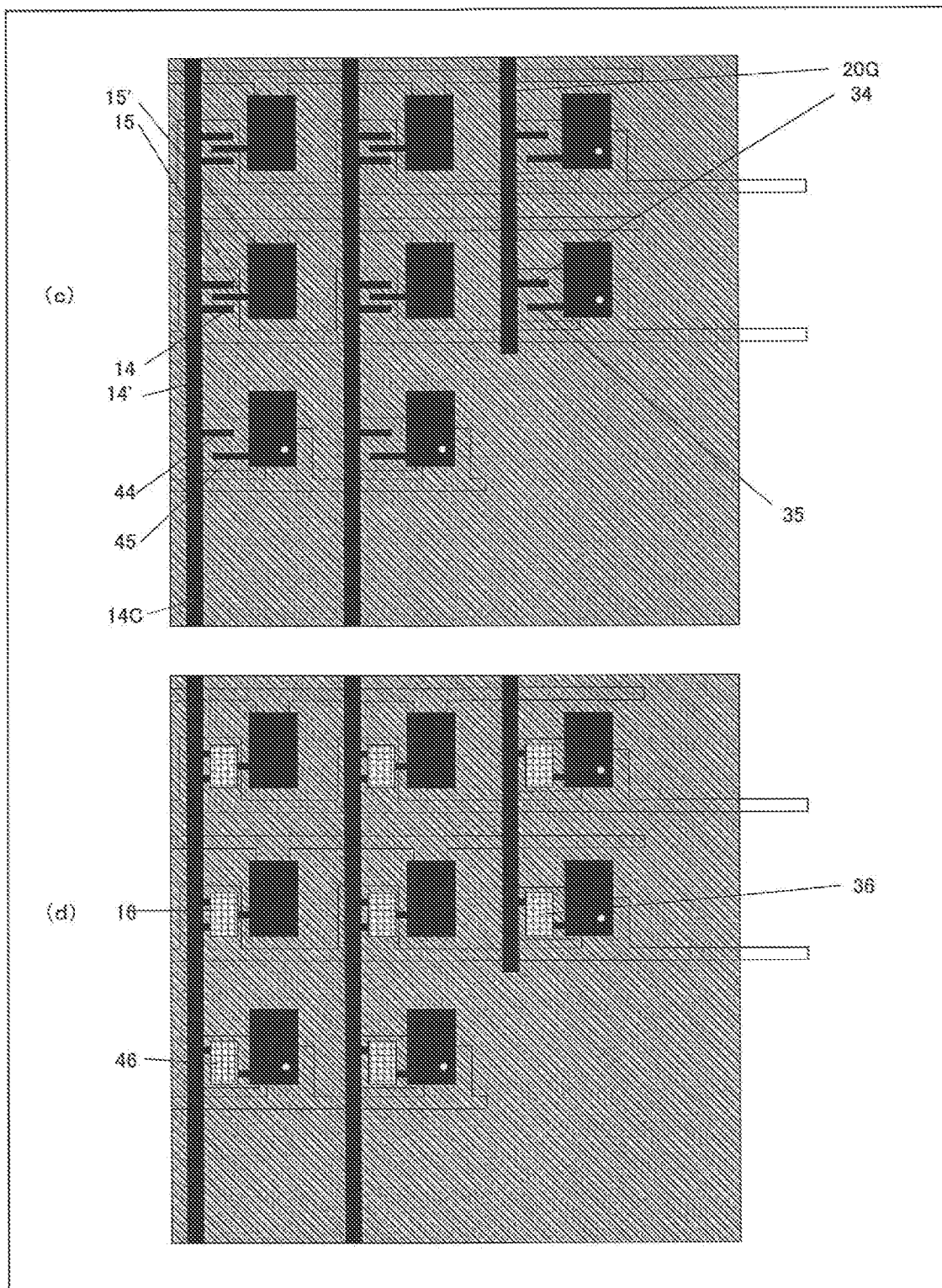
[図13]



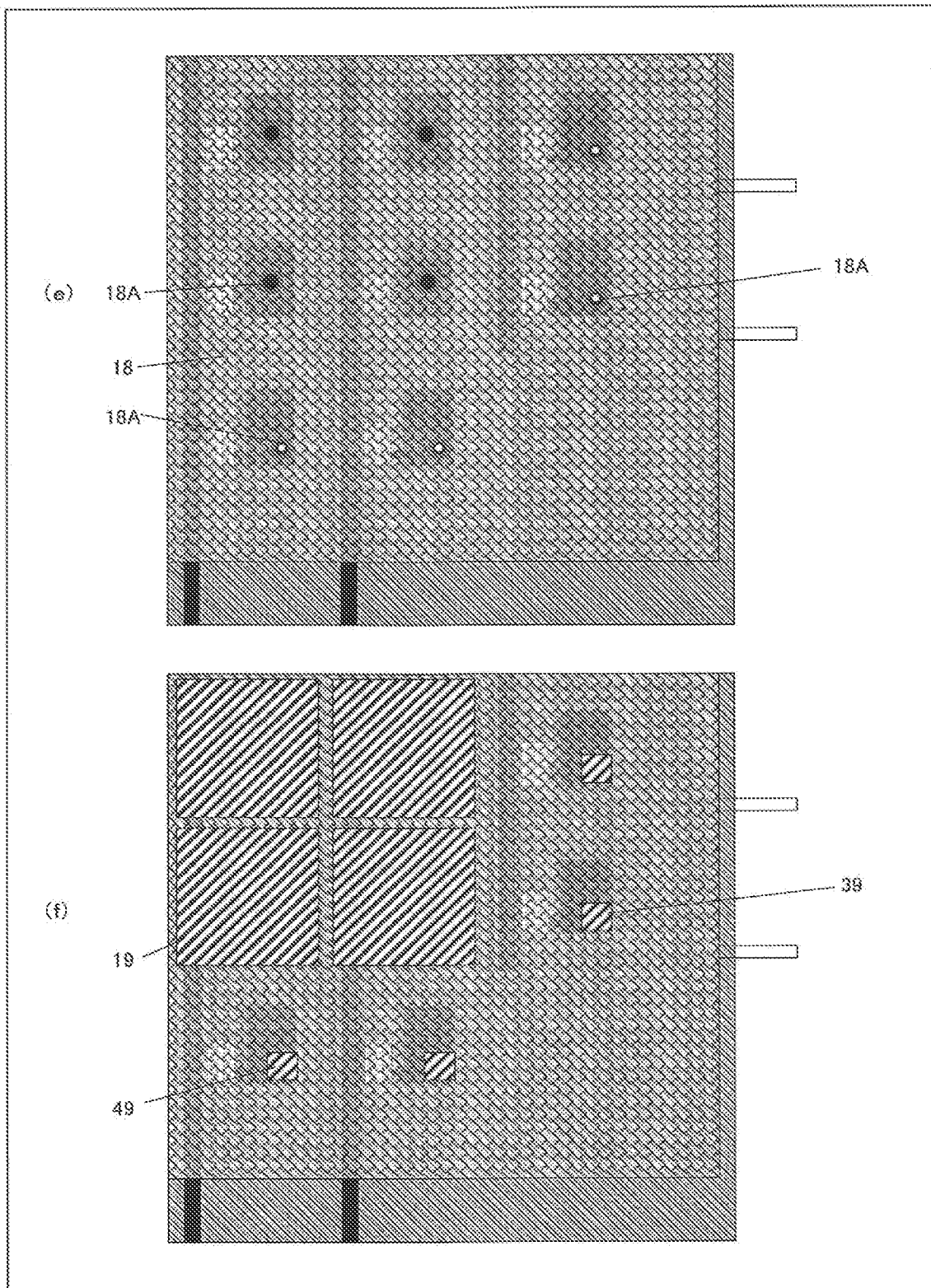
[図14]



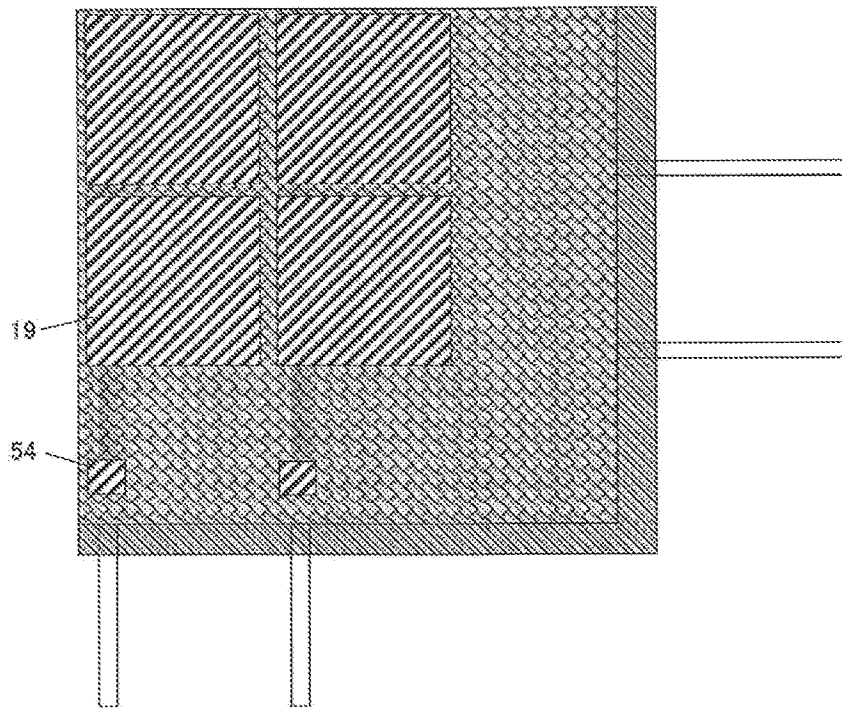
[図15]



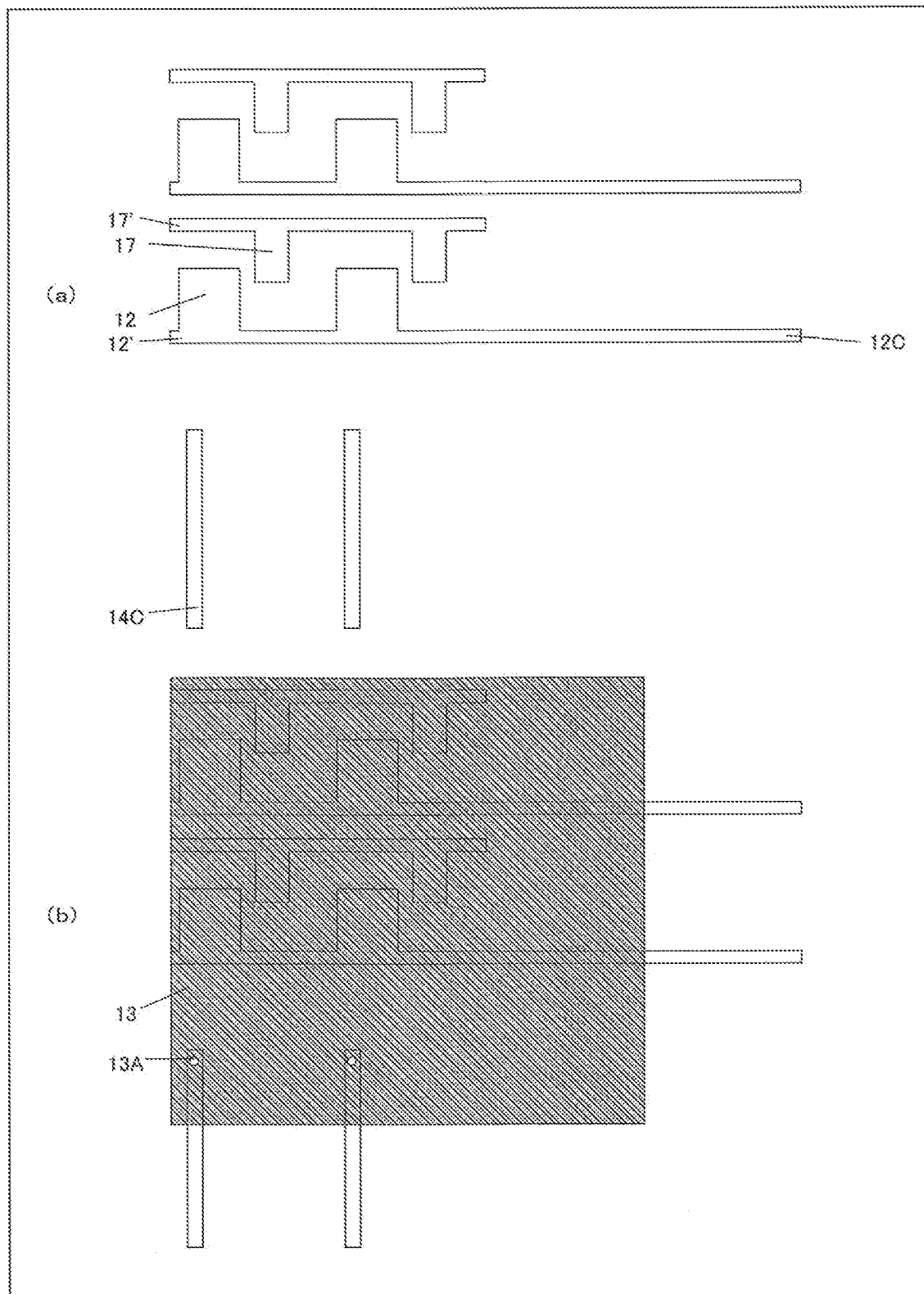
[図16]



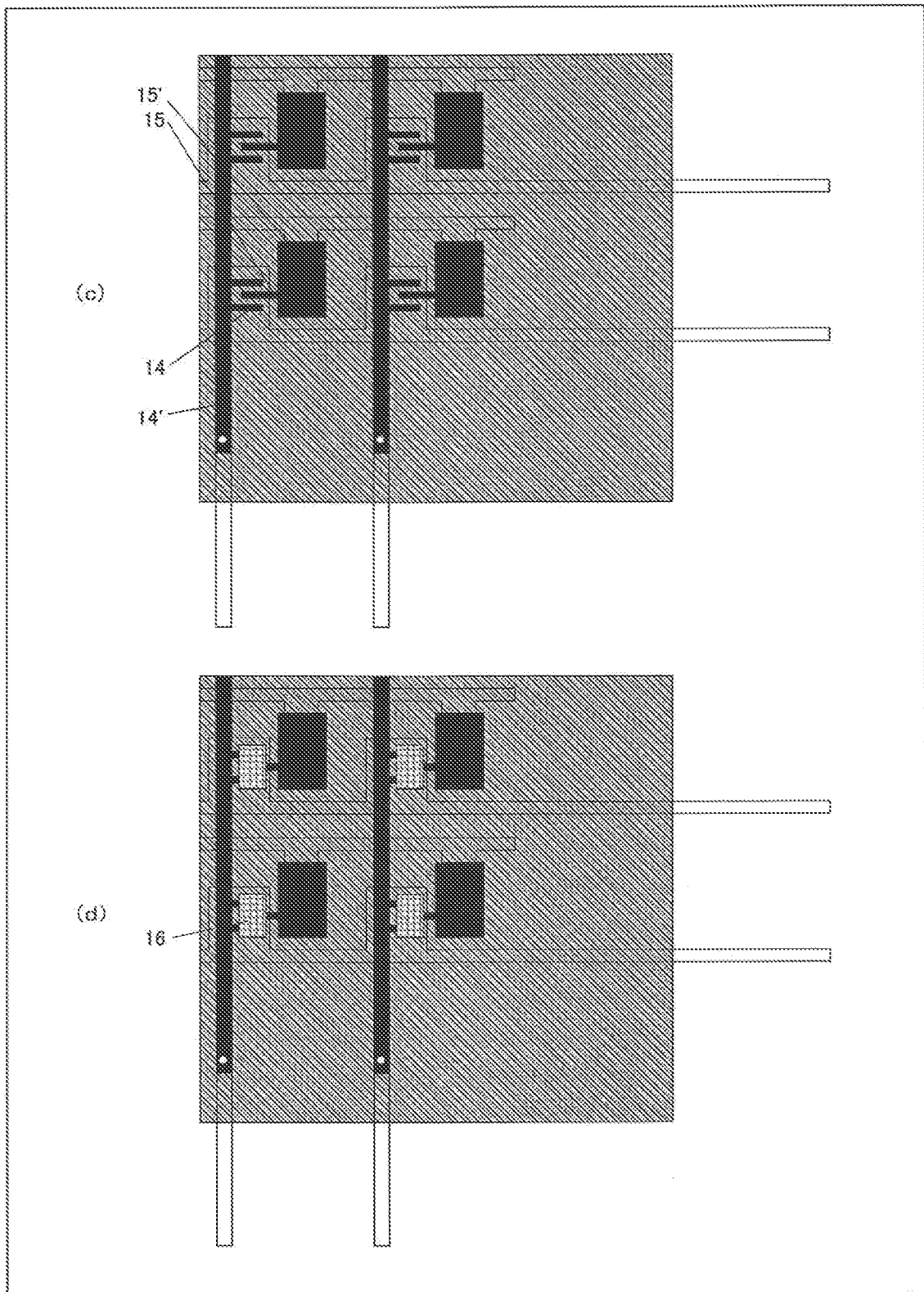
[図17]



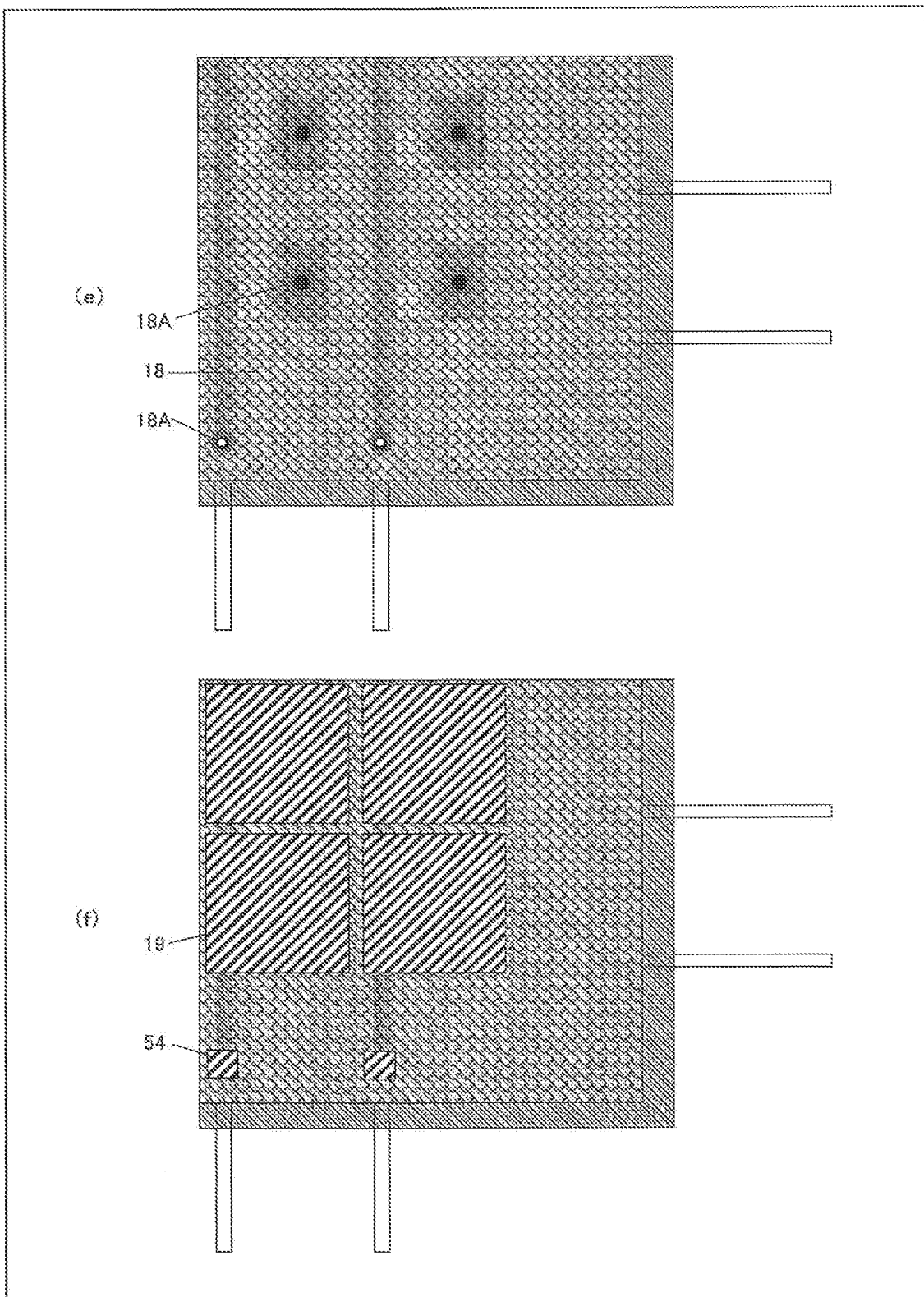
[図18]



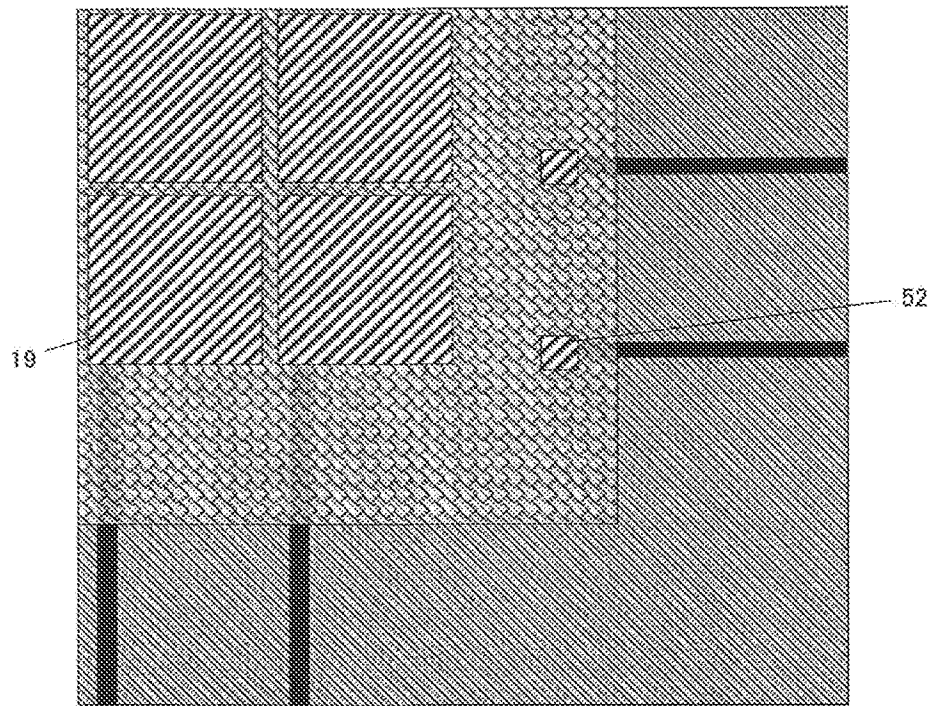
[図19]



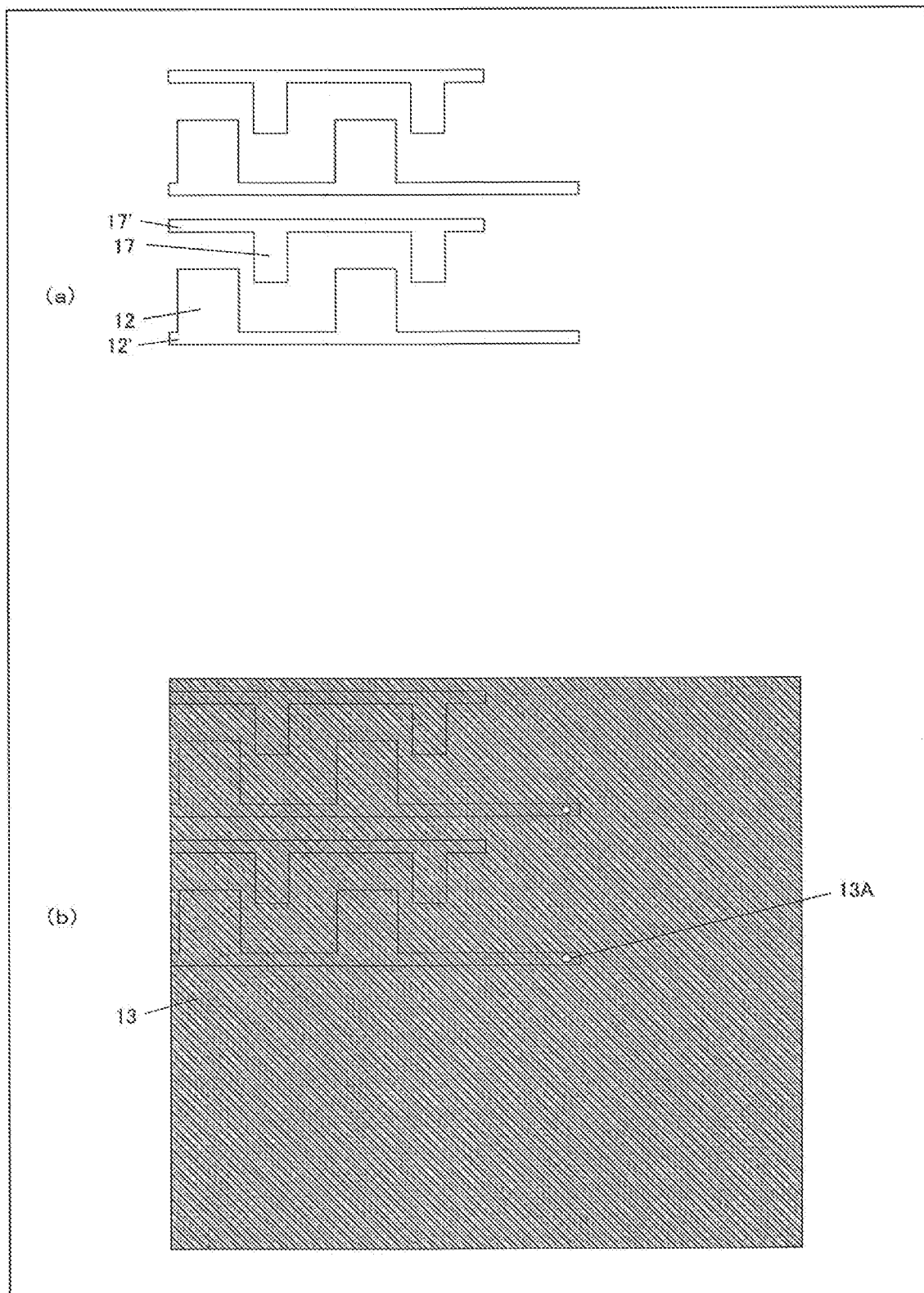
[図20]



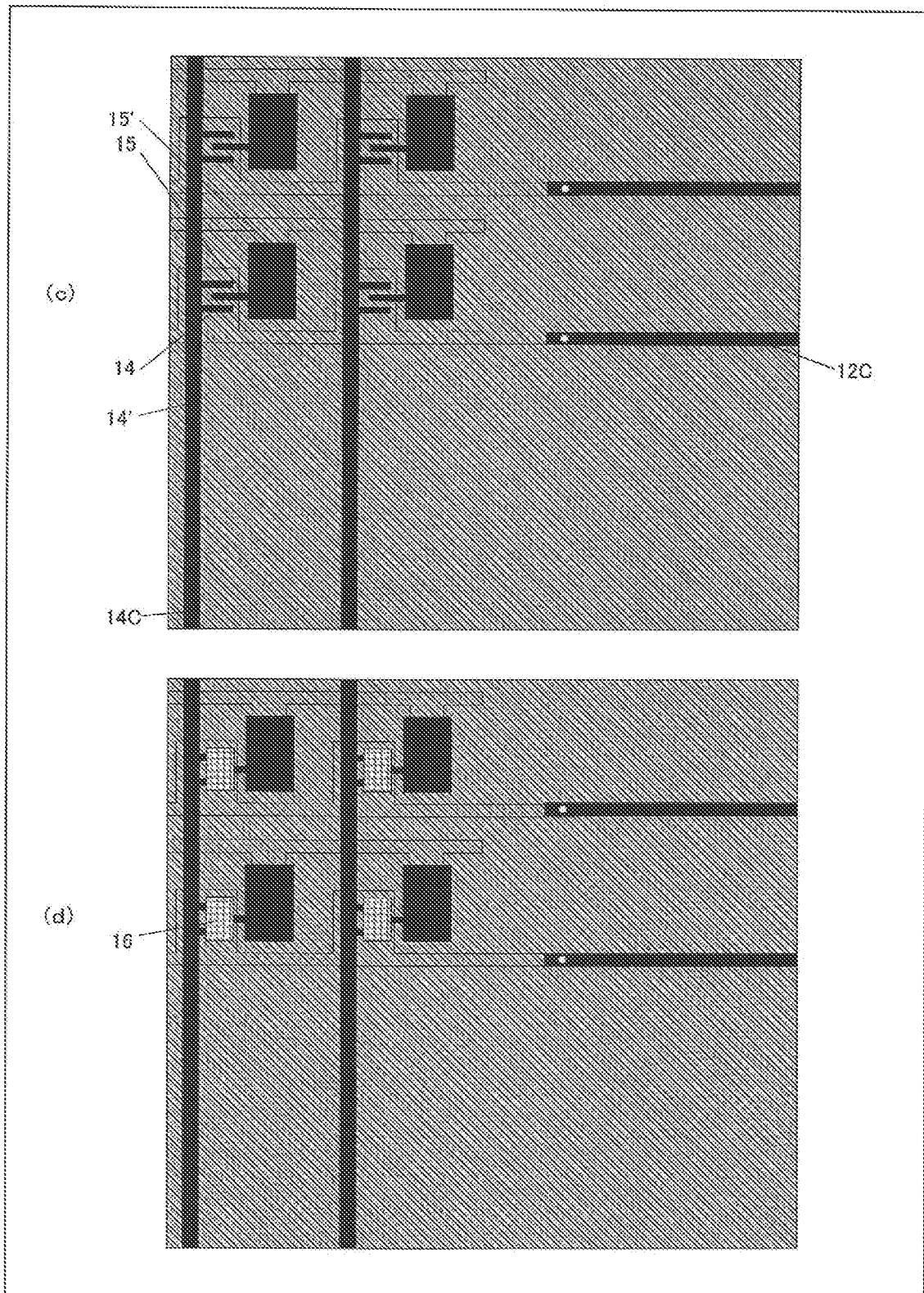
[図21]



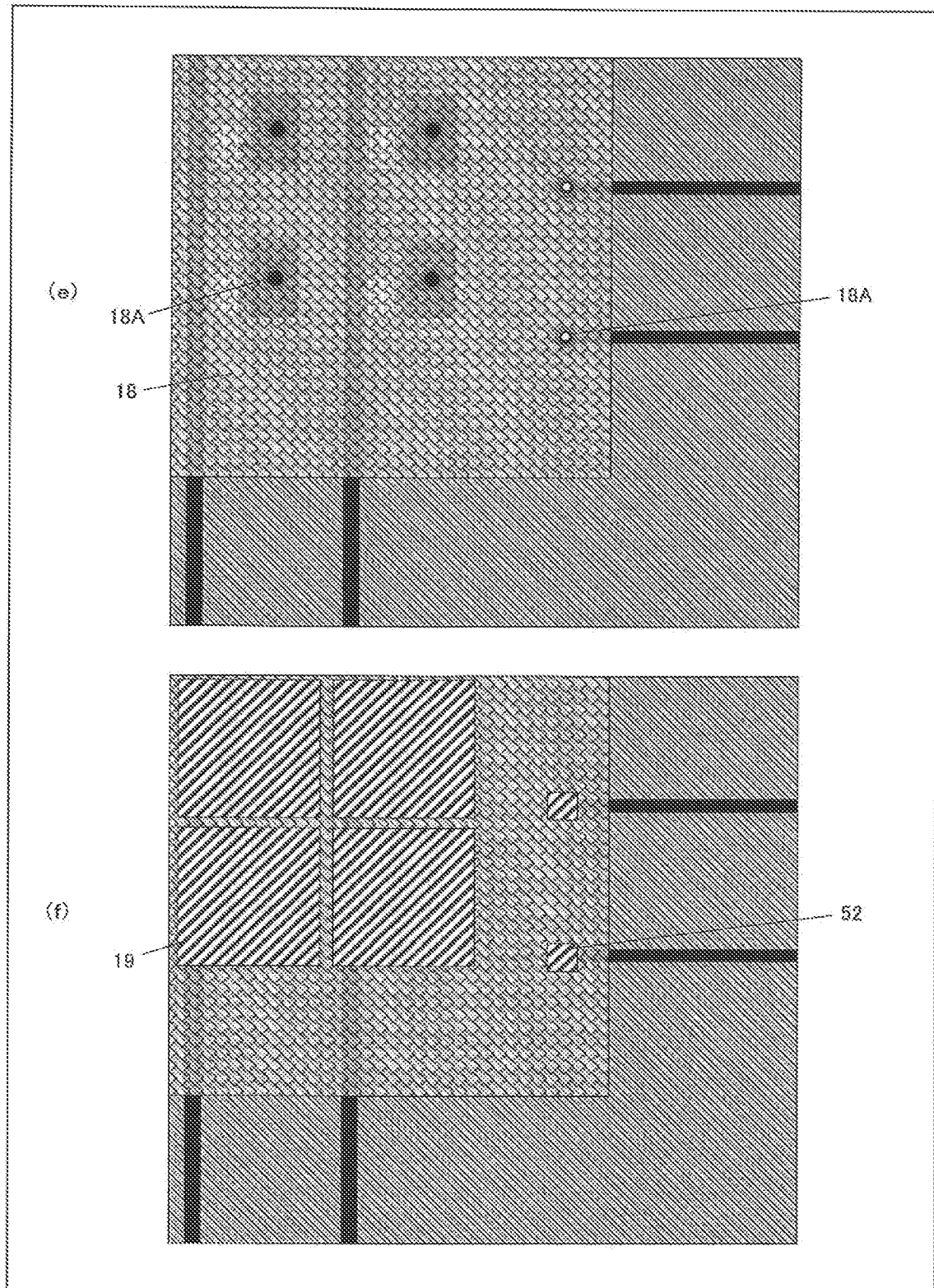
[図22]



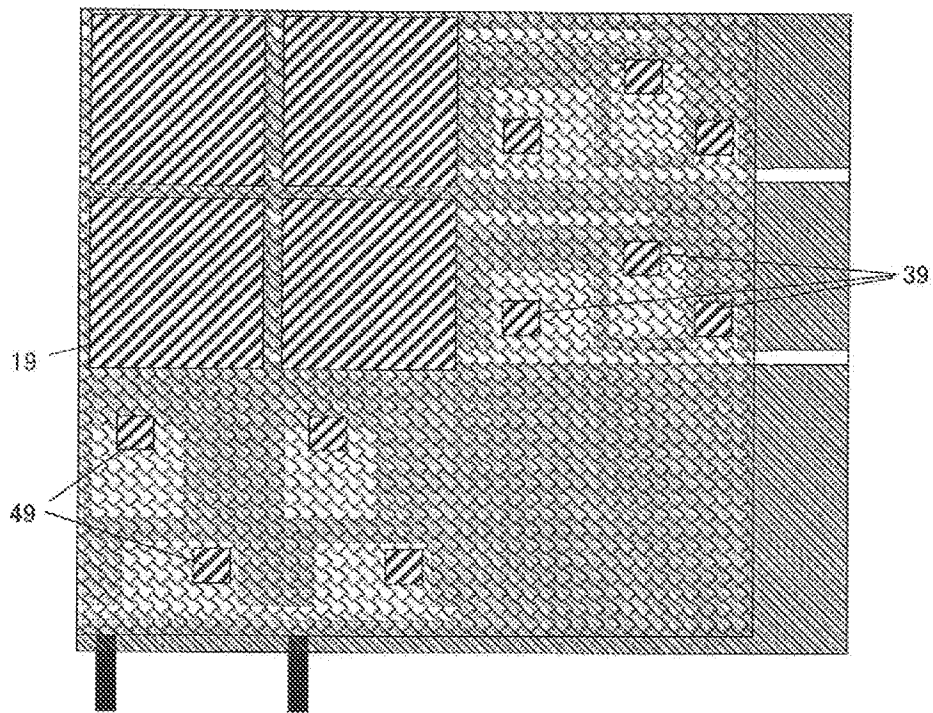
[図23]



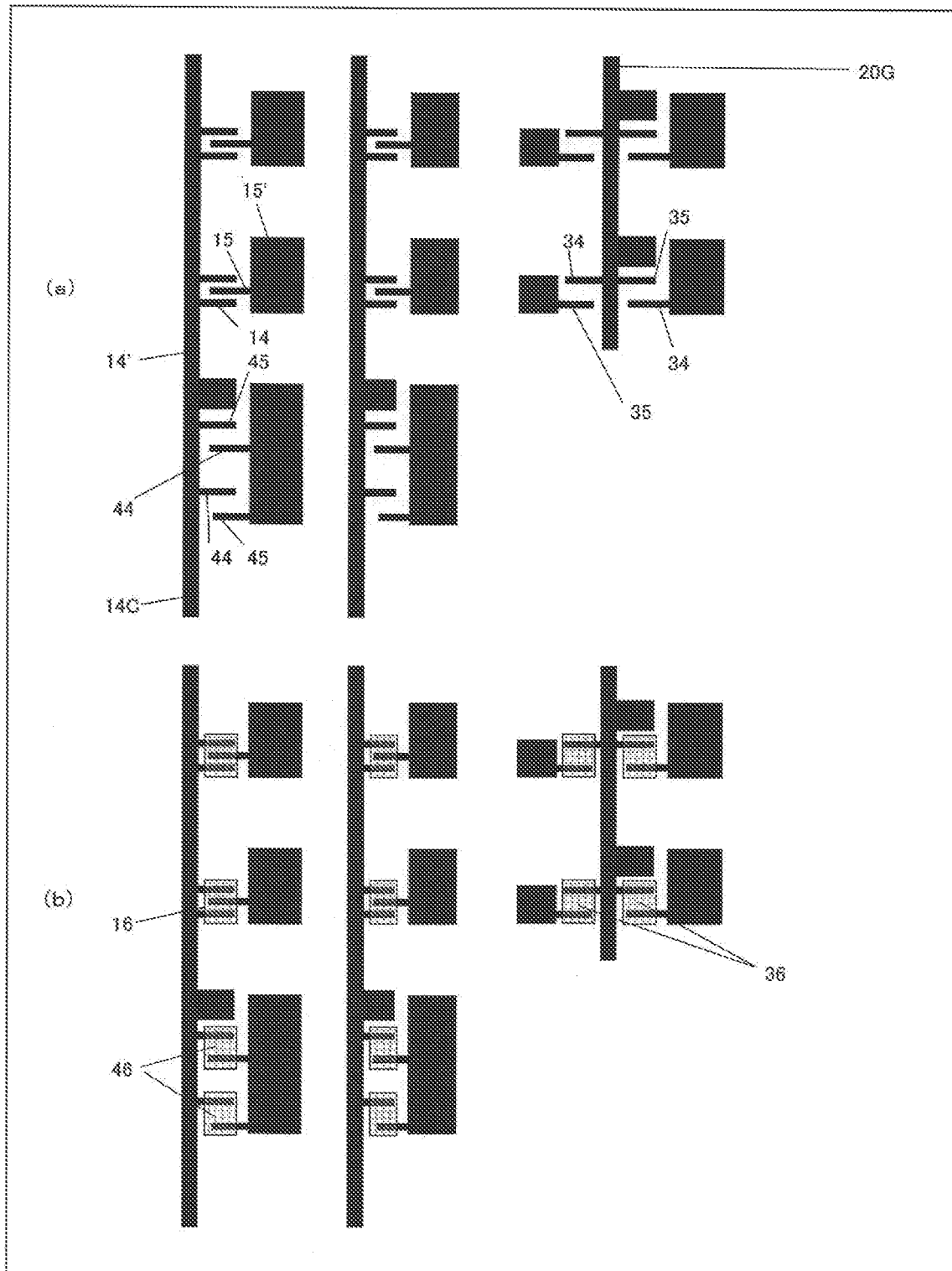
[図24]



[図25]



[図26]



[図27]

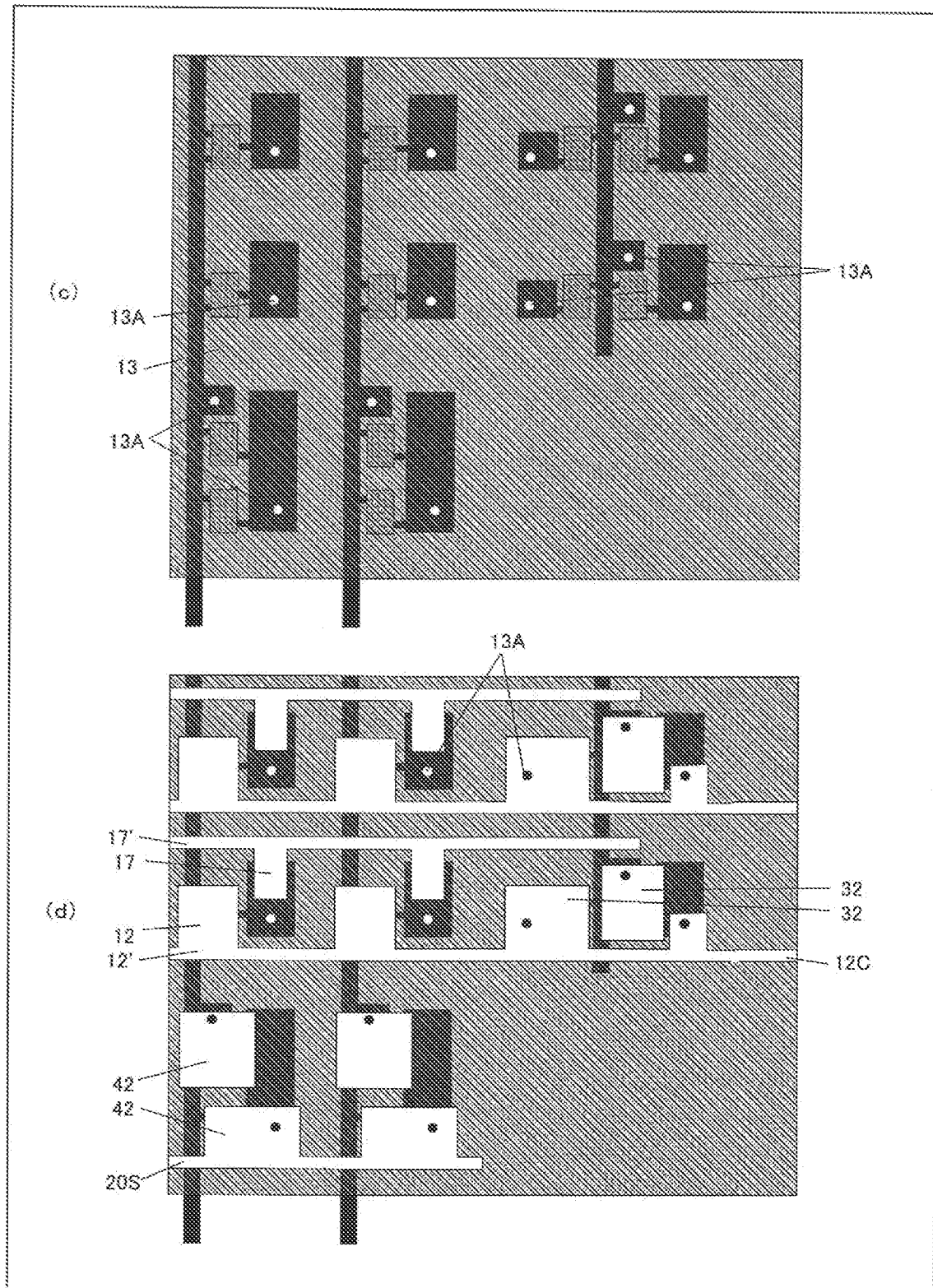
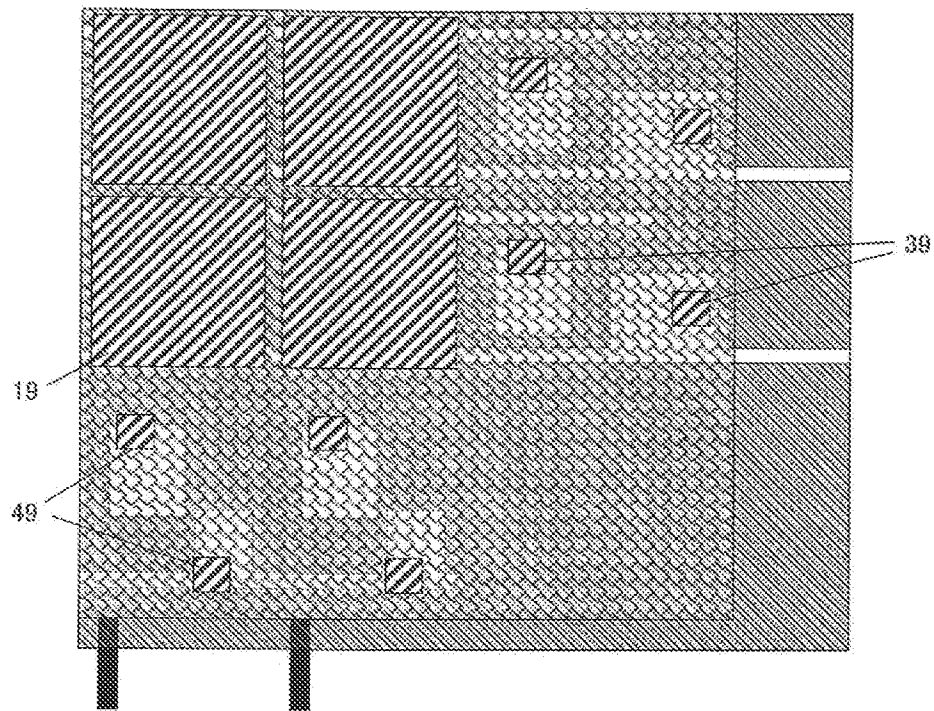
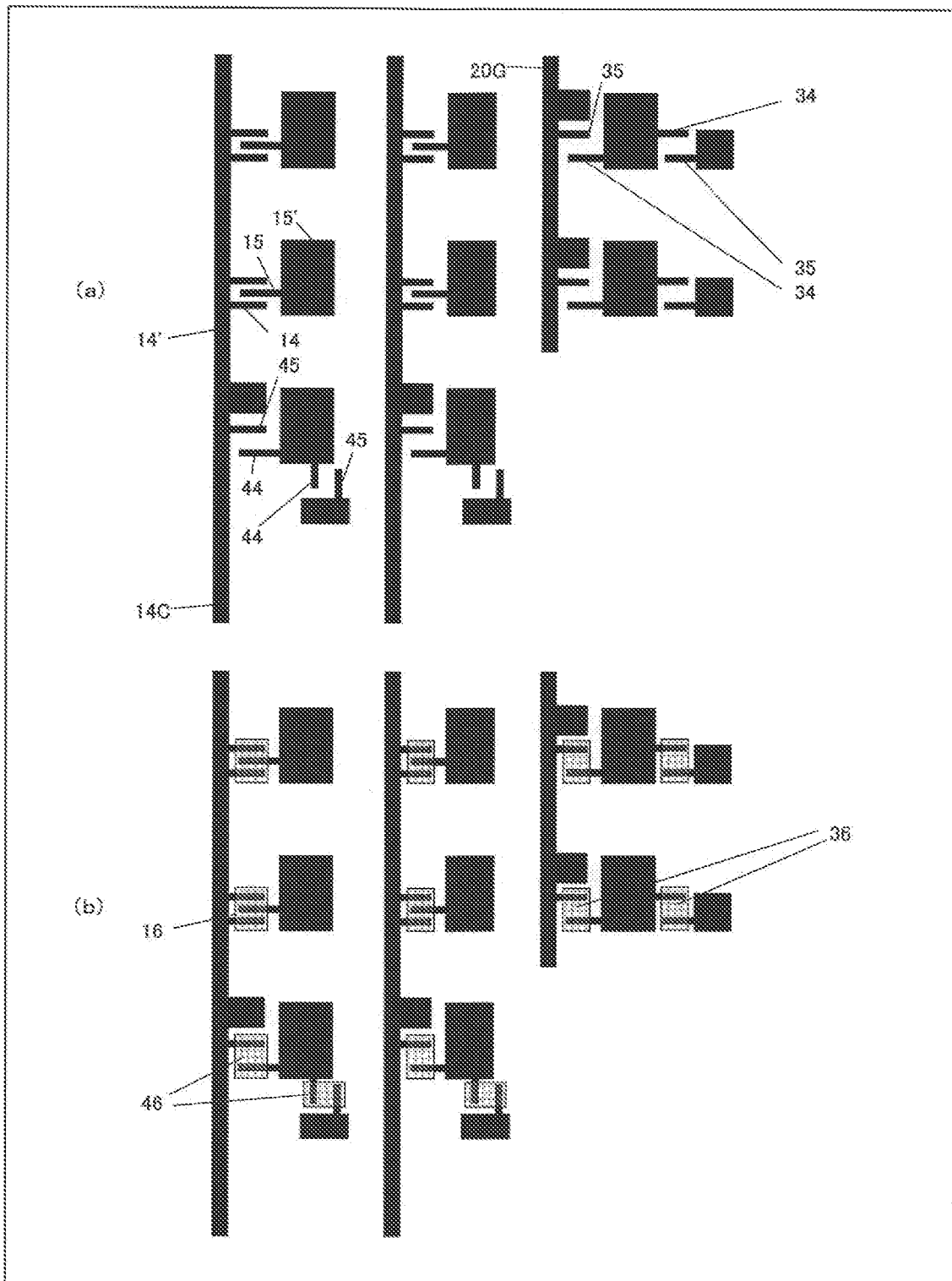


Figure 1 consists of two plan views, (e) and (f), of a substrate with a grid of openings. In view (e), the substrate has a grid of openings 18. Within this grid, there are circular features 18A. The substrate is supported by two vertical pillars. In view (f), the substrate has a grid of openings 19. Within this grid, there are rectangular features 39 and 49. The substrate is supported by two vertical pillars.

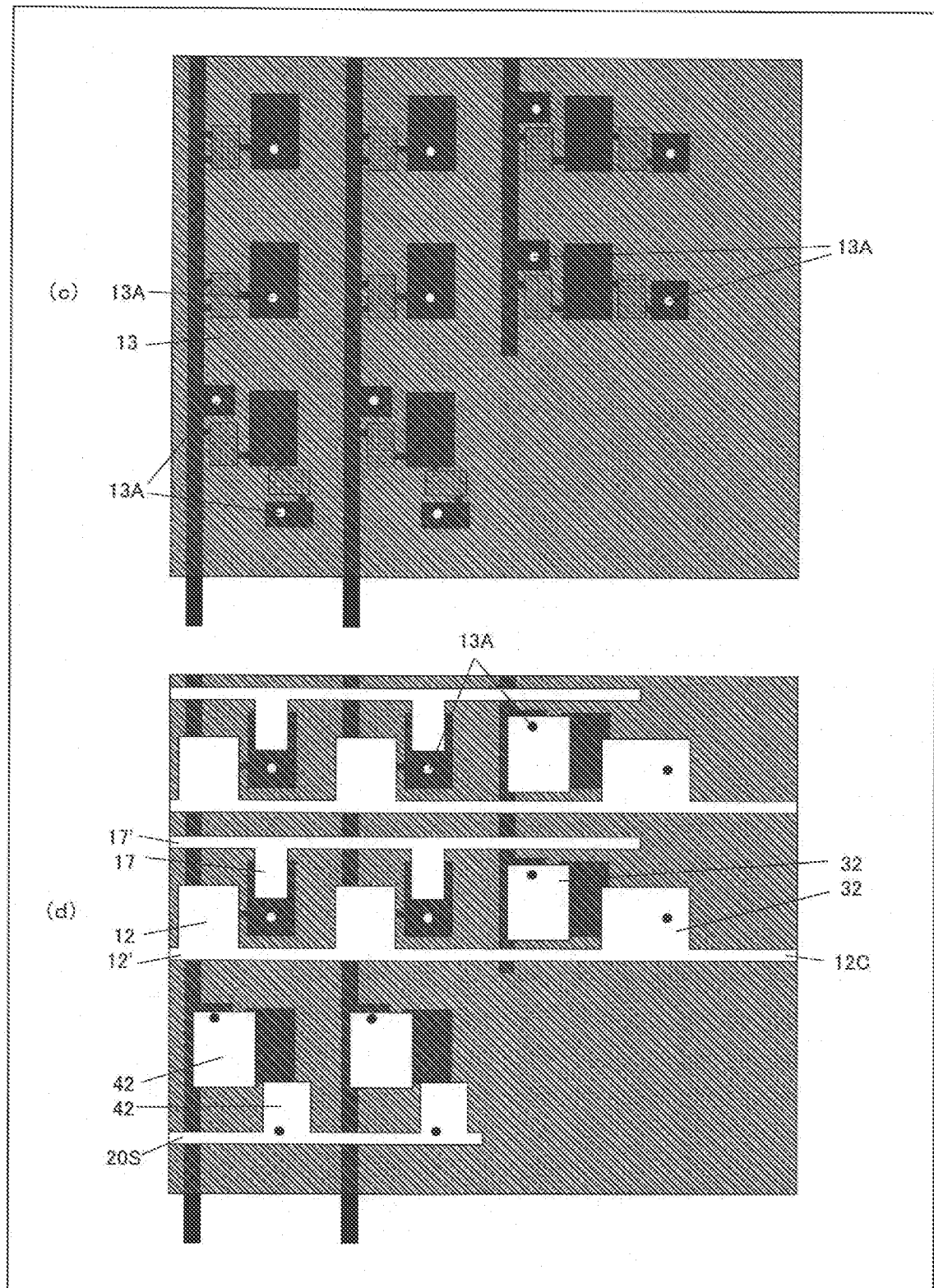
[図29]



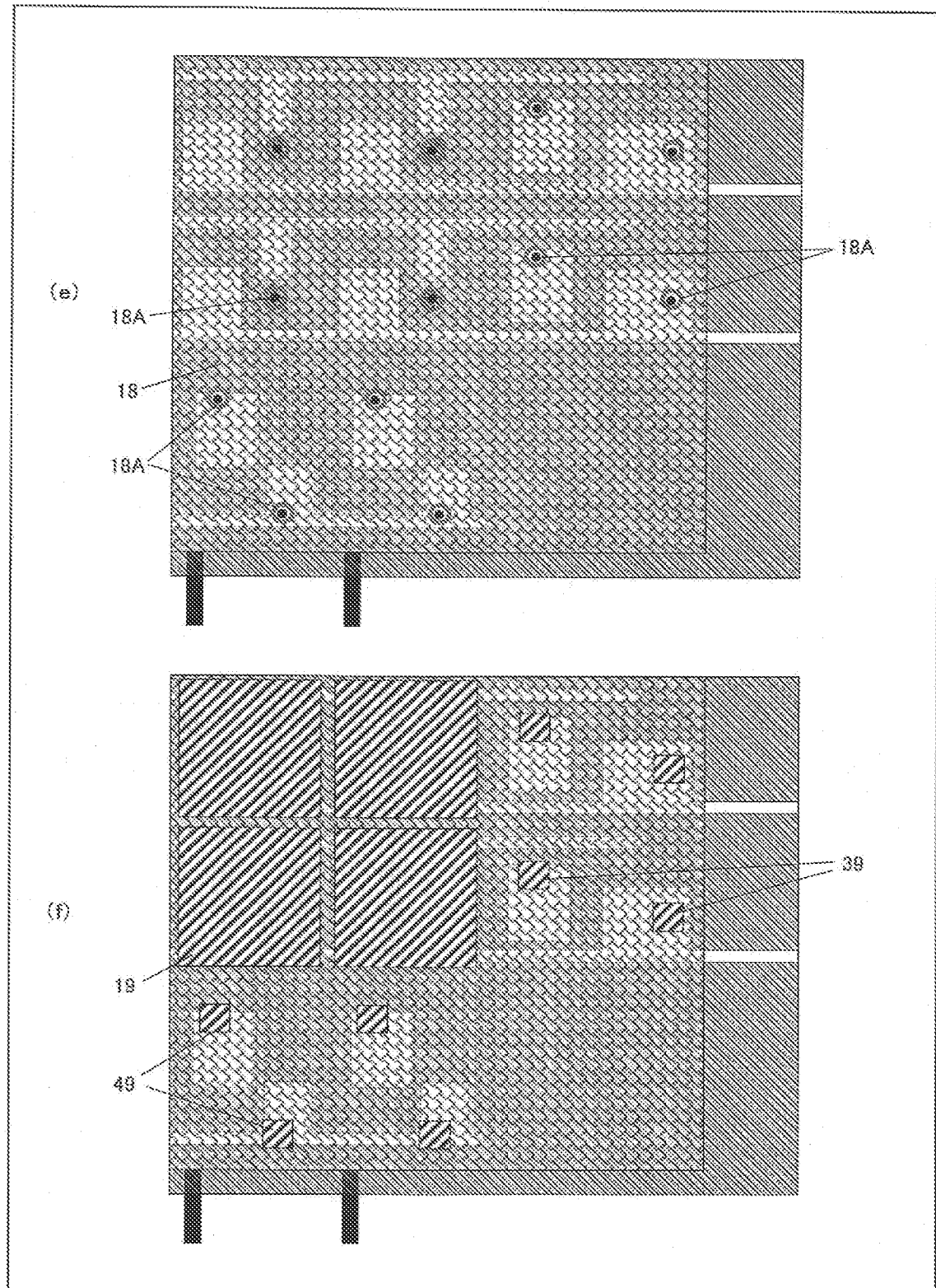
[図30]



[図31]



[図32]



[図33]

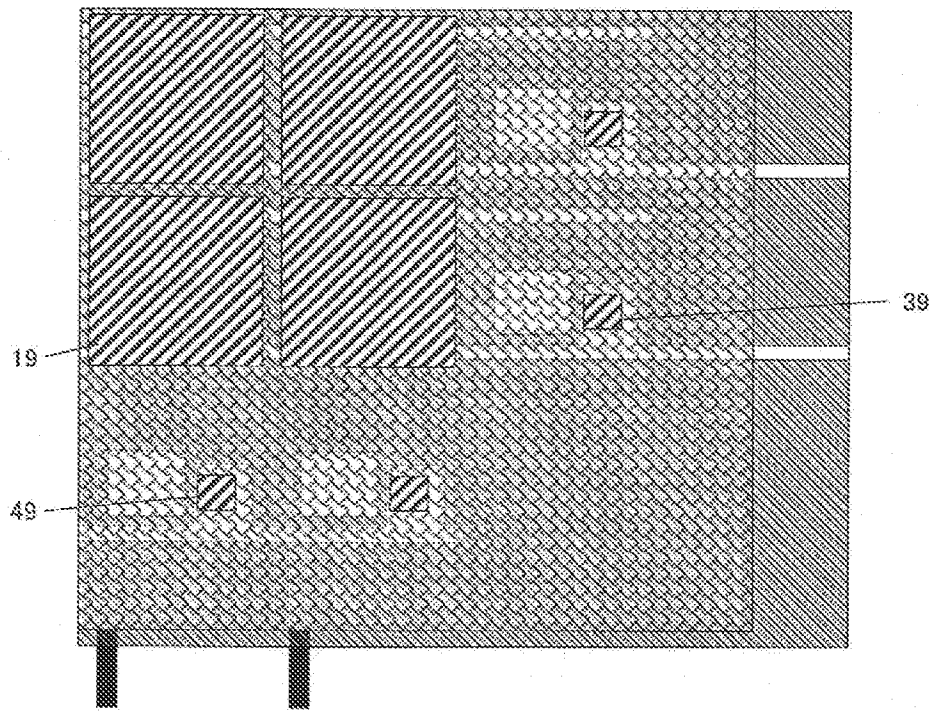
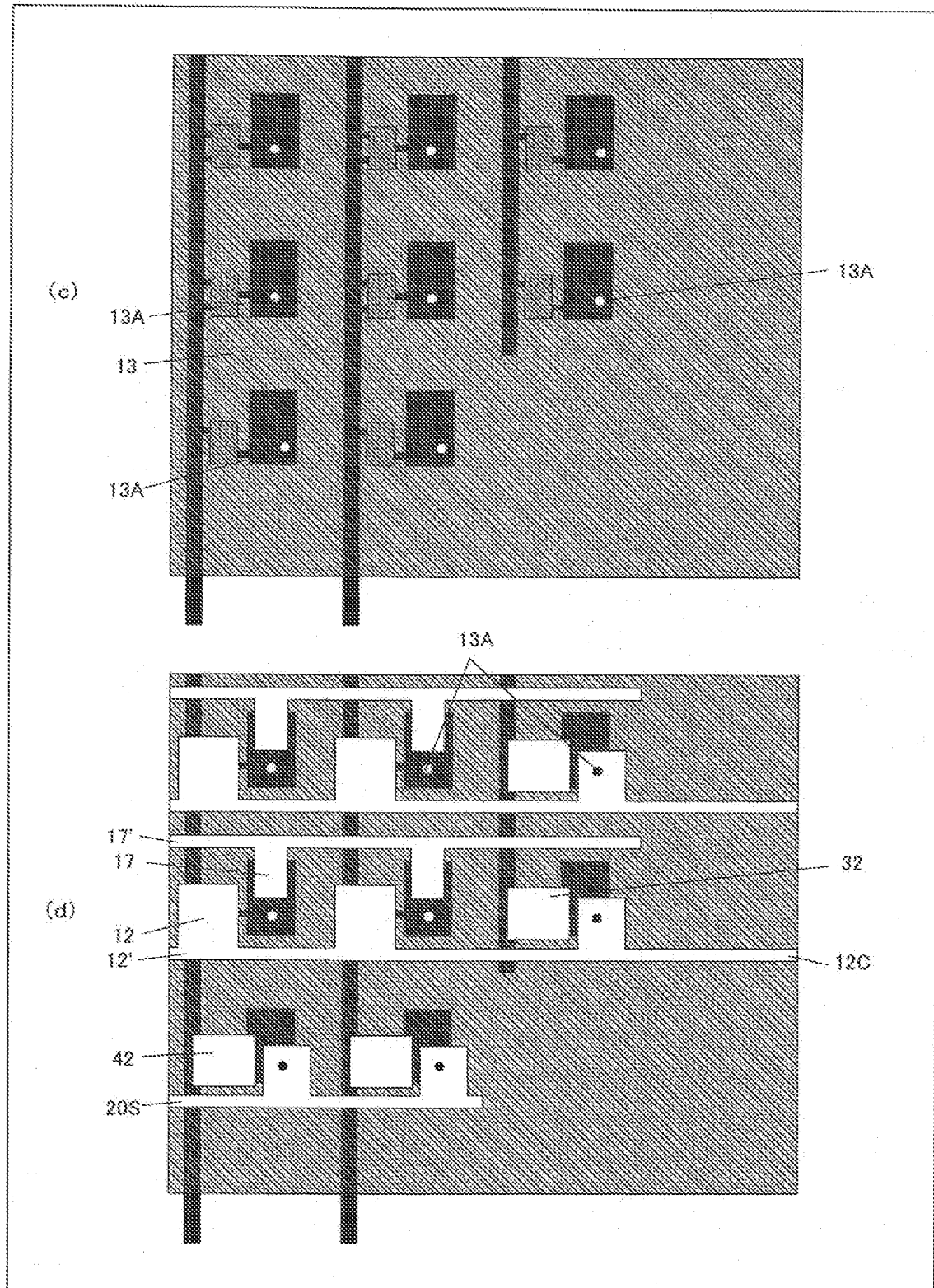


Figure 1 consists of two parts, (a) and (b), each showing three vertical cross-sectional views of a multi-layered structure.

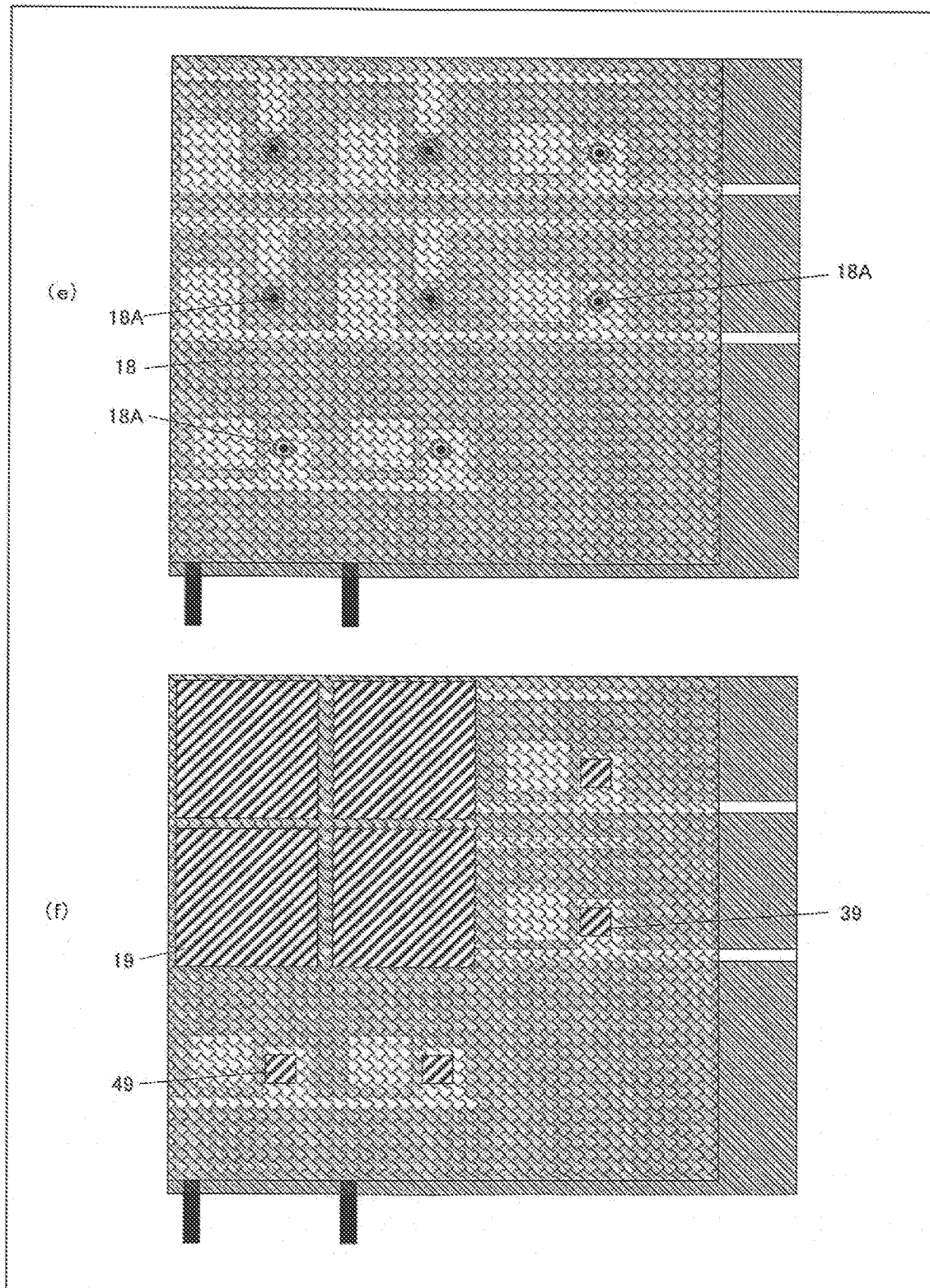
Part (a) shows three vertical cross-sections. The leftmost cross-section is labeled with various components: 15' and 15 point to the top layer; 14 and 14' point to the middle layer; 44 and 45 point to the bottom layer; and 140 points to the entire structure. The middle cross-section is identical to the leftmost one. The rightmost cross-section is labeled with 20G pointing to the top layer, 34 and 35 pointing to the middle layer, and 38 pointing to the bottom layer.

Part (b) shows three vertical cross-sections. The leftmost cross-section is labeled with 16 pointing to the top layer and 46 pointing to the bottom layer. The middle cross-section is identical to the leftmost one. The rightmost cross-section is labeled with 38 pointing to the bottom layer.

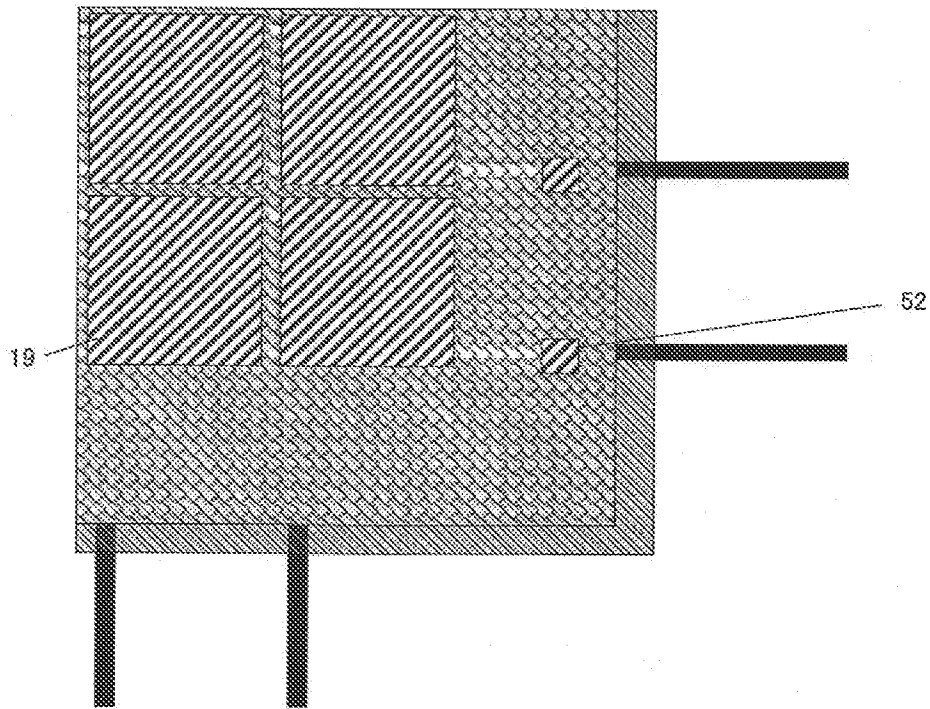
[図35]



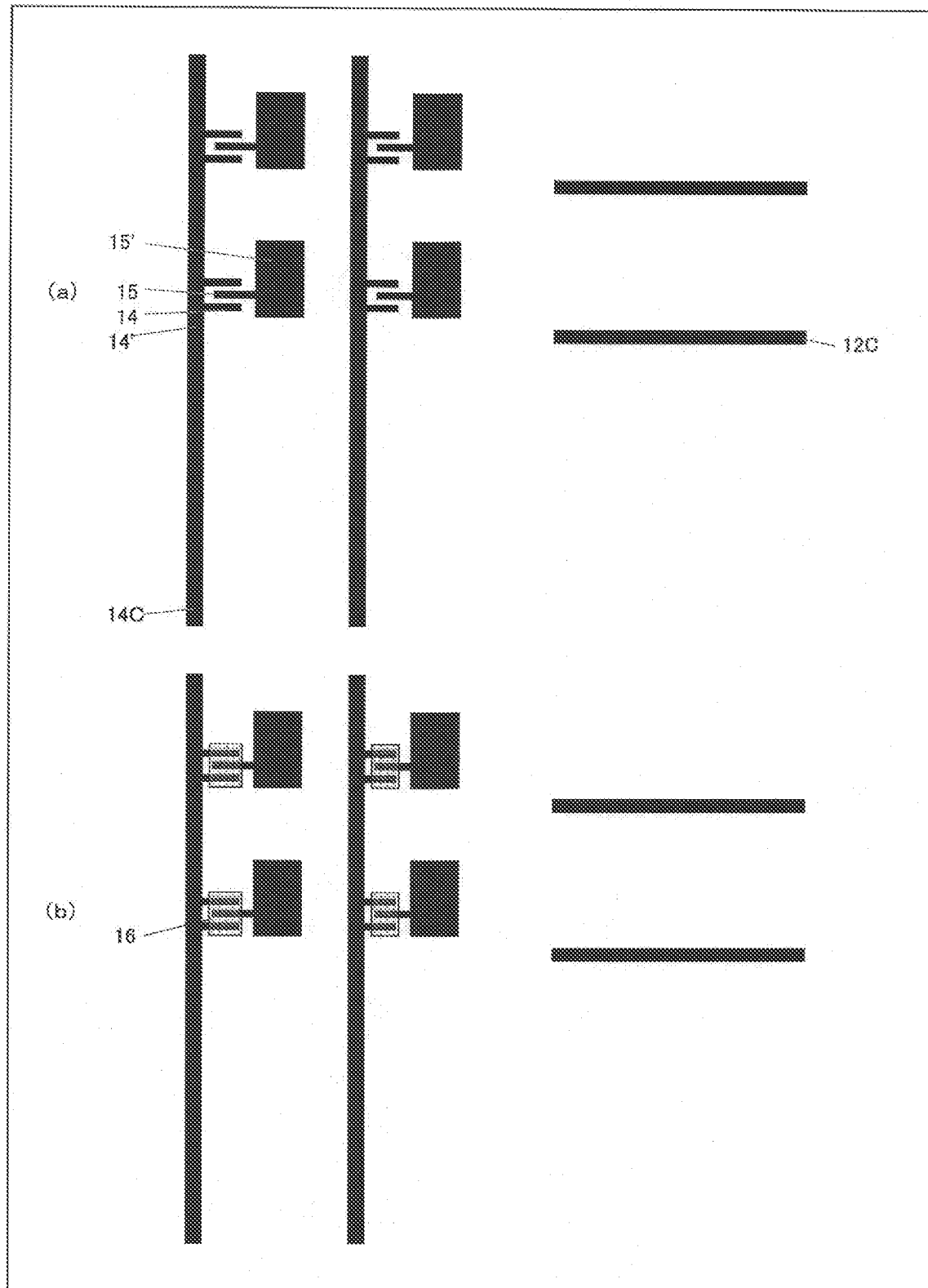
[図36]



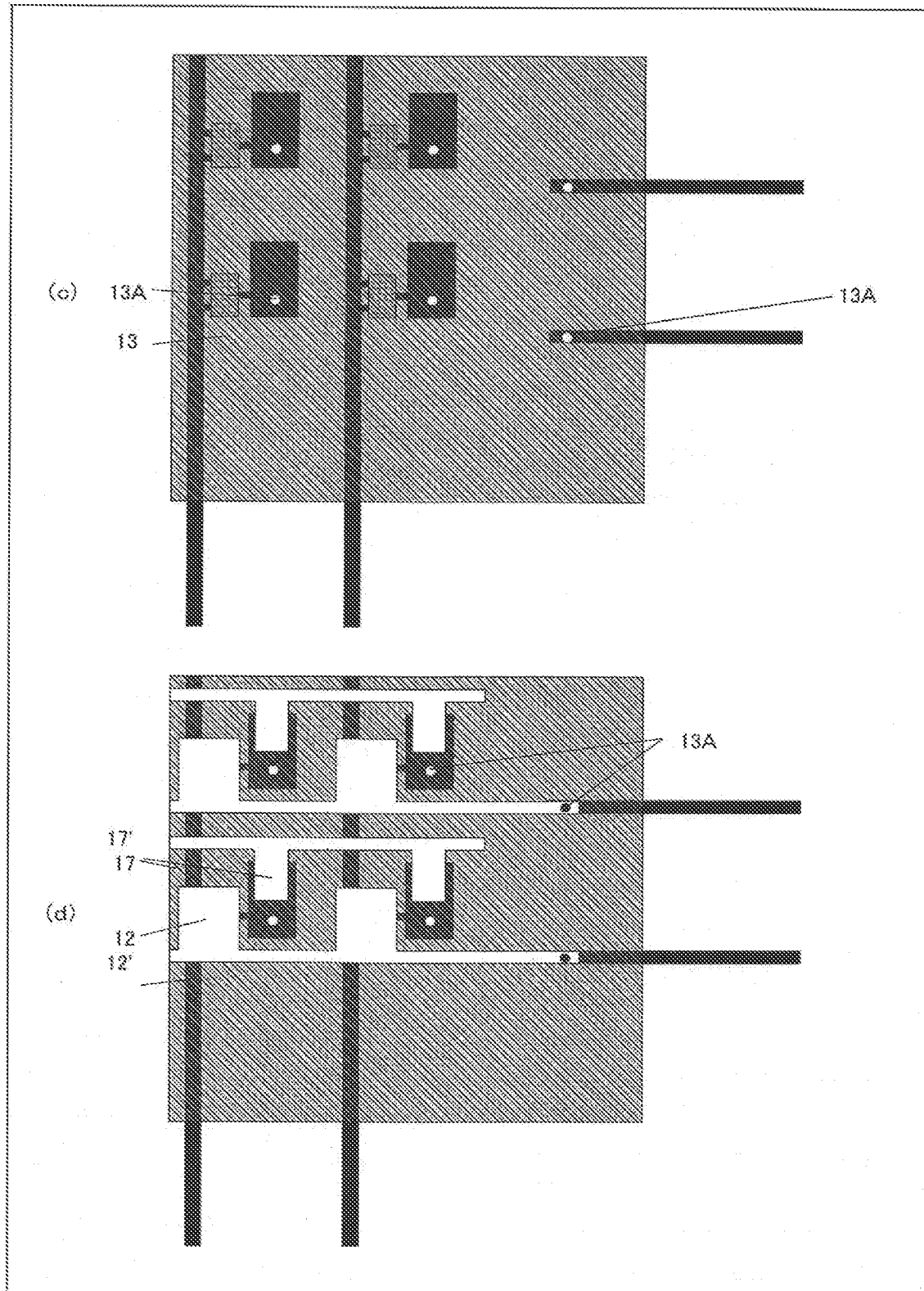
[図37]



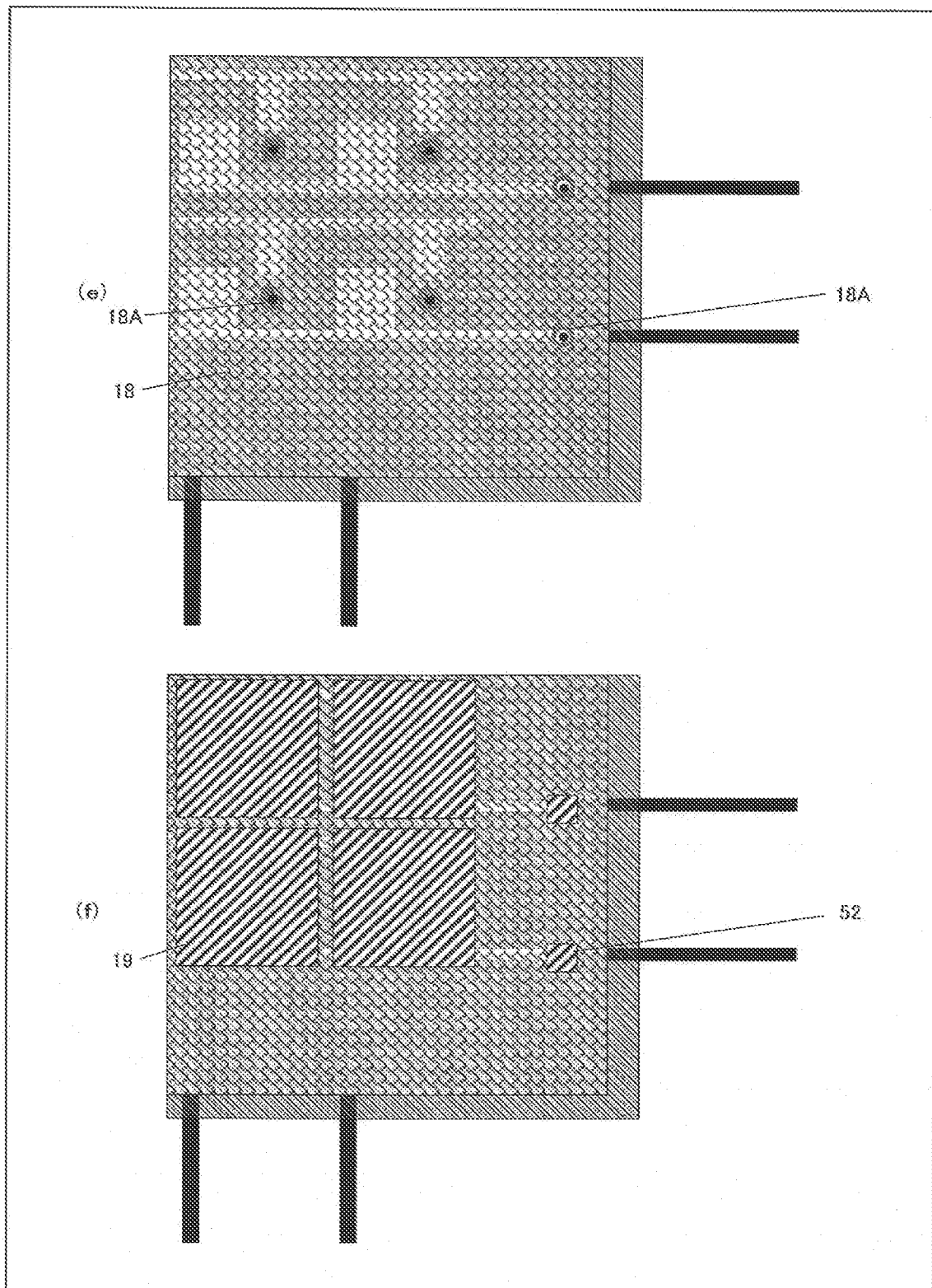
[図38]



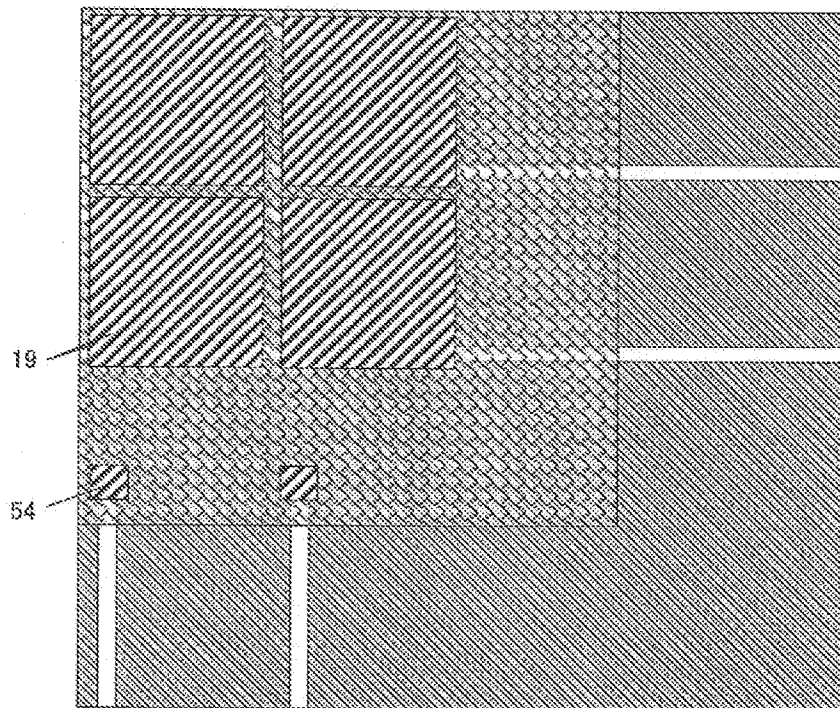
[図39]



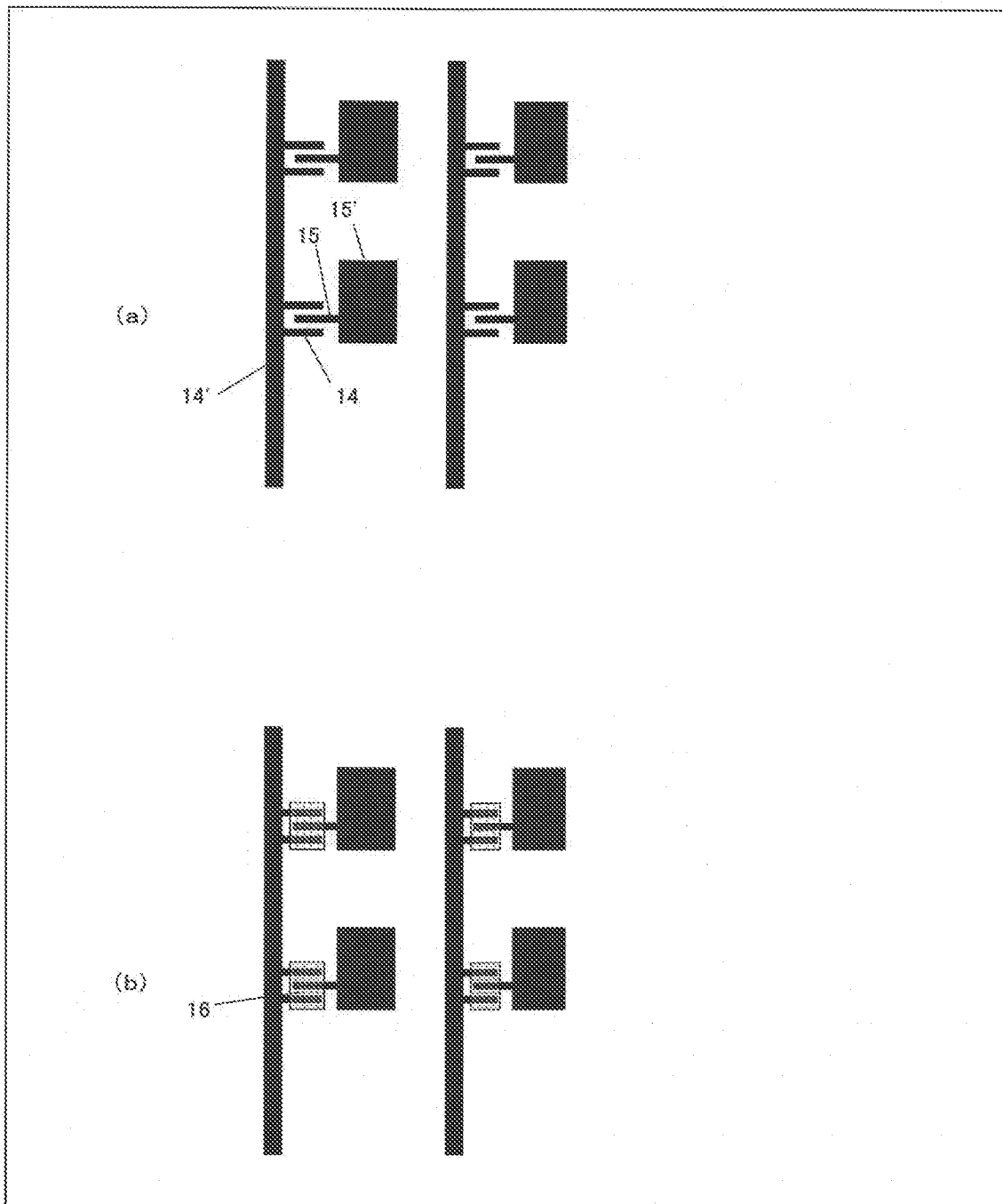
[図40]



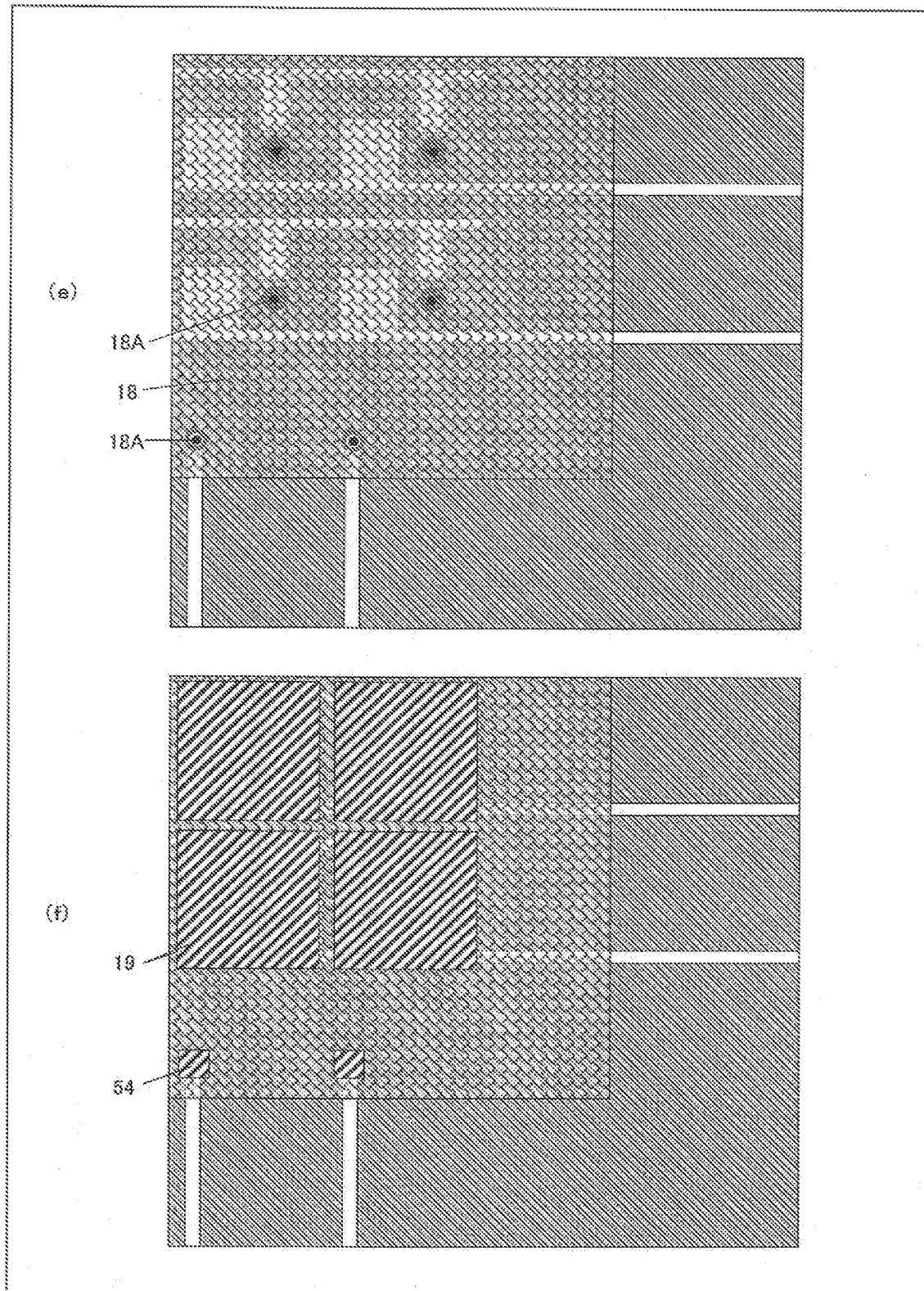
[図41]



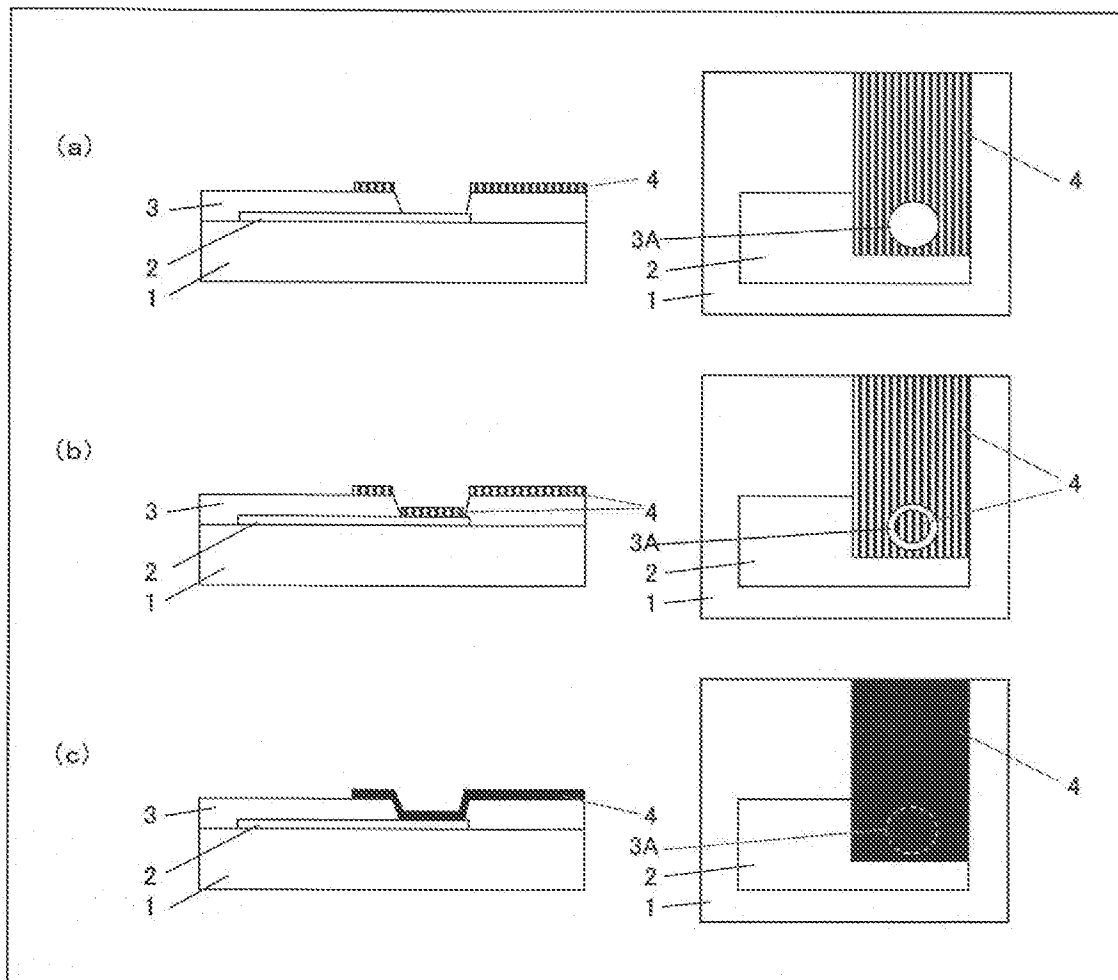
[図42]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005125

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, G09F9/30(2006.01)i, H01L21/822(2006.01)i,
H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, G09F9/30, H01L21/822, H01L23/522, H01L27/04, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-56356 A (Sony Corp.), 11 March 2010 (11.03.2010), paragraphs [0017] to [0033]; fig. 1 (Family: none)	1 2-21
A	JP 10-12735 A (Semiconductor Energy Laboratory Co., Ltd.), 16 January 1998 (16.01.1998), entire text & US 6040589 A	1-21
A	JP 2012-28761 A (Semiconductor Energy Laboratory Co., Ltd.), 09 February 2012 (09.02.2012), entire text & US 2011/0318889 A1 & KR 10-2012-0000497 A	1-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 September, 2013 (12.09.13)

Date of mailing of the international search report
24 September, 2013 (24.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-88121 A (Seiko Epson Corp.), 18 March 2004 (18.03.2004), entire text (Family: none)	1-21
A	JP 2010-212326 A (Seiko Epson Corp.), 24 September 2010 (24.09.2010), entire text (Family: none)	1-21
A	JP 2010-258334 A (Hitachi, Ltd.), 11 November 2010 (11.11.2010), entire text (Family: none)	1-21

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/768(2006.01)i, G09F9/30(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/768, G09F9/30, H01L21/822, H01L23/522, H01L27/04, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-56356 A（ソニー株式会社）2010.03.11, [0017]-[0033], [図1]（ファミリーなし）	1 2-21
A	JP 10-12735 A（株式会社半導体エネルギー研究所）1998.01.16, 全文 & US 6040589 A	1-21
A	JP 2012-28761 A（株式会社半導体エネルギー研究所）2012.02.09, 全文 & US 2011/0318889 A1 & KR 10-2012-0000497 A	1-21

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 9 . 2 0 1 3

国際調査報告の発送日

2 4 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河合 俊英

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

3 2 3 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-88121 A (セイコーエプソン株式会社) 2004.03.18, 全文 (ファミリーなし)	1-21
A	JP 2010-212326 A (セイコーエプソン株式会社) 2010.09.24, 全文 (ファミリーなし)	1-21
A	JP 2010-258334 A (株式会社日立製作所) 2010.11.11, 全文 (ファ ミリーなし)	1-21