

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96132093

※ 申請日期：2007 年 8 月 29 日

※IPC 分類：

H01L 23/60(2006.01)

一、發明名稱：(中文/英文)

複合半導體元件與電路之靜電放電保護電路

ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT FOR
COMPOUND SEMICONDUCTOR DEVICES AND CIRCUITS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·翠昆特半導體股份有限公司

TriQuint Semiconductor, Inc.

代表人：(中文/英文)

福尼爾布魯斯

FOURNIER, BRUCE

住居所或營業所地址：(中文/英文)

美國俄勒岡州布魯克伍德東北林園大道 2300 號

2300 N.E. Brookwood Parkway, Hillsboro, OR 97124, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 平安德魯 T/PING, ANDREW T.

2. 歐伯納多明尼克 J/OGBONNAH, DOMINIC J.

國籍：(中文/英文)

1. 美國/USA

2.美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2006 年 8 月 30 日；11/512,951

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係關於一種裝置和方法，其係用於提供一複合半導體元件與電路之靜電放電保護電路。該靜電放電保護電路包括一第一終端和一第二終端。該靜電放電保護電路更包括一電晶體並聯元件，其係可操作地耦接於第一終端和第二終端之間；電晶體並聯元件能夠在第一終端和第二終端之間提供一雙向放電路徑。靜電放電保護電路更包括一關斷元件，其係可操作地與第二終端耦接；關斷元件能夠使電晶體並聯元件保持在關斷狀態。

六、英文發明摘要：

An apparatus and method is disclosed for providing an electrostatic discharge protection circuit for compound semiconductor devices and circuits. The electrostatic discharge protection circuit comprises a first terminal and a second terminal. The electrostatic discharge protection circuit further comprises a transistor shunt element that is operably coupled between the first terminal and the second terminal; the transistor shunt element is capable of providing a bi-directional discharge path between the first terminal and the second terminal. The electrostatic discharge protection circuit further comprises a shut-off element that is operably coupled with the second terminal; the shut-off element is capable of keeping the transistor shunt element turned-off.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本代表圖之元件代表符號簡單說明：

300	ESD 保護電路	310	終端
320	終端	330	觸發元件
340	關斷元件	350	串聯元件
360	電晶體並聯元件		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明之具體實施例通常係關於半導體元件，且尤其是關於複合半導體元件與電路之靜電放電保護電路。

【先前技術】

半導體元件和其他積體電路易受到靜電放電（ESD）事件之損害。例如，一 ESD 事件可在此等元件與電路之組裝和封裝期間發生，或者在終端產品中的此等元件與電路之正常操作期間發生。當一高電位電壓及電流被迅速地放電到元件或電路中時，ESD 事件發生，此通常導致在未針對 ESD 事件提供保護之元件及電路的破壞。

第 1 圖示出根據先前技術之 ESD 保護電路之示意圖。ESD 保護電路 100 包括一輸入/輸出墊（I/O pad）110，一內部電路 120 及串聯耦接至地之多重性二極體 130 及 140。在傳統的 ESD 保護電路中，通常係經由一系列二極體元件來消除 ESD 事件。在 ESD 保護電路 100 中可看出，其中二極體 130 及 140 係用於消除 ESD 事件，從而保護內部電路 120 免受 ESD 事件損害。

由於每個二極體的串聯電阻，故在放電路徑中使用二極體以消除 ESD 事件是不利的。ESD 保護元件在理想情況下應當具有最低可能的電阻以迅速消除 ESD 事件。當放電路徑中之二極體數量增加時，放電路徑中之電阻變得更

大。此影響 ESD 保護元件儘可能迅速地消除 ESD 事件的能力。

ESD 保護電路 100 之另一缺點是使用大的二極體（即，具有大的寬度的二極體）以便有效地消除 ESD 事件。這對於複合半導體場效電晶體 (FET) 技術中的二極體是非常正確的。尤其，大的二極體消耗包含 ESD 保護電路之組件相當大的面積。因此，該組件必然較大，尤其增加組件的成本。

第 2 圖是根據先前技術說明 ESD 保護電路之電流對電壓之傳輸線脈衝特性 210 之圖表 200。該傳輸線脈衝特性 210 反映 ESD 保護電路之放電路徑中二極體的存在。在傳輸線脈衝特性 210 中能看到一放電路徑中之大的串聯電阻，在其中電流驅散對於電壓有增加影響。

美國專利號 4,930,036（簡稱 '036 專利案）說明先前技術 ESD 保護電路，其試圖解決上述若干缺點。'036 專利案中之 ESD 保護電路係使用一電晶體及一電阻器，而不在放電路徑中使用多重二極體。然而，電阻器將電阻增加到放電路徑中。因此，使用電晶體及電阻器而不使用多重二極體基於上述原因仍是不利。另外，'036 專利案中之 ESD 保護電路需要兩個電源，包括一低位準電壓供應器及一高位準電壓供應器。尤其是電源的需求增加了 ESD 保護電路的複雜性及成本，因為需要額外終端將電源連接到 ESD 保護電路。

美國專利申請案公開號 2004/0057172（簡稱 '172 公開

案)說明另一先前技術 ESD 保護電路。在 '172 公開案中，係使用異質接面雙極性電晶體(HBT)技術執行 ESD 保護電路。此 ESD 保護電路之一缺點是，此 ESD 保護電路需要兩個分離的放電路徑，一個用於消除正的 ESD 事件及另一個用於消除負的 ESD 事件。尤其是兩個放電路徑的存在增加 ESD 保護電路的複雜性、消耗空間及增加 ESD 保護電路的成本。另外，'172 公開案中之 ESD 保護電路使用至少一個與放電路徑中之電晶體串聯之二極體。此增加放電路徑中之串聯電阻，如上所述，此係為 ESD 保護電路之缺點。

【發明內容】

一種靜電放電(ESD)保護電路，其包括：一第一終端及一第二終端；一電晶體並聯元件(shunt element)，其可操作地耦接於第一終端與第二終端之間，電晶體並聯元件能夠在第一終端與第二終端之間提供一雙向放電路徑；以及一關斷元件，其可操作地與第二終端耦接，關斷元件能夠使電晶體並聯元件保持關斷狀態。

一種為一積體電路提供靜電放電保護之半導體元件，該元件包括：一第一終端及一第二終端，其中第一終端能夠可操作地與積體電路耦接，且第二終端能夠可操作地與一地耦接；一電晶體並聯元件，係可操作地耦接於第一終端與第二終端之間，電晶體並聯元件能夠提供一雙向放電路徑以消除一 ESD 事件；一關斷元件，係可操作地與第二終端耦接，關斷元件能夠使電晶體並聯元件保持關斷狀

態；以及一串聯元件，係可操作地耦接於電晶體並聯元件與關斷元件之間，串聯元件能夠限制流入電晶體並聯元件之一閘極的電流。

一種為積體電路提供 ESD 保護之方法，該方法包括：偵測一 ESD 保護電路之一第一終端之一電壓；相應於該電壓之偵測而開啓 ESD 保護電路之一觸發元件；相應於開啓的觸發元件而開啓 ESD 保護電路之一電晶體並聯元件；以及經由電晶體並聯元件而提供由第一終端至一第二終端的一放電路徑以消除一 ESD 事件。

【實施方式】

將參考下方本發明之具體實施例的詳細描述。熟悉此項技術者將認識到本發明之具體實施例提供許多僅是說明性的而非解釋為限制性的發明構思及新穎特徵。因此，這裡所描述的特殊具體實施例係作為範例而不限制本發明之具體實施例的範圍。另外，熟悉此項技術者應瞭解為了說明之目的，提出眾多特殊詳細資料，雖然本發明之具體實施例可在沒有此等特殊詳細資料被實施，及已經忽略某些特徵以便更清晰地說明本發明之具體實施例。

第 3 圖說明根據本發明之一具體實施例的靜電放電 (ESD) 保護電路 300 之方塊圖。ESD 保護電路 300 包括終端 310 及 320、一觸發元件 330、一關斷元件 340、一串聯元件 350 及一電晶體並聯元件 360。觸發元件 330、關斷元件 340、串聯元件 350 及電晶體並聯元件 360 提供一最小

電阻放電路徑，以便 ESD 事件不會損害元件或積體電路，該等元件或積體電路可與終端 310 及終端 320 耦接。如下所詳述的，當發生一橫跨終端 310 及終端 320 之 ESD 事件時，觸發元件 330 啟動電晶體並聯元件 360 以消除該 ESD 事件。

觸發元件 330 能設定電晶體並聯元件 360 之開啓電壓值，即，使電晶體並聯元件 360 開啓並啟動以消除一 ESD 事件的電壓。觸發元件 330 中的二極體數量可用於建立該開啓電壓位準。關斷元件 340 使 ESD 放電路徑在正常操作期間保持關閉狀態，直到達到電晶體並聯元件 360 之開啓電壓時才可使用之。串聯元件 350 能限制流入電晶體並聯元件 360 之開極電流。電晶體並聯元件 360 提供一雙向放電路徑，例如，經由電晶體並聯元件 360 之汲極及源極以便消除一 ESD 事件。

本發明之具體實施例結合一正的 ESD 事件操作，其中終端 310 之電位高於終端 320 之電位，或者結合一負的 ESD 事件操作，其中終端 320 之電位高於終端 310 之電位。ESD 事件之極性決定終端 310 及 320 之間的放電方向。例如，如果發生正的 ESD 事件，觸發元件 330 為開啓電晶體並聯元件 360 之元件，但是如果發生負的 ESD 事件，關斷元件 340 則變成開啓電晶體並聯元件 360 之元件。因此，根據本發明具體實施例之原理，ESD 保護電路 300 為橫跨終端 310 及 320 之 ESD 事件提供一雙向放電路徑。與一正的 ESD

事件情況相似，串聯元件 350 能在一負的 ESD 事件期間限制流入電晶體並聯元件 360 之閘極電流。

在本發明之一具體實施例中，使用假型高電子遷移率電晶體 (pHEMT) 技術製造 ESD 保護電路 300，該技術係一複合半導體場效電晶體 (FET) 技術。然而，可使用其他複合半導體 FET 技術來製造 ESD 保護電路 300，例如，包括但不限於為金屬半導體場效電晶體 (MESFET)、接面場效電晶體 (JFET)、高電子遷移率電晶體 (HEMT)、變晶性高電子遷移率電晶體 (mHEMT)、異質結構場效電晶體 (HFET)、調變摻雜場效電晶體 (MODFET) 或任何其他適合的複合半導體 FET 技術。用於製造 ESD 保護電路 300 之複合半導體材料可包括諸如砷化鎵 (GaAs)、磷化銦 (InP)、氮化鎵 (GaN) 及其衍生物，例如，諸如砷化鋁鎵 (AlGaAs)、砷化銦鎵 (InGaAs)、磷化銦鎵 (InGaP)、砷化銦鋁 (InAlAs)、氮化鋁鎵 (AlGaN)、氮化銦鎵 (InGaN)、銻砷化鎵 (GaAsSb)、氮砷化銦鎵 (InGaAsN) 及砷化鋁 (AlAs)。在本發明之一具體實施例中，ESD 保護電路 300 形成於一砷化鎵基板上。然而，ESD 保護電路 300 可形成於其他類型的基板上，例如磷化銦 (InP) 及氮化鎵 (GaN)。

在本發明之一具體實施例中，終端 310 可與一欲防止其發生 ESD 事件之元件或一積體電路耦接，而終端 320 可耦接至地。在本發明之另一具體實施例中，終端 320 可與一參考電位耦接，而不與地耦接。例如，該參考電位可提供一額外電壓電位以增加或減少該開啓電壓位準，如下面

更詳細的說明。額外地或可選擇性地，終端 310 可與一鉀墊、輸入/輸出引腳或任何其他與 ESD 保護電路 300 相關的連接耦接，而終端 320 可與另一鉀墊、輸入/輸出引腳或任何其他與 ESD 保護電路 300 相關的連接耦接。

在本發明之一具體實施例中，電晶體並聯元件 360 係一增強型 pHEMT。儘管電晶體並聯元件 360 被描述為一增強型 pHEMT，但本發明之具體實施例係可預期為諸如 MESFET、jFET、HEMT、mHEMT、HFET、MODFET 或任何其他適合的複合半導體 FET 之任何適合的增強型 FET。

本發明之具體實施例基於電壓控制並結合一閘極-源極之間的電壓而啟動電晶體並聯元件 360。即，電壓係施加至電晶體並聯元件 360 之閘極，及如果該閘極-源極電壓之量值低於電晶體並聯元件 360 之臨界電壓，那麼電晶體並聯元件 360 被關閉。關斷元件 340 使電晶體並聯元件 360 之閘極-源極電壓保持在電晶體並聯元件 360 之臨界電壓之下，直到達到基於觸發元件 330 所建立的開啓電壓。

如上所述，可使用觸發元件 330 中的二極體設定該 ESD 保護電路 300 之開啓電壓。然而，不同於先前技術，在放電路徑中未使用二極體或電阻器。本發明之具體實施例使用電晶體並聯元件 360 來放電該 ESD 事件。尤其是，此減少本發明之具體實施例的放電路徑中之串聯電阻，使得本發明之具體實施例儘可能迅速地消除 ESD 事件。另外，由於二極體不能消除 ESD 事件，故在放電路徑中並未使用二極體，相對於在先前技術 ESD 保護電路之放電路徑

中使用的此等二極體，可使用較小的二極體。尤其是，相對於先前技術之 ESD 保護電路，此減小 ESD 保護電路 300 的尺寸。

另外，本發明之具體實施例對於正的及負的 ESD 事件具有一個放電路徑，而不是像若干先前技術 ESD 保護電路具有兩個放電路徑。尤其是，此減少本發明之具體實施例的複雜性，減少消耗空間及組件成本，而該組件包含本發明之具體實施例的 ESD 保護電路。此外，不同於若干先前技術 ESD 保護電路，本發明之具體實施例不需要使用電源供應器，尤其是，根據本發明之具體實施例，此減少 ESD 保護電路的複雜性及成本。

第 4 圖根據本發明之具體實施例說明一電流相對於電壓之傳輸線脈衝特性 410 之圖表 400。如上所述，在一 ESD 事件期間，ESD 保護電路 300 提供一放電路徑，以使 ESD 事件不會損害元件和/或積體電路。該 ESD 保護電路中之放電路徑是一接地之低電阻路徑，其允許經由電晶體並聯元件 360 迅速消除 ESD 事件。因此，第 4 圖中可以看出 ESD 保護電路 300 消除增加之電流，但僅對電壓有極小的影響。

對於第 4 圖中之傳輸線脈衝特性 410，觸發元件 330 提供一約 10 伏特之開啓電壓。一旦超過該開啓電壓，在電壓為 10 伏特的情況下，該傳輸線脈衝特性 410 顯示為驟迴崩潰 (snap back)。該驟迴崩潰電壓係藉由電晶體並聯元件 360 之構造決定。

第 5A-5I 圖說明根據本發明具體實施例之第 3 圖中的 ESD 保護電路 300。如上所述，ESD 保護電路 300 包括終端 310 及 320、觸發元件 330、關斷元件 340、串聯元件 350 及電晶體並聯元件 360。另外，該電晶體並聯元件 360 之汲極與終端 310 耦接，該電晶體並聯元件 360 之源極與終端 320 耦接，及該電晶體並聯元件 360 之閘極與串聯元件 350 耦接。

在第 5A 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。在第 5A-5I 圖中，二極體 D1、D2、...DN 可是任何的二極體，例如，但不限於為蕭特基二極體 (Schottky diode)。附加地或可選擇地，可使用連接在二極體組態中之電晶體來執行第 5A-5I 圖中之二極體 D1、D2、...DN，即，電晶體之閘極連接至電晶體之源極。附加地或可選擇地，在第 5A-5H 圖中，例如但不限於如第 5I 圖中所示的電阻器之組件可與二極體 D1、D2、...DN 串聯耦接。

在第 5A 圖中，關斷元件 340 包括一與閘極-源極-耦接電晶體 370 耦接之電阻器 R1 (其中閘極-源極-耦接電晶體 370 的閘極與其源極耦接)，該閘極-源極-耦接電晶體 370 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。在一個具體實施例中，閘極-源極-耦接電晶體 370 是一空乏型 FET (depletion-mode FET)。然而，本發明之具體實施例不限於閘極-源極-耦接電晶體 370 即是一空乏型 FET。串聯元件 350 包括一串聯電阻器 R2，該電阻器 R2

與電晶體並聯元件 360 之間極及觸發元件 330 及關斷元件 340 耦接。

在第 5B 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。關斷元件 340 包括一與閘極-源極-耦接電晶體 370 耦接之電阻器 R1，而該閘極-源極-耦接電晶體 370 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。串聯元件 350 包括一短路，該短路提供電晶體並聯元件 360 之間極至觸發元件 330 與關斷元件 340 之間的一直接連接。

在第 5C 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。關斷元件 340 包括一電阻器 R1，電阻器 R1 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。如第 5H 圖中所示，關斷元件 340 亦可包括一閘極-源極-耦接電晶體 370，該閘極-源極-耦接電晶體 370 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。串聯元件 350 包括一串聯電阻器 R2，該電阻器 R2 與該電晶體並聯元件 360 之間極、觸發元件 330 及關斷元件 340 耦接。

在第 5D 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。關斷元件 340 包括一電阻器 R1，該電阻器 R1 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。串聯元件 350 包括一短路，該短路提供電晶體並聯元

件 360 之閘極至觸發元件 330 與關斷元件 340 之間的一直接連接。

在第 5E 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。關斷元件 340 包括一源極-電阻器-耦接電晶體 380，其中該源極-電阻器-耦接電晶體 380 之源極與一電阻器 R1 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320，且其中該源極-電阻器-耦接電晶體 380 之閘極與終端 320 耦接。在一個具體實施例中，源極-電阻器-耦接電晶體 380 是一空乏型 FET。然而，本發明之具體實施例不限於源極-電阻器-耦接電晶體 380 即是一空乏型 FET。串聯元件 350 包括一短路，該短路提供電晶體並聯元件 360 之閘極至觸發元件 330 與關斷元件 340 之間的一直接連接。

在第 5F 圖中，觸發元件 330 包括複數個從終端 310 串聯耦接至關斷元件 340 及串聯元件 350 之二極體 D1、D2、...DN。關斷元件 340 包括一與閘極-源極-耦接電晶體 370 耦接之電阻器 R1，該閘極-源極-耦接電晶體 370 在觸發元件 330 與串聯元件 350 之間串聯耦接終端 320。串聯元件 350 包括複數個二極體 E1...EN，該等複數個二極體 E1...EN 從該電晶體並聯元件 360 串聯耦接至觸發元件 330 及關斷元件 340。

在第 5G 圖中，觸發元件 330 包括一與複數個二極體 D1、D2、...DN 耦接之閘極-源極-耦接電晶體 370，該等複數個二極體 D1、D2、...DN 從終端 310 串聯耦接至關斷元

件 340 及串聯元件 350。關斷元件 340 包括一與閘極-源極-耦接電晶體 370 耦接之電阻器 R1，而該閘極-源極-耦接電晶體 370 在觸發元件 330 與串聯元件 350 之間串聯耦接至終端 320。串聯元件 350 包括一串聯電阻器 R2，該電阻器 R2 與該電晶體並聯元件 360 之閘極、觸發元件 330 及關斷元件 340 耦接。

在本發明之一具體實施例中，觸發元件 330 之該等複數個二極體 D1、D2、...DN 是用於控制或設定該電晶體並聯元件 360 之開啓電壓。例如，藉由增加或減少觸發元件 330 之二極體數量（即，D1、D2、...DN），則可調整及控制該開啓電壓。作為一非限制性實例，該開啓電壓可藉由增加串聯耦接的二極體之數量而增加，或在一替代具體實施例中，該開啓電壓可藉由減少串聯耦接的二極體之數量而減少。本發明之具體實施例預期使用任何類型之二極體，包括但不限於蕭特基二極體。

如上所述，關斷元件 340 使該 ESD 放電路徑（且尤其是電晶體並聯元件 360）在正常操作期間（即，當正在操作的電壓小於該開啓電壓）保持關斷狀態。然而，在一負的 ESD 事件期間，關斷元件 340 變成開啓電晶體並聯元件 360 之元件，從而提供雙向 ESD 放電保護。另外，如上所述，串聯元件 350 可用於限制流入電晶體並聯元件 360 之閘極電流。

儘管，ESD 保護電路 300 係顯示和描述為具有一特殊組件排列，但是本發明之具體實施例係預期本文中任何組件排列和/或任何組件組合以執行 ESD 保護。

第 6 圖係根據本發明之一具體實施例說明 ESD 保護電路 600。在一個具體實施例中，ESD 保護電路 600 包括終端 310 及 320、關斷元件 340、串聯元件 350 及電晶體並聯元件 360。關斷元件 340 包括一串聯於串聯元件 350 與終端 320 之間的電阻器 R1。串聯元件 350 包括一短路，該短路在電晶體並聯元件 360 與關斷元件 340 之間提供一直接連接。

在 ESD 保護電路 600 中，處於消除一 ESD 事件之電晶體並聯元件 360 的電壓係藉由電晶體並聯元件 360 和關斷元件 340 之電阻器 R1 之特徵決定。儘管關斷元件 340 和串聯元件 350 被顯示和描述為包括特殊組件，本發明之具體實施例係預期本文中任何組件排列和/或本文中任何組件組合以執行 ESD 保護。例如，上述第 5A-5I 圖中之任何關斷元件 340 及/或串聯元件 350 可以與 ESD 保護電路 600 一同使用。

第 7 圖說明根據本發明之具體實施例用於複合半導體元件及電路之 ESD 保護過程之流程圖 700。如上所述，終端 310 可與一欲防止其發生 ESD 事件之元件或一積體電路耦接，而終端 320 可與一地或除了接地以外之其他參考電位耦接。因此，在 ESD 保護電路 300 操作地與一待保護之元件或積體電路耦接之後，流程圖 700 則開始於步驟 702，

ESD 保護電路於正常操作狀態下進行操作（即，當該操作電壓低於開啓電壓時）。

在步驟 704，ESD 保護電路 300 遇到一 ESD 事件，並在例如終端 310 處偵測到高於開啓電壓值的一電壓。如上所述，藉由增加或減少觸發元件 330 之二極體數量（即 D1、D2、...DN），該開啓電壓可被調整及控制。在步驟 706，開啓觸發元件 330，及在步驟 708，開啓電晶體並聯元件 360。該過程在步驟 710 繼續，其中電晶體並聯元件 360 提供一最小電阻放電路徑以消除該 ESD 事件，藉此，ESD 事件則不會損害與終端 310 及 320 耦接之元件或積體電路。

一旦終端 310 上的電壓再一次低於該開啓電壓，該過程在步驟 712 結束。如上所述，本發明之具體實施例可結合一正 ESD 事件或負 ESD 事件而操作。因此，儘管如前所述，ESD 事件之發生係與終端 310 相關。但是，ESD 保護電路 300 為在終端 310 或終端 320 發生的正或負 ESD 事件提供一雙向放電路徑。

上述說明中提及“一具體實施例”時，是指結合該具體實施例所描述之一特定元件、結構或特性，其包含於本發明之至少一具體實施例中。在說明書中所出現的“在一具體實施例中”無須指向同一具體實施例。

雖然已經顯示和描述本發明之具體實施例，應瞭解，在不脫離本發明之具體實施例之精神與範圍情況下，對於熟悉此項技術者，前述具體實施例之各種變更和修改可變

得清晰。因此，本發明並非由所揭示的具體實施例限制，而是由所附申請專利範圍和其等效物來限制。

【圖式簡單說明】

在所附申請專利範圍中提出的該等新穎特徵被認為是本發明之具體實施例的特性。然而，當結合所附圖式閱讀時，藉由參考上方詳細描述將更瞭解本發明之具體實施例，其中本發明之具體實施例係僅作為實例而非作為限制之用，在隨附圖式的圖中，相似的元件符號係用於指出相似元件。

第 1 圖係繪示根據先前技術之一靜電放電(ESD)保護電路之示意圖。

第 2 圖係繪示根據先前技術之 ESD 保護電路的電流相對於電壓之傳輸線脈衝特性圖表。

第 3 圖係繪示根據本發明之一具體實施例之一 ESD 保護電路之方塊圖。

第 4 圖係繪示根據本發明之具體實施例的電流相對於電壓之傳輸線脈衝特性圖表。

第 5A-5I 圖係繪示根據本發明之具體實施例的第 3 圖之 ESD 保護電路。

第 6 圖係繪示根據本發明之另一具體實施例之一 ESD 保護電路。

第 7 圖係繪示根據本發明之具體實施例的複合半導體元件與電路之 ESD 保護過程之流程圖。

【主要元件符號說明】

- 100 ESD 保護電路
- 110 輸入/輸出墊
- 120 內部電路
- 130 (多重性)二極體
- 140 (多重性)二極體
- 200 圖表
- 210 傳輸線脈衝特性
- 300 ESD 保護電路
- 310 終端
- 320 終端
- 330 觸發元件
- 340 關斷元件
- 350 串聯元件
- 360 電晶體並聯元件
- 370 閘極-源極-耦接電晶體
- 380 源極-電阻器-耦接電晶體
- 400 圖表
- 410 傳輸線脈衝特性
- 600 ESD 保護電路
- 700 流程圖
- 702、704、706、708、710、712 步驟

十、申請專利範圍：

1. 一種靜電放電(ESD)保護電路，其包括：

一第一終端及一第二終端；

一電晶體並聯元件(shunt element)，其可操作地耦接於該第一終端與該第二終端之間，該電晶體並聯元件能夠在該第一終端與該第二終端之間提供一雙向放電路徑以用於正的及負的 ESD 事件兩者，其中該電晶體並聯元件是一增強型複合式半導體場效電晶體(FET)；以及

一關斷元件，其可操作地與該第二終端耦接，該關斷元件能夠使該電晶體並聯元件保持關斷狀態

其中該 ESD 保護電路使用一高速電子移動電晶體(HEMT)技術來製造。

2. 如申請專利範圍第 1 項所述之電路，其更包括一串聯元件，該串聯元件係可操作地耦接於該電晶體並聯元件與該關斷元件之間，該串聯元件能夠限制流入該電晶體並聯元件之一閘極的電流。

3. 如申請專利範圍第 2 項所述之電路，其中該關斷元件包括一電阻器，該電阻器係可操作地串聯耦接於該串聯元件與該第二終端之間。

4. 如申請專利範圍第 2 項所述之電路，其中該關斷元件包括一閘極-源極-耦接電晶體(gate-source-coupled

transistor)，該閘極-源極-耦接電晶體係可操作地串聯耦接於該第二終端與該串聯元件之間。

5. 如申請專利範圍第 2 項所述之電路，其中該關斷元件包括一電阻器，該電阻器係可操作地串聯耦接於一閘極-源極-耦接電晶體與該串聯元件之間，其中該閘極-源極-耦接電晶體係可操作地與該第二終端串聯耦接，及其中該閘極-源極-耦接電晶體之一閘極係與該閘極-源極-耦接電晶體之一源極耦接。

6. 如申請專利範圍第 2 項所述之電路，其中該關斷元件包括一源極-電阻器-耦接電晶體 (source-resistor-coupled transistor)，該源極-電阻器-耦接電晶體係可操作地串聯耦接於一電阻器與該串聯元件之間，其中該電阻器和該源極-電阻器-耦接電晶體之一閘極係可操作地與該第二終端耦接。

7. 如申請專利範圍第 2 項所述之電路，其中該串聯元件包括一短路 (short circuit)，該短路係可操作地串聯耦接於該電晶體並聯元件與該關斷元件之間。

8. 如申請專利範圍第 2 項所述之電路，其中該串聯元件包括一電阻器，該電阻器係可操作地串聯耦接於該電晶體並聯元件與該關斷元件之間。

9. 如申請專利範圍第 2 項所述之電路，其中該串聯元件包括複數個二極體，該些二極體係可操作地串聯耦接於該電晶體並聯元件與該關斷元件之間。

10. 如申請專利範圍第 2 項所述之電路，其更包括一觸發元件，該觸發元件係可操作地耦接於該第一終端與該關斷元件之間，該觸發元件能夠提供一用以開啓該電晶體並聯元件之開啓電壓。

11. 如申請專利範圍第 10 項所述之電路，其中該觸發元件包括複數個二極體，該些二極體係可操作地串聯耦接於該第一終端、該關斷元件及該串聯元件之間。

12. 如申請專利範圍第 11 項所述之電路，其中該觸發元件更包括一電阻器，該電阻器係可操作地與複數個二極體串聯耦接。

13. 如申請專利範圍第 11 項所述之電路，其中該觸發元件更包括一閘極-源極-耦接電晶體，該閘極-源極-耦接電晶體係與該些二極體為串聯，其中該閘極-源極-耦接電晶體之一閘極與該閘極-源極-耦接電晶體之一源極耦接。

14. 如申請專利範圍第 10 項所述之電路，其中該關斷元件

包括一電阻器，該電阻器係可操作地串聯耦接於該第二終端、該觸發元件及該串聯元件之間。

15.如申請專利範圍第 10 項所述之電路，其中該關斷元件包括一閘極-源極-耦接電晶體，該閘極-源極-耦接電晶體係可操作地串聯耦接於該第二終端、該觸發元件及該串聯元件之間。

16.如申請專利範圍第 10 項所述之電路，其中該關斷元件包括一電阻器，該電阻器係可操作地串聯耦接於一閘極-源極-耦接電晶體、該觸發元件及該串聯元件之間，其中該閘極-源極-耦接電晶體係可操作地與該第二終端串聯耦接，且其中該閘極-源極-耦接電晶體之一閘極係與該閘極-源極-耦接電晶體之一源極耦接。

17.如申請專利範圍第 10 項所述之電路，其中該關斷元件包括一源極-電阻器-耦接電晶體，該源極-電阻器-耦接電晶體係可操作地串聯耦接於一電阻器、該觸發元件及該串聯元件之間，其中該電阻器和該源極-電阻器-耦接電晶體之一閘極係可操作地與該第二終端耦接。

18.如申請專利範圍第 10 項所述之電路，其中該串聯元件包括一短路，該短路係可操作地串聯耦接於該電晶體並聯元件、該觸發元件及該關斷元件之間。

19.如申請專利範圍第 10 項所述之電路，其中該串聯元件包括一電阻器，該電阻器係可操作地串聯耦接於該電晶體並聯元件、該觸發元件及該關斷元件之間。

20.如申請專利範圍第 10 項所述之電路，其中該串聯元件包括複數個二極體，該些二極體係可操作地串聯耦接於該電晶體並聯元件、該觸發元件及該關斷元件之間。

21.如申請專利範圍第 1 項所述之電路，其中該第一終端係可操作地與一欲防止其發生一 ESD 事件之積體電路耦接。

22.如申請專利範圍第 21 項所述之電路，其中該第二終端係可操作地與一地（ground）耦接。

23.如申請專利範圍第 21 項所述之電路，其中該第二終端係可操作地與一參考電壓耦接。

24.如申請專利範圍第 1 項所述之電路，其中該複合半導體場效電晶體包括選自以下材料所組成群組的材料：

砷化鎵；

磷化銦；

氮化鎵；

砷化鋁鎵；

砷化銦鎵；
 磷化銦鎵；
 砷化銦鋁；
 氮化鋁鎵；
 氮化銦鎵；
 銻砷化鎵；
 氮砷化銦鎵；以及
 砷化鋁。

25. 一種為一積體電路提供靜電放電保護之半導體元件，該元件包括：

一第一終端及一第二終端，其中該第一終端能夠可操作地與該積體電路耦接，且該第二終端能夠可操作地與一地耦接；

一電晶體並聯元件，係可操作地耦接於該第一終端與該第二終端之間，該電晶體並聯元件能夠提供一雙向放電路徑以消除正的及負的 ESD 事件兩者，其中該電晶體並聯元件是一增強型複合式半導體場效電晶體；

一關斷元件，係可操作地與該第二終端耦接，該關斷元件能夠使該電晶體並聯元件保持關斷狀態；以及

一串聯元件，係可操作地耦接於該電晶體並聯元件與該關斷元件之間，該串聯元件能夠限制流入該電晶體並聯元件之一閘極的電流。

其中該 ESD 保護電路使用一高速電子移動電晶體技

術來製造。

26.如申請專利範圍第 25 項所述之元件，更包括一觸發元件，該觸發元件係可操作地耦接於該第一終端、該關斷元件及該串聯元件之間，該觸發元件能夠控制一用於開啓該電晶體並聯元件之開啓電壓。

27.一種為積體電路提供 ESD 保護之方法，該方法包括：

偵測一 ESD 保護電路之一第一終端之一電壓；

相應於該電壓之偵測而開啓該 ESD 保護電路之一觸發元件；

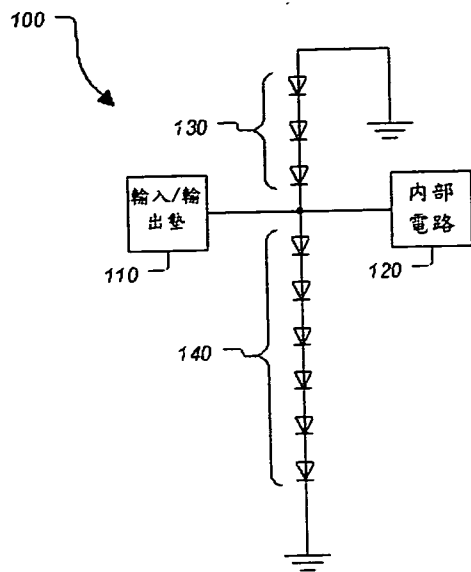
相應於開啓的該觸發元件而開啓該 ESD 保護電路之一電晶體並聯元件；以及

經由該電晶體並聯元件，而提供該第一終端以及一第二終端之間的一雙向放電路徑以消除正的及負的 ESD 事件兩者，其中該電晶體並聯元件是一增強型複合式半導體場效電晶體且該 ESD 保護電路使用一高速電子移動電晶體技術來製造。

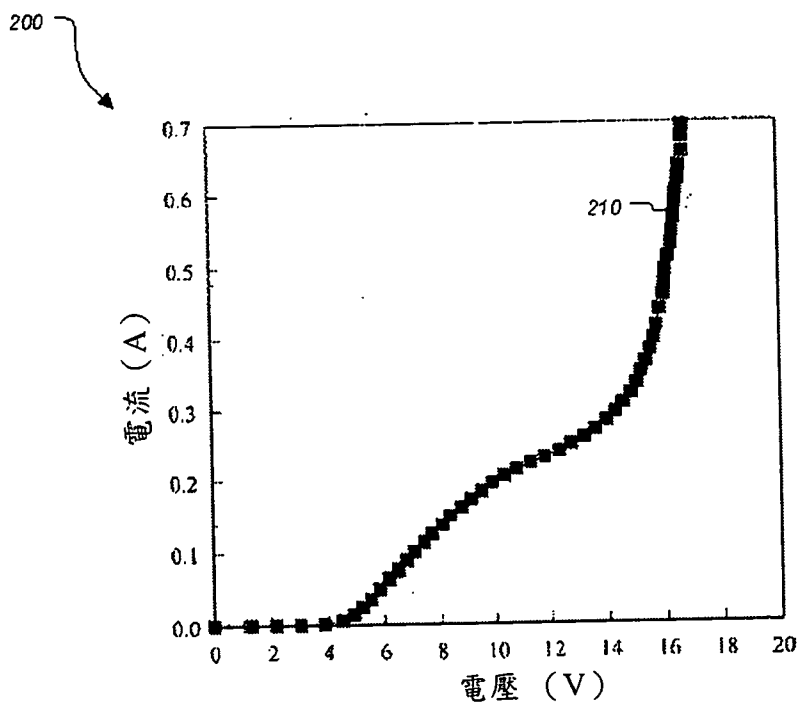
28.如申請專利範圍第 27 項所述之方法，更包括：

使該電晶體並聯元件保持關斷狀態直到偵測到該電壓；以及

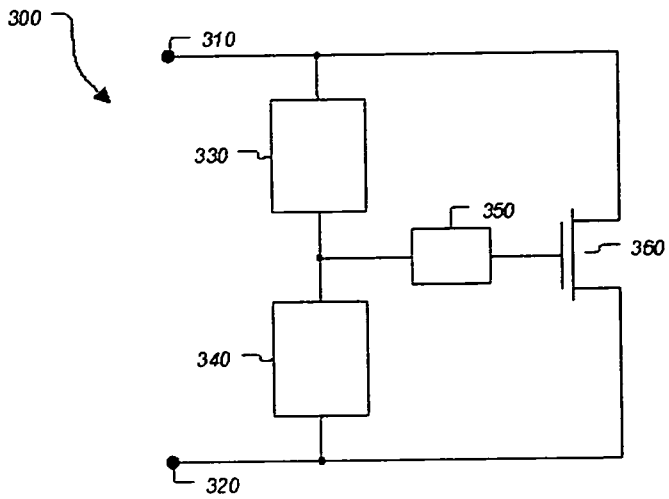
限制流入該電晶體並聯元件之一閘極的電流。



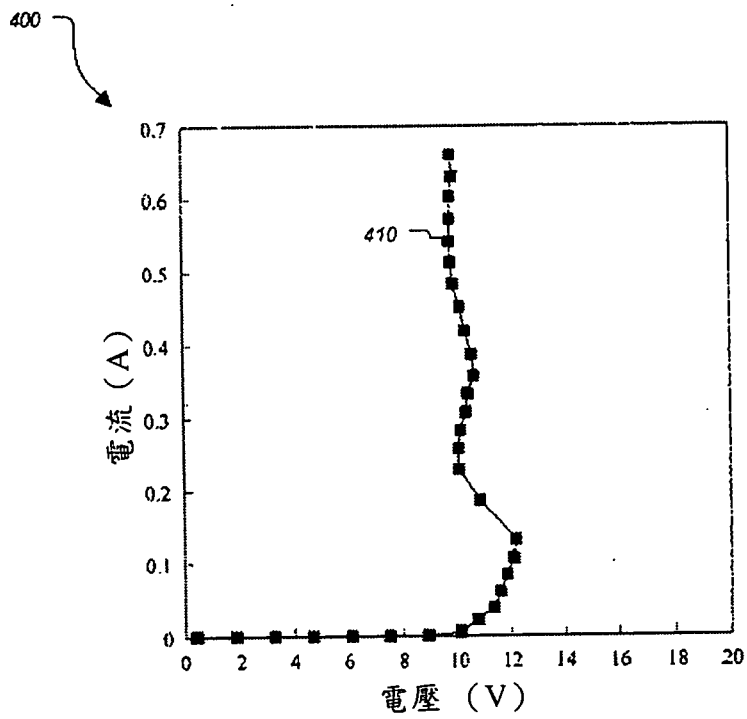
第 1 圖 (先前技術)



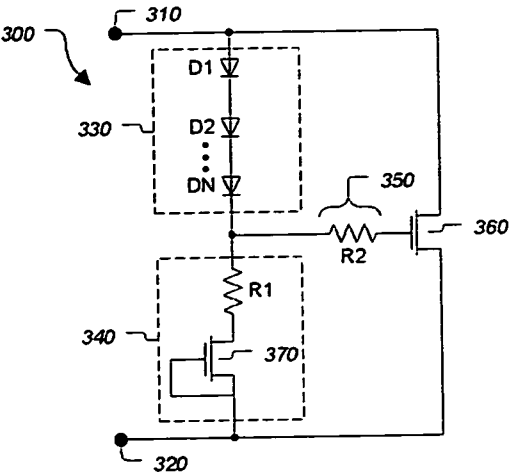
第 2 圖 (先前技術)



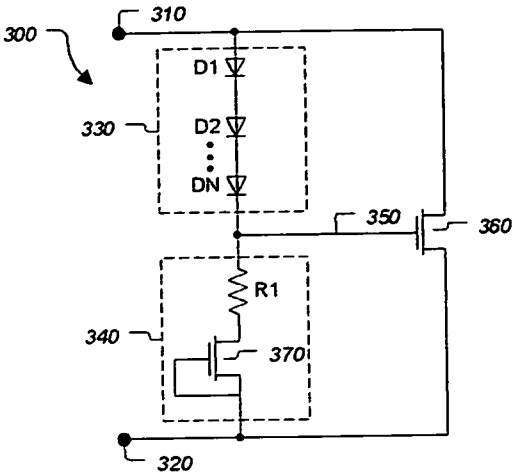
第 3 圖



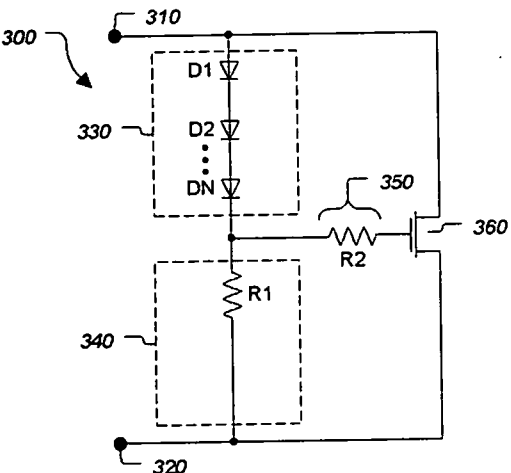
第 4 圖



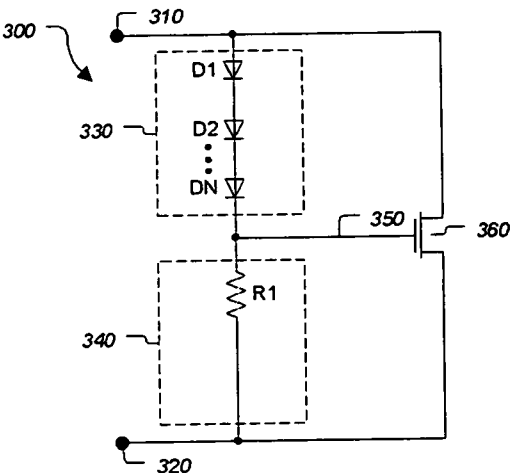
第 5A 圖



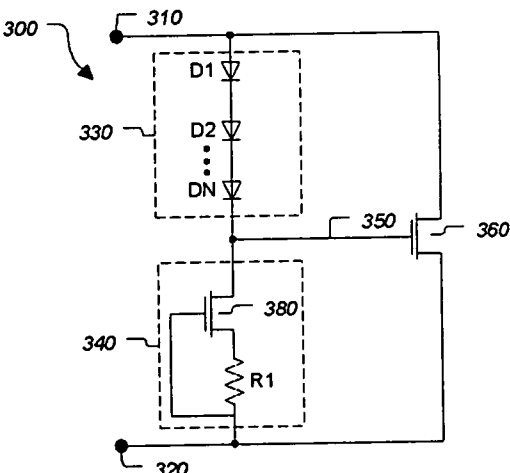
第 5B 圖



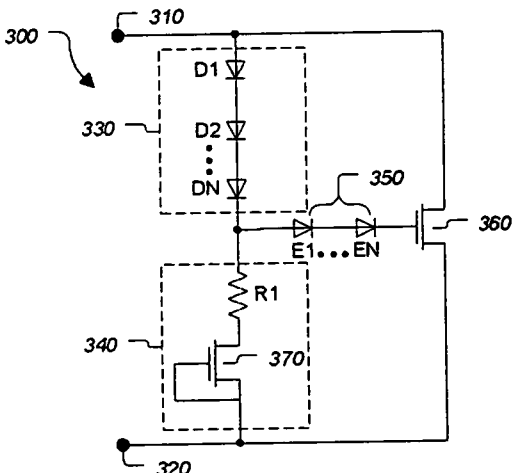
第 5C 圖



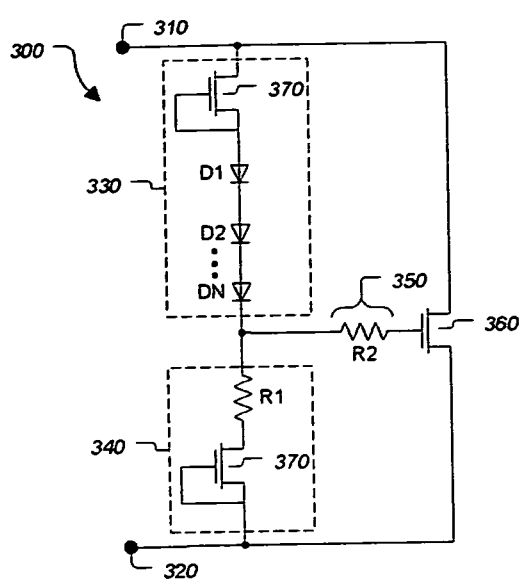
第 5D 圖



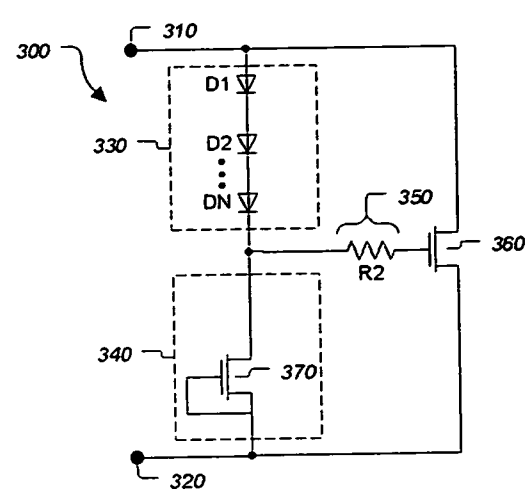
第 5E 圖



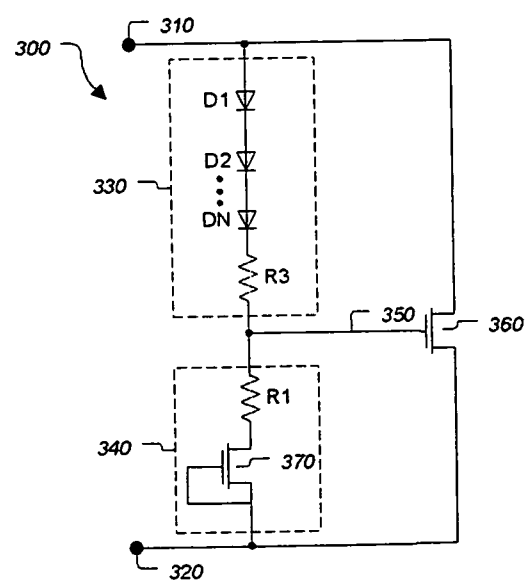
第 5F 圖



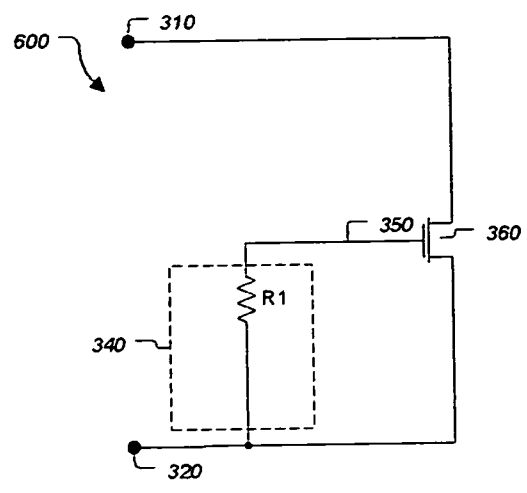
第 5G 圖



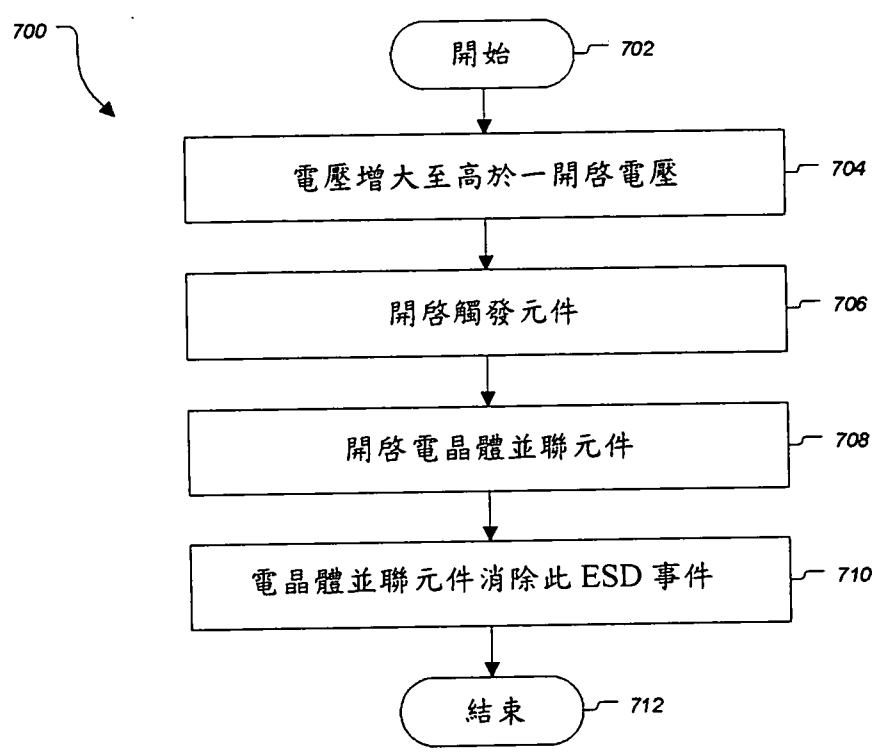
第 5H 圖



第 5I 圖



第 6 圖



第 7 圖