



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월03일
(11) 등록번호 10-1102257
(24) 등록일자 2011년12월28일

- (51) Int. Cl.
H03K 17/693 (2006.01) H03K 17/00 (2006.01)
- (21) 출원번호 10-2006-7004544
- (22) 출원일자(국제출원일자) 2004년08월24일
심사청구일자 2009년08월24일
- (85) 번역문제출일자 2006년03월03일
- (65) 공개번호 10-2006-0079848
- (43) 공개일자 2006년07월06일
- (86) 국제출원번호 PCT/US2004/027499
- (87) 국제공개번호 WO 2005/027348
국제공개일자 2005년03월24일
- (30) 우선권주장
10/656,051 2003년09월05일 미국(US)
- (56) 선행기술조사문헌
JP2000091905 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501
- (72) 발명자
춘 크리스토퍼 케이.
미국, 텍사스 78717, 오스틴, 그레이프 코브 8810
- (74) 대리인
장훈

전체 청구항 수 : 총 2 항

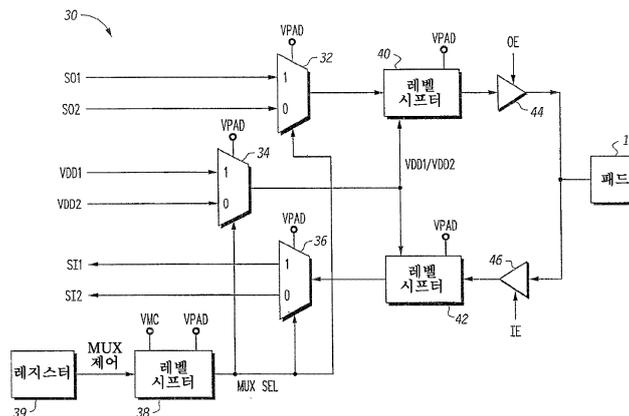
심사관 : 강현일

(54) 집적 회로에서 다중 공급 전압들로의 디지털 신호들의 멀티플렉싱 장치 및 멀티플렉싱 방법

(57) 요약

집적 회로(10)는 다른 공급 전압 레벨들로 제공된 디지털 신호들을 멀티플렉싱하는 다중 전압 디지털 멀티플렉서 회로(30)를 포함한다. 일 형식에서, 멀티플렉서(30)는 디지털 신호들을 수신하는 아날로그 멀티플렉서(32), 아날로그 멀티플렉서(32)의 출력에 접속된 레벨 시프터(40), 및 멀티플렉싱된 신호들에 대응하는 IC상에서 사용되는 다양한 공급 전압들 중 하나를 제공하는 공급 전압 멀티플렉서(34)를 포함한다. 제어 회로(38, 39)는 정정 공급 전압을 레벨 시프터(40)에 제공하기 위하여 아날로그 멀티플렉서(32)의 입력 선택 및 공급 전압 멀티플렉서(34)를 제어하기 위하여 사용된다. 이는 IC(10) 상의 신호 패드에 대한 상이한 전압 레벨들의 디지털 신호들을 멀티플렉싱하는 능력을 제공한다.

대표도



특허청구의 범위

청구항 1

집적 회로 다이(integrated circuit die)에 있어서:

제 1 전원 전압을 수신하는 제 1 회로로부터의 제 1 입력 신호를 입력하는 제 1 입력 단자, 제 2 전원 전압을 수신하는 제 2 회로로부터의 제 2 입력 신호를 입력하는 제 2 단자, 및 출력 단자를 갖는 제 1 아날로그 멀티플렉서로서, 상기 제 1 아날로그 멀티플렉서는 제어 신호를 수신하고, 상기 제어 신호에 기초하여 그의 출력 단자를 적어도 그의 제 1 입력 단자 또는 그의 제 2 입력 단자 중 하나에 결합하는, 상기 제 1 아날로그 멀티플렉서;

상기 제 1 아날로그 멀티플렉서의 상기 출력 단자에 결합된 제 1 입력 단자, 상기 제 1 입력 신호 또는 상기 제 2 입력 신호를 레벨 시프팅함으로써 얻어진 제 1 레벨 시프트 신호를 출력하는 출력 단자, 및 전압 공급 단자를 갖는 제 1 레벨 시프터;

상기 제 1 레벨 시프터의 상기 출력 단자에 결합된 입력 단자, 및 출력 제어 신호에 기초하여 상기 제 1 레벨 시프트 신호를 패드(pad)를 통해 출력하는 출력 단자를 갖는 출력 버퍼;

상기 제 1 전원 전압을 수신하는 제 1 단자, 상기 제 2 전원 전압을 수신하는 제 2 단자, 및 상기 제 1 레벨 시프터의 상기 전압 공급 단자에 결합된 출력 단자를 갖는 제 2 아날로그 멀티플렉서로서, 상기 제 2 아날로그 멀티플렉서는 상기 제어 신호를 수신하고, 상기 제어 신호에 기초하여 적어도 그의 제 1 입력 단자의 전압 또는 그의 제 2 입력 단자의 전압 중 하나를 그의 출력 단자에 제공하는, 상기 제 2 아날로그 멀티플렉서;

제 3 전원 전압을 수신하는 제 3 회로로부터의 제 3 입력 신호를 입력하는 입력 단자, 및 입력 제어 신호에 기초하여 상기 패드를 통해 상기 제 3 입력 신호를 출력하는 출력 단자를 갖는 입력 버퍼;

상기 입력 버퍼의 상기 출력 단자에 결합된 입력 단자, 상기 제 2 아날로그 멀티플렉서의 상기 출력 단자에 결합된 전압 공급 단자, 및 상기 제 3 입력 신호를 상기 제 1 전원 전압 또는 상기 제 2 전원 전압에 대해 레벨 시프팅함으로써 얻어진 제 2 레벨 시프트 신호를 출력하는 출력 단자를 갖는 제 2 레벨 시프터; 및

상기 제 2 레벨 시프터의 상기 출력 단자에 결합된 입력 단자, 상기 제 1 회로에 결합된 제 1 출력 단자, 및 상기 제 2 회로에 결합된 제 2 출력 단자를 갖는 아날로그 디-멀티플렉서로서, 상기 아날로그 디-멀티플렉서는 상기 제어 신호를 수신하고, 상기 제어 신호에 기초하여 그의 입력 단자를 적어도 그의 제 1 출력 단자 또는 그의 제 2 출력 단자 중 하나에 결합하는, 상기 아날로그 디-멀티플렉서를 포함하는, 집적 회로 다이.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

디지털 신호 라인들을 멀티플렉싱하는 방법에 있어서:

제 1 레벨 시프터와 적어도 제 1 디지털 신호 라인 및 제 2 디지털 신호 라인 중 하나의 사이에 제 1 디지털 신호를 운반하기 위해, 제어 신호에 기초하여 제 1 레벨 시프터의 입력 단자에 결합하도록 적어도 상기 제 1 디지털 신호 라인 및 상기 제 2 디지털 신호 라인 중 하나를 선택하는 단계;

상기 제 1 디지털 신호 라인 및 제 3 디지털 신호 라인에 결합된 제 1 회로에 제 1 전원 전압으로 전력을 공급하는 단계로서, 상기 제 1 디지털 신호 라인이 제 1 상태에 있을 때 상기 제 1 디지털 신호 라인은 상기 제 1 전원 전압에 의존하는 전압에 있는, 상기 제 1 회로 전력 공급 단계;

상기 제 2 디지털 신호 라인 및 제 4 디지털 신호 라인에 결합된 제 2 회로에 제 2 전원 전압으로 전력을 공급하는 단계로서, 상기 제 2 디지털 신호 라인이 제 1 상태에 있을 때 상기 제 2 디지털 신호 라인은 상기 제 2 전원 전압에 의존하는 전압에 있는, 상기 제 2 회로 전력 공급 단계;

출력 제어 신호에 기초하여 상기 제 1 레벨 시프터로부터의 레벨 시프팅된 상기 제 1 디지털 신호를 패드를 통해 출력하는 단계;

입력 제어 신호에 기초하여 상기 패드를 통해 제 3 전원 전압을 수신하는 제 3 회로로부터 제 2 레벨 시프터로 제 2 디지털 신호를 입력하는 단계;

상기 제 2 레벨 시프터와 적어도 상기 제 3 디지털 신호 라인 및 상기 제 4 디지털 신호 라인 중 하나의 사이에 제 2 디지털 신호를 운반하기 위해, 상기 제어 신호에 기초하여 상기 제 2 레벨 시프터의 출력 단자에 결합하도록 적어도 상기 제 3 디지털 신호 라인 및 상기 제 4 디지털 신호 라인 중 하나를 선택하는 단계; 및

상기 제어 신호에 기초하여 상기 제 1 및 제 2 레벨 시프터의 공급 전압 단자에 공급하기 위하여 적어도 제 1 전압 및 제 2 전압 중 하나를 선택하는 단계로서, 상기 제 1 전압은 상기 제 1 전원 전압에 의존하고, 상기 제 2 전압은 상기 제 2 전원 전압에 의존하며, 상기 제 1 전압은 상기 제 1 디지털 신호 라인이 상기 입력 단자에 결합되도록 선택되거나 또는 상기 제 3 디지털 신호 라인이 상기 출력 단자에 결합되도록 선택될 때 선택되며, 상기 제 2 전압은 상기 제 2 디지털 신호 라인이 입력 단자에 결합되도록 선택되거나 또는 상기 제 4 디지털 신호 라인이 상기 출력 단자에 결합되도록 선택될 때 선택되는, 디지털 신호 라인 멀티플렉싱 방법.

청구항 10

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 집적 회로들(IC), 특히 집적 회로에서 다중 공급 전압 레벨들로 디지털 신호들을 멀티플렉싱하는 것에 관한 것이다.

배경기술

[0002] 집적 회로(IC) 제조시에, 반도체 다이(semiconductor die)에는 사용자 또는 애플리케이션 내 다른 회로들과 통신하기 위하여 보통 패드들이라 불리는 단자들이 제공된다. 다이는 기판 또는 인쇄 회로 기판상에 장착하기 위한 사용자 액세스 가능한 단자들을 갖는 패키지에 장착될 수 있다. 예컨대, 와이어본드들 또는 솔더 볼들(solder balls)과 같은 패키지의 단자들에 다이 패드들을 결합하기 위하여 다양한 방법들이 사용된다. 종종, 복잡한 집적 회로 설계들은 다이를 장착한 집적 회로 패키지 상의 사용자 액세스 가능한 단자들 또는 핀들에 용이하게 결합될 수 있는 단일 집적 회로 다이상에 더 많은 기능들을 통합한다. 일부 경우들에 있어서, 집적 회로 다 이상의 다양한 신호들은 단순한 디지털 멀티플렉서들을 사용하여 사용자 액세스 가능한 단자들에 멀티플렉싱될 수 있다. 그러나, 오늘날, 많은 IC들은 하나 이상의 공급 전압을 필요로 하는 디지털 회로들을 포함한다. 예컨대, IC의 한 부분으로부터의 디지털 신호는 하나의 공급 전압 레벨(예컨대, 1.0볼트)에서 동작하는 회로로부터

유래할 수 있으며, IC의 다른 부분으로부터의 디지털 신호는 다른 공급 전압 레벨(예컨대, 1.6볼트)에서 동작하는 회로로부터 유래할 수 있다. 공급 전압 레벨들의 차이 때문에, 단순한 디지털 멀티플렉서는 이들 신호들을 용이하게 멀티플렉싱할 수 없다.

[0003] 따라서, 상이한 공급 전압 레벨들로 제공되는 디지털 신호들을 멀티플렉싱할 수 있는 IC의 멀티플렉싱 회로에 대한 요구가 존재한다.

발명의 상세한 설명

[0004] 일반적으로, 본 발명은 상이한 공급 전압 레벨들로 제공된 디지털 신호들을 멀티플렉싱할 수 있는 멀티플렉서 회로를 제공한다. 멀티플렉서 회로는 디지털 신호들을 수신하는 아날로그 멀티플렉서, 아날로그 멀티플렉서의 출력에 결합된 레벨 시프터, 및 멀티플렉싱되는 신호들에 대응하는 IC상에서 사용되는 다양한 공급 전압들 중 하나의 공급 전압을 제공하는 공급 전압 멀티플렉서를 포함한다. 제어 회로는 레벨 시프터에 정확한 공급 전압을 제공하는 공급 전압 멀티플렉서뿐만 아니라 아날로그 멀티플렉서의 입력 선택을 제어하기 위하여 사용된다. 이는 IC상의 단일 패드에 대한 상이한 전압 레벨들의 디지털 신호들을 멀티플렉싱하는 능력을 제공한다.

실시 예

[0010] 도 1은 본 발명에 따른 다중 전압 멀티플렉서(30)를 갖는 집적 회로 다이(10)의 블록도를 기술한다. 예시된 실시예에서, 집적 회로 다이(10)는 디지털 신호 프로세서(digital signal processor; DSP) 코어(12), 애플리케이션 프로세서(application processor; AP) 코어(14), 및 복수의 패드들을 포함한다. DSP 코어(12) 및 AP 코어(14)는 서로 독립적으로 동작할 수 있다. 또한, DSP 코어(12) 및 AP 코어(14)는 하나 이상의 공급 전압 레벨들(1.6, 1.4, 1.2 및 1.0 볼트)에서 동작할 수 있다. 복수의 패드들은 IC(10)의 주변에 배열되며, IC(10)에 그리고 IC(10)로부터 통신되는 다양한 신호들 및 공급 전압들에 대한 전기 접속들을 제공하는 사용자 액세스 가능한 단자들이다. 도 1에서, 복수의 패드들은 대표 입력/출력(I/O) 패드(16) 및 대표 전원 패드들(18, 20, 22, 24, 26)을 포함한다. 전원 패드(18)는 "VPAD"로 라벨링된 전원 전압을 수신하며, 전원 패드(20)는 접지에 결합되고 "VSS1"으로 라벨링되며, 전원 패드(22)는 "VDD1"으로 라벨링된 전원 전압을 수신하기 위하여 결합되며, 전원 패드(24)는 "VDD2"로 라벨링된 전원 전압을 수신하기 위하여 결합되며, 전원 패드(26)는 접지에 결합되고 "VSS2"로 라벨링된다. 도 1에 기술된 바와 같이, DSP 코어(12)는 동작 모드에 따라 1.6볼트, 1.4볼트, 1.2볼트, 및 1.0볼트에서 동작할 수 있다. 마찬가지로, AP 코어(14)는 동작 모드에 따라 1.6볼트, 1.4볼트, 1.2볼트 및 1.0볼트에서 동작할 수 있다. 게다가, DSP 코어(12) 및 AP 코어(14)는 상이한 공급 전압 레벨들에서 동시에 동작할 수 있다.

[0011] 집적 회로(10)는 패키지에서 이용가능한 외부 핀들보다 더 많은 신호들을 포함할 수 있다. 예컨대, 일 실시예에서, IC(10)는 단지 300개의 핀들로 멀티플렉싱될 500개 이상의 신호들을 포함할 수 있다. 도 1은 본 발명에 따라 하나의 핀으로 멀티플렉싱되는 다중 신호들의 단지 하나의 단순한 예를 설명한다. 도 1에 기술된 예에서, DSP 코어(12)는 1.2 볼트의 공급 전압 레벨로 복수의 디지털 신호들을 전하는(conducting) 복수의 신호 라인들(15)을 포함한다. AP 코어(14)는 1.4볼트의 공급 전압 레벨로 복수의 디지털 신호들을 전하는(conducting) 복수의 신호 라인들(17)을 포함한다. 일반적으로, 디지털 신호는 "레일-투-레일(rail-to-rail)" 신호이다. 즉, 디지털 신호가 예컨대 1.4볼트의 공급 전압으로 동작하는 회로로부터 제공되면, 논리 "1"은 1.4볼트 신호이며, 논리 "0"은 0볼트 신호이다. 복수의 신호 라인들(15, 17)은, 이 경우에는, 다중 전압 멀티플렉서(30)의 입력 및 출력 단자들에 결합된다. 멀티플렉서(30)는 복수의 신호들(15, 17) 중 어느 신호가 I/O 패드(16)를 통해 통신하는지를 선택적으로 제어하며, 예컨대 1.2 또는 1.4 볼트와 같은 내부 전압으로부터 2.5볼트로의 전압 전이를 수행한다. 멀티플렉서 회로(30)의 동작은 이하에서 더 상세히 기술될 것이다.

[0012] 집적 회로 다이(10)는 부가 회로(도시안됨)를 포함할 수 있다는 것을 주목해야 한다. 설명된 실시예에서, IC(10)는 무선 디바이스들용 기저대역 집적 회로이다. 무선 디바이스의 경우에, 부가 회로는 예컨대 하나 이상의 메모리들, 디스플레이 제어 회로들, 타이머들, 디버그 및 테스트 회로들, 아날로그 회로들 등을 포함할 수 있다. 다른 실시예들에서, IC(10)는 DSP 코어 및 AP 코어와 다른 회로를 포함할 수 있다. 또는, IC는 단지 하나의 코어를 가질 수 있다. 또한, IC는 하나의 공급 전압 레벨에서 동작하는 회로 부분들 및 다른 공급 전압 레벨에서 동작하는 회로 부분들을 갖는 주문형 집적 회로(ASIC)일 수 있다. 또한, IC는 상이한 전압 레벨들을 필요로 하는 상이한 메모리 타입들을 포함할 수 있다.

[0013] 도 2는 도 1의 다중 전압 멀티플렉서(30)를 더 상세히 도시한 블록도를 기술한다. 다중 전압 멀티플렉서(30)는 아날로그 멀티플렉서들(32, 34, 36), 레벨 시프터들(38, 40, 42), 레지스터(39), 출력 버퍼(44), 입력 버퍼

(46) 및 패드(16)를 포함한다. 각각의 아날로그 멀티플렉서들(32, 34, 36), 입력 버퍼(46), 출력 버퍼(44), 및 레벨 시프터들(38, 40, 42)의 일부는 전원 전압(VPAD)에 의하여 공급된다. 출력 경로는 아날로그 멀티플렉서(32), 레벨 시프터(40) 및 출력 버퍼(44)를 포함한다. 아날로그 멀티플렉서(32)는 "S01" 및 "S02"로 라벨링된 디지털 출력 신호들을 수신한다. 신호들(S01, S02)은 DSP 코어(12) 또는 AP 코어(14)로부터 또는 IC(10)의 다른 회로(도시안됨)로부터 유래할 수 있다. 설명된 실시예에서, S01은 공급 전압(VCC1)에서 동작하는 회로로부터 유래하며, S02는 공급 전압(VCC2)에서 동작하는 회로로부터 유래한다. 다른 실시예들에서, 디지털 신호들(S01, S02)은 동일한 공급 전압이 공급되는 회로들로부터 또는 상이한 공급 전압들에 의하여 공급되는 회로들로부터 유래할 수 있다.

[0014] 아날로그 멀티플렉서(32)의 제어 단자는 "MUX SEL"로 라벨링된 멀티플렉서 선택 신호를 수신한다. MUX SEL 신호는 아날로그 멀티플렉서(32)의 출력에 어느 디지털 신호들(S01, S02)이 접속되는지를 결정한다. 아날로그 멀티플렉서(32)의 출력단자는 레벨 시프터(40)의 입력에 접속된다. 아날로그 멀티플렉서들(32, 36)을 제어하는 것 외에, MUX SEL 신호는 레벨 시프터들(40, 42)(도 3 참조)의 일부들들에 대한 전압 레벨을 선택하는 멀티플렉서(34)의 제어 단자에 제공되며, 여기서 전압 레벨은 선택된 디지털 신호(S01 또는 S02)의 공급 전압 레벨, 즉 공급 전압(VCC1) 또는 공급 전압(VCC2)에 대응한다.

[0015] 프로그램가능한 레지스터(39)는 멀티플렉서들 및 레벨 시프터들을 제어하기 위하여 "MUX CONTROL"로 라벨링된 제어 신호를 제공하기 위하여 사용된다. 신호 MUX SEL은 신호 MUX CONTROL에 따른다. 즉, MUX SEL의 논리 레벨은 MUX CONTROL 신호에 의하여 결정된다. 레벨 시프터(38)는 MUX CONTROL 신호가 VPAD와 상이한 공급 전압을 갖는 회로로부터 기원할 수 있기 때문에 선택적으로 제공된다는 것에 주목하라. 프로그램가능한 레지스터(39)는 하나 이상의 비트들을 포함할 수 있으며, 각각의 비트는 하나 이상의 전압 레벨들로부터 선택된다. 설명된 실시예에서, 레벨 시프터들(40, 42)의 전압 레벨은 아날로그 멀티플렉서(34)의 VDD1 또는 VDD2 중 하나를 선택함으로써 설정된다. 예컨대, S01이 멀티플렉서(32)에서 선택되면, 공급 전압 VDD1이 레벨 시프터(40)에 제공될 것이다. 마찬가지로, 신호 S02가 멀티플렉서(32)에서 선택되면, 공급 전압 VDD2가 레벨 시프터(40)에 제공될 것이다. 레벨 시프터(38)는 레벨 시프터들(40, 42)과 유사하며 도 3을 참조로 하여 이하에서 상세히 논의될 것이다. 아날로그 멀티플렉서(32)의 동작은 도 4를 참조로 하여 이하에서 더 상세히 논의될 것이다.

[0016] 도 2를 다시 참조하면, 레벨 시프터(40)로부터의 레벨 시프팅된 디지털 신호는 버퍼 회로(44)의 입력에 제공되며, 이에 응답하여 VPAD 전원 전압에서 버퍼링된 디지털 신호는 출력 인에이블 신호(OE)가 인에이블될 때 패드(16)에 제공된다.

[0017] 유사하게, 멀티플렉서(30)의 입력 경로는 입력 버퍼(46), 레벨 시프터(42) 및 아날로그 멀티플렉서(36)를 포함한다. 설명된 실시예에서, 아날로그 멀티플렉서(36)는 디멀티플렉싱 기능(de-multiplexing function)을 수행한다는 것에 주목하라. 디지털 입력 신호는 패드 전압 레벨(VPAD)로 패드(16)에서 수신된다. 디지털 입력 신호는 입력 버퍼 회로(46)의 입력에 제공된다. 버퍼링된 입력 신호는 입력 인에이블 신호(IE)가 주장될 때 버퍼(46)의 출력에서 레벨 시프터(42)의 입력에 제공된다. 입력 인에이블 신호(IE) 및 출력 인에이블 신호(OE)는 도시되지 않은 제어 회로에 의해 제공된다. 앞서 논의된 바와 같이 제어 신호 MUX CONTROL로부터 유도되는 제어 신호 MUX SEL은 멀티플렉서(36)의 출력, SI1 또는 SI2 중 하나를 선택한다. 또한, MUX SEL 신호는 멀티플렉서(34)를 통해 대응 공급 전압, VDD1 또는 VDD2 중 하나를 선택한다. 적절한 전압 레벨로의 레벨 시프팅된 디지털 신호는 아날로그 디멀티플렉서(36)를 통해 IC(10)의 내부 회로들에 제공된다.

[0018] 도 2의 멀티플렉서들(32, 34)은 2개의 입력들을 각각 가지며, 디멀티플렉서(36)는 2개의 출력들을 가진다는 것에 주목하라. 다른 실시예들에서, 멀티플렉서들 및 디멀티플렉서들은 각각 멀티플렉싱된 신호들의 수와 멀티플렉싱된 신호들에 의하여 사용되는 가능한 공급 전압들의 수에 따라 2개 이상의 입력들 또는 출력들을 가진다.

[0019] 도 3은 도 2의 멀티플렉서의 레벨 시프터(40)에 대한 일 실시예를 기술한 개략도를 도시한다. 레벨 시프터들(38, 42)은 레벨 시프터(40)와 유사하다는 것에 주목하라. 레벨 시프터(40)는 인버터(50), P-채널 트랜지스터들(52, 54) 및 N-채널 트랜지스터들(56, 58)을 포함한다. 인버터(50)는 제어 MUX SEL에 의하여 결정된 공급 전압으로서 VDD1 또는 VDD2 중 하나를 수신한다. 특정 공급 전압은 멀티플렉서(32)의 출력으로부터 제공된 디지털 신호의 전압 레벨에 대응한다. 트랜지스터들(52, 54, 56, 58)은 증폭기를 형성한다. 증폭기는 전원 전압(VPAD)에 결합된다. 증폭기의 출력은 입력 버퍼(44)(도 2 참조)에 결합된다. 레벨 시프터(40)를 사용하면, 전압 레벨 VDD1 또는 VDD2에서의 신호는 변환되거나 또는 전압 레벨(VPAD)로 레벨 시프팅된다. 설명된 실시예에서, VDD1 및 VDD2는 VPAD보다 낮은 전압 전위에 있으나, 다른 실시예에서는 VDD1 및 VDD2가 보다 높은 전압 전위에 있을 수 있다.

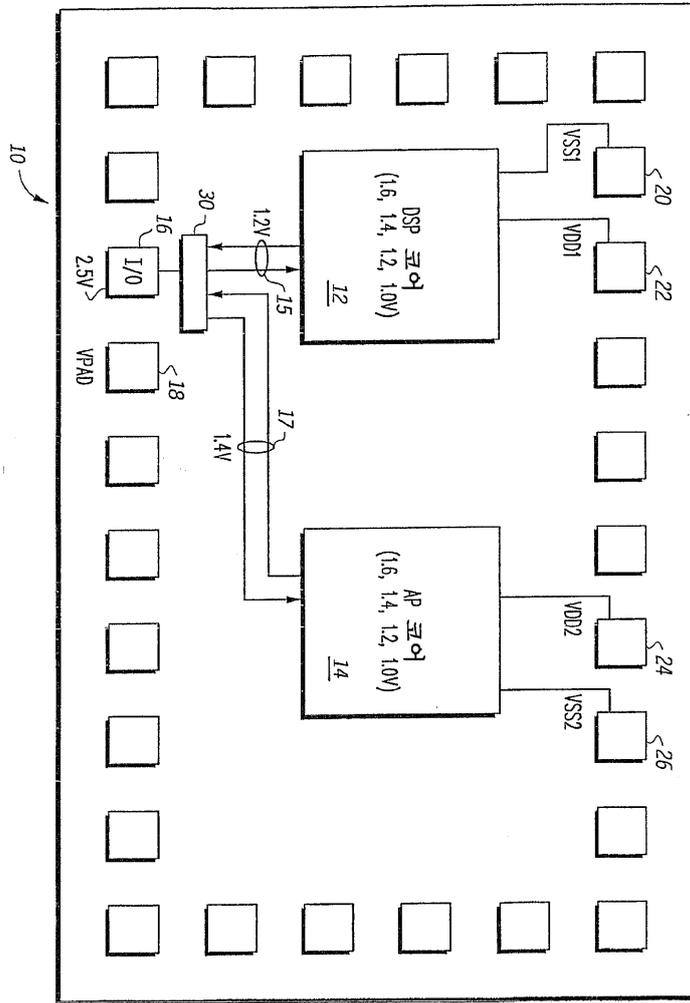
- [0020] 멀티플렉서(32)로부터의 디지털 신호가 예컨대 VCC1에 의해 공급된 회로로부터 논리 하이(high) 전압인 경우에, 인버터(50)는 N-채널 트랜지스터(56)의 게이트에 논리 로우(low) 전압을 제공한다. N-채널 트랜지스터(56)는 실질적으로 비도전성 또는 "OFF"이다. N-트랜지스터(58)의 게이트에는 멀티플렉서(32)로부터 VCC1에서 논리 하이 전압이 공급되고, N-채널 트랜지스터(58)는 도전성 또는 "ON"이다. P-채널 트랜지스터(52)의 게이트는 트랜지스터(58)를 통해 로우가 되며, 이에 따라 P-채널 트랜지스터(52)로 하여금 ON이 되게 하고, 따라서, 증폭기의 출력을 거의 전압(VPAD)과 동일한 논리 하이로 끌어올린다(pull up).
- [0021] 역으로, 멀티플렉서(32)로부터의 디지털 신호가 논리 로우이면, N-채널 트랜지스터(56)는 "ON"이며, N-채널 트랜지스터(58)는 "OFF"이다. P-채널 트랜지스터(54)의 게이트는 트랜지스터(56)를 통해 로우로 되며, 이에 따라 P-채널 트랜지스터(54)는 ON이 된다. P-채널 트랜지스터(52)의 게이트는 P-채널 트랜지스터(54)를 통해 하이로 되며, 이에 따라 P-채널 트랜지스터(52)는 OFF가 된다. 증폭기의 출력은 N-채널 트랜지스터(56)를 통해 논리 로우로 된다.
- [0022] 도 3에 도시된 바와 같이 레벨 시프터(40)는 멀티플렉서 회로(30)와 함께 사용될 수 있는 레벨 시프터의 일례일 뿐이다. 다른 실시예에서, 상이한 타입의 레벨 시프터가 디지털 신호를 하나의 전압 레벨로부터 다른 전압 레벨로 변환하기 위하여 사용될 수 있다.
- [0023] 도 4는 도 2의 멀티플렉서(30)의 아날로그 멀티플렉서 회로(32)에 대한 일 실시예를 기술한 개략도를 도시한다. 아날로그 멀티플렉서들(34, 36)은 아날로그 멀티플렉서(32)와 유사하다. 아날로그 멀티플렉서(32)는 인버터들(64, 66, 68) 및 전송 게이트들(60, 62)을 포함한다. 전송 게이트들(60, 62)은 각각 병렬 접속된 N-채널 및 P-채널 트랜지스터들을 각각 포함한다. 인버터들의 각각은 전원 전압(VPAD)에 의하여 공급된 종래의 CMOS(complementary metal oxide semiconductor) 인버터이다. MUX SEL 신호가 논리 하이 전압이면, 전송 게이트(60)는 도전성이며, 전송 게이트(62)는 거의 비도전성이다. 디지털 신호(S01)는 레벨 시프터(40)의 입력에 통신된다. 또한, MUX SEL 신호가 논리 로우 전압일때, 전송 게이트(60)는 거의 비도전성이며, 전송 게이트(62)는 도전성이다. 디지털 신호(S02)는 레벨 시프터(40)의 입력에 통신된다. 전송 게이트들(60, 62)의 사용은 디지털 신호들(S01, S02)이 임계 전압 강하 없이 전송되도록 한다. 일부 실시예들에서 단일 트랜지스터 "패스(pass)" 게이트들은 전송 게이트들(60, 62)로 대체될 수 있다는 것에 주목하라.
- [0024] 도 5는 집적 회로(10)를 포함하는 무선 디바이스(72)의 블록도를 도시한다. 무선 디바이스(72)는 집적 회로(10) 외에 RF(radio frequency) IC(76) 및 전력 관리 IC(74)를 포함한다. 설명된 실시예에서, 무선 디바이스(72)는 셀룰러 전화이다. 다른 실시예들에서, 무선 디바이스(72)는 예컨대, 워키-토키, 2방향 페이지, PDA(personal digital assistant), 퍼스널 컴퓨터, 또는 음성 및/또는 데이터 전송 및/또는 수신 기능들을 제공하는 임의의 디바이스와 같은 임의의 유형의 2방향 무선일 수 있다.
- [0025] 여기에 기술된 본 발명은 IC의 단일 패드에 대한 상이한 전압 레벨들의 디지털 신호들을 멀티플렉싱하는 능력을 제공한다.
- [0026] 설명을 위하여 여기에서 선택된 실시예들의 다양한 변형 및 수정들이 당업자에 의하여 용이하게 수행될 것이다. 예컨대, 도전성 트랜지스터들의 유형들, 트랜지스터들의 유형들 등의 변형들이 용이하게 수행될 수 있다. 이러한 수정들 및 변형들이 본 발명의 범위를 벗어나지 않는 범위 내에서 이하의 청구항들의 해석에 의해서만 한정되는 범위 내에 포함된다.

도면의 간단한 설명

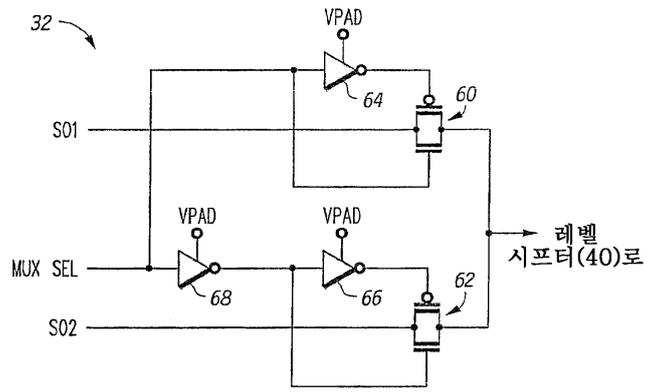
- [0005] 도 1은 본 발명에 따른 다중전압 멀티플렉서를 갖는 집적 회로의 블록도.
- [0006] 도 2는 도 1의 멀티플렉서를 더 상세히 기술한 블록도.
- [0007] 도 3는 도 2의 멀티플렉서의 레벨 시프터에 대한 개략도.
- [0008] 도 4는 도 2의 멀티플렉서의 아날로그 멀티플렉서 회로에 대한 개략도.
- [0009] 도 5는 도 1의 집적 회로를 통합한 무선 디바이스의 블록도.

도면

도면1



도면4



도면5

