

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H04B 7/26 H04Q 7/00

H04J 13/00

# [12] 发明专利说明书

[21] ZL 专利号 95195940.9

[45] 授权公告日 2002 年 12 月 11 日

[11] 授权公告号 CN 1096158C

[22] 申请日 1995.9.29 [21] 申请号 95195940.9

[30] 优先权

[32] 1994.9.30 [33] US [31] 08/316,156

[86] 国际申请 PCT/US95/12556 1995.9.29

[87] 国际公布 WO96/10874 英 1996.4.11

[85] 进入国家阶段日期 1997.4.28

[73] 专利权人 夸尔柯姆股份有限公司

地址 美国加州圣地埃哥

[72] 发明人 杰弗里·A·莱文

肯尼斯·D·伊斯顿 于尔格·欣德玲

迈克尔·P·布罗克

小林赛·A·韦弗

[56] 参考文献

CN 1061312 1992.5.20 H04J13/00

审查员 马志远

[74] 专利代理机构 上海专利商标事务所

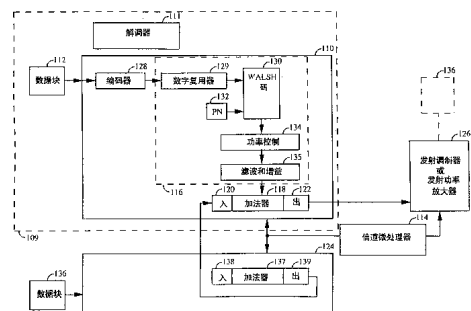
代理人 李家麟

权利要求书 2 页 说明书 11 页 附图 7 页

[54] 发明名称 在公共信道上对多个波形求和的串联互  
联接

[57] 摘要

一种用于扩展谱通信系统的调制器(109),它不仅接收本地数据(112)并对其进行处理,而且还从一个或多个其他的调制器(124)接收输入数据、将输入数据与本地数据叠加并提供其和作为用于后续调制器的数据或用于发送功率放大器(126)的最终输出。调制器包括输入块(120)和输出块(122),并且视控制数据信号(190)而定,输入数据将在提供给输出块(122)之前,与调制器内部产生的本地数据叠加。输出数据可以包括奇偶数据。奇偶数据可以用来检验故障,故障可能是由差错连接或断线而引起的。如果检测到差错,那么发送调制器(127)的加和功能可以自动中断。



1. 一种用在扩展谱电信系统中在该系统上产生后续传播的信号装置，其特征在于，它包含：

第一组经处理的数据；

第一调制块，用来响应于第一组输入数据产生第二组经处理的数据；

第一加法器，通过将所述第一组经处理的数据与所述第二组经处理的数据加和，产生第三组经处理的数据；

第二调制块，用来响应于第二组输入数据产生第四组经处理的数据；

第二加法器，通过将所述第三组经加和的输出数据与所述第四组经处理的数据加和，产生第五组经加和的输出数据；

控制器，用来控制所述第一加法器和所述第二加法器；以及

发送器，用来响应于所述第二组经加和的输出数据，产生传播信号。

2. 如权利要求1所述的装置，其特征在于，所述扩展谱电信系统包含一码分多址系统，而调制块包括一PN序列处理器和沃尔什芯片处理器。

3. 如权利要求1所述的装置，其特征在于，所述第一和所述第二调制块以及所述第一和所述第二加法器在单一的集成电路芯片内实现。

4. 如权利要求1所述的装置，其特征在于，所述输入数据包括奇偶数据。

5. 如权利要求4所述的装置，其特征在于，所述第一和所述第二加法器包括一奇偶检验块，它将奇偶数据加到本地数据上，并且还包含确定输入数据是否包含奇偶差错的计数器。

6. 如权利要求5所述的装置，其特征在于，如果输入数据包含奇偶差错，第一加法器不将输入数据加到所述第一组经处理的本地数据上。

7. 如权利要求6所述的装置，其特征在于，如果预定个数的顺序数据输入有奇偶差错，所述第一加法器将输入数据设置为零。

8. 如权利要求4所述的装置，其特征在于，所述第一加法器接收使所述加法器在旁路模式、本地模式或正常模式下工作的控制信号，从而在旁路模式下，加法器使输入数据延迟两个时钟脉冲，并随后产生输出数据，在本地模式下，第一加法器不将输入数据加到本地数据上，而在正常模式下，加法器把输入数据加到本地数据上并产生作为输出数据的和。

9. 如权利要求8所述的装置，其特征在于，所述第一加法器对输入数据进行奇偶检验，并且如果预定个数的顺序数据输入有奇偶差错时，废弃输入数据。

10. 在用于扩展谱电信系统的设备中，一种在该系统上产生后续传播信号的方

法，其特征在于，所述方法包括以下步骤：

接收第一组经调制的数据；

响应于第一组输入数据，产生第二组经调制的数据；

用第一加法器，通过将所述第一组经调制的数据与所述第二组经调制的数据加和，产生第三组经调制的数据；

响应于第二组输入数据，产生第四组经调制的数据；

用第二加法器，通过将所述第三组经加和的输出数据与所述第四组经调制的数据加和，产生第五组经加和的输出数据；以及

响应于所述第二组经加和的输出数据，产生传播信号。

11. 如权利要求 10 所述的方法，其特征在于，所述扩展谱电信系统包含一码分多址系统，并该码分多址系统包括 PN 序列处理器和沃尔什芯片处理器。

12. 如权利要求 10 所述的方法，其特征在于，所述设备在单一的集成电路芯片内实现。

13. 如权利要求 10 所述的方法，其特征在于，所述输入数据包括奇偶数据。

14. 如权利要求 13 所述的方法，其特征在于，所述第一和所述第二加法器都包括一奇偶检验块，所述奇偶检验块对奇偶数据做加法，并且还包括确定输入数据何时包括奇偶差错的计数器。

15. 如权利要求 14 所述的方法，其特征在于，当输入数据包括奇偶差错时，第一加法器不将输入数据加到所述第一组经处理的本地数据上。

16. 如权利要求 15 所述的方法，其特征在于，当预定个数的顺序数据输入有奇偶差错时，所述第一加法器将输入数据设置为零。

17. 如权利要求 13 所述的方法，其特征在于，所述第一加法器接收使该加法器在旁路模式、本地模式或正常模式下工作的控制信号，从而在旁路模式下，该加法器使输入数据延迟两个时钟脉冲，并随后产生输出数据，在本地模式下，第一加法器不将输入数据加到本地数据上，而在正常模式下，该加法器把输入数据加到本地数据上并产生作为输出数据的和。

18. 如权利要求 17 所述的方法，其特征在于，所述第一加法器对输入数据进行奇偶检验，并且当预定个数的顺序数据输入有奇偶差错时，废弃输入数据。

## 在公共信道上对多个波形求和的串联互联接

## 5 I. 发明领域

本发明一般涉及扩展谱电信系统，尤其涉及蜂窝电话系统信号处理。

## II. 现有技术的描述

为了使在有限的电磁谱上适合于大量的电信系统用户，采用各种多址扩展谱技术中一种技术。这些技术包括，如时分多址(TDMA)、频分多址(FDMA)和码分多址(CDMA)。CDMA技术比起其他技术有许多优点，典型的CDMA系统见1990年2月转让给K·Gilhousen等人的美国专利4,901,307，该专利的标题是“采用卫星或地面转发器的扩展谱多址通信系统”，并且已转让给本发明的受让人，在此引述供参考。

在上述'307的专利中描述的CDMA蜂窝电话系统中，具有收发器的大量移动电话系统用户通过卫星转发器或地面基站进行通信，这些卫星收发器或地面基站也称作蜂窝区站、蜂窝站或简称为蜂窝。每一蜂窝覆盖有限的地理范围，并选择来自和通向公共电话交换网(PSTN)的、携带在该蜂窝中蜂窝电话收发器上的呼叫路由。当某一蜂窝电话用户移动到某一新的蜂窝时，用户呼叫的路由选择就转移到新的蜂窝。

因此，蜂窝电话收发器或移动单元传播由某一蜂窝站接收的移动信号，该移动信号随后又选择通向PSTN以及通向电话线或其他移动单元的路由。蜂窝站传播由该蜂窝区内移动单元接收的蜂窝信号。蜂窝站对移动单元信号传输一般称作前向链路，而移动单元对蜂窝站信号传输一般称作反向链路。

CDMA技术将可用的系统频谱分成多个子带并允许频谱能够在同一时间间隔内有效地使用多次，因而使得任意同一时间内可以进行的呼叫数增加。上述'307专利中描述的CDMA技术采用呼叫的高频伪噪声(PN)调制，以及由正交二进制序列进行的呼叫调制，将许多呼叫组合起来，并传播数据之和，作为单一的CDMA信号。这样，CDMA技术可以在占用同一频带的许多呼叫之间进行区分，并且与其他技术相比提高了频谱效率。更具体地说，该专利中描述的系统对来自定义为I和Q信道而具有相同“外”PN码的同一蜂窝的所有呼叫进行调制。各呼叫接着由“内”用户PN码和人们熟知的Walsh函数(也称作Hadamard矩阵)类型的正交二进制序列进行调制。

因此，在前向链路信号路径上由某一蜂窝站发送到移动单元的CDMA呼叫信号将包含占用相同频带的许多经调制的呼叫。调制和解调CDMA呼叫信号的系

统和方法的描述见如 1992 年 4 月 7 日授权给 K · Gilhousen 等人的美国专利 5,103,459，该专利的标题为“在 CDMA 蜂窝电话系统中产生信号波形的系统和方法”，该专利已转让给本发明的受让人，在此引述供参考。图 1 是用来将 CDMA 信号发送到移动单元的'459 专利中描述的蜂窝站设备的框图。

5 图 1 描述的是一呼叫信道用户在如话音数据块 12 中产生话音数据，话音数据块 12 将数据提供给第一发送调制器 14，而第一发送调制器 14 在信道微处理器 16 的控制下工作。在发送调制器中，话音数据提供给编码器 18，随后提供给数字复用器 20，它与来自 PN 发生器块 22 的输出一起，将输入提供给 Walsh 码处理器 24。Walsh 码处理器的输出离开调制器 14，并提供给加入功率控制位以调整发射信号功率的发射功率控制块 26。发射功率控制块的输出提供给加法器 10 28，并且随后提供给发射功率放大器 30 和天线 32，用来传播到与该天线相关的蜂窝中的移动用户。

在'459 专利中描述的系统，来自话音数据块 34 的话音数据和来自第二发射调制器 36 的输出可以由加法器 28 在提供给发射功率放大器 30 之前，与来自 15 第一发射调制器 14 的输出相加。即，该加法器是一个将来自两个独立的发射调制器的信号进行加和并将结果提供给放大器进行放大和后续传送的离散元件。该加法器减少了放大器以及相关的必要控制电路的数量，并因此减小了成本并增加了效率。发射调制器输出信号的数量和所用加法器以及支持逻辑电路的数量可以适合于特定应用的要求。如果需要，多个调制器可以将数据提供给加法器 28， 20 或者多个加法器可以将经加和的输出提供给放大器 30，用以将所需数目的数据信号组合起来。

正如在'459 专利中指出的那样，用 PN 和 Walsh 数据对话音数据进行编码确保了各个呼叫可以在以后接着译码，并相互区分开来。特别是，来自每一功率控制 25 器 26、38 的数据是以 9 位的取样大小产生的，而加法器 28 的输出是以 10 位的取样大小产生的。数据是在 I 和 Q 信道中以 5MHz 的速率下产生的，从而每秒产生 90 兆比特的数据流。每一调制器包括 4 条并行输出线。所以，将 3 个调制器连接到加法器这导致在调制器和发射放大器之间产生 16 条硬线的互连。

因为加法器 28 是一离散元件，所以它在每一信道信号之间需要硬线连接。这些 30 连线增加了成本、占据空间，并提供了使电路发生断线的机会，而使信号中断。可以增加与每一加法器连接的发送调制器的数量，但每一发送调制器仍然需要用硬线连接，并且相关控制电路会变得相当复杂。另外，相当大数量的硬线连接使得体积大并且笨重，并且会增大生产成本。同时，连线的数量也受可用制作空间的限制。最后，由于连线数量的增加，会增大由于错误连线或断线的风险。

根据上面的讨论，应当很清楚，需要一种能够有效地将来自多个发射调制器

的输出加和而无需增大差错风险或需要过大数量的硬线连接的装置。本发明满足了这种要求。

### 发 明 概 述

按照本发明，用来在扩展谱电信系统中调制数据的装置包括一个调制器处理器，该调制器处理器不仅接收本地数据并对其进行处理用作后续传输，而且还从一个或多个其他的调制器接收以独立处理数据形式的输入、将输入数据与经处理的本地数据加和，并提供其和，作为用于后续调制器的数据，或作为用于另一系统处理器的最终输出。这样，就不必具有将来自几个调制器的经调制的数据进行加和的离散信号加法器。相反，在串联的最后调制器的输出作为可以直接提供给功率放大器在系统上进行传输的最后输出而产生出来之前，一系列调制器可以被串联因此它们的各信号可以相加起来。这样就简化了用来将经调制的数据进行加和的电路结构、减少了硬线连接和相关电路的数量、降低了成本，并增大了可靠性。如果需要，调制器可以制作在单一的集成电路芯片上。

按照本发明的一个方面，调制器解调器可以以几种工作状态中的一种状态工作，从而输入数据可以自动与调制器的经处理的本地数据加和，或者直接通过下一个处理器传送而不经加和，或者可以废弃掉，从而只有经处理的本地数据传送到下一个处理器上。如果需要，可以响应于检测的数据差错，在工作状态之间进行自动切换。输入数据可以包含例如来自一系列前级调制器的经加和的话音信道数据。

按照本发明的另一个方面，每一调制器处理器在其输出中包括奇偶数据，并具有在与输入一起接收的奇偶数据为不正确时，自动禁止来自加和功能的输入数据的能力。奇偶数据可以用来检验故障，例如可以由如故障传输或硬线断线连接或数据帧差错引起的故障。当检测到输入数据中的奇偶差错并且调制器的加和函数被禁止时，该差错可以向信道元件微处理器发送指示。这样，来自所有前级调制器的输入数据可以被忽略，而可以继续传送来自调制器的经处理的本地数据，而不经加和。

在对本发明的较佳实施例进行了描述以后，读者将会理解本发明的其他特征和优点，这些实施例通过举例描述了本发明的原理。

### 附 图 简 述

图 1 是现有技术扩展谱电信网调制系统的框图。

图 2 是典型 CDMA 电信系统的示意图。

图 3 是按照本发明构筑的包括有调制器处理器的蜂窝站调制解调器的框图。

图 4 是图 3 所示加法器的框图。

图 5 是图 3 所示调制器处理器计时电路的框图。

图 6 是图 3 所示调制器处理器的输入寄存器和输出寄存器处数据信号的描述。

图 7 是按照本发明构筑的同时还包括溢出情况检测器的加法器框图。

### 较佳实施例的描述

5 本发明可以在各种数据传输应用场合下实施，在较佳实施例中，本发明应用于图 2 所示扩展谱多址通信系统中，用于信道和数据传输。在通信系统中，系统控制器和交换机(也称作移动电话交换局(MTSO))102 用于接口和控制功能，使得能够在移动单元 104 和蜂窝站 106 之间进行呼叫。MTSO 还控制公共电话交换网(PSTN)108 和蜂窝站之间呼叫的路由选择，用于来自或通往移动单元的传输。

10 移动单元通常不直接相互通信，而是通过 MTSO 和 PSTN 进行通信。至于话音信道数据传输和处理，通信系统按照上述专利中描述的 CDMA 技术进行工作。

图 3 描述的是与单个呼叫信道有关的图 2 所示通信系统的第一蜂窝站调制解调器 109。该调制解调器包括一调制器 110 和一解调器 111。调制器 110 接收例如来自数据块 112 的本地数据，本地数据可以包含话音数据。调制器在信道元件

15 微处理器 114 的控制下工作，用产生经解调的话音信道数据的调制块 116 处理本地话音信道数据。调制器还包括可以从第二调制器 124 独立接收经调制的数、将两个经调制的数据流加和以及将加和结果输出到一系统输出功率放大器或者输出到第三调制器 126 的内部加法器 118。第二调制器 124 接着从另一调制块接收以相似于从调制块 109 产生的调制数据 140。因此，调制器 110 可以与前面的

20 调制器 124 以及后续调制器 126 串联连接。这样，可以通过使调制器 110 能够直接接收来自另一调制器的数据并产生经加和的包括其自身本地数据的输出而不依赖于某一分开的离散加法器来产生几个独立数据信号的和。从而按照本发明构筑的调制器简化了硬线连接来产生经加和输出，从而增大了系统的可靠性并减小了成本。

25 图 3 所示的调制器 110 可以用集成电路技术来构筑，从而在单个的集成电路芯片上可以构筑至少调制块 116 和加法器 118。其他的调制器 124 和 126 可用单芯片实现。并可以通过线路板上的印刷电路来连接，或者其他调制器可以构筑在相同的具有第一调制器 110 的集成电路芯片上。不管是在哪一种情况下，与图 1 所示的离散外部加法器相比，在联线的布局和数量上，来自多个比较器的输出

30 的串接和求和所必要的联线的复杂程度要小得多，从而增加了可靠性并降低了成本。

更具体地说，在较佳实施例中，尽管调制块 116 只有 11 位的动态范围并且因此产生 11 位的数据，但是调制器 110 的输出是以 15 位的输出数据的取样大小产生的。附加位提供对许多独立的取样和数据流加和时所需的峰值储备。取样数据

以 2.5MHz 的速率, 在 I 信道和 Q 信道内产生, 从而产生每秒 80 兆比特的数据流。每一调制器包括 4 条并联输出线。这些输出线代表二位的 I 数据和 2 位的 Q 数据, 并且需要在 20MHz 下 8 个时钟周期来表示 16 位的 I 取样值和 Q 取样值。信道元件微处理器 114 产生用于不同处理元件的控制信号。

- 5 图 3 所示的调制块包括处理来自数据块 112 的本地数据并将经处理的本地数据提供给数字复用器 129 以及随后提供给 Walsh 码处理器 130 的编码器 128。Walsh 码处理器还接收来自 PN 序列处理器块 132 的数据。PN 块产生用于信号扩展的 PN-I 数据和 PN-Q 数据。在 Walsh 码处理器 130 处理了数据流以后, 经处理的数据提供给功率控制块 134, 加入功率发射控制位以产生经调制的信道数据, 10 并且随后提供给滤波增益块 135, 以控制信号带宽并设置输出电平。经处理的数据随后提供给内部加法器 118。

- 应当理解的是, 第二调制器 124 以及第三调制器 126(如果有的话)包括一个调制块, 它类似于具有编码器、数字复用器、Walsh 码处理器、PN 序列处理器、功率控制块、滤波器和增益块以及如图所示与第一调制器 110 相连的加法器的块 15 116 的方式构成。为简化和便于理解, 图 3 中未示出这些细节。类似地, 其他调制器 124、126 可以接收来自各本地数据块 136 的数据。对于任何特定的调制器, 来自各调制块的数据输出将被称作为本地信道数据, 并与从另一调制器接收的输入信道数据区分开。其他的调制器还包括内部加法器 137, 每一内部加法器具有输入寄存器 138 和输出寄存器 139。

- 20 加法器 118、137 在正常状态下工作, 在该状态下, 从前一调制器处理器接收的输入数据与本地数据叠加, 产生提供到链路中的后一调制器处理器的输出数据, 或作为提供到处理器块的最终输出。加法器还有利地在输入数据传送通过的旁路模式下工作, 以及在输入被废弃的本地模式下工作。

- 图 4 中的方框图更详细地描述了第一加法器 118 的某些元件。应当理解, 图 25 2 所示蜂窝站 106 所复盖的地理范围包括三个区段, 每一区段在每一蜂窝站调制解调器中需要一个独立的调制器。图 4 描述的是与仅用于这些区段中一个区段的信道数据相关的加法器元件。在图 4 中, 信道被任意指定为 Alpha 信道。为了进行描述, 图中任意示出了来自 Alpha 区段的 PN-I 数据。由加法器 118 从调制块 116(图 3)接收的信道数据接收到来自输入数据总线 150(标为“alpha\_I[10:0]”) 30 的 11 位取样内。应当理解, 用于调制器 110 的完整的信道数据元素应当包括 Alpha 区段 PN-Q 序列话音信道数据处理。蜂窝站调制解调器 109 需要用于称为 Beta 和 Gamma 的两个其他范围区段及其相关的 PN-I 和 PN-Q 数据流的调制器。因此, 如图 4 所示总的 6 组处理块用于蜂窝站调制解调器中。

加法器 118 内的处理每次完成两位, 奇数位的数据流和偶数位的数据流。加

法器处理 8 位数据对，来代表每一 16 位数据取样。位对以时间为序，从最小有效位开始，进行到最大的有效位。因此，加法器必须在时间上与输入取样对齐。加法器用称为“半\_芯片”的信号和数据并串行转换器 150 来完成这项工作。半\_芯片信号是一个以每一新数据取样为起点而走高的脉冲，并用来使加法器电路中的状态初始化。

图 5 描述的是产生半\_芯片信号的计时电路。计时电路包括可以由蜂窝站调制器的所有发送加法器共享的三位计数器 154。三位计数器每 8 个系统时钟周期产生从 TC 输出管脚的半\_芯片信号跃变。所示的 SYNCHRONIZER 输入信号使三位计数器的状态由发送(TX)相位输入转为装载(状态)，并与系统时间同步。三位计数器接收称作 TX\_PHASE\_0、TX\_PHASE\_1 和 TX\_PHASE\_2 的三位发送相位选择信号。TX 相位输入描述的是特定的蜂窝站调制解调器是处在输入叠加链中的何处(见图 3)。如上所述，因为输出线需要 8 个时钟周期来代表每一取样，所以半\_芯片信号以八分之一时钟周期速率发生。

如图 4 所示，在并串行转换器 150 处接收半\_芯片信号，并串行转换器 150 接收本地数据并一次读出两位。更具体地说，并串行转换器包括一个接收半\_芯片信号的多路复用器 156 和接收在图 4 中标识为 alpha\_I 的数据流并一次对半\_芯片信号将数据流下移两位的相关寄存器 158、160、162。多路复用器 156 和相关的寄存器 158 采用 9 位宽的串行总线 163 对输入数据进行并串行转换，从而产生 PN-I 偶数据位和奇数据位，奇、偶数据位放置分别在两个输出寄存器 160 和 162 处，用于其余的加法器电路。

图 3 中描述的用于从(芯片外)加法器接收输入数据的加法器输入寄存器 120 以一对如图 4 所示的外部输入寄存器 164、166 形式实现，分别接收标识为“IN\_ALPHA\_10”和“IN\_ALPHA\_11”的数据流，这两个数据流表示先前为经调制的 PN-I 数据的 Alpha 区段接收在偶位和奇位内。输入寄存器的其他结构是本领域的技术人员所熟知的。图 3 中所示用来提供输出数据的加法器输出寄存器 122 以如图 4 所示一对输出寄存器 168、170 形式实现。Alpha 区段输出数据标识为“TX\_A\_I0”和“TX\_A\_I1”，并分别包含偶位和奇位。应当指出，输入“IN”信号和输出“TX”信号具有相同的格式，带有从输入寄存器 164、166 到输出寄存器 168、170 的两个时钟延迟，而不管输入数据是旁路的还是经加和的。

输入数据流“IN”和输出数据流“TX”之间的关系如图 6 所示，该图是将系统时钟信号 300 标识为 CHIPx16 的数据计时图。PN-I 和 PN-Q 序列数据在图中示出为一次接收两位，在奇位和偶位之间分开。例如，一个输入信号流 302 标识为“IN\_s\_I0”，以表示用于区段“s”信号的偶数 PN-I 输入位，而另一个输

人信号流 304 标识为“IN\_s\_Q1”，以表示用于区段“s”信号的奇数 PN-Q 输入位。在较佳实施例中，例如，蜂窝划分成三个区段，并且蜂窝站区段标记为 Alpha、Beta 和 Gamma。图 6 示出的是每第 8 个 CHIPx16 时钟脉冲，重复着接收数据(例如 I0 或 I3 或 Q1)等等)的相关数据位位置。即，数据流具有 8 个 CHIPx16 时钟周期的周期时间。图 6 还示出较佳实施例的二时钟延迟。

因此，加法器 118 在输入寄存器 160、162 处从处理块 116(图 3)接收经处理的本地数据，并在外部数据输入寄存器 164、166 处从另一调制器加法器接收输入数据。两个输入流可以在 8 个时钟周期上叠加起来，并在两个输出寄存器 168、170 处提供作为发送输出数据。

如上所述，加法器 118 可以在三种模式中的一种模式下工作，即，旁路模式、本地模式或正常模式。在旁路模式下，外部、输入数据不与经处理的本地数据叠加。相反，输入数据直接通过加法器，由于加法器的输入寄存器和输出寄存器，只在数据流中出现延迟。在本地模式下，仅从经处理的本地数据输入寄存器 160、162 接收输出寄存器 168、170 处的数据。输入数据寄存器 164、166 处的任何数据不与经处理的本地信道数据叠加在一起。在正常模式下，输出寄存器处的数据作为新调制的信道数据和在输入寄存器处先前经调制的信道数据而形成。标识为“BYPASS\_MODE”的信号将调制器 110 置于旁路模式下，并且当不处在旁路模式下时，标识为“NORMAL\_MODE”的信号控制将调制器从本地模式转换成正常模式。

正常工作模式下两个数据流的加和是由二位叠加器 172 提供的。如图 4 所示，二位叠加器分别在标记为 A0 和 A1 的输入端子处从输入寄存器 160、162 接收经处理的本地偶位数据流和奇位数据流。叠加器分别在标记为 B0 和 B1 的输入端子处从外部输入数据寄存器 164、166 接收先前经调制的偶数据和奇数据。叠加器还从进位寄存器 210 接收进位输入位“cin”。偶数据流和奇数据流叠加器输出分别提供在标记为 Q0 和 Q1 的输出端子处。叠加器 172 的进位输出位标记为“cout”。偶和奇叠加器输出分别提供到输出寄存器 168、170。

本领域的技术人员将会理解，在上述实施例中，数据位需要两个时钟脉冲，用以数据位通过加法器 118 传播，但是，正如本领域的技术人员所熟知的那样，在其他的实施例中可以采用其他的传播方式。另外，一个时钟周期用来锁存输入数据，而另一个时钟周期用来锁存输出数据。数据位将放置在输入寄存器 160、162、164、166，用于具有第一个时钟脉冲的二位叠加器 172，并且随后将放置到具有第二个时钟脉冲的输出寄存器 168、170。这描述在图 6 所示的数据时序图中，图中，出现在一个 CHIPx16 脉冲处的给定输入数据位(比如 IN\_s\_I0 数据流的位 I0)好象是两个 CHIPx16 时钟脉冲以后的输出数据位(比如 TX\_s\_I0 数据流

的位 I0)。

两个数据流之和部分地受包含 6 位计数器 176 和一系列逻辑门的奇偶检验块 174 的控制。执行奇偶时钟功能的其他电路是人们所熟知的，并且可以包括用移位寄存器而不是计数器 176 的奇偶检验块 174。奇偶检验是用与先前经外部调制的  
5 的数据输入寄存器 164、166 的输出线连接在一起的“异或”门 177 来进行的。特别是，6 位计数器 176 对具有良好奇偶性的连续输入信号的数量计数。当由计数器接收半\_芯片信号时，对奇偶性进行估算。如果 6 位计数器的计数小于 63，则出现在 6 位计数器 TC 输出端处的信号为低。图中，该输出信号称为

“alpha\_I\_parity(奇偶性)\_ok(良好)”，以表示某一高信号电平表示无奇偶差错。  
10 该奇偶性信号提供到信道微处理器 114(图 3)，并且也提供到 AND(与)门 178 的一个输入端。AND 门的另一输入端是一个由“NO(无)\_CROSS(交叉)\_CHECK(检验)”信号与“alpha\_Q\_parity\_ok”信号的逻辑积接收的信号。

NO\_CROSS\_CHECK 信号是一个从信道元素微处理器 114 接收的信号，如果不需要进行 I 和 Q 信道奇偶数据的交叉检验，则该信号设置为高。

15 alpha\_Q\_parity\_ok 信号是对同一区段(Alpha)、Q 信道数据流进行处理的 6 位奇偶计数器(未图示)的奇偶输出信号。因此，Beta 信道和 Gamma 信道区段加法器具有对奇偶性进行交叉检验的能力，所以，每一区段的 I 信道加法器接收 Q 信道加法器数据，而 Q 信道加法器接收 I 信道加法器数据。NO\_CROSS\_CHECK 信号和 alpha\_Q\_parity\_ok 信号通过一“或”门 180 发送，以产生用于“与”门 178 的  
20 逻辑积信号。

因此，如果 NO\_CROSS\_CHECK 信号为高(不需要进行交叉检验)，或者如果 alpha\_Q\_parity\_ok 信号为高(没有反向信道奇偶差错)，那么来自 6 位计数器 176 的无奇偶差错条件从奇偶交叉检验“与”门 178 产生高电平输出。如果二交叉检验信号均为低，这意味着需要进行交叉检验并且反向信道具有奇偶差错，那么不  
25 管 6 位计数器 276 的输出如何，奇偶交叉检验“与”门 178 的输出将为低。

在奇偶检验块 174 中，交叉检验“与”门 178 的输出接着提供作为通向“或”门 180 的一个输入端，“或”门的另一个输入端是 NO\_PARITY\_CHECK 信号。如果不需要对接收的外部输入数据进行奇偶性检验，则 NO\_PARITY\_CHECK 信号变高。因此，如果二门输入均为低，表示 NO\_PARITY\_CHECK 信号为低，并且都不需要进行交叉检验，反向信道奇偶性为差或者 I 信道奇偶性为差，那么  
30 “或”门的输出将为低。接着，“或”门 180 的输出和从信道元件微处理器接收的输出 NORMAL\_MODE 信号施加到正常模式加法控制“与”门 182，以控制外部输入数据的加和。

当正常模式加和控制“与”门 182 的输出为高时，外部输入寄存器 164、166

的输出通过外部输入“与”门 184、186 施加到二位叠加器 172 的 B0 和 B1 输入端。当正常模式加和控制“与”门输出为低时，输入到二位叠加器的外部输入数据截断，并禁止加和功能，而将加法器置于本地工作模式。所以，如果奇偶性差错出现在输入外部输入数据流上，加法器会自动启动本地工作模式，并停止将外部输入数据加到输出数据流中。这样，来自调制器加法器的在一连串串接和调制器中向上流动所有数据将被废弃。

因此，应当清楚，如果出现下述情况，则加和功能被禁止，(1) NORMAL\_MODE 信号为低，或者(2) NO\_PARITY\_CHECK 信号为低以及或者(a) alpha\_I\_parity\_ok 信号为低(奇偶差错)，或者(b) NO\_CROSS\_CHECK 信号为低，并且  
10 alpha\_Q\_parity\_ok 信号为低(反向信道奇偶性差错)。

还应当注意，6 位计数器 176 一种装置，这种装置如果出现 63 个连续数据输入周期中没有奇偶差错而检测到一个奇偶差错以后，具有自动恢复二位叠加器 172 的加和功能。即，在来自接收外部偶、奇数据位并产生奇数奇偶性的输入数据“异或”门 177 的 63 个连续脉冲以后，6 为计数器的输出变高。所以，在出现 63 个时钟周期而没有离芯片数据输入奇偶差错以后，6 位计数器的输出变高。

旁路模式不直接影响加和运算，但选择用作输出寄存器 168、170 的数据，作为来自二位叠加器 172 的 Q0 和 Q1 输出端或来自外部输入寄存器 164、166 的输入。外部输入寄存器输出的选择出现在选择旁路模式的时候，这出现在称为“BY\_MODE”的信号变高的时候。BY\_MODE 信号在一对输出多路复用器 190、192 的“0”和“1”组输入线之间进行选择，从输出多路复用器 190、192 输出寄存器 168、170 提供 TX\_ALPHA\_I0 和 TX\_ALPHA\_I1 数据。即，如果 BYPASS\_MODE 信号设置在“0”，则输出多路复用器从二位叠加器 172 的加和输出端 Q0 和 Q1 选择输入数据。如果 BYPASS\_MODE 信号设置在“1”，  
20 则输出多路复用器从外部输入数据寄存器 164、166 选择输入数据，以获得 ALPHA\_I 数据流。当选择旁路模式时，则如上所述，出现在输出寄存器 168、170 处的数据将是外部输入寄存器 164、166 处数据经二时钟脉冲延迟的复制。这样，BYPASS\_MODE 信号选择是否要旁路加法器处理。

旁路模式提供了一种使各加法器复位和旁路的方便的装置。例如，一复位寄存器(未图示)可以被设置成使得当寄存值设置在高电平时，它产生用作  
30 BYPASS\_MODE 信号的高信号。例如，信道元件微处理器 114 可以控制复位寄存器的复位。例如，如果蜂窝站调制器 110 的结构使得加法器的加和功能不被使用时，信道元件微处理器可以选择旁路某一加法器。旁路模式特性提供了一种具有相当高可靠性地使加法器旁路的装置，因为必须恰当用于旁路模式使之恰当工作

的唯一硬件元件是 BYPASS\_MODE 信号线、外部输入寄存器、输出寄存器和相关的多路复用器。与时序电路 152 相关的半\_芯片信号还提供给加法器的各个其他逻辑元件，以确保寄存器值、数据指数等被恰当地对每一新的数据取样进行初始化。因此，半\_芯片信号提供给外部输入奇偶检验“或”门 194，从而对每一新的数据取样设置来自奇偶“异或”门 177 的、保持在寄存器 196 中的奇偶计数。类似地，半\_芯片信号提供给加和输出奇偶产生“或”门 198，从而对每一新的数据取样设置来自奇偶“异或”门 202 的、保持在用于二位叠加器的寄存器 200 中的奇偶计数。半\_芯片信号还提供给多路复用器 204，该多路复用器从二位叠加器 172 的 Q1 输出或者“异或”门 206 的输出选择数据，Q1 输出是与叠加器的 Q0 输出和叠加器奇偶寄存器 200 的输出一起提供的。

最后，在反相以后，半\_芯片信号还提供到进位输入“与”门 208 的输入端。来自二位叠加器 172 的进位输出信号“cout”是输入“与”门的另一输入端，该“与”门的输出提供到寄存器 210，寄存器 210 接着将其输出提供到二位叠加器的进位输入管脚“cin”。

如果需要，加法器 118 可以检测二位叠加器 172 的溢出情况。溢出情况可以表示如故障数据、数据帧差错或断线。图 7 描述的是在加法器中是如何实施溢出检测的。

图 7 描述的是二位叠加器 172 的内部结构可以包括两个一位叠加器 402、404，二叠加器分别接收 A0、B0 偶数据位和 A1、B1 奇数据位。一位叠加器 402、404 分别产生 Q0 和 Q1 输出位。来自偶叠加器 402 的进位输出信号 cout<sub>0</sub> 提供到奇叠加器的进位输入输入端 cin<sub>1</sub>。奇叠加器 404 的进位输出信号 cout<sub>1</sub> 是二位叠加器 172 的进位输出信号 cout。图 7 描述的是 Q0 输出，和偶叠加器的输出信号 cout<sub>0</sub> 提供到“异或”门 406。“异或”门输出和半\_芯片信号提供到溢出“与”门 408，以产生溢出信号。

溢出信号非常类似于 alpha\_I\_parity\_ok 信号，用来控制加法器的运行，并(与“异或”门 177 的输出一起)提供给 6 位计数器 176 的启动清除管脚。所以，如果溢出信号变高，则加法器自动置于本地模式，并且其输出从串联连接的调制器链路中检测出来。

用于数据流中的 11 位数据位和一奇偶位、较佳实施例中定义的数据结构留下了 4 位峰值储备。4 位峰值储备表示可以对多达 16 个经调制的话音信号进行加和，而不必担心加和时的溢出。所以，图 1 中的调制器结构允许两个调制器的输出与硬线离散加法器和相关的电路连接起来，按照本发明的调制器在必须使用硬线离散加法器连接和相关控制电路之前，允许多达 16 个调制器连接在一起。连接数量的减少使得系统的空间需求减少，降低了成本并增加了可靠性。

所以，上述调制器处理器包括一集成加法器，该加法器接收本地数据，还接收来自第二调制器的输入数据。调制器可以将二数据流加和，并输出其和。输出数据可以提供给下一个调制器，用作加和，或者可以提供作为一系列调制器对发射功率放大器的最终输出，用于在电信系统上传播。输入数据的奇偶检验使得错误数据可以被忽略，并防止差错的传播。这样，就减少了串联连接调制器所必须的元件和硬线联线的数量，从而使所需空间减小、成本降低，并增加了可靠性。

本发明是按照当前较佳实施例来描述的，从而可以便于理解本发明。但是，还可以有许多蜂窝电话通信调制解调器和系统的结构没有一一描述，但本发明也可以采用这些结构。所以，本发明不应当被视为仅仅限于这些特定的实施例，相反，应当理解，就总体通信调制解调器而言，本发明具有较宽的应用性。所以，落在后文权利要求范围内的所有的修正、变异或等效结构都应当被视为是在本发明的范围内。

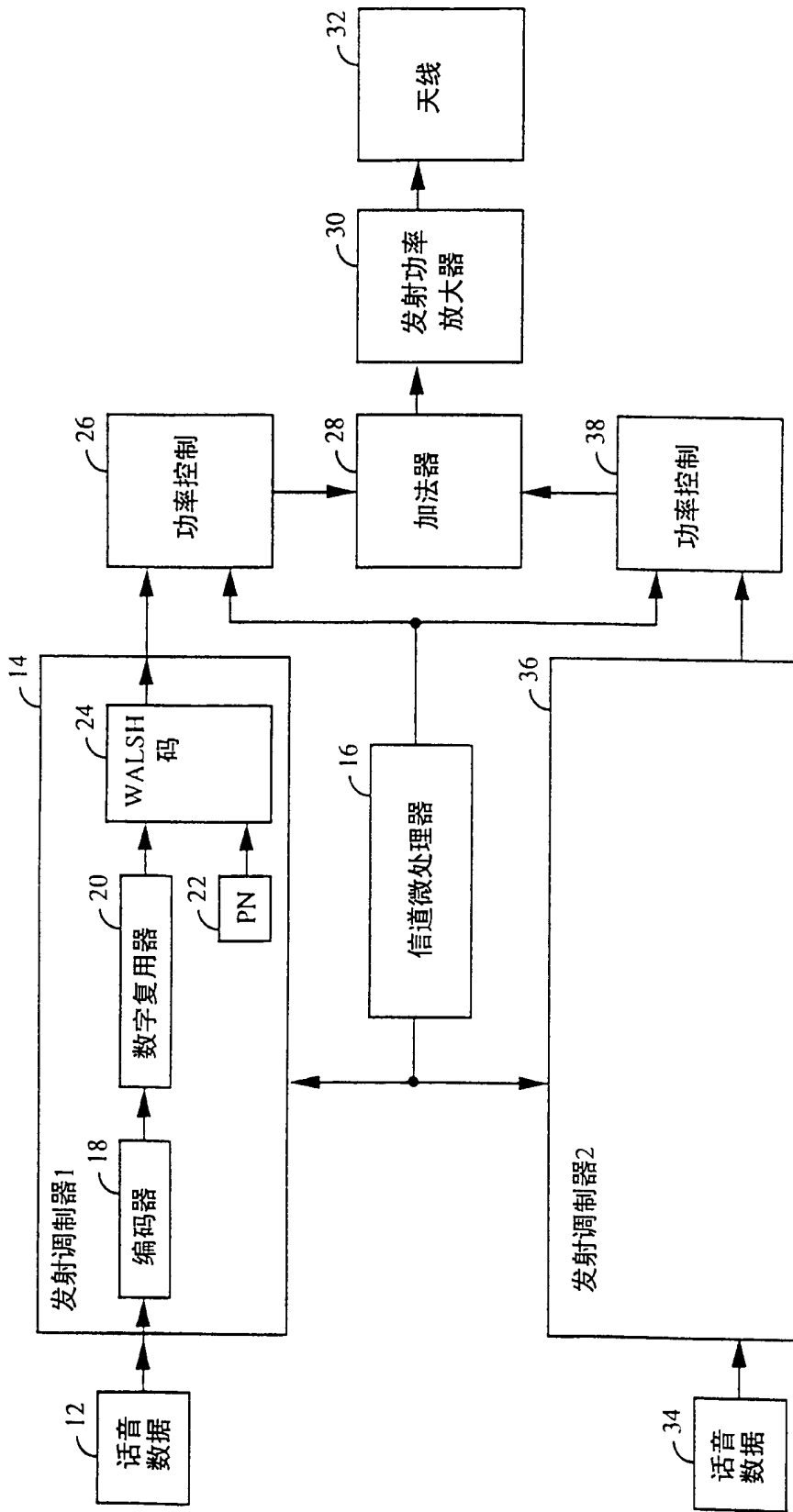


图 1

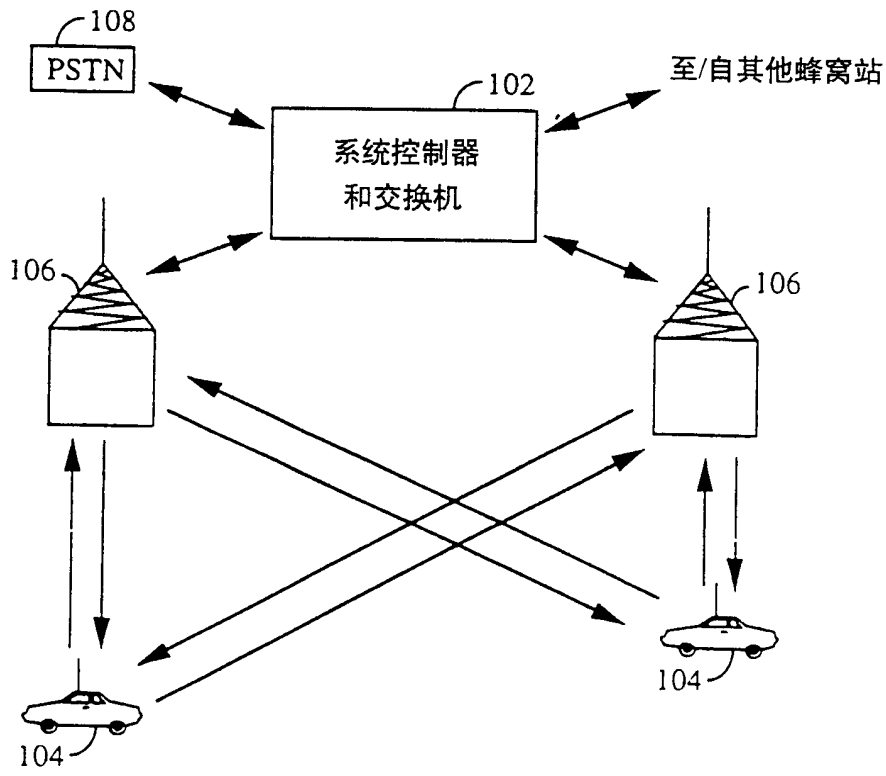


图 2

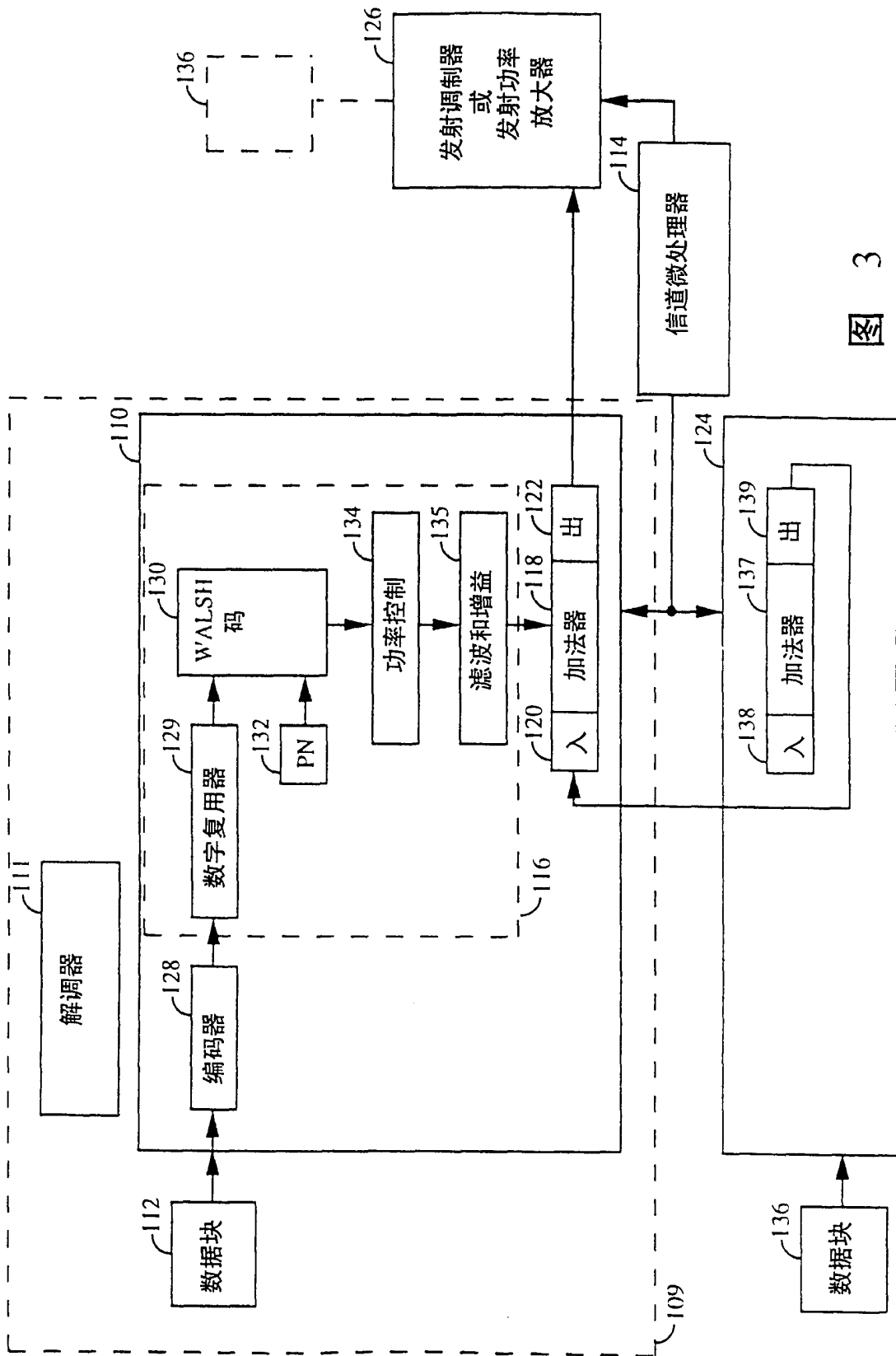


图 3

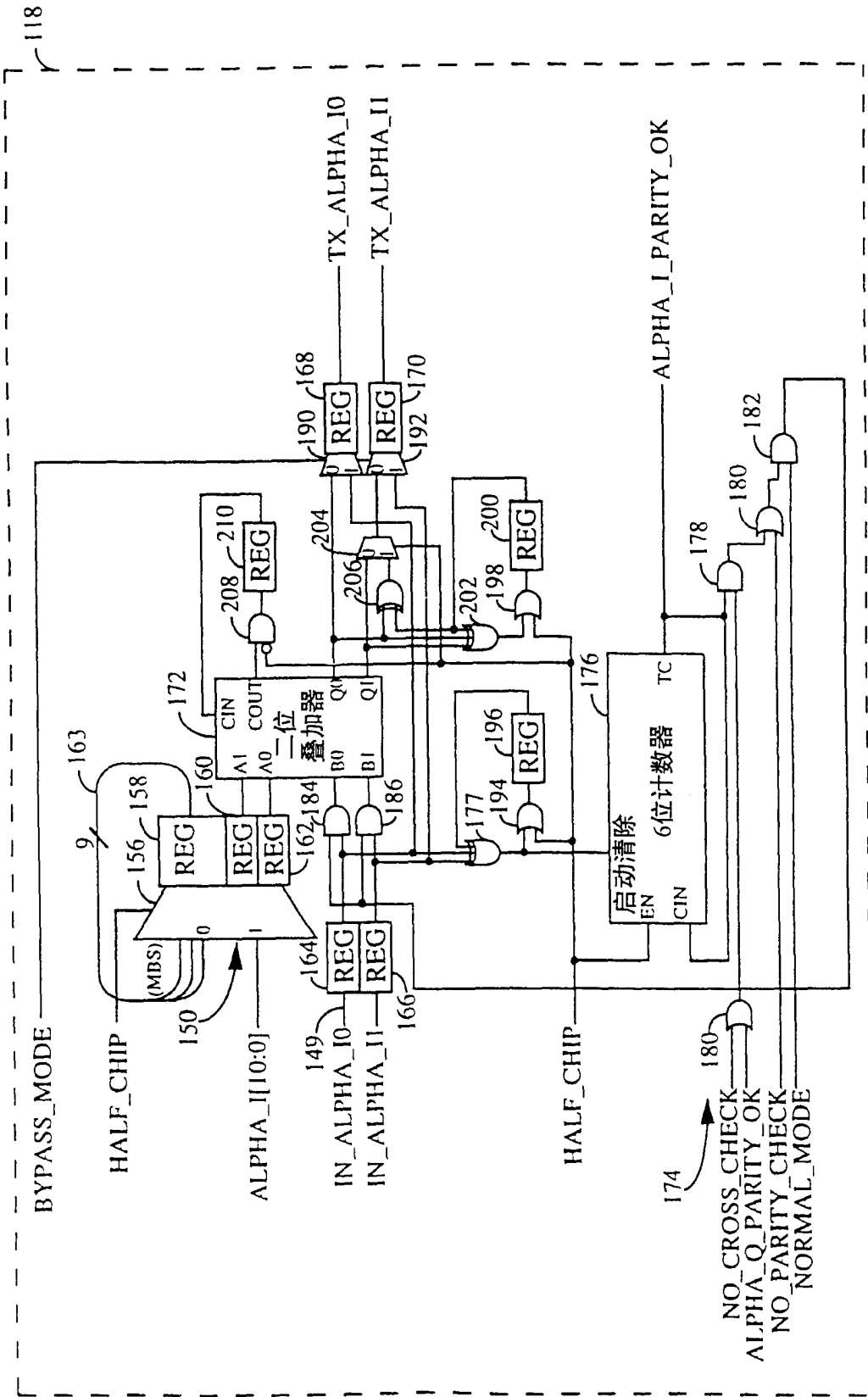


图 4

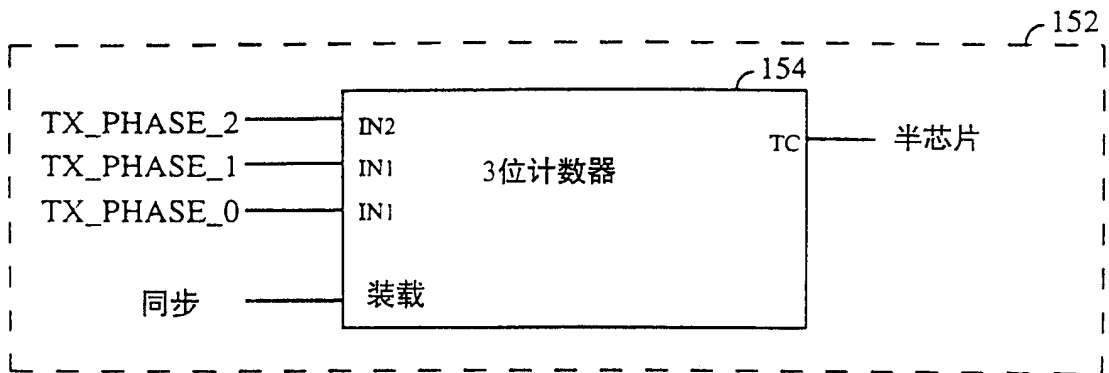


图 5

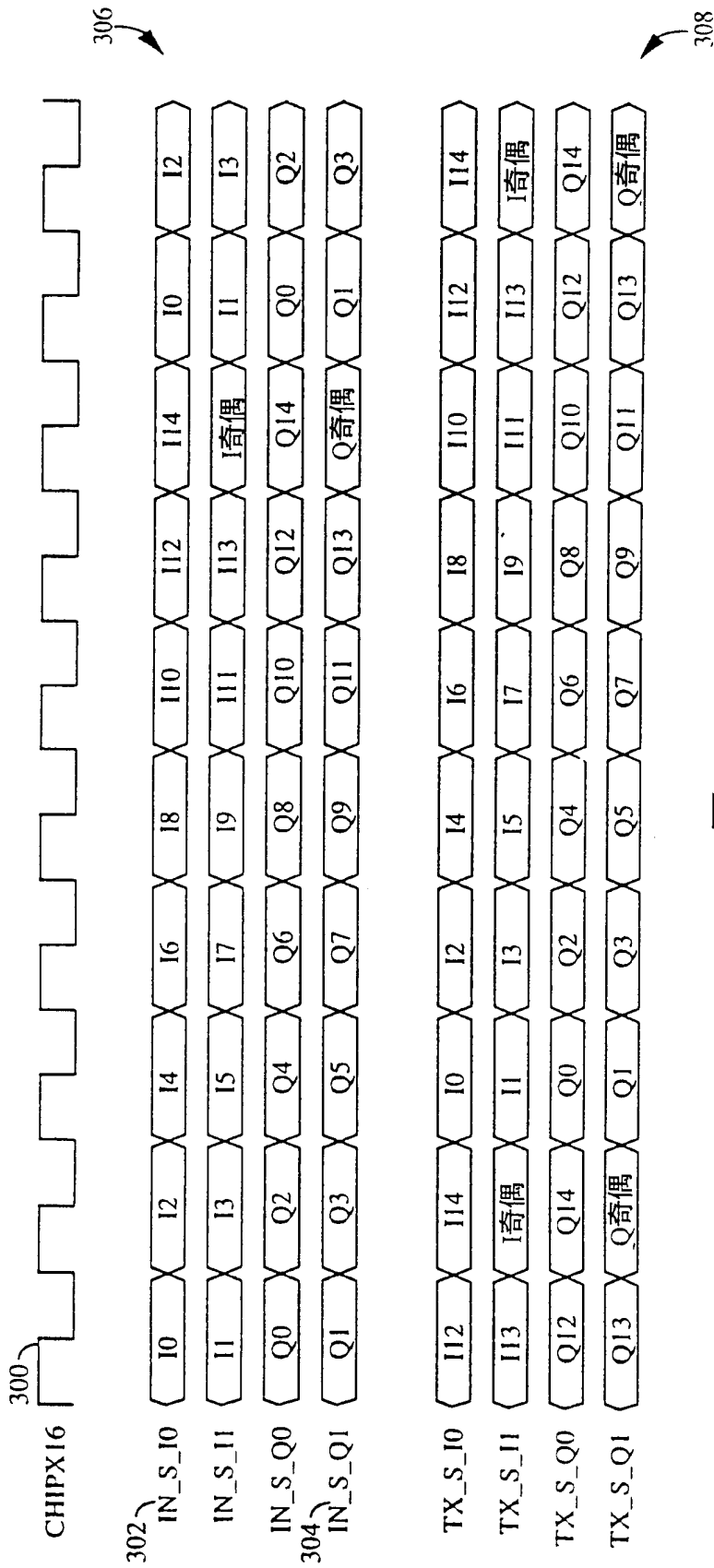


图 6

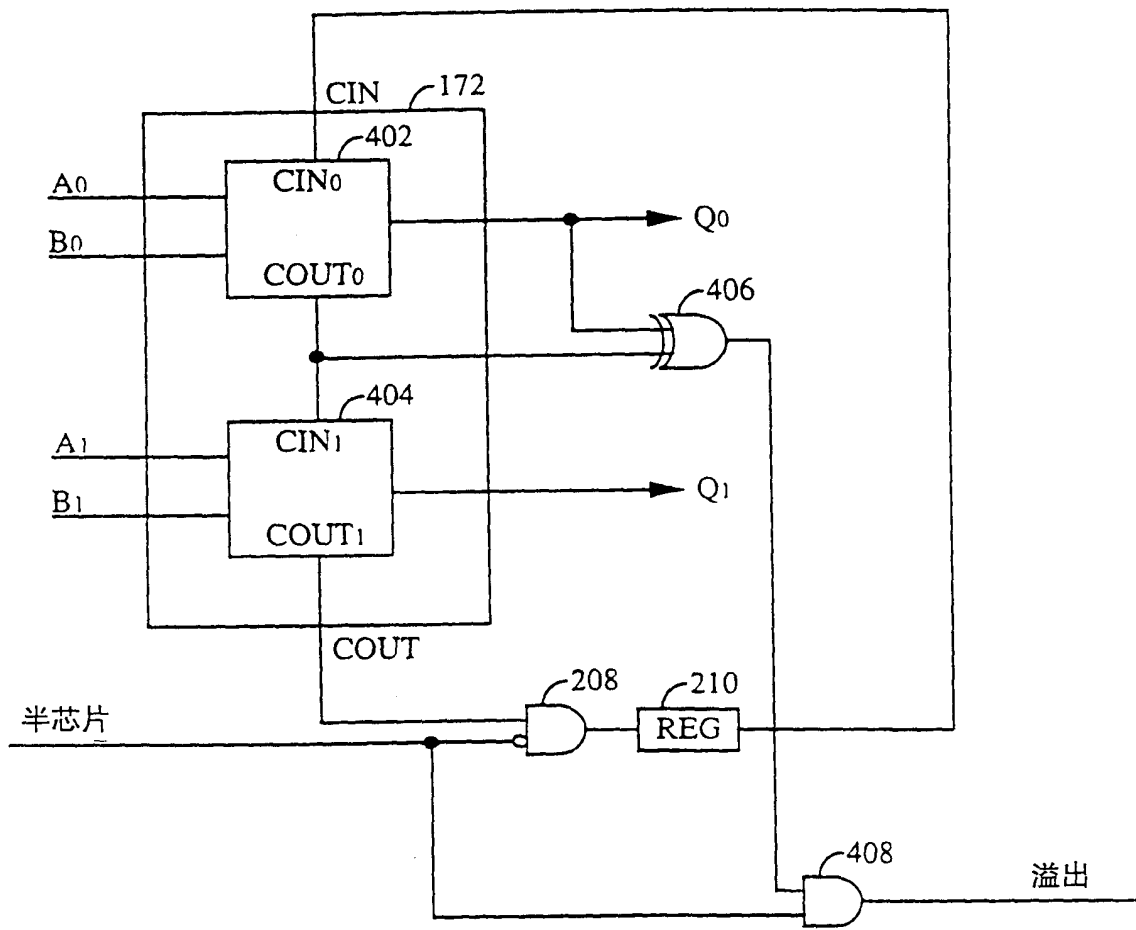


图 7