

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



(10) 国際公開番号

WO 2012/124434 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 27/144 (2006.01)
G02F 1/1368 (2006.01) H01L 27/146 (2006.01)
H01L 21/336 (2006.01) H01L 51/50 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054006
- (22) 国際出願日: 2012 年 2 月 20 日(20.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-055559 2011 年 3 月 14 日(14.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士
フィルム株式会社 (FUJIFILM Corporation) [JP/JP];
〒1068620 東京都港区西麻布 2 丁目 2 6 番 3 0
号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高田 真宏
(TAKATA, Masahiro) [JP/JP]; 〒2588577 神奈川県足
柄上郡開成町牛島 5 7 7 番地 富士フィルム株
式会社内 Kanagawa (JP). 田中 淳 (TANAKA, At-
sushi) [JP/JP]; 〒2588577 神奈川県足柄上郡開成町

牛島 5 7 7 番地 富士フィルム株式会社内
Kanagawa (JP).

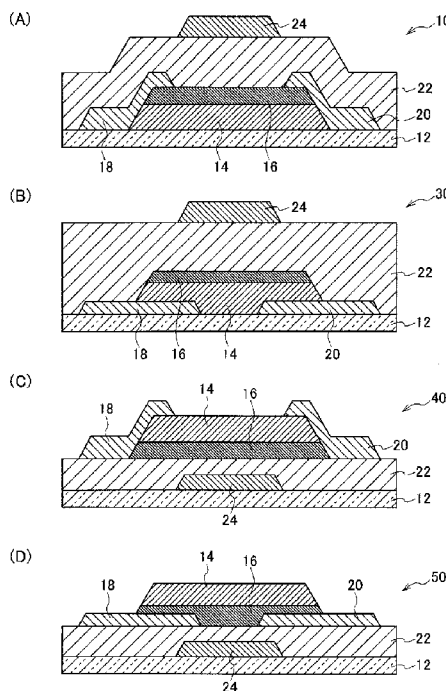
- (74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒
1600022 東京都新宿区新宿 4 丁目 3 番 1 7 号
H K 新宿ビル 7 階 太陽国際特許事務所 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: FIELD EFFECT TRANSISTOR, DISPLAY DEVICE, SENSOR, AND METHOD FOR PRODUCING FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法

[図1]



(57) Abstract: Provided is a field effect transistor having: a gate insulating film; an oxide semiconductor layer as an active layer and having as primary constituent elements Sn, Zn, and O, or Sn, Ga, Zn, and O; and an oxide intermediate layer that is disposed between the gate insulating film and the oxide semiconductor layer and that has a higher resistivity than the oxide semiconductor layer.

(57) 要約: ゲート絶縁膜と、活性層として Sn, Zn 及び O、又は Sn, Ga, Zn 及び O を主たる構成元素とする酸化物半導体層と、前記ゲート絶縁膜と前記酸化物半導体層との間に配置され、前記酸化物半導体層よりも抵抗率が高い酸化物中間層と、を有する電界効果型トランジスタ、が提供される。

WO 2012/124434 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法

技術分野

[0001] 本発明は、電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法に関する。

背景技術

[0002] 電界効果型トランジスタは、半導体メモリ用集積回路の単位素子、高周波信号増幅素子、液晶などの表示素子駆動用素子として広く用いられており、特に薄膜化したものは薄膜トランジスタ（TFT：Thin Film Transistor）と呼ばれている。そして、フラットパネルディスプレイにおいては、大面積で形成可能なアモルファスシリコンからなる活性層を有したシリコン系TFTが用いられている。

[0003] 近年、このアモルファスシリコンの代わりに、 $In-Ga-Zn-O$ （以下、「IGZO」と呼称する）系酸化物半導体薄膜を活性層（チャネル層）に用いたTFTの開発が活発に行われている。酸化物半導体薄膜は低温成膜が可能であり、且つアモルファスシリコンよりも高移動度を示し、更に可視光に透明であることからプラスチック板やフィルム等の基板上にフレキシブルで透明なTFTを形成することが可能である。

[0004] しかしながら、IGZO系で高い移動度を有するTFTを作製するためには、高温（例えば大気中で 400°C 以上）でのポストアニールが必要であり、耐熱性の低いフレキシブル基板上にTFTを形成することは困難であった。

[0005] ところで、IGZOのInの代わりにSnを用いた $Sn-Ga-Zn-O$ （以下、「SGZO」と呼称する）系酸化物半導体薄膜は、IGZO系酸化物半導体薄膜とは異なりレアメタルであるInを含まないこと、 Sn^{4+} が In^{3+} と同じ電子配置をとることからIGZO系に替わる新規酸化物半導体薄

膜として期待されている。なお、上記「SGZO」のうち、Gaは必須としなくてもよい。

[0006] そこで、特開2010-50165号公報には、ゲート絶縁膜上に形成されたIn, Sn及びZn等のうち少なくとも1つの元素を含む第1の金属酸化物層を活性領域とし、この上にInを含まず、第1の金属酸化物層よりシート抵抗が高い第2の金属酸化物層を積層したTFTが開示されている。

[0007] また、特開2010-16348号公報では、ZnOにGa, In, Sn等のうち少なくとも1つのイオンをドーピングして構成される活性層の上面又は下面のうちの少なくとも一面に、界面安定化層を配置したTFTが開示されている。

発明の開示

発明が解決しようとする課題

[0008] しかしながら、特開2010-50165号公報に記載のTFTは、活性領域となる第1の金属酸化物層（活性層）の構成元素としてSnを必須としていない。また、このトランジスタでは、閾値電圧の安定化を図るために、この第1の金属酸化物層を、ゲート絶縁膜と第2の金属酸化物層との間に配置しているが、このような配置では移動度の向上は図れないと考えられる。

[0009] また、特開2010-16348号公報に記載のTFTは、ゲート絶縁膜と活性層との間の中間層となり得る界面安定化層を備えているが、活性層の構成元素としてSnを必須としていない。また、特開2010-16348号公報では、界面特性の向上を図ることを目的としており、SGZO系酸化物半導体で構成された活性層を備えるTFTの移動度向上については一切記載も示唆もされていない。

[0010] 本発明は上記事実に鑑みてなされたものであり、活性層としてSn, Zn及びO、又はSn, Ga, Zn及びOを主たる構成元素とする酸化物半導体層を備えつつ、移動度を向上した電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の上記課題は下記的手段によって解決された。

<1>ゲート絶縁膜と、活性層として S_n, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とする酸化物半導体層と、前記ゲート絶縁膜と前記酸化物半導体層との間に配置され、前記酸化物半導体層よりも抵抗率が高い酸化物中間層と、を有する電界効果型トランジスタ。

<2> 前記酸化物中間層は、 In, Ga, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とする、<1>に記載の電界効果型トランジスタ。

<3>前記酸化物中間層は、 In, Ga, Z_n 及び O を主たる構成元素とする、<2>に記載の電界効果型トランジスタ。

<4>前記酸化物半導体層は、 S_n, Ga, Z_n 及び O を主たる構成元素とする、<1>~<3>の何れか1つに記載の電界効果型トランジスタ。

<5>前記酸化物半導体層の元素組成比を $S_n : Ga : Z_n = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす、<1>~<4>の何れか1つに記載の電界効果型トランジスタ。

<6>前記酸化物半導体層は、非晶質である、請求項1~請求項5の何れか1項に記載の電界効果型トランジスタ。

<7>前記酸化物半導体層の抵抗率は、 $1 \Omega \text{cm}$ 以上 $1 \times 10^6 \Omega \text{cm}$ 以下である、<1>~<6>の何れか1つに記載の電界効果型トランジスタ。

<8>前記酸化物中間層の膜厚は、 1nm 以上 50nm 以下である、<1>~<7>の何れか1つに記載の電界効果型トランジスタ。

[0012] <9><1>~<8>の何れか1つに記載の電界効果型トランジスタを備えた表示装置。

<10><1>~<8>の何れか1つに記載の電界効果型トランジスタを備えたセンサ。

<11>基板上に形成されたゲート絶縁膜上に In, Ga, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とする酸化物中間層を成膜する第

一の工程と、前記酸化物中間層上に S_n, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とし、前記構成元素の元素組成比を $S_n : Ga : Z_n = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を成膜する第二の工程と、 100°C 以上 300°C 未満の熱処理を施す第三の工程と、をこの順に有する電界効果型トランジスタの製造方法。

<12> S_n, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とし、前記構成元素の元素組成比を $S_n : Ga : Z_n = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を基板上に成膜する第一の工程と、前記酸化物半導体層上に In, Ga, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とする酸化物中間層を成膜する第二の工程と、前記酸化物中間層上にゲート絶縁膜を形成する第三の工程と、前記第二の工程後又は前記第三の工程後に、 100°C 以上 300°C 未満の熱処理を施す第四の工程と、を有する電界効果型トランジスタの製造方法。

<13> 前記酸化物半導体層及び前記酸化物中間層は、スパッタリングで成膜する、<11> 又は <12> に記載の電界効果型トランジスタの製造方法。

発明の効果

[0013] 本発明によれば、 S_n, Z_n 及び O 、又は S_n, Ga, Z_n 及び O を主たる構成元素とする酸化物半導体で構成された活性層を備えつつ、移動度を向上した電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法を提供することができる。

図面の簡単な説明

[0014] [図1] 図1 (A) は、本発明の実施形態に係る T F T であって、トップゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図1 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図1 (C) は、本発明の実

施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図 1 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。

[図2]図 2 は、本発明の電気光学装置の一実施形態の液晶表示装置について、その一部分の概略断面図である。

[図3]図 3 は、図 2 に示す液晶表示装置の電気配線の概略構成図である。

[図4]図 4 は、本発明の電気光学装置の一実施形態のアクティブマトリックス方式の有機 E L 表示装置について、その一部分の概略断面図である。

[図5]図 5 は、図 4 に示す電気光学装置の電気配線の概略構成図である。

[図6]図 6 は、本発明のセンサの一実施形態である X 線センサについて、その一部分の概略断面図である。

[図7]図 7 は、図 6 に示すセンサの電気配線の概略構成図である。

[図8]図 8 (A) は実施例及び比較例の T F T の平面図であり、図 8 (B) は図 8 (A) に示す T F T の A - A 線矢視断面図である。

[図9]図 9 は、実施例 1, 2 及び比較例 1 の T F T における $V_g - I_d$ 特性を示す図である。

[図10]図 10 は、実施例 3 及び比較例 2 の T F T における $V_g - I_d$ 特性を示す図である。

[図11]図 11 は、実施例 4 及び比較例 3 の $V_g - I_d$ 特性を示す図である。

[図12]図 12 は、比較例 4 ~ 6 の $V_g - I_d$ 特性を示す図である。

発明を実施するための最良の形態

[0015] 以下、添付の図面を参照しながら、本発明の実施形態に係る電界効果型トランジスタ、表示装置、センサ及び電界効果型トランジスタの製造方法について具体的に説明する。なお、図中、同一又は対応する機能を有する部材（構成要素）には同じ符号を付して適宜説明を省略する。

[0016] 1. 電界効果型トランジスタ

本発明の実施形態に係る電界効果型トランジスタの製造方法について、T

F Tを一例に挙げて具体的に説明する。

[0017] <TF Tの概略構成>

本発明の実施形態に係るTF Tは、ゲート電極、ゲート絶縁膜、活性層、ソース電極及びドレイン電極を有し、ゲート電極に電圧を印加して、活性層に流れる電流を制御し、ソース電極とドレイン電極間の電流をスイッチングする機能を有するアクティブ素子である。そして、本発明の実施形態に係るTF Tではさらに、ゲート絶縁膜と活性層との間に酸化物中間層が配置されている。

[0018] TF Tの素子構造としては、ゲート電極の位置に基づいた、いわゆる逆スタガ構造（ボトムゲート型とも呼ばれる）及びスタガ構造（トップゲート型とも呼ばれる）のいずれの態様であってもよい。また、活性層とソース電極及びドレイン電極（適宜、「ソース・ドレイン電極」という。）との接触部分に基づき、いわゆるトップコンタクト型、ボトムコンタクト型のいずれの態様であってもよい。

なお、トップゲート型とは、ゲート絶縁膜の上側にゲート電極が配置され、ゲート絶縁膜の下側に活性層が形成された形態であり、ボトムゲート型とは、ゲート絶縁膜の下側にゲート電極が配置され、ゲート絶縁膜の上側に活性層が形成された形態である。また、ボトムコンタクト型とは、ソース・ドレイン電極が活性層よりも先に形成されて活性層の下面がソース・ドレイン電極に接触する形態であり、トップコンタクト型とは、活性層がソース・ドレイン電極よりも先に形成されて活性層の上面がソース・ドレイン電極に接触する形態である。

[0019] 図1（A）は、本発明の実施形態に係るTF Tであって、トップゲート構造でトップコンタクト型のTF Tの一例を示す模式図である。図1（A）に示すTF T 10では、基板12の一方の主面上に活性層となる酸化物半導体層14と、本発明の実施形態に係る酸化物中間層16とが、順に積層されている。そして、この酸化物中間層16上にソース電極18及びドレイン電極20が互いに離間して設置され、更にこれらの上にゲート絶縁膜22と、ゲ

ート電極 24 とが順に積層されている。

[0020] 図 1 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図 1 (B) に示す T F T 30 では、基板 12 の一方の主面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置されている。そして、活性層となる酸化物半導体層 14 と、本発明の実施形態に係る酸化物中間層 16 と、ゲート絶縁膜 22 と、ゲート電極 24 と、が順に積層されている。

[0021] 図 1 (C) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図 1 (C) に示す T F T 40 では、基板 12 の一方の主面上にゲート電極 24 と、ゲート絶縁膜 22 と、本発明の実施形態に係る酸化物中間層 16 と、活性層となる酸化物半導体層 14 と、が順に積層されている。そして、この酸化物半導体層 14 の表面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置されている。

[0022] 図 1 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図 1 (D) に示す T F T 50 では、基板 12 の一方の主面上にゲート電極 24 と、ゲート絶縁膜 22 と、が順に積層されている。そして、このゲート絶縁膜 22 の表面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置され、更にこれらの上に、本発明の実施形態に係る酸化物中間層 16 と、活性層となる酸化物半導体層 14 と、が順に積層されている。

[0023] なお、本実施形態に係る T F T は、上記以外にも、様々な構成をとることが可能であり、適宜、活性層上に保護層や基板上に絶縁層等を備える構成であってもよい。

[0024] 以下、各構成要素について詳述する。なお、代表例として図 1 (A) に示すトップゲート構造でトップコンタクト型の T F T 10 を製造する場合について具体的に説明するが、本発明は他の形態の T F T を製造する場合についても同様に適用することができる。

[0025] <TF Tの詳細構成>

ー基板ー

まず、TF T 1 0を形成するための基板 1 2を用意する。基板 1 2の形状、構造、大きさ等については特に制限はなく、目的に応じて適宜選択することが出来る。基板 1 2の構造は単層構造であってもよいし、積層構造であってもよい。

基板 1 2の材質としては特に限定はなく、例えばガラス、YSZ（イットリウム安定化ジルコニウム）等の無機基板、樹脂基板や、その複合材料等を用いることが出来る。中でも軽量である点、可撓性を有する点から樹脂基板やその複合材料が好ましい。具体的には、ポリブチレンテレフタレート、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリブチレンナフタレート、ポリスチレン、ポリカーボネート、ポリスルホン、ポリエーテルスルホン、ポリアリレート、アリルジグリコールカーボネート、ポリアミド、ポリイミド、ポリアミドイミド、ポリエーテルイミド、ポリベンズアゾール、ポリフェニレンサルファイド、ポリシクロオレフィン、ノルボルネン樹脂、ポリクロロトリフルオロエチレン等のフッ素樹脂、液晶ポリマー、アクリル樹脂、エポキシ樹脂、シリコーン樹脂、アイオノマー樹脂、シアネート樹脂、架橋フマル酸ジエステル、環状ポリオレフィン、芳香族エーテル、マレイミドオレフィン、セルロース、エピスルフィド化合物等の合成樹脂基板、酸化珪素粒子との複合プラスチック材料、金属ナノ粒子、無機酸化物ナノ粒子、無機窒化物ナノ粒子等との複合プラスチック材料、カーボン繊維、カーボンナノチューブとの複合プラスチック材料、ガラスフェレーク、ガラスファイバー、ガラスビーズとの複合プラスチック材料、粘土鉱物や雲母派生結晶構造を有する粒子との複合プラスチック材料、薄いガラスと上記単独有機材料との間に少なくとも1回の接合界面を有する積層プラスチック材料、無機層と有機層を交互に積層することで、少なくとも1回以上の接合界面を有するバリア性能を有する複合材料、ステンレス基板或いはステンレスと異種金属を積層した金属多層基板、アルミニウム基板或いは表面に酸化処理

(例えば陽極酸化処理)を施すことで表面の絶縁性を向上させた酸化皮膜付きのアルミニウム基板等を用いることが出来る。また、樹脂基板は、耐熱性、寸法安定性、耐溶剤性、電気絶縁性、加工性、低通気性、又は低吸湿性等に優れていることが好ましい。前記樹脂基板は、水分や酸素の透過を防止するためのガスバリア層や、樹脂基板の平坦性や下部電極との密着性を向上するためのアンダーコート層等を備えていてもよい。

[0026] また、本発明における基板12の厚みに特に制限はないが、 $50\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下が好ましく、 $50\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であることがより好ましい。基板12の厚みが $50\mu\text{m}$ 以上であると、基板12自体の平坦性がより向上する。また、基板12の厚みが $500\mu\text{m}$ 以下であると、基板12自体の可撓性がより向上し、フレキシブルデバイス用基板としての使用がより容易となる。

[0027] 一酸化物半導体層ー

次に、基板12上に、トランジスタとして主に活性層(領域)となる酸化物半導体層14を形成する。

酸化物半導体層14は、 Sn 、 Zn 及び O 、又は Sn 、 Ga 、 Zn 及び O を主たる構成元素とする。これらの中でも、電氣的安定性という観点から、 Sn 、 Ga 、 Zn 及び O を主たる構成元素とすることが好ましい。なお、「主たる構成元素」とは、酸化物半導体層14の全構成元素に対する Sn 、 Zn 及び O 、又は Sn 、 Ga 、 Zn 及び O の合計割合が98%以上であることを意味するものとする。

また、 Sn 、 Zn 及び O 、又は Sn 、 Ga 、 Zn 及び O を主たる構成元素とする際、その組成比を $\text{Sn}:\text{Ga}:\text{Zn}=a:b:c$ とした場合、当該組成比が、 $a+b=2$ 、且つ $1\leq a\leq 2$ 、且つ $1\leq c\leq 11/2$ 、且つ $c\geq -7b/4+11/4$ を満たすことが好ましい。本組成比の材料を用いることで酸化物半導体層14中の水分量が低減されて低温アニール後の水分量のバラツキも抑制される。これにより、当該水分量のバラツキに伴う電気特性バラツキも抑制され、且つ低温アニール時の酸化物半導体層14の低抵抗化も起こらず

デバイス設計が容易となる。

- [0028] また、酸化物半導体層 1 4 は、非晶質又は結晶質のいずれであってもよい。ただし、非晶質の場合には、低温で成膜可能であるために、可撓性のある基板 1 2 上に好適に形成される。なお、酸化物半導体層 1 4 が非晶質であるかどうかは、X線回折測定により確認することができる。即ち、X線回折測定により、結晶構造を示す明確なピークが検出されなかった場合は、その酸化物半導体層 1 4 は非晶質であると判断することができる。
- [0029] 酸化物半導体層 1 4 の膜厚は、特に限定されないが、薄膜の平坦性及び成膜時間の観点から 5 nm 以上 150 nm 以下であることが好ましい。
- [0030] 酸化物半導体層 1 4 の成膜方法としては、Sn, Zn 及び O や Sn, Ga, Zn 及び O を主たる構成元素とする酸化物半導体の多結晶焼結体をターゲットとして、気相成膜法を用いるのが好ましい。気相成膜法の中でも、スパッタリング法、パルスレーザー蒸着法（PLD 法）が適している。さらに、量産性の観点から、スパッタリング法が好ましい。例えば、RF マグネトロンスパッタリング蒸着法により、真空度及び酸素流量を制御して成膜される。
- [0031] 特に、Sn, Ga, Zn の組成比が上記のような組成比となる酸化物半導体薄膜を、スパッタリング法を用いて成膜する方法としては、成膜した酸化物半導体薄膜中の Sn, Ga, Zn 組成比が上記のような組成比となるような複合酸化物ターゲットの単独スパッタであってもよく、Sn, Ga, Zn 又はこれらの単純酸化物若しくはこれらの複合酸化物ターゲットを組み合わせて用いた共スパッタであってもよい。
- [0032] 酸化物半導体層 1 4 の抵抗率は、一般的に半導体として振舞う抵抗率であればよいが、特に、活性領域とする観点から、室温（20℃）での抵抗率が、 $1\ \Omega\text{cm}$ 以上 $1 \times 10^6\ \Omega\text{cm}$ 以下であるのが好ましい。酸化物半導体層 1 4 の抵抗率を制御するためには、成膜時の成膜室内の酸素分圧を任意に制御する。成膜室内の酸素分圧を制御する手法としては、成膜室内に導入する O_2 ガス量を変化させる方法であってもよく、酸素ラジカルやオゾンガスの導入量を変化させる方法であってもよい。また、酸素ガス導入を停止させた場

合でも抵抗が高い場合には、成膜室内の全ガス分圧を低くする手法や、 H_2 や N_2 等の還元性ガスを導入する手法を用いてもよい。酸素分圧を高くすれば、酸化物半導体層14の導電率を低下（抵抗率を上昇）させることができ、酸素分圧を低くすれば、膜中の酸素欠陥を増加させて酸化物半導体層14の導電率を上昇（抵抗率を低下）させることができる。

なお、本実施形態の抵抗率は、4端子法によって測定（電流源：Keithley社製ソースメジャーユニットSMU237、電圧計：Keithley社製ナノボルトメータ2182Aを使用、一部は2端子法により測定）した値である。

[0033] 酸化物半導体薄膜の成膜後は、デバイスに応じて当該薄膜をパターンニングして、酸化物半導体層14を形成する。パターンニングはフォトリソグラフィー及びエッチングにより行うことが出来る。具体的には、残存させる部分にフォトリソグラフィーによりレジストパターンを形成し、塩酸、硝酸、希硫酸、又は燐酸、硝酸及び酢酸の混合液等の酸溶液によりエッチングすることによりパターンを形成する。

[0034] 一酸化物中間層一

酸化物半導体層14上には、酸化物中間層16を形成する。この酸化物中間層16は、酸化物半導体層14よりも抵抗率が高くされている。このため、酸化物半導体層14に容易にチャネルを形成することが出来る。また、このように、 Sn 、 Zn 及び O 、又は In 、 Ga 、 Zn 及び O を主たる構成元素とする酸化物半導体層14と、ゲート絶縁膜22との間に、酸化物半導体層14よりも抵抗率が高い酸化物中間層16を設けることで、設けない場合に比べてオン電流及び移動度を向上させることができる。なお、このような効果は、 $IGZO$ 膜からなる酸化物半導体層14と酸化物中間層16とを備えたTFTでは発生しない特有の効果である。

[0035] 酸化物中間層16は、酸化物を構成元素とするものであれば特に限定されないが、 Sn 、 Ga 、 Zn 及び O 又は In 、 Ga 、 Zn 及び O を主たる構成元素とする。中でも、移動度を飛躍的に向上させるという観点から、 In 、 Ga 、 Zn 及び O を主たる構成元素とすることがより好ましい。なお、「主たる構

成元素」とは、酸化物中間層 16 の全構成元素に対する Sn, Ga, Zn 及び O、又は In, Ga, Zn 及び O の合計割合が 98% 以上であることを意味するものとする。

[0036] 酸化物中間層 16 の膜厚は、平坦性及び成膜時間等の観点から 1 nm 以上 50 nm 以下であることが好ましく、5 nm 以上 25 nm 以下であることがより好ましい。

[0037] 酸化物中間層 16 の成膜方法としては、Sn, Ga, Zn 及び O 又は In, Ga, Zn 及び O を主たる構成元素とする酸化物の多結晶焼結体をターゲットとして、気相成膜法を用いるのが好ましい。気相成膜法の中でも、スパッタリング法、パルスレーザー蒸着法（PLD 法）が適している。さらに、量産性の観点から、スパッタリング法が好ましい。例えば、RF マグネトロンスパッタリング蒸着法により、真空度及び酸素流量を制御して成膜される。このような酸化物中間層 16 を、スパッタを用いて成膜する方法は、複合酸化物ターゲットの単独スパッタであってもよく、例えば Ga, Zn 又はこれらの単純酸化物もしくはこれらの複合酸化物を組み合わせた共スパッタであってもよい。

[0038] また、酸化物中間層 16 は、上述したように酸化物半導体層 14 に比べて高抵抗とされており、例えば $1 \times 10^6 \Omega \text{ cm}$ 超とされている。酸化物中間層 16 の抵抗率制御は、成膜時の成膜室内の酸素分圧を任意に制御することで行うことが出来る。成膜室内の酸素分圧を制御する手法としては、成膜室内に導入する O_2 ガス量を変化させる方法であってもよく、酸素ラジカルやオゾンガスの導入量を変化させる方法であってもよい。成膜室内に導入する O_2 ガス量が同じであっても成膜時の全ガス分圧を高くすることで、より成膜室内の酸素分圧を高くすることが出来る。酸素分圧を高くすれば、酸化物中間層 16 の導電率を低下（抵抗率を上昇）させることができ、酸素分圧を低くすれば、膜中の酸素欠陥を増加させて酸化物中間層 16 の導電率を上昇（抵抗率を低下）させることができる。

[0039] 酸化物薄膜の成膜後、デバイスに応じて当該薄膜をパターンニングして酸

化物中間層 16 を形成する。なお、上記記載はトップゲート構造の場合を説明しているが、ボトムゲート構造の場合では、パターンニングは酸化物半導体層 14 形成前に行うよりも、界面汚染の影響を除去するため、酸化物半導体層 14 と同時にパターンニングすることが好ましい。

[0040] ソース・ドレイン電極

酸化物中間層 16 の上にソース・ドレイン電極 18, 20 を形成するための導電膜を形成する。

ソース・ドレイン電極は高い導電性を有するものを用い、例えば Al, Mo, Cr, Ta, Ti, Au, Ag 等の金属、Al-Nd、Ag 合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫 (ITO)、酸化亜鉛インジウム (IZO) 等の金属酸化物導電膜等を用いて形成することが出来る。ソース・ドレイン電極 18, 20 としてはこれらの導電膜を単層構造又は 2 層以上の積層構造として用いることが出来る。

[0041] ソース・ドレイン電極 18, 20 の形成は、例えば印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマ CVD 法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。

成膜する導電膜の膜厚は、成膜性やエッチングやリフトオフ法によるパターンニング性、導電性等を考慮すると、10 nm 以上 1000 nm 以下とすることが好ましく、50 nm 以上 500 nm 以下とすることがより好ましい。

次いで、成膜した導電膜をエッチング又はリフトオフ法により所定の形状にパターンニングし、ソース電極及びドレイン電極 18, 20 を形成する。この際、ソース・ドレイン電極 18, 20 に接続する配線を同時にパターンニングすることが好ましい。

[0042] ゲート絶縁膜

ソース・ドレイン電極 18, 20 及び配線を形成した後、ゲート絶縁膜 22 を形成する。

ゲート絶縁膜 22 は、高い絶縁性を有するものが好ましく、例えば SiO_2 、 SiN_x 、 SiON 、 Al_2O_3 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 等の絶縁膜、又はこれらの化合物を少なくとも二つ以上含む絶縁膜としてもよい。ゲート絶縁膜 22 は、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。

次に、ゲート絶縁膜 22 は、フォトリソグラフィー及びエッチングによって所定の形状にパターンニングを行う。

なお、ゲート絶縁膜 22 は、リーク電流の低下及び電圧耐性の向上のための厚みを有する必要がある一方、ゲート絶縁膜の厚みが大きすぎると駆動電圧の上昇を招いてしまう。ゲート絶縁膜は材質にもよるが、ゲート絶縁膜の厚みは 10 nm 以上 10 μm 以下が好ましく、50 nm 以上 1000 nm 以下がより好ましく、100 nm 以上 400 nm 以下が特に好ましい。

[0043] ゲート電極

ゲート絶縁膜 22 を形成した後、ゲート電極 24 を形成する。

ゲート電極 24 は、高い導電性を有するものを用い、例えば Al 、 Mo 、 Cr 、 Ta 、 Ti 、 Au 、 Au 等の金属、 Al-Nd 、 Ag 合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫 (ITO)、酸化亜鉛インジウム (IZO) 等の金属酸化物導電膜等を用いて形成することが出来る。ゲート電極 24 としては、これらの導電膜を単層構造又は 2 層以上の積層構造として用いることが出来る。

[0044] ゲート電極 24 は、例えば印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。成膜する導電膜の膜厚は成膜性、エッチングやリフトオフ法によるパターンニング性、導電性等を考慮すると、10 nm 以上 1000 nm 以下とすることが好ましく、50 nm 以上

500nm以下とすることがより好ましい。

成膜後、導電膜をエッチング又はリフトオフ法により所定の形状にパターンニングし、ゲート電極24を形成する。この際、ゲート電極24及びゲート配線を同時にパターンニングすることが好ましい。

[0045] ポストアニール

ゲート電極24パターンニング後に、ポストアニール処理を施す。ただし、このポストアニール処理は酸化物半導体層14成膜後であれば、特に手順は限定せず、酸化物半導体成膜直後でもよければ電極、絶縁膜の成膜或いはパターンニングが全て終わった後に行ってもよい。

ポストアニールの温度は、電気特性のバラツキを抑えるために100℃以上300℃未満であることが好ましく、可撓性基板を用いる場合を考慮すると、100℃以上200℃以下で行うことがより好ましい。100℃以上であれば、熱処理の効果を十分に発揮させることができる。300℃未満であれば、膜中の酸素欠損量を変化させることなく、TFETの特性を改善することが出来る。200℃以下であれば耐熱性の低い樹脂基板への適用が容易となる。

また、ポストアニール中の雰囲気は不活性雰囲気又は酸化性雰囲気にすることが好ましい。還元性雰囲気中でポストアニールを施すと酸化物半導体層中の酸素が抜け、余剰キャリアが発生し、電気特性バラツキが起こり易い。

さらに、ポストアニール雰囲気の湿度が極めて高い場合には膜中に水分が取り込まれ易く、電気特性のバラツキが起こり易くなるため、室温での相対湿度は50%以下で行うことが好ましい。

さらにまた、ポストアニール時間に特に限定はないが、膜温度が均一になるのに要する時間等を考慮し、少なくとも10分以上保持することが好ましい。

[0046] 以上の製造方法により、本発明の実施形態に係るトップゲート構造でトップコンタクト型のTFET10が作製される。この製造方法は、上記例示のうち一例を組み合わせでまとめると、例えば、Sn、Zn及びO、又はSn、G

a , Zn 及び O を主たる構成元素とし、前記構成元素の元素組成比を $Sn : Ga : Zn = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を基板上に成膜する第一の工程と、前記酸化物半導体層上に In, Ga, Zn 及び O 、又は Sn, Ga, Zn 及び O を主たる構成元素とする酸化物中間層を成膜する第二の工程と、前記酸化物中間層上にゲート絶縁膜を形成する第三の工程と、前記第二の工程後又は前記第三の工程後に、 100°C 以上 300°C 未満の熱処理を施す第四の工程と、を有する TFT の製造方法である。

ただし、本発明は、上述したように他の形態及び製造方法の TFT であってもよい。

例えば、ボトムゲート構造では、基板上に形成されたゲート絶縁膜上に In, Ga, Zn 及び O 、又は Sn, Ga, Zn 及び O を主たる構成元素とする酸化物中間層を成膜する第一の工程と、前記酸化物中間層上に Sn, Zn 及び O 、又は Sn, Ga, Zn 及び O を主たる構成元素とし、前記構成元素の元素組成比を $Sn : Ga : Zn = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を成膜する第二の工程と、 100°C 以上 300°C 未満の熱処理を施す第三の工程と、をこの順に有する TFT の製造方法がある。

[0047] 2. 応用

以上で説明した本実施形態の TFT の用途には特に限定はないが、例えば電気光学装置（例えば液晶表示装置、有機 EL (Electro Luminescence) 表示装置、無機 EL 表示装置等の表示装置、等）における駆動素子、特に大面積デバイスに用いる場合に好適である。

さらに本実施形態の TFT は、樹脂基板を用いた低温プロセスで作製可能なデバイスに特に好適であり（例えばフレキシブルディスプレイ等）、X線センサなどの各種センサ、MEMS (Micro Electro Mechan

ical System) 等、種々の電子デバイスにおける駆動素子(駆動回路)として、好適に用いられるものである。

[0048] 3. 電気光学装置及びセンサ

[0049] 本実施形態の電気光学装置又はセンサは、前述の本発明のTFTを備えて構成される。

電気光学装置の例としては、表示装置(例えば液晶表示装置、有機EL表示装置、無機EL表示装置、等)がある。

センサの例としては、CCD (Charge Coupled Device) 又はCMOS (Complementary Metal Oxide Semiconductor) 等のイメージセンサや、X線センサ等が好適である。

本実施形態の電気光学装置又はセンサは、低い消費電力により良好な特性を示す。ここで言うところの特性とは、電気光学装置(表示装置)の場合には表示特性、センサの場合には感度特性を示す。

以下、本発明によって製造される薄膜トランジスタを備えた電気光学装置又はセンサの代表例として、液晶表示装置、有機EL表示装置、X線センサについて説明する。

[0050] 4. 液晶表示装置

図2に、本発明の電気光学装置の一実施形態の液晶表示装置について、その一部分の概略断面図を示し、図3にその電気配線の概略構成図を示す。

[0051] 図2に示すように、本実施形態の液晶表示装置100は、図1(A)に示したトップゲート構造でトップコンタクト型のTFT10と、TFT10のパッシベーション層102で保護されたゲート電極24上に画素下部電極104およびその対向上部電極106で挟まれた液晶層108と、各画素に対応させて異なる色を発色させるためのRGBカラーフィルタ110とを備え、TFT10の基板12側およびRGBカラーフィルタ110上にそれぞれ偏光板112a、112bを備えた構成である。

[0052] また、図3に示すように、本実施形態の液晶表示装置100は、互いに平

行な複数のゲート配線 112 と、該ゲート配線 112 と交差する、互いに平行なデータ配線 114 とを備えている。ここでゲート配線 112 とデータ配線 114 は電氣的に絶縁されている。ゲート配線 112 とデータ配線 114 との交差部付近に、TFT10 が備えられている。

[0053] TFT10 のゲート電極 24 は、ゲート配線 112 に接続されており、TFT10 のソース電極 18 はデータ配線 114 に接続されている。また、TFT10 のドレイン電極 20 はゲート絶縁膜 22 に設けられたコンタクトホール 116 を介して（コンタクトホール 116 に導電体が埋め込まれて）画素下部電極 104 に接続されている。この画素下部電極 104 は、接地された対向上部電極 106 とともにキャパシタ 118 を構成している。

[0054] 図 2 に示した本実施形態の液晶装置においては、トップゲート構造の TFT10 を備えるものとしたが、本発明の表示装置である液晶装置において用いられる TFT はトップゲート構造に限定されることなく、ボトムゲート構造の TFT であってもよい。

[0055] 本発明により製造される TFT は、高い移動度を有するため、低消費電力で且つ高品位な表示が可能となる。特に、面内均一性、安定性、信頼性が非常に高いことから、大画面の液晶表示装置の製造に適している。

また、低温でのアニール処理によって十分な特性を有する TFT を作製することができるため、基板としては樹脂基板（プラスチック基板）を用いることができる。従って、本発明によれば、大面積で均一、安定なフレキシブルな液晶表示装置を提供することができる。

[0056] 5. 有機 EL 表示装置

図 4 に、本発明の電気光学装置の一実施形態のアクティブマトリックス方式の有機 EL 表示装置について、その一部分の概略断面図を示し、図 5 に電気配線の概略構成図を示す。

[0057] 有機 EL 表示装置の駆動方式には、単純マトリックス方式とアクティブマトリックス方式の 2 種類がある。単純マトリックス方式は低コストで作製できるメリットがあるが、走査線を 1 本ずつ選択して画素を発光させることか

ら、走査線数と走査線あたりの発光時間は反比例する。そのため高精細化、大画面化が困難となっている。アクティブマトリックス方式は画素ごとにトランジスタやキャパシタを形成するため製造コストが高くなるが、単純マトリックス方式のように走査線数を増やせないという問題はないため高精細化、大画面化に適している。

[0058] 本実施形態のアクティブマトリックス方式の有機EL表示装置200は、図1(A)に示したトップゲート構造のTFT10が、パッシベーション層202を備えた基板12上に、駆動用TFT204およびスイッチング用TFT206として備えられ、該TFT204および206上に下部電極208および上部電極210に挟まれた有機発光層212からなる有機EL発光素子214を備え、上面もパッシベーション層216により保護された構成となっている。

[0059] また、図5に示すように、本実施形態の有機EL表示装置200は、互いに平行な複数のゲート配線220と、該ゲート配線220と交差する、互いに平行なデータ配線222および駆動配線224とを備えている。ここで、ゲート配線220とデータ配線222、駆動配線224とは電氣的に絶縁されている。スイッチング用TFT10bのゲート電極24は、ゲート配線220に接続されており、スイッチング用TFT10bのソース電極18はデータ配線222に接続されている。また、スイッチング用TFT10bのドレイン電極20は駆動用TFT10のゲート電極24に接続されるとともに、キャパシタ226を用いることで駆動用TFT10aをオン状態に保つ。駆動用TFT10aのソース電極18は駆動配線224に接続され、ドレイン電極20は有機EL発光素子214に接続される。

[0060] 図4に示した本実施形態の有機EL装置においては、トップゲート構造のTFT10aおよび10bを備えるものとしたが、本発明の表示装置である有機EL装置において用いられるTFTは、トップゲート構造に限定されることなく、ボトムゲート構造のTFTであってもよい。

[0061] 本発明により製造されるTFTは、高い移動度を有するため、低消費電力

で且つ高品位な表示が可能となる。特に、面内均一性、安定性、信頼性が非常に高いことから、大画面の有機ＥＬ表示装置の製造に適している。

[0062] また、低温でのアニール処理によって十分な特性を有するＴＦＴを作製することができるため、基板としては樹脂基板（プラスチック基板）を用いることができる。従って、本発明によれば、大面積で均一、安定なフレキシブルな有機ＥＬ表示装置を提供することができる。

[0063] なお、図４に示した有機ＥＬ表示装置において、上部電極２１０を透明電極としてトップエミッション型としてもよいし、下部電極２０８およびＴＦＴの各電極を透明電極とすることによりボトムエミッション型としてもよい。

[0064] ６．Ｘ線センサ

図６に、本発明のセンサの一実施形態であるＸ線センサについて、その一部分の概略断面図を示し、図７にその電気配線の概略構成図を示す。

[0065] 図６は、より具体的にはＸ線センサアレイの一部を拡大した概略断面図である。本実施形態のＸ線センサ３００は基板１２上に形成されたＴＦＴ１０およびキャパシタ３１０と、キャパシタ３１０上に形成された電荷収集用電極３０２と、Ｘ線変換層３０４と、上部電極３０６とを備えて構成される。ＴＦＴ１０上にはパッシベーション膜３０８が設けられている。

[0066] キャパシタ３１０は、キャパシタ用下部電極３１２とキャパシタ用上部電極３１４とで絶縁膜３１６を挟んだ構造となっている。キャパシタ用上部電極３１４は絶縁膜３１６に設けられたコンタクトホール３１８を介し、ＴＦＴ１０のソース電極１８およびドレイン電極２０のいずれか一方（図６においてはドレイン電極２０）と接続されている。

[0067] 電荷収集用電極３０２は、キャパシタ３１０におけるキャパシタ用上部電極３１４上に設けられており、キャパシタ用上部電極３１４に接している。

Ｘ線変換層３０４はアモルファスセレンからなる層であり、ＴＦＴ１０およびキャパシタ３１０を覆うように設けられている。

上部電極３０６はＸ線変換層３０４上に設けられており、Ｘ線変換層３０

4に接している。

[0068] 図7に示すように、本実施形態のX線センサ300は、互いに平行な複数のゲート配線320と、ゲート配線320と交差する、互いに平行な複数のデータ配線322とを備えている。ここでゲート配線320とデータ配線322は電氣的に絶縁されている。ゲート配線320とデータ配線322との交差部付近に、TFT10が備えられている。

[0069] TFT10のゲート電極24は、ゲート配線320に接続されており、TFT10のソース電極18はデータ配線322に接続されている。また、TFT10のドレイン電極20は電荷収集用電極302に接続されており、さらにこの電荷収集用電極302は、キャパシタ310に接続されている。

[0070] 本実施形態のX線センサ300において、X線は図6中、上部（上部電極306側）から照射され、X線変換層304で電子-正孔対を生成する。このX線変換層304に上部電極306によって高電界を印加しておくことにより、生成した電荷はキャパシタ310に蓄積され、TFT10を順次走査することによって読み出される。

[0071] 本実施形態のX線センサ300は、移動度及びオン電流が高く、感度特性に優れたTFT10を備えるため、S/Nが高く、大画面化に適している。また、感度特性に優れているため、X線デジタル撮影装置に用いた場合に広ダイナミックレンジの画像が得られる。特に本実施形態のX線デジタル撮影装置は、静止画撮影のみ可能なものではなく、動画による透視と静止画の撮影が1台で行えるX線デジタル撮影装置に用いるのが好適である。さらにTFT10における酸化物半導体層14が非晶質である場合には均一性に優れた画像が得られる。

[0072] なお、図6に示した本実施形態のX線センサにおいては、トップゲート構造のTFTを備えるものとしたが、本発明のセンサにおいて用いられるTFTはトップゲート構造に限定されることなく、ボトムゲート構造のTFTであってもよい。

実施例

[0073] 以下に実施例を説明するが、本発明はこれら実施例により何ら限定されるものではない。

[0074] 酸化物半導体層として Sn 、 Zn 及び O 、又は Sn 、 Ga 、 Zn 、 O を主たる構成元素した SGZO 膜を用いた TFT において、酸化物中間層の有無、当該酸化物中間層の種類を変えて TFT 特性評価を行った。図8(A)は実施例及び比較例の TFT の平面図であり、図8(B)は図8(A)に示す TFT のA-A線矢視断面図である。

[0075] 図8(A)及び図8(B)に示すように、実施例1～4では、基板として熱酸化膜504付p型 Si 基板502(1inch角×1mmt、厚み:525 μmt 、熱酸化膜(SiO_2):100nm)を用い、熱酸化膜504をゲート絶縁膜として用いる簡易型の TFT 500を作製した。

具体的には、熱酸化膜付p型 Si 基板502上に、成膜時到達真空度: $6 \times 10^{-6} \text{Pa}$ 及び成膜時圧力: $4.4 \times 10^{-1} \text{Pa}$ の条件の下、以下表1に示すように、実施例毎にその他の条件を変えて酸化物中間層506を厚み5nmとしてスパッタ成膜した。その後、成膜時到達真空度及び成膜時圧力を同一としたまま連続して酸化物半導体層508としての SGZO 膜を、厚み50nm、縦横幅3mm×4mmとしてスパッタ成膜した。続いて、雰囲気制御可能な電気炉にて、ポストアニール処理を施した。ポストアニール雰囲気は Ar : 160sccm、 O_2 : 40sccmとし、 $10^\circ\text{C}/\text{min}$ で200 $^\circ\text{C}$ まで昇温、200 $^\circ\text{C}$ で10分保持後、炉冷で室温まで冷却を行った。なお、各スパッタ成膜では、メタルマスクを用いてパターン成膜している。また、同じ条件で成膜、ポストアニール処理を施し作製した成膜試料について、広がり抵抗測定を実施し、酸化物半導体層508の抵抗率が、酸化物中間層506の抵抗率よりも低いことを確認した。

[0076] その後、酸化物中間層506(SGZO 膜)上にソース・ドレイン電極510、512をスパッタにより成膜した。ソース・ドレイン電極510、512の成膜はメタルマスクを用いたパターン成膜にて作製し、 Ti を10nm成膜後、 Au を40nm成膜した。ソース・ドレイン電極510、512の

サイズは各々 1 mm 角とし、電極間距離は 0.2 mm とした。

[0077] 以上の方法により、実施例 1～4 の T F T を作製した。

[0078] 一方、比較例 1～3 の T F T として、実施例 1～4 の T F T 5 0 0 において酸化物中間層 5 0 6 を設けない構成の T F T を作製した。なお、酸化物中間層 5 0 6 に関するもの以外の製造方法及び条件は実施例 1～4 と同一である。

以下に、上述した各実施例及び各比較例の製造条件を表 1 に示す。

[0079] [表1]

	酸化物中間層				酸化物半導体層			
	カチオンの 構成元素	カチオン比 (左欄順)	Ar 流量 (sccm)	O ₂ 流量 (sccm)	カチオンの 構成元素	カチオン比 (左欄順)	Ar 流量 (sccm)	O ₂ 流量 (sccm)
実施例 1	In,Ga,Zn	1.0:1.0:1.0	30.00	2.00	Sn,Ga,Zn	1.0:1.0:1.0	30.00	1.000
実施例 2	Sn,Ga,Zn	1.0:1.0:1.0	30.00	2.00	Sn,Ga,Zn	1.0:1.0:1.0	30.00	1.000
比較例 1	無し				Sn,Ga,Zn	1.0:1.0:1.0	30.00	1.000
実施例 3	In,Ga,Zn	1.0:1.0:1.0	30.00	2.00	Sn,Ga,Zn	1.0:1.0:5.5	30.00	0.150
比較例 2	無し				Sn,Ga,Zn	1.0:1.0:5.5	30.00	0.150
実施例 4	In,Ga,Zn	1.0:1.0:1.0	30.00	2.00	Sn,Ga,Zn	2.0:0:5.5	30.00	0.150
比較例 3	無し				Sn,Ga,Zn	2.0:0:5.5	30.00	0.150

[0080] 上記で得られた実施例 1～4 及び比較例 1～3 の T F T について、半導体パラメータ・アナライザ 4 1 5 6 C (アジレントテクノロジー社製)を用い、トランジスタ特性 ($V_g - I_d$ 特性) 及びオン電流、移動度 μ の測定を行った。なお、 $V_g - I_d$ 特性の測定は、ドレイン電圧 (V_d) を 5 V に固定し、ゲート電圧 (V_g) を $-15\text{ V} \sim +40\text{ V}$ の範囲内で変化させ、各ゲート電圧 (V_g) におけるドレイン電流 (I_d) を測定することにより行った。また、オン電流 I_{on} は、得られた $V_g - I_d$ 特性から $V_g = 20\text{ V}$ での I_d とした。

[0081] 図 9 は、実施例 1, 2 及び比較例 1 の T F T における $V_g - I_d$ 特性を示す図である。表 2 は、実施例 1, 2 及び比較例 1 の T F T における各特性をまとめた表である。なお、表中の I_{on} はオン電流を意味し、 μ は移動度を意味する。

[0082]

[表2]

	酸化物中間層		酸化物半導体層		Ion (mA)	μ (cm ² /Vs)
	カチオンの 構成元素	カチオン比 (左欄順)	カチオンの 構成元素	カチオン比 (左欄順)		
比較例1	無し		Sn,Ga,Zn	1.0:1.0:1.0	1.1×10^{-5}	0.1
実施例2	Sn,Ga,Zn	1.0:1.0:1.0	Sn,Ga,Zn	1.0:1.0:1.0	3.1×10^{-5}	0.5
実施例1	In,Ga,Zn	1.0:1.0:1.0	Sn,Ga,Zn	1.0:1.0:1.0	3.2×10^{-5}	7

[0083] 図9及び表2に示すように、酸化物中間層506を設けていない比較例1のTF Tに比べて酸化物中間層506を設けた実施例1,2のTF Tは、オン電流が増大していることがわかる。移動度も比較例1のTF Tに比べて、実施例1,2のTF Tの方が増大していることがわかる。

以上により、Sn,Ga,Zn及びO (Sn:Ga:Zn=1:1:1であり、Oについては不定比量)を主たる構成元素とする酸化物半導体層508と、ゲート絶縁膜(熱酸化膜504)との間に、酸化物半導体層508よりも抵抗率が高い酸化物中間層506を設けると、設けない場合に比べてオン電流及び移動度が向上していることを見出した。

また、酸化物中間層506がない比較例1のTF T、及び酸化物中間層506をSGZOとした実施例2のTF Tに比べて、酸化物中間層506をIGZOとした実施例1のTF Tは、移動度が格段に向上していることを見出した。

[0084] 図10は、実施例3及び比較例2のTF TにおけるV_g-I_d特性を示す図である。表3は、実施例3及び比較例2のTF Tにおける各特性をまとめた表である。

[0085] [表3]

	酸化物中間層		酸化物半導体層		Ion (mA)	μ (cm ² /Vs)
	カチオンの 構成元素	カチオン比 (左欄順)	カチオンの 構成元素	カチオン比 (左欄順)		
比較例2	無し		Sn,Ga,Zn	1.0:1.0:5.5	5.7×10^{-5}	2
実施例3	In,Ga,Zn	1.0:1.0:1.0	Sn,Ga,Zn	1.0:1.0:5.5	5.6×10^{-5}	11

[0086] 図10及び表3に示すように、酸化物中間層506を設けていない比較例2のTF Tに比べて酸化物中間層506を設けた実施例3のTF Tはオン電

流が増大していることがわかる。移動度も比較例 2 の T F T に比べて、実施例 3 の T F T の方が増大していることがわかる。

以上により、実施例 3 では、実施例 1, 2 に比べて酸化物半導体層 5 0 8 の組成比 (Z n 組成比) を変えているが、この場合でも、S n, G n, Z n 及び O (S n : G a : Z n = 1 : 1 : 5. 5 であり、O については不定比量) を主たる構成元素とする酸化物半導体層 5 0 8 と、ゲート絶縁膜 (熱酸化膜 5 0 4) との間に、酸化物半導体層 5 0 8 よりも抵抗率が高い酸化物中間層 5 0 6 を設けると、設けない場合に比べてオン電流及び移動度が向上していることを見出した。

[0087] 図 1 1 は、実施例 4 及び比較例 3 の $V_g - I_d$ 特性を示す図である。表 4 は、実施例 4 及び比較例 3 の T F T における各特性をまとめた表である。

[0088] [表 4]

	酸化物中間層		酸化物半導体層		Ion (mA)	μ (cm^2/Vs)
	カチオンの 構成元素	カチオン比 (左欄順)	カチオンの 構成元素	カチオン比 (左欄順)		
比較例 3		無し	Sn,Ga,Zn	2.0 : 0 : 5.5	8.1×10^{-5}	8
実施例 4	In,Ga,Zn	1.0 : 1.0 : 1.0	Sn,Ga,Zn	2.0 : 0 : 5.5	9.9×10^{-5}	12

[0089] 図 1 1 及び表 4 に示すように、酸化物中間層 5 0 6 を設けていない比較例 3 に比べて酸化物中間層 5 0 6 を設けた実施例 4 はオン電流が増大していることがわかる。移動度も比較例 3 の T F T に比べ、実施例 4 の T F T の方が増大していることがわかる。

以上により、実施例 4 では、実施例 1, 2 に比べて酸化物半導体層 5 0 8 の組成比を全て変えているが、この場合でも、S n, Z n 及び O (S n : G a : Z n = 2. 0 : 0 : 5. 5 であり、O については不定比量) を主たる構成元素とする酸化物半導体層 5 0 8 と、ゲート絶縁膜 (熱酸化膜 5 0 4) との間に、酸化物半導体層 5 0 8 よりも抵抗率が高い酸化物中間層 5 0 6 を設けると、設けない場合に比べてオン電流及び移動度が向上していることを見出した。

[0090] 次に、酸化物半導体層 5 0 8 を S G Z O 膜から I G Z O 膜に変えた場合に

、酸化物中間層 506 を設けると、設けない場合に比べてオン電流及び移動度が向上するか否かを評価した。

[0091] この評価のために、上記同様の方法で比較例 4～6 の T F T を作製した。

以下、比較例 4～6 の製造条件を表 5 に示す。

[0092] [表 5]

	酸化物中間層				酸化物半導体層			
	カチオンの 構成元素	カチオン比 (左欄順)	Ar 流量 (sccm)	O ₂ 流量 (sccm)	カチオンの 構成元素	カチオン比 (左欄順)	Ar 流量 (sccm)	O ₂ 流量 (sccm)
比較例 4	無し				In,Ga,Zn	1.0:1.0:1.0	30	0.15
比較例 5	Sn,Ga,Zn	1.0:1.0:1.0	30	2	In,Ga,Zn	1.0:1.0:1.0	30	0.15
比較例 6	In,Ga,Zn	1.0:1.0:1.0	30	2	In,Ga,Zn	1.0:1.0:1.0	30	0.15

[0093] 上記で得られた比較例 4～6 の T F T について、半導体パラメータ・アナライザー 4156C（アジレントテクノロジー社製）を用い、トランジスタ特性（V_g－I_d 特性）及び移動度 μ の測定を行った。

[0094] 図 12 は、比較例 4～6 の V_g－I_d 特性を示す図である。表 6 は、比較例 4～6 の T F T における各特性をまとめた表である。

[0095] [表 6]

	酸化物中間層		酸化物半導体層		Ion (mA)	μ (cm ² /Vs)
	カチオンの 構成元素	カチオン比 (左欄順)	カチオンの 構成元素	カチオン比 (左欄順)		
比較例 4	無し		In,Ga,Zn	1.0:1.0:1.0	1.0×10^{-4}	15
比較例 5	Sn,Ga,Zn	1.0:1.0:1.0	In,Ga,Zn	1.0:1.0:1.0	8.2×10^{-5}	9
比較例 6	In,Ga,Zn	1.0:1.0:1.0	In,Ga,Zn	1.0:1.0:1.0	1.2×10^{-4}	5

[0096] 図 12 及び表 6 に示すように、酸化物中間層 506 を設けていない比較例 4 の T F T に比べて酸化物中間層 506 を設けた比較例 5，6 の T F T は、オン電流はほぼ変化していないことがわかる。移動度は、酸化物中間層 506 を設けていない比較例 4 に比べて酸化物中間層 506 を設けた比較例 5，6 は低下していることがわかる。

以上により、I G Z O 膜からなる酸化物半導体層 508 の場合には、S G Z O 膜からなる酸化物半導体層 508 の場合と異なり、酸化物中間層 506 を設けても、設けない場合に比べてオン電流はほぼ変化せず、移動度はむしろ低下することを見出した。

[0097] なお、上記各実施例および比較例における酸化物半導体層 508 及び酸化

物中間層 506 のカチオン組成比は成膜後の膜の組成比を示すものである。成膜後の膜の組成比は、蛍光 X 線分析装置（Panalytical 製 Axios）を用いて評価した。また、各例のいずれの酸化物半導体層 508 及び酸化物中間層 506 についても、X 線回折測定の結果、結晶構造を示すピークが確認されず、いずれも非晶質であった。

請求の範囲

- [請求項1] ゲート絶縁膜と、
活性層として S_n , Z_n 及び O 、又は S_n , Ga , Z_n 及び O を主たる構成元素とする酸化物半導体層と、
前記ゲート絶縁膜と前記酸化物半導体層との間に配置され、前記酸化物半導体層よりも抵抗率が高い酸化物中間層と、
を有する電界効果型トランジスタ。
- [請求項2] 前記酸化物中間層は、 In , Ga , Z_n 及び O 、又は S_n , Ga , Z_n 及び O を主たる構成元素とする、
請求項1の電界効果型トランジスタ。
- [請求項3] 前記酸化物中間層は、 In , Ga , Z_n 及び O を主たる構成元素とする、
請求項2の電界効果型トランジスタ。
- [請求項4] 前記酸化物半導体層は、 S_n , Ga , Z_n 及び O を主たる構成元素とする、
請求項1の電界効果型トランジスタ。
- [請求項5] 前記酸化物半導体層の元素組成比を $S_n : Ga : Z_n = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす、
請求項1の電界効果型トランジスタ。
- [請求項6] 前記酸化物半導体層は、非晶質である、
請求項1の電界効果型トランジスタ。
- [請求項7] 前記酸化物半導体層の抵抗率は、 $1 \Omega \text{cm}$ 以上 $1 \times 10^6 \Omega \text{cm}$ 以下である、
請求項1の電界効果型トランジスタ。
- [請求項8] 前記酸化物中間層の膜厚は、 1nm 以上 50nm 以下である、
請求項1の電界効果型トランジスタ。
- [請求項9] 請求項1～請求項8の何れか1項の電界効果型トランジスタを備え

た表示装置。

[請求項10] 請求項1～請求項8の何れか1項の電界効果型トランジスタを備えたセンサ。

[請求項11] 基板上に形成されたゲート絶縁膜上に In , Ga , Zn 及び O 、又は Sn , Ga , Zn 及び O を主たる構成元素とする酸化物中間層を成膜する第一の工程と、

前記酸化物中間層上に Sn , Zn 及び O 、又は Sn , Ga , Zn 及び O を主たる構成元素とし、前記構成元素の元素組成比を $\text{Sn} : \text{Ga} : \text{Zn} = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を成膜する第二の工程と、

100℃以上300℃未満の熱処理を施す第三の工程と、

をこの順に有する電界効果型トランジスタの製造方法。

[請求項12] Sn , Zn 及び O 、又は Sn , Ga , Zn 及び O を主たる構成元素とし、前記構成元素の元素組成比を $\text{Sn} : \text{Ga} : \text{Zn} = a : b : c$ とした場合、前記元素組成比が、 $a + b = 2$ 、且つ $1 \leq a \leq 2$ 、且つ $1 \leq c \leq 11/2$ 、且つ $c \geq -7b/4 + 11/4$ を満たす酸化物半導体層を基板上に成膜する第一の工程と、

前記酸化物半導体層上に In , Ga , Zn 及び O 、又は Sn , Ga , Zn 及び O を主たる構成元素とする酸化物中間層を成膜する第二の工程と、

前記酸化物中間層上にゲート絶縁膜を形成する第三の工程と、

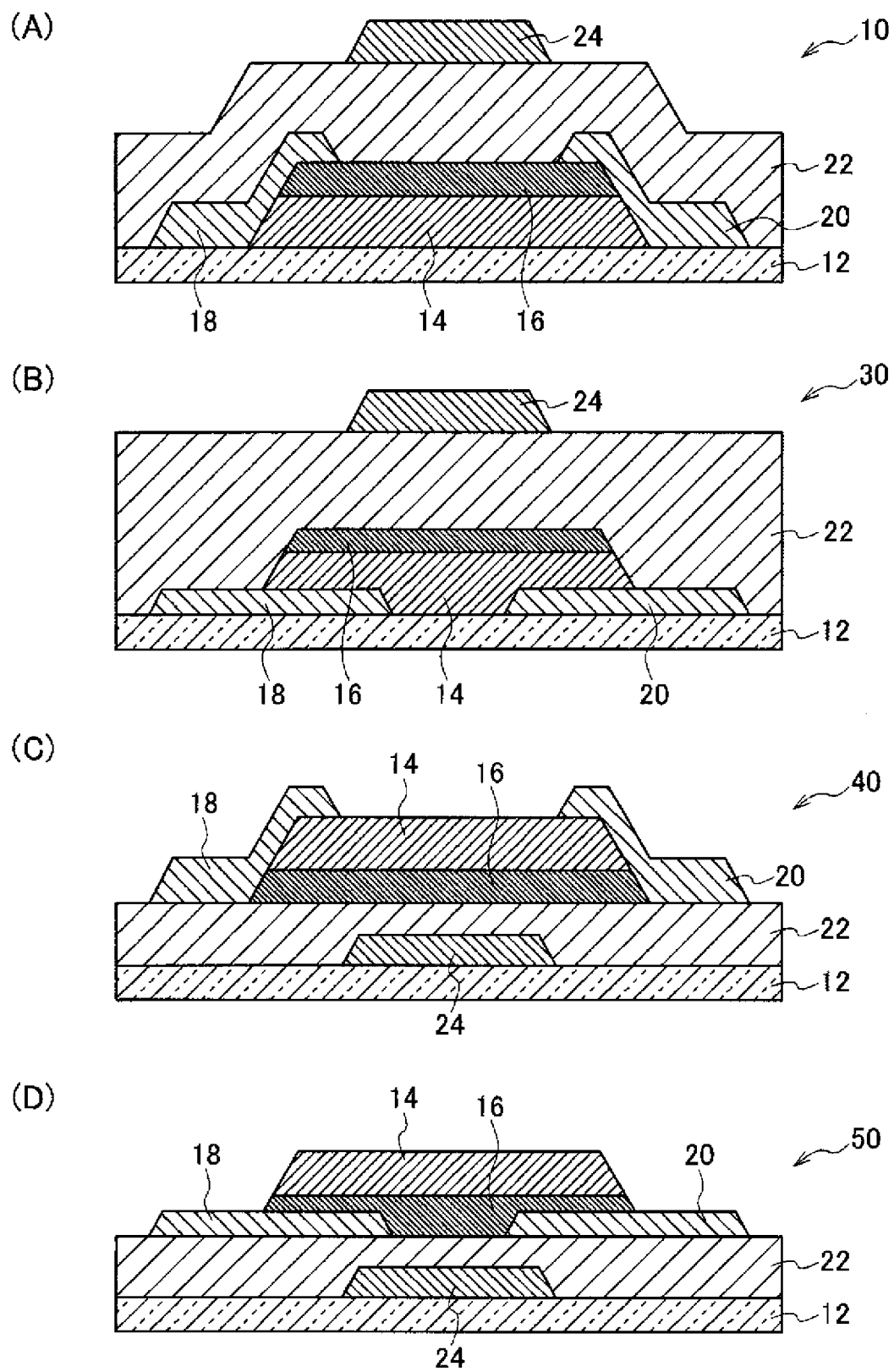
前記第二の工程後又は前記第三の工程後に、100℃以上300℃未満の熱処理を施す第四の工程と、

を有する電界効果型トランジスタの製造方法。

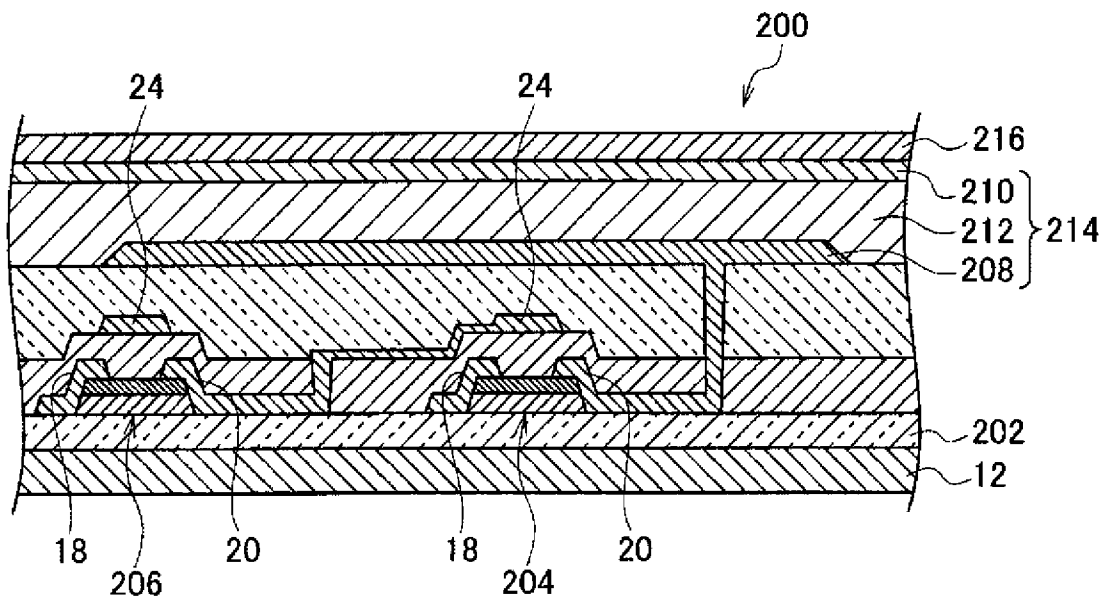
[請求項13] 前記酸化物半導体層及び前記酸化物中間層は、スパッタリングで成膜する、

請求項11又は請求項12の電界効果型トランジスタの製造方法。

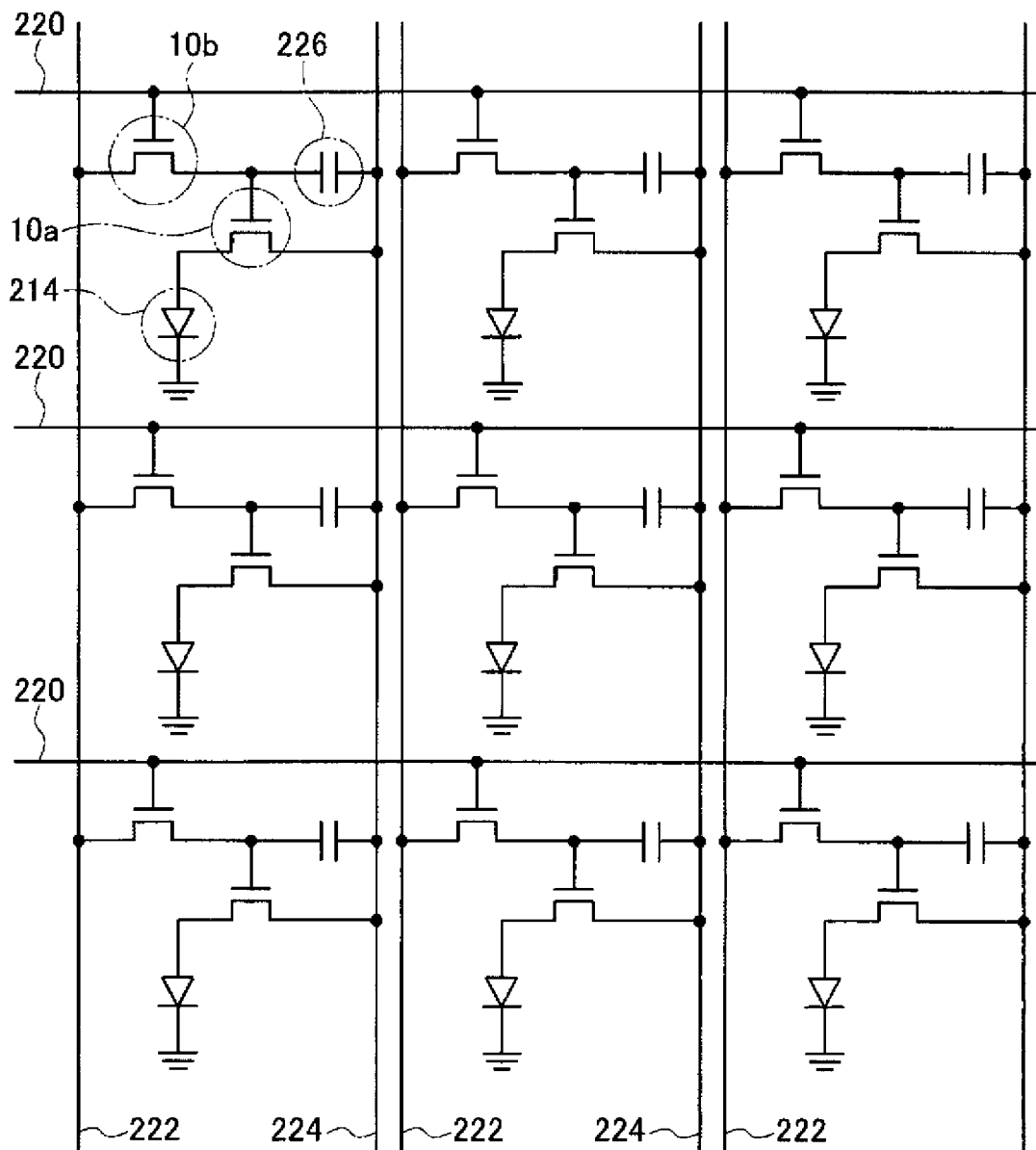
[図1]



[図4]

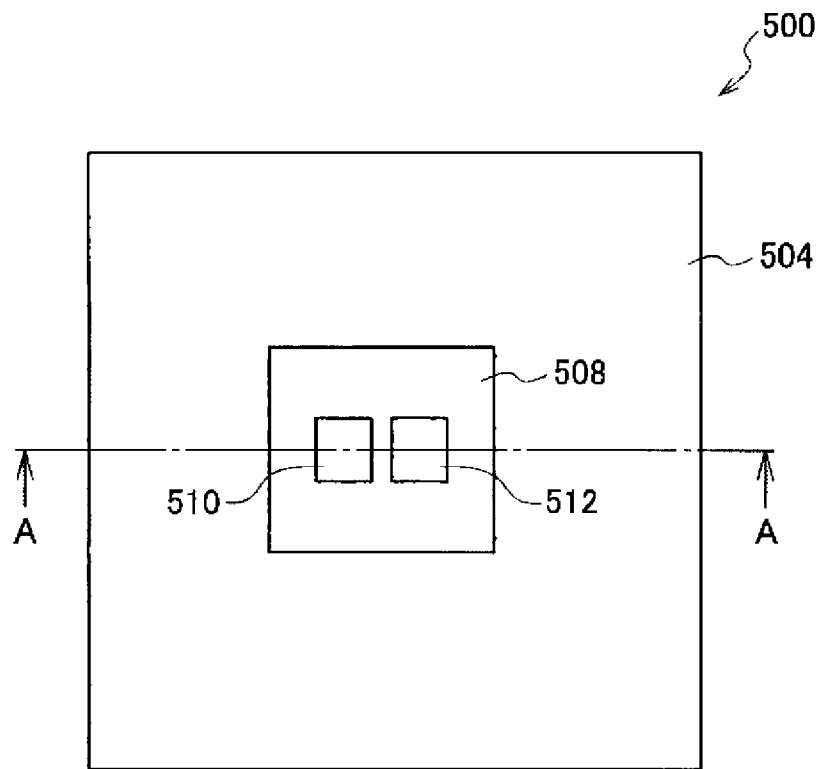


[図5]

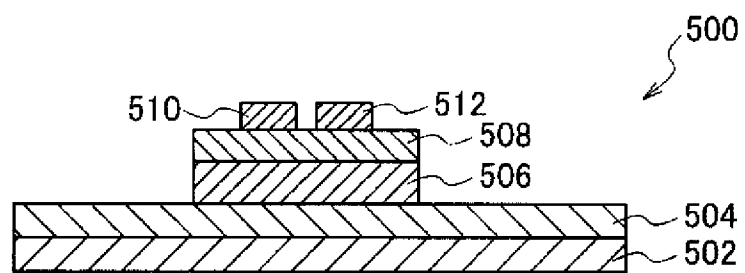


[図8]

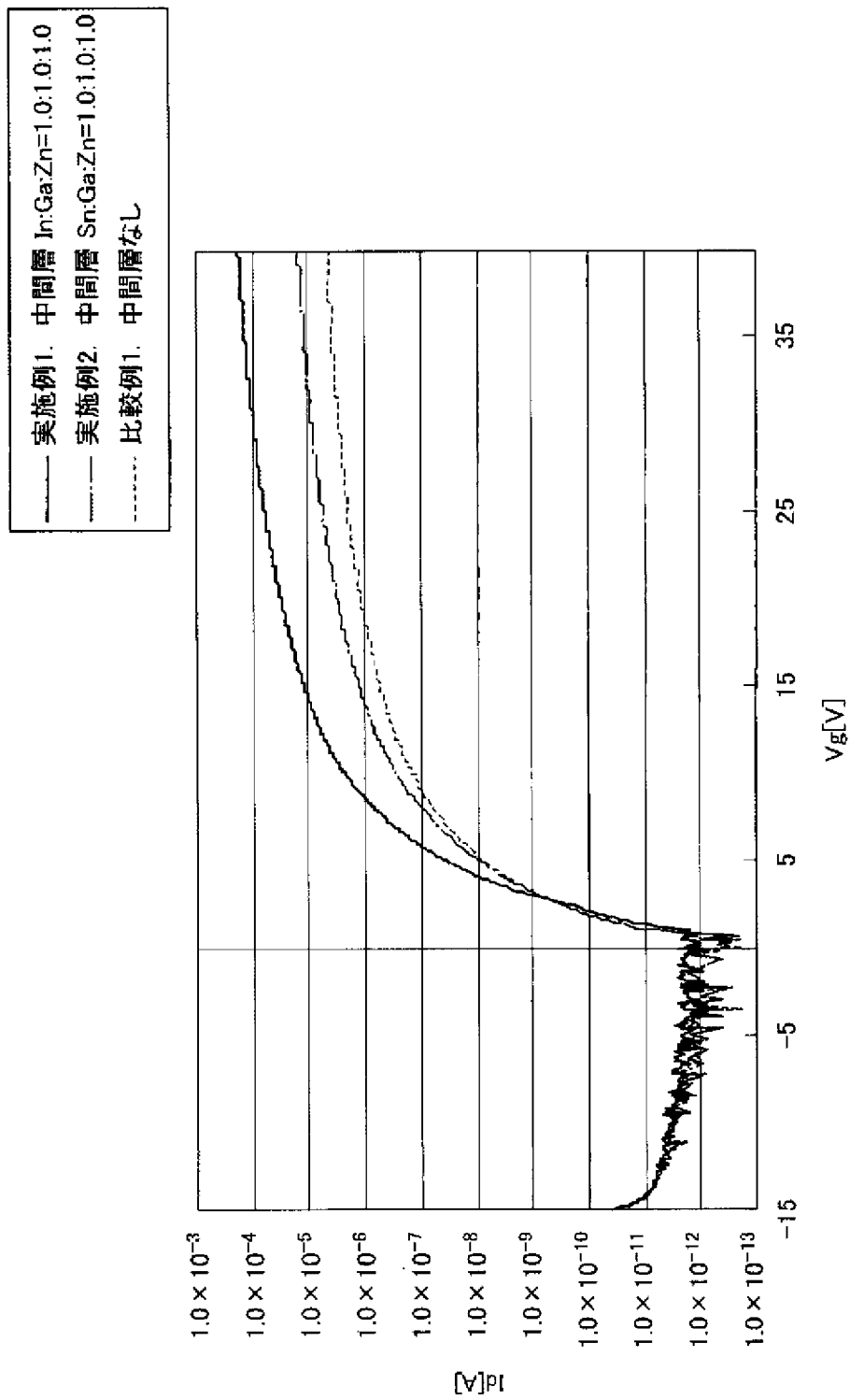
(A)



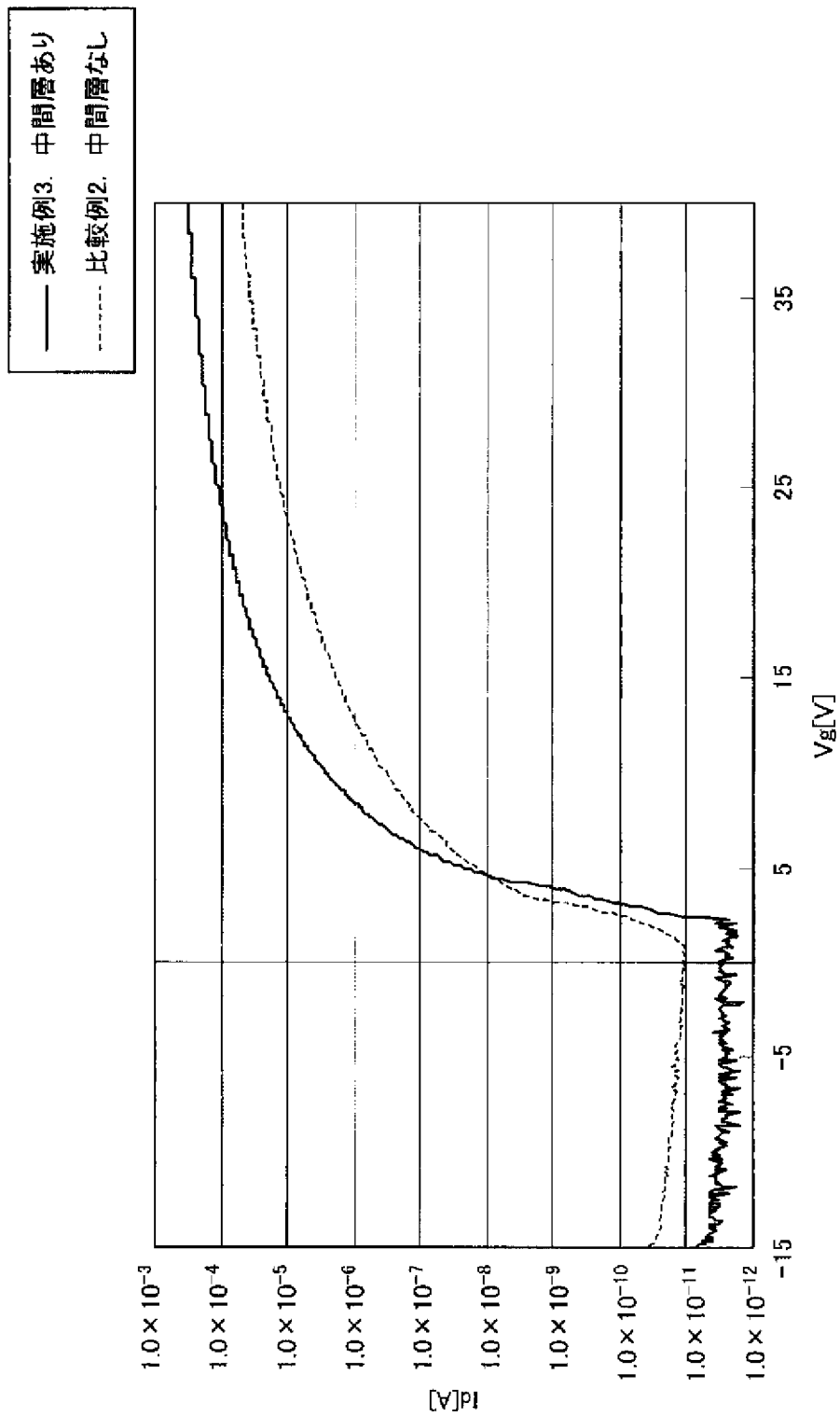
(B)



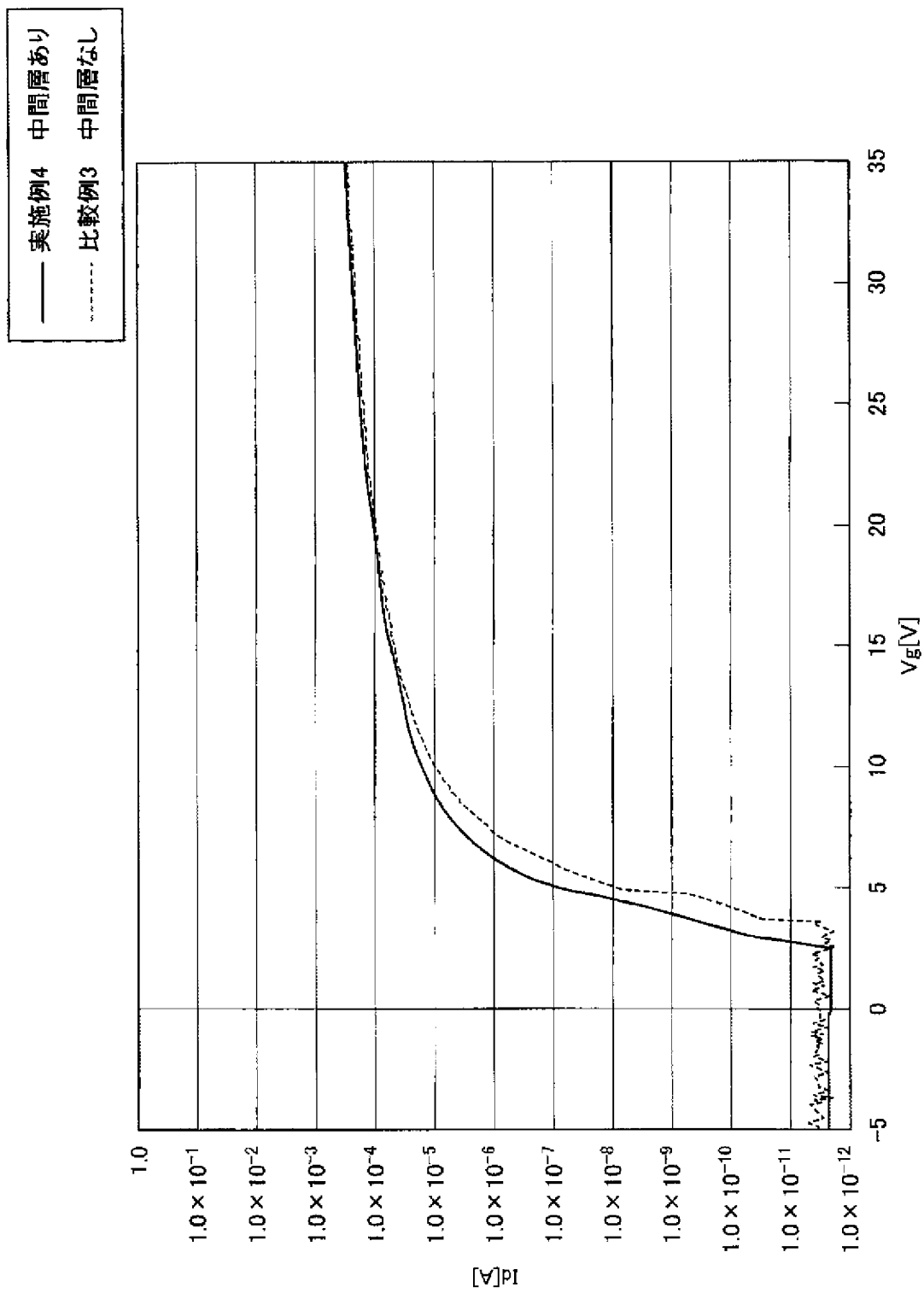
[図9]



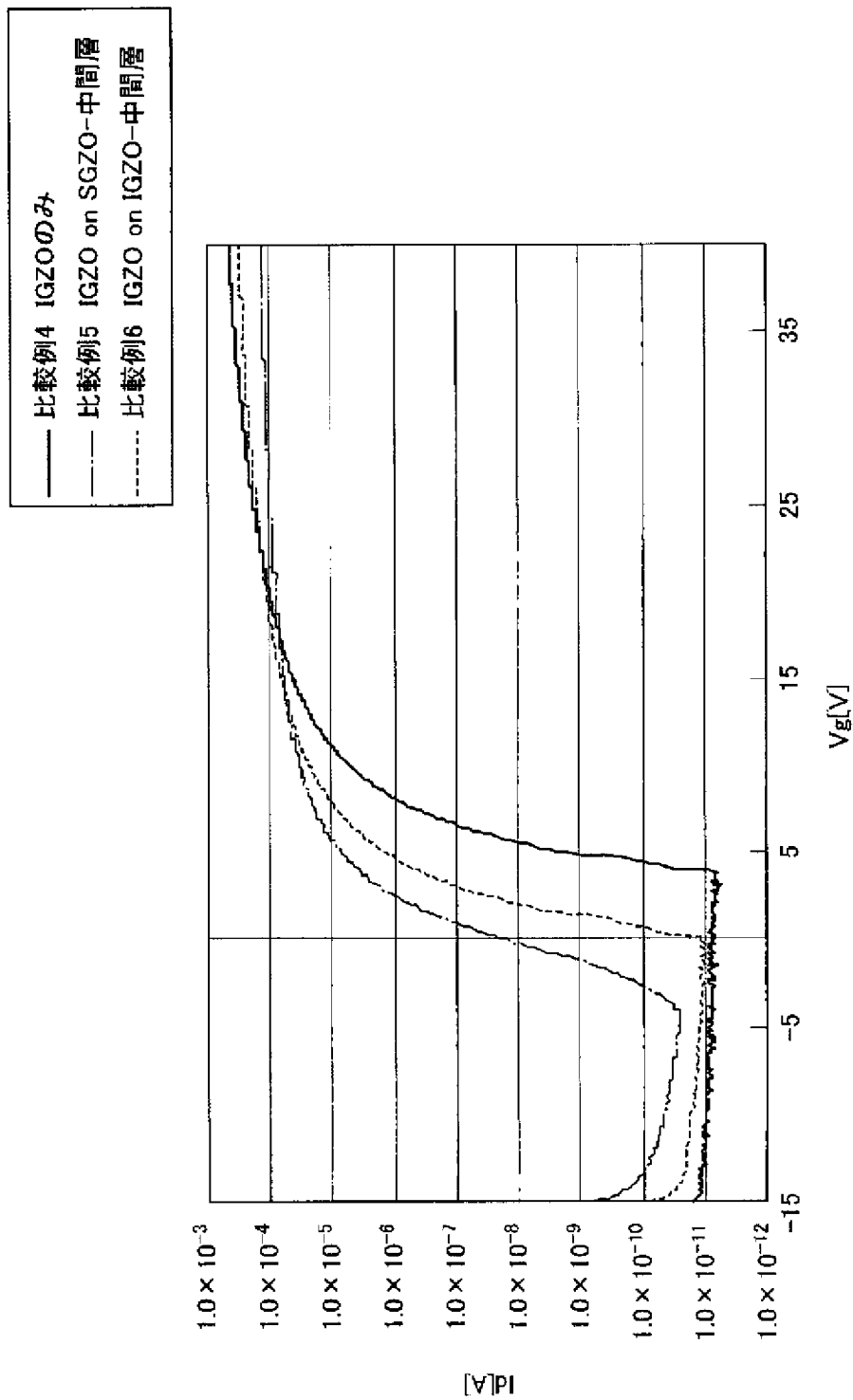
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054006

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i,
H01L27/144(2006.01)i, H01L27/146(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/336, H01L27/144, H01L27/146, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-016348 A (Samsung Mobile Display Co., Ltd.), 21 January 2010 (21.01.2010), paragraphs [0020] to [0040] & US 2009/0321731 A1 & EP 2141743 A1 & CN 101621075 A	1, 4-10 2, 3, 11-13
Y A	JP 2010-165922 A (Idemitsu Kosan Co., Ltd.), 29 July 2010 (29.07.2010), paragraphs [0031] to [0056] (Family: none)	1, 4-10 2, 3, 11-13
Y A	JP 2010-114413 A (Sony Corp.), 20 May 2010 (20.05.2010), paragraphs [0028] to [0032] & WO 2010/041686 A1	1, 4-10 2, 3, 11-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2012 (21.05.12)

Date of mailing of the international search report
05 June, 2012 (05.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054006

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-073701 A (Canon Inc.), 22 March 2007 (22.03.2007), paragraphs [0009] to [0068]; fig. 3 (Family: none)	6 2, 3, 11-13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054006

A range specified by "main constituent elements" in claims 1-4, 11 and 12 is not clear. In the international search, it is considered that the above-mentioned expression means "the total ratio is 98 % or more" "to the total constituent elements".

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L27/144(2006.01)i, H01L27/146(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, H01L21/336, H01L27/144, H01L27/146, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-016348 A (三星モバイルディスプレイ株式会社) 2010.01.21, 0020 段落ないし 0040 段落 & US 2009/0321731 A1 & EP 2141743 A1 & CN 101621075 A	1, 4-10 2, 3, 11-13
Y A	JP 2010-165922 A (出光興産株式会社) 2010.07.29, 0031 段落 ないし 0056 段落 (ファミリーなし)	1, 4-10 2, 3, 11-13
Y A	JP 2010-114413 A (ソニー株式会社) 2010.05.20, 0028 段落 ないし 0032 段落 & WO 2010/041686 A1	1, 4-10 2, 3, 11-13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

0 5 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 3 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-073701 A (キャノン株式会社) 2007.03.22, 0009 段落 ないし 0068 段落、図 3 (ファミリーなし)	6 2, 3, 11-13

請求項1ないし4、11及び12に記載された「主たる構成元素とする」により規定される範囲は不明である。国際調査においては上記記載を、明細書に記載された「全構成元素に対する」「合計割合が98%以上である」を意味するものとした。