



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 100 36 637 B4** 2006.07.27

(12)

Patentschrift

(21) Aktenzeichen: **100 36 637.6**
 (22) Anmeldetag: **26.07.2000**
 (43) Offenlegungstag: **14.02.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **27.07.2006**

(51) Int Cl.⁸: **G06F 13/12** (2006.01)
G05B 19/042 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Robert Bosch GmbH, 70469 Stuttgart, DE

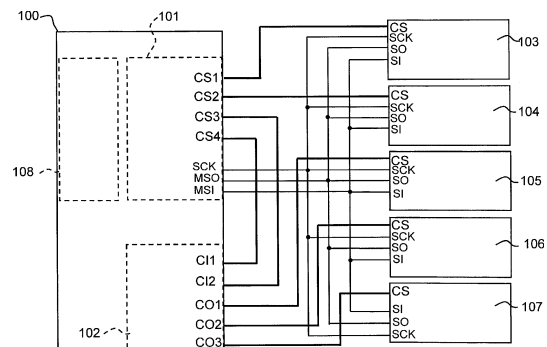
(72) Erfinder:
Windmueller, Andreas, 71706 Markgröningen, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 196 11 942 A1
US 46 70 748
EP 07 57 316 A1
EP 07 33 976 A1
WHITELEY, K.J.: "EPROM Decoder for device
 selection", In: **Electronic Engineering**
Vol. 58, No. 714, S. 36, Juni 1986;
DEMBOWSKY, Klaus: "PC-gesteuerte
 Messtechnik",

S. 58-65, 1993, Markt & Technik Verlag,
ISBN 3-87791-516-7;
"Method for Address Decode for Input/Output
Devices" IBM Technical Disclosure Bulletin,
Jan. 1989, 202-203;
Memory Map Input/Output to Program
Input/Output
Translation" IBM Technical Disclosure Bulletin,
July 1995, 547-548;
"Pin Multiplexing on the Intel 386tm
Ex Processor", Rev. 1.0 (6/28/94)
([http://developer/intel.com/design/intarch/](http://developer.intel.com/design/intarch/technote/2773.HTM)
technote/2773.HTM) (rech.: 22. März 2001);
"CC770 Target Specification" Robert Bosch
GmbH, 27. Jan. 2000;

(54) Bezeichnung: **Vorrichtung zur Ansteuerung von Peripherieelementen mit einem Prozessorbaustein**

(57) Hauptanspruch: Vorrichtung zur Ansteuerung von Peripherieelementen (105–107), insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, mit einem Prozessorbaustein (100), welcher eine vorgegebene erste Anzahl an Auswahlchnittstellen (CS1–CS4) aufweist, dadurch gekennzeichnet, dass ein Coprozessor (102) mit Eingangsschnittstellen (CI1, CI2) und Ausgangsschnittstellen (CO1–CO3) enthalten ist und bei einer zweiten Anzahl der Peripherieelemente (105–107), die größer ist als die erste Anzahl der Auswahlchnittstellen (CS1–CS4), eine vorgebbare dritte Anzahl der Auswahlchnittstellen (CS1–CS4) mit der gleichen dritten Anzahl von Eingangsschnittstellen (CI1, CI2) des Coprozessor (102)s verbunden sind und eine vorgebbare vierte Anzahl von Peripherieelementen (105–107) über die entsprechende vierte Anzahl der Ausgangsschnittstellen (CO1–CO3) des Coprozessor (102)s derart angesteuert wird, dass der Coprozessor (102) abhängig von einer Zuordnung der Signale an der dritten Anzahl seiner Eingangsschnittstellen (CI1, CI2) zu den Signalen an seiner vierten Anzahl von Ausgangsschnittstellen (CO1–CO3) die Peripherieelemente (105–107) ansteuert.



Beschreibung

[0001] Die Erfindung betrifft eine Vorrichtung zur Ansteuerung von Peripherieelementen, insbesondere bei einer Motorsteuerung in einem Fahrzeug, mit einem Prozessorbaustein, welcher eine vorgegebene Anzahl an Auswahlchnittstellen aufweist gemäß den Oberbegriffen der unabhängigen Ansprüche.

Stand der Technik

[0002] Der Artikel „EPROM Decoder for device selection“ von K. J. Whiteley aus der Fachzeitschrift „Electronic Engineering“, volume 58, No. 714, Seite 36 von Juni 1986 beschreibt Mikroprozessorsysteme, welche häufig wenigstens ein Bauteil einsetzen bzw. ansteuern, welche eine Bausteinauswahllogik benötigen, um dieses Bauteil anzusprechen. Üblicherweise werden dabei eine Anzahl TTL-Bausteine hart verdrahtet, um die Auswahlfunktion darzustellen. In dem genannten Artikel wird die Selektion bzw. Ansteuerung einzelner Peripheriebausteine durch ein EPROM realisiert. Ist die Anzahl der Auswahlgänge des EPROMs gegenüber der Anzahl der anzusteuern Peripheriebausteine zu gering, wird mit Hilfe eines Decodierbausteins, hier ein 4:16-Decoder, welcher zwischengeschaltet ist, eine Aufweitung der Auswahlmöglichkeiten erzielt, indem die Signale einer Anzahl Auswahlgänge zur Adresskodierung eingesetzt werden und der Dekoder diese Kodierung zur Bausteinauswahl auflöst. Durch Einsatz des Decoders können somit mehr als die durch die Anzahl der Auswahlgänge bei direkter Verdrahtung maximal mögliche Anzahl von Peripheriebausteinen über das EPROM ausgewählt bzw. angesteuert werden. Die Erhöhung der Anzahl der Selektierleitungen kann also durch Decoderbausteine bzw. Decodierschaltungen erreicht werden. Dabei werden die Eingänge des Decoderbausteins mit den Auswahlchnittstellen des Prozessorbausteins verbunden; die Ausgänge des Decoders entsprechend mit den Peripheriebausteinen. Da entsprechend einer Wahrheitstabelle eine Bit-Kombination bzw. Kodierung für den Decoder auch den Zustand „kein am Decoder angeschlossener Peripheriebaustein ist angesprochen“ abdecken muss (typisch: alle Eingänge sind high bei select low Betrieb) kann ein Ausgang des Decoders nicht als Selektierleitung genutzt werden. Damit ist nachteiligerweise die Maximalanzahl der Teilnehmer um eins verringert.

[0003] Der Aufbau einer solchen Adressendecodierung mit TTL-Bausteinen ist ebenfalls in dem Fachbuch „PC-gesteuerte Messtechnik“ von Klaus Dembowsky von 1993 dargestellt, welches im Markt&Technik Buch- und Softwareverlag GmbH & Co. unter der ISBN-Nummer 3-87791-516-7 erschienen ist. Auf den Seiten 58 bis 65 wird dabei der Aufbau von Decodierschaltungen, für welche logische Bausteine eingesetzt werden, dargestellt.

[0004] Darin ist dargestellt, dass aus Kostengesichtspunkten die Decodierung aus einzelnen TTL-Bausteinen für einen festen Adressbereich, also eine feste Anzahl von Peripheriebausteinen aufgebaut sein sollte, wobei hier bei notwendigen Änderungen der Adressen bzw. der Anzahl der Peripherieelemente keine Flexibilität vorhanden ist. Soll diesbezüglich Flexibilität erzielt werden, können entweder TTL-Bausteine in Verbindung mit Vergleichersbausteinen verwendet werden oder PAL (Programmable Array Logic) – Bausteine, was aber dann die Kosten erhöht.

[0005] Dazu zeigt die EP 0733976 A1 eine Chipauswahl-Vorrichtung, welche ein enable-Signal in Abhängigkeit von Adress-Signalen von einem Adressbus verbindbar ist. Durch einen der Array Logik-Anordnung nachgeschalteten Decoderbaustein kann dann die Anzahl der Chip-Auswahlleitungen erhöht werden.

[0006] Des Weiteren zeigt die DE 196 11 942 A1 einen Halbleiterschaltkreis für ein elektronisches Steuergerät mit einer Auswahllogik für verschiedene Baugruppen.

[0007] Die US 4670748 zeigt einen programmierbaren chip select decoder, welcher höher integriert ist, als der Chip selbst, wodurch höhere Verarbeitungsgeschwindigkeiten erzielt werden können.

[0008] Weiterhin zeigt die EP 0757316 A1 eine Auswahlinheit für externe Anordnungen bei einem Prozessor. Dabei ist ein Register vorgesehen, durch welches eine höhere Flexibilität beim Anspruch der externen Anordnungen erlaubt.

[0009] Der Artikel „Method for Address Decode for I/O Devices“ (IBM Technical Disclosure Bulletin Januar 1989, Seiten 202–203) schließlich zeigt einen Mechanismus zur Adressendecodierung für Adapterkarten über I/O-Anordnungen, bei dem eine programmable Array Logik (PAL) eingesetzt wird sowie verschiedene Logik-Decoder.

[0010] Aus dem gezeigten Stand der Technik zeigt sich, dass eine Erhöhung der Flexibilität in der Regel auch mit einer Erhöhung der Kosten verbunden ist.

Aufgabenstellung

[0011] Um die dargestellte Situation im Spannungsfeld zwischen Flexibilität und Kostensenkung zu optimieren, soll auf kostenintensive fest verdrahtete Logikbausteine verzichtet werden.

Vorteile der Erfindung

[0012] Die Aufgabe wird durch die Merkmale des Patentanspruchs 1 gelöst. Dazu ist eine Vorrichtung zur Ansteuerung von Peripherieelementen gezeigt, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug mit einem Prozessorbaustein, welcher eine vorgegebene Anzahl an Auswahlchnittstellen aufweist, wodurch die jeweils anzusteuern den Peripherieelemente bzw. Peripheriebausteine auswählbar sind, wobei durch die vorgegebene Anzahl an Auswahlchnittstellen eine maximale Anzahl an Peripherieelementen auswählbar ist. Vorteilhafterweise ist dabei ein Coprozessor in der Vorrichtung enthalten und bei einem Vorhandensein bzw. einer Erhöhung der Anzahl der Peripherieelemente über die durch die Anzahl der Auswahlgänge bzw. Auswahlchnittstellen vorgegebene maximale Anzahl der Peripherieelemente hinaus, wird die Auswahl bzw. Ansteuerung der Peripherieelemente durch den Prozessor des Prozessorbausteins und den Coprozessor vorgenommen.

[0013] Dabei wird vorteilhafter Weise der Prozessorbaustein mit Auswahlchnittstellen über die Eingangsschnittstellen des Coprozessors angekoppelt, wobei über die Ausgangsschnittstellen des Coprozessors Peripherieelemente angesteuert bzw. ausgewählt werden.

[0014] Dabei ist von Vorteil, dass durch die Verwendung eines Coprozessors anstelle fest verdrahteter Logik insbesondere in Form von TTL-Bausteinen ein Kosteneinsparpotential realisiert werden kann. Dies fällt um so höher aus, wenn der Coprozessor zweckmäßiger Weise im Prozessorbaustein selbst integriert ist und bereits zur Unterstützung der Prozessorleistung zur Verfügung steht. Dabei fungieren die entsprechenden Ausgangsschnittstellen des Coprozessors dann ebenfalls als Auswahlchnittstellen, wodurch vorteilhafter Weise eine größere Anzahl von Peripherieelementen angesprochen bzw. ausgewählt werden kann.

[0015] Weiterhin von Vorteil ist, dass durch die Realisierung einer einfachen Zuordnung der Coprozessor Ein- und Ausgänge durch den Coprozessor die Coprozessorleistung und damit die Gesamtprozessleistung kaum beeinträchtigt wird, da der Aufwand zur Bildung der Auswahlsignale aus den Coprozessoreingangssignalen sehr gering ist.

[0016] Vorteilhafter Weise wird eine Vorrichtung zur Ansteuerung von Peripherieelementen, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, mit einem Prozessorbaustein, welcher eine vorgegebene erste Anzahl an Auswahlchnittstellen aufweist offenbart, welches dadurch gekennzeichnet ist, dass ein Coprozessor mit Eingangsschnittstellen und Ausgangsschnittstellen enthalten ist und bei einer zweiten Anzahl der Peripherieelemente die größer ist als die erste Anzahl der Auswahlchnittstellen, eine vorgebbare dritte Anzahl der Auswahlchnittstellen mit der gleichen dritten Anzahl von Eingangsschnittstellen des Coprozessors verbunden sind und eine vorgebbare vierte Anzahl von Peripherieelementen über die entsprechende vierte Anzahl der Ausgangsschnittstellen des Coprozessors angesteuert wird.

[0017] Weitere Vorteile und vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus der Beschreibung und den Ansprüchen.

Ausführungsbeispiel

Zeichnung

[0018] Nachfolgend wird die Erfindung anhand der **Fig. 1** näher erläutert.

[0019] **Fig. 1** stellt dabei einen Prozessorbaustein mit Coprozessor und damit anzusteuern den Peripherieelementen dar.

[0020] In einem elektronischen Steuergerät entsprechend der Erfindung (z. B. ein Motorsteuergerät, ein Getriebesteuergerät oder ein Bremsensteuergerät, etc. in einem Fahrzeug) kommen Prozessorbausteine zum Einsatz, die mit seriellen Schnittstellen ausgestattet sind, um mit Peripherieelementen Daten bzw. Signale auszutauschen. Dabei ist ein Prozessorbaustein **100** mit einem Schnittstellenmodul **101** und einem Coprozessorbaustein bzw. Coprozessor **102** dargestellt. Der eigentliche Prozessor bzw. der Hauptprozessor des Prozessorbausteins ist mit **108** bezeichnet. Ebenso sind fünf Peripherieelemente **103** bis **107** gezeigt, welche durch den Prozessorbaustein ansteuerbar sind. Dabei ist mit **103** z.B. ein Stabilisierungsschaltkreis z.B. mit Watchdog dargestellt. Die weiteren Peripherieelemente sind z.B. Endstufenschaltkreise, z.B. zur Einspritzung, ein serielles EEPROM, weitere Überwachungsschaltungen, insbesondere Watchdogs, etc.

[0021] Das Schnittstellenmodul **101** des Prozessorbausteins **100** verfügt über eine Taktleitung SCK, jeweils eine Datenleitung für den Datenaustausch in jede Richtung MSO (Modul Signal Out) und MSI (Modul Signal In) und mehrere Leitungen bzw. Schnittstellen, um die einzelnen Peripheriebausteine anzusprechen bzw. auszuwählen (selektieren). Diese Auswahlstellen bzw. Chipselektleitungen CS1 bis CS4 können im Normalfall bei direktem Anschluss der Peripherieelemente eine maximale Anzahl, hier vier, von Peripheriebausteinen auswählen bzw. ansprechen.

[0022] Dabei sind die Anschlüsse für die Taktleitung SCK des Prozessorbausteins **100** bzw. des Schnittstellenmoduls **101** und die Anschlüsse für die Taktleitung SCK sämtlicher Peripheriebausteine **103** bis **107** miteinander verbunden. Gleiches gilt für die Datenleitungen bezüglich MSO und MSI. Aus Gründen der Übersichtlichkeit sind die Datenleitungen bzw. die Anschlüsse der Datenleitungen in den Peripheriebausteinen **103** bis **107** aus Sicht des Prozessorbausteins **100** ebenfalls mit SO (Signal Out) und SI (Signal In) bezeichnet. Im Normalfall, also ohne Einsatz eines Decodierbausteins oder des Coprozessors führen die Auswahlsignale der Auswahlstellen CS1 bis CS4 vom Prozessorbaustein bzw. dem darin enthaltenen Schnittstellenmodul **101** zu jeweils einem Peripherieelement **103** bis **106**. Die MSO und MSI Leitung kann dabei z.B. als Bus, insbesondere als SPI (Serial Peripheral Interface) Bus, realisiert sein. SPI Funktionalitäten bezüglich der Peripherieelemente sind dann z.B. Initialisierung, Watchdogkommunikation, Endstufendiagnose, Einlesen von Eingängen, Identifizieren, Schreiben und Lesen von Daten, etc.

[0023] Ein Peripherieelement ist beispielsweise dann ausgewählt bzw. angesprochen (selektiert), wenn auf der Auswahlleitung ein Low-Signal anliegt. Um Störungen zu vermeiden, ist dabei denkbar, dass nur an höchstens einer Selektierleitung bzw. Auswahlchnittstelle gleichzeitig ein Low-Signal anliegen darf, um eine störungsfreie Kommunikation zu ermöglichen. Ebenso ist die umgekehrte Logik mit einer Selektierung durch ein High-Signal denkbar.

[0024] Zweckmäßiger Weise arbeitet das Schnittstellenmodul des Prozessorbausteins **100** unabhängig vom Hauptprozessor, wodurch die Rechenleistung des Hauptprozessors auch bei hoher Buslast kaum eingeschränkt wird. In einem speziellen Speicherbereich kann die Befehlsabfolge, die über die serielle Schnittstelle gesendet werden soll, abgelegt werden. Das Schnittstellenmodul **101** sendet diese Befehle automatisch und legt die empfangenen Daten wiederum in einem speziellen Speicherbereich ab, worauf der Hauptprozessor zugreifen kann. Der Hauptprozessor hat lediglich auf einem bestimmten Speicherbereich Schreib- bzw. Lesegriffe durchzuführen.

Vergleich mit dem Stand der Technik

[0025] Die Erhöhung der Anzahl der Selektierleitungen kann nun beispielsweise durch Decoderbausteine bzw. Decodierschaltungen erreicht werden. Dabei werden die Eingänge des Decoderbausteins mit den Auswahlstellen CS1 bis CS4 des Prozessorbausteins verbunden; die Ausgänge des Decoders entsprechend mit den Peripheriebausteinen. Bei Einsatz eines 2:4-Decoders gemäß dem Stand der Technik würden somit beispielsweise zwei Auswahlstellen CS3 und CS4 mit den Eingängen des Decoderbausteins verbunden. Die Decoder-Ausgänge könnten dann prinzipiell zur Ansteuerung von insgesamt vier Peripherieelementen eingesetzt werden.

[0026] Da entsprechend einer Wahrheitstabelle eine Bit-Kombination für den Decoder auch den Zustand „kein am Decoder angeschlossener Peripheriebaustein ist angesprochen“ abdecken muss (typisch: alle Eingänge sind high) kann ein Ausgang des Decoders nicht als Selektierleitung genutzt werden. Damit ist die Maximalanzahl der Teilnehmer um eins verringert.

Weitere Beschreibung des Ausführungsbeispiels

[0027] Ein insbesondere im Prozessorbaustein vorhandener Coprozessor **102**, der unabhängig vom Hauptprozessor **108** arbeitet, wird als Decoder genutzt. Um bei, wie hier dargestellt, vier vorhandenen Selektierleitungen CS1 bis CS4 des Schnittstellenmoduls **101** die mögliche Teilnehmerzahl, also die Anzahl der Peripherielemente um eins zu erweitern, sind zwei Eingänge CI1 und CI2 und drei Ausgänge CO1 bis CO3 der Coprozessoreinheit nötig. Ist der Coprozessor prinzipiell ohnehin mit mehr Ein- und Ausgängen bestückt, kann die Anzahl bzw. das Ansprechen der Peripherielemente sehr flexibel durch Veränderung der Verbindung der einzelnen Auswahlchnittstellen CS1 bis CS4 mit den Coprozessoreingängen CI1 bis CI_n angepasst werden.

[0028] Der Coprozessor **102** liest nun ständig die Signale an den Eingängen ein und legt je nach Bit-Kombination an den Ausgängen maximal einen der hier drei Ausgänge CO1 bis CO3 auf „low“. Dabei ist folgende Wahrheitstabelle für die Verknüpfung von Eingangs- und Ausgangssignalen (beispielhaft) denkbar:

Tabelle 1

CI1	CI2	CO1	CO2	CO3
high	high	high	high	high

high	low	low	high	high
low	high	high	low	high
low	low	high	high	low

[0029] Mit dem hier dargestellten Ausführungsbeispiel kann damit eine Höchstzahl von 5 Peripherielementen durch die vier Auswahlchnittstellen CS1 bis CS4 mit Hilfe des Coprozessors **102** angesprochen werden. Erhöhung der Eingangs- und Ausgangsschnittstellenzahl des Coprozessors können dann auch mehr Peripherielemente angesprochen werden. Werden im Coprozessor vier Eingangsschnittstellen CI und bis zu sechzehn Ausgangsschnittstellen CO verwendet, kann ein Decoder vollständig ersetzt werden. Dennoch ist damit eine hohe Flexibilität bezüglich der Anzahl der anzuschließenden Peripherielemente möglich. Die notwendige Anzahl von Ein- und Ausgängen in Abhängigkeit der Teilnehmerzahl, also der Anzahl der Peripherielemente, insbesondere als SPI-Bus-Teilnehmer, ist in Tabelle 2 für vier Auswahlchnittstellen, also Chipselektausgängen des Prozessorbausteins dargestellt:

Tabelle 2

Anzahl der Peripherielemente	Anzahl notwendige Eingänge CI	Anzahl notwendige Ausgänge CO	Pinsumme des Coprozessors CO + CI
5	2	3	5
6	3	5	8
7	3	6	9
8	3	7	10
9	4	9	13
10	4	10	14
...	4

[0030] Entsprechend der Tabelle 2 ist ersichtlich, das abhängig von dem Überschuss an Peripherielementen

gegenüber der zur Verfügung stehenden Auswahlchnittstellen des Prozessorbausteins die notwendigen Eingänge bzw. Eingangsschnittstellen und Ausgänge bzw. Ausgangsschnittstellen des Coprozessors und damit die eingesetzte Pinsumme vorgebar ist.

[0031] Ist der Coprozessor bereits im Prozessorbaustein **100** enthalten, liegt ein großer Vorteil der Erfindung darin, eine Möglichkeit zu haben, die Anzahl der Peripherieelemente für eine serielle Schnittstelle ohne zusätzlichen Hardwareaufwand zu erweitern. Dabei entfallen zusätzliche Kosten der Hardware für den Decoderbaustein sowie dessen Bestückung bzw. Prüfung. Ebenso entfallen Kosten für zusätzliche Leiterplattenfläche.

[0032] Gegenüber anderen reinen Softwarelösungen, die der Nachbildung eines Schnittstellenmoduls mit dem Coprozessor oder dem Ansteuern eines Standardausgangspins über den Hauptprozessor als weiteres Selektiersignal, kommt die vorgestellte Lösung außerdem mit deutlich geringerem Softwareaufwand und damit geringerer Prozessleistung aus.

[0033] Da das Schnittstellenmodul und der Coprozessor jeweils unabhängig vom Hauptprozessor sind, ist vorteilhafter Weise kein Informationsfluss zwischen diesen unabhängigen Modulen notwendig. Dies verhindert eine zusätzliche Belastung der Module.

[0034] Der Codebedarf für die Nachbildung des Decoders mit dem Coprozessor ist sehr gering. Der Coprozessor selbst ist dadurch kaum belastet und steht hauptsächlich für andere Aufgaben, insbesondere zur Unterstützung des Hauptprozessors zur Verfügung.

[0035] Anstatt der Darstellung in **Fig. 1** bezüglich der MSO und MSI Schnittstelle, kann auch eine bidirektionale Verbindung, also eine Bus I/O, eine Bus Ein-Ausgabeschnittstelle mit entsprechendem Pendant auf der Peripherieelementeseite Verwendung finden.

[0036] Eine im Schnittstellenmodul **101** einstellbare Wartezeit zwischen der Selektion also der Ansteuerung eines Peripherieelementes und dem Start der Kommunikation, insbesondere dem Start des Taktsignals an SCK, über den Bus bzw. über MSI und MSO kann dabei so angepaßt werden, dass die Auswahl bzw. Ansteuerung der Peripherieelemente durch den Coprozessor **102** störungsfrei durchgeführt werden kann.

Patentansprüche

1. Vorrichtung zur Ansteuerung von Peripherieelementen (**105-107**), insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, mit einem Prozessorbaustein (**100**), welcher eine vorgegebene erste Anzahl an Auswahlchnittstellen (CS1-CS4) aufweist, **dadurch gekennzeichnet**, dass ein Coprozessor (**102**) mit Eingangsschnittstellen (CI1, CI2) und Ausgangsschnittstellen (CO1-CO3) enthalten ist und bei einer zweiten Anzahl der Peripherieelemente (**105-107**), die größer ist als die erste Anzahl der Auswahlchnittstellen (CS1-CS4), eine vorgebbare dritte Anzahl der Auswahlchnittstellen (CS1-CS4) mit der gleichen dritten Anzahl von Eingangsschnittstellen (CI1, CI2) des Coprozessor (**102**s) verbunden sind und eine vorgebbare vierte Anzahl von Peripherieelementen (**105-107**) über die entsprechende vierte Anzahl der Ausgangsschnittstellen (CO1-CO3) des Coprozessor (**102**s) derart angesteuert wird, dass der Coprozessor (**102**) abhängig von einer Zuordnung der Signale an der dritten Anzahl seiner Eingangsschnittstellen (CI1, CI2) zu den Signalen an seiner vierten Anzahl von Ausgangsschnittstellen (CO1-CO3) die Peripherieelemente (**105-107**) ansteuert.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die dritte Anzahl der Auswahlchnittstellen (CS1-CS4), die mit der dritten Anzahl der Eingangsschnittstellen (CI1, CI2) des Coprozessors (**102**) verbunden wird abhängig von einer Differenz der ersten Anzahl an Auswahlchnittstellen (CS1-CS4) und der zweiten Anzahl der Peripherieelemente (**105-107**) vorgegeben wird.

3. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die vierte Anzahl der Ausgangsschnittstellen (CO1-CO3) des Coprozessors (**102**) über die die gleiche vierte Anzahl an Peripherieelementen (**105-107**) angesteuert wird abhängig von einer Differenz der ersten Anzahl an Auswahlchnittstellen (CS1-CS4) und der zweiten Anzahl der Peripherieelemente (**105-107**) vorgegeben wird.

4. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Coprozessor (**102**) im Prozessorbaustein (**100**) integriert ist und Ausgangsschnittstellen (CO1-CO3) des Coprozessors (**102**) damit als Auswahlchnittstellen (CS1-CS4) des Prozessorbausteins (**100**s) verwendet werden.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

