(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 23/28

(45) 공고일자 2000년05월15일
(11) 등록번호 10-0256911
(24) 등록일자 2000년02월25일

(21) 출원번호 10-1997-0016487
(22) 출원일자 1997년04월24일
(65) 공개번호 특1997-0072343
(43) 공개일자 1997년11월07일
(30) 우선권주장 96-102825 1996년04월24일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 도요사와 겐지
일본국 나라껜 이꼬마시 쯔지마치 네오하이츠 히가시이꼬마 601 756-1
아사주 다쿠로
일본국 나라껜 나라시 다이안지 3-7-5 루미에루 에이-101
다지마 나오유키
일본국 나라껜 야마토코리야마시 이소노쵸 1-1-401
(74) 대리인 백덕열, 손창규, 이태희

심사관 : 유기혁

(54) 테이프 캐리어 패키지 및 이 테이프 캐리어 패키지를 포함하는 액정표시장치

요약

본 발명의 테이프 캐리어 패키지는, 반도체칩의 표면에 형성된 제1전극 범프열, 및 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체 칩; 적어도 그의 일부가 상기 반도체칩상에 형성된 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부 및 이 제1리드부로 부터 연장되어 상기 제1 및 제2 전극 범프열에 전기적으로 접속되는 제2 리드부를 포함하는 도체 패턴으로서, 상기 제2 리드부는 복수의 제1 내측 리드와 복수의 제2 내측 리드를 포함하고, 상기 제1 내측 리드는 제1 전극 범프열에 접속되고 상기 제2 내측 리드는 상기 제2 전극 범프열에 접속되며, 상기 제1 내측 리드는 반도체 칩의 내측을 행해 연장되고, 상기 제1 전극 범프열은 상기 반도체칩의 제1 에지 부근에 형성되고, 상기 제1 리드부의 적어도 일부는 반도체상에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2 리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함한다.

대표도

도1

명세서

[발명의 명칭]

테이프 캐리어 패키지 및 이 테이프 캐리어 패키지를 포함하는 액정표시장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 의한 액정표시패널을 구동하기 위해 내측 패드형 반도체칩을 이용하는 TCP의 구조 및 상기 액정표시패널에 부착된 상기 TCP의 구성을 보인 단면도.

제2도는 본 발명의 실시예 2에 의한 액정표시패널을 구동하기 위해 내측 패드형 반도체칩을 이용하는 TCP의 구조 및 상기 액정표시패널에 부착된 상기 TCP의 구성을 보인 단면도.

제3도는 본 발명의 실시예 3에 있어서의 액정표시패널을 구동하기 위해 슬림형 반도체칩을 이용하는 TCP의 구조, 및 상기 액정표시패널에 부착된 상기 TCP의 구성을 보인 단면도.

제4도는 본 발명의 실시예 4에 있어서의 액정표시패널을 구동하기 위해 슬림형 반도체칩을 이용하는 TCP의 구조, 및 상기 액정표시패널에 부착된 상기 TCP의 구성을 보인 단면도.

제5a도는 본 발명의 실시예 5에 있어서 내측 패드형 반도체칩을 이용한 TCP의 평면도.

제5b도는 제5a도의 5B-5B선에 따른 TCP의 단면도.

제5c도는 상기 액정표시패널에 부착된 제5a도에 보인 TCP의 구성을 나타낸 단면도.

제6a도는 본 발명의 실시예 6에 있어서의 TCP의 평면도.

제6b도는 제6a도의 6B-6B선에 따른 TCP의 단면도.

제7a도는 본 발명에 의한 실시예 7에 있어서의 TCP의 평면도.

제7b도는 제7a도의 7B-7B선에 따른 TCP의 단면도.

제8도는 스페이서용 유지부재를 사용하지 않은 경우에 본 발명에 의한 TCP의 변형예를 보인 단면도.

제9도는 300개의 출력측 외측 리드(outer lead)가 제공된 경우 외측 리드의 형상 및 배치를 보인 개략도.

제10도는 액정표시패널에 부착되고, 액정표시패널을 구동하기 위한 종래 구조를 갖는 TCP의 구성을 보인 단면도.

제11도는 액정표시패널에 부착되고, 액정표시패널을 구동하기 위한 절곡형 구조를 갖는 TCP의 구성을 보인 단면도.

제12도는 액정표시패널에 부착되고, 액정표시패널을 구동하기 위해 슬림형 반도체칩을 채용한 종래의 구조를 갖는 TCP의 구성을 보인 단면도.

제13도는 액정표시패널에 부착되고, 액정표시패널을 구동하기 위해 내측 패드형 반도체칩을 이용한 종래의 TCP의 구성을 보인 단면도.

제14도는 액정표시패널에 부착되고, 액정표시패널을 구동하기 위해 종래의 COG 구조를 갖는 TCP의 구성을 보인 단면도.

[발명의 상세한 설명]

본 발명은 테이프 캐리어 패키지 및 이 테이프 캐리어 패키지를 구비한 액정표시장치에 관한 것이다.

[발명이 속하는 기술 분야 및 그 분야의 종래 기술]

도 10은 액정표시패널(109)을 구동하기 위한 종래의 테이프 캐리어 패키지(1000)(이하, "TCP"라 함)의 구성을 보인 단면도이다.

도 10에 보인 종래 TCP(1000)의 제조방법을 이하에 설명한다.

우선, 금 범프(105)를 형성하기 위해 웨이퍼상의 전극(패드)을 금도금하고, 다이싱 시트상에 상기 웨이퍼에 범프(105)를 부착한 다음, 상기 웨이퍼를 다이싱 장치에 의해 소정 크기를 갖는 반도체 칩(101)으로 다이싱함으로써, 금 범프(105)를 갖는 반도체칩(101)을 형성한다.

상기 각 금 범프(105)의 크기와 높이는 범프 피치에 따라 변하지만, 범프의 크기는 통상적으로 약 40~100㎛ 범위내에 있고 범프의 높이는 약 10~20㎛ 범위내에 있다. 액정소자 드라이버용 반도체칩의 경우에 상기 칩은 전형적으로 약 10~20의 애스팩트비(즉, 길이 대 폭의 비)를 갖는 길다란 형상으로 되어 있다.

다음, 반도체칩(101)을 테이프 캐리어의 디바이스홀(107)내에 위치시킨다. 상기 테이프 캐리어는 테이프 기재로서 폴리이미드 등으로 이루어진 절연막(102) 및 접합층(103)을 통해 그 에 적층된 도체 패턴을 포함한다. 이 도체 패턴은 내측 리드(inner lead)(108), 액정장치 구동신호용접속 단자로 기능하는 출력측 외측 리드(outer lead)(114), 및 반도체칩 구동용 소스 단자 및 영상신호용 접속단자로 기능하는 입력측 외측 리드(113)를 형성한다.

다음, 내측 리드 본딩공정에 있어서, 내측 리드 본더를 사용하여 반도체칩(101)상의 금 범퍼(105)와 테이프 캐리어의 내측 리드(101)를 서로 접착시킨다. 금범퍼(105)의 금과 내측 리드(108)의 주석층이 공정 합금(euteric alloy)을 형성하면 접합이 완료된다. 상기 내측 리드(108)는 예컨대, 동박을 에칭함으로써 형성된다. 상가 공정 합금을 형성하기 위해, 내측 리드(108)의 표면은 0.1~0.3㎛ 범위의 두께를 갖는 주석층으로 도금된다.

상기 반도체칩(101)은 상기 내측 리드 접합공정후 내측 리드(108)에 의해 지지되기 때문에, 상기 반도체칩(101)과 내측 리드(108)의 접합부를 도화(plot)하기 위한 도화 공정에 의해 상기 반도체칩(101)의 소정 영역에 밀봉액 수지를 도포시킨다. 다음, 상기 액상 수지(106)를 경화시켜 상기 반도체칩(101)과 내측 리드(108)의 접합부를 코팅한다. 상기 도화용 경화는 수시간동안 약 100℃ 상에서 행한다. 상기 액상 수지(106)가경화된 후, 그에 따른 TCP(1000)를 마킹한 후 최종 테이프를 행한다. 그 후, TCP(1000)를 다른 공정없이 릴 형태로 출하하거나, 또는 각각의 편으로 절단하여 슬라이드 캐리어로 출하한다.

상기 공정에 의해 제조된 TCP(1000)는 다중 접속단자를 갖는 반도체 장치를 콤팩트한 크기로 실장하는데 가장 바람직한 구조를 갖는다. 이에 따라, 현재, 이와 은 TCP는 액정표시패널을 구동하기 위한 반도체 장치의 캐리어 패키지로서 가장 널리 사용되고 있다.

도 10에 보인 바와 같이, 상기 TCP(1000)는 이방성 도전막(110)을 갖는 액정표시패널(109)의 주변 영역에 제공된 접속단자에 임시 부착되어 있다. 다음, 출력측 외측 리드(114)를 액정표시패널(109)의 주변 영역에 제공된 대응 접속단자에 정합시킨다. 정합부는 가열된 공구를 사용하여 열-압착 본딩(thermo-compression bonding)을 행해 상기 TCP(1000)와 액정표시패널(109)을 접착시킨다. 상기 입력측 외측 리드(113)는 프린트 배선기판(111)에 접속된다.

이 경우, 액정표시패널(109)내의 출력측 외측 리드(114)의 접속부를 제외한 TCP(1000)는 상기 액정표시패널(109)의 에지(109a)로 부터 돌출한다. 상기 액정표시패널(109)의 에지(109a)로 부터의 돌출부의 양(이하, "프레임 사이즈"라 함)이 커지면, 전체 액정 모듈의 사이즈도 커진다. 따라서, 모듈 면적에 대한 표시화면의 면적비가 감소된다. 그러나, 특히 TCP가 예컨대, 노트북 크기 또는 서브노트북 크기의 퍼스널 컴퓨터나 퍼스널 디지탈 어시스턴스(personal digital assistance; PDA)에 있어서 모듈 외측형으로 엄격히 제한되는 기기에 이용되는 경우, 프레임 사이즈는 최소로 되어야 한다.

이와 같은 퍼스널 컴퓨터나 퍼스널 디지탈 어시스턴스에 대한 요구를 만족하도록 프레임 사이즈를 축소시키기 위해, 도 11~14에 보인 TCP가 제안되었다.

도 11은 액정표시패널(109)에 부착되고, 이 액정표시패널을 구동하기 위한 절곡형 구조를 갖는 TCP(110

0)의 구성을 보인 단면도이다. 이 절곡형 구조를 갖는 TCP(1100)에 있어서, 액정표시패널(109)의 에지부(109a)로 부터 돌출하는 부분은 액정표시패널(109)의 저면을 향해 절곡된다. 절연 수지(112)는 절곡에 의해 형성된 코너에 도포된다. 이 절연 수지(112)는 내절곡 저항성을 가지며 코너에서 절연막(102)에 형성된 슬릿을 통해 노출된 도체 패턴(104)을 보호한다.

액정표시채널(109)의 저면을 향해 돌출부를 절곡시킴으로써, 도 11에 보인와 같이 겉보기 프레임 사이즈가 감소될 수 있다. 그러나, 절곡을 위한 부가적 부분이 상기 TCP(1100)에 제공되어야 하기 때문에, TCP(1100) 체의 크기가 커진다. 따라서, 제조 코스트가 바람직하지 않게 증대된다. 또한, 액정표시채널내에 TCP(1100)가 절곡 상태로 조립되기 때문에 액정표시채널의 두께가 증가되는 문제가 있다.

도 12는 액정표시채널에 부착되고, 이 액정표시채널을 구동하기 위해 슬림형 반도체칩(101a)을 이용한 종래의 TCP(1200)를 보인 단면도이다. 도 12에 보인 TCP(1200)에 이용된 슬림형 반도체칩(101a)은 종래 형태의 사각형이 아닌 봉(bar)형을 갖는다.

도 12에 보인 바와 같이, 슬림형 TCP(1200)의 프레임 사이즈는 상기 절곡형 TCP(1100)에 비해 크지만, TCP(1200) 그 자체의 사이즈가 작기 때문에, 슬림형 TCP(1200)는 코스트면에서 유리하다. 또한, 돌출영역을 절곡시킬 필요가 없기 때문에, 도 11에 보인 바와 같이 절곡형 TCP(1100)에 비해 제조 공정이 간략화될 수 있다.

한편, 상기한 바와 같이, 절곡형 TCP(1100)는 슬림형 TCP(1200)에 비해 코스트면에서 불리하다. 따라서, 절곡형 TCP(1100)는 다수의 TCP를 사용한 대형 액정표시패널에는 부적합하다.

이와 같이, 각 구조의 특징으로 살려 여러 형태의 TCP가 액정표시패널상에 장착된다. 이중, 상반되는 시장의 요구(즉, 액정표시패널의 표시영역의 확대와 액정 모듈 크기의 축소)를 충족시키기 위해, 칩사이즈가 작아진 슬림형 TCP(1200)를 채용하여 프레임 사이즈를 축소시키고 있다. 그러나, 슬림형 TCP에 있어서의 칩 사이즈의 축소는 현재 반도체칩의 출력측 외측 리드수의 증가 및 반도체칩에 요구되는 부가적인 새로운 회로와 새로운 특징의 도입으로 인해 한계에 달하고 있다.

프레임 사이즈를 축소시키기 위해 "내측 패드형"으로 불리우는 다른 TCP 구성이 제안되었다. 도 13은 액정표시패널을 구동하기 위해 내측 패드형 반도체칩(101b)을 이용한 TCP(1300)를 보인 도면이다. 이 구성에 있어서, 예컨대, 반도체칩(101b)의 전극 범프(116)는 반도체칩(101b)의 에지부로 부터 중앙부를 향해 편이되도록 위치된다.

도 13에 보인 바와 같이, TCP(1300)는 반도체칩(101b)과 절연막(102)간의 소정 거리를 유지하기 위한 스페이서용 유지 부재(115)를 포함한다. 상기 TCP(1300)에 있어서, 내측 리드(108)와 반도체칩(101b)의 접합부 및 입력측, 출력측 외측 리드(113, 114)와 반도체칩(101b)의 접합부를 코팅하기 위해 밀봉 수지(106)가 제공된다. 상기 밀봉 수지(106)는 반도체칩(101b)의 폭을 커버한다.

프레임 사이즈는 액정표시패널(109)의 에지(109a)와 반도체칩(101b)의 한 에지간의 내측 외측 리드(114)의 길이(상기 반도체칩(101b)의 사이즈(폭)는 TCP 배선영역을 포함), 반도체칩(101b)의 사이즈, 반도체칩(101b)의 다른 에지와 프린트 배선 기판(111)간의 외측 외측 리드(113)의 길이, 및 상기 프린트 배선기판(111)의 부가적 폭의 전체이다.

상기 TCP(1300)의 전체 폭은 상기 반도체칩(101b)의 폭 + 입력측 배선부(133a)와 출력측 배선부(133b)로 정의되며, 상기 입력측 배선부(133a)와 출력측 배선부(133b)는 각각 신호 입력측과 신호 출력측을 향해 반도체칩(101b)의 폭으로부터 연장되는 상기 TCP(1300)의 일부이다.

즉, 상기 프레임 사이즈는 액정표시패널(109)의 주변 영역과 중첩하는 출력측 외측 리드(114)의 접속부 이외의 내측 패드형 TCP(1300)의 전체 최소폭 이하로 되도록 축소될 수 없다.

또한, TCP를 이용하는 대신, 칩 온 글라스(COG) 구조의 베어 칩 마운트(bare chip mount)를 이용하는 액정 모듈이 사용되어 액정 모듈의 프레임 사이즈를 축소시킨다. 도 14는 액정표시패널을 구동하기 위해 COG 구조를 이용한 종래 액정 모듈(1400)의 부분 단면도이다. 도 14에 보인 바와 같이, 액정 모듈은 상부 유리 기판(119a)과 하부 유리 기판(119b)을 갖는 액정표시패널(119), 한쌍의 편광자(124), 백라이트(120), 유리 에폭시 기판(121), COG용 범프(122)를 갖는 반도체칩(101c), 및 가요성 기판(123)을 포함한다. 상기 반도체칩(101c)은 TCP에 실장할 필요없이 상기 하부 유리 기판(119b)에 형성된 배선(도시되지 않음)에 장착될 수 있기 때문에, 코스트의 절감을 도모할 수 있다.

도 14에 보인 COG의 경우에는 웨이퍼의 제작시에 웨이퍼 테스트가 행해진다. 그러나, 웨이퍼의 테스트후에 다이싱과 같은 공정을 통해 반도체칩을 얻고 반도체칩이 액정표시패널에 실장되기 전에 웨이퍼 테스트에서 양품으로 판정된 반도체칩을 트레이에 넣는 공정이 있다. 이에 따라, 웨이퍼 테스트에서 양품으로 판정된 반도체칩이 상기 공정에서 그의 전기적 특성이 변하거나 이물질 또는 먼지의 부착으로 인해 후속 공정에서 불량품으로 될 가능성이 있다.

또한, COG법은 베어 칩 마운트이므로, 반도체칩(101c)의 실장 공정전의 처리 공정에서 상기 반도체칩(101c)의 표면이 오염되거나 손상될 수 있다.

또한, COG는, 보다 간단하게 버언-인 테스트(burn-in test)가 행해질 수 있는 TCP에 비해, 버언-인 테스트가 행해질 수 없는 문제가 있다. 이에 따라, TCP에 있어서, 실장후 방생되는 초기 결함이 시장에 출하되기 전에 비교적 용이하게 제거될 수 있다. 그러나, 초기 결함이 시장에 출하 후 발생할 가능성이 있다.

또한, 불량 반도체칩이 실장되는 경우, 이 불량 반도체칩은 제거되어 정상 칩으로 교체되어야 한다. 그러나, COG에 있어서, 기실장되어 있는 불량 반도체칩을 수리하기 위해서는 많은 노력이 수반되어야 한다.

상기 COG는 아직도 다음과 같은 문제가 있다. COG법을 사용시, COG형 반도체칩(101c)상의 전극 범프(122)의 배치는 반도체칩(101c)이 실장되는 도 14에 보인 하부 유리기판(119b) 또는 유리 에폭시 기판 등의 기판에 따라 결정된다. 따라서, 칩사이즈의 버젼-업 또는 칩 사이즈의 축소요망에 따라 칩 사이즈가 변경되는 경우, 반도체칩(101c)상의 전극 범프(122)를 재배치할 필요가 있다. 일단 반도체칩(101c)상의 전극

범프 배치가 변경되면, 반도체칩(101c)이 실장되는 기판의 접합부의 디자인도 반도체칩(101c)상의 전극 범프(122)의 새로운 배치에 따라 변경되어야 한다. 기판의 디자인은 반도체칩(101c)의 사이즈가 변경될때마다 변경되어야 하며, 이는 코스트를 증가시킨다.

한편, 반도체칩(101c)이 실장되는 기판의 변경 및 이에 따른 반도체칩(101c)에 대한 그의 접합부에서의 변경은 반도체칩(101c)의 전극 범프(122)의 배치 변경을 필요로 한다.

따라서, 반도체칩(101c) 또는 이 반도체칩(101c)이 실장되는 기판이 변경되는 경우, COG법은 자유도 및 변경에 대한 융통성이 별로 없다.

본 발명의 테이프 캐리어 패키지는, 반도체칩의 표면에 형성된 제1전극 범프열, 및 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체 칩; 적어도 그의 일부가 상기 반도체칩상에 형성되는 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부 및 이 제1리드부로 부터 연장되어 상기 제1 및 제2 전극 범프열에 전기적으로 접속되는 제2리드부를 포함하는 도체 패턴으로서, 상기 제2리드부는 복수의 제1 내측 리드와 복수의 제2 내측 리드를 포함하고, 상기 제1 내측 리드는 제1전극 범프열에 접속되고 상기 제2 내측 리드는 제2전극 범프열에 접속되며, 상기 제1 내측 리드는 반도체칩의 내측을 행해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1 에지 부근에 형성되고, 상기 제1리드부의 적어도 일부는 반도체상에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함한다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지 부근에 형성된다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지에 대향하는 제2에지 부근에 형성된다.

본 발명의 1실시예에 있어서, 상기 반도체칩상에 형성된 절연막의 부분은 상기 제1 및 제2 전극 범프열간에 위치된다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 중앙을 따라 형성되는 범프들이다.

본 발명의 1실시예에 있어서, 상기 반도체칩과 상기 절연막간에 갭을 형성하도록 스페이서용 유지 부재가 제공되어 있고, 상기 반도체칩과 상기 절연막간의 갭은 밀봉 수지로 충전되어 있다.

본 발명의 테이프 캐리어 패키지는, 반도체칩의 표면에 형성된 제1전극 범프열, 및 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체 칩; 상기 반도체칩상에 형성된 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부 및 이 제1리드부로 부터 연장되어 상기 제1 및 제2 전극 범프열에 전기적으로 접속되는 제2리드부를 포함하는 도체 패턴으로서, 상기 제2리드부는 복수의 제1 내측 리드와 복수의 제2내측 리드를 포함하고, 상기 제1 내측 리드는 제1전극 범프열에 접속되고 상기 제2내측 리드는 제2전극 범프열에 접속되며, 상기 제1 내측 리드는 반도체칩의 내측을 향해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1에지 부근에 형성되고, 전체의 도체 패턴은 반도체칩의 폭내에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함한다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지 부근에 형성된다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지에 대향하는 제2에지 부근에 형성된다.

본 발명의 1실시예에 있어서, 상기 절연막은 상기 제1 및 제2전극 범프열간에 위치된다.

본 발명의 1실시예에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 중앙을 따라 형성된다.

본 발명의 1실시예에 있어서, 상기 반도체칩과 상기 절연막간에 갭을 형성하도록 스페이서용 유지 부재가 제공되어 있고, 상기 반도체칩과 상기 절연막간의 갭은 밀봉 수지로 충전되어 있다.

본 발명의 액정표시장치는, 반도체칩의 표면에 형성된 제1전극 범프열, 및 상기 제1열에 평해하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체 칩; 적어도 그의 일부가 반도체칩상에 형성되는 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부 및 이 제1리드부로 부터 연장되어 상기 제1 및 제2전극 범프열에 전기적으로 접속되는 제2리드부를 포함하는 도체패턴으로서, 상기 제2리드부는 복수의 제1내측 리드와 복수의 제2내측 리드를 포함하고, 상기 제1내측 리드는 제1전극 범프열에 접속되고 상기 제2내측 리드는 제2전극 범프열에 접속되며, 상기 제1내측 리드는 반도체칩의 내측을 행해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1에지 부근에 형성되고, 상기 제1리드부의 적어도 일부가 상기 반도체칩상에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함하는 테이프 캐리어 패키지와, 상기 테이프 캐리어 패키지의 제1리드부에 접속된 유리 기판과 프린트 배선 기판을 포함하는 액정표시패널을 포함하며, 상기 테이프 캐리어 패키지는, 상기 반도체칩이 상기 유리 기판 및 프린트 배선 기판의 일방에 오버랩하도록 상기 액정표시패널에 탑재되어 있다.

이에 따라, 본 발명은 (1) 기계적 강도가 개선되고 프레임 사이즈가 축소된 테이프 캐리어 패키지; 및 (2) 이와 같은 테이프 캐리어 패키지를 포함하는 액정표시장치를 제공한다.

[발명의 구성 및 작용]

이하, 본 발명의 실시예에 대해 설명한다.

[실시예 1]

도 1은 본 발명의 실시예 1에 따른 액정표시패널(9) 구동용 TCP(100)의 구조를 나타낸 단면도이다. 상기 TCP(100)는 내측 패드형 세미 반도체칩(1a)을 이용하며 액정 표시부(도 1에 부분적으로 도시됨)의 액정표

시패널(9)에 접속된다.

도 1에 도시된 바와 같이, TCP(100)는 전극 범프(5)를 가진 반도체칩(1a)과 그 반도체칩(1a)이 배치되어 있는 디바이스홀(7)을 가진 테이프 캐리어부를 포함한다.

도 1에 도시된 바와 같이, 반도체칩(1a)은 내측 패드형 칩이다. 상기 반도체칩(1a)의 전극 범프(5)는 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)의 2열로 배열된다. 상기 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)은 반도체칩(1a)의 적어도 2개의 대향 에지들에 대해 평행하게 되고 각각 상기 반도체칩(1a)의 에지들에서 내측으로 약 200㎛ 떨어져 위치하도록 배열된다. 상기 2개의 범프열들(5a, 5b) 사이의 간격은 약 190㎛이며, 즉 상기 2열들은 서로 밀접하게 배열된다.

테이프 캐리어부(30a)(입력신호측)를 포함하는, 테이프 캐리어부의 캐리어 테이프는 절연막(2), 접착층(3), 및 도체 패턴(4)으로 된 3층 구조를 가진다. 도체 패턴(4)은 입력측 내측 리드(8a)와 출력측 내측 리드(8b)를 포함하는 내측 리드(8), 액정 소자 구동 신호용 접속 단자로서 작용하는 출력측 외측 리드(14), 및 반도체칩 구동용 소스 단자 및 화상 신호용 접속 단자로서 작용하는 입력측 외측 리드(13)를 형성하도록 패터닝된다. 반도체칩(1a)과 절연막(2) 사이에는 스페이서용 유지 부재(15)가 제공되어 반도체칩(1a)과 절연막(2) 사이에 소정 간격을 유지한다.

입력측 및 출력측 내측 리드(8a, 8b)는 각각 반도체칩(1a)의 입력 및 출력신호 전극 범프열들(5a, 5b)의 대응하는 범프들에 결합된다. 반도체칩(1a)과 내측 리드(8)의 접합부를 피복하도록 밀봉 수지(6)가 제공된다.

이 실시예에서는, 도 1에 도시된 바와 같이, 출력신호 전극 범프열(5b)은 입력신호 전극 범프열(5a)이 제공되어 있는 칩 에지를 향해 옵셋되도록 반도체칩(1a)상에 배열된다. 따라서, 출력측 외측 리드(14)는 반도체칩(1a) 내측을 향해 시프트되어 출력측 외측 리드(14)가 반도체칩(1a)의 폭내에 적어도 부분적으로, 더욱 바람직하게는 완전하게 배치된다. 바람직한 경우에, 전체 출력측 외측 리드(14)는 반도체칩(1a)의 범프 장착 표면(31)에 대향하며 출력측 외측 리드(14)는 반도체칩(1a)의 외측(즉, 반도체칩(1a)의 소자 형성 영역내)으로 연장되지 않는다.

이 실시예에 따르면, 출력측 외측 리드(14)의 적어도 일부가 반도체칩(1a)의 범프 장착 표면(31)에 중첩되는 방식으로 배향하도록 배열됨으로써, 반도체칩(1a)이 액정표시패널(9)과 중첩된다. 입력측 배선부(32)가 신호 입력측을 향해 반도체칩(1a)의 폭으로부터 연장하는 TCP(100)의 일부로서 형성되고, 반도체칩(1a) 및 입력측 외측 리드(13)를 가진 캐리어 테이프부(30a) 사이에 밀봉 수지(6)로써 피복된 접합부의 일부, 및 캐리어 테이프부(30a)를 포함하는 경우에, TCP(100)의 크기는 반도체칩(1a)과 입력측 배선부(32)의 크기의 합으로 감소된다.

도 13에서 설명한 바와 같이 종래의 구조에서, TCP(1300)의 전체 크기는 반도체칩(101b)의 폭에 입력측 배선부(133a) 및 출력측 배선부(133b)의 폭을 합한 것이었다. 상기 TCP(1300)의 프레임 사이즈는 반도체칩(101b)의 폭에 입력측 배선부(133a)와 추가된 프린트 배선 기판(111)의 폭, 및 출력측 배선부(133b)를 합하여, 액정표시패널(109)과 중첩된 접속부를 뺀 전체 사이즈와 동일하다.

상기한 바와 같이, 본 발명의 이 실시예의 TCP(100)의 구조에서는, 반도체칩(1a), 출력측 외측 리드(14)의 적어도 일부, 및 액정표시패널(9)을 중첩시킬 수 있다. 따라서, 종래 사이즈를 갖는 반도체칩(1a)이 TCP(100)에 사용될때도 프레임 사이즈가 감소될 수 있다.

다음, 이 실시예의 TCP(100)의 제조 방법을 설명한다. 먼저, 전극 범프(5)를 형성하도록 금 등의 금속으로 웨이퍼상에 형성된 전극(패드)을 도금하고, 범프를 갖는 상기한 결과의 웨이퍼를 다이싱 시트상에 부착한 다음, 상기 웨이퍼를 다이싱 장치에 의해 소정 크기를 갖는 반도체칩(1a)으로 다이싱하여, 전극 범프(5)를 가진 반도체칩(1a)을 제조한다. 각 범프(5)의 크기 및 높이는 범프 피치에 따라 변화하지만, 범프 크기 및 범프 높이는 각각 40-100㎛의 범위 및 10-20㎛의 범위내이다. 이 실시예에서, 범프 피치는 출력측의 출력신호 전극 범프열(5b)에 대해서는 약 70㎛로 설정되고, 입력측의 입력신호 전극 범프열(5a)에 대해서는 약 200-300㎛ 사이로 설정된다.

또한, 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)은 반도체칩(1a)의 적어도 2개의 대향 에지들에 대해 평행하게 되고, 상기 반도체칩(1a)의 에지들에서 내측으로 약 200㎛ 떨어져 위치하도록 배열된다. 상기 2개의 범프열들(5a, 5b) 사이의 간격은 약 190㎛이며, 즉 상기 2열들은 서로 밀접하게 배열된다.

도 1에 도시된 바와 같이, 출력신호 전극 범프열(5b)은 입력신호 전극 범프열(5a)이 제공되어 있는 칩 에지를 향해 옵셋되도록 반도체칩(1a)상에 배열된다. 따라서, 출력측 외측 리드(14)는 모두 소자가 형성된 반도체칩(1a)의 영역내에 배치된다.

또한, 반도체칩(1a)은 테이프 캐리어의 디바이스홀(7)내로 배치된다. 상기 테이프 캐리어는 폴리이미드 또는 테이프 기판과 동일 재료로 된 절연막(2), 및 접착층(3)을 통해 퇴적된 도체 패턴(4)을 포함한다.

절연막(2)으로는, 상품명 "업이렉스"(우베 인더스트리에서 제조), 상품명 "캅톤"(토레이-듀퐁사에서 제조), 및 상품명 "아피칼"(카네카 코포레이션에서 제조)등의 폴리이미드계 재료로 된 막이 사용된다. 절연막(2)의 두께는 약 75㎛ 이하로 설정된다. 접착층(3)은 약 13㎛의 두께를 가진 에폭시형 재료로 제조된다.

도체 패턴(4)은 내측 리드(8), 출력측 외측 리드(14), 및 입력측 외측 리드(13)를 형성하도록 패터닝된다. 도체 패턴(4)은 약 18㎛의 두께를 가진 전해질 동박을 에칭함에 의해 형성된다. 도체 패턴(4)의 표면은 약 0.2-0.4㎛ 범위의 두께를 가지도록 주석, 금, 니켈 또는 납으로 도금된다. 또한, 절연성을 유지하도록, 내측 리드(8), 입력측 외측 리드(13), 및 출력측 외측 리드(14)를 제외한 배선 패턴상에 프린팅에 의해 솔더 레지스트(도시안됨)가 도포된다. 내측 리드(8), 입력측 외측 리드(13), 및 출력측 외측 리드(14)의 표면들은 0.1-0.3㎛ 범위의 두께를 가진 주석층으로 도금된다.

출력측 외측 리드(14)의 갯수는 약 240개이고, 출력측 외측 리드(14)와 입력측 외측 리드(13)의 합은 약

300개이다. 출력측 외측 리드(14)와 입력측 외측 리드(13)의 폭은 약 0.5㎜이고, 디바이스홀(7)의 폭도 약 0.5㎜이다.

내측 리드 결합단계에서, 반도체칩(1a)상의 범프열들(5a, 5b) 및 테이프 캐리어 내측 리드들(8a, 8b)은 각각 내측 리드 본더를 이용하여 결합된다. 이 실시예에서, 범프(5)로는 금 범프가 사용된다. 금 범프(5)의 금과 내측 리드(8)의 주석이 공융 합금을 형성할 때, 결합이 완료된다.

반도체칩(1a)과 절연막(2) 사이에 소정 간격을 유지하기 위한 다수의 스페이서용 유지 부재들(15)이 반도체칩(1a)의 외주 및 디바이스홀(7)의 근방에 배열된다. 그 결과, 밀봉 수지(6)를 채우도록 필요한 갭이 반도체칩(1a)의 표면과 절연막(2) 사이에 유지된다.

또한, 상기 갭은 반도체칩(1a)의 표면을 보호하고 충분한 기계적 강도를 확보하도록 충분한 양의 밀봉 수지(6)로 채워진다. 스페이서용 유지 부재(15)는 내측 리드(8)와 접속되도록 범프들과 같은 높이, 즉 약 10-20㎛ 사이의 높이를 가진다. 따라서, 스페이서용 유지 부재(15)를 제공함에 의해, 절연막(2)과 반도체칩(1a)이 서로 약 10-30㎛ 정도 떨어질 수 있게 된다.

유동성의 관점에서, 약 200-400 포이즈를 가진 밀봉 수지(6)가 사용된다. 밀봉 수지(6)가 불량한 유동성을 가진다면, 밀봉 수지(6)로써 채워지지 않은 공간이 절연막(2)과 반도체칩(1a) 사이에 형성될 수 있다. 상기한 채워지지 않는 공간의 발생은 밀봉 수지(6)의 경화 조건을 적절하게 조정함에 의해 어느 정도 방지될 수 있다.

절연막(2)과 반도체칩(1a) 사이의 갭이 밀봉 수지(6)로써 채워진 후, 반도체칩(1a)으로부터 오버플로우되지 않도록 밀봉 수지(6)의 양을 조정한다. 밀봉 수지(6)는 디바이스홀(7)내에서 절연막(2)으로부터 약 50㎛이상 돌출하는 것이 방지된다. 이는 밀봉 수지(6)가 절연막(2)으로부터 너무 멀리 돌출되면, 반도체칩(1a)과 내측 리드(8) 장착시에 함께 결합되기 힘들기 때문이다.

TCP(100)는 이방성 도전막(ACF)(10)을 통해 액정표시패널(9)상에 장착된다. TCP(100)를 장착하기 위해, 입력측 외측 리드(13)와 출력측 외측 리드(14)의 접합부들과 ACF(10)가 약 200℃로 가열되도록 반도체칩(1a)측에 가열을 행한다. 이러한 온도에 견디도록, 사용되는 밀봉 수지(6)는 고 Tg, 즉 약 140℃를 갖는다. ACF(10) 장착시에 반도체칩(1a)의 저면에 가열 및 가압이 실행되므로, 반도체칩(1a)의 표면에 두께 약 10㎛의 폴리이미드 피복(도시하지 않음)이 형성되어 반도체칩(1a)의 표면이 손상됨을 방지한다.

[실시예 2]

도 2는 본 발명의 실시예 2의 액정표시패널에 부착된 TCP(100)의 형태, 및 액정표시패널 구동용 내측 패드형 반도체칩을 이용한 TCP(200의 구조를 나타낸 단면도이다.

상기 TCP(200)의 구조는 도 1을 참조하여 설명된 TCP(100)의 구조와 근본적으로 동일하다. 그러나, TCP(200)는 입력신호 전극 범프열(5a)이, 출력신호 전극 범프열(5b)이 형성되어 있는 반도체칩(1b)의 외주 영역을 향해 옵셋되어 있는 점에서 TCP(100)와 다르다.

따라서, 입력측 외측 리드(13)는 반도체칩(1a) 내측을 향시 시프트되어 입력측 외측 리드(13)가 반도체칩(1b)의 폭내에 적어도 부분적으로, 더욱 바람직하게는 완전하게 배치된다. 바람직한 경우에, 전체 입력측 외측 리드(13)는 반도체칩(1a)의 범프 장착 표면(31)에 대향하며 입력측 외측 리드(13)는 반도체칩(1b)의 외측(즉, 반도체칩(1b)의 소자 형성 영역내)으로 연장되지 않는다.

이 실시예에 따르면, 입력측 외측 리드(13)의 적어도 일부가 반도체칩(1b)의 범프 장착 표면(31)에 중첩되는 방식으로 배향하도록 배열됨으로써, 반도체칩(1b)이 프린트 배선 기판(11)과 중첩된다. 출력측 배선부(33)가 신호 출력측을 향해 반도체칩(1b)의 폭으로부터 연장하는 TCP(200)의 일부로서 형성되고, 반도체칩(1b) 및 출력측 외측 리드(14)를 가진 캐리어 테이프부(30b)(출력신호측) 사이의 밀봉 수지(6)로써 피복된 접합부의 일부, 및 캐리어 테이프부(30b)를 포함하는 경우에, TCP(200)의 크기는 반도체칩(1b)과 출력측 배선부(33)의 크기의 합으로 감소된다.

본 발명의 이 실시예의 TCP(200)의 구성에 따르면, 상기한 바와 같이, 반도체칩(1b), 입력측 외측 리드(13)의 적어도 일부, 및 프린트 배선 기판(11)을 중첩시킬 수 있다. 따라서, 종래 사이즈를 갖는 반도체칩(1b)이 TCP(200)에 사용되는 경우에도 프레임 사이즈가 감소될 수 있다.

이 실시예의 TCP(200)의 제조 방법은 반도체칩(1b)의 전극 범프(5)의 배열을 제외하면, 상기한 제1실시예의 TCP(100)와 동일하다.

[실시예 3]

도 3은 본 발명의 실시예 3의 액정표시패널(9)에 부착된 TCP(300)의 형태, 및 액정표시패널 구동용 슬림형 반도체칩(1c)을 이용한 TCP(300)의 구조를 나타낸 단면도이다.

상기 TCP(300)에서, 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)은 반도체칩(1c)의 외측 외주 영역들에 배열된다. 도 3에 도시된 바와 같이, 출력측 외측 리드(14)는 입력신호 전극 범프열(5a)과 출력신호 전극 범프열(5b) 사이의 소자가 형성된 영역내에 배치된다. 따라서, TCP(300)의 크기는 반도체칩(1c)과 입력측 배선부(32)의 크기의 합으로 감소된다.

따라서, 반도체칩(1c)을 액정표시패널(9)과 중첩시킬 수 있다. 구체적으로, 반도체칩(1c)의 상당 부분이 도 3에 도시된 바와 같이 액정표시패널(9)상에 배치된다. 따라서, 이 실시예의 TCP(300)의 구성에 따라, 슬림형 반도체칩(1c)이 사용되는 경우에 프레임 사이즈는 더욱 감소될 수 있다. 그 결과, 액정 모듈 사이즈가 감소된다.

이 실시예의 TCP(300)의 제조 방법은, 반도체칩(1c)의 타입과 반도체칩(1c)의 전극 범프들(5)의 배열을 제외하면 상기한 제1실시예의 TCP(100)와 유사하다.

[실시예 4]

도 4는 본 발명의 실시예 4의 액정표시패널(9)에 부착된 TCP(400)의 형태, 및 액정표시패널 구동용 슬림형 반도체칩(1d)을 이용한 TCP(400)의 구조를 나타낸 단ㅁ녀도이다.

슬림형 TCP(400)의 구조는 도 3을 참조하여 설명된 슬림형 TCP(300)의 구조와 근본적으로 동일하다. 그러나, 상기 TCP(400)는 입력신호 전극 범프열(5a)과 출력신호 전극 범프열(5b) 사이의 소자가 형성된 영역내에 출력측 외측 리드(14) 대신에, 입력측 외측 리드(13)가 배치되는 점에서 TCP(300)와 다르다.

따라서, 반도체칩(1d)을 프린트 배선 기판(11)과 중첩시킬 수 있다. 더 구체적으로, 반도체칩(1d)의 상당부분이 도 4에 도시된 바와 같이 프린트 배선 기판(11)상에 배치된다. 따라서, 이 실시예의 TCP(400)의 구성에 따라, 슬림형 반도체칩(1d)이 사용되는 경우에 프레임 사이즈는 더욱 감소될 수 있다. 그 결과, 액정 모듈 사이즈가 감소된다.

이 실시예의 TCP(400)의 제조 방법은, 반도체칩(1d)의 타입과 반도체칩(1d)의 전극 범프들(5)의 배열을 제외하면 상기한 제1실시예의 TCP(100)와 유사하다.

[실시예 5]

도 5a는 본 발명에 따른 실시예 5의 내측 패드형 반도체칩(1e)을 사용한 TCP(500)를 나타낸 평면도이다. 도 5b는 도 5a의 5B-5B선을 따라 취해진 TCP(500)의 단면도이다. 도 5c는 도 5a에 도시된 TCP(500)를 사용한 액정 표시 모듈(550)을 나타낸 부분 단면도이다.

액정 표시 모듈(550)은 상측 유리 기판(19a), 하측 유리 기판(19b), 및 한쌍의 편광자들(24)을 가진 액정 표시패널(19), 백 라이트(20), 유리 에폭시 기판(21), 상기 하측 유리 기판(19b)에 부착된 반도체칩(1e)을 포함하는 TCP(500) 및 가요성 기판(123)을 포함한다.

도 5b에 도시된 바와 같이, 반도체칩(1e)은 내측 패드형 칩이다. 상기 반도체칩(1e)의 전극 범프(5)는 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)의 2열로 배열된다. 상기 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)은 반도체칩(1e)의 적어도 2개의 대향하는 에지들에 대해 평행하게 되도록 반도체칩(1e)의 중앙 부분에 배열된다.

TCP(500)의 테이프 캐리어부(30)는 디바이스홀(17)을 가진 절연막(2)을 포함한다. 반도체칩(1e)의 소자부분(즉, 범프(5)가 형성된 표면 부분)은 디바이스홀(17)내에 배치된다. 반도체칩(1e)과 절연막(2) 사이에 소정 간격을 유지하기 위한 다수의 스페이서용 유지 부재들(15)이 반도체칩(1e)과 절연막(2) 사이에 제공된다. 그 결과, 밀봉 수지를 수용하도록 필요한 갭이 반도체칩(1e)의 표면과 절연막(2) 사이에 유지된다.

도 5a 및 5b에 도시된 바와 같이, 입력측 외측 리드(13)가 절연막(2)상에 형성되며, 입력측 내측 리드(8a)는 입력신호측의 입력측 외측 리드(13)에서 연장한다. 유사하게, 출력측 외측 리드(14)가 절연막(2)상에 형성되며, 출력측 내측 리드(8b)는 출력신호측의 출력측 외측 리드(14)에서 연장된다.

입력측 및 출력측 내측 리드(8a, 8b)는 각각 반도체칩(1e)의 입력 및 출력신호 전극 범프열들(5a, 5b)의 대응하는 범프들에 결합된다. 반도체칩(1e)과 내측 리드(8)의 접합부를 피복하도록 디바이스홀(17)내에 밀봉 수지(6)가 제공된다.

이 실시예에서, 도 5a 및 5b에 도시된 바와 같이, 입력측 외측 리드(13) 및 출력측 외측 리드(14)는 모두 반도체칩(1e)의 폭내에 배치되도록 반도체칩(1e) 내측을 향해 시프트된다. 즉, TCP(500)의 전체 폭은 반도체칩(1e)의 폭과 거의 동일하다.

따라서, 도 5c에 도시된 바와 같이, 이 실시예의 TCP(500)에 따르면, 전술한 COG법이 사용되는 정도로 프레임 사이즈가 감소될 수 있다. 또한, 이 실시예의 TCP(500)는 반도체칩(1e)의 범프 배열의 변화 및 상기한 COG법에 비해 더 용이하게 재배열되는 내측 리드(8), 입력측 외측 리드(13), 및 출력측 외측 리드(14)를 이용하여, TCP(500)가 장착될 기판에서의 변화에 대해 더 많은 융통성 및 공차를 가진다.

[실시예 6]

도 6a는 본 발명에 따른 실시예 6의 TCP(600)를 나타낸 평면도이다. 도 6b는 도 6a의 6B-6B선을 따라 취해진 TCP(600)의 단면도이다.

도 6b에 도시된 바와 같이, TCP(600)는 반도체칩(1f)의 외측 외주 영역내에 입력신호 전극 범프열(5a)이 제공되어 있는 반도체칩(1f)을 포함한다. 출력신호 전극 범프열(5b)은 입력신호 전극 범프열(5a)에 대해 평행하도록 반도체칩(1f)의 중앙 부분 근방에 제공된다.

TCP(600)에서, 디바이스홀(27)을 가진 절연막(2)이 반도체칩(1f)상에 제공된다. 도 6a 및 6b에 도시된 바와 같이, 절연막(2)은 입력신호 전극 범프들(5)이 형성되어 있는 반도체칩(1f)의 입력측 에지에서 시프트된다. 출력신호 전극 범프열(5b)은 디바이스홀(27)내에 배치된다.

반도체칩(1f)과 절연막(2) 사이에 소정 간격을 유지하기 위한 다수의 스페이서용 유지 부재들(15)이 반도체칩(1f)과 절연막(2) 사이에 제공된다. 그 결과, 밀봉수지를 수용하기에 필요한 갭이 반도체칩(1f)의 표면과 절연막(2) 사이에 유지된다.

도 6a 및 6b에 도시된 바와 같이, 입력측 외측 리드(13)가 입력신호측의 절연막(2)상에 형성되며, 입력측 내측 리드(8a)는 대응하는 입력신호 전극 범프들(5a)에 결합되도록 입력측 외측 리드(13)에서 연장한다. 유사하게, 출력측 외측 리드(14)가 출력신호측의 절연막(2)상에 형성되며, 출력측 내측 리드(8b)는 대응하는 출력신호 전극 범프들(5b)에 결합되도록 출력측 외측 리드(14)에서 연장한다.

반도체칩(1f)과 출력측 내측 리드(8b)의 접합부를 피복하도록 디바이스홀(27)내에 밀봉 수지(6)가 제공된다. 또한, 반도체칩(1f)과 입력측 내측 리드(8a)의 접합부를 피복하도록 반도체칩(1f)의 입력측 에지 근방에도 밀봉 수지(6)가 제공될 수 있다.

이 실시예에서, 도 6a 및 6b에 도시된 바와 같이, 입력측 외측 리드(13) 및 출력측 외측 리드(14)는 모두

반도체칩(1f)의 폭내에 제공된다. 즉, TCP(600)의 전체폭은 반도체칩(1f)의 폭과 거의 동일하다.

따라서, 이 실시예의 TCP(600)에 따르면, 전술한 COG법이 사용되는 정도로 프레임 사이즈가 감소될 수 있다. 또한, 이 실시예의 TCP(600)는 반도체칩(1f)의 범프 배열의 변화 및 상기한 COG법에 비해 더 용이하게 재배열되는 내측 리드(8), 입력측 외측 리드(13), 및 출력측 외측 리드(14)를 이용하여, TCP(600)가 장착될 기판에서의 변화에 대해 더 많은 융통성 및 공차를 가진다.

[실시예 7]

도 7a는 본 발명에 따른 실시예 7의 TCP(700)를 나타낸 평면도이다. 도 7b는 도 7a의 7B-7B선을 따라 취해진 TCP(700)의 단면도이다.

도 7b에 도시된 바와 같이, TCP(700)는 반도체칩(1g)의 외측 외주 영역내에 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b)이 제공되어 있는 반도체칩(1g)을 포함한다. 출력신호 전극 범프열(5b)은 입력신호 전극 범프열(5a)에 대해 평행하도록 제공된다.

TCP(700)에서, 반도체칩(1g)상의 입력신호 전극 범프열(5a) 및 출력신호 전극 범프열(5b) 사이에 절연막(2)이 제공된다. 반도체칩(1g)과 절연막(2) 사이에 소정 간격을 유지하기 위한 다수의 스페이서용 유지 부재들(15)이 반도체칩(1g)과 절연막(2) 사이에 제공된다. 그 결과, 밀봉 수지를 수용하기에 필요한 갭이 반도체칩(1g)의 표면과 절연막(2) 사이에 유지된다.

도 7a 및 7b에 도시된 바와 같이, 입력 외측 리드(13)가 입력신호측의 절연막(2)상에 형성되며, 입력측 내측 리드(8a)는 대응하는 입력신호 전극 범프들(5a)에 결합되도록 입력측 외측 리드(13)에서 연장한다. 유사하게, 출력측 외측 리드(14)가 출력신호측의 절연막(2)상에 형성되며, 출력측 내측 리드(8b)는 대응하는 출력신호 전극 범프들(5b)에 결합되도록 출력측 외측 리드(14)에서 연장한다.

반도체칩(1g)과 입력측 내측 리드(8a) 및 출력측 내측 리드(8b)의 접합부들을 피복하도록 반도체칩(1g)의 입력측 에지 및 출력측 에지 근방에 밀봉 수지(6)가 제공된다.

실시예들 1~6에서 설명된 바와 같이, 절연막(2)과 반도체칩(1) 사이의 갭을 채우도록 약 200-400 포이즈 범위의 점도를 가진 밀봉 수지가 사용된다. 그러나, 실시예 7에서는, 더 용이하게 상기 갭을 채우도록 약 50-150 포이즈 범위내의 점도를 가진 밀봉 수지(6)가 이용된다.

이 실시예에서, 도 7a 및 7b에 도시된 바와 같이, 입력측 외측 리드(13) 및 출력측 외측 리드(14)는 모두 반도체칩(1g)의 폭내에 제공된다. 즉, TCP(700)의 전체 폭은 반도체칩(1g)의 폭과 거의 동일하다.

따라서, 이 실시예의 TCP(700)에 따르면, 전술한 COG법이 사용되는 정도로 프레임 사이즈가 감소될 수 있다. 또한, 이 실시예의 TCP(700)는 반도체칩(1g)의 범프 배열의 변화 및 상기한 COG법에 비해 더 용이하게 재배열되는 내측 리드(8), 입력측 외측 리드(13) 및 출력측 외측 리드(14)를 이용하여, TCP(700)가 장착될 기판에서의 변화에 대해 더 많은 융통성 및 공차를 가진다.

또한, 이 실시예에 따르면, 종래의 TCP에서 종종 이용되는 바와 같이 그의 에지상에 형성된 범프들을 가진 반도체칩이 사용될 수 있다.

[실시예 8]

도 8은 스페이서용 유지 부재(15)가 사용되지 않은 TCP(800)를 나타낸다. 즉, 스페이서용 유지 부재(15) 대신, 도 8에 도시된 바와 같이, 절연막(2)과 반도체칩(1h)이 접착제 등으로 서로 결합되거나, 또는 어떠한 접착제도 사용하지 않고 서로 직접 결합될 수 있다.

이 경우, 액정표시패널(9)상에 ACF를 장착하기 위한 열압착 배선이 스페이서용 유지 부재가 사용되는 경우에 비해 더 용이하게 실행될 수 있다.

상기한 실시예들에서, 각각 바형태를 갖는 240개의 출력측 외측 리드들이 통상의 TCP에서와 같이 평행하게 배열된다. 그러나, ACF의 결합 피치는 현재 50㎛이하로 감소될 수 없다. 따라서, 다수의 출력들, 즉 약 300개의 출력들을 갖는 액정표시패널 드라이버에서는, 각각 원형 또는 다각형을 갖는 외측 리드들이 지그-재그 패턴으로 배열되는 것이 바람직하다. 지그-재그 패턴을 이용하는 이러한 TCP(900)는 도 9에 도시된다.

상기한 실시예들에서, 폴리이미드계 재료로 된 절연막(2)이 사용된다. 이와 다르게, 절연막(2)의 폴리이미드계 재료가 아닌 다른 재료들, 예컨대 아라미드, 유리 에폭시, BT 수지, 및 폴리에틸렌 테레프탈레이트(PET)로 제조될 수 있다.

또한, 약 1㎜의 폭을 가진 절연막(2)이 실시예 7에서 사용되었지만, 본 발명은 이에 제한되지 않는다.

3층 구조를 가진 캐리어 테이프가 상기한 실시예들에서 사용되지만, 접착층이 생략된 2층 구조를 가진 필름 캐리어 테이프가 본 발명의 구조를 가진 TCP를 제조하도록 적용될 수 있다.

또한, 상기한 실시예들에서, 입력측 외측 리드들 및 출력측 외측 리드를 전부 또는 일부가 소자가 형성되는 반도체칩(1)의 영역내에 배치된다. 그러나, 입력측 외측 리드들 및 출력측 외측 리드들의 위치는 이에 제한되지 않는다. 입력측 외측 리드들 및 출력측 외측 리드들이 반도체칩(1)상에 배치되는한 동일 효과가 얻어질 수 있다.

상기한 바와 같이, 본 발명에 따르면, 입력측 외측 리드들 및 출력측 외측 리드들중 적어도 일부, 또는 상기 입출력측 리드를 모두는 중첩되는 방식으로 반도체칩의 범프 장착 표면과 대향하도록 배열된다.

종래의 구조에서, 프레임 사이즈는 입력측 외측 리드의 길이, 반도체칩과 액정표시패널 사이의 TCP 배선 영역, 반도체칩과 프린트 기판 사이의 TCP 배선 영역, 수지 밀봉 영역, 및 반도체칩 사이즈의 전체 사이즈와 동일하였다.

상기한 구성에 의하면, 반도체칩, 및 반도체칩과 액정표시패널 및 수지 밀봉 영역 사이의 TCP의 배선 영

역의 일부를 중첩시키거나, 또는 반도체칩, 반도체칩과 프린트 기판 사이의 TCP 배선 영역의 일부, 및 수지 밀봉 영역을 중첩시킬 수 있다. 따라서, 종래의 TCP와 비교할때 종래의 반도체칩 사이즈를 사용하더라도 프레임 사이즈를 감소시킬 수 있다.

또한, TCP 부착후에 성능 테스트를 행하였다. 따라서, 테이프의 형태에서 통전 테스트를 실행할 수 있게 된다. 또한, 반도체칩상의 범프들의 배열이 변화될때에도, 반도체칩상의 내측 리드들의 배열을 변경하는 것으로 충분하다. 따라서, COG법의 문제가 해결될 수 있다.

또한, 반도체칩상에 절연막과 입력측 외측 리드가 제공되므로, 기계적 강도가 개선될 수 있다.

본 발명에 따르면, 기계적 강도를 개선시키도록 프레임 사이즈가 축소될 수 있다.

또한, 본 발명에 따르면, 스페이서용 유지 부재를 사용함에 의해, 반도체칩과 절연막이 그들 사이에 소정 간격을 유지한채 유지될 수 있다. 그 결과, 반도체칩과 절연막 사이의 갭에 밀봉 수지가 충분하게 채워져 반도체칩의 표면을 보호할 수 있게 된다.

또한, 본 발명에 따르면, 액정표시패널상에 TCP가 장착되므로 액정표시패널의 유리 기판 또는 프린트 기판이 반도체칩과 중첩될 수 있다. 이로써, 액정 표시 소자의 사이즈를 최소로 할 수 있다.

당업자들이라면 본 발명의 정신과 범위를 벗어나지 않고 여러가지 개조를 용이하게 실시할 수 있을 것이다. 따라서, 첨부된 특허청구의 범위는 본 명세서에서 설명된 내용에 제한되지 않고, 더 넓게 해석되어야 한다.

(57) 청구의 범위

청구항 1

반도체칩의 표면에 형성된 제1전극 범프열과, 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체칩; 적어도 그의 일부가 상기 반도체칩상에 형성되는 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부와 이 제1리드부로 부터 연장되어 상기 제1 및 제2전극 범프열에 전기적으로 접속되는 제2리드부를 포함하는 도체 패턴으로서, 상기 제2리드부는 복수의 제1내측 리드와 복수의 제2내측 리드를 포함하고, 상기 제1내측 리드는 상기 제1전극 범프열에 접속되고 상기 제2내측 리드는 상기 제2전극 범프열에 접속되며, 상기 제1내측 리드는 반도체칩의 내측을 행해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1에지의 부근에 형성되고, 상기 제1리드부의 적어도 일부는 반도체상에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함하는 테이프 캐리어 패키지.

청구항 2

제1항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지의 부근에 형성되는 테이프 캐리어 패키지.

청구항 3

제1항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지에 대향하는 제2에지 부근에 형성되는 테이프 캐리어 패키지.

청구항 4

제3항에 있어서, 상기 반도체칩상에 형성된 절연막의 부분은 상기 제1 및 제2전극 범프열간에 위치되는 테이프 캐리어 패키지.

청구항 5

제1항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 중앙을 따라 형성되는 범프들인 테이프 캐리어 패키지.

청구항 6

제1항에 있어서, 상기 반도체칩과 상기 절연막간에 갭을 형성하도록 스페이서용 유지 부재가 제공되어 있고, 상기 반도체칩과 상기 절연막간의 갭은 밀봉수지로 충전되는 테이프 캐리어 패키지.

청구항 7

반도체칩의 표면에 형성된 제1전극 범프열과, 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2전극 범프열을 포함하는 반도체 칩; 상기 반도체칩상에 형성된 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부와 이 제1리드부로 부터 연장되어 상기 제1 및 제2 전극 범프열에 전기적으로 접속되는 제2 리드부를 포함하는 도체 패턴으로서, 상기 제2리드부는 복수의 제1내측 리드와 복수의 제2내측 리드를 포함하고, 상기 제1 내측 리드는 상기 제1전극 범프열에 접속되고 상기 제2 내측 리드는 제2전극 범프열에 접속되며, 상기 제1내측 리드는 반도체칩의 내측을 행해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1에지의 부근에 형성되고, 전체의 도체 패턴은 반도체칩의 폭내에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2 리드부간의 접합부를 밀봉하기 위한 밀봉 수지를 포함하는 테이프 캐리어 패키지.

청구항 8

제7항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지의 부근에 형성되는 테이프 캐리어 패키지.

청구항 9

제7항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 제1에지에 대향하는 제2에지의 부근에 형성되는 테이프 캐리어 패키지.

청구항 10

제9항에 있어서, 상기 절연막은 상기 제1 및 제2 전극 범프열간에 위치되는 테이프 캐리어 패키지.

청구항 11

제7항에 있어서, 상기 제2전극 범프열은 상기 반도체칩의 중앙을 따라 형성되는 테이프 캐리어 패키지.

청구항 12

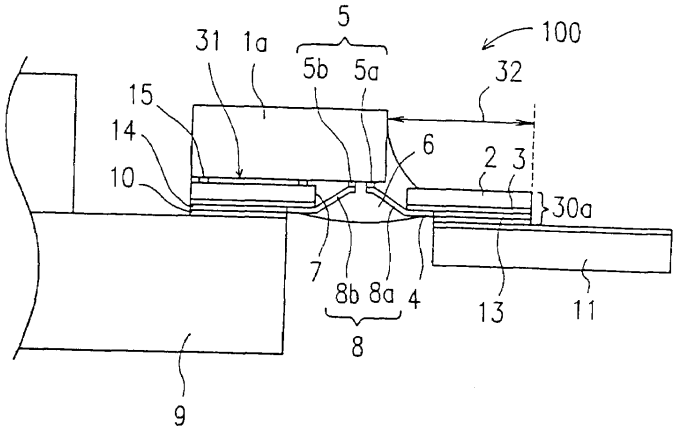
제7항에 있어서, 상기 반도체칩과 상기 절연막간에 갭을 형성하도록 스페이서용 유지 부재가 제공되어 있고, 상기 반도체칩과 상기 절연막간의 갭은 밀봉수지로 충전되는 테이프 캐리어 패키지.

청구항 13

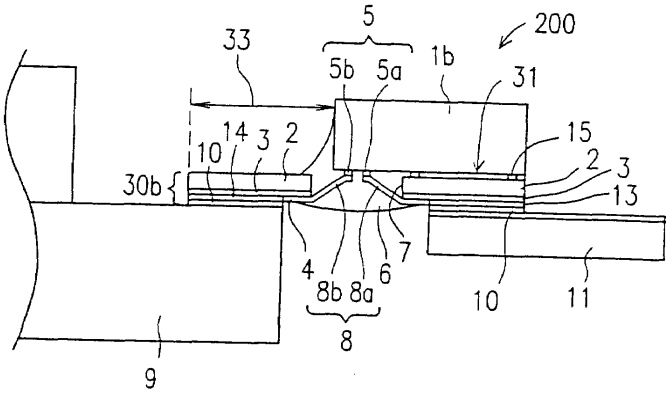
반도체칩의 표면에 형성된 제1전극 범프열과, 상기 제1열에 평행하게 상기 반도체칩의 표면에 형성된 제2 전극 범프열을 포함하는 반도체 칩; 적어도 그의 일부가 반도체칩상에 형성되는 절연막; 상기 절연막상에 형성되고 외부 장치에 접속가능한 제1리드부와 이 제1리드부로 부터 연장되어 상기 제1 및 제2 전극 범프열에 전기적으로 접속되는 제2 리드부를 포함하는 도체 패턴으로서, 상기 제2리드부는 복수의 제1내측 리드와 복수의 제2내측 리드를 포함하고, 상기 제1 내측 리드는 상기 제1전극 범프열에 접속되고 상기 제2 내측 리드는 제2전극 범프열에 접속되며, 상기 제1내측 리드는 반도체칩의 내측을 행해 연장되고, 상기 제1전극 범프열은 상기 반도체칩의 제1에지의 부근에 형성되고, 상기 제1리드부의 적어도 일부는 상기 반도체칩상에 위치되는, 도체 패턴; 및 적어도, 상기 제1 및 제2 전극 범프열과 상기 제2 리드부간의 접합부를 밀봉하기 위한 밀봉 수지; 를 포함하는 테이프 캐리어 패키지와, 상기 테이프 캐리어 패키지의 제1 리드부에 접속된 유리 기판과 프린트 배선기판을 포함하는 액정표시패널을 포함하며, 상기 테이프 캐리어 패키지는, 상기 반도체칩이 상기 유리 기판 및 프린트 배선 기판의 일방에 오버랩하도록 상기 액정표시패널에 탑재되어 있는 액정표시장치.

도면

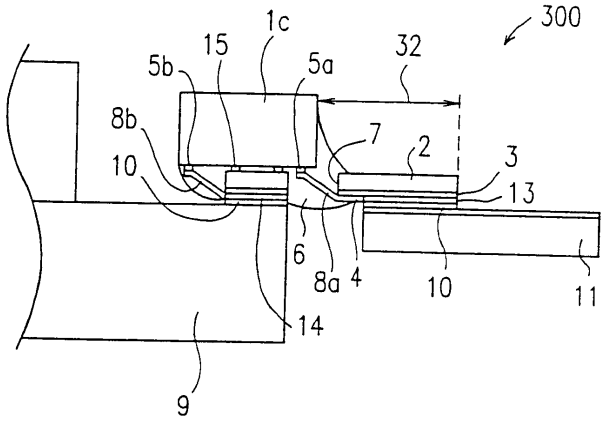
도면1



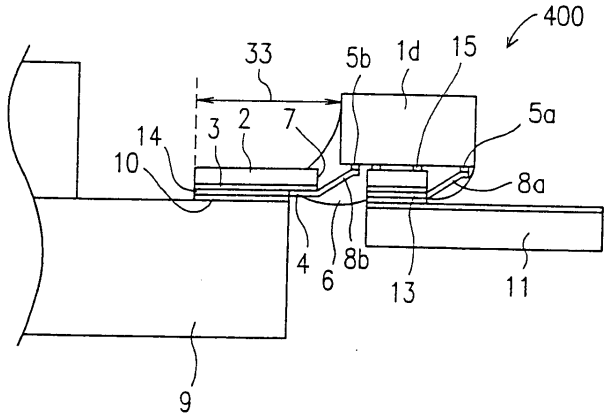
도면2


200
5
33
5b
5a
1b
31
15
14
3
2
10
30b
2
3
13
7
4
8b
8a
6
8
10
11
9

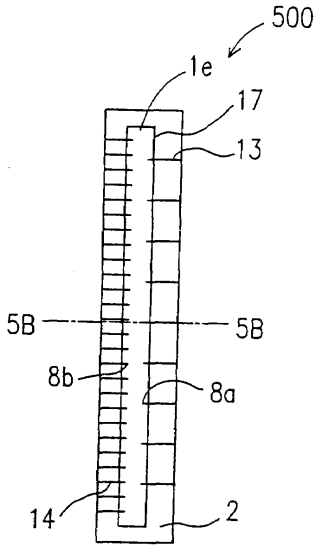
도면3


300
1c
15
32
5b
5a
8b
7
2
3
10
13
6
8a
4
10
11
14
9

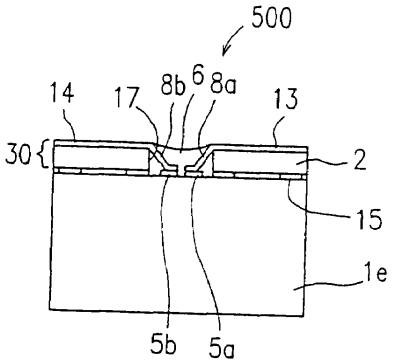
도면4


400
33
5b
1d
15
5a
3
2
7
14
10
8a
4
6
8b
13
11
9

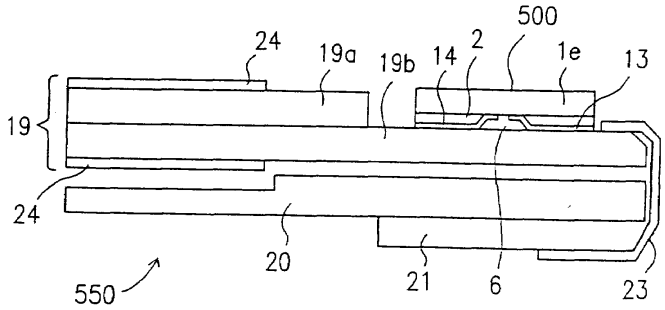
도면5a



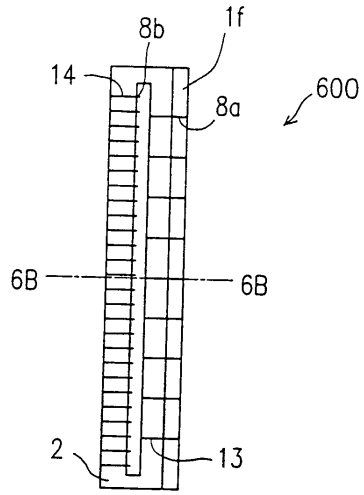
도면5b



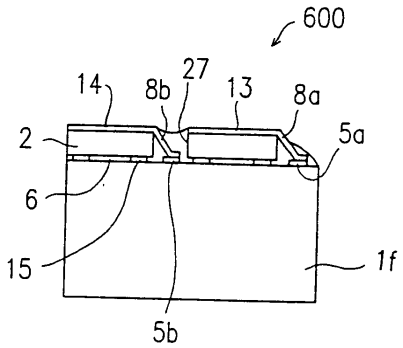
도면5c



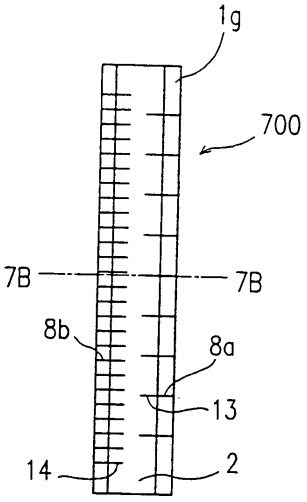
도면6a



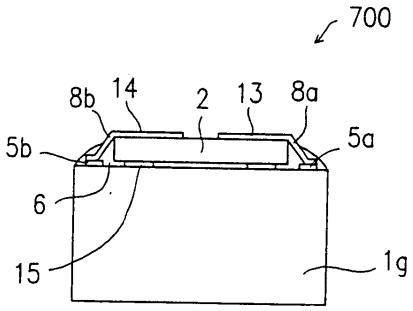
도면6b



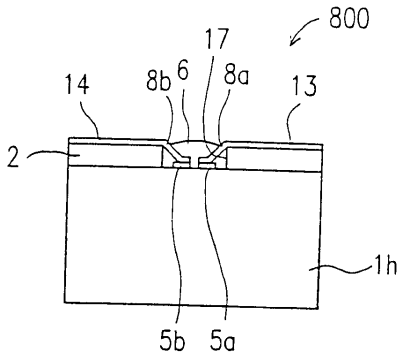
도면7a



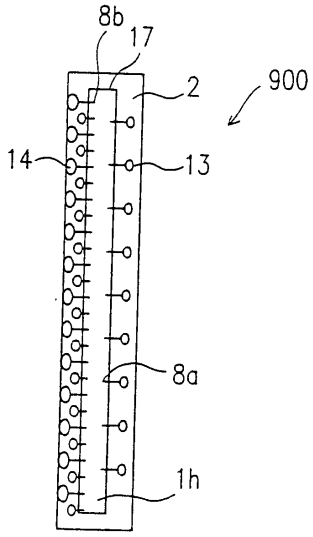
도면7b



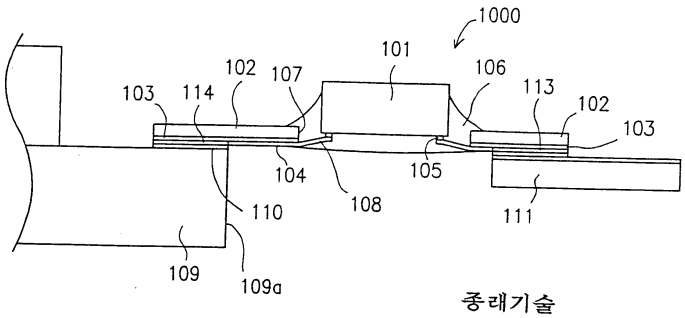
도면8



도면9

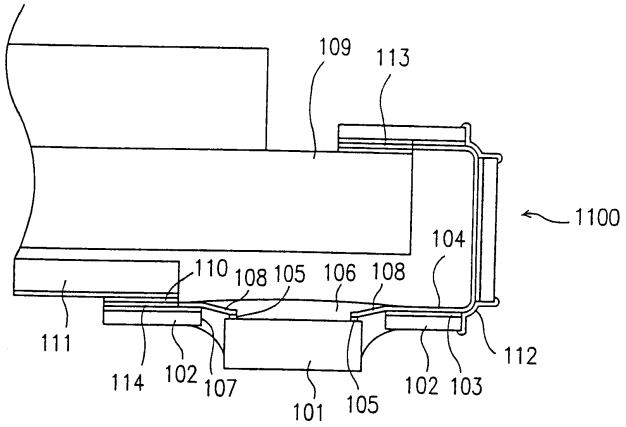


도면10



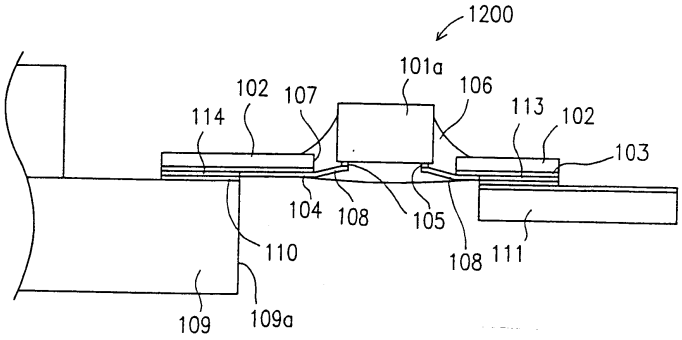
종래기술

도면11



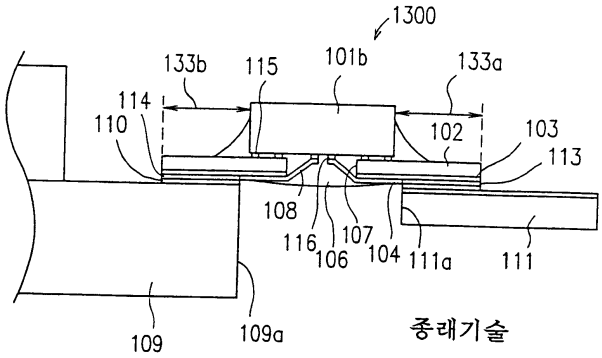
종래기술

도면12



종래기술

도면13



종래기술