

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
21. Februar 2013 (21.02.2013)



(10) Internationale Veröffentlichungsnummer
WO 2013/023655 A2

- (51) Internationale Patentklassifikation: Nicht klassifiziert
(21) Internationales Aktenzeichen: PCT/DE2012/200053
(22) Internationales Anmeldedatum:
16. August 2012 (16.08.2012)
(25) Einreichungssprache: Deutsch
(26) Veröffentlichungssprache: Deutsch
(30) Angaben zur Priorität:
10 2011 052 762.1
16. August 2011 (16.08.2011) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SILICON LINE GMBH** [DE/DE]; Elsenheimerstr. 48 / II, 80687 Muenchen (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BLON, Thomas** [DE/DE]; c/o Silicon Line GmbH, Elsenheimerstr. 48 / II, 80687 Muenchen (DE). **JANSEN, Florian** [DE/DE]; c/o Silicon Line GmbH, Elsenheimerstr. 48 / II, 80687 Muenchen (DE). **GROEPL, Martin** [DE/DE]; Ostrachstr. 7, 87527 Sonthofen / Oberallgaeu (DE).

(74) Anwälte: **HOFMANN, Andreas** et al.; Sendlinger Str. 2 / III, 80331 Muenchen (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) Title: CIRCUIT ARRANGEMENT AND METHOD FOR TRANSMITTING SIGNALS

(54) Bezeichnung : SCHALTUNGSANORDNUNG UND VERFAHREN ZUM UEBERTRAGEN VON SIGNALEN

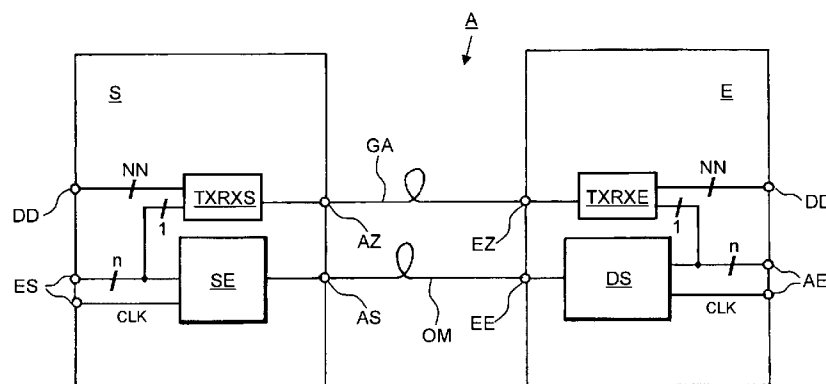


Fig. 3A

(57) Abstract: The invention relates to a circuit arrangement (A) and to a corresponding method, using single-ended signals based on logic levels and differential, in particular common mode based signals, in which a full duplex data transmission is possible.

(57) Zusammenfassung: Es werden auf Basis - von single-ended, auf Logikpegeln basierenden Signalen sowie - von differentiellen, insbesondere auf common mode basierenden, Signalen eine Schaltungsanordnung (A) sowie ein entsprechendes Verfahren vorgeschlagen, bei denen eine Vollduplex-Datenübertragung möglich ist.

WO 2013/023655 A2

SCHALTUNGSANORDNUNG UND VERFAHREN ZUM UEBERTRAGEN VON SIGNALEN

Technisches Gebiet

Die vorliegende Erfindung betrifft eine Schaltungsanordnung gemäß dem Oberbegriff des Anspruchs 1 sowie ein Verfahren gemäß dem Oberbegriff des Anspruchs 13.

5

Stand der Technik, insbesondere dessen Nachteile und technische Probleme

Die Bitübertragungsschicht oder physikalische Schicht (PHY) ist die unterste Schicht im O[pen]S[ystems]I[nterconnection]-Schichtenmodell, das auch OSI-Referenzmodell genannt wird und ein Schichtenmodell der Internationalen Organisation für Normung (ISO) bezeichnet, das wiederum als Designgrundlage von Kommunikationsprotokollen in Rechnernetzen dient.

10

Die Physical Layer (PHY) ist für Combining, F[orward]E[rror]C[orrection], Modulation, Power Control, Spreading (C[ode]D[ivision]M[ultiple]A[ccess]) und dergleichen zuständig und kennt weder Daten noch Anwendungen, sondern nur Nullen und Einsen. PHY stellt der darüber liegenden Sicherungsschicht (D[ata]L[ink]L[ayer]), insbesondere einer Teilschicht namens M[edia]A[ccess]C[ontrol]-Layer, logische Kanäle zur Verfügung (Transportkanäle bei U[niversal]M[obile]T[elecommunications]S[ystem]).

15

D-PHY ermöglicht grundsätzlich eine flexible, kostengünstige und schnelle serielle Schnittstelle für Kommunikationsverbindungen zwischen Komponenten innerhalb einer mobilen Vorrichtung.

20

Wie anhand Fig. 5A veranschaulicht, stellt in modernen Mobiltelefonen eine Datenquelle, zum Beispiel ein Applikationsprozessor, am M[obile]I[n]dustryP[rocessor]I[n]terface-D[isplay]S[erial]I[n]terface Bilddaten als D-PHY-Signale für die Darstellung an einer angeschlossenen Datensenke, zum Beispiel an einem angeschlossenen Display, zur Verfügung. Auch kann eine Datensenke, zum Beispiel ein Applikationsprozessor, über ein MIPI-C[amera]S[erial]I[n]terface Bilddaten von einer angeschlossenen Datenquelle, zum Beispiel von einer angeschlossenen Kamera, im D-PHY-Format empfangen.

25

30

Ein auf dem D-PHY-Protokoll basierendes DSI oder DSI-2 oder CSI oder CSI-2 oder CSI-3 umfasst bis zu vier differentielle Datenleitungen und eine differentielle Taktleitung, die den Applikationsprozessor elektrisch mittels Kupferkabel mit dem Display und/oder mit der Kamera verbinden. Die Datenrate pro differentieller Datenleitung beträgt bis zu 1,5 Gbps (Gigabit pro Sekunde).

35

Dieses konventionelle Versenden und Empfangen der D-PHY-DSI- oder D-PHY-CSI-Signale über ein bis vier differentielle Datensignale und eine differentielle Taktleitung ist in der D-PHY-Schnittstellenkonfiguration der Fig. 5B anhand zweier bidirektionaler Datenkanäle (= sogenannte data lanes CH0+, CH0- und CH1+, CH1-) und einer Taktleitung (= sogenannte clock lane CLK+, CLK-) zwischen den Modulen der Master-Seite (= Datenquelle, zum Beispiel Kamera und/oder Applikationsprozessor) und den Modulen der Slave-Seite (= Datensenke, zum Beispiel Applikationsprozessor und/oder Anzeigeeinheit) exemplarisch veranschaulicht. Hierbei steht in der bidirektionalen Multiple-Data-Lane-Konfiguration gemäß Fig. 5B die Abkürzung PPI für PHY Protocol Interface.

Wie in diesem Zusammenhang aus Fig. 5A ersichtlich ist, werden pro angeschlossenem Display oder pro angeschlossener Kamera bis zu zehn Kupferleitungen zur Datenübertragung benötigt (zum Beispiel viermal zwei Datenleitungen und einmal zwei Taktleitungen). Dementsprechend weisen zum Beispiel hochauflösende Bildschirme, Fernseher oder Kameras eine elektrische M[obile]I[n]dustryP[rocessor]I[n]terface-D-PHY-Datenübertragungsschnittstelle auf.

Über diese Schnittstelle werden sowohl H[igh]S[peed]-Daten als auch L[ow]P[ower]-Daten übertragen, wobei die Datenrate der LP-Daten typischerweise sehr viel geringer als die Datenrate der HS-Daten ist. Dies ist anhand Fig. 4 veranschaulicht, in der die jeweiligen Spannungspegel bei HS-Datenübertragung und bei LP-Datenübertragung gezeigt sind.

Hierbei erlaubt der M[obile]I[n]dustryP[rocessor]I[n]terface-D-PHY-Standard nur die Übertragung von H[igh]S[peed]-/L[ow]P[ower]-Daten entsprechend den Vorgaben dieses Standards. L[ow]P[ower]-Daten müssen einem MIPI-spezifischen Protokoll gehorchen, das es nicht erlaubt, bereits etablierte Industriestandards zur Übertragung serieller Daten mit geringer Bandbreite, wie zum Beispiel I2C (= Inter-Integrated Circuit), S[erial]P[eripheral]I[n]terface oder andere Protokolle, zu übertragen, denn letztgenannte Protokolle weisen zwar einen Bedarf für die Übertragung von D-PHY-H[igh]S[peed]-Daten auf, erfordern aber daneben noch die Übertragung weiterer nicht-D-PHY-konformer binärer Daten.

Insbesondere erlaubt der relevante MIPI-Standard zwar die Übertragung von L[ow]P[ower]-Daten bidirektional, jedoch nicht zeitgleich bidirektional, also nicht voll duplex (= im Gegenbetrieb), sondern nur halbduplex (= im Wechselbetrieb).

Sollen also neben den MIPI-D-PHY-konformen L[ow]P[ower]-Daten auch nicht mit dem MIPI-

Standard konforme serielle Daten übertragen werden, und dieses zweckmäßigerweise sogar Vollduplex (= im Gegenbetrieb), so müssen in bekannten D-PHY-Systemen separate, zum Beispiel jeweils zwei bis drei, elektrische Leitungen bereit gestellt werden, die die nicht MIPI-D-PHY-konformen L[ow]P[ower]-Daten führen.

5

Dies kann in manchen Anwendungen zu geometrischen Problemen oder Platzproblemen bei der Leitungsführung dergestalt führen; beispielhaft seien hier als Anwendungen

- Mobiltelefone mit kleinen Gelenken oder
 - Endoskope, die im Hinblick auf ihren Einsatzzweck naturgemäß einen möglichst geringen Durchmesser der gesamten Apparatur aufweisen sollen,
- genannt.

10

Mit derartigen separaten Leitungen entstehen aber auch Probleme infolge der Abstrahlung elektromagnetischer Energie der üblicherweise unipolaren Datenleitungen.

15

Darstellung der vorliegenden Erfindung: Aufgabe, Lösung, Vorteile

Ausgehend von den vorstehend dargelegten Nachteilen und Unzulänglichkeiten sowie unter Würdigung des umrissenen Standes der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art sowie ein Verfahren der eingangs genannten Art so weiterzuentwickeln, dass eine Vollduplex-Datenübertragung möglich ist.

20

Diese Aufgabe wird durch eine Schaltungsanordnung mit den Merkmalen des Anspruchs 1 sowie durch ein Verfahren mit den Merkmalen des Anspruchs 13 gelöst. Vorteilhafte Ausgestaltungen und zweckmäßige Weiterbildungen der vorliegenden Erfindung sind in den jeweiligen Unteransprüchen gekennzeichnet.

25

Es werden also eine Schaltungsanordnung sowie ein Verfahren vorgeschlagen, mittels derer

- die single-ended, auf Logikpegeln basierenden Signalen entsprechenden H[igh]S[peed]-Daten und
- die differentiellen, insbesondere auf common mode basierenden, Signalen entsprechenden L[ow]P[ower]-Daten

zu einem gemeinsamen Signalstrom serialisiert werden.

30

35

Zusätzlich zu diesem gemeinsamen serialisierten Signalstrom wird erfindungsgemäß eine Vollduplex-Datenübertragung für die L[ow]P[ower]-Daten und gleichzeitig für eine weitere

Anzahl allgemeiner binärer Daten ermöglicht, und zwar gebündelt über mindestens eine zusätzliche elektrische oder galvanische Verbindung, insbesondere über mindestens ein zusätzliches Kupferkabel und/oder über eine zusätzliche, zum Beispiel auf mindestens einer Leiterplatte angeordnete, elektrische Leitung.

Exemplarisch lässt sich die vorliegende Erfindung beim seriellen und/oder gebündelten, insbesondere CSI-protokollbasierten und/oder CSI-2-protokollbasierten und/oder CSI-3-protokollbasierten und/oder DSI-protokollbasierten und/oder DSI-2-protokollbasierten, unidirektionalen oder bidirektionalen Übertragen sowohl von single-ended, auf Logikpegeln basierenden Daten- und Taktsignalen als auch von differentiellen, insbesondere auf common mode basierenden, Daten- und Taktsignalen, insbesondere von D-PHY-Datensignalen und D-PHY-Taktsignalen, zum Beispiel von bis zu vier Bit breiten MIPI-D-PHY-Datensignalen und MIPI-D-PHY-Taktsignalen, zwischen mindestens einer Datenquelle, insbesondere mindestens einer, zum Beispiel hochauflösenden und/oder zum Beispiel als Bildquelle fungierenden, Kamera und/oder mindestens einem Applikationsprozessor, und mindestens einer Datensenke, insbesondere mindestens einem Applikationsprozessor und/oder mindestens einer, zum Beispiel hochauflösenden und/oder zum Beispiel als Bildsenke fungierenden, Anzeigeeinheit, zum Beispiel mindestens einem Display oder mindestens einem Monitor, anwenden.

Kurze Beschreibung der Zeichnungen

Wie bereits vorstehend erörtert, gibt es verschiedene Möglichkeiten, die Lehre der vorliegenden Erfindung in vorteilhafter Weise auszugestalten und weiterzubilden. Hierzu wird einerseits auf die dem Anspruch 1 sowie dem Anspruch 13 nachgeordneten Ansprüche verwiesen, andererseits werden weitere Ausgestaltungen, Merkmale und Vorteile der vorliegenden Erfindung nachstehend unter Anderem anhand der durch Fig. 1A bis Fig. 4 veranschaulichten Ausführungsbeispiele näher erläutert.

Es zeigt:

Fig. 1A in konzeptuell-schematischer Darstellung ein Ausführungsbeispiel der Sendeanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet;

Fig. 1B in konzeptuell-schematischer Detaildarstellung ein Ausführungsbeispiel des Framers der Sendeanordnung aus Fig. 1A;

Fig. 2A in konzeptuell-schematischer Darstellung ein Ausführungsbeispiel der der Sendeordnung aus Fig. 1A zugeordneten Empfangsanordnung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet;

5

Fig. 2B in konzeptuell-schematischer Detaildarstellung ein Ausführungsbeispiel des Deframers der Empfangsanordnung aus Fig. 2A;

10

Fig. 3A in konzeptuell-schematischer Darstellung ein Ausführungsbeispiel der Schaltungsanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet;

15

Fig. 3B in konzeptuell-schematischer Darstellung ein Ausführungsbeispiel des in der Schaltungsanordnung aus Fig. 3A, nämlich jeweils in der Sendeordnung sowie in der Empfangsanordnung enthaltenen Sende-/Empfangsmoduls;

20

Fig. 3C in diagrammatischer Darstellung ein Ausführungsbeispiel der P[uls]W[eiten]M[odulation], die mittels des im Sende-/Empfangsmodul aus Fig. 3B enthaltenen Binär-/P[uls]W[eiten]M[odulation]-Wandlers durchführbar ist;

Fig. 4 in diagrammatischer Darstellung ein Ausführungsbeispiel der jeweiligen Spannungspegel bei H[igh]S[peed]-Datenübertragung und bei L[ow]P[ower]-Datenübertragung;

25

Fig. 5A in konzeptuell-schematischer Darstellung ein Beispiel einer Anordnung aus dem Stand der Technik; und

30

Fig. 5B in konzeptuell-schematischer Darstellung ein Beispiel einer der Anordnung aus Fig. 5A zugrunde liegenden Schnittstellenkonfiguration mit zwei Datenkanälen und mit einer Taktleitung.

Gleiche oder ähnliche Ausgestaltungen, Elemente oder Merkmale sind in Fig. 1A bis Fig. 5B mit identischen Bezugszeichen versehen.

35

Bester Weg zur Ausführung der vorliegenden Erfindung

- Mittels des anhand Fig. 1A veranschaulichten Ausführungsbeispiels einer

Sendeanordnung S gemäß der vorliegenden Erfindung und

- mittels des anhand Fig. 2A veranschaulichten Ausführungsbeispiels einer Empfangsanordnung E gemäß der vorliegenden Erfindung,

durch die zusammen ein Ausführungsbeispiel einer Schaltungsanordnung A (vgl. Fig. 3) gemäß der vorliegenden Erfindung gebildet wird (im Rahmen der vorliegenden Erfindung ist es möglich, die Sendeanordnung S und die Empfangsanordnung E unabhängig voneinander zu realisieren und zu betreiben), ist es grundsätzlich möglich, eine kabelbasierte Verbindung wahlweise

- gemultiplext und mithin serialisiert auf optischer Basis, insbesondere auf Basis mindestens eines optischen Mediums, zum Beispiel auf Basis mindestens eines optischen Wellenleiters OM (vgl. hierzu im Detail Fig. 1A, Fig. 2A), wie etwa auf Basis mindestens einer Glasfaser und/oder auf Basis mindestens einer Plastikfaser, und/oder

- nicht gemultiplext auf elektrischer oder galvanischer Basis, insbesondere auf Basis mindestens einer elektrischen oder galvanischen Verbindung GA (vgl. Fig. 3), zum Beispiel auf Basis mindestens eines Kupferkabels und/oder auf Basis mindestens einer, etwa auf mindestens einer Leiterplatte angeordneten, elektrischen Leitung, zu realisieren und zu betreiben.

Fig. 1A zeigt ein Ausführungsbeispiel für den prinzipiellen Aufbau einer Sendeanordnung S zum Anschluss an eine D[isplay]S[erial]I[n]terface-Datenübertragungsschnittstelle IS oder auch an eine C[amera]S[erial]I[n]terface-Datenübertragungsschnittstelle IS.

Die im Applikationsprozessor AP oder in der Kamera KA generierten Bilddaten werden auf vier Datenleitungen oder Kanälen CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3- als D-PHY-Signale an der bis zu vier Bit breiten Datenübertragungsschnittstelle IS zusammen mit D-PHY-korrekten Taktsignalen CLK+, CLK- zur Verfügung gestellt.

Die Sendeanordnung S nimmt diese Signale an einer integrierten Interface-Logik LS auf, deren Blöcke jeweils mindestens einen Zustandsautomaten zur richtigen Interpretation der D-PHY-Logiksignale und zur Unterscheidung zwischen hochfrequenten Datenströmen (sogenannten H[igh]S[peed]-Daten, die single-ended, auf Logikpegeln basierenden Signalen entsprechen) und niederfrequenten Datenströmen (sogenannten L[ow]P[ower]-Daten, die differentiellen, insbesondere auf common mode basierenden, Signalen entsprechen) aufweisen können.

Ein in der Sendeanordnung S folgender Framer FR (vgl. hierzu detaillierter Fig. 1B) stellt die D[i]rectC[urrent]-Balancierung des Eingangssignals sicher und erzeugt einen auf der

Empfangsseite (vgl. Fig. 2A) wiedererkennbaren Rahmen, der es der Empfangsanordnung E (vgl. Fig. 2A) ermöglicht, die empfangenen Daten den richtigen Ausgangsdatenleitungen oder Ausgangskanälen CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3- wieder zuzuordnen.

5

Im Detail kann der Framer FR gemäß Fig. 1B sowohl mit den single-ended, auf Logikpegeln basierenden Datensignalen HSD0, HSD1, HSD2, HSD3 als auch mit den differentiellen Datensignalen DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3- beaufschlagt werden. Mittels seines als 5b/6b-Kodierblock ausgebildeten Kodierers KO bettet der Framer FR gemäß Fig. 1B diese differentiellen Datensignale DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3- in den Strom der single-ended, auf Logikpegeln basierenden Datensignale HSD0, HSD1, HSD2, HSD3 ein.

10

Ein sich dem Framer FR anschließender Multiplexer MU, insbesondere H[igh]S[peed]-Mux, erzeugt mit Hilfe eines als Phase-Locked-Loop, insbesondere als C[lock]M[ultiplier]U[nit], ausgebildeten Taktgenerators PS das hochfrequente serielle oder gebündelte Sendesignal, das dem Ausgang AS der Sendeanordnung S mittels eines Ausgangstreiber AT zur Verfügung gestellt wird. Der Framer FR und der Multiplexer MU bilden zusammen den Serialisierer SE.

15

20

Hierbei dient das über den Taktport CLK+, CLK- und über das Taktmodul CS der Interface-Logik LS mittels des Taktgenerators PS bereit gestellte D-PHY-Taktsignal als (Takt-)Referenz für den Serialisierer SE, insbesondere für dessen Multiplexer MU, und wird im seriellen Datenstrom, also im serialisierten Ausgangssignal eingebettet. Hierdurch entsteht der gemeinsame Signalstrom SI, der an die Empfangsanordnung E (vgl. Fig. 2A) übermittelt wird.

25

Wie der Darstellung gemäß Fig. 1A des Weiteren entnehmbar ist, ist der Ausgangstreiber AT als integrierter Lasertreiber zur Ansteuerung mindestens eines direkt angeschlossenen Lasers LA, insbesondere zur Ansteuerung mindestens einer direkt angeschlossener V[ertical]C[avity]S[urface]E[mitting]L[aserdiode], ausgeführt.

30

Fig. 2A zeigt ein Ausführungsbeispiel für den prinzipiellen Aufbau der Empfangsanordnung E zum Anschluss an eine D[isplay]S[erial]I[n]terface-Datenübertragungsschnittstelle IE oder auch an eine C[amera]S[erial]I[n]terface-Datenübertragungsschnittstelle IE.

35

Die von der Sendeanordnung S (vgl. Fig. 1A) ausgesandten seriellen oder gebündelten

Daten werden über einen Eingangsverstärker EV der Empfangsanordnung E aufgenommen und einer integrierten Takt- und Datenrückgewinnung CD zugeführt.

5 Diese integrierte Takt- und Datenrückgewinnung CD regeneriert aus dem gemeinsamen Signalstrom SI den ursprünglichen D-PHY-Takt, der über das Taktmodul CE der Interface-Logik LE direkt dem D[isplay]S[erial]I[n]terface oder dem C[amera]S[erial]I[n]terface wieder zur Verfügung gestellt wird. Der verbleibende serielle Datenstrom wird über einen Demultiplexer DM entbündelt sowie parallelisiert und an einen Deframer DF (vgl. hierzu detaillierter Fig. 2B) übergeben, der grundsätzlich spiegelbildlich zum Framer FR gemäß 10 Fig. 1B aufgebaut ist. Der Demultiplexer DM und der Deframer DF bilden zusammen den Deserialisierer DS.

Im Detail kann der Deframer FR gemäß Fig. 2B mittels seines als 6b/5b-Dekodierblock ausgebildeten Dekodierers DK die differentiellen Datensignale DD0+, DD0-, DD1+, DD1-, 15 DD2+, DD2-, DD3+, DD3- von den single-ended, auf Logikpegeln basierenden Datensignalen HSD0, HSD1, HSD2, HSD3 separieren und die reparallelisierten Datensignale den jeweils zutreffenden Datenleitungen CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3- wieder zuordnen.

20 Die in der Empfangsanordnung E dargestellten Interface-Logik-Blöcke LE können jeweils mindestens einen Zustandsautomaten zur richtigen Interpretation der D-PHY-Logiksignale und zur Unterscheidung zwischen hochfrequenten Datenströmen und niederfrequenten Datenströmen aufweisen.

25 Wie der Darstellung gemäß Fig. 2A des Weiteren entnehmbar ist, ist der Eingangsverstärker EV als integrierter Transimpedanzverstärker ausgeführt, der es ermöglicht, eine Fotodiode FD direkt an die Empfangsanordnung E anzuschließen.

Auf diese Weise ist es bei der Schaltungsanordnung A (vgl. Fig. 3) gemäß der vorliegenden 30 Erfindung möglich, die kabelbasierte gemultiplexte Verbindung zwischen der Sendeanordnung S (vgl. Fig. 1A) und der Empfangsanordnung E (vgl. Fig. 2A) auf optischer Basis, nämlich mittels eines, zum Beispiel in Form einer Glasfaser und/oder in Form einer Plastikfaser ausgebildeten, optischen Wellenleiters OM zu realisieren und zu betreiben.

35 Fig. 3 stellt ein Ausführungsbeispiel für die Zusammenschau der Sendeanordnung S (vgl. Fig. 1A) und der Empfangsanordnung E (vgl. Fig. 2A) dar. Es handelt sich um eine D-PHY-Übertragungsstrecke mit serieller Verbindung bzw. mit serialisiertem Datenstrom.

Hierzu werden die D-PHY-H[igh]S[peed]/L[ow]P[ower]-Daten durch die im Wesentlichen den Serialisierer SE, und hierbei insbesondere den Multiplexer MU, aufweisende Sende- anordnung S (vgl. Fig. 1A) gebündelt und als serieller Datenstrom an die Empfangs- anordnung E (vgl. Fig. 2A) übertragen.

Diese im Wesentlichen den Deserialisierer DS, und hierbei insbesondere den Demultiplexer DM, aufweisende Empfangs- anordnung E (vgl. Fig. 2A) entbündelt die seriellen Daten und gibt sie in ursprünglicher Form wieder als D-PHY-H[igh]S[peed]/L[ow]P[ower]-Daten aus. Der an der Sende- anordnung S (vgl. Fig. 1A) anliegende D-PHY-CL[oc]K dient als Taktreferenz für den Serialisierer SE und wird im seriellen Datenstrom eingebettet. Die Empfangs- anordnung E (vgl. Fig. 2A) regeneriert diesen Takt und gibt ihn als D-PHY-CL[oc]K wieder aus.

Zur Führung der D-PHY-L[ow]P[ower]-Daten zumindest einer D-PHY-Lane steht eine separate galvanische Verbindung GA in Form eines Kupferkabels oder in Form einer, zum Beispiel auf einer Leiterplatte angeordneten, elektrischen Leitung zur Verfügung. Diese galvanische Verbindung GA wird erfindungsgemäß dazu genutzt, sowohl die normalerweise auf diesem Leitungspaar übertragenen D-PHY-L[ow]P[ower]-Daten als auch weitere Daten PD zu übertragen.

Zu diesem Zwecke weisen sowohl die Sende- anordnung S (vgl. Fig. 1A) neben dem Multiplexer MU bzw. die Empfangs- anordnung E (vgl. Fig. 2A) neben dem Demultiplexer DM für die gebündelten D-PHY-H[igh]S[peed]/L[ow]P[ower]-Daten auch jeweils ein (in Fig. 1A bzw. in Fig. 2A lediglich aus Gründen der Übersichtlichkeit der Darstellung nicht gezeigtes) Sende-/Empfangsmodul TXRXS bzw. TXRXE auf, wie aus Fig. 3A ist ersichtlich.

Dieses Sende-/Empfangsmodul TXRXS bzw. TXRXE bündelt die Daten einer D-PHY-Lane, die sich im L[ow]P[ower]-Modus befindet, zusammen mit einer Anzahl NN anderer paralleler Daten PD. Letztere Daten PD können nun zusammen mit den L[ow]P[ower]-Daten einer D-PHY-Lane voll duplex, also im Gegenbetrieb zwischen der Sende- anordnung S (vgl. Fig. 1A) und der Empfangs- anordnung E (vgl. Fig. 2A) übertragen werden, wobei die Bezeichnungen Sende- anordnung und Empfangs- anordnung hierbei die unidirektionale Übertragungsfunktion vom Multiplexer MU zum Demultiplexer DM bezeichnen sollen.

Wie anhand Fig. 3B veranschaulicht, weist das Sende-/Empfangsmodul TXRXS bzw. TXRXE wiederum einen Multiplexer MUP auf, der die L[ow]P[ower]-Daten und die

Daten PD bündelt und mittels eines dem Multiplexer MUP nachgeschalteten Leitungstreibers LD zum Sende-/Empfangsmodul TXRXE bzw. TXRXS der Gegenseite treibt.

Gleichzeitig subtrahiert ein einem Demultiplexer DMP vorgeschalteter Differenzverstärker DV im Verhältnis 1:2 gewichtete Signale SA und SB, was dazu führt, dass ein von der Gegenseite aufgeprägtes Sendesignal vom lokalen Sendesignal getrennt werden kann. Das auf diese Weise nach dem Differenzverstärker DV gewonnene Signal SC wird dem Demultiplexer DMP zugeführt, der den empfangenen seriellen Datenstrom nach den L[ow]P[ower]-Signalen und den Signalen PD auftrennt.

Damit die Signale zwischen dem zusätzlichen Ausgang AZ der Sendeordnung S und dem zusätzlichen Eingang EZ der Sendeordnung E in Fig. 3A übertragen werden können, ohne eine separate Taktleitung führen zu müssen, werden die Daten vor dem Leitungstreiber LD mittels eines Binär-/P[uls]W[eiten]M[odulations]-Wandlers BPWMW vom binären N[on]R[eturn-to]Z[ero]-Format in ein pulswitenmoduliertes Signal überführt, wie anhand Fig. 3C veranschaulicht (obere Zeile in Fig. 3C: binäres Signal; obere Zeile in Fig. 3C: pulswitenmoduliertes Signal).

Entsprechend werden die empfangenen Signale Sc mittels eines P[uls]W[eiten]M[odulations]-/Binär-Wandlers PWMBW dem umgekehrten Prozess der Wandlung von P[uls]W[eiten]M[odulation] in das binäre NRZ-Format unterworfen.

Die Daten LP bzw. PD, wie in Fig. 3B dargestellt, können unterschiedlich häufig abgetastet werden. So können beispielsweise die Daten LP achtmal häufiger als die Daten PD abgetastet werden, um auf diese Weise die effektive Datenrate für L[ow]P[ower] gegenüber anderen Daten zu erhöhen.

Die elektrische oder galvanische Verbindung GA zwischen den Anschlüssen AZ und EZ in Fig. 3A kann als differentielle Leitung ausgeführt sein. Dies reduziert einerseits die elektromagnetische Abstrahlung und bietet andererseits die Möglichkeit, diese elektrische oder galvanische Verbindung GA mittels induktiver oder kapazitiver Kopplung potentialfrei aufzutrennen.

Ein dem Leitungstreiber LD nachgeschalteter Terminierungswiderstand R0 kann entsprechend den charakteristischen Impedanzen der verwendeten Leitung gewählt werden, um auch über lange Distanzen reflexionsfrei Daten übertragen zu können.

Um zum einen die vorstehend als optional genannte induktive oder kapazitive Kopplung sowie beispielsweise eine optische Datenübertragung zu unterstützen und um zum anderen die Synchronisation des Datenstroms auf der Empfangsseite zu gewährleisten, kann im Multiplexer MUP gemäß Fig. 3B bzw. im Demultiplexer DMP gemäß Fig. 3B das nachstehend wiedergegebene, Gleichspannungsfreiheit der generierten seriellen Signale bewirkende Kodier-/Dekodier-Schema verwendet werden:

Codes für D_P & D_N : $0 \triangleq 01$

$1 \triangleq 10$

Codes für $GPTO_{Nx}$: $0 \triangleq 00$

$1 \triangleq 11$

$D_P | D_N | G_1 | 11 | D_P | D_N | G_1 | 00 | D_P | D_N | G_2 | 00 | D_P | D_N | G_2 | 00 | \dots$

Frame und Bitposition:

1 XOR, XOR, XNOR, AND, XOR, XOR, XNOR, NOR 1

Die vorstehend dargelegte Lösung gemäß der vorliegenden Erfindung ermöglicht eine Vollduplex-Datenübertragung für D-PHY-L[ow]P[ower]-Daten und gleichzeitig für eine weitere Anzahl allgemeiner binärer Daten PD, und zwar gebündelt über eine Leitung GA.

Bezugszeichenliste

A	Schaltungsanordnung
E	Empfangsanordnung
S	Sendeanordnung
AE	Ausgang der Empfangsanordnung E
AP	Applikationsprozessor
AS	Ausgang der Sendeanordnung S
AT	Ausgangstreiber, insbesondere Lasertreiber
AZ	anderer oder weiterer oder zusätzlicher Ausgang der Sendeanordnung S
BPWMW	Binär-/P[uls]W[eiten]M[odulations]-Wandler
CD	Takt- und Datenrückgewinnungseinheit
CE	Taktmodul der Empfangs-Schnittstellen-Logik LE

	CH0±	erste Datenleitung oder erster Kanal
	CH1±	zweite Datenleitung oder zweiter Kanal
	CH2±	dritte Datenleitung oder dritter Kanal
	CH3±	vierte Datenleitung oder vierter Kanal
5	CLK±	Taktleitung oder Taktkanal
	CS	Taktmodul der Sende-Schnittstellen-Logik LS
	DD0±	differentielles, insbesondere auf common mode basierendes, Datensignal auf erster Datenleitung oder erstem Kanal CH0±
10	DD1±	differentielles, insbesondere auf common mode basierendes, Datensignal auf zweiter Datenleitung oder zweitem Kanal CH1±
	DD2±	differentielles, insbesondere auf common mode basierendes, Datensignal auf dritter Datenleitung oder drittem Kanal CH2±
	DD3±	differentielles, insbesondere auf common mode basierendes, Datensignal auf vierter Datenleitung oder viertem Kanal CH3±
15	DF	Deframer
	DK	Dekodierer, insbesondere 6b/5b-Dekodierblock, des Deframers DF
	DM	Demultiplexer
	DMP	Demultiplexer im Sende-/Empfangsmodul TXRXE der Empfangsanordnung E bzw. im Sende-/Empfangsmodul TXRXS der Sendeanordnung S
20	DS	Deserialisierungselement oder Deserialisierer
	DU	Anzeigeeinheit
	DV	Differenzverstärker
	EE	Eingang der Empfangsanordnung E
	ES	Eingang der Sendeanordnung S
25	EV	Eingangsverstärker, insbesondere Transimpedanzverstärker
	EZ	anderer oder weiterer oder zusätzlicher Eingang der Empfangsanordnung E
	FD	Fotodiode
	FR	Framer
30	GA	elektrische oder galvanische Verbindung, insbesondere Kupferkabel oder, zum Beispiel auf Leiterplatte angeordnete, elektrische Leitung
	HS	High Speed
	HSD0	single-ended, auf Logikpegeln basierendes Datensignal auf erster Datenleitung oder erstem Kanal CH0±
35	HSD1	single-ended, auf Logikpegeln basierendes Datensignal auf zweiter Datenleitung oder zweitem Kanal CH1±
	HSD2	single-ended, auf Logikpegeln basierendes Datensignal auf dritter Datenleitung oder drittem Kanal CH2±

	HSD3	single-ended, auf Logikpegeln basierendes Datensignal auf vierter Datenleitung oder viertem Kanal CH3±
	IE	datensenkenbezogene CSI- und/oder CSI-2- und/oder CSI-3- und/oder DSI- und/oder DSI-2-Schnittstelle
5	IS	datenquellenbezogene CSI- und/oder CSI-2- und/oder CSI-3- und/oder DSI- und/oder DSI-2-Schnittstelle
	KA	Kamera
	KO	Kodierer, insbesondere 5b/6b-Kodierblock, des Framers FR
	LA	Laser
10	LD	Leitungstreiber
	LE	Empfangs-Schnittstellen-Logik
	LP	Low Power
	LS	Sende-Schnittstellen-Logik
	MU	Multiplexer
15	MUP	Multiplexer im Sende-/Empfangsmodul TXRXE der Empfangsanordnung E bzw. im Sende-/Empfangsmodul TXRXS der Sendeanordnung S
	OM	optisches Medium, insbesondere optischer Wellenleiter, zum Beispiel Glasfaser und/oder Plastikfaser
	PD	binäre und/oder parallele Signale
20	PS	Taktgenerator, insbesondere Phase-Locked-Loop, zum Beispiel Clock Multiplier Unit
	PWMBW	P[uls]W[eiten]M[odulations]-/Binär-Wandler
	R0	Terminierungswiderstand
	R1	Widerstand
25	SA	erstes gewichtetes Signal
	SB	zweites gewichtetes Signal
	SC	Signal nach Differenzverstärker DV
	SE	Serialisierungselement oder Serialisierer
	SI	gemeinsamer Signalstrom
30	TL	Taktleitung
	TXRXE	Sende-/Empfangsmodul der Empfangsanordnung E
	TXRXS	Sende-/Empfangsmodul der Sendeanordnung S

Ansprüche

1. Schaltungsanordnung (A) zum Übertragen
 - sowohl von single-ended, auf Logikpegeln basierenden Daten- und Taktsignalen (HS)
 - als auch von differentiellen, insbesondere auf common mode basierenden, Daten- und Taktsignalen (LP)
- 5 zwischen mindestens einer mindestens einer Datenquelle zuordbaren Sendeanordnung (S) und mindestens einer mindestens einer Datensenke zuordbaren Empfangsanordnung (E)
 - in Form mindestens eines die single-ended, auf Logikpegeln basierenden Daten- sowie Taktsignale (HS) und die differentiellen Daten- sowie Taktsignale (LP) serialisierenden gemeinsamen Signalstroms (SI) und
 - 10 - in Form mindestens eines, insbesondere bidirektionalen, zum Beispiel auf Vollduplex-Basis erfolgenden, Signalstroms, der sowohl die differentiellen Daten- und Taktsignale (LP) als auch, insbesondere weitere, binäre Signale (PD) aufweist.
- 15 2. Schaltungsanordnung gemäß Anspruch 1, dadurch gekennzeichnet, dass der gemeinsame Signalstrom (SI) über mindestens ein optisches Medium (OM), insbesondere über mindestens einen optischen Wellenleiter, zum Beispiel über mindestens eine Glasfaser und/oder über mindestens eine Plastikfaser, übertragbar ist.
- 20 3. Schaltungsanordnung gemäß Anspruch 1 oder 2, dadurch gekennzeichnet, dass der sowohl die differentiellen Daten- und Taktsignale (LP) als auch die binären Signale (PD) aufweisende Signalstrom über mindestens eine elektrische oder galvanische, insbesondere ein Bit breite, Verbindung (GA), insbesondere über mindestens ein Kupferkabel und/oder über mindestens eine, zum Beispiel auf mindestens einer
- 25 Leiterplatte angeordnete, elektrische Leitung, übertragbar ist.
4. Schaltungsanordnung gemäß Anspruch 3, dadurch gekennzeichnet, dass der elektrischen oder galvanischen Verbindung (GA)
 - in der Sendeanordnung (S) mindestens ein Sende-/Empfangsmodul (TXRXS) bzw.
 - 30 - in der Empfangsanordnung (E) mindestens ein Sende-/Empfangsmodul (TXRXE) zugeordnet ist, mittels derer der sowohl die differentiellen Daten- und Taktsignale (LP) als auch die binären Signale (PD) aufweisende Signalstrom abgebar bzw. empfangbar ist.
- 35 5. Schaltungsanordnung gemäß Anspruch 4, dadurch gekennzeichnet, dass das Sende-

/Empfangsmodul (TXRXS, TXRXE), insbesondere in seiner Funktion als Sendemodul, aufweist:

- mindestens einen Multiplexer (MUP) zum Serialisieren der differentiellen Daten- und Taktsignale (LP) und der binären Signale (PD),
- 5 - mindestens einen dem Multiplexer (MUP) nachgeschalteten Binär-/P[uls]W[eiten]M[odulations]-Wandler (BPWMW) zum Überführen des serialisierten Signalstroms von einem binären N[on]R[eturn-to]Z[ero]-Format in ein pulswidenmoduliertes Format,
- mindestens einen dem Binär-/P[uls]W[eiten]M[odulations]-Wandler (BPWMW)
- 10 nachgeschalteten Leitungstreiber (LD) und
- mindestens einen dem Leitungstreiber (LD) nachgeschalteten Terminierungswiderstand (R0).

6. Schaltungsanordnung gemäß Anspruch 5, dadurch gekennzeichnet, dass das Sende-/Empfangsmodul (TXRXS, TXRXE), insbesondere in seiner Funktion als Empfangsmodul, aufweist:

- mindestens einen dem Terminierungswiderstand (R0) nachgeschalteten Differenzverstärker (DV) zum Subtrahieren mindestens zweier durch den Terminierungswiderstand (R0) getrennter, insbesondere im Verhältnis 1:2 gewichteter, Signale (SA, SB)
- 20 - mindestens einen dem Differenzverstärker (DV) nachgeschalteten P[uls]W[eiten]M[odulations]-Binär-Wandler (PWMBW) zum Überführen vom pulswidenmodulierten Format in das binäre N[on]R[eturn-to]Z[ero]-Format und
- mindestens einen dem P[uls]W[eiten]M[odulations]-Binär-Wandler (PWMBW)
- 25 nachgeschalteten Demultiplexer (DMP) zum Deserialisieren in die differentiellen Daten- und Taktsignale (LP) und in die binären Signale (PD).

7. Schaltungsanordnung gemäß mindestens einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Sendeanordnung (S) aufweist:

- 30 - mindestens einen Eingang (ES) für die Datensignale und Taktsignale,
- mindestens eine dem Eingang (ES) nachgeschaltete Sende-Schnittstellen-Logik (LS) zum Aufnehmen der Datensignale und Taktsignale,
- mindestens einen der Sende-Schnittstellen-Logik (LS) nachgeschalteten Serialisierer (SE) zum Erzeugen des gemeinsamen Signalstroms (SI),
- 35 - mindestens einen mindestens einem Taktmodul (CS) der Sende-Schnittstellen-Logik (LS) nachgeschalteten, dem Serialisierer (SE) vorgeschalteten und zum Erzeugen mindestens eines Referenztakts vorgesehenen Taktgenerator (PS), insbesondere

Phase-Locked-Loop, zum Beispiel Clock Multiplier Unit,

- mindestens einen dem Serialisierer (SE) nachgeschalteten Ausgangstreiber (AT) und
- mindestens einen dem Ausgangstreiber (AT) nachgeschalteten Ausgang (AS) zum Übertragen des gemeinsamen Signalstroms (SI) an die Empfangsanordnung (E).

5

8. Schaltungsanordnung gemäß Anspruch 7, dadurch gekennzeichnet, dass der Serialisierer (SE) aufweist:

- mindestens einen der Sende-Schnittstellen-Logik (LS) nachgeschalteten Framer (FR) zum Erzeugen mindestens eines in der Empfangsanordnung (E) wiedererkennbaren Rahmens für den gemeinsamen Signalstrom (SI) sowie
- mindestens einen dem Framer (FR) nachgeschalteten Multiplexer (MU) zum Erzeugen des gemeinsamen Signalstroms (SI).

10

9. Schaltungsanordnung gemäß Anspruch 8, dadurch gekennzeichnet, dass der Framer (FR) sowohl mit den single-ended, auf Logikpegeln basierenden Datensignalen (HSD0, HSD1, HSD2, HSD3) als auch mit den differentiellen Datensignalen (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) beaufschlagbar ist und mittels mindestens eines Kodierers (KO), insbesondere mittels mindestens eines 5b/6b-Kodierblocks, die differentiellen Datensignale (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) in den Strom der single-ended, auf Logikpegeln basierenden Datensignale (HSD0, HSD1, HSD2, HSD3) einbettet.

15

20

10. Schaltungsanordnung gemäß mindestens einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Empfangsanordnung (E) aufweist:

- mindestens einen Eingang (EE) für den von der Sendeanordnung (S) übertragenen gemeinsamen Signalstrom (SI),
- mindestens einen Eingangsverstärker (EV) zum Aufnehmen des gemeinsamen Signalstroms (SI),
- mindestens eine Takt- und Datenrückgewinnungseinheit (CD) zum Wiederherstellen der Datensignale und Taktsignale aus dem gemeinsamen Signalstrom (SI),
- mindestens ein der Takt- und Datenrückgewinnungseinheit (CD) nachgeschaltetes Taktmodul (CE) mindestens einer Empfangs-Schnittstellen-Logik (LE),
- mindestens einen der Takt- und Datenrückgewinnungseinheit (CD) nachgeschalteten Deserialisierer (DS) zum Reparallelisieren der Datensignale und zum Zuordnen der reparallelisierten Datensignale auf die Empfangs-Schnittstellen-Logik (LE) und
- mindestens einen der Empfangs-Schnittstellen-Logik (LE) nachgeschalteten Ausgang (AE) für die Datensignale und Taktsignale.

25

30

35

11. Schaltungsanordnung gemäß Anspruch 10, dadurch gekennzeichnet, dass der Deserialisierer (DS) aufweist:
- mindestens einen der Takt- und Datenrückgewinnungseinheit (CD) nachgeschalteten Demultiplexer (DM) zum Reparallelisieren der Datensignale sowie
 - mindestens einen dem Demultiplexer (DM) nachgeschalteten Deframer (DF) zum Zuordnen der reparallelisierten Datensignale auf die Empfangs-Schnittstellen-Logik (LE).
12. Schaltungsanordnung gemäß Anspruch 11, dadurch gekennzeichnet, dass der Deframer (DF) mittels mindestens eines Dekodierers (DK), insbesondere mittels mindestens eines 6b/5b-Dekodierblocks, die differentiellen Datensignale (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) von den single-ended, auf Logikpegeln basierenden Datensignalen (HSD0, HSD1, HSD2, HSD3) separiert und die reparallelisierten Datensignale den jeweiligen Datenleitungen (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) zuordnet.
13. Verfahren zum Übertragen
- sowohl von single-ended, auf Logikpegeln basierenden Daten- und Taktsignalen (HS)
 - als auch von differentiellen, insbesondere auf common mode basierenden, Daten- und Taktsignalen (LP)
- zwischen mindestens einer mindestens einer Datenquelle zuordbaren Sendeanordnung (S) und mindestens einer mindestens einer Datensenke zuordbaren Empfangsanordnung (E)
- in Form mindestens eines die single-ended, auf Logikpegeln basierenden Daten- sowie Taktsignale (HS) und die differentiellen Daten- sowie Taktsignale (LP) serialisierenden gemeinsamen Signalstroms (SI) und
 - in Form mindestens eines, insbesondere bidirektionalen, zum Beispiel auf Vollduplex-Basis erfolgenden, Signalstroms, der sowohl die differentiellen Daten- und Taktsignale (LP) als auch, insbesondere weitere, binäre Signale (PD) aufweist.
14. Verfahren gemäß Anspruch 13, dadurch gekennzeichnet, dass die differentiellen Daten- und Taktsignale (LP) und die binären Signale (PD) unterschiedlich häufig abgetastet werden, insbesondere dass die differentiellen Daten- und Taktsignale (LP) achtmal häufiger als die binären Signale (PD) abgetastet werden.
15. Verwendung mindestens einer Schaltungsanordnung (A) gemäß mindestens einem der Ansprüche 1 bis 12 und/oder eines Verfahrens gemäß Anspruch 13 oder 14 beim

seriellen und/oder gebündelten, insbesondere CSI-protokollbasierten und/oder CSI-2-protokollbasierten und/oder CSI-3-protokollbasierten und/oder DSI-protokollbasierten und/oder DSI-2-protokollbasierten, unidirektionalen oder bidirektionalen Übertragen sowohl von single-ended, auf Logikpegeln basierenden Daten- und Taktsignalen (HS) als auch von differentiellen, insbesondere auf common mode basierenden, Daten- und Taktsignalen (LP), insbesondere von D-PHY-Datensignalen und D-PHY-Taktsignalen, zum Beispiel von bis zu vier Bit breiten MIPI-D-PHY-Datensignalen und MIPI-D-PHY-Taktsignalen, zwischen mindestens einer Datenquelle, insbesondere mindestens einer, zum Beispiel hochauflösenden und/oder zum Beispiel als Bildquelle fungierenden, Kamera (KA) und/oder mindestens einem Applikationsprozessor (AP), und mindestens einer Datensenke, insbesondere mindestens einem Applikationsprozessor (AP) und/oder mindestens einer, zum Beispiel hochauflösenden und/oder zum Beispiel als Bildsenke fungierenden, Anzeigeeinheit (DU), zum Beispiel mindestens einem Display oder mindestens einem Monitor.

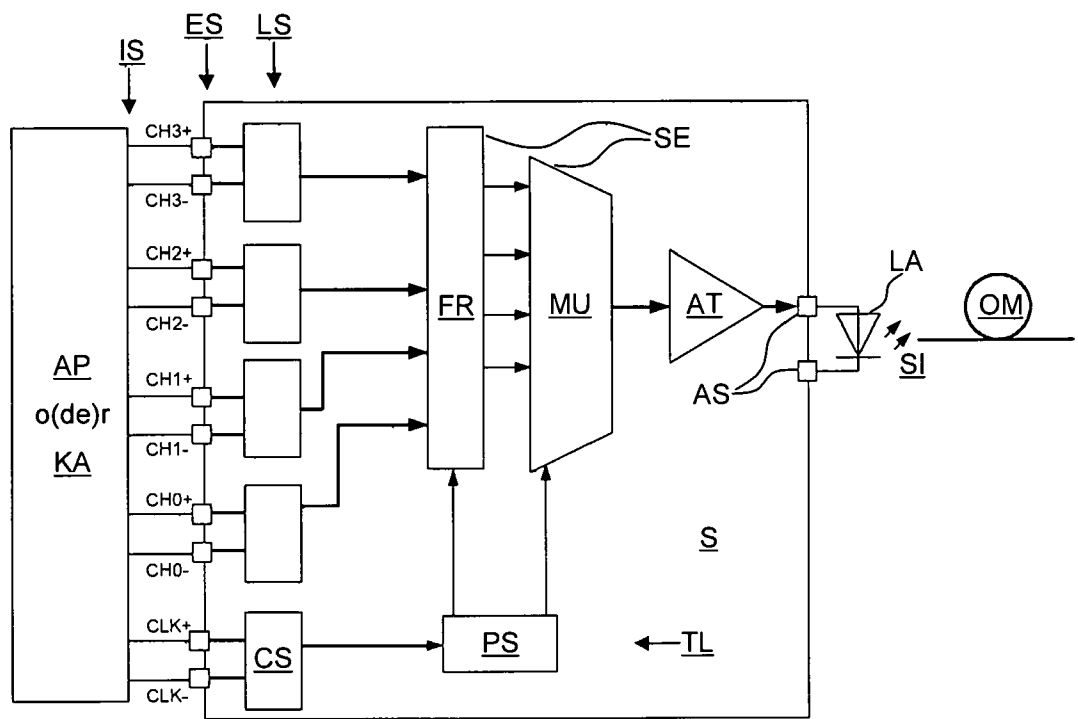


Fig. 1A

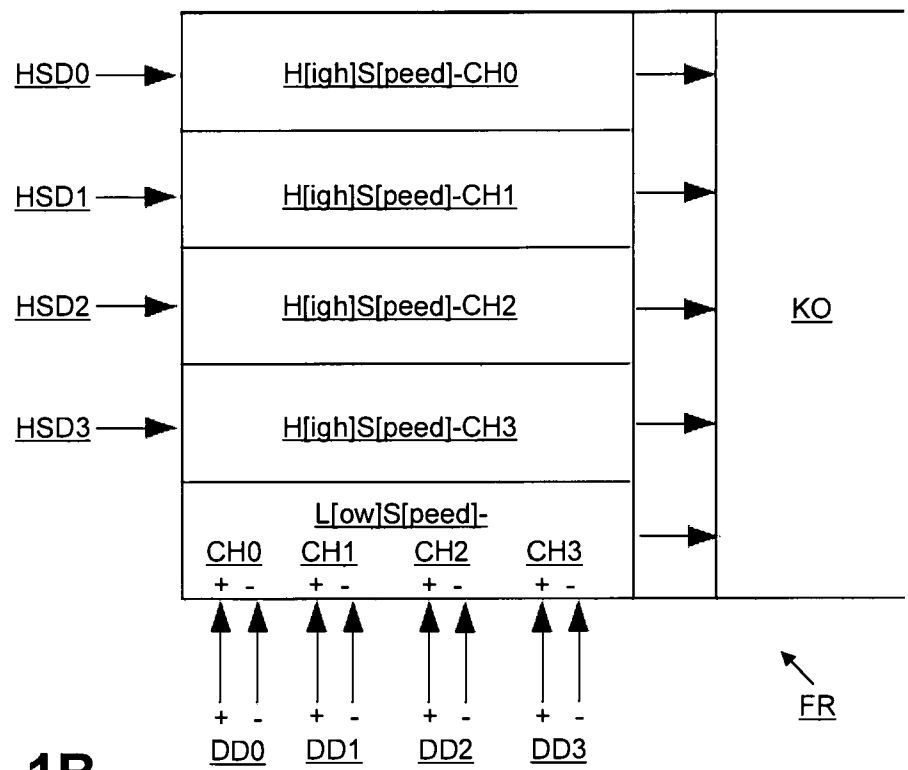


Fig. 1B

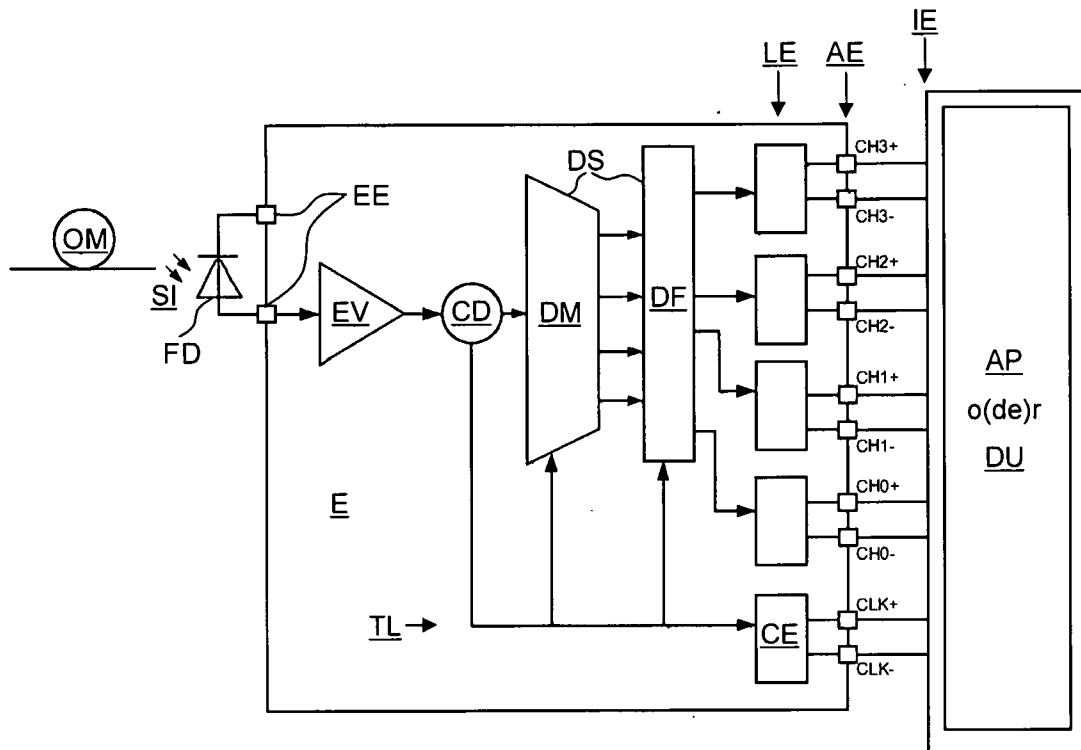


Fig. 2A

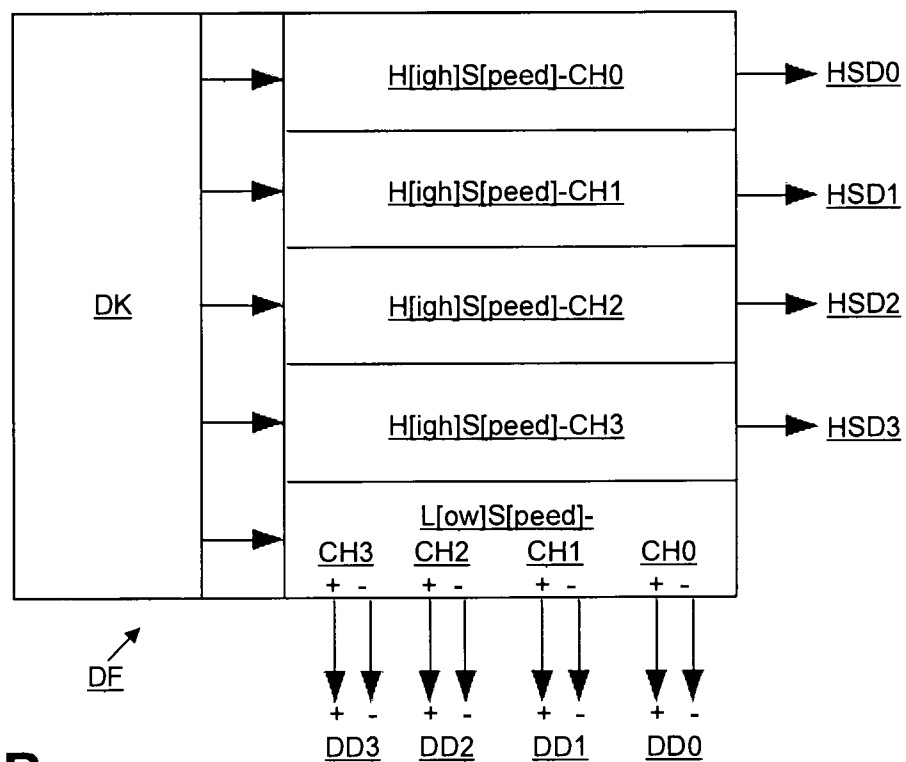


Fig. 2B

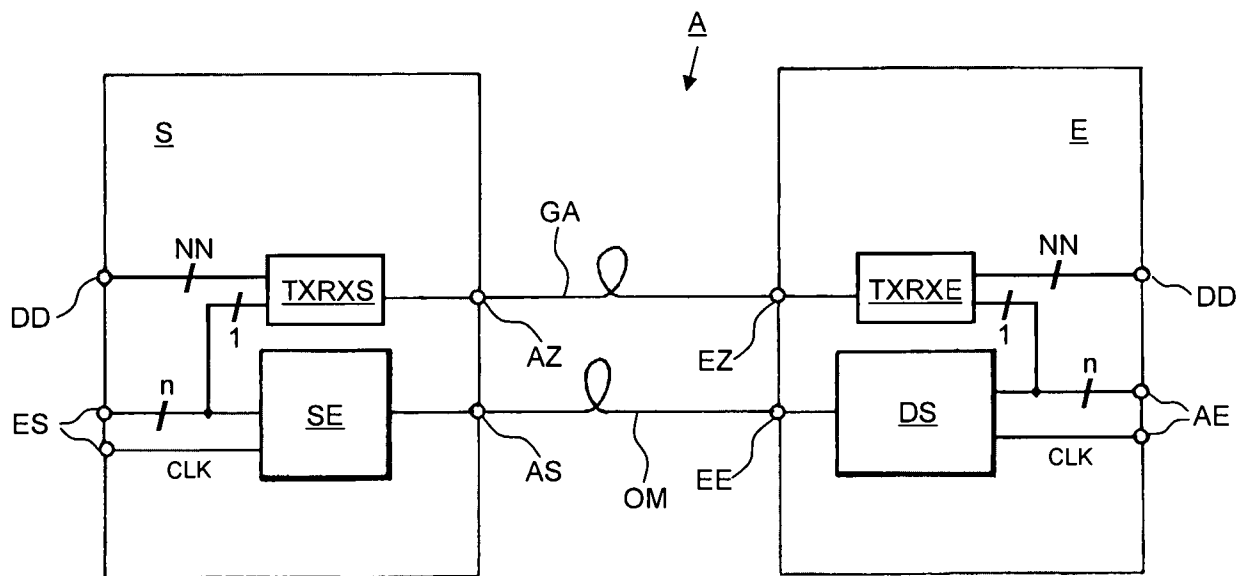


Fig. 3A

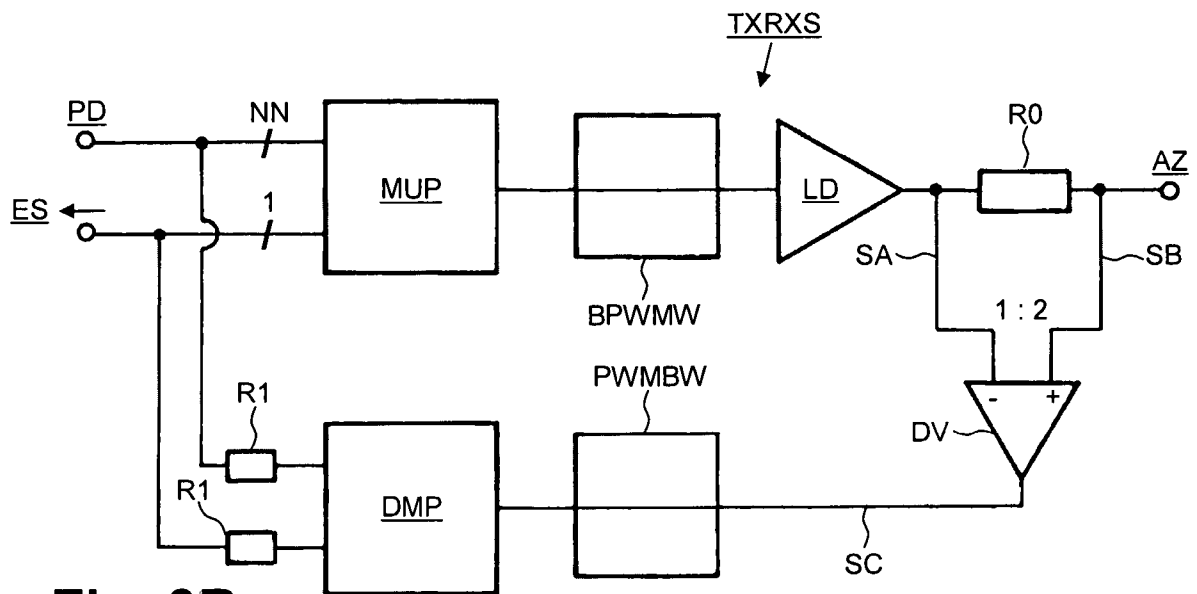


Fig. 3B

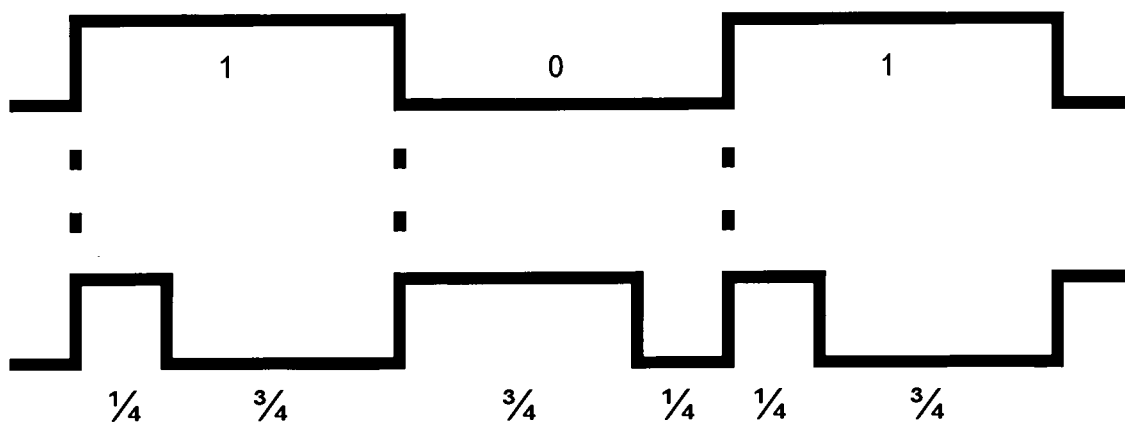
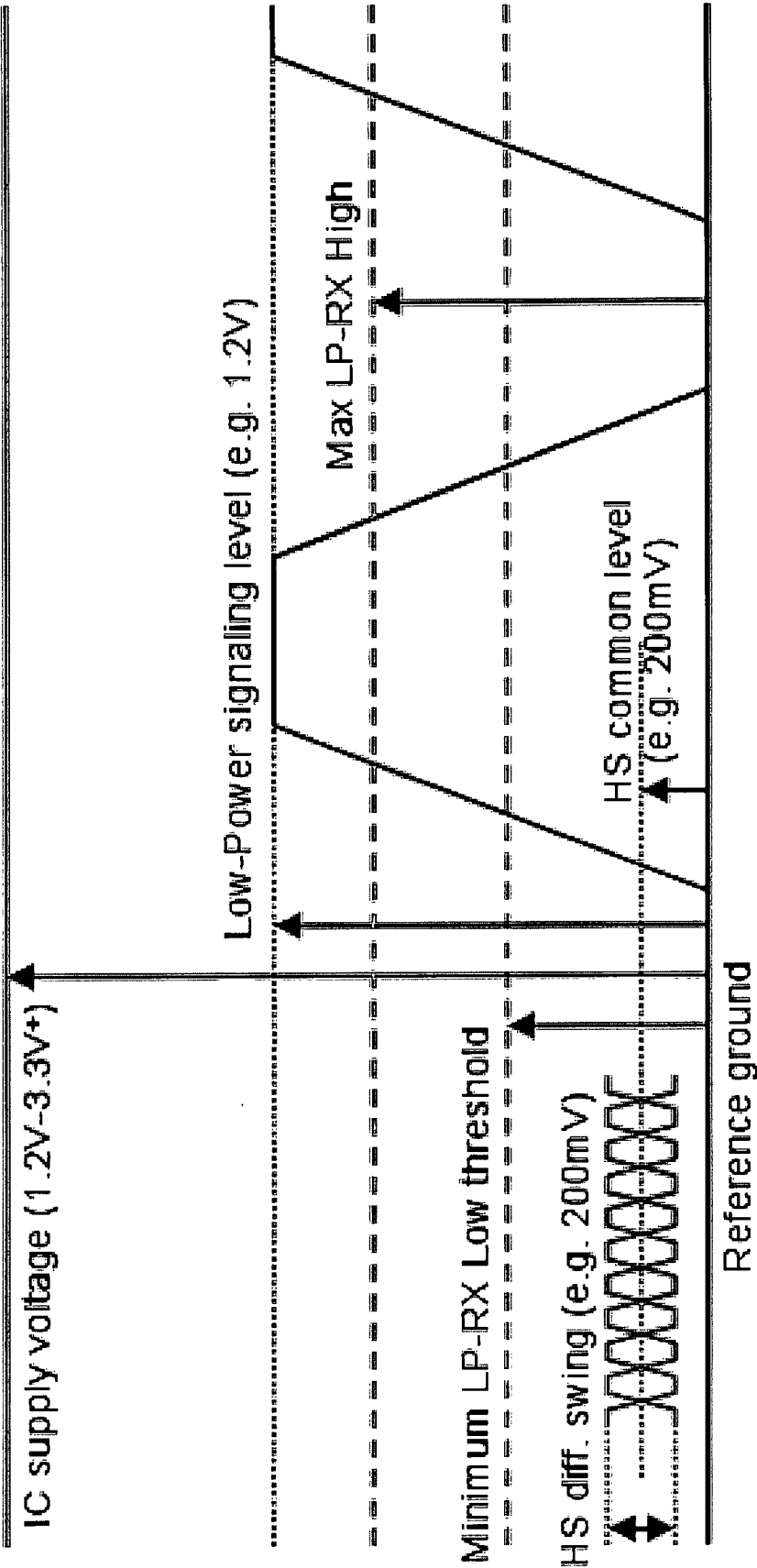


Fig. 3C

Fig. 4



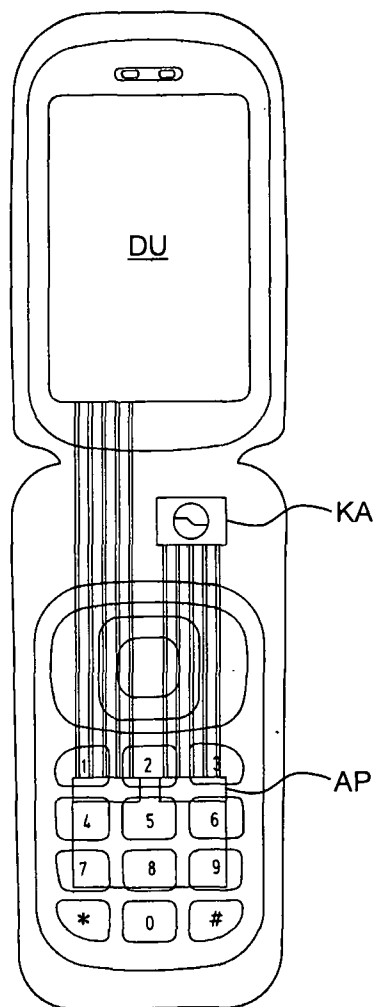


Fig. 5A (= prior art = Stand der Technik)

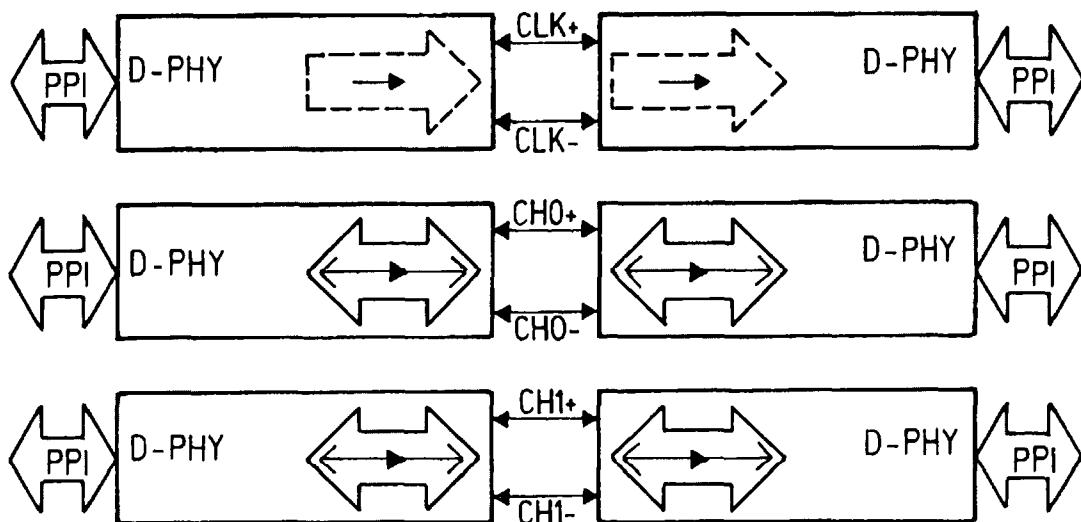


Fig. 5B (= prior art = Stand der Technik)