



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I734543 B

(45)公告日：中華民國 110 (2021) 年 07 月 21 日

(21)申請案號：109122447 (22)申請日：中華民國 109 (2020) 年 07 月 02 日

(51)Int. Cl. : **H01L29/74 (2006.01)** **H01L29/739 (2006.01)**  
**H01L21/332 (2006.01)** **H01L29/06 (2006.01)**

(30)優先權：2019/09/13 日本 2019-166780

(71)申請人：日商日立功率半導體股份有限公司(日本)HITACHI POWER SEMICONDUCTOR DEVICE, LTD. (JP)  
 日本

(72)發明人：古川智康 FURUKAWA, TOMOYASU (JP)；白石正樹 SHIRAISHI, MASAKI (JP)；渡邊聡 WATANABE, SO (JP)；三好智之 MIYOSHI, TOMOYUKI (JP)；竹内悠次郎 TAKEUCHI, YUJIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

JP	2016-012581A	US	2015/0340441A1
US	2017/0213886A1	US	2018/0308972A1

審查人員：孫建文

申請專利範圍項數：8 項 圖式數：20 共 53 頁

## (54)名稱

半導體裝置及電力轉換裝置

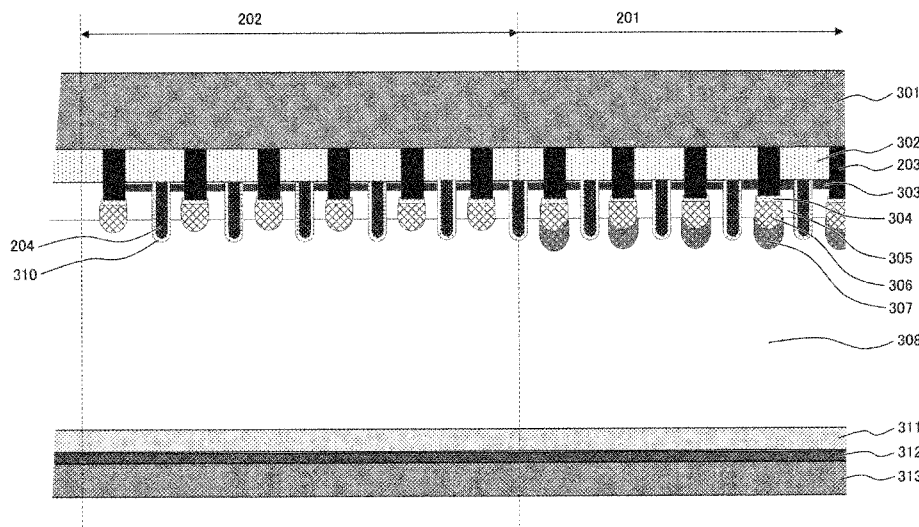
## (57)摘要

本發明提供一種可抑制因製造時之形狀差異或雜質差異所引起之 IGBT 晶胞間之電場差異所致之局部電流/電場集中、或電流集中在晶片終止部之遮斷容限較高的半導體裝置。

本發明之特徵在於具備：發射電極，其介隔層間絕緣膜而形成於半導體基板之表面上；集電極，其形成於上述半導體基板之背面上；第 1 導電型之第 1 半導體層，其與上述集電極相接，且形成於上述半導體基板之背面；第 2 導電型之第 2 半導體層，其形成於較上述第 1 半導體層更內側；中心區域晶胞，其沿著上述半導體基板之表面配置；及外周區域晶胞，其於上述半導體基板之平面方向上，位於較上述中心區域晶胞為外側，且配置於上述中心區域晶胞與晶片終止保護環區域之間；且上述中心區域晶胞包括：溝槽，其形成於上述發射電極與上述半導體基板之間；閘電極，其介隔閘極絕緣膜而形成於上述溝槽之內側，且介隔上述層間絕緣膜與上述發射電極絕緣；第 2 導電型之第 3 半導體層，其與上述閘極絕緣膜相接地形成，且雜質濃度高於上述半導體基板；第 1 導電型之第 4 半導體層，其經由發射極接點與上述發射電極之上述半導體基板側相接地形成，且雜質濃度高於上述第 1 半導體層；第 1 導電型之第 5 半導體層，其與上述閘極絕緣膜相接，形成於上述第 2 半導體層之上述半導體基板側，且雜質濃度低於上述第 4 半導體層；第 1 導電型之第 6 半導體層，其與上述第 4 半導體層之上述半導體基板側之表面相接，且較上述第 5 半導體層更向上述半導體基板側突出地形成，並且載子濃度低於上述第 4 半導體層；及第 2 導電型之第 7 半導體層，其與上述第 6 半導體層之上述集電極側表面相接地形成，且雜質濃度高於上述半導體基板；且上述外周區域晶胞

具有上述溝槽、上述閘電極、上述第 4 半導體層、上述第 5 半導體層、及上述第 6 半導體層，並且上述外周區域晶胞不具有上述第 3 半導體層與上述第 7 半導體層中之至少一者。

指定代表圖：



【圖2】

符號簡單說明：

- 201: 中心區域晶胞
- 202: 外周區域晶胞
- 203: 發射極接點
- 204: 溝槽間
- 301: 發射電極
- 302: 層間絕緣膜
- 303: 第 3 半導體層(n<sup>+</sup>源極層)
- 304: 第 4 半導體層(淺 p<sup>+</sup>層)
- 305: 第 5 半導體層(p 基極層)
- 306: 第 6 半導體層(深 p<sup>+</sup>層)
- 307: 第 7 半導體層(深 n 層)
- 308: 半導體基板(n<sup>-</sup>半導體基板)
- 310: 閘極絕緣膜
- 311: 第 2 半導體層(n 型緩衝層)
- 312: 第 1 半導體層(p 型集極層)
- 313: 集電極



I734543

## 【發明摘要】

## 【中文發明名稱】

半導體裝置及電力轉換裝置

## 【中文】

本發明提供一種可抑制因製造時之形狀差異或雜質差異所引起之IGBT晶胞間之電場差異所致之局部電流/電場集中、或電流集中在晶片終止部之遮斷容限較高的半導體裝置。

本發明之特徵在於具備：發射電極，其介隔層間絕緣膜而形成於半導體基板之表面上；集電極，其形成於上述半導體基板之背面上；第1導電型之第1半導體層，其與上述集電極相接，且形成於上述半導體基板之背面；第2導電型之第2半導體層，其形成於較上述第1半導體層更內側；中心區域晶胞，其沿著上述半導體基板之表面配置；及外周區域晶胞，其於上述半導體基板之平面方向上，位於較上述中心區域晶胞為外側，且配置於上述中心區域晶胞與晶片終止保護環區域之間；且上述中心區域晶胞包括：溝槽，其形成於上述發射電極與上述半導體基板之間；閘電極，其介隔閘極絕緣膜而形成於上述溝槽之內側，且介隔上述層間絕緣膜與上述發射電極絕緣；第2導電型之第3半導體層，其與上述閘極絕緣膜相接地形成，且雜質濃度高於上述半導體基板；第1導電型之第4半導體層，其經由發射極接點與上述發射電極之上述半導體基板側相接地形成，且雜質濃度高於上述第1半導體層；第1導電型之第5半導體層，其與上述閘極絕緣膜相接，形成於上述第2半導體層之上述半導體基板側，且雜質濃度低於上述第4半導體層；第1導電型之第6半導體層，其與上述第4半導體層之上述半導體基板側之表面相接，且較上述第5半導體層更向上述半導體基板

側突出地形成，並且載子濃度低於上述第4半導體層；及第2導電型之第7半導體層，其與上述第6半導體層之上述集電極側表面相接地形成，且雜質濃度高於上述半導體基板；且上述外周區域晶胞具有上述溝槽、上述閘電極、上述第4半導體層、上述第5半導體層、及上述第6半導體層，並且上述外周區域晶胞不具有上述第3半導體層與上述第7半導體層中之至少一者。

**【指定代表圖】**

圖2

**【代表圖之符號簡單說明】**

- 201:中心區域晶胞
- 202:外周區域晶胞
- 203:發射極接點
- 204:溝槽閘
- 301:發射電極
- 302:層間絕緣膜
- 303:第3半導體層( $n^+$ 源極層)
- 304:第4半導體層(淺 $p^+$ 層)
- 305:第5半導體層( $p$ 基極層)
- 306:第6半導體層(深 $p^+$ 層)
- 307:第7半導體層(深 $n$ 層)
- 308:半導體基板( $n^-$ 半導體基板)
- 310:閘極絕緣膜
- 311:第2半導體層( $n$ 型緩衝層)

312:第1半導體層(p型集極層)

313:集電極

## 【發明說明書】

### 【中文發明名稱】

半導體裝置及電力轉換裝置

### 【技術領域】

#### 【0001】

本發明係關於一種半導體裝置之構造，特別是關於一種應用於電力轉換裝置所搭載之絕緣閘型雙極電晶體(IGBT，Insulated Gate Bipolar Transistor)有效之技術。

### 【先前技術】

#### 【0002】

作為變流器等電力轉換器之主要零件之IGBT模組(Insulated Gate Bipolar Transistor：以下，簡稱為IGBT)被要求低成本化及小型化。同樣地，對功率模組內之功率裝置晶片亦要求低成本化及小型化，尋求實現IGBT晶片之高輸出電流密度之新技術。

#### 【0003】

若變為高輸出電流密度，則功率裝置之每單位晶片面積之損耗增加，且晶片溫度上升。因此，需要於IGBT晶片中擴大高輸出電流下之斷開(turn off)時之安全動作區域(Reverse Bias Safe Operating Area(逆向偏壓安全動作區域)：以下，亦稱為RBSOA)。即，需要於更高之電流、電壓、溫度下亦不會破壞IGBT，且具有充分之電流遮斷容限。

#### 【0004】

於此種背景之中，作為提高電流遮斷能力之技術，例如於專利文獻1中提出一種減少IGBT晶片之周邊保護環部之p型集極層之電洞注入，抑制

作為主動區域發揮作用之晶胞(cell)部分之電流集中之技術。藉此，可抑制由電流集中所導致之IGBT晶胞之寄生雙極電晶體動作，提高電流遮斷能力。

#### 【0005】

又，於專利文獻2中提出如下構成，即，藉由刪除IGBT晶片之終止區域之溝槽構造且使終止區域之接觸孔之開口面積與中央部相等或小於中央部，而使終止區域之雪崩容限高於IGBT晶胞之雪崩容限。藉此，可抑制終止部中之電場集中，即便於產生較高突波電壓之情形時亦不會破壞元件，從而提高RBSOA。

#### 【0006】

又，於專利文獻3中提出如下技術：於IGBT晶胞之溝槽間中央部設置由PN接面所形成之電場集中區域，使由斷開時之衝擊離子化所進行之電子注入均等地發生於晶胞間，從而抑制電流集中，提高遮斷容限之技術。

[先前技術文獻]

[專利文獻]

#### 【0007】

[專利文獻1]日本專利特開2003-133556號公報

[專利文獻2]日本專利特開2011-100877號公報

[專利文獻3]日本專利特開2016-012581號公報

#### 【發明內容】

[發明所欲解決之問題]

#### 【0008】

然而，於專利文獻1或專利文獻2之先前技術中，於產生了因製造IGBT晶胞時之形狀差異或雜質差異而產生之複數個IGBT晶胞間之電場差異時，於電場較強之晶胞中可能發生電流、電場集中而使遮斷容限降低。

#### 【0009】

又，於專利文獻3之先前技術中，來自晶片終止部之電洞電流可能會集中在晶片外周晶胞或晶片角部之晶胞，從而妨礙遮斷容限之提高。

#### 【0010】

因此，本發明之目的在於提供一種可抑制由IGBT晶胞間之電場差異所導致的局部之電流、電場集中或晶片終止部處之電流集中之遮斷容限較高的半導體裝置及使用其之電力轉換裝置，該IGBT晶胞間之電場差異係由製造時之形狀差異或雜質差異所引起。

[解決問題之技術手段]

#### 【0011】

為了解決上述課題，本發明之特徵在於具備：發射電極，其介隔層間絕緣膜而形成於半導體基板之表面上；集電極，其形成於上述半導體基板之背面上；第1導電型之第1半導體層，其與上述集電極相接，且形成於上述半導體基板之背面；第2導電型之第2半導體層，其形成於較上述第1半導體層更內側；中心區域晶胞，其沿著上述半導體基板之表面配置；及外周區域晶胞，其於上述半導體基板之平面方向上，位於較上述中心區域晶胞為外側，且配置於上述中心區域晶胞與晶片終止保護環區域之間；且上述中心區域晶胞包括：溝槽，其形成於上述發射電極與上述半導體基板之間；閘電極，其介隔閘極絕緣膜而形成於上述溝槽之內側，且介隔上述層間絕緣膜與上述發射電極絕緣；第2導電型之第3半導體層，其與上述閘



極絕緣膜相接地形成，且雜質濃度高於上述半導體基板；第1導電型之第4半導體層，其經由發射極接點與上述發射電極之上上述半導體基板側相接地形成，且雜質濃度高於上述第1半導體層；第1導電型之第5半導體層，其與上述閘極絕緣膜相接，且形成於上述第2半導體層之上上述半導體基板側，且雜質濃度低於上述第4半導體層；第1導電型之第6半導體層，其與上述第4半導體層之上上述半導體基板側之表面相接，且較上述第5半導體層更向上上述半導體基板側突出地形成，且載子濃度低於上述第4半導體層；及第2導電型之第7半導體層，其與上述第6半導體層之上上述集電極側表面相接地形成，且雜質濃度高於上述半導體基板；且上述外周區域晶胞具有上述溝槽、上述閘電極、上述第4半導體層、上述第5半導體層、及上述第6半導體層，且上述外周區域晶胞不具有上述第3半導體層與上述第7半導體層中之至少一者。

#### 【0012】

又，本發明之電力轉換裝置之特徵在於其係具備：一對直流端子；交流端子，其數量與交流之相數相同；及切換支腳(*switching leg*)，其連接於上述一對直流端子間，且將2個與切換元件為相反極性之二極體之並聯電路串聯連接；且上述並聯電路之相互連接點構成連接於不同的交流端子且數量與交流之相數相同之電力轉換單元；且上述切換元件為如上述所記載之半導體裝置。

[發明之效果]

#### 【0013】

根據本發明，可實現一種可抑制由IGBT晶胞間之電場差異所導致的局部之電流、電場集中或晶片終止部處之電流集中之遮斷容限較高的半導

體裝置及使用其之電力轉換裝置，該IGBT晶胞間之電場差異係由製造時之形狀差異或雜質差異所引起。

#### 【0014】

藉此，IGBT晶片之高電流密度化變為可能，可有助於搭載其之電力轉換裝置之小型化。

#### 【0015】

除上述以外之課題、構成及效果藉由以下之實施形態之說明而變得明瞭。

#### 【圖式簡單說明】

#### 【0016】

圖1A係本發明之實施例1之IGBT半導體晶片之俯視圖。

圖1B係圖1A之晶胞終止區域105之放大圖。

圖2係圖1B之A-A'部之剖視圖。

圖3係先前之IGBT半導體晶片之剖視圖。

圖4(a)~(f)係表示本發明之實施例1之IGBT半導體晶片之製造過程的圖。

圖5係表示IGBT半導體晶片之斷開波形(正常波形)之圖。

圖6係表示先前之IGBT半導體晶片之斷開中之內部狀態的模式圖。

圖7係表示先前之IGBT半導體晶片之斷開中之內部狀態的模式圖。

圖8係表示IGBT半導體晶片之斷開中之衝擊離子化係數 $\alpha$ 與電場之變化的圖。

圖9係表示本發明之實施例1之IGBT半導體晶片的斷開中之內部狀態之模式圖。

圖10係本發明之實施例2之IGBT半導體晶片之剖視圖。

圖11係本發明之實施例3之IGBT半導體晶片之剖視圖。

圖12係本發明之實施例4之IGBT半導體晶片之剖視圖。

圖13係本發明之實施例5之IGBT半導體晶片之剖視圖。

圖14係本發明之實施例6之IGBT半導體晶片之晶胞終止區域之俯視圖。

圖15係本發明之實施例6之IGBT半導體晶片之鳥瞰圖。

圖16係本發明之實施例7之IGBT半導體晶片之鳥瞰圖。

圖17係本發明之實施例8之IGBT半導體晶片之鳥瞰圖。

圖18係本發明之實施例9之IGBT半導體晶片之晶胞終止區域之俯視圖。

圖19係本發明之實施例9之IGBT半導體晶片之鳥瞰圖。

圖20係本發明之實施例10之電力轉換裝置之電路方塊圖。

## 【實施方式】

### 【0017】

以下，參照圖式對本發明之實施形態詳細地進行說明。再者，於各圖中，參照編號為相同者表示相同構成要件或具備類似功能之構成要件。又， $p^-$ 、 $p$ 、 $p^+$ 表示半導體層之導電型為p型，且相對之雜質濃度依序變高。進而， $n^-$ 、 $n$ 、 $n^+$ 表示半導體層之導電型為n型，且，相對之雜質濃度依序變高。

### [實施例1]

### 【0018】

參照圖1A至圖9，對本發明之實施例1之半導體裝置及其製造方法進

行說明。再者，圖3、圖6、圖7係表示為了使本發明容易理解而作為比較例進行表示之先前之IGBT半導體晶片之圖。

#### 【0019】

圖1A係IGBT半導體晶片101之俯視圖。於晶片之中央設置有配置複數個IGBT之單位晶胞之晶胞區域103。又，設置有用於施加IGBT之閘極電壓之閘電極PAD104。又，於IGBT半導體晶片101之外周設置有晶片終止保護環區域102。

#### 【0020】

圖1B係IGBT半導體晶片101之晶胞終止區域105之放大圖，係作為無發射電極之表面構造而表示之模式圖。於晶胞區域103內配置有溝槽閘204呈週期性地配置而成之複數個單位晶胞，於單位晶胞之中央部設置有發射極接點203。單位晶胞設置有IGBT半導體晶片101之中心區域晶胞201、及相較中心區域晶胞201位於IGBT半導體晶片101之平面方向上之外側且位於中心區域晶胞201與晶片終止保護環區域102之間之外周區域晶胞202。

#### 【0021】

圖2係圖1B之A-A'部之剖視圖。中心區域晶胞201包括以下部分而形成，即，溝槽(下述之圖4之符號501)，其形成於發射電極301與半導體基板308之間；閘電極(溝槽閘204)，其形成於溝槽之內側，介隔絕緣層(層間絕緣膜302)與發射電極301絕緣；閘極絕緣膜310，其形成於溝槽；第2導電型之第3半導體層( $n^+$ 源極層)303，其與閘極絕緣膜310相接地形成，且雜質濃度高於半導體基板308；第1導電型之第4半導體層(淺 $p^+$ 層)304，其經由發射極接點203與發射電極301之半導體基板308側之表面相接地形

成，且雜質濃度高於第1半導體層(p型集極層)312；第1導電型之第5半導體層(p基極層)305，其與閘極絕緣膜310相接，且形成於第2半導體層(n型緩衝層)311之半導體基板308側，且雜質濃度低於第4半導體層(淺p<sup>+</sup>層)304；第1導電型之第6半導體層(深p<sup>+</sup>層)306，其與第4半導體層(淺p<sup>+</sup>層)304之半導體基板308側之表面相接，相較第5半導體層(p基極層)305更向半導體基板308側突出地形成，且載子濃度低於第4半導體層(淺p<sup>+</sup>層)304；及第2導電型之第7半導體層(深n層)307，其與第6半導體層(深p<sup>+</sup>層)306之集電極313側表面相接地形成，且雜質濃度高於導體基板308。

### 【0022】

IGBT半導體晶片101之平面方向之中心區域晶胞201之外側的外周區域晶胞202形成有：溝槽(下述之圖4之符號501)，其形成於發射電極301與半導體基板308之間；閘電極(溝槽閘204)，其形成於溝槽之內側，介隔絕緣層(層間絕緣膜302)與發射電極301絕緣；閘極絕緣膜310，其形成於溝槽；第2導電型之第3半導體層(n<sup>+</sup>源極層)303，其與閘極絕緣膜310相接地形成，且雜質濃度高於半導體基板308；第1導電型之第4半導體層(淺p<sup>+</sup>層)304，其與發射電極301之半導體基板308側之表面相接地形成，且雜質濃度高於第1半導體層(p型集極層)312；第1導電型之第5半導體層(p基極層)305，其與閘極絕緣膜310相接，形成於第3半導體層(n<sup>+</sup>源極層)303之半導體基板308側，且雜質濃度低於第4半導體層(淺p<sup>+</sup>層)304；及第1導電型之第6半導體層(深p<sup>+</sup>層)306，其與第4半導體層(淺p<sup>+</sup>層)304之半導體基板308側之表面相接，相較第5半導體層(p基極層)305更向半導體基板308側突出地形成，且載子濃度低於第4半導體層(淺p<sup>+</sup>層)304。

### 【0023】

圖4係表示本實施例(圖2)之IGBT半導體晶片101之製造過程之圖。

**【0024】**

《(a)溝槽閘形成》

首先，準備n<sup>-</sup>半導體基板308(例如Si晶圓等半導體晶圓)。

**【0025】**

其次，於n<sup>-</sup>半導體基板308上成膜之絕緣膜(例如SiO<sub>2</sub>)藉由光微影法而圖案化用以形成溝槽。

**【0026】**

其次，將經圖案化之絕緣膜作為遮罩，藉由各向異性蝕刻而形成有溝槽501。

**【0027】**

《(b)p基極層、n<sup>+</sup>源極層形成》

其次，形成閘極絕緣膜，沈積多晶矽膜，藉由光微影法曝光後，加工形成溝槽閘204。

**【0028】**

其次，將用以形成p基極層305而圖案化之光阻劑作為遮罩，進行p型雜質之離子佈植，進而熱處理，藉此形成有第5半導體層(p基極層)305。

**【0029】**

繼而，將用以形成n<sup>+</sup>源極層303而圖案化之光阻劑作為遮罩，進行n型雜質之離子佈植，從而形成第3半導體層(n<sup>+</sup>源極層)303。

**【0030】**

《(c)接點形成》

其次，於n<sup>-</sup>半導體基板308之整個面沈積有層間絕緣膜302。對層間

絕緣膜302實施平坦化。平坦化係應用例如BPSG(Boron-Phosphors Silicate Glass，硼磷矽玻璃)膜之回焊或CMP(Chemical Mechanical Polishing，化學機械拋光)等平坦化方法等。

### 【0031】

層間絕緣膜302平坦化後，藉由光微影法及各向異性蝕刻而形成接觸孔502。此時，接觸孔502貫通層間絕緣膜302，進而到達第5半導體層(p基極層)305。藉此，於剖視下觀察p基極層305之情形時，形成一對 $n^+$ 源極層，並且形成於後續步驟中形成之接點金屬層所接觸之槽部。

### 【0032】

《(d)淺p層形成、深p層形成》

繼而，將層間絕緣膜302作為遮罩，依序進行淺 $p^+$ 層304及深 $p^+$ 層306之離子佈植，而分別形成第4半導體層(淺 $p^+$ 層)304及第6半導體層(深 $p^+$ 層)306。

### 【0033】

《(e)深 $n^+$ 層形成》

其次，將抗蝕劑503塗佈於 $n^-$ 半導體基板308之整個面，藉由光微影法，使抗蝕劑503僅於中心區域開口，藉由離子佈植形成第7半導體層(深 $n$ 層)307，去除抗蝕劑後，進行熱處理，藉此相對於接觸孔502自對準地形成 $p^+$ 接點及 $n^+$ 源極接點。

### 【0034】

《(f)發射電極、背面 $n$ 緩衝、 $p$ 集極層、集電極形成》

其次，藉由包含如Ti、TiN、W等之高熔點金屬之積層金屬膜嵌埋接觸孔502，進而，以蝕刻或CMP進行平坦化，藉此形成接點金屬層(發射

極接點203)。其後，沈積包含鋁等之金屬層，藉由光微影法及蝕刻而形成發射電極301及閘電極PAD104(未圖示)。其後，雖未圖示，但成膜包含聚醯亞胺等之表面保護膜，並將其圖案化。

#### 【0035】

以上步驟為半導體基板308之表面側處理。

#### 【0036】

其次，自半導體基板308之背面側對半導體基板308進行n型及p型雜質之離子佈植，進而進行雷射退火，藉此形成第2半導體層(n型緩衝層)311及第1半導體層(p型集極層)312。

#### 【0037】

再者，藉由適當調整離子佈植時之加速能，可形成自半導體基板308之背面起之深度不同之n型緩衝層311及p型集極層312。其後，藉由濺鍍將積層金屬層、例如Al-Ti-Ni-Au成膜於半導體基板308之背面側，而形成集電極313。

#### 【0038】

實施例1之特徵在於成為如下構造，即，IGBT半導體晶片101之平面方向之中心區域晶胞201係於第6半導體層306及第7半導體層307形成容易電場集中之pn接面，IGBT半導體晶片101之平面方向之中心區域晶胞201的平面方向之外側之晶胞(外周區域晶胞202)與中心晶胞區域201相比沒有第7半導體層307。其效果在於提高斷開時之遮斷容限。其原理記載如下。

#### 【0039】

圖5係IGBT半導體晶片之斷開波形例。於IGBT半導體晶片之斷開



中，若閘極電壓變為閾值電壓以下，則來自溝槽閘之主動之電子注入消失，因此電洞電流之路徑變得不穩定(容易移動)。此時，因溝槽之尺寸或形狀等之差異而不可避免地產生電場局部略強之部位。於此種部位中，為了使由衝擊離子化所進行之電子注入相對變多，電洞電流開始集中。

#### 【0040】

圖8表示先前技術及本發明之斷開中之衝擊離子化係數 $\alpha$ 與電場之變化之關係。衝擊離子化較強地取決於電場，於圖3所示之先前技術之情形時，於圖2所示之本實施例之類之第6半導體層(深 $p^+$ 層)306及第7半導體層(深 $n$ 層)307形成之電場集中層pn接面消失，斷開期間 $t1 \sim t2$ 中之電場較低，因此 $t1 \sim t2$ 期間之衝擊離子化係數之變化較大。

#### 【0041】

即，於斷開中，進行衝擊離子化之載子較少。於此種情形時，如圖6所示，即便於因溝槽之尺寸或形狀等之差異而使電場局部略不均等之情形時，亦使衝擊離子化產生差異，從而因電流集中及局部之發熱而使電流流過寄生閘流體( $n^+$ 源極/ $p$ 基極/ $n^-$ 基板/ $p$ 型集極層)發生無法斷開之閃鎖效應，直至熱破壞，使斷開時之遮斷容限降低。

#### 【0042】

由於外周區域晶胞202亦加上來自晶片終止保護環區域102之電洞電流，故而進一步發生電流集中，從而成為降低遮斷容限之要因。

#### 【0043】

於圖7所示之先前之IGBT半導體晶片之情形時，若於IGBT晶胞內於第6半導體層(深 $p^+$ 層)及第7半導體層(深 $n$ 層)形成電場集中pn接面，則斷開期間 $t1 \sim t2$ 中之電場較高，且 $t1 \sim t2$ 期間之衝擊離子化係數之變化較小。

因此，由衝擊離子化所進行之電子注入均等地發生於晶胞間，電洞電流均等地流過IGBT晶胞，從而抑制電流集中。因此，提高斷開時之遮斷容限。

#### 【0044】

然而，由於第7半導體層(深n層)相對於電洞為障壁層，故而具有第7半導體層(深n層)之晶胞係電洞電流不易穿過，由於外周區域晶胞202加上來自晶片終止保護環區域102之電洞電流，故而發生電流集中，進而妨礙提高遮斷容限。

#### 【0045】

因此，於本實施例中，如圖9所示，中心區域晶胞201具有如下效果，即，於第6半導體層(深p<sup>+</sup>層)及第7半導體層(深n層)形成電場集中pn接面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

#### 【0046】

另一方面，外周區域晶胞202具有如下效果，即，藉由設為無第7半導體層(深n層)之構成，可於外周區域晶胞202高效率地抽出自晶片終止保護環區域102相加之電洞電流，因此可抑制外周區域晶胞202之電流集中。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例2]

#### 【0047】

參照圖10，對本發明之實施例2之半導體裝置進行說明。圖10係本實施例之IGBT半導體晶片之剖視圖，相當於實施例1(圖2)之變化例。

#### 【0048】

本實施例之中心區域晶胞201之構成與實施例1(圖2)相同，省略重複之說明。

**【0049】**

另一方面，本實施例之外周區域晶胞202就於發射極接點203與閘極絕緣膜310之間之區域未形成有第3半導體層( $n^+$ 源極層)303之方面，與實施例1(圖2)之構成不同。因此，於發射極接點203與閘極絕緣膜310之間之區域中，層間絕緣膜302與第5半導體層(p基極層)305之表面相接地形成。

**【0050】**

於本實施例中，中心區域晶胞201之構成與實施例1(圖9)相同，可獲得相同之效果。

**【0051】**

另一方面，由於外周區域晶胞202相對於實施例1(圖9)沒有第3半導體層( $n^+$ 源極層)303，故而沒有寄生閘流體( $n^+$ 源極/p基極/ $n^-$ 基板/p型集極層)構造，除了實施例1之效果以外，可進一步防止閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例3]

**【0052】**

參照圖11，對本發明之實施例3之半導體裝置進行說明。圖11係本實施例之IGBT半導體晶片之剖視圖，相當於實施例2(圖10)之變化例。

**【0053】**

本實施例之中心區域晶胞201之構成與實施例2(圖10)相同，省略重複之說明。

**【0054】**

另一方面，本實施例之外周區域晶胞202相對於實施例2(圖10)之外周區域晶胞202，就形成有第2導電型之第7半導體層(深n層)307之方面與實施例2(圖10)之構成不同，該第2導電型之第7半導體層(深n層)307係與第6半導體層(深p<sup>+</sup>層)306之集電極313側表面相接地形成，且雜質濃度高於半導體基板308。

#### 【0055】

於本實施例中，中心區域晶胞201及外周區域晶胞202具有如下效果，即，皆於第6半導體層(深p<sup>+</sup>層)306及第7半導體層(深n層)307形成電場集中pn界面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

#### 【0056】

另一方面，由於外周區域晶胞202與實施例2(圖10)相同，沒有第3半導體層(n<sup>+</sup>源極層)303，故而沒有寄生閘流體(n<sup>+</sup>源極/p基極/n<sup>-</sup>基板/p型集電極層)構造，從而可防止閃鎖效應。

#### 【0057】

又，由於外周區域晶胞202沒有第3半導體層(n<sup>+</sup>源極層)303，故而接通時沒有電子注入，電洞量較中心區域晶胞201少。因此，斷開時之電洞密度亦較低，可防止電流集中及閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例4]

#### 【0058】

參照圖12，對本發明之實施例4之半導體裝置進行說明。圖12係本實施例之IGBT半導體晶片之剖視圖，相當於實施例2(圖10)之變化例。

**【0059】**

本實施例之中心區域晶胞201及外周區域晶胞202之構成與實施例2(圖10)相同，省略重複之說明。

**【0060】**

另一方面，於本實施例中，就於IGBT半導體晶片101之中心區域晶胞201與外周區域晶胞202之平面方向之中間位置配置有中間區域晶胞1201之方面，與實施例2(圖10)之構成不同。

**【0061】**

本實施例之中間區域晶胞1201之構成與實施例3(圖11)之外周區域晶胞202之構成相同。因此，於中間區域晶胞1201中，形成有第2導電型之第7半導體層(深n層)307，該第2導電型之第7半導體層(深n層)307係與第6半導體層(深p<sup>+</sup>層)306之集電極313側表面相接地形成，且雜質濃度高於半導體基板308。又，於發射極接點203與閘極絕緣膜310之間之區域未形成有第3半導體層(n<sup>+</sup>源極層)303。

**【0062】**

於本實施例中，中心區域晶胞201及中間區域晶胞1201具有如下效果，即，皆於第6半導體層(深p<sup>+</sup>層)306及第7半導體層(深n層)307形成電場集中pn接面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

**【0063】**

特別是，具有如下效果，即，由於中間區域晶胞1201沒有第3半導體層(n<sup>+</sup>源極層)303，故而藉由無寄生閘流體(n<sup>+</sup>源極/p基極/n<sup>-</sup>基板/p型集極層)之構造抽出經衝擊離子化之載子，因此減小中心區域晶胞201與外周區

域晶胞202間所產生之載子密度差，抑制局部之電流集中。

#### 【0064】

又，具有如下效果，即，藉由外周區域晶胞202沒有第7半導體層(深n層)307，而成為可高效率地抽出自晶片終止保護環區域102相加之電洞電流之構造，亦可抑制外周區域晶胞202處之電流集中。

#### 【0065】

又，由於中間區域晶胞1201及外周區域晶胞202皆沒有第3半導體層( $n^+$ 源極層)303，故而沒有寄生閘流體( $n^+$ 源極/p基極/ $n^-$ 基板/p型集極層)，從而可防止閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例5]

#### 【0066】

參照圖13，對本發明之實施例5之半導體裝置進行說明。圖13係本實施例之IGBT半導體晶片之剖視圖，相當於實施例4(圖12)之變化例。

#### 【0067】

本實施例之IGBT半導體晶片就於中心區域晶胞201與外周區域晶胞202之平面方向之中間位置配置有中間區域晶胞1201之方面等基本之構成與實施例4(圖12)相同，省略重複之說明。

#### 【0068】

於實施例4(圖12)中，於中心區域晶胞201、外周區域晶胞202、中間區域晶胞1201之所有區域中，閘電極以溝槽構造(溝槽閘204及閘極絕緣膜310)而形成，相對於此，於本實施例(圖13)中，就於中心區域晶胞201、外周區域晶胞202、中間區域晶胞1201之所有區域中，閘電極以側閘構造

(側閘1301、多晶矽(Poly-Si)場板1302、閘極絕緣膜310)而形成之方面，與實施例4(圖12)之構成不同。

#### 【0069】

本實施例之閘電極如圖13所示，包括：溝槽，其形成於發射電極301與半導體基板308之間；閘電極(側閘1301)，其形成於溝槽之內側，介隔絕緣層(層間絕緣膜302)與發射電極301絕緣；及多晶矽場板1302，其形成於溝槽之內側，經由發射極接點203連接於發射電極301。

#### 【0070】

於本實施例中，IGBT晶胞係以側閘構造而形成，反饋電容較小，可進行高切換且低損耗化。

#### 【0071】

又，由中心區域晶胞201及中間區域晶胞1201皆於第6半導體層(深p<sup>+</sup>層)306及第7半導體層(深n層)307形成電場集中pn接面所引起之效果、由外周區域晶胞202沒有第7半導體層(深n層)307所引起之效果、及由中間區域晶胞1201及外周區域晶胞202皆沒有第3半導體層(n<sup>+</sup>源極層)303所引起之效果與實施例4(圖12)相同。

#### 【0072】

再者，本實施例之側閘構造包括下述之實施例6~10，於所有實施例中，可同樣地應用。

[實施例6]

#### 【0073】

參照圖14及圖15，對本發明之實施例6之半導體裝置進行說明。圖14係本實施例之IGBT半導體晶片之晶胞終止區域(圖1A之符號105)之俯視

圖。IGBT之單位晶胞之溝槽閘配置成條紋狀。圖15係本實施例之IGBT半導體晶片之鳥瞰圖。

#### 【0074】

於本實施例中，如圖14所示，於y方向上排列條紋形狀之溝槽閘204，形成外周區域晶胞202。中心區域晶胞201與實施例1(圖2)及實施例5(圖13)為相同構造。

#### 【0075】

外周區域晶胞202形成與實施例1(圖2)及實施例2(圖10)相同之構造。即便於IGBT晶胞配置成條紋狀之情形時，亦具有如下效果，即，如圖15所示，於溝槽之深度方向配置中心區域晶胞201及外周區域晶胞202，故而於第6半導體層(深 $p^+$ 層)306及第7半導體層(深 $n$ 層)307形成電場集中pn界面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

#### 【0076】

又，具有如下效果，即，藉由外周區域晶胞202沒有第7半導體層(深 $n$ 層)307，而成為可高效率地抽出自晶片終止保護環區域102相加之電洞電流之構造，亦可抑制外周區域晶胞202中之電流集中。

#### 【0077】

又，由於外周區域晶胞202沒有第3半導體層( $n^+$ 源極層)303，故而沒有寄生閘流體( $n^+$ 源極/ $p$ 基極/ $n^-$ 基板/ $p$ 型集極層)，從而可防止閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例7]

#### 【0078】



參照圖16，對本發明之實施例7之半導體裝置進行說明。圖16係本實施例之IGBT半導體晶片之鳥瞰圖，相當於實施例6(圖15)之變化例。IGBT之單位晶胞之溝槽間配置成條紋狀。

#### 【0079】

於本實施例中，如圖16所示，於溝槽深度方向上構成與實施例3(圖11)相同之外周區域晶胞202。即便於IGBT晶胞配置成條紋狀之情形時，亦具有如下效果，即，中心區域晶胞201及外周區域晶胞202皆於第6半導體層(深 $p^+$ 層)306及第7半導體層(深 $n$ 層)307形成電場集中pn界面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

#### 【0080】

另一方面，由於外周區域晶胞202與實施例3(圖11)相同，沒有第3半導體層( $n^+$ 源極層)303，故而沒有寄生閘流體( $n^+$ 源極/p基極/ $n^-$ 基板/p型集極層)構造，從而可防止閃鎖效應。

#### 【0081】

又，由於外周區域晶胞202沒有第3半導體層( $n^+$ 源極層)303，故而接通時無電子注入，電洞量較中心區域晶胞201變少。因此，斷開時之電洞密度亦較低，可防止電流集中及閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例8]

#### 【0082】

參照圖17，對本發明之實施例8之半導體裝置進行說明。圖17係本實施例之IGBT半導體晶片之鳥瞰圖，相當於實施例7(圖16)之變化例。

IGBT之單位晶胞之溝槽閘配置成條紋狀。

**【0083】**

即便於IGBT晶胞配置成條紋狀之情形時，亦與實施例4(圖12)相同，具有如下效果，即，中心區域晶胞201及中間區域晶胞1201於深度方向皆於第6半導體層(深 $p^+$ 層)306及第7半導體層(深 $n$ 層)307形成電場集中pn界面，使由衝擊離子化所致之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

**【0084】**

特別是，具有如下效果，即，由於中間區域晶胞1201沒有第3半導體層( $n^+$ 源極層)303，是以無寄生閘流體( $n^+$ 源極/p基極/ $n^-$ 基板/p型集極層)之構造抽出經衝擊離子化之載子，因此緩和中心區域晶胞201與外周區域晶胞202間產生之載子密度差，抑制局部電流集中。

**【0085】**

又，具有如下效果，即，因外周區域晶胞202沒有第7半導體層(深 $n$ 層)307，成為可高效率地抽出自晶片終止保護環區域102相加之電洞電流之構造，亦可抑制電流集中在外周區域晶胞202。

**【0086】**

又，由於中間區域晶胞1201及外周區域晶胞202皆沒有第3半導體層( $n^+$ 源極層)303，故無寄生閘流體( $n^+$ 源極/p基極/ $n^-$ 基板/p型集極層)，從而可防止閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

[實施例9]

**【0087】**

參照圖18及圖19，對本發明之實施例9之半導體裝置進行說明。圖18

係本實施例之IGBT半導體晶片之晶胞終止區域(圖1A之符號105)之俯視圖。IGBT之單位晶胞之溝槽閘配置成條紋狀。圖19係本實施例之IGBT半導體晶片之鳥瞰圖。

#### 【0088】

即便IGBT為條紋形狀之配置，亦具有如下效果，即，於y方向、x方向上皆配置中心區域晶胞201及外周區域晶胞202，於中心區域晶胞201中，於第6半導體層(深p<sup>+</sup>層)306及第7半導體層(深n層)307形成電場集中pn界面，使由衝擊離子化所進行之電子注入均等地發生於晶胞間，使電洞電流均等化，從而可提高遮斷容限。

#### 【0089】

另一方面，具有如下效果，即，藉由於外周區域晶胞202中沒有第7半導體層(深n層)307，而成為可高效率地抽出自晶片終止保護環區域102相加之電洞電流之構造，亦可抑制外周區域晶胞202中之電流集中。

#### 【0090】

又，由於外周區域晶胞202沒有第3半導體層(n<sup>+</sup>源極層)303，故而沒有寄生閘流體(n<sup>+</sup>源極/p基極/n<sup>-</sup>基板/p型集極層)，從而可防止閃鎖效應。藉此，可提供一種遮斷容限優異之IGBT半導體晶片。

#### [實施例10]

#### 【0091】

參照圖20，對將本發明之半導體裝置應用於電力轉換裝置之實施形態之一例進行說明。圖20係表示採用本發明之實施例1~9之半導體裝置作為構成要素之電力轉換裝置600之電路方塊圖。圖20表示本實施例之電力轉換裝置600之電路構成、及直流電源與三相交流馬達(交流負載)之連

接之關係。

#### 【0092】

於本實施例之電力轉換裝置600中，使用實施例1~9之半導體裝置作為電力切換元件601~606。電力切換元件601~606例如為IGBT。

#### 【0093】

如圖20所示，本實施例之電力轉換裝置600具備：P端子631、N端子632，其等係一對直流端子；及U端子633、V端子634、W端子635，其等係數量與交流輸出之相數相同之交流端子。

#### 【0094】

具備如下切換支腳，該切換支腳包含一對電力切換元件601及602之串聯連接，且將連接於其等之串聯連接點之U端子633作為輸出。又，具備如下切換支腳，該切換支腳包含與其等相同構成之電力切換元件603及604之串聯連接，且將連接於其等之串聯連接點之V端子634作為輸出切換支腳。又，具備如下切換支腳，該切換支腳包含與其等相同構成之電力切換元件605及606之串聯連接，且將連接於其等之串聯連接點之W端635作為輸出。

#### 【0095】

包含電力切換元件601~606之三相分之切換支腳連接於P端子631、N端子632之直流端子間，由未圖示之直流電源供給直流電力。電力轉換裝置600之三相之交流端子即U端子633、V端子634、W端子635作為三相交流電源連接於未圖示之三相交流馬達。

#### 【0096】

於電力切換元件601~606分別反向平行地連接有二極體621~626。

於包含IGBT之電力切換元件601～606之各個閘極輸入端子連接有閘極驅動電路611～616，藉由各閘極驅動電路611～616驅動控制。

#### 【0097】

即，本實施例之電力轉換裝置600係自外部輸入直流電力，將所輸入之直流電力轉換成交流電力進行輸出者，且具備：一對直流端子631、632，其用於輸入直流電力；及交流端子633～635，其等係用於輸出交流電力之交流端子，且數量與該交流電力之交流之相數相同；且具有如下構成：對於有相數之交流端子633～635之各者，於一對直流端子631、632之一個端子(P端子631)與另一端子(N端子632)之間連接有如下構成的串聯電路(例如電力切換元件601與二極體621之並聯電路、和電力切換元件602與二極體622之並聯電路的串聯電路)，該串聯電路係將切換元件(例如電力切換元件601)及與該切換元件為相反極性之二極體(例如二極體621)相互並聯連接而成的並聯電路(例如電力切換元件601與二極體621的並聯電路)串聯連接2個所得，且構成該串聯電路之2個並聯電路之相互連接點連接於與該串聯電路相對應之相(例如U相)之交流端子(例如U端子633)。

#### 【0098】

根據上述之各實施例1～9所說明之IGBT半導體晶片101，可抑制由IGBT晶胞間之電場差異所導致的局部之電流、電場集中或晶片終止部處之電流集中，該IGBT晶胞間之電場差異係由製造時之形狀差異或雜質差異所引起，從而可提高遮斷容限。

#### 【0099】

因此，藉由各實施例1～9之IGBT半導體晶片101，可進行IGBT晶片之高電流密度化，從而可實現搭載其之電力轉換裝置之小型化。

**【0100】**

再者，本發明並不限定於上述實施形態，包含各種變化例。例如上述實施形態係為了容易理解地說明本發明而詳細地進行說明者，並不限定於具備所說明之所有構成者。可將一實施形態之構成之一部分取代成其他實施形態之構成，亦可於一實施形態之構成添加其他實施形態之構成。又，對於各實施形態之構成之一部分，亦可進行其他構成之添加、刪除、取代。

**【符號說明】****【0101】**

- 101:IGBT半導體晶片
- 102:晶片終止保護環區域
- 103:晶胞區域
- 104:閘電極PAD
- 105:晶胞終止區域
- 201:中心區域晶胞
- 202:外周區域晶胞
- 203:發射極接點
- 204:溝槽閘
- 301:發射電極
- 302:層間絕緣膜
- 303:第3半導體層(n<sup>+</sup>源極層)
- 304:第4半導體層(淺p<sup>+</sup>層)
- 305:第5半導體層(p基極層)

- 306:第6半導體層(深p<sup>+</sup>層)
- 307:第7半導體層(深n層)
- 308:半導體基板(n<sup>-</sup>半導體基板)
- 310:閘極絕緣膜
- 311:第2半導體層(n型緩衝層)
- 312:第1半導體層(p型集極層)
- 313:集電極
- 501:溝槽
- 502:接觸孔
- 503:抗蝕劑
- 600:電力轉換裝置
- 601:電力切換元件
- 602:電力切換元件
- 603:電力切換元件
- 604:電力切換元件
- 605:電力切換元件
- 606:電力切換元件
- 611:閘極驅動電路
- 612:閘極驅動電路
- 613:閘極驅動電路
- 614:閘極驅動電路
- 615:閘極驅動電路
- 616:閘極驅動電路

621:二極體

622:二極體

623:二極體

624:二極體

625:二極體

626:二極體

631:直流端子

632:直流端子

633:交流端子

634:交流端子

635:交流端子

1201:中間區域晶胞

1301:側閘

1302:多晶矽場板



## 【發明申請專利範圍】

### 【請求項1】

一種半導體裝置，其特徵在於具備：

發射電極，其介隔層間絕緣膜而形成於半導體基板之表面上；

集電極，其形成於上述半導體基板之背面上；

第1導電型之第1半導體層，其與上述集電極相接，且形成於上述半導體基板之背面；

第2導電型之第2半導體層，其形成於較上述第1半導體層更內側；

中心區域晶胞，其沿著上述半導體基板之表面配置；及

外周區域晶胞，其於上述半導體基板之平面方向上，位於較上述中心區域晶胞為外側，且配置於上述中心區域晶胞與晶片終止保護環區域之間；且

上述中心區域晶胞包含：溝槽，其形成於上述發射電極與上述半導體基板之間；

閘電極，其介隔閘極絕緣膜而形成於上述溝槽之內側，且介隔上述層間絕緣膜與上述發射電極絕緣；

第2導電型之第3半導體層，其與上述閘極絕緣膜相接地形成，且雜質濃度高於上述半導體基板；

第1導電型之第4半導體層，其經由發射極接點與上述發射電極之上述半導體基板側相接地形成，且雜質濃度高於上述第1半導體層；

第1導電型之第5半導體層，其與上述閘極絕緣膜相接，形成於上述第2半導體層之上述半導體基板側，且雜質濃度低於上述第4半導體層；

第1導電型之第6半導體層，其與上述第4半導體層之上述半導體基板

側之表面相接，且較上述第5半導體層更向上述半導體基板側突出地形成，並且載子濃度低於上述第4半導體層；及

第2導電型之第7半導體層，其與上述第6半導體層之上上述集電極側表面相接地形成，且雜質濃度高於上述半導體基板；且

上述外周區域晶胞具有上述溝槽、上述閘電極、上述第4半導體層、上述第5半導體層、及上述第6半導體層，且

上述外周區域晶胞不具有上述第3半導體層與上述第7半導體層中之至少一者。

#### 【請求項2】

如請求項1之半導體裝置，其中上述外周區域晶胞具有第2導電型之第3半導體層，該第2導電型之第3半導體層與上述閘極絕緣膜相接地形成，且雜質濃度高於上述半導體基板。

#### 【請求項3】

如請求項1之半導體裝置，其中上述外周區域晶胞具有第2導電型之第7半導體層，該第2導電型之第7半導體層與上述第6半導體層之上上述集電極側表面相接地形成，且雜質濃度高於上述半導體基板、低於上述第2半導體層。

#### 【請求項4】

如請求項1之半導體裝置，其於上述半導體基板之平面方向上，於上述中心區域晶胞與上述外周區域晶胞之間具備中間區域晶胞，且

上述中間區域晶胞具有上述溝槽、上述閘電極、上述第4半導體層、上述第5半導體層、上述第6半導體層、及上述第7半導體層，並且不具有上述第3半導體層。

**【請求項5】**

如請求項1至4中任一項之半導體裝置，其中上述閘電極係於上述溝槽之內側沿著上述溝槽之形狀形成之溝槽式閘電極。

**【請求項6】**

如請求項1至4中任一項之半導體裝置，其中上述閘電極係於上述溝槽之內側沿著上述溝槽之側壁形成之側壁形狀之側閘電極，且

進而具備於上述溝槽之內側經由發射極接點而連接於上述發射電極之多晶矽場板。

**【請求項7】**

如請求項1至4中任一項之半導體裝置，其中上述閘電極於上述半導體基板之平面方向上配置成條紋狀。

**【請求項8】**

一種電力轉換裝置，其特徵在於其係具備：

一對直流端子；

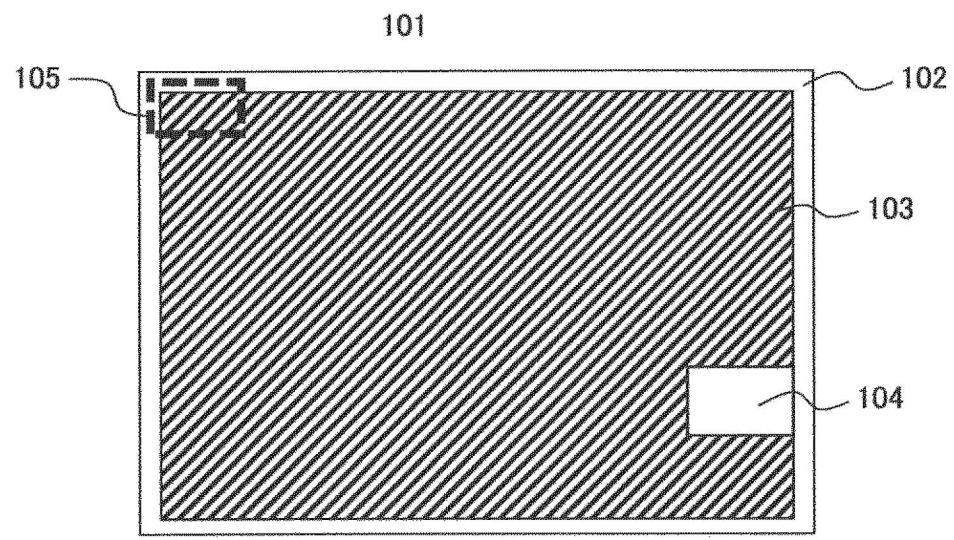
交流端子，其數量與交流之相數相同；及

切換支腳，其連接於上述一對直流端子間，且將2個與切換元件為相反極性之二極體之並聯電路串聯連接；且

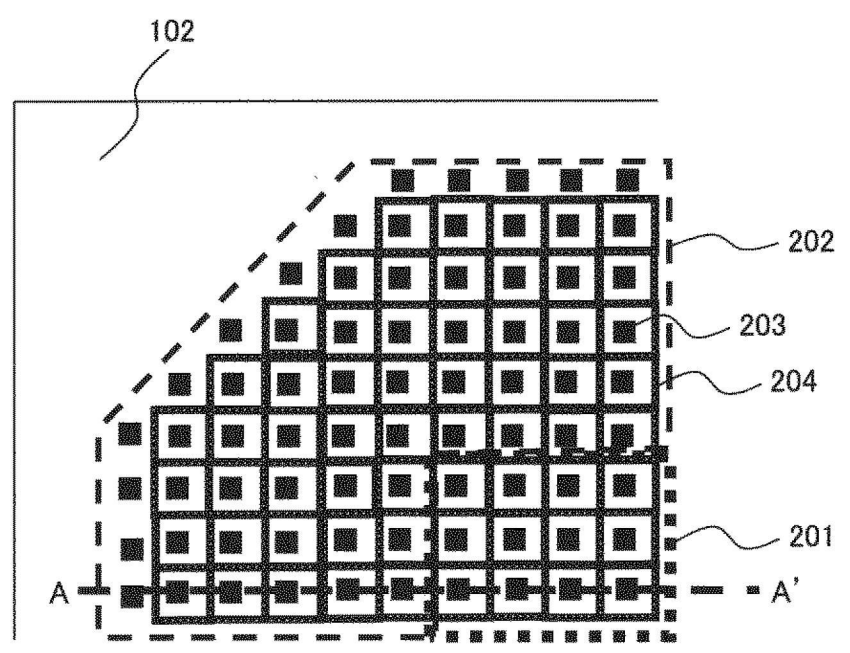
上述並聯電路之相互連接點構成連接於不同的交流端子且數量與交流之相數相同之電力轉換單元，且

上述切換元件為如請求項1至7中任一項之半導體裝置。

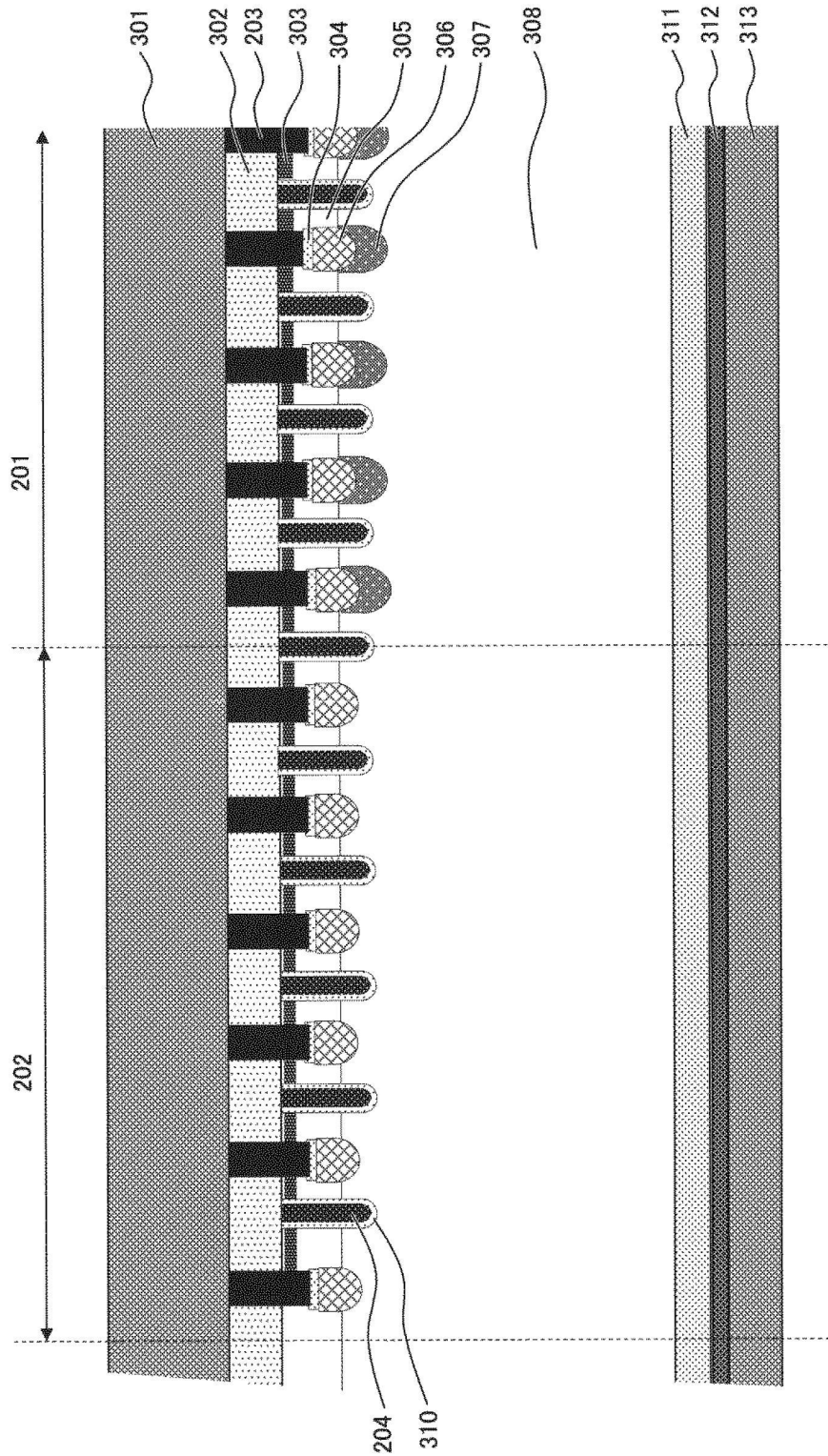
【發明圖式】



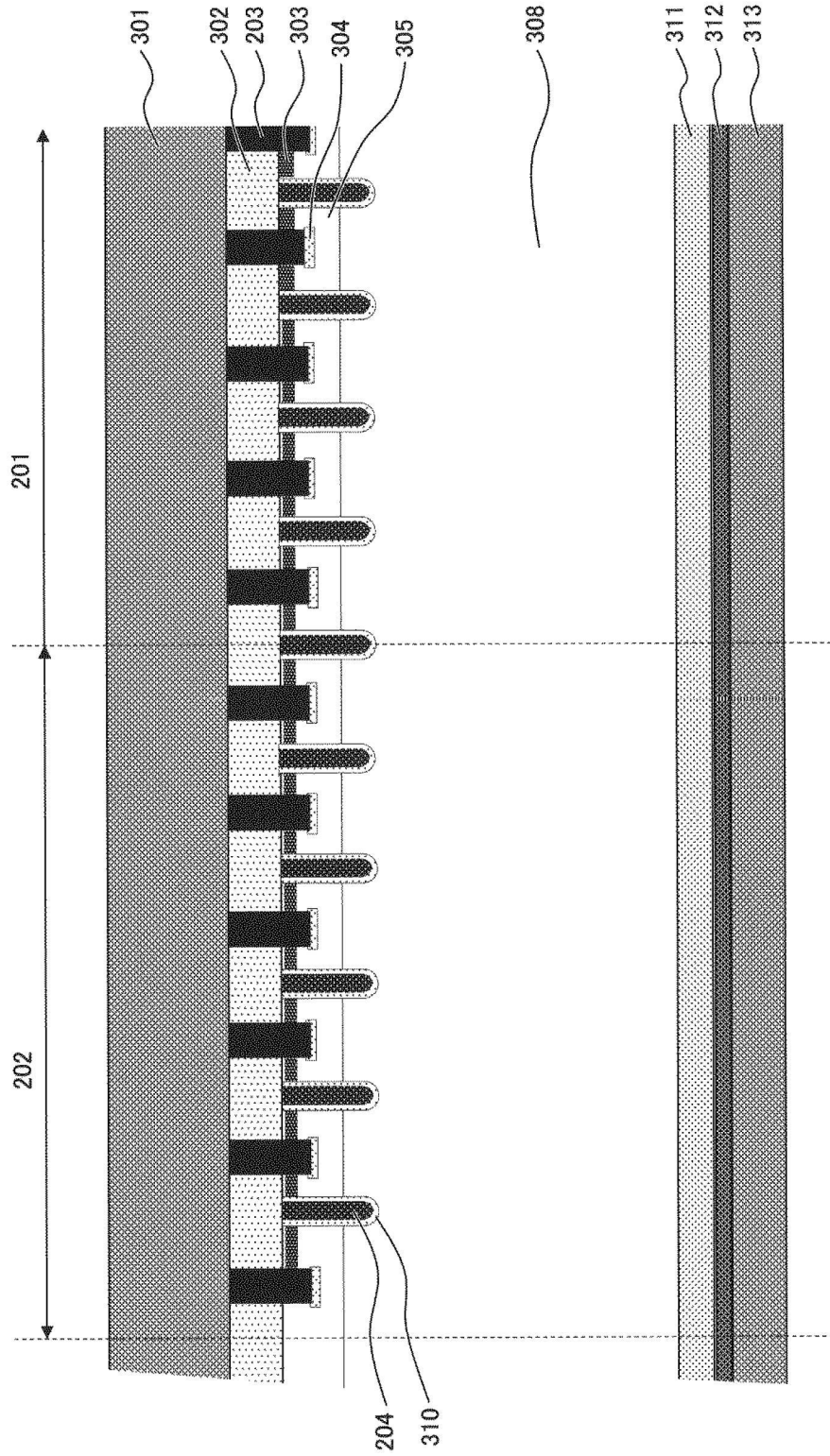
【圖1A】



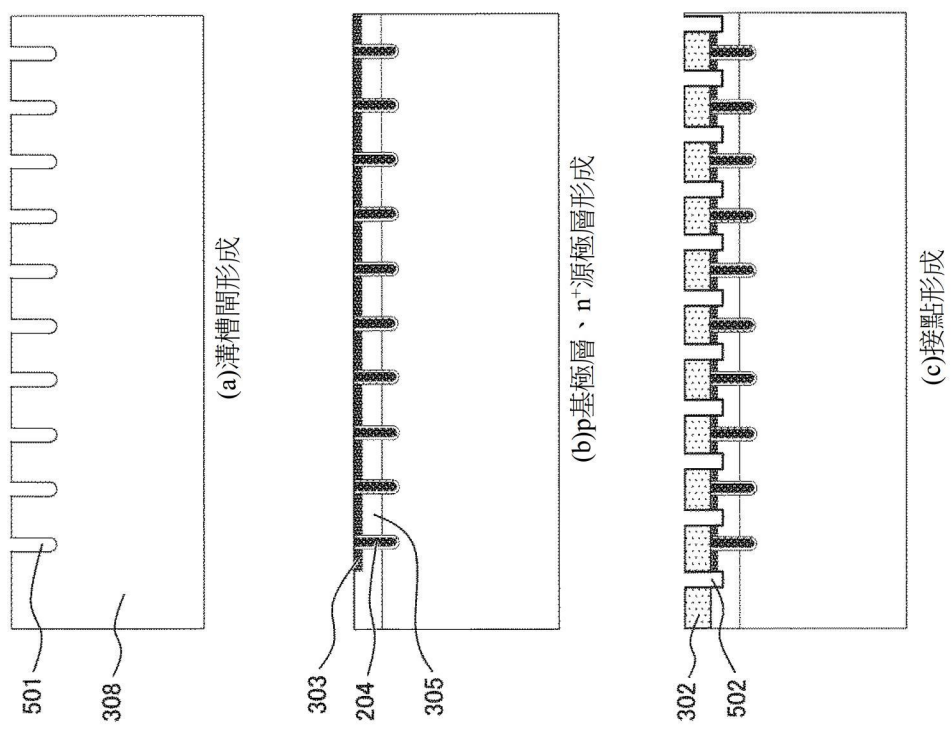
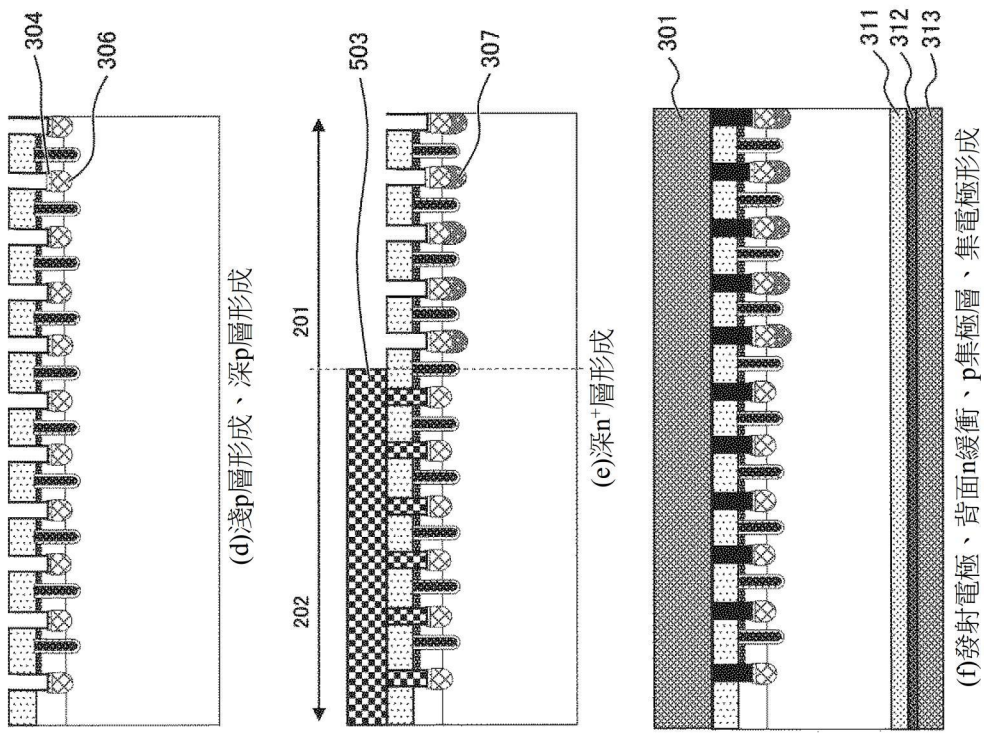
【圖1B】



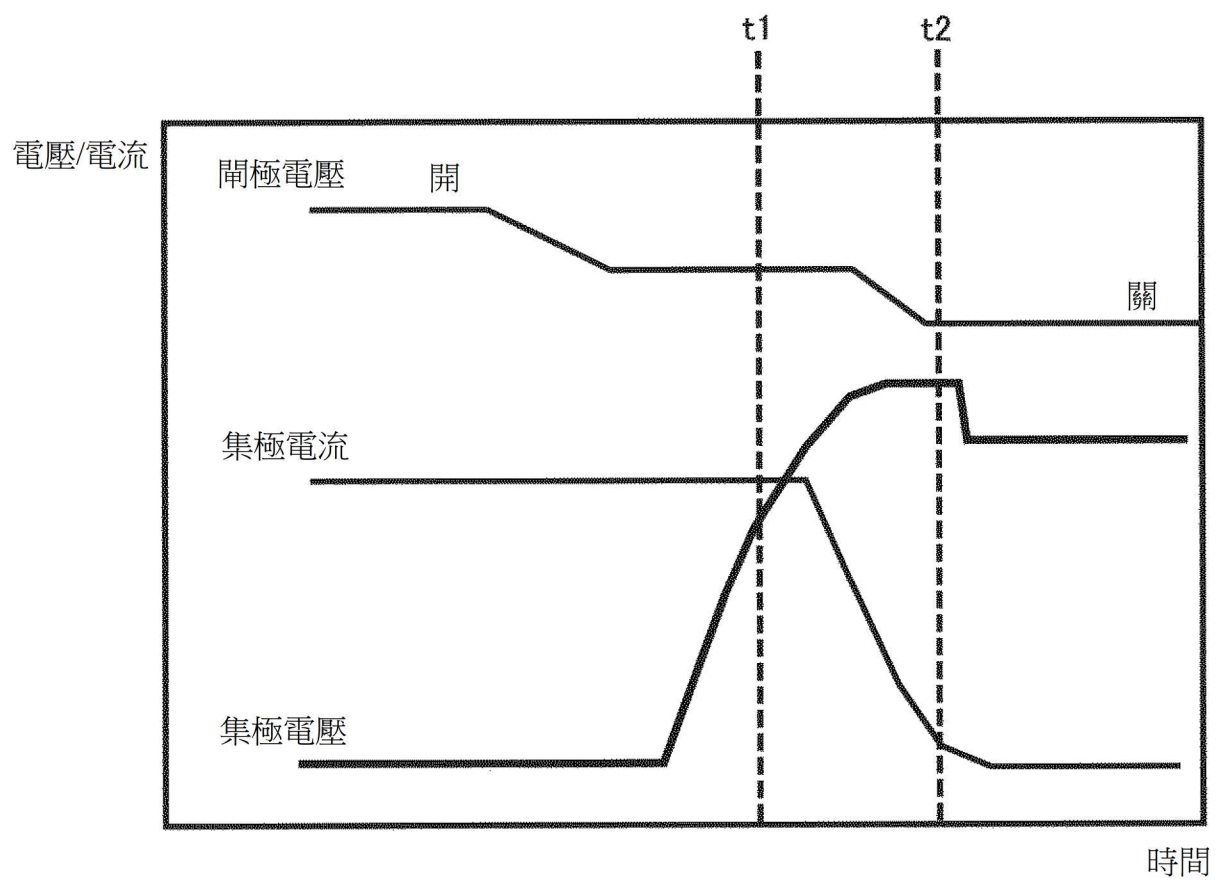
【圖2】



【圖3】

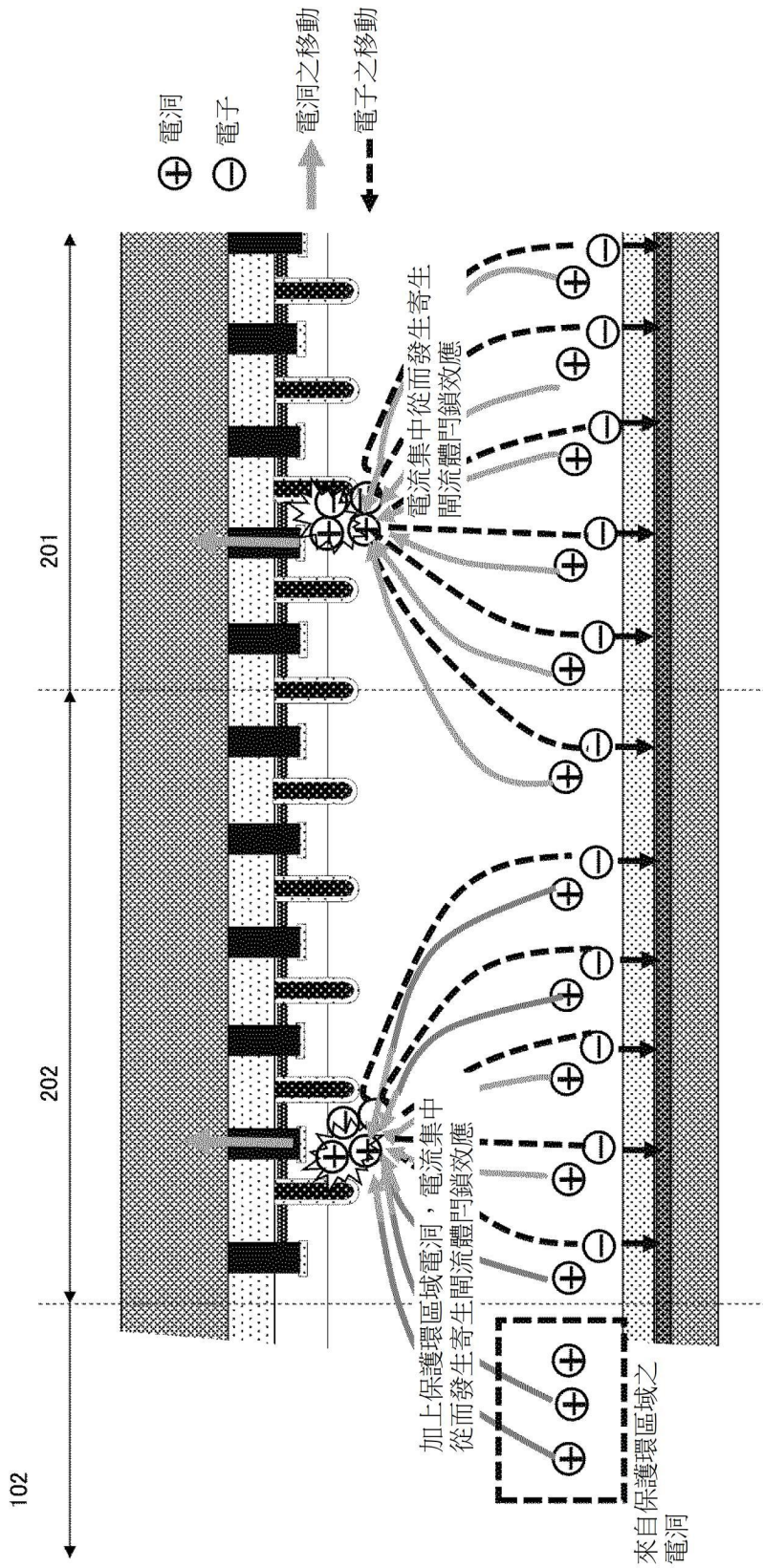


【圖4】

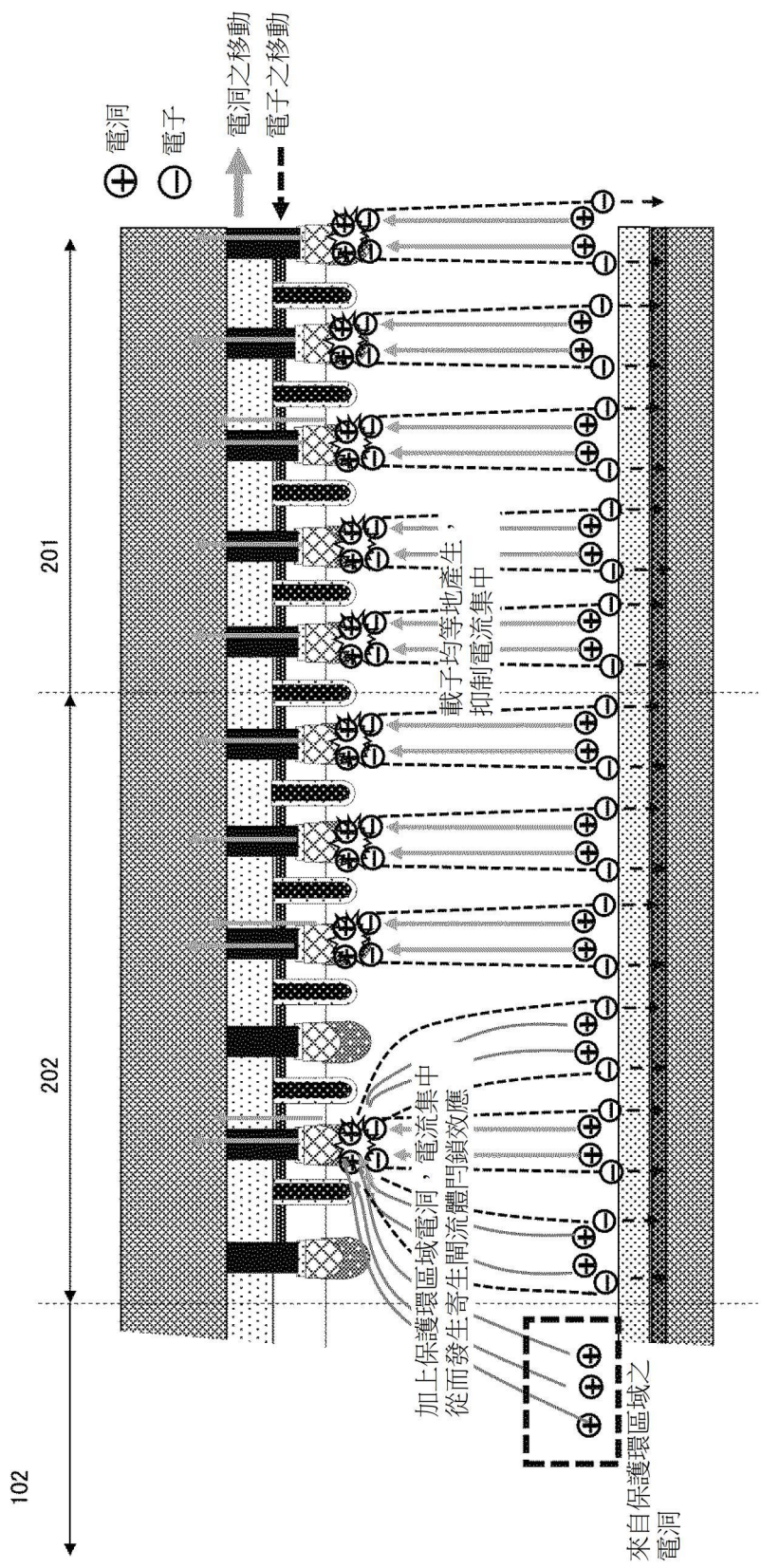


【圖5】

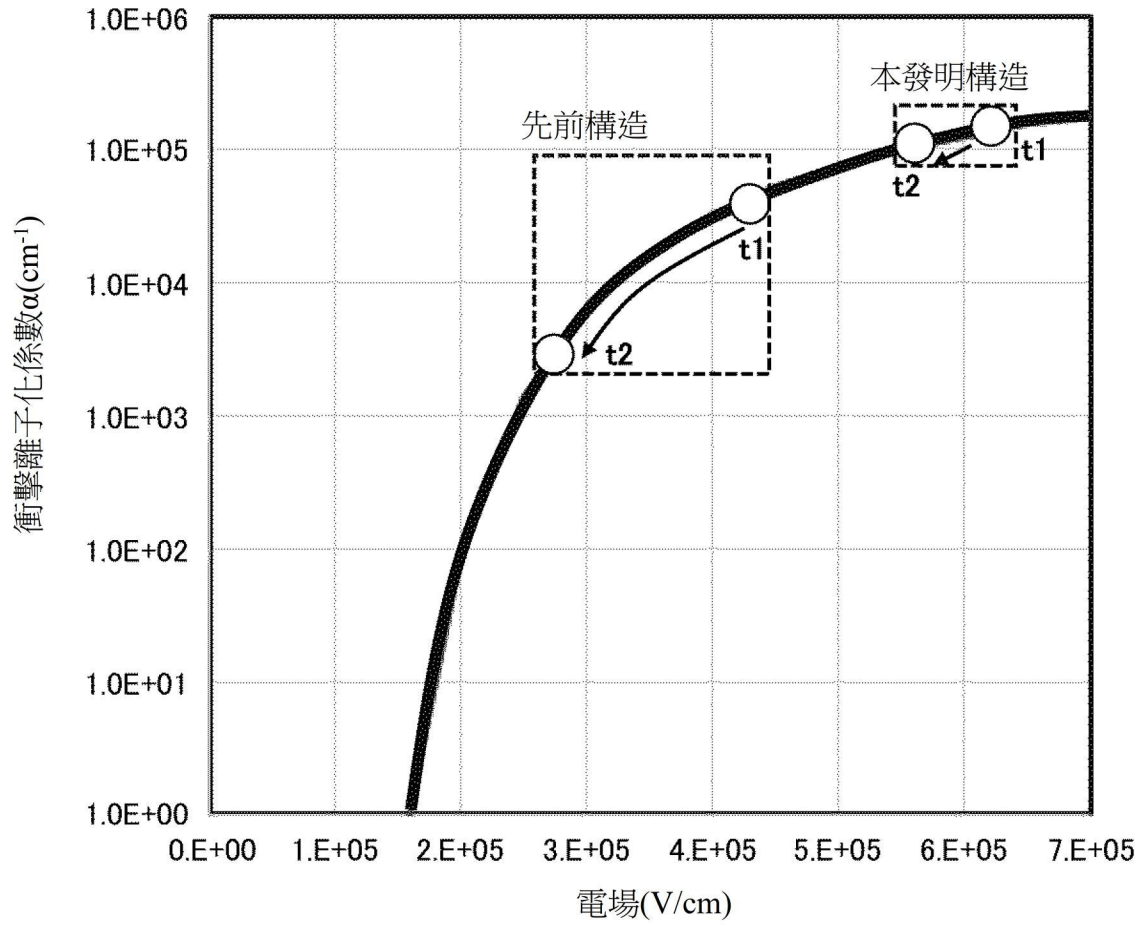




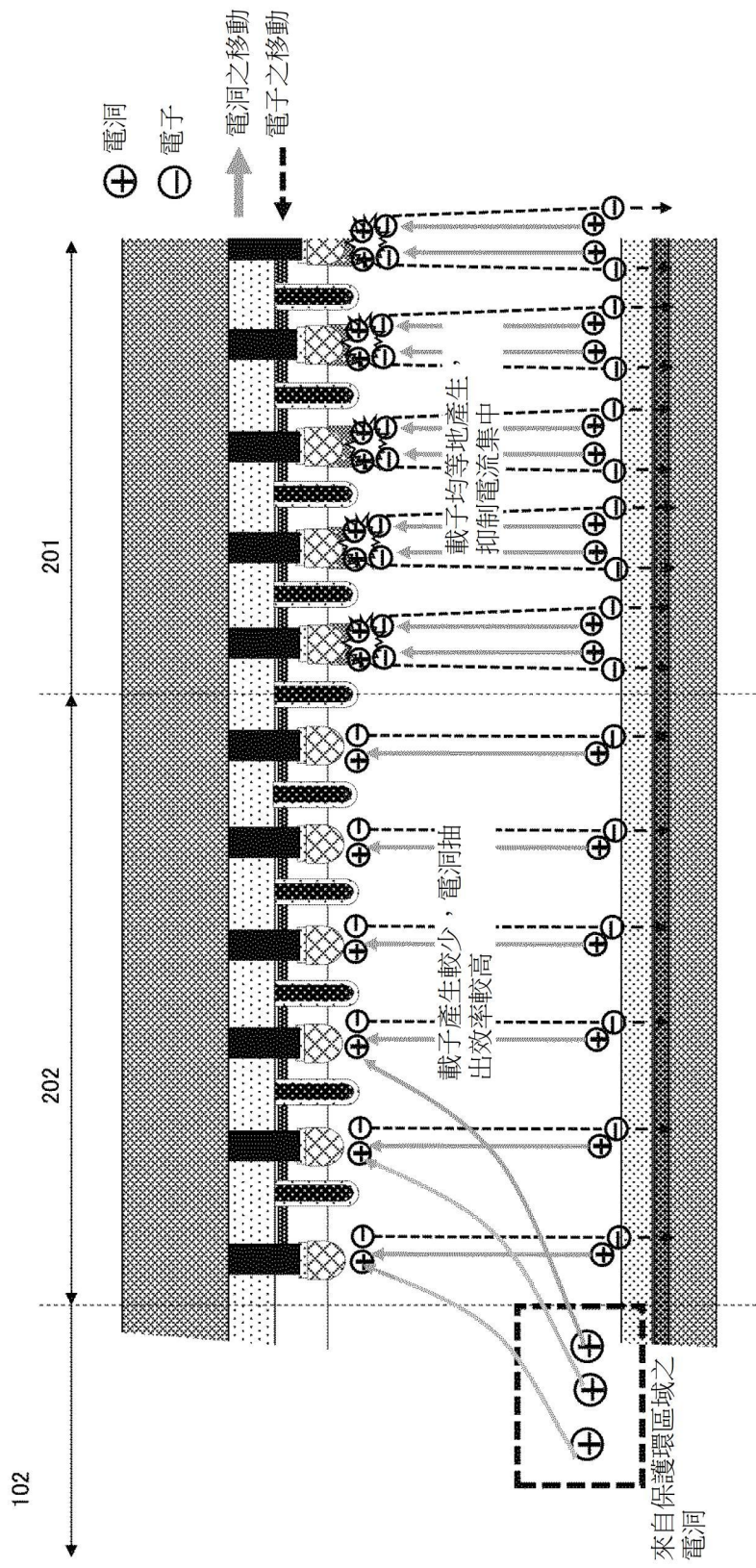
【圖6】



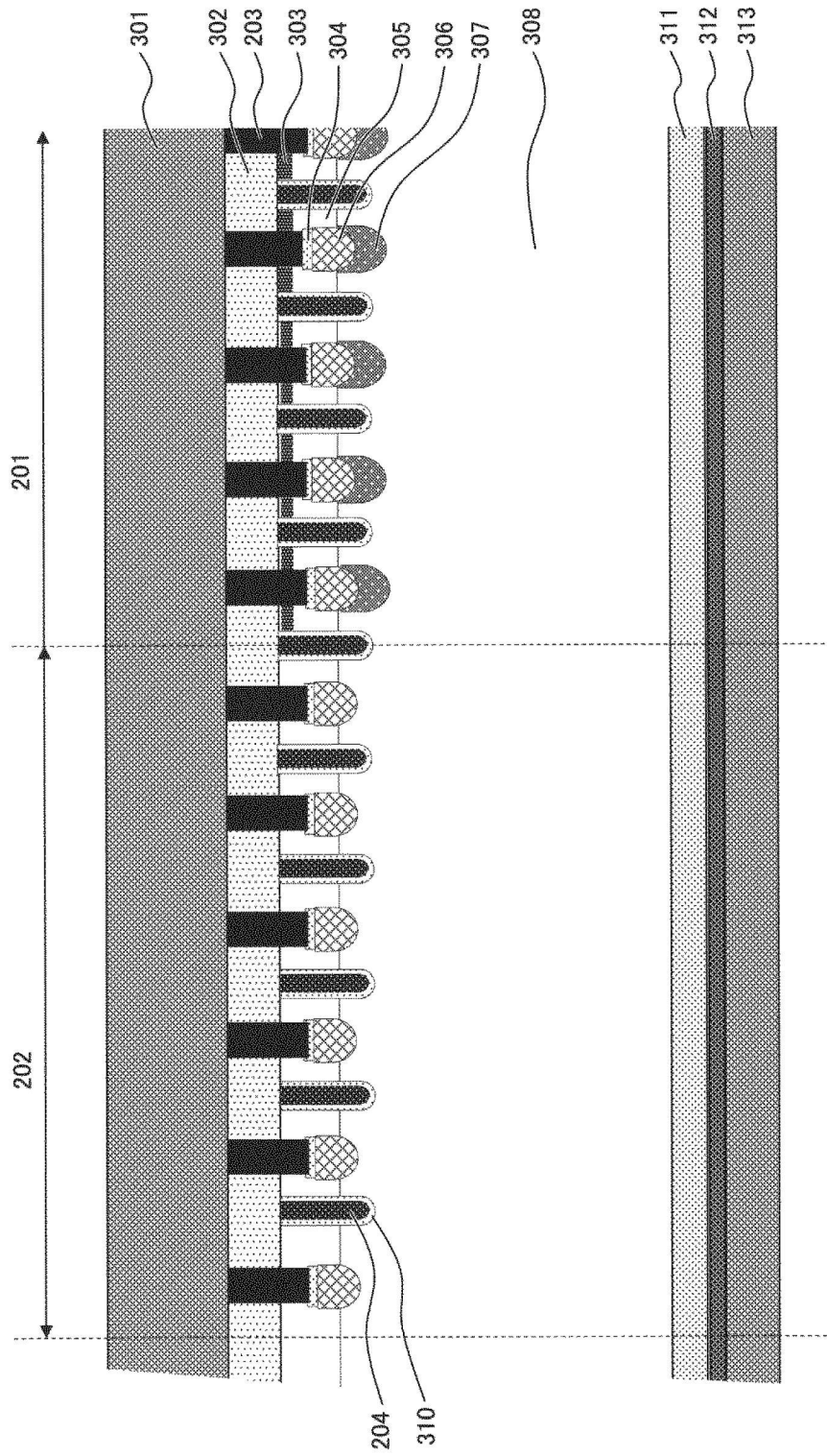
【圖7】



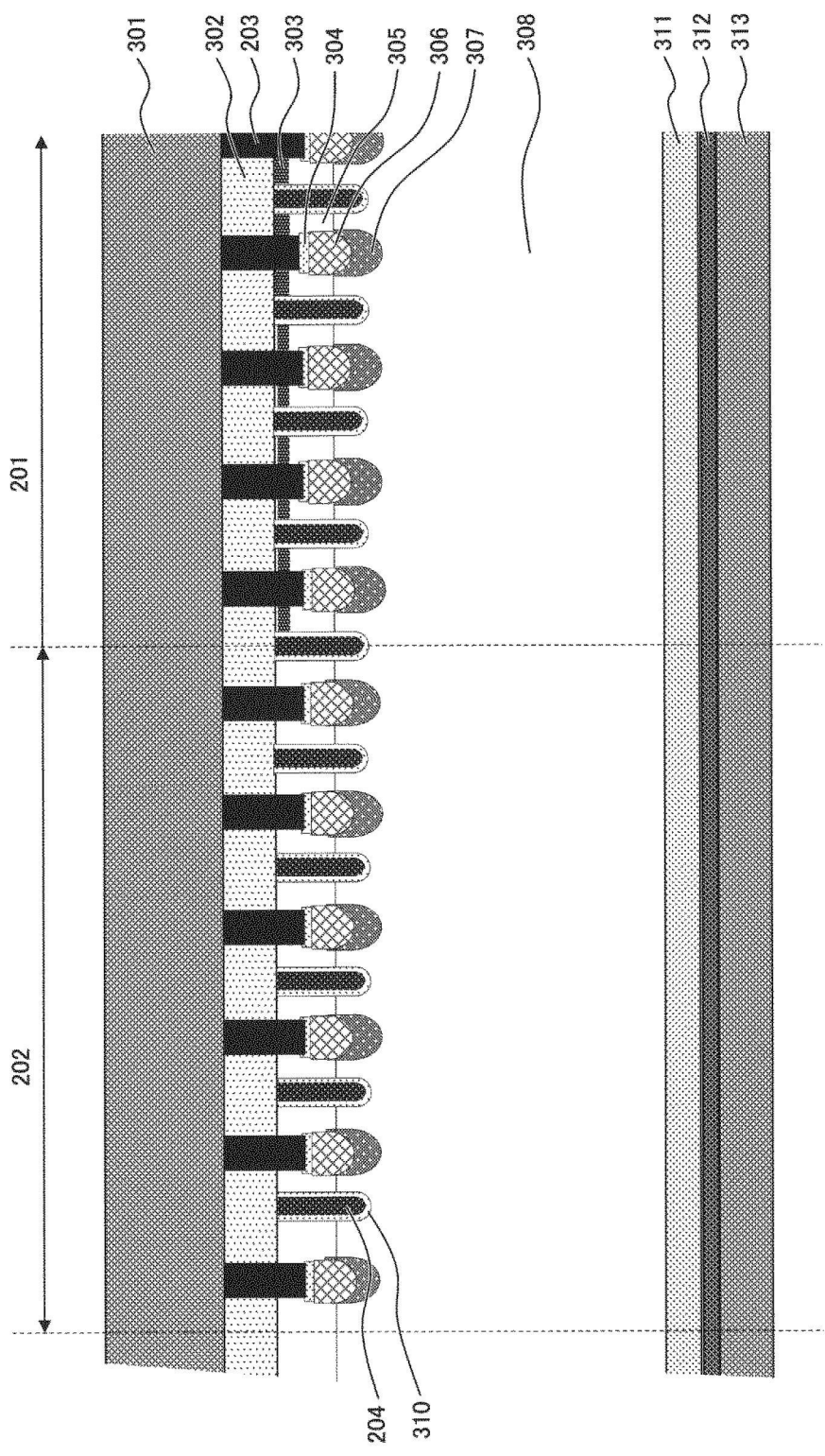
【圖8】



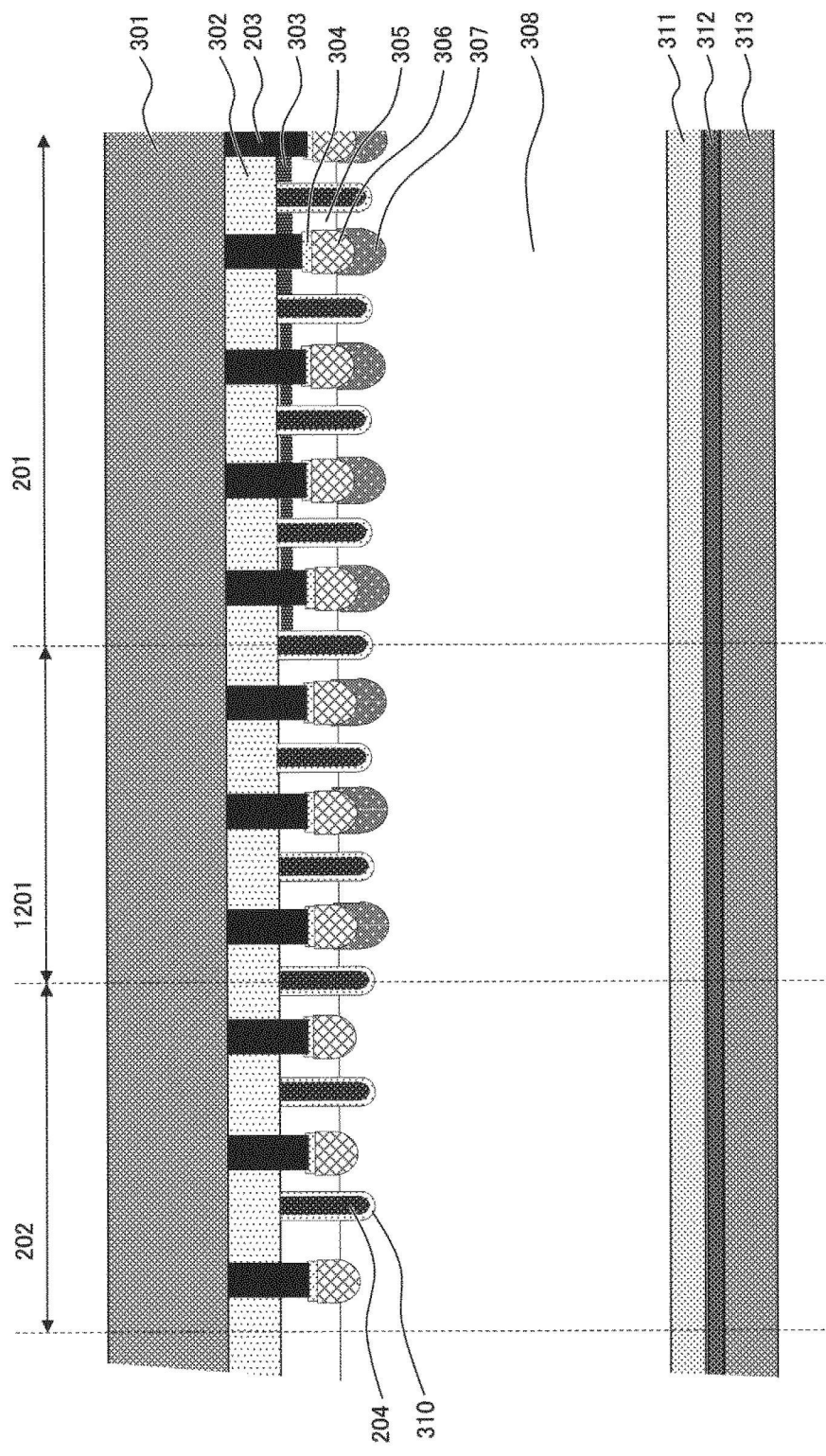
【圖9】



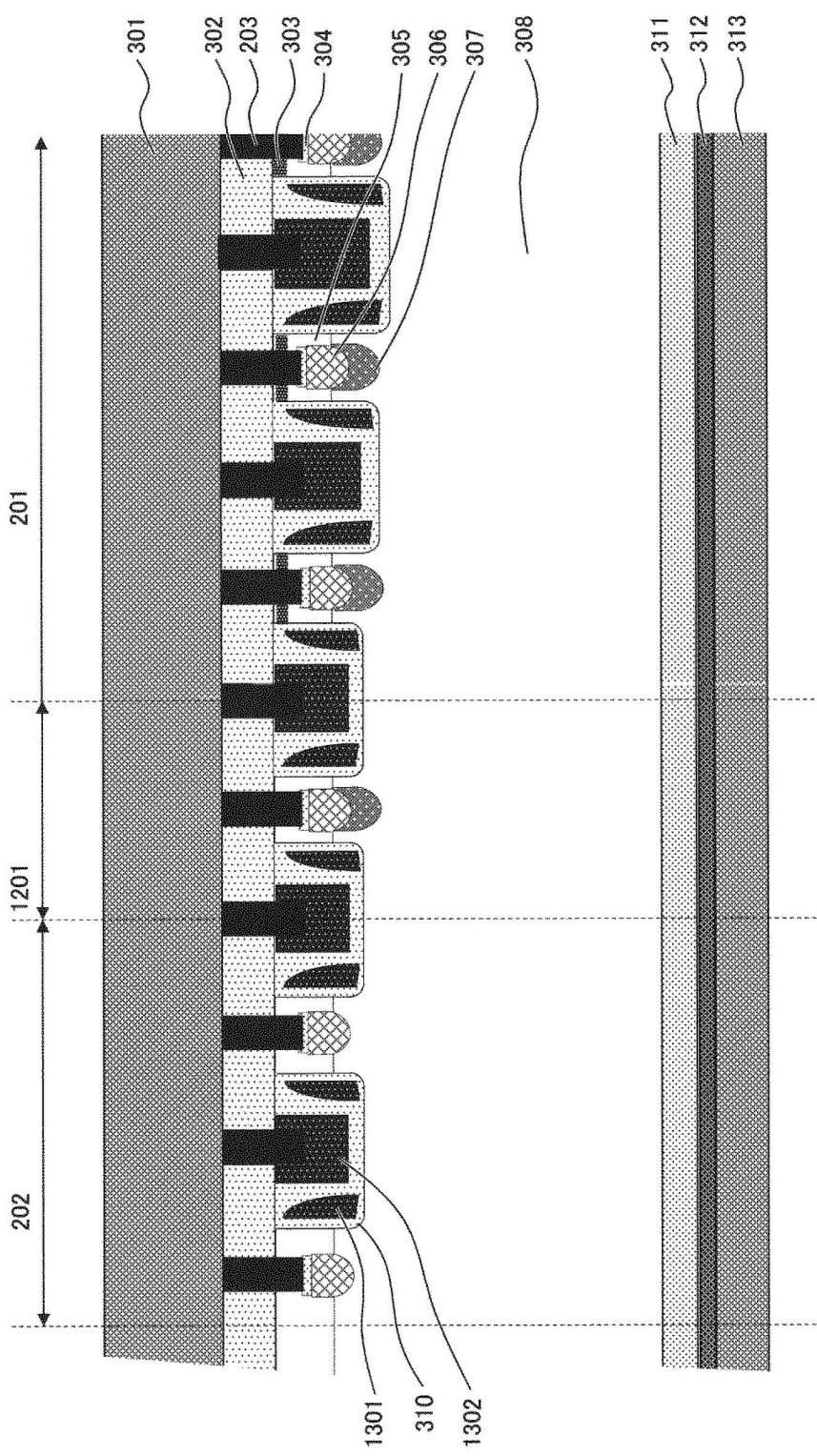
【圖10】



【圖11】

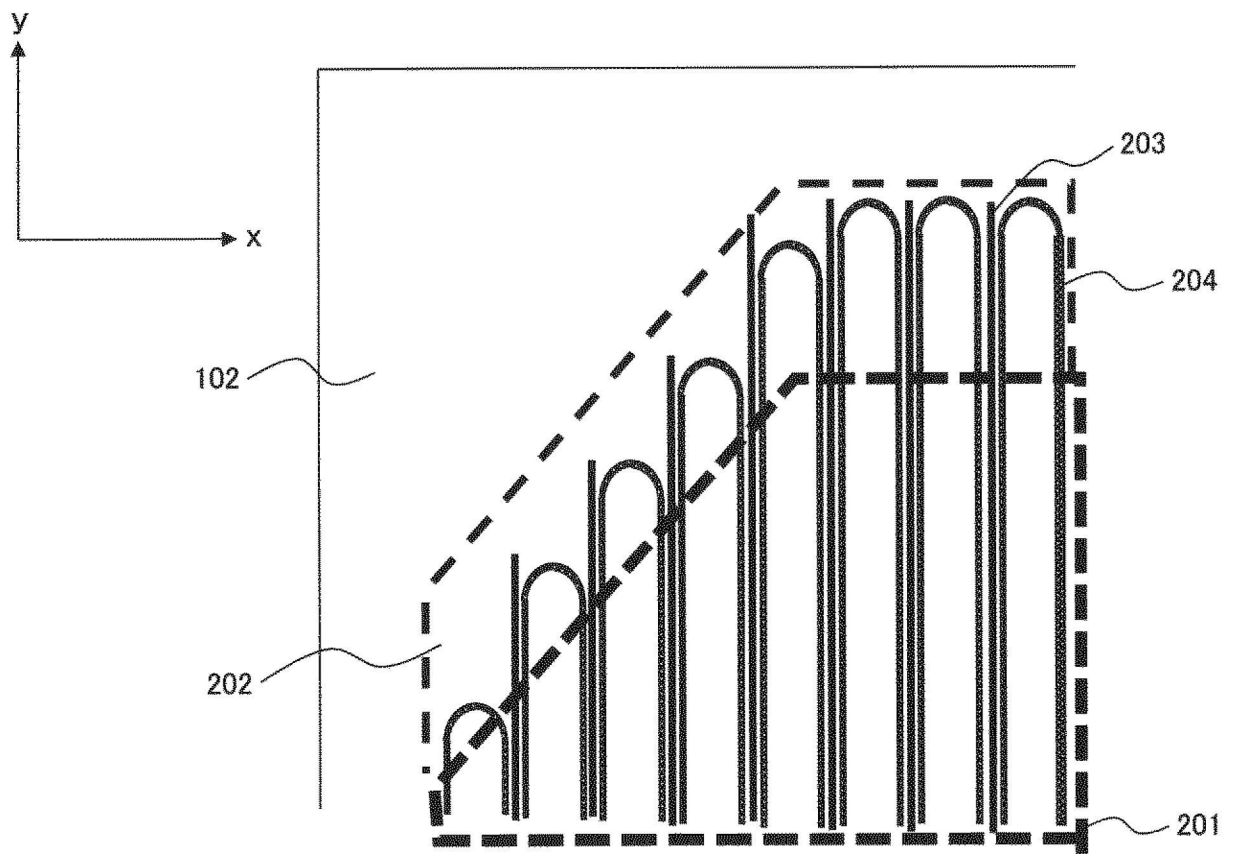


【圖12】

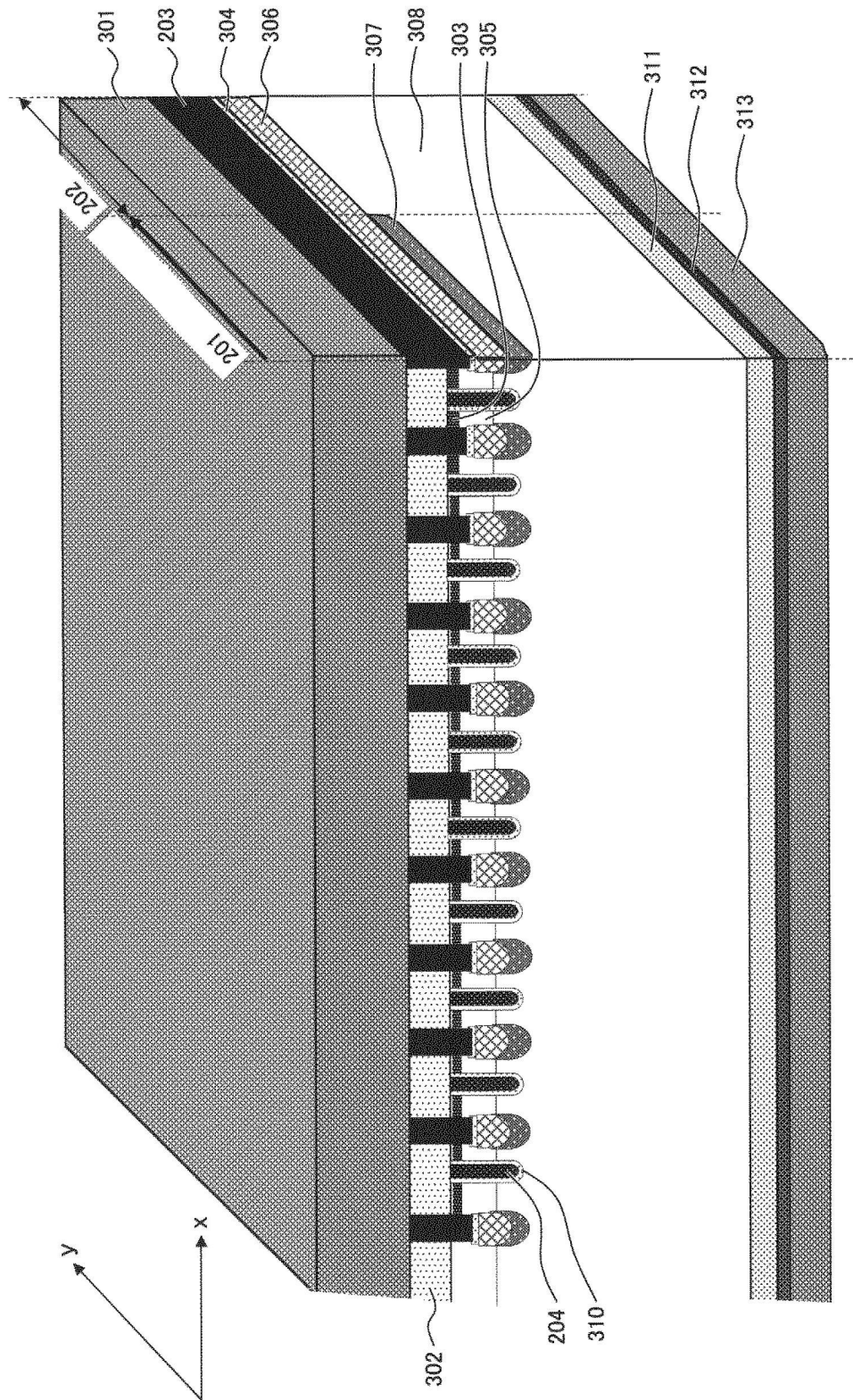


【圖13】

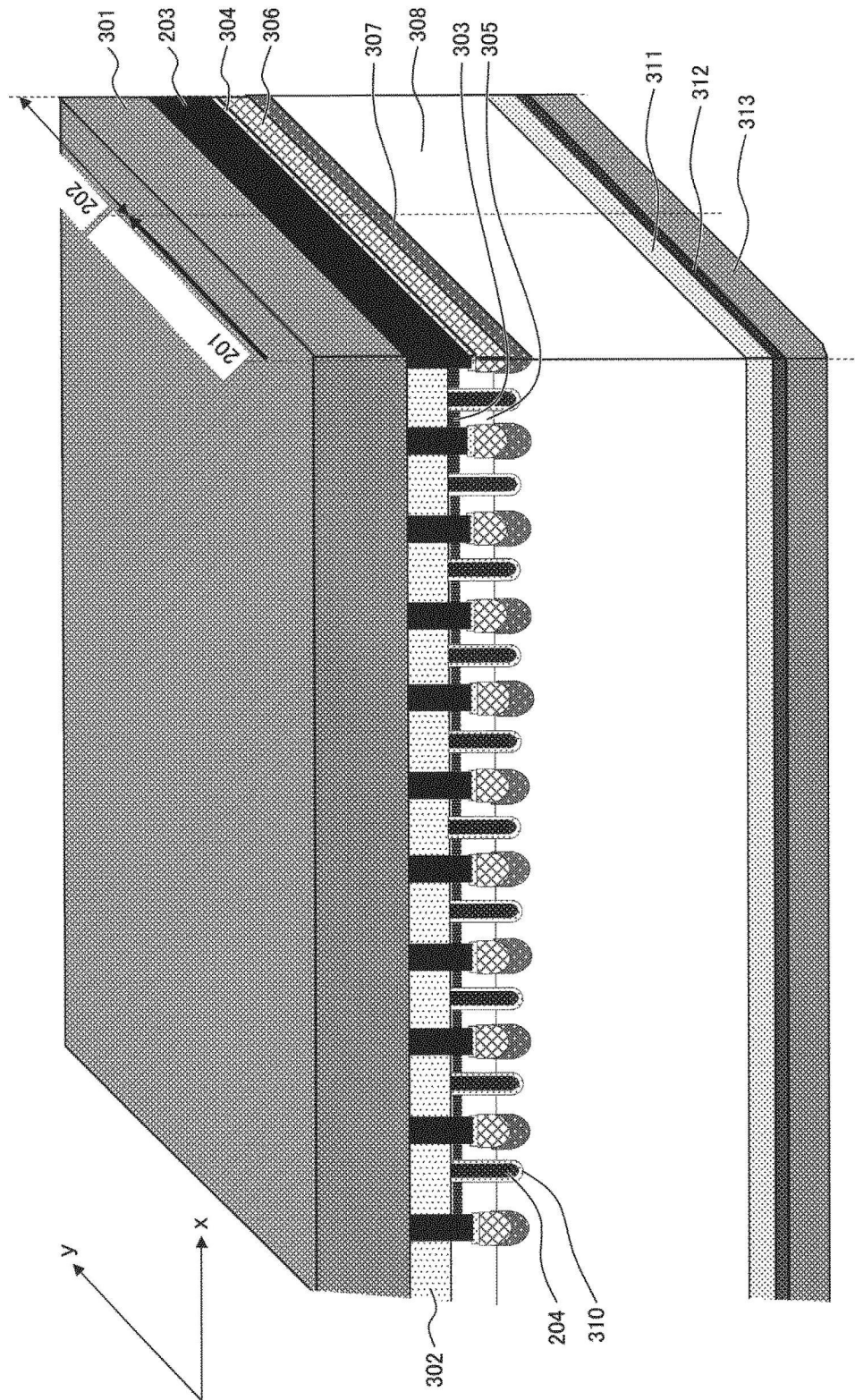




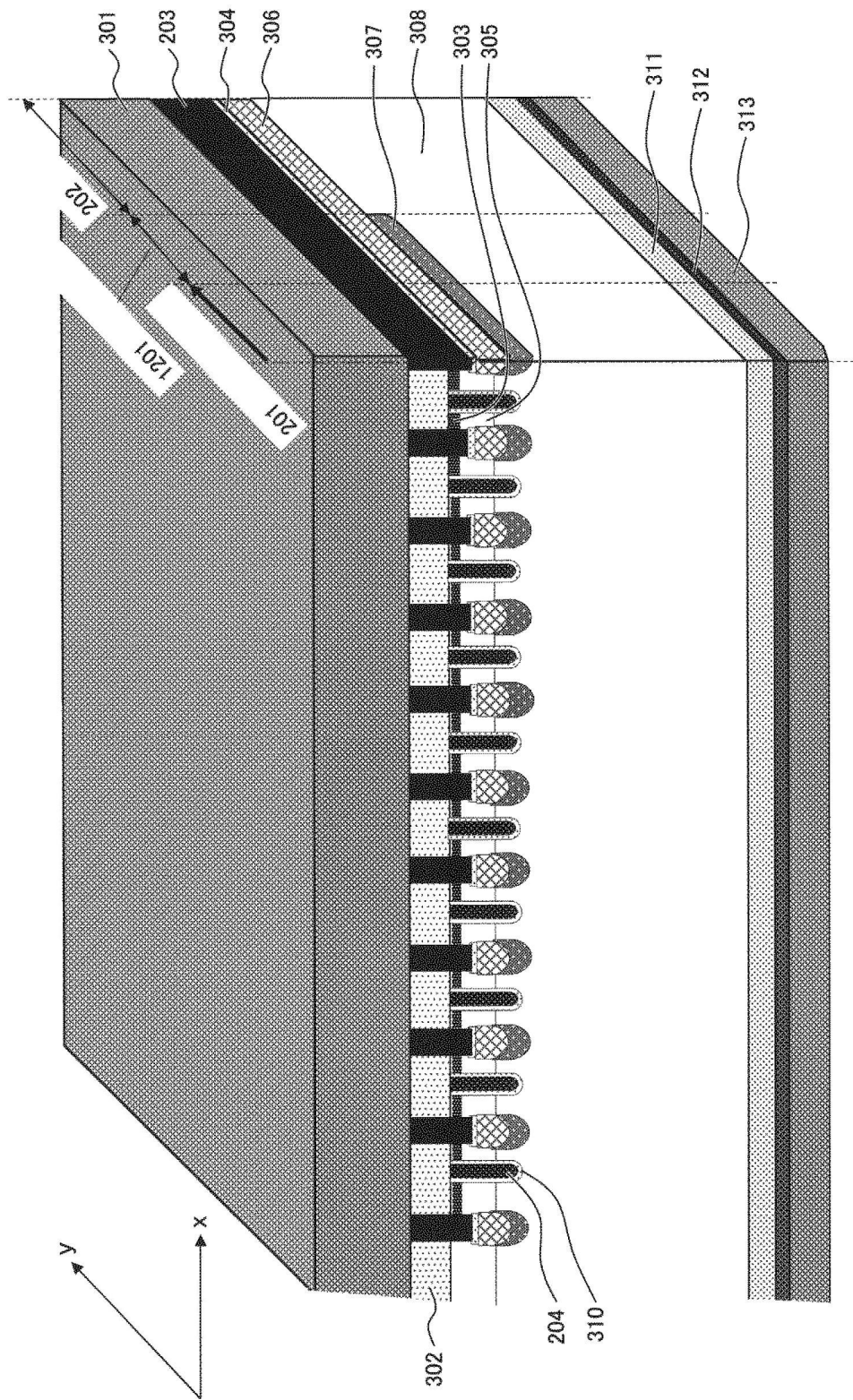
【圖14】



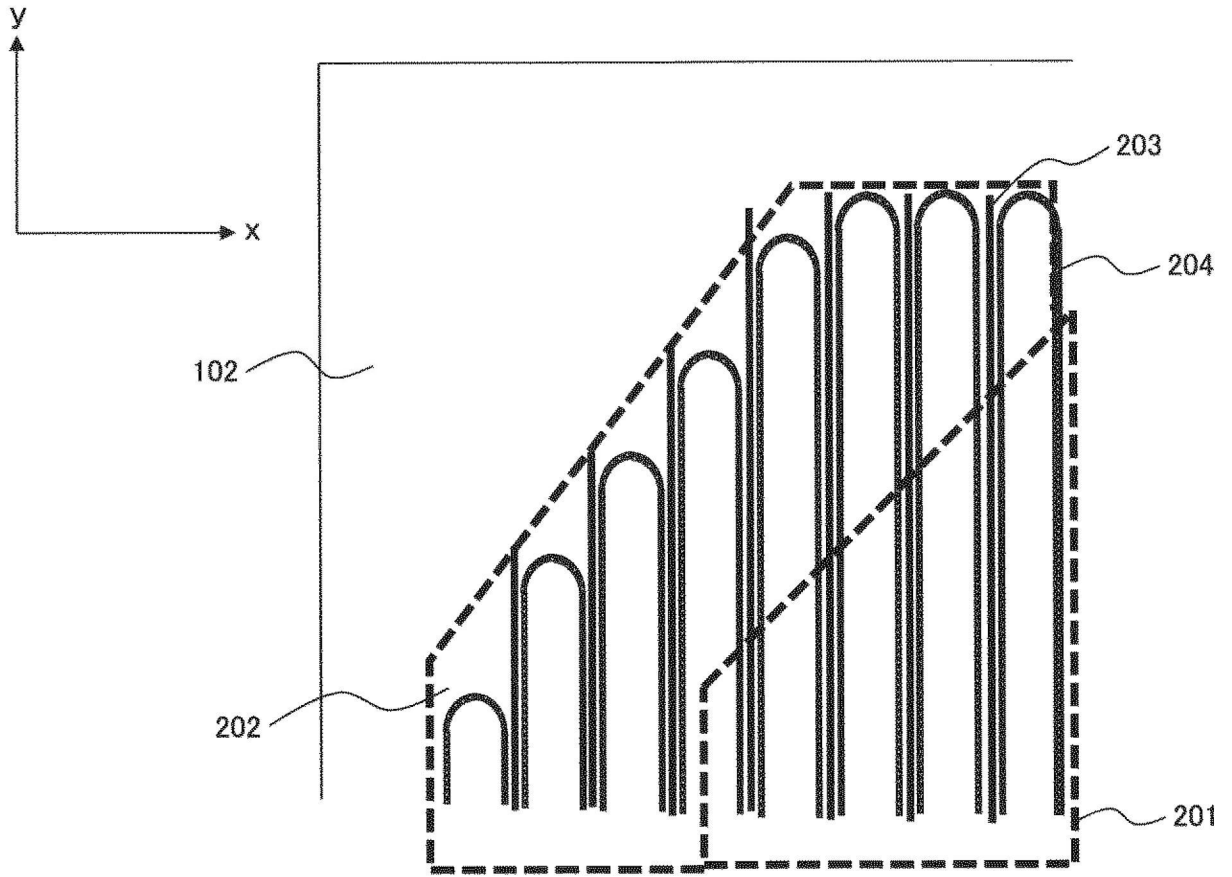
【圖15】



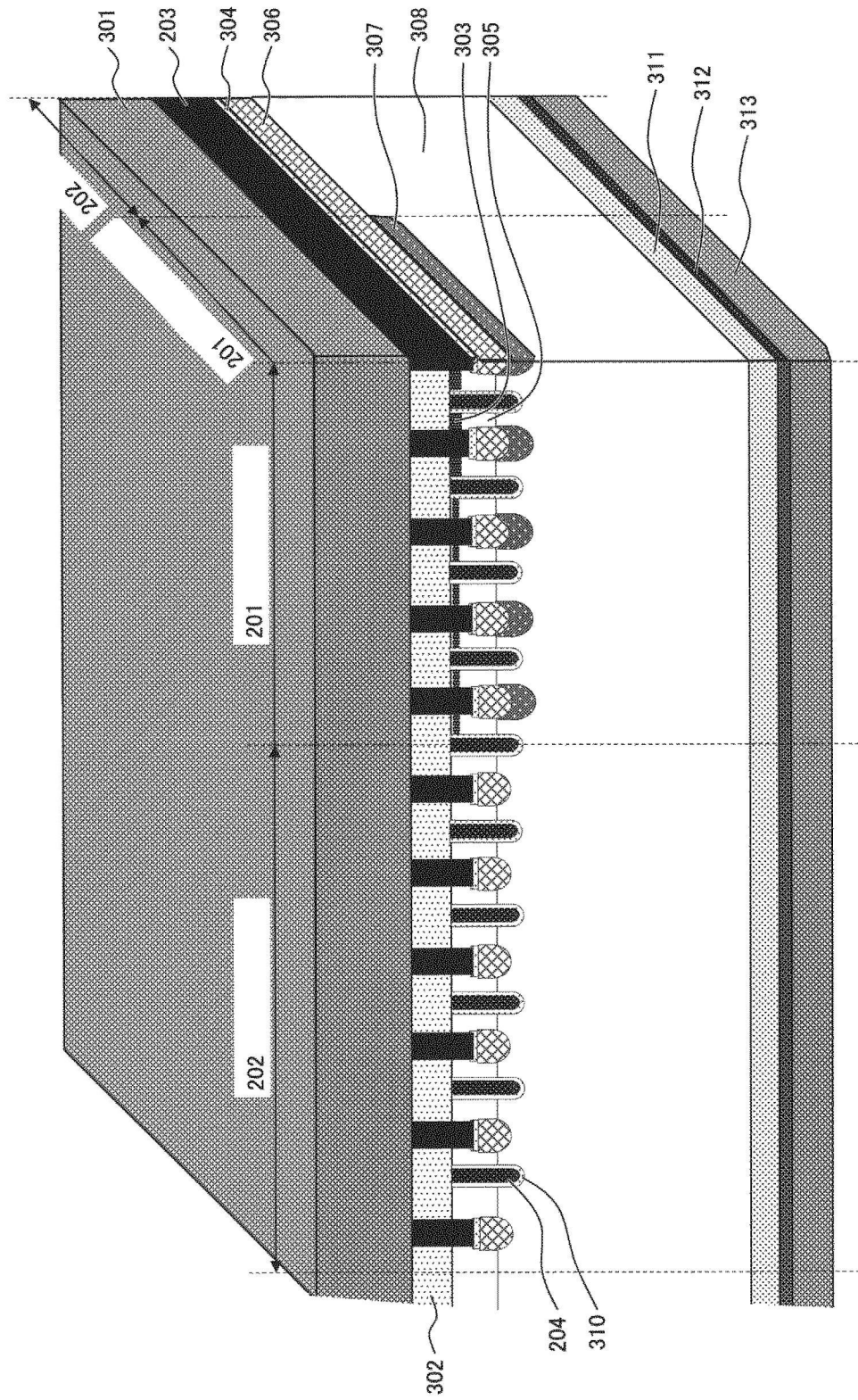
【圖16】



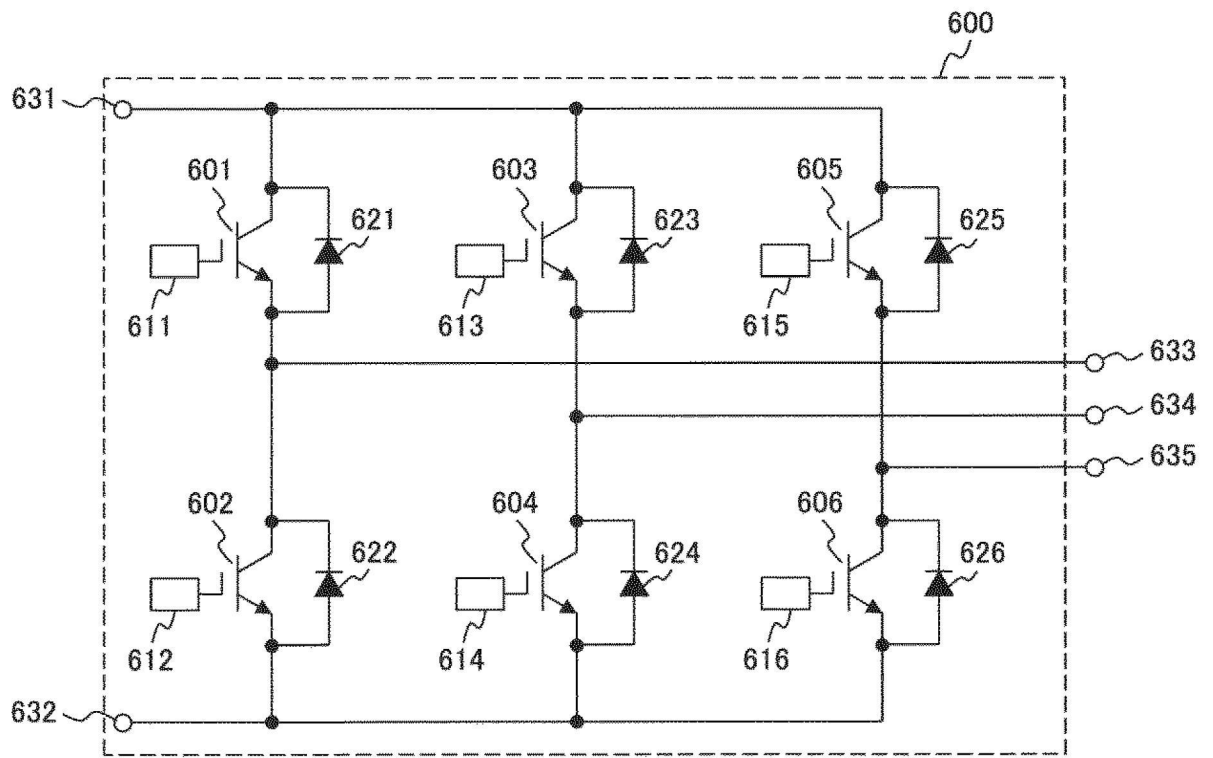
【圖17】



【圖18】



【圖19】



【圖20】