

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-258643

(P2008-258643A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 G	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 6 A	
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 K	
HO 1 L 25/065 (2006.01)	HO 1 L 29/78 6 5 2 C	

審査請求 有 請求項の数 2 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2008-131197 (P2008-131197)  
 (22) 出願日 平成20年5月19日 (2008. 5. 19)  
 (62) 分割の表示 特願2005-207685 (P2005-207685)の分割  
 原出願日 平成17年7月15日 (2005. 7. 15)

(71) 出願人 000106276  
 サンケン電気株式会社  
 埼玉県新座市北野3丁目6番3号  
 (74) 代理人 100082049  
 弁理士 清水 敬一  
 (72) 発明者 鳥居 克行  
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

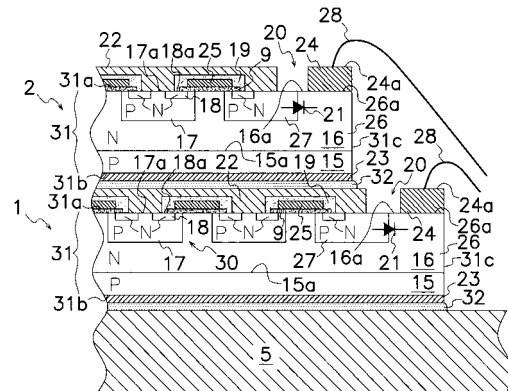
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 積層した複数の半導体素子を備える半導体装置を小型化する。

【解決手段】 第1の半導体素子(1)と、第1の半導体素子(1)上に積層された第2の半導体素子(2)とを備える半導体装置において、第2の半導体素子(2)を絶縁ゲート型バイポーラトランジスタにより形成する。第1のベース領域(16)は、第1導電型(P)を有し且つ半導体基体(31)の側面(31c)に近接して形成される周辺ベース領域(27)を有する。周辺ベース領域(27)と第1のベース領域(16)との間に形成されるPN接合により、絶縁ゲート型バイポーラトランジスタのエミッタ電極(22)とコレクタ電極(23)との間にPN接合ダイオードを形成する。第2の半導体素子に外付けダイオードを接続せずに半導体装置を小型化できる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の半導体素子と、該第 1 の半導体素子上に積層された第 2 の半導体素子とを備える半導体装置において、

前記第 2 の半導体素子は、絶縁ゲート型バイポーラトランジスタであり、

前記第 2 の半導体素子は、

第 1 導電型を有するコレクタ領域、第 1 導電型とは反対の第 2 導電型を有し且つ前記コレクタ領域の上面に形成された第 1 のベース領域、前記第 1 のベース領域に隣接して形成された第 1 導電型を有する第 2 のベース領域、前記第 2 のベース領域に隣接して形成された第 2 導電型を有するエミッタ領域を備える半導体基体と、

絶縁体を介して前記第 2 のベース領域の上面に形成されたゲート電極と、

前記第 2 のベース領域及びエミッタ領域の上面に形成されたエミッタ電極と、

前記コレクタ領域の下面に形成されたコレクタ電極とを備え、

前記第 1 のベース領域は、第 1 導電型を有し且つ前記半導体基体の側面に近接して形成される周辺ベース領域を有し、

該周辺ベース領域と前記第 1 のベース領域との間に形成される P N 接合により、前記絶縁ゲート型バイポーラトランジスタの前記エミッタ電極と前記コレクタ電極との間に P N 接合ダイオードを形成することを特徴とする半導体装置。

## 【請求項 2】

前記半導体基体の角部で且つ前記周辺ベース領域の上面に電極を形成し、

該電極にリード細線を接続した請求項 1 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

積層した複数の半導体素子を備える半導体装置に関する。

## 【背景技術】

## 【0002】

近年の電子部品の小型化に対応する一手段として、ブリッジ回路を構成するスイッチング素子を積層したスタックマルチ構造が半導体装置に適用されている。スタックマルチ構造を適用した半導体装置は、例えば下記特許文献 1 により公知である。特許文献 1 に示す半導体装置によれば、パワー半導体素子を用いた H 型ブリッジ回路を支持板の占有面積を減少しつつ集積度を向上して形成できる。しかしながら、積層するパワー半導体素子に M O S F E T ( M O S 型電界効果トランジスタ) を用いると、チップサイズが大きくなり、小型化が達成できない。そのため、チップサイズを小さく形成できる I G B T ( 絶縁ゲート型バイポーラトランジスタ) が用いられていた。しかしながら、I G B T を使用すると、同時に外付けのダイオードも H 型ブリッジ回路に組み込まなければならず、結果的に小型化が達成できなかった。また、外付けのダイオードにより製品コストが増加した。

## 【0003】

一般的に M O S F E T は、例えば図 5 に示すように、N 型導電型を有するドレイン領域 (51)、P 型導電型を有し且つドレイン領域 (51) の上面 (51a) に形成されたベース領域 (52)、N 型導電型を有し且つベース領域 (52) の上面 (52a) に形成されたソース領域 (53) を備える半導体基板 (50) と、ゲート絶縁膜 (54) を介してソース領域 (53) の上面 (53a) に形成されたゲート電極 (55) と、ベース領域 (52) 及びソース領域 (53) の上面 (52a, 53a) に形成されたソース電極 (56) と、ドレイン領域 (51) の下面 (51b) に形成されたドレイン電極 (57) とを備える。よって、P 型導電型を有するベース領域 (52) と N 型導電型を有するドレイン領域 (51) との間にダイオード (58) が形成され、これを保護用の内蔵ダイオードとして利用できる。

## 【0004】

これに対し、I G B T は、図 6 に示すように、P 型導電型を有するコレクタ領域 (61)、N 型導電型を有し且つコレクタ領域 (61) の上面 (61a) に形成された第 1 のベース領域 (62)

10

20

30

40

50

、P型導電型を有し且つ第1のベース領域(62)の上面(62a)に形成された第2のベース領域(63)、N型導電型を有し且つ第2のベース領域(63)の上面(63a)に形成されたエミッタ領域(64)を備える半導体基板(60)と、ゲート絶縁膜(65)を介して第2のベース領域(63)の上面(63a)に形成されたゲート電極(66)と、第2のベース領域(63)及びエミッタ領域(64)の上面(63a,64a)に形成されたエミッタ電極(67)と、コレクタ領域(61)の下面(61b)に形成されたコレクタ電極(68)とを備える。よって、IGBTでは、図6に示すように、P型導電型を有する第2のベース領域(63)とN型導電型を有する第1のベース領域(62)と、P型導電型を有するコレクタ領域(61)とN型導電型を有する第1のベース領域(62)との間にそれぞれダイオード(69)が形成され、逆極性のダイオード(69)が直列接続される。このため、このダイオードを保護用の内蔵ダイオードとして有効利用することが困難であった。出力端子に誘導成分を有する負荷を接続したHブリッジ回路等では、IGBTに負荷の誘導成分により発生した逆起電力が印加され易い。このため、各IGBTにダイオードを並列に接続して、逆起電力により発生した逆方向電流(サージ電流)をダイオードを介してバイパスさせる必要がある。

10

#### 【0005】

下記特許文献2は、コレクタ領域の中央側にこれと反対導電型のカソード領域を形成すると共に、カソード領域の上方にP型導電型を有するアノード領域を形成し、これによりダイオードを内蔵したIGBTを開示する。特許文献2のIGBTによれば、外付けダイオードを省略して、IGBTを積層したスタックドマルチ構造の半導体装置を形成することができる。

20

#### 【0006】

【特許文献1】国際公開第2005/018001号公報

【特許文献2】特開平9-191110号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

しかしながら、特許文献2のIGBTでは、平面方向に対して半導体基板の同位置にアノード領域とカソード領域とを重ねて形成しなければならないため、両半導体領域の位置決めが難しく、生産性の点で問題があった。また、IGBTのオン時には、半導体基板の中央側のセル領域に電流が流れるが、半導体装置のオフ時に逆方向電流が発生したときにも、この逆方向電流が半導体基板の中央側を流れるため、電流により発生する熱が半導体基板の中央側に集中して、半導体基板の電気的特性が劣化するおそれがあった。

30

よって、本発明は、ダイオードを内蔵したIGBTを積層して、従来より小型化され、且つ生産も容易なスタックドマルチ構造の半導体装置を提供することを目的とする。また、電流により発生する熱が半導体基板の中央側に集中することを防止した半導体装置を提供することを目的とする。

【課題を解決するための手段】

#### 【0008】

本発明の半導体装置は、第1の半導体素子(1)と、第1の半導体素子(1)上に積層された第2の半導体素子(2)とを備える。第2の半導体素子(2)は、絶縁ゲート型バイポーラトランジスタであり、第1導電型(P)を有するコレクタ領域(15)、第1導電型(P)とは反対の第2導電型(N)を有し且つコレクタ領域(15)の上面(15a)に形成された第1のベース領域(16)、第1のベース領域(16)に隣接して形成された第1導電型(P)を有する第2のベース領域(17)、第2のベース領域(17)に隣接して形成された第2導電型(N)を有するエミッタ領域(18)を備える半導体基体(31)と、絶縁体(9)を介して第2のベース領域(17)の上面(17a)に形成されたゲート電極(25)と、第2のベース領域(17)及びエミッタ領域(18)の上面(17a,18a)に形成されたエミッタ電極(22)と、コレクタ領域(15)の下面(15b)に形成されたコレクタ電極(23)とを備える。第1のベース領域(16)は、第1導電型(P)を有し且つ半導体基体(31)の側面(31c)に近接して形成される周辺ベース領域(27)を有する。周辺ベース領域(27)と第1のベース領域(16)との間に形成されるPN接合により、絶縁ゲート型バイポーラト

40

50

ンジスタのエミッタ電極(22)とコレクタ電極(23)との間にPN接合ダイオード(21)を形成する。

【0009】

第1の半導体素子(1)及び第2の半導体素子(2)は、接続される負荷の誘導成分による逆起電力により、第1の半導体素子(1)及び第2の半導体素子(2)のエミッタ電極(22)からコレクタ電極(23)へ逆方向に誘起される逆方向電流(サージ電流)が発生するが、第1導電型(P)を有する周辺ベース領域(27)と第2導電型(N)を有する第1のベース領域(16)とによりダイオード(21)を形成することによって、第2の半導体素子(2)に外付けのダイオードを接続する必要がなく、半導体装置を小型に形成することができる。半導体装置のオン時には、側面(31c)から離間した半導体基体(31)の中央側に電流が流れるが、半導体装置のオフ時に逆方向電流が発生したとき、逆方向電流が半導体基体(31)の側面(31c)に近接して流れるため、電流により発生する熱が半導体基体(31)の中央側に集中して、半導体基体(31)の電気的特性が劣化することを防止できる。また、半導体基体(31)の側面(31c)に近接してダイオード(21)が形成されるため、ダイオード(21)に流れる逆方向電流により発生する熱は、半導体基体(31)の側面(31c)から良好に外部に放出される。

10

【発明の効果】

【0010】

本発明によれば、より小型化され且つ信頼性の高いスタックドマルチ構造の半導体装置を提供することができる。

【発明を実施するための最良の形態】

20

【0011】

以下、IGBTによりH型ブリッジ回路を構成した本発明による半導体装置の一実施の形態を図1～図4について説明する。

【0012】

本実施の形態の半導体装置は、図1～図3に示すように、放熱性を有する銅又はアルミニウム等の金属製の支持板(5)と支持板(5)の上に順次積層されて固着された第1の半導体素子としての第1のIGBT(絶縁ゲート型バイポーラトランジスタ)(1)及び第2の半導体素子としての第2のIGBT(2)を有する第1の半導体素子積層体(7)と、支持板(5)の上に順次積層されて固着された第3の半導体素子としての第3のIGBT(3)及び第4の半導体素子としての第4のIGBT(4)を有する第2の半導体素子積層体(8)と、第1のIGBT(1)から第4のIGBT(4)までのスイッチング動作を制御する制御素子(13)とを備え、図4に示すH型ブリッジ回路(10)を構成する。

30

【0013】

第1のIGBT(1)～第4のIGBT(4)の上面電極(エミッタ電極及びゲート電極)と、制御素子(13)の上面電極(制御電極)又は支持板(5)の周囲に配置された複数の外部リード(33)とは、ワイヤ(リード細線)(29)により接続される。第1のIGBT(1)のエミッタ電極(22)と第2のIGBT(2)のコレクタ電極(23)との接続点(A<sub>1</sub>)と、第3のIGBT(3)のエミッタ電極(22)と第4のIGBT(4)のコレクタ電極(23)との接続点(A<sub>2</sub>)との間には、交流電流により駆動される例えば冷陰極蛍光放電管である負荷(6)が接続される。H型ブリッジ回路(10)を構成する半導体装置は樹脂封止体(34)により被覆されて一体化されるが、外部リード(33)は樹脂封止体(34)から外部に導出される。この外部リード(33)の一部に負荷(6)が接続される。

40

【0014】

第1の半導体素子積層体(7)を構成する第1のIGBT(1)及び第2のIGBT(2)の一方並びに第2の半導体素子積層体(8)を構成する第3のIGBT(3)及び第4のIGBT(4)の一方は、H型ブリッジ回路(10)のハイサイド側スイッチを構成し、第1の半導体素子積層体(7)を構成する第1のIGBT(1)及び第2のIGBT(2)の他方並びに第2の半導体素子積層体(8)を構成する第3のIGBT(3)及び第4のIGBT(4)の他方は、H型ブリッジ回路(10)のローサイド側スイッチを構成する。本実施の形態では、ハイサイド側の第1のIGBT(1)と第3のIGBT(3)との上に、ローサイド側の第2のIGBT(2)と

50

第4のIGBT(4)が固着されて第1及び第2の半導体素子積層体(7,8)が構成され、第1の半導体素子積層体(7)と第2の半導体素子積層体(8)との間に設けられる制御素子(13)と共に、半田、ろう材又は銀ペーストから成る接着剤(32)により単一の支持板(5)上に固着される。

【0015】

第2のIGBT(2)及び第4のIGBT(4)は、平面的に見て、第1のIGBT(1)及び第3のIGBT(3)の上面(1a,3a)及び下面(1b,3b)と比較して小さい面積の上面(2a,4a)及び下面(2b,4b)を有する。第1のIGBT(1)～第4のIGBT(4)は、図1に示すように、半導体基板としてのシリコン単結晶等から成る半導体基板(31)を備え、各半導体基板(31)は、第1導電型としてのP型導電型を有するコレクタ領域(15)と、P型導電型とは反対の第2導電型としてのN型導電型を有し且つコレクタ領域(15)の上面(15a)に形成された第1のベース領域(16)と、P型導電型を有し且つ第1のベース領域(16)に隣接して上面(16a)側に形成された第2のベース領域(17)と、N型導電型を有し且つ第2のベース領域(17)に隣接して上面(17a)側に形成されたエミッタ領域(18)とを備える。

10

【0016】

また、第1のIGBT(1)～第4のIGBT(4)は、絶縁体としてのゲート絶縁膜(9)を介して第2のベース領域(17)の上面(17a)に形成されたゲート電極(制御電極)(25)と、第2のベース領域(17)及びエミッタ領域(18)の上面(17a,18a)に形成されたエミッタ電極(上面電極)(22)と、コレクタ領域(15)の下面(15b)に形成されたコレクタ電極(底面電極)(23)とをそれぞれ備える。エミッタ領域(18)と第1のベース領域(16)との間に挟まれた第2のベース領域(17)の上にゲート絶縁膜(9)を介して形成されるゲート電極(25)により、周知のチャネル領域が形成される。

20

【0017】

第2のベース領域(17)は、半導体基板(31)の平面方向に対して、第1のベース領域(16)内に格子状又はストライプ状に並列して配置される。また、エミッタ領域(18)は、第2のベース領域(17)の縁部に沿って互いに対向するように配置される。更に、ゲート電極(25)は、隣り合う第2のベース領域(17)に跨るように第2のベース領域(17)の間にストライプ状に形成される。これにより、半導体素子の活性領域の最小単位であるセル(30)が形成される。第2のベース領域(17)は、第1のベース領域(16)内に島状に形成してもよい。図示しないが、半導体基板(31)の上面(31a)には、ゲート電極(25)と電気的に接続するゲートバスラインが半導体基板(31)の周面に沿って形成される。ゲートバスラインは、アルミニウム等の導電性金属により形成され、ストライプ状に形成されたゲート電極(25)の延長部分を被覆して、ゲート電極(25)と電気的に接続される。

30

【0018】

導電性の接着剤(32)により、第1のIGBT(1)のエミッタ電極(22)と第2のIGBT(2)のコレクタ電極(23)とが電気的に接続され、第3のIGBT(3)のエミッタ電極(22)と第4のIGBT(4)のコレクタ電極(23)とが電気的に接続される。ゲート絶縁膜(9)は、例えば二酸化シリコンにより形成され、ゲート絶縁膜(9)の上面に例えばポリシリコンから成るゲート電極(25)が形成される。また、ゲート電極(25)の周囲には、ゲート電極(25)とエミッタ電極(22)とを電気的に絶縁する例えば二酸化シリコンから成る層間絶縁膜(19)が形成される。エミッタ電極(22)及びコレクタ電極(23)は、例えばアルミニウム又はアルミニウムとニッケルとを積層した積層体により形成される。

40

【0019】

図1に示すように、各IGBT(1,2,3,4)の第1のベース領域(16)は、半導体基板(31)の側面(31c)に近接する周辺部(26)を有し、第1のベース領域(16)の周辺部(26)に隣接して形成されたP型導電型を有する周辺ベース領域(27)により、半導体基板(31)の側面(31c)に近接してダイオード(21)が形成される。図示する半導体装置では、第2のベース領域(17)及びエミッタ領域(18)が半導体基板(31)の一角を形成する2つの側面(31c)から離間して素子中央側に形成されるのに対し、第1のベース領域(16)の周辺部(26)及び周辺ベース領域(27)が半導体基板(31)の2つの側面(31c)に隣接して形成される。即ち、図1に示す

50

各 IGBT (1,2,3,4) は、半導体基板 (31) の側面 (31c) 側に形成された環状の周辺部 (26) と、この周辺部 (26) に囲まれて素子中央側に配置された中央部とを有し、周辺部 (26) にダイオード (21) が形成され、中央部にセル (30) が形成される。周辺ベース領域 (27) は、半導体基板 (31) の上面 (31a) にホウ素等の不純物を拡散して、第 2 のベース領域 (17) と共に形成することができる。よって、製造コストを増加せず、既存と同一の製造工程により周辺ベース領域 (27) を形成できる。本実施の形態では、第 2 のベース領域 (17) に対向する側の周辺ベース領域 (27) 内にエミッタ領域 (18) を形成しているが、周辺ベース領域 (27) 内にはエミッタ領域 (18) を形成しなくてもよい。

#### 【0020】

第 1 のベース領域 (16) の周辺部 (26) の上面 (26a) に形成されたダイオード電極 (24) を備える。図示する半導体装置では、ゲート電極 (25) 及びエミッタ電極 (22) が半導体基板 (31) の 2 つの側面 (31c) から離間して形成されるのに対し、ダイオード電極 (24) が半導体基板 (31) の 2 つの側面 (31c) に隣接して形成される。ダイオード電極 (24) とエミッタ電極 (22) との間には、間隙 (20) が形成され、ダイオード電極 (24) とエミッタ電極 (22) とを電氣的に分離する。ダイオード電極 (24) とエミッタ電極 (22) との絶縁性を向上するために、ダイオード電極 (24) とエミッタ電極 (22) との間に二酸化シリコンから成る図示しない絶縁膜を形成してもよい。絶縁膜は、層間絶縁膜 (19) を形成する工程時に、層間絶縁膜 (19) と共に形成できる。ダイオード電極 (24) は、例えばワイヤ (28) を形成するアルミニウムとの接着性の高い同じアルミニウム又はシリコン含有アルミニウムにより形成される。また、ダイオード電極 (24) は、平坦に形成された上面 (24a) を有し、周知のワイヤボンディング法により、同様に上面が平坦に形成された支持板 (5) 又は外部リード (33) とワイヤ (28) により結線される。ダイオード電極 (24) と外部リード (33) とをワイヤ (28) により結線する工程は、第 1 の IGBT (1) ~ 第 4 の IGBT (4) の上面電極と制御素子 (13) の上面電極又は外部リード (33) とをワイヤ (29) により結線する工程と同一工程により行うことができるため、製造コストが増加せず、既存と同一の製造工程により半導体装置を製造できる。

#### 【0021】

第 1 の IGBT (1) ~ 第 4 の IGBT (4) のダイオード電極 (24) とコレクタ電極 (23) とは、それぞれ電氣的に接続され、図 4 に示すように、各 IGBT (1,2,3,4) のエミッタとコレクタの間にはダイオードが並列接続される。ハイサイド側スイッチを構成する第 1 の IGBT (1) 及び第 3 の IGBT (3) は、正側端子に接続された外部リード (33) とダイオード電極 (24) とをワイヤ (28) で接続することにより、正側端子に接続された別の外部リード (33) 及び支持板 (5) を通じてダイオード電極 (24) とコレクタ電極 (23) とが電氣的に接続される。ローサイド側スイッチを構成する第 2 の IGBT (2) 及び第 4 の IGBT (4) は、接続点 ( $A_1, A_2$ ) に接続された外部リード (33) とダイオード電極 (24) とをワイヤ (28) で接続することにより、接続点 ( $A_1, A_2$ ) に接続された別の外部リード (33) 及びワイヤ (29) を通じてダイオード電極 (24) とコレクタ電極 (23) とが電氣的に接続される。

#### 【0022】

第 1 の IGBT (1) ~ 第 4 の IGBT (4) には、H 型ブリッジ回路 (10) に接続される負荷 (6) の誘導成分による逆起電力により、各 IGBT (1,2,3,4) のエミッタ電極 (22) からコレクタ電極 (23) へ逆方向に誘起される逆方向電流 (サージ電流) が発生するが、P 型導電性を有する周辺ベース領域 (27) と N 型導電性を有する第 1 のベース領域 (16) の周辺部 (26) とによりダイオード (21) を形成し、周辺部 (26) の上面 (26a) に形成されたダイオード電極 (24) とコレクタ電極 (23) とを電氣的に接続することによって、逆方向電流を周辺ベース領域 (27)、第 1 のベース領域 (16) の周辺部 (26) 及びダイオード電極 (24) を通じてコレクタ電極 (23) に流すことができる。よって、半導体装置に外付けのダイオードを接続する必要がなく、H 型ブリッジ回路 (10) を構成する半導体装置を小型に形成することができる。

#### 【0023】

H 型ブリッジ回路 (10) を作動する際に、制御素子 (13) により、第 1 の IGBT (1) 及び第 4 の IGBT (4) と、第 2 の IGBT (2) 及び第 3 の IGBT (3) とを交互にオン・オフ動作させて、スイッチング作動させることにより、接続点 ( $A_1$ ) と ( $A_2$ ) との間に交互に逆方

10

20

30

40

50

向の電流( $I_1, I_2$ )を流して、負荷(6)を作動させることができる。第1のIGBT(1)及び第4のIGBT(4)がオンのとき、第2のIGBT(2)及び第3のIGBT(3)がオフとなり、負荷(6)に一方向の電流( $I_1$ )が流れ、その後、第1のIGBT(1)及び第4のIGBT(4)がオフに切り換えられ、第2のIGBT(2)及び第3のIGBT(3)とがオンに切り換えられると、負荷(6)に他方向の電流( $I_2$ )が流れて、負荷(6)が交流電流により作動される。一方向の電流( $I_1$ )は、第1のIGBT(1)、第4のIGBT(4)及び支持板(5)に流れ、他方向の電流( $I_2$ )は、第2のIGBT(2)、第3のIGBT(3)及び支持板(5)に流れる。

#### 【0024】

このように、第1のIGBT(1)から第4のIGBT(4)までのスイッチング動作を行ない、直流電圧源を使用し、接続点( $A_1$ )と( $A_2$ )との間に接続された冷陰極蛍光放電管を点灯させることができる。半導体装置のオン時には、側面(31c)から離間した半導体基板(31)の中央側に電流が流れるが、半導体装置のオフ時に逆方向電流が発生したときは逆方向電流が半導体基板(31)の側面(31c)に近接して流れる。このため、オン電流の流れる電流通路とサージ電流の流れる電流通路とを分離することができ、電流により発生する熱が半導体基板(31)の中央側に集中して、半導体基板(31)の電気的特性が劣化することを防止できる。また、半導体基板(31)の側面(31c)に近接してダイオード(21)が形成されるため、ダイオード(21)に流れる逆方向電流により発生する熱は、半導体基板(31)の側面(31c)から良好に外部に放出される。図示するH型ブリッジ回路(10)では、第1のIGBT(1)及び第4のIGBT(4)がオンされて第2のIGBT(2)及び第3のIGBT(3)がオフされた際、第1のIGBT(1)及び第4のIGBT(4)を構成する半導体基板(31)の中央側に電流が流れる。次に、第2のIGBT(2)及び第3のIGBT(3)がオンされて、第1のIGBT(1)及び第4のIGBT(4)がオフされた際、第1のIGBT(1)及び第4のIGBT(4)に逆方向電圧が印加される。この逆方向電圧に基づくサージ電流は第1のIGBT(1)及び第4のIGBT(4)を構成する半導体基板(31)に内蔵されたダイオード(21)をバイパスして流れるが、この電流は上述のように半導体基板(31)の側面(31c)に近接して流れる。

#### 【0025】

本発明の実施の形態は、前記実施の形態に限定されず、種々の変更が可能である。

図1に示す半導体装置では、周辺ベース領域(27)を半導体基板(31)の角部に形成したが、角部から離間した側面(31c)近傍に形成してもよい。

#### 【産業上の利用可能性】

#### 【0026】

本発明は、複数の半導体素子を積重して形成された半導体装置、冷陰極蛍光放電管の駆動装置に使用されるHブリッジ回路(フルブリッジ回路)等を構成する半導体装置に良好に適用できる。

#### 【図面の簡単な説明】

#### 【0027】

【図1】本発明による半導体装置の一実施の形態を示す部分拡大断面図

【図2】図1の全体図

【図3】図2の平面図

【図4】図3の回路図

【図5】一般的なMOSFETの断面図

【図6】一般的なIGBTの断面図

#### 【符号の説明】

#### 【0028】

(1)・・・第1の半導体素子(第1のIGBT)、(2)・・・第2の半導体素子(第2のIGBT)、(3)・・・第3の半導体素子(第3のIGBT)、(4)・・・第4の半導体素子(第4のIGBT)、(5)・・・支持板、(7)・・・第1の半導体素子積層体、(8)・・・第2の半導体素子積層体、(9)・・・絶縁体(ゲート絶縁膜)、(10)・・・H型ブリッジ回路、(13)・・・制御素子、(15)・・・コレクタ領域、(15a)・・・上面、(15b)・・・下面、(16)・・・第1のベース領域、(16a)・・・上面、(17)・・・第2のベース領域、(

10

20

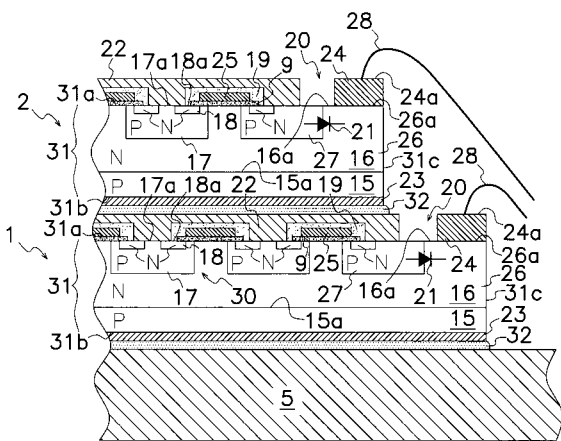
30

40

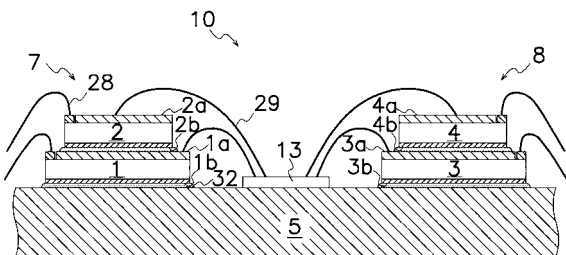
50

17a)・・・上面、 (18)・・・エミッタ領域、 (18a)・・・上面、 (21)・・・ダイオード、 (22)・・・エミッタ電極、 (23)・・・コレクタ電極、 (24)・・・ダイオード電極、 (25)・・・ゲート電極、 (26)・・・周辺部、 (26a)・・・上面、 (27)・・・周辺ベース領域、 (31)・・・半導体基体(半導体基板)、 (31c)・・・側面、

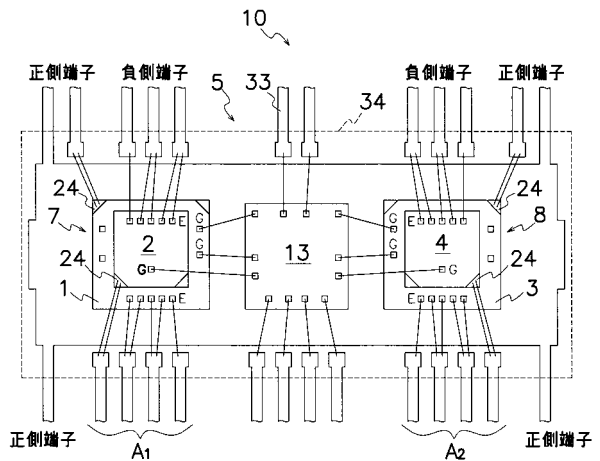
【図1】



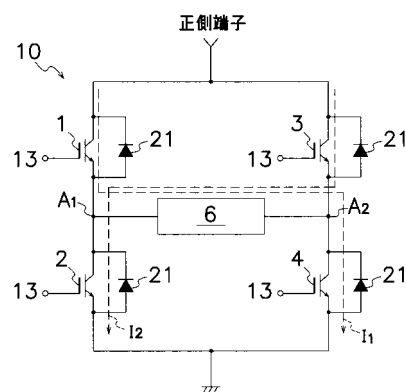
【図2】



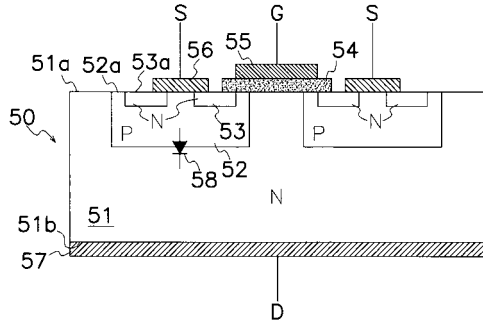
【図3】



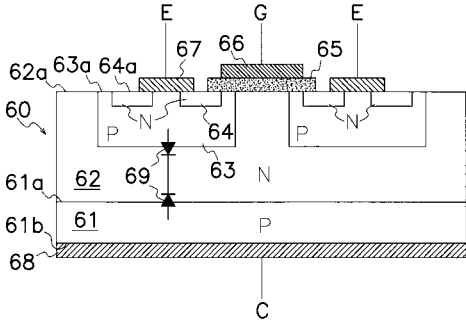
【図4】



【 図 5 】



【 図 6 】



---

フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L 25/07</i>	<i>(2006.01)</i>	H 0 1 L	29/78	6 5 5 F
<i>H 0 1 L 25/18</i>	<i>(2006.01)</i>	H 0 1 L	25/08	Z