



(21)申请号 201580064032.0

(22)申请日 2015.12.07

(65)同一申请的已公布的文献号

申请公布号 CN 107005246 A

(43)申请公布日 2017.08.01

(30)优先权数据

62/088,308 2014.12.05 US

14/858,264 2015.09.18 US

(85)PCT国际申请进入国家阶段日

2017.05.25

(86)PCT国际申请的申请数据

PCT/US2015/064191 2015.12.07

(87)PCT国际申请的公布数据

W02016/090353 EN 2016.06.09

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 S·樱井

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵志刚 赵蓉民

(51)Int.Cl.

H03M 1/12(2006.01)

H03K 19/018(2006.01)

G11C 27/02(2006.01)

(56)对比文件

CN 101114514 A, 2008.01.30

US 2002118043 A1, 2002.08.29

US 7064614 B2, 2006.06.20

审查员 袁冠群

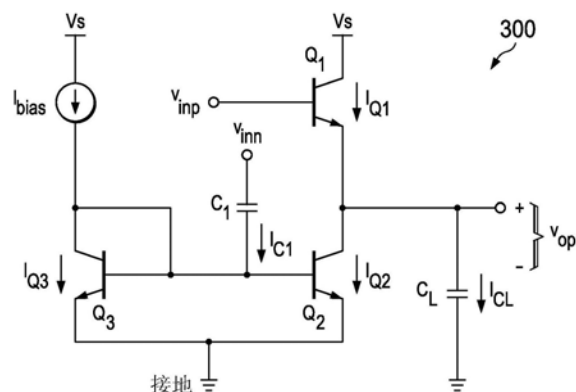
权利要求书3页 说明书6页 附图6页

(54)发明名称

用于模拟输入缓冲器的负载电流补偿

(57)摘要

在用于模拟输入缓冲器的负载电流补偿的系统和方法的所述示例中,输入缓冲器(300)可以包括:第一晶体管(Q_1),其具有耦合到电源节点的集电极端子和耦合到第一输入节点(v_{inp})的基极端子;第二晶体管(Q_2),其具有耦合到第一晶体管(Q_1)的发射极端子的集电极端子;第三晶体管(Q_3),其具有耦合到第二晶体管(Q_2)的发射极端子和接地节点的发射极端子,耦合到电流源(I_{bias})的集电极端子,以及耦合到集电极端子和第二晶体管(Q_2)的基极端子的基极端子;以及电容器(C_1),其耦合到第二和第三晶体管(Q_2 和 Q_3)的基极端子和第二输入节点(v_{inn}),其中第一和第二输入节点(v_{inp} 和 v_{inn})是差分输入。



1. 一种输入缓冲器, 包括:

第一晶体管 (Q_1), 其具有耦合到电源节点的集电极端子和耦合到第一输入节点 (v_{inp}) 的基极端子;

第二晶体管 (Q_2), 其具有耦合到所述第一晶体管 (Q_1) 的发射极端子的集电极端子;

第三晶体管 (Q_3), 其具有耦合到所述第二晶体管 (Q_2) 的发射极端子和接地节点的发射极端子, 耦合到电流源 (I_{bias}) 的集电极端子, 以及耦合到所述集电极端子和所述第二晶体管 (Q_2) 的基极端子的基极端子; 以及

电容器 (C_1), 其耦合到所述第二和第三晶体管 (Q_2 和 Q_3) 的所述基极端子和第二输入节点 (v_{inn}), 其中所述第一和第二输入节点 (v_{inp} 和 v_{inn}) 是差分输入。

2. 根据权利要求1所述的输入缓冲器, 其中在所述第一晶体管 (Q_1) 的所述发射极端子和所述第二晶体管 (Q_2) 的所述集电极端子之间的输出节点 (v_{op}) 耦合到模数转换器即ADC的输入。

3. 根据权利要求2所述的输入缓冲器, 其中所述输出节点 (v_{op}) 耦合到所述模数转换器即ADC的采样和保持电容器 (C_L)。

4. 根据权利要求3所述的输入缓冲器, 其中所述第二晶体管 (Q_2) 具有第一尺寸, 所述第三晶体管 (Q_3) 具有第二尺寸, 并且所述第一尺寸和所述第二尺寸之间的比率为 n 。

5. 根据权利要求4所述的输入缓冲器, 其中 n 具有介于2和5之间的值。

6. 根据权利要求4所述的输入缓冲器, 其中所述采样和保持电容器 (C_L) 的电容是所述电容器 (C_1) 的电容的 n 倍。

7. 根据权利要求4所述的输入缓冲器, 其中通过所述第一晶体管 (Q_1) 的电流 (I_{Q1}) 是由所述电流源提供的偏置电流 (I_{bias}) 的 n 倍。

8. 一种差分输入缓冲器, 包括:

第一发射极跟随器晶体管 (Q_{1s}), 其具有耦合到电源节点的集电极端子、耦合到第一差分输入节点 (v_{inp}) 的基极端子, 以及耦合到第一电流源 (I_{bias2}) 的发射极端子;

第一晶体管 (Q_1), 其具有耦合到所述电源节点的集电极端子, 以及耦合到所述第一发射极跟随器晶体管 (Q_{1s}) 的所述基极端子和所述第一差分输入节点 (v_{inp}) 的基极端子;

第二晶体管 (Q_2), 其具有耦合到所述第一晶体管 (Q_1) 的发射极端子的集电极端子;

第三晶体管 (Q_3), 其具有耦合到所述第二晶体管 (Q_2) 的发射极端子和接地节点的发射极端子, 耦合到第二电流源 (I_{bias}) 的集电极端子, 以及耦合到所述集电极端子和所述第二晶体管 (Q_2) 的基极端子的基极端子; 以及

电容器 (C_1), 其耦合到所述第二和第三晶体管 (Q_2 和 Q_3) 的所述基极端子和第一输入节点 (v_{onx})。

9. 根据权利要求8所述的差分输入缓冲器, 其中所述第一晶体管 (Q_1) 的发射极端子和所述第二晶体管 (Q_2) 的集电极端子之间的第一差分输出节点 (v_{op}) 耦合到包括采样和保持电容器 (C_L) 的模数转换器即ADC的第一差分输入。

10. 根据权利要求9所述的差分输入缓冲器, 其中所述第二晶体管 (Q_2) 具有第一尺寸, 所述第三晶体管 (Q_3) 具有第二尺寸, 所述第一尺寸和所述第二尺寸之间的比率为 n , 所述采样和保持电容器 (C_L) 的电容是所述电容器 (C_1) 的电容的 n 倍, 并且通过所述第一晶体管 (Q_1) 的电流 (I_{Q1}) 是由所述第二电流源提供的偏置电流 (I_{bias}) 的 n 倍。

11. 根据权利要求9所述的差分输入缓冲器,进一步包括:

第二发射极跟随器晶体管(Q_{1SN}),其具有耦合到所述电源节点的集电极端子,耦合到第二差分输入节点(v_{inn})的基极端子,以及耦合到第三电流源(I_{bias2N})的发射极端子;

第四晶体管(Q_{1N}),其具有耦合到所述电源节点的集电极端子,以及耦合到所述第二发射极跟随器晶体管(Q_{1SN})的所述基极端子和所述第二差分输入节点(v_{inn})的基极端子;

第五晶体管(Q_{2N}),其具有耦合到所述第四晶体管(Q_{1N})的发射极端子的集电极端子;以及

第六晶体管(Q_{3N}),其具有耦合到所述第五晶体管(Q_{2N})的发射极端子和接地节点的发射极端子,耦合到第四电流源(I_{biasN})的集电极端子,以及耦合到所述集电极端子和所述第五晶体管(Q_{2N})的基极端子的基极端子;以及

另一电容器(C_{1N}),其耦合到所述第五和第六晶体管(Q_{2N} 和 Q_{3N})的所述基极端子和第二输入节点(v_{opx})。

12. 根据权利要求11所述的差分输入缓冲器,其中在所述第四晶体管(Q_{1N})的所述发射极端子和所述第五晶体管(Q_{2N})的所述集电极端子之间的第二差分输出节点(v_{on})耦合到所述模数转换器即ADC的第二差分输入。

13. 根据权利要求11所述的差分输入缓冲器,其中所述第一发射极跟随器晶体管(Q_{1S})的所述发射极端子与所述第一电流源(I_{bias2})之间的节点在所述第二输入节点(v_{opx})处提供电压。

14. 根据权利要求13所述的差分输入缓冲器,其中所述第二发射极跟随器晶体管(Q_{1SN})的所述发射极端子与所述第三电流源(I_{bias2N})之间的节点在所述第一输入节点(v_{onx})处提供电压。

15. 一种可编程输入缓冲器,包括:

第一晶体管(Q_1),其具有耦合到电源节点的集电极端子和耦合到输入节点(v_{inp})的基极端子;

第二晶体管(Q_2),其具有耦合到所述第一晶体管(Q_1)的发射极端子的集电极端子;

第三晶体管(Q_3),其具有耦合到所述第二晶体管(Q_2)的发射极端子和接地节点的发射极端子,耦合到电流源(I_{bias})的集电极端子,以及耦合到所述集电极端子和所述第二晶体管(Q_2)的基极端子的基极端子;以及

多个电容器(C_{1A-X}),每个电容器经由相应的开关(M_{1A-X})耦合到所述第二和第三晶体管(Q_2 和 Q_3)的所述基极端子。

16. 根据权利要求15所述的可编程输入缓冲器,其中所述第一晶体管(Q_1)的所述发射极端子和所述第二晶体管(Q_2)的所述集电极端子之间的输出节点(v_{op})耦合到模数转换器即ADC的输入。

17. 根据权利要求16所述的可编程输入缓冲器,其中所述输出节点(v_{op})耦合到所述模数转换器即ADC的采样和保持电容器(C_L)。

18. 根据权利要求17所述的可编程输入缓冲器,其中所述第二晶体管(Q_2)具有第一尺寸,所述第三晶体管(Q_3)具有第二尺寸,并且所述第一尺寸和所述第二尺寸之间的比率为n。

19. 根据权利要求17所述的可编程输入缓冲器,其中所述开关(M_{1A-X})被配置为增加或减

小所述电容器 (C_{1A-X}) 的组合电容以匹配所述采样和保持电容器 (C_L) 的电容。

20. 根据权利要求19所述的可编程输入缓冲器, 其中所述采样和保持电容器 (C_L) 的电容是所述电容器 (C_{1A-X}) 的组合电容的 n 倍, 并且其中通过所述第一晶体管 (Q_1) 的电流 (I_{Q1}) 是由所述电流源提供的偏置电流 (I_{bias}) 的 n 倍。

用于模拟输入缓冲器的负载电流补偿

技术领域

[0001] 本申请通常涉及电子电路,且更具体地涉及用于模拟输入缓冲器的负载电流补偿的系统和方法。

背景技术

[0002] 模数转换器(ADC)是将连续物理量(例如,电压)转换为表示数量幅度的数码数字的装置。该转换涉及ADC周期性执行的输入的量化(或采样)。结果是已经从连续时间和连续幅度模拟信号转换为离散时间和离散幅度数字信号的数字值序列。

[0003] 高速高性能ADC使用基于开关电容器的输入采样网络。大电容器以高采样速度接通和关断,使外部电路难以驱动ADC。为了最大限度地减少这种困难,高性能片上模拟输入缓冲器插在ADC前面。片上模拟输入缓冲器需要在非常高的频率(大约500MHz)下保持高线性度(85dB),同时驱动大电容器(大约3pF)以非常高的采样速度(500Msps)进行切换。

[0004] 在没有关于ADC输入结构的行业标准化的情况下,必须在设计输入接口电路之前检查每个ADC。在许多实施方式中,ADC的模拟输入直接连接到采样和保持电容器,其产生必须从信号源缓冲的瞬态电流。在这些情况下,可以提供模拟缓冲器。

[0005] 图1示出了常规模拟输入缓冲器100的示例,其包括被配置为在其基极端子处接收输入信号 v_{in} 并由此允许电流 I_{Q1} 产生的发射极跟随器晶体管 Q_1 。晶体管 Q_1 和 Q_2 之间的节点在电容器 C_L 之间提供输出 v_o ,其对ADC内的采样和保持电容器进行建模。电流 I_{Q1} 在 I_{Q2} (通过 Q_2)和 I_{CL} (通过 C_L)之间划分。晶体管 Q_3 和 Q_2 处于如图所示的电流镜配置,其中 Q_3 的集电极端子耦合到电流源 I_{bias} 。

[0006] 在缓冲器100中,电流 I_{CL} 是动态变化的时变电流。因此,电流 I_{Q1} 有效地包含AC分量(因为 $I_{Q1} = I_{Q2} + I_{CL}$)。当输入信号幅度大且输入频率高时,流入ADC的大采样电容器的电流为大的AC电流。该AC电流与DC偏置电流结合,并流过发射极跟随器装置。这导致发射极跟随器的非线性操作,并且馈送到ADC的信号失真。因此,为了确保电路的线性操作,通常必须将 I_{Q2} 提供为远大于 I_{CL} 的DC偏置电流(例如, I_{bias} 的镜像)。

[0007] 图2示出了可以用较小的 I_{bias} 提供较高线性度的常规输入缓冲器设计的示例。缓冲器200类似于缓冲器100,但是进一步包括如图所示的共源共栅晶体管 Q_4 和电容器 C_1 。共源共栅晶体管 Q_4 用 v_B 偏置,并且 C_1 耦合在 v_{in} 和晶体管 Q_4 的发射极端子之间。 C_1 两端的AC电压与 C_L 两端的AC电压相似。因此,如果 $C_1 = C_L$,则 $I_{C1} = I_{CL}$ 。此外,在这种情况下, I_{Q1} 等于 I_{Q2} ,并且与恒定电流 I_{bias} 成比例。

发明内容

[0008] 在用于模拟输入缓冲器的负载电流补偿的系统和方法的所述示例中,一种输入缓冲器可以包括:第一晶体管(Q_1),其具有耦合到电源节点的集电极端子和耦合到第一输入节点(v_{inp})的基极端子;第二晶体管(Q_2),其具有耦合到第一晶体管(Q_1)的发射极端子的集电极端子;第三晶体管(Q_3),其具有耦合到第二晶体管(Q_2)的发射极端子和接地节点的发射

极端子,耦合到电流源 (I_{bias}) 的集电极端子,以及耦合到集电极端子和第二晶体管 (Q_2) 的基极端子的基极端子;以及电容器 (C_1),其耦合到第二和第三晶体管 (Q_2 和 Q_3) 的基极端子和第二输入节点 (v_{inn}),其中第一和第二输入节点 (v_{inp} 和 v_{inn}) 是差分输入。

[0009] 在第一晶体管 (Q_1) 的发射极端子和第二晶体管 (Q_2) 的集电极端子之间的输出节点 (v_{op}) 可耦合到模数转换器 (ADC) 的输入。输出节点 (v_{op}) 可耦合到模数转换器 (ADC) 的采样和保持电容器 (C_L)。第二晶体管 (Q_2) 可具有第一尺寸,第三晶体管 (Q_3) 可具有第二尺寸,并且第一和第二尺寸之间的比率为 n 。

[0010] 在各种实施方式中, n 可以具有介于2和5之间的值。采样和保持电容器 (C_L) 的电容可以是电容器 (C_1) 的电容的 n 倍。此外,通过第一晶体管 (Q_1) 的电流 (I_{Q1}) 可以是由电流源提供的偏置电流 (I_{bias}) 的 n 倍。

[0011] 在至少一个示例中,差分输入缓冲器可包括:发射极跟随器晶体管 (Q_{1S}),其具有耦合到电源节点的集电极端子、耦合到第一差分输入节点 (v_{inp}) 的基极端子,以及耦合到第一电流源 (I_{bias2}) 的发射极端子;第一晶体管 (Q_1),其具有耦合到电源节点的集电极端子,以及耦合到第一发射极跟随器晶体管 (Q_{1S}) 的基极端子和第一差分输入节点 (v_{inp}) 的基极端子;第二晶体管 (Q_2),其具有耦合到第一晶体管 (Q_1) 的发射极端子的集电极端子;第三晶体管 (Q_3),其具有耦合到第二晶体管 (Q_2) 的发射极端子和接地节点的发射极端子,耦合到第二电流源 (I_{bias}) 的集电极端子,以及耦合到集电极端子和第二晶体管 (Q_2) 的基极端子的基极端子;以及电容器 (C_1),其耦合到第二和第三晶体管 (Q_2 和 Q_3) 的基极端子和第一输入节点 (v_{onx})。

[0012] 第一晶体管 (Q_1) 的发射极端子和第二晶体管 (Q_2) 的集电极端子之间的第一差分输出节点 (v_{op}) 可以耦合到包括采样和保持电容器 (C_L) 的模数转换器 (ADC) 的第一差分输入。第二晶体管 (Q_2) 可具有第一尺寸,第三晶体管 (Q_3) 可具有第二尺寸,第一和第二尺寸之间的比率可以为 n ,采样和保持电容器 (C_L) 的电容可以是电容器 (C_1) 的电容的 n 倍,并且通过第一晶体管 (Q_1) 的电流 (I_{Q1}) 可以是由第二电流源提供的偏置电流 (I_{bias}) 的 n 倍。

[0013] 差分输入缓冲器还可包括:另一发射极跟随器晶体管 (Q_{1SN}),其具有耦合到电源节点的集电极端子,耦合到第二差分输入节点 (v_{inn}) 的基极端子,以及耦合到第三电流源 (I_{bias2N}) 的发射极端子;第四晶体管 (Q_{1N}),其具有耦合到电源节点的集电极端子,以及耦合到另一发射极跟随器晶体管 (Q_{1SN}) 的基极端子和第二差分输入节点 (v_{inn}) 的基极端子;第五晶体管 (Q_{2N}),其具有耦合到第四晶体管 (Q_{1N}) 的发射极端子的集电极端子;以及第六晶体管 (Q_{3N}),其具有耦合到第五晶体管 (Q_{2N}) 的发射极端子和接地节点的发射极端子,耦合到第四电流源 (I_{biasN}) 的集电极端子,以及耦合到集电极端子和第五晶体管 (Q_{2N}) 的基极端子的基极端子;以及另一电容器 (C_{1N}),其耦合到第五和第六晶体管 (Q_{2N} 和 Q_{3N}) 的基极端子和第二输入节点 (v_{opx})。

[0014] 在第四晶体管 (Q_{1N}) 的发射极端子和第五晶体管 (Q_{2N}) 的集电极端子之间的第二差分输出节点 (v_{on}) 耦合到模数转换器 (ADC) 的第二差分输入。发射极跟随器晶体管 (Q_{1S}) 的发射极端子与第一电流源 (I_{bias2}) 之间的节点在第二输入节点 (v_{opx}) 处提供电压。另一发射极跟随器晶体管 (Q_{1SN}) 的发射极端子与第三电流源 (I_{bias2N}) 之间的节点在第一输入节点 (v_{onx}) 处提供电压。

[0015] 在至少一个另一示例中,可编程输入缓冲器可包括:第一晶体管 (Q_1),其具有耦合

到电源节点的集电极端子和耦合到输入节点 (v_{inp}) 的基极端子;第二晶体管 (Q_2), 其具有耦合到第一晶体管 (Q_1) 的发射极端子的集电极端子;第三晶体管 (Q_3), 其具有耦合到第二晶体管 (Q_2) 的发射极端子和接地节点的发射极端子, 耦合到电流源 (I_{bias}) 的集电极端子, 以及耦合到集电极端子和第二晶体管 (Q_2) 的基极端子的基极端子;以及多个电容器 (C_{1A-X}), 每个电容器经由相应的开关 (M_{1A-X}) 耦合到第二和第三晶体管 (Q_2 和 Q_3) 的基极端子。

[0016] 第一晶体管 (Q_1) 的发射极端子和第二晶体管 (Q_2) 的集电极端子之间的输出节点 (v_{op}) 可耦合到模数转换器 (ADC) 的输入。输出节点 (v_{op}) 可耦合到模数转换器 (ADC) 的采样和保持电容器 (C_L)。第二晶体管 (Q_2) 可具有第一尺寸, 第三晶体管 (Q_3) 可具有第二尺寸, 并且第一和第二尺寸之间的比率可以为 n 。开关 (M_{1A-X}) 可被配置为增加或减小电容器 (C_{1A-X}) 的组合电容以匹配采样和保持电容器 (C_L) 的电容。此外, 采样和保持电容器 (C_L) 的电容可以是电容器 (C_{1A-X}) 的组合电容的 n 倍, 并且通过第一晶体管 (Q_1) 的电流 (I_{Q1}) 可以由电流源提供的偏置电流 (I_{bias}) 的 n 倍。

附图说明

[0017] 图1是常规模拟输入缓冲器的示例的电路图。

[0018] 图2是设计可以以较小偏置电流提供更高线性度的输入缓冲器的常规方法的示例的电路图。

[0019] 图3是根据一些实施例的一个示例负载电流补偿电路的电路图。

[0020] 图4和图5是根据一些实施例的具有负载补偿电路的一个示例差分输入缓冲器的电路图。

[0021] 图6是根据一些实施例的一个示例可编程负载补偿电路的电路图。

[0022] 图7是比较根据一些实施例的输入缓冲器电路与常规输入缓冲器电路的线性度的曲线图。

具体实施方式

[0023] 图2的常规输入缓冲器设计存在问题。例如, 通过与 Q_1 串联添加 Q_4 , 电路200需要比电路100更大的工作电压。例如, 如果每个晶体管的集电极发射极电压为400mV, 则添加 Q_4 需要增加电源电压 (耦合到 Q_1 的集电极端子) 至少相同的量。此外, 输入电流包含AC电流 I_{c1} , 其可能较大并且可能使ADC驱动器的操作复杂化。为了解决这些和其它问题, 本文所述的系统和方法为模拟输入缓冲器提供负载电流补偿电路。使用这些电路和技术, 本文所述的实施例能够实现具有高线性度的低电压、低功率和高速运行。

[0024] 图3是根据一些实施例的一个示例负载电流补偿电路的电路图。输入缓冲器300包括第一晶体管 (Q_1), 其具有耦合到电源 (V_s) 节点的集电极端子和耦合到第一输入节点 (V_{inp}) 的基极端子。输入缓冲器300还包括第二晶体管 (Q_2), 其具有耦合到第一晶体管 (Q_1) 的发射极端子的集电极端子。输入缓冲器300进一步包括第三晶体管 (Q_3), 其具有耦合到第二晶体管 (Q_2) 的发射极端子和接地节点的发射极端子, 耦合到电流源 (I_{bias}) 的集电极端子, 以及耦合到集电极端子和第二晶体管 (Q_2) 的基极端子的基极端子。

[0025] 此外, 输入缓冲器300包括耦合到第二和第三晶体管 (Q_2 和 Q_3) 的基极端子和第二输入节点 (V_{inn}) 的电容器 (C_1), 其中第一和第二输入节点 (V_{inp} 和 V_{inn}) 是差分输入。

[0026] 在第一晶体管(Q₁)的发射极端子和第二晶体管(Q₂)的集电极端子之间的输出节点(v_{op})耦合到模数转换器(ADC)的输入。如图所示,输出节点(v_{op})耦合到ADC的采样和保持电容器(C_L)。

[0027] 在各种实施方式中,第二晶体管(Q₂)可具有第一尺寸m₂,第三晶体管(Q₃)可具有第二尺寸m₃,并且第一和第二尺寸之间的比率可选择为n(使得Q₂大于Q₃)。例如,在某些情况下,n可以具有介于2和5之间的值。因此,采样和保持电容器(C_L)的电容可以是电容器(C₁)的电容的n倍,而通过第一晶体管(Q₁)的电流(I_{Q1})是由电流源提供的偏置电流(I_{bias})的n倍。

[0028] 在其它特征中,输入缓冲器300允许C₁按比例缩小为1/n(与C_L相比),从而减小电路的占用面积。此外,由于图2的晶体管Q₄在本实施例中不使用,所以输入缓冲器300可被配置为以较低的电源电压(V_s)工作。

[0029] 在处理高速高线性度模拟信号时,大多数电路使用差分架构来提高动态性能(SNR、SFDR、THD等)。因此,信号的差分对应物在电路内容易获得。

[0030] 实现电路300中的负载电流补偿而不使用与电流源Q₂串联的共源共栅器件。这种补偿通过在电流镜上注入I_{C1}来实现,该电流向发射极跟随器提供偏置电流。I_{C1}需要从I_{CL}相移180度,这是通过将C₁两端的AC电压用与v_{op}相反的符号来实现的。使用这种方法,I_{Q1}=n*I_{bias},其中n是Q₂与Q₃的器件尺寸的比率。然后,即使在存在AC负载电流的情况下,流过Q₁的结果电流也是恒定的。在不需要共源共栅器件的情况下,最小输出电压是Q₂的集电极发射极饱和电压。此外,当选择n>1时,与负载电流相比,输入电流减小至1/n。输入电流的该减小有助于外部驱动电路。但是,不能将n设为无穷大,所以至少一些AC电流将存在于输入端处。

[0031] 为了从输入缓冲器输入中完全去除AC分量,图4和图5示出了完整的差分输入缓冲器。另外,它包含Q_{1S}和Q_{1SN},分别生成V_{opx}和V_{onx}。Q_{1S}和Q_{1SN}的偏置电流可以比主要发射器跟随器小得多。V_{opx}和V_{onx}分别用于生成I_{C1N}和I_{C1}。外部驱动电路不需要提供这些电流,因为它们由Q_{1S}和Q_{1SN}提供。

[0032] 在电路400中,发射极跟随器晶体管(Q_{1S})具有耦合到电源节点的集电极端子、耦合到第一差分输入节点(v_{inp})的基极端子,以及耦合到第一电流源(I_{bias2})的发射极端子。电路400还包括:第一晶体管(Q₁),其具有耦合到电源节点的集电极端子,以及耦合到第一发射极跟随器晶体管(Q_{1S})的基极端子和第一差分输入节点(v_{inp})的基极端子;第二晶体管(Q₂),其具有耦合到第一晶体管(Q₁)的发射极端子的集电极端子;以及第三晶体管(Q₃),其具有耦合到第二晶体管(Q₂)的发射极端子和接地节点的发射极端子,耦合到第二电流源(I_{bias})的集电极端子,以及耦合到集电极端子和第二晶体管(Q₂)的基极端子的基极端子。

[0033] 电路400进一步包括电容器(C₁),其耦合到第二和第三晶体管(Q₂和Q₃)的基极端子和第一输入节点(v_{onx})。第一晶体管(Q₁)的发射极端子和第二晶体管(Q₂)的集电极端子之间的第一差分输出节点(v_{op})耦合到包括采样和保持电容器(C_L)的模数转换器(ADC)的第一差分输入。

[0034] 在各种实施方式中,第二晶体管(Q₂)具有第一尺寸,第三晶体管(Q₃)具有第二尺寸,第一和第二尺寸之间的比率为n,采样和保持电容器(C_L)的电容是电容器(C₁)的电容的n倍,并且通过第一晶体管(Q₁)的电流(I_{Q1})是由第二电流源提供的偏置电流(I_{bias})的n倍。

[0035] 同时,电路500包括另一发射极跟随器晶体管(Q_{1SN}),其具有耦合到电源节点的集电极端子,耦合到第二差分输入节点(v_{inn})的基极端子,以及耦合到第三电流源(I_{bias2N})的

发射极端子。电路500还包括：第四晶体管 (Q_{1N})，其具有耦合到电源节点的集电极端子，以及耦合到另一发射极跟随器晶体管 (Q_{1SN}) 的基极端子和第二差分输入节点 (V_{inn}) 的基极端子；第五晶体管 (Q_{2N})，其具有耦合到第四晶体管 (Q_{1N}) 的发射极端子的集电极端子；以及第六晶体管 (Q_{3N})，其具有耦合到第五晶体管 (Q_{2N}) 的发射极端子和接地节点的发射极端子，耦合到第四电流源 (I_{biasN}) 的集电极端子，以及耦合到集电极端子和第五晶体管 (Q_{2N}) 的基极端子的基极端子。

[0036] 电路500进一步包括另一电容器 (C_{1N})，其耦合到第五和第六晶体管 (Q_{2N} 和 Q_{3N}) 的基极端子和第二输入节点 (V_{opx})。在第四晶体管 (Q_{1N}) 的发射极端子和第五晶体管 (Q_{2N}) 的集电极端子之间的第二差分输出节点 (V_{on}) 耦合到模数转换器 (ADC) 的第二差分输入。

[0037] 在各种实施例中，发射极跟随晶体管 (Q_{1S}) 的发射极端子与第一电流源 (I_{bias2}) 之间的节点在第二输入节点 (V_{opx}) 处提供电压，而另一发射极跟随器晶体管 (Q_{1SN}) 的发射极端子与第三电流源 (I_{bias2N}) 之间的节点在第一输入节点 (V_{onx}) 处提供电压。

[0038] 输入缓冲器400和500可以组合使用以驱动具有差分输入的ADC。另外，例如，除了具有一些输入缓冲器300的特性之外，输入缓冲器400进一步将 C_1 与 V_{inn} 隔离 (因为 C_1 耦合到 V_{onx})。

[0039] 输入缓冲器的AC负载电流与由输入缓冲器看到的总负载电容 C_L 成比例。 C_L 的值由ADC的采样电容器控制，但是许多寄生分量将增加到 C_L 。寄生电容难以准确预测。因此，为了产生非常接近实际负载电流的负载补偿电流， C_1 (用于产生复制负载电流) 可以是数字可编程的。例如， C_1 可能被分成很多部分， $C_{1A}, C_{1B}, \dots, C_{1X}$ 。电容器连接到通过数字控制电压 $D_{1A}, D_{1B}, \dots, D_{1X}$ 接通或断开的MOS开关。它们可用于产生最佳的负载补偿电流，其导致输入缓冲器的最佳动态性能。

[0040] 为了说明前述内容，图6是根据一些实施例的一个示例可编程负载补偿电路的电路图。输入缓冲器600类似于缓冲器300-500，但也包括多个电容器 (C_{1A-X})，每个电容器经由相应的开关 (M_{1A-X}) 耦合到第二和第三晶体管 (Q_2 和 Q_3) 的基极端子。在各种实施例中，开关 (M_{1A-X}) 可配置为增加或减少电容器 (C_{1A-X}) 的组合电容，以匹配采样和保持电容器 (C_L) 的电容。采样和保持电容器 (C_L) 的电容是电容器 (C_{1A-X}) 的组合电容的 n 倍。

[0041] 输入缓冲器600可用于基于由ADC呈现的实际负载来编程 C_1 的有效值。例如，这种编程可以在电子部件已经在硅中制造之后执行。在一些情况下，以其它方式类似于缓冲器600的相应差分缓冲器，对于驱动具有差分输入的ADC是有用的。

[0042] 图7是比较根据一些实施例的输入缓冲器电路与常规输入缓冲器电路的线性度的曲线图。具体地，曲线图700示出了相对 $V_{inp}-V_{inn}$ 节点处输入信号的频率 (“Fin”轴) 测得的三次谐波失真 (“HD3”轴)。曲线701示出了常规输入缓冲电路的线性度在高频 (高于大约370MHz) 处下降了几dB。曲线702示出了本文所述的输入缓冲器在相同的频率范围内维持线性操作。

[0043] 总而言之，本文描述的技术不需要与发射极跟随器的电流源串联插入的共源共栅器件，以减去复制负载补偿电流。相反，减法在电流镜输入端子处完成。共源共栅器件将以 V_{CE_SAT} 增加输入缓冲器输出节点的最小所需电压，对于典型的工艺，其可以为400mV。

[0044] 在一些实施方式中，在输入端子处看到的电流量减少至1/电流镜比 n 。附加地或替代地，通过将补偿电容器连接到小的发射极跟随器来消除在输入端子处看到的AC电流。通

过将输入缓冲器的最小所需输出电压保持在 $1 \times V_{CE_SAT}$, ADC输入可以向下摆动到400mV。使用先前的方法, 最小电压将为 $2 \times V_{CE_SAT}$, 这将是800mV。采用1.2V的ADC电源, 小400mV的输入摆幅将显著降低ADC输入处的信号摆幅。此外, 减少或消除输入缓冲器的输入AC电流使得外部驱动器的工作更容易。

[0045] 在权利要求的范围内, 在所描述的实施例中, 修改是可能的, 并且其它实施例是可能的。例如, 负载电流补偿电路可以包括可以执行指示的操作的电子部件的任何组合。而且, 在一些实施例中, 由所示部件执行的操作可以由更少的部件执行或分布在另外的部件上。类似地, 在其它实施例中, 可以不提供一些所示部件的操作和/或可以使用其它附加操作。因此, 本文描述的系统和方法可以用其它电路配置来实现或执行。

[0046] 本文讨论的各种操作可以同时和/或顺序地执行。每个操作可以以任何顺序执行, 并且可以执行一次或重复执行。

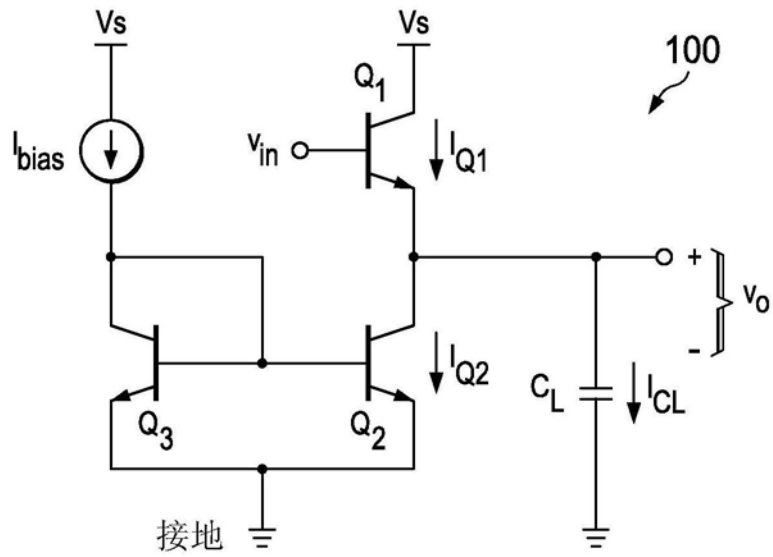


图1
(现有技术)

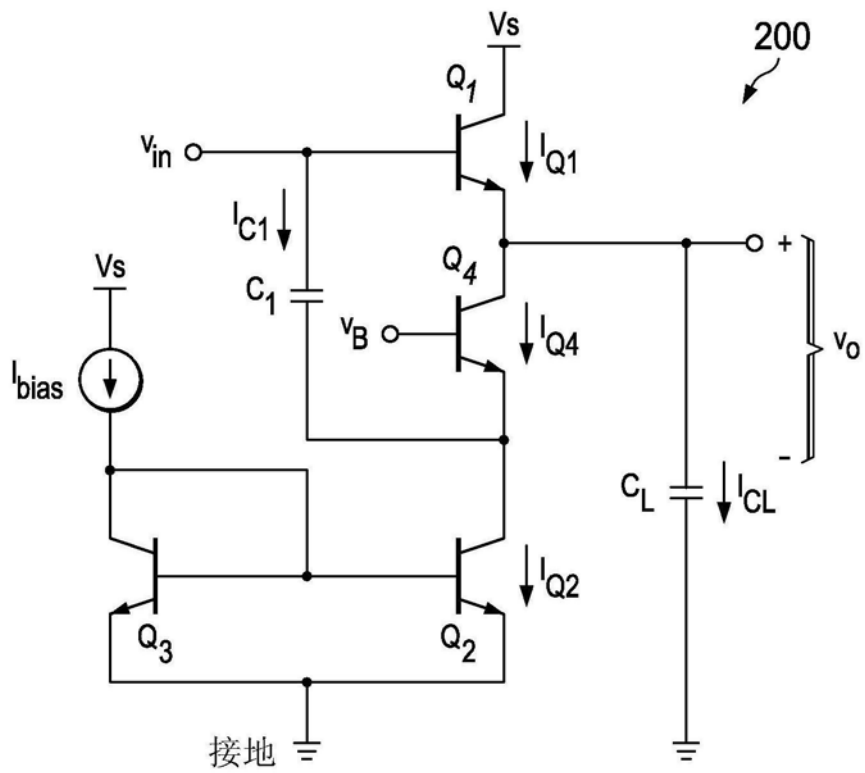


图2
(现有技术)

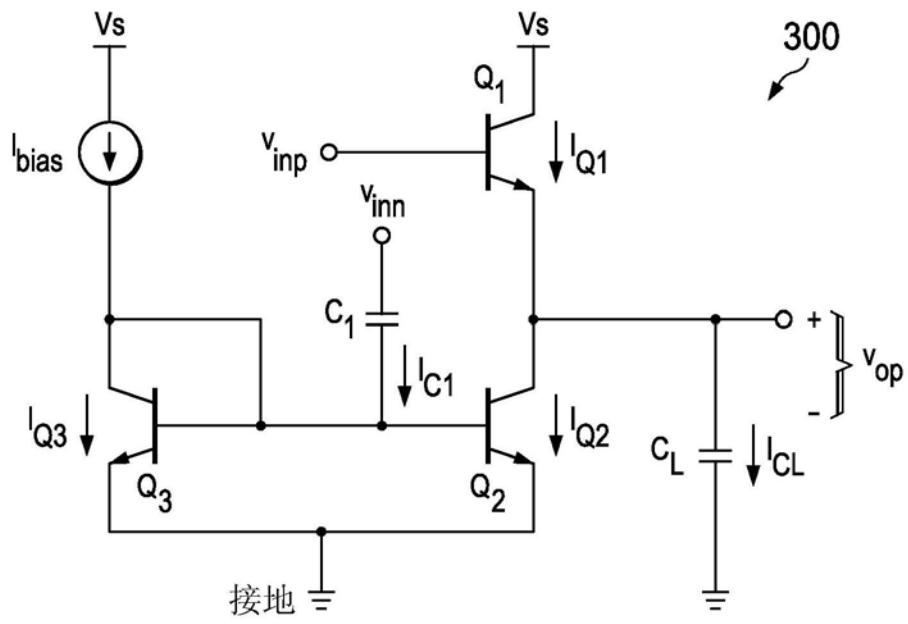


图3

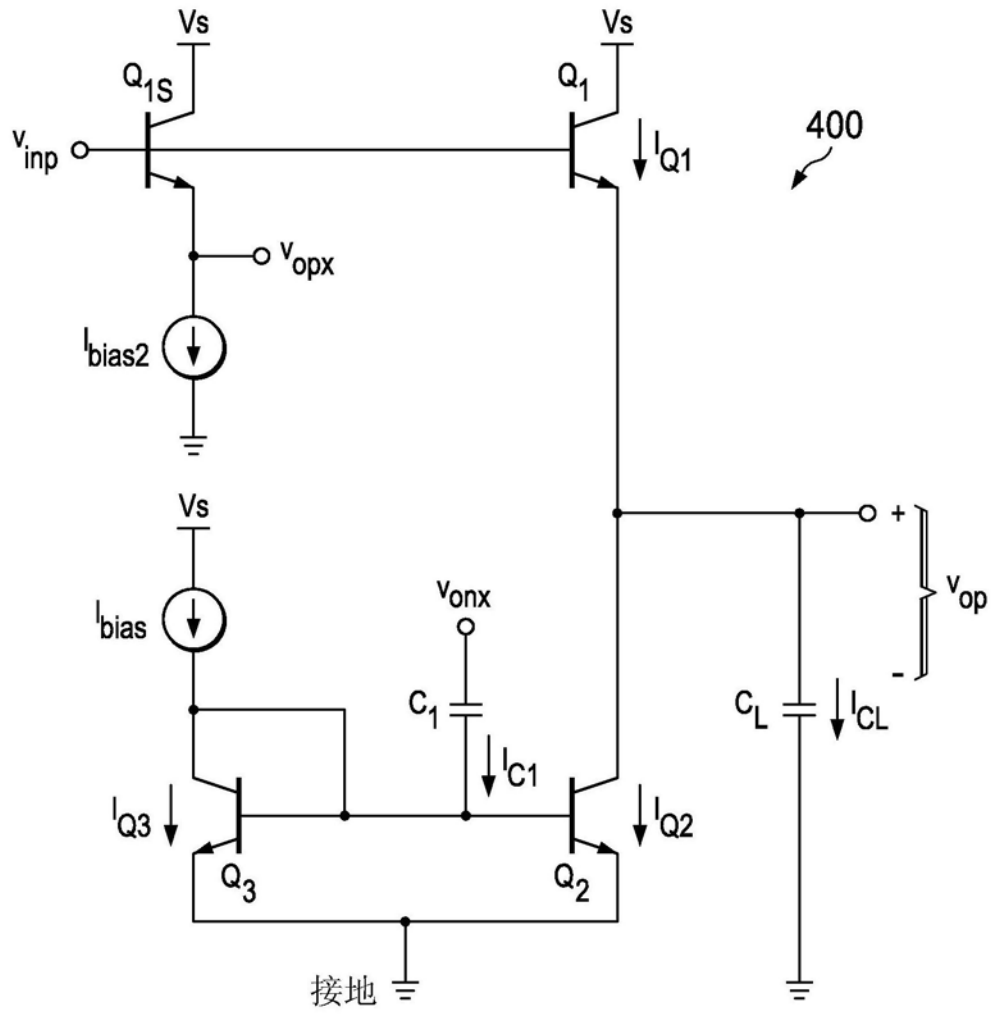


图4

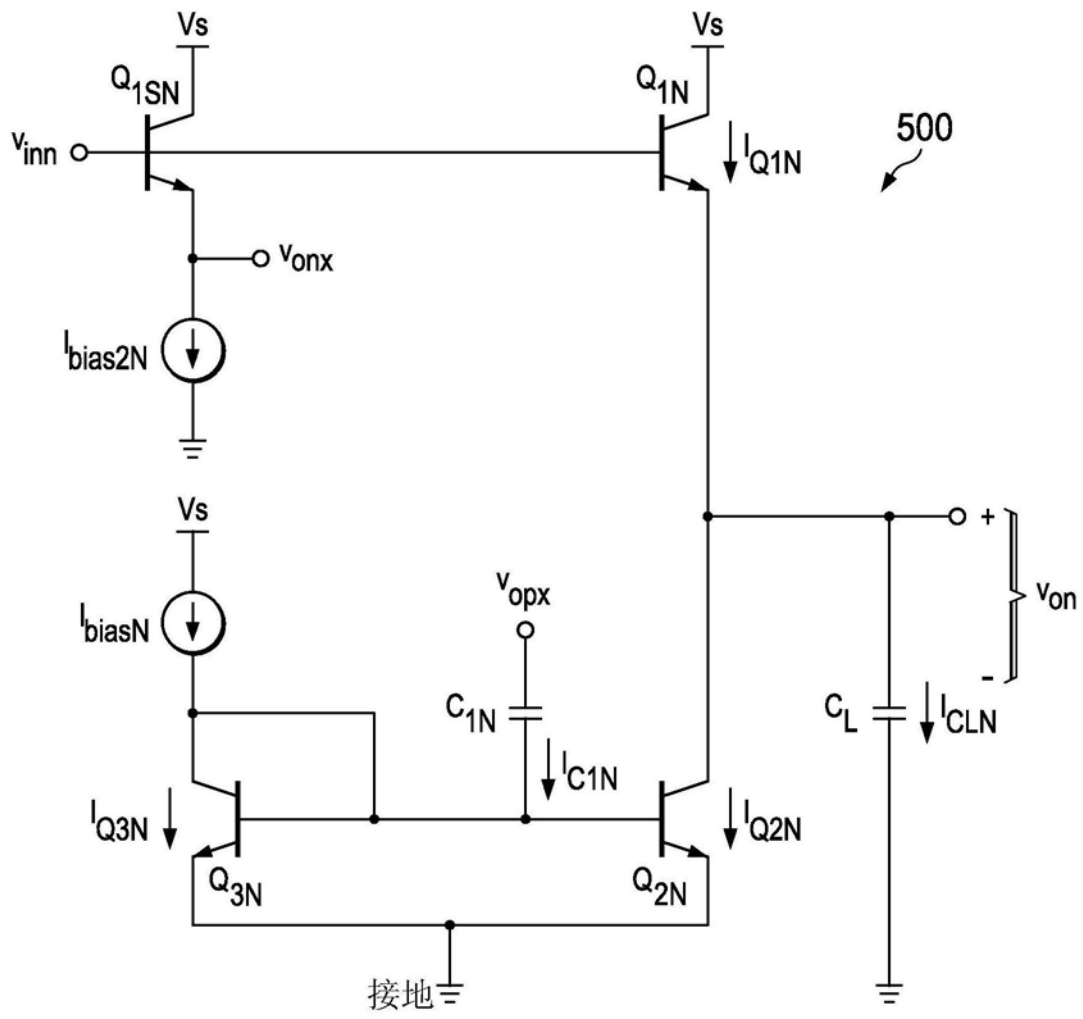


图5

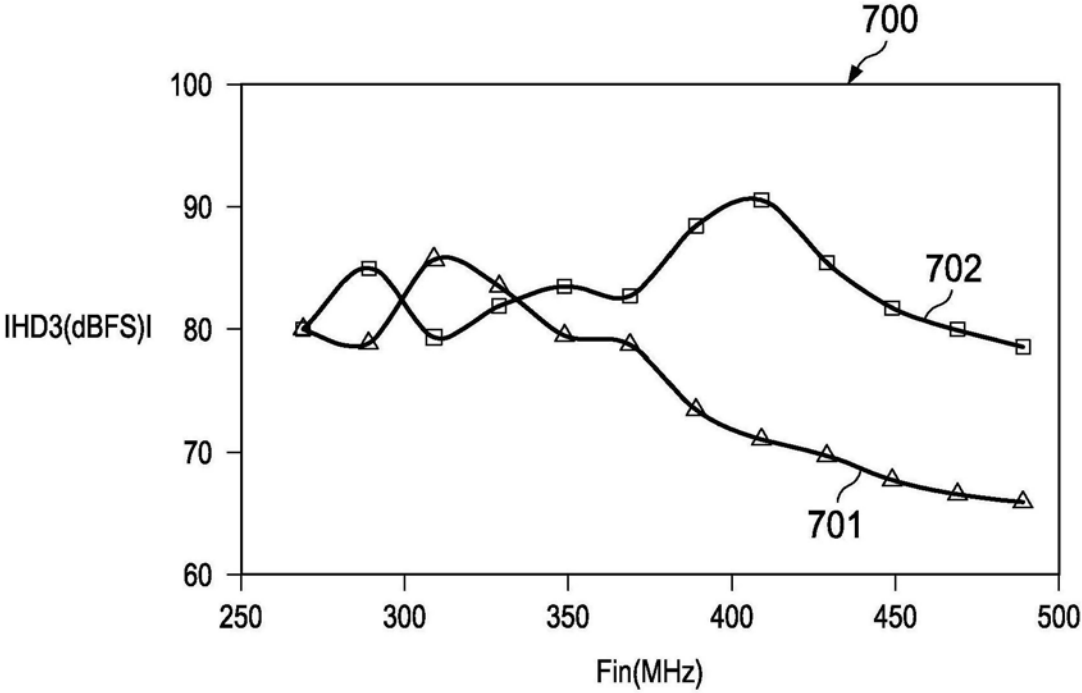


图7

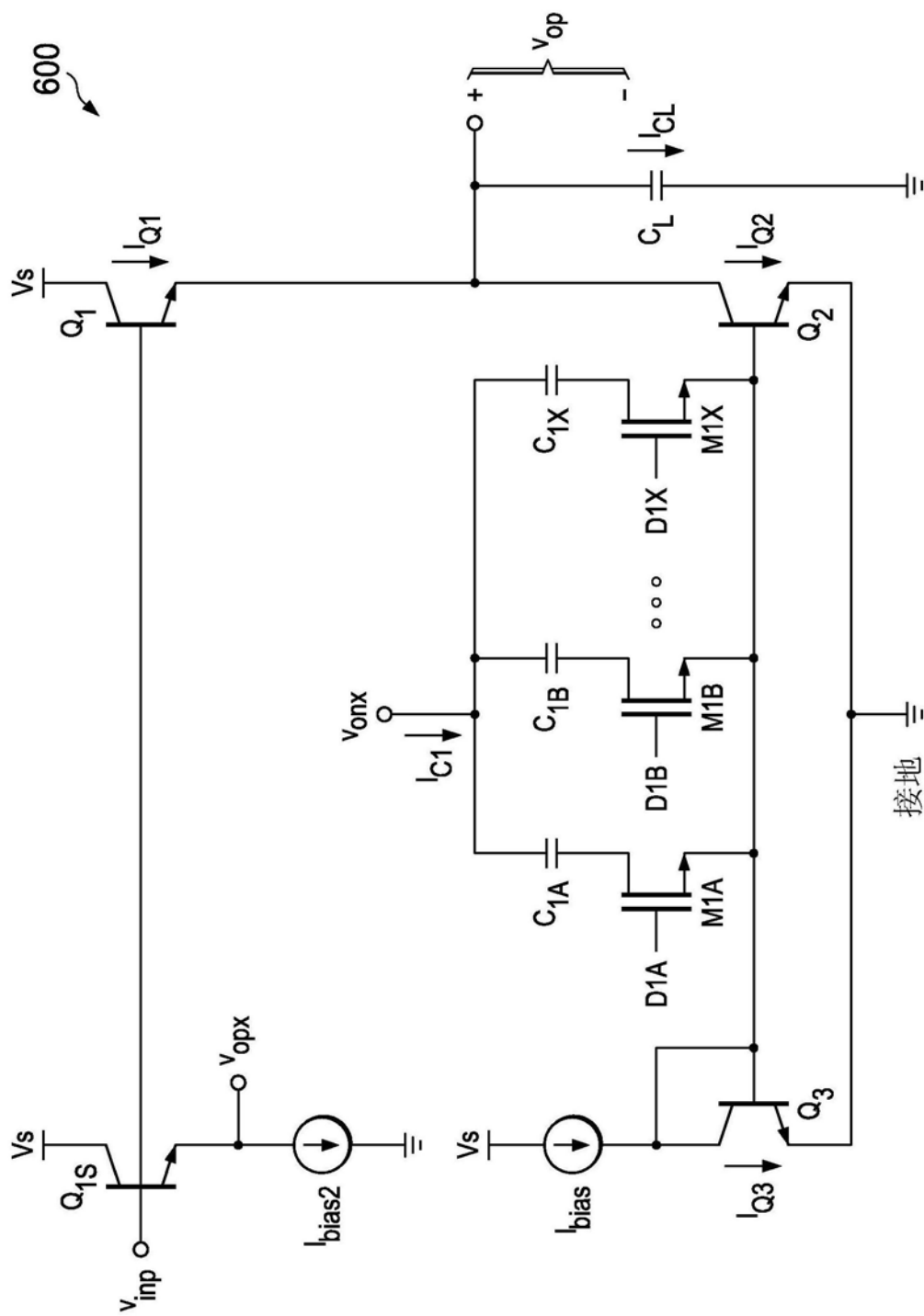


图6