(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 9 月 8 日 (08.09.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/147968 A1

(51) 国际专利分类号:
H01L 27/092 (2006.01) *H01L 21/8238* (2006.01)

(21) 国际申请号: PCT/CN2016/078749

(22) 国际申请日: 2016 年 4 月 8 日 (08.04.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610112863.7 2016 年 2 月 29 日 (29.02.2016) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。

(72) 发明人: **曾勉 (ZENG, Mian)**; 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。 **萧祥志 (HSIAO, Hsiang Chih)**; 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。 **张盛东 (ZHANG, Shengdong)**; 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: COMPLEMENTARY THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) **发明名称** : 互补型薄膜晶体管及其制造方法

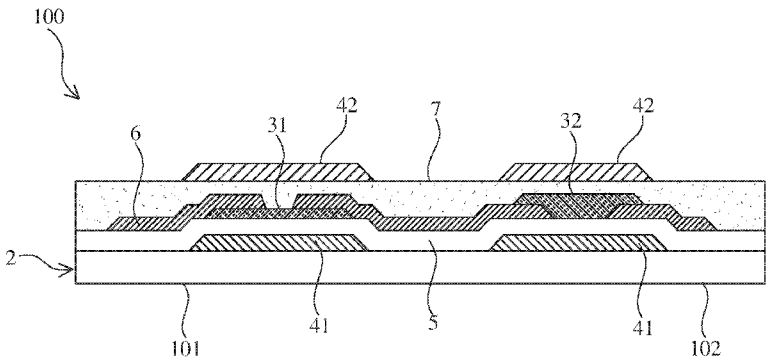


图 2

(57) **Abstract**: A complementary thin film transistor and a manufacturing method therefor. The complementary thin film transistor (100) comprises a substrate (2), an N-type semiconductor layer (31), and a P-type semiconductor layer (32). An N-type transistor region (101) and a P-type transistor region (102) that are adjacently disposed are defined by the substrate. The N-type semiconductor layer is disposed above the substrate and is located in the N-type transistor region, and the N-type semiconductor layer comprises a metal oxide material. The P-type semiconductor layer is disposed above the substrate and is located in the P-type transistor region, and the P-type semiconductor layer comprises an organic semiconductor material.

(57) **摘要**: 一种互补型薄膜晶体管及其制造方法，该互补型薄膜晶体管（100）包含一基板（2）、一 N 型半导体层（31）及一 P 型半导体层（32）；该基板定义有相邻的一 N 型晶体管区（101）及一 P 型晶体管区（102），该 N 型半导体层设置在该基板上方且位于该 N 型晶体管区中，且该 N 型半导体层包含一金属氧化物材料，该 P 型半导体层设置在该基板上方且位于该 P 型晶体管区中，且该 P 型半导体层包含一有机半导体材料。

WO 2017/147968 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

发明名称: 互补型薄膜晶体管及其制造方法

技术领域

[1] 本发明是有关于一种薄膜晶体管及其制造方法，特别是有关于一种互补型薄膜晶体管及其制造方法。

背景技术

[2] 互补式金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)是一种集成电路的设计制程，可以在硅质晶圆模板上制出N 型沟道金属氧化物半导体(n-type MOSFET, NMOS)和P型沟道金属氧化物半导体 (p-type MOSFET, PMOS)的基本组件，由于NMOS与PMOS在物理特性上为互补性，因此被称为CMOS。CMOS在一般的制程上，可用来制作静态随机存储器、微控制器、微处理器、以及互补式金属氧化物半导体图像传感装置与其他数位逻辑电路系统。也就是说，CMOS由P型沟道金属氧化物半导体和N 型沟道金属氧化物半导体共同构成，而CMOS电路是作为集成电路中的基本电路结构。

[3] 目前显示面板中的基板大部分为玻璃基板或塑料基板(PEN)等，如图1所示，为一种互补型薄膜晶体管(Continuous Time Fourier Transform, CTFT)反相器的电路图，所述互补型薄膜晶体管电性连接一电源电压VDD及一公共电压VSS，且所述互补型薄膜晶体管具有一P型薄膜晶体管11，及一N型薄膜晶体管12，其中所述N型薄膜晶体管12为主动组件且形成在所述基板(未绘示)上，并具有一输入端Vin及一输出端Vout。

[4] 然而，传统的LCD(Liquid Crystal Display)显示器的驱动芯片(IC)与玻璃基板为不具有集成的分离式设计，在低温多晶硅(LTPS, Low Temperature Poly-silicon)的技术中，通过采用不同类型的掺杂来分别制备CTFT电路中所述P型薄膜晶体管11的区域及所述N型薄膜晶体管12的区域的半导体层，所述CTFT电路的制备工艺包括激光退火、离子注入等复杂工艺，制造成本较高。

对发明的公开

技术问题

[5] 有鉴于此，本发明的目的在于提供一种互补型薄膜晶体管，利用在所述N型晶体管区形成N型薄膜晶体，在所述P型晶体管区形成P型薄膜晶体，可制备成双栅极结构，用以来改善器件特性。

[6] 本发明的另一目的在于提供一种互补型薄膜晶体管的制造方法，利用N型半导体层形成步骤在N型晶体管区形成N型薄膜晶体，及P型半导体层形成步骤在P型晶体管区形成P型薄膜晶体，可减少工艺制备流程并降低制造成本。

问题的解决方案

技术解决方案

[7] 为达成本发明的前述目的，本发明一实施例提供一种互补型薄膜晶体管，所述互补型薄膜晶体管包含一基板、一N型半导体层及一P型半导体层；所述基板定义有相邻的一N型晶体管区及一P型晶体管区；所述N型半导体层设置在所述基板上方且位于所述N型晶体管区中，其中所述N型半导体层包含一金属氧化物材料；所述P型半导体层设置在所述基板上方且位于所述P型晶体管区中，其中所述P型半导体层包含一有机半导体材料。

[8] 在本发明的一实施例中，所述互补型薄膜晶体管还包含一第一栅极层及一绝缘层，其中所述第一栅极层形成在所述基板上且位于所述N型晶体管区及所述P型晶体管区中，所述绝缘层形成在所述第一栅极层及所述基板上，其中所述N型半导体层及所述P型半导体层形成在所述绝缘层上且彼此相间隔。

[9] 在本发明的一实施例中，所述互补型薄膜晶体管还包含一刻蚀阻挡层，形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区中。

[10] 在本发明的一实施例中，所述互补型薄膜晶体管还包含一电极金属层，形成在所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，其中所述电极金属层形成在所述N型半导体层上，所述P型半导体层形成在所述电极金属层上。

[11] 在本发明的一实施例中，所述互补型薄膜晶体管还包含：一钝化层，形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及一第二栅极层，形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

[12] 在本发明的一实施例中，所述N型半导体层的金属氧化物材料选自于铟镓锌氧

化物、铟锌氧化物或锌锡氧化物。

[13] 在本发明的一实施例中，所述P型半导体层的有机半导体材料选自于并五苯、三苯基胺、富勒烯、酞菁、 茈衍生物或花菁。

[14] 为达成本发明的前述目的，本发明一实施例提供一种互补型薄膜晶体管的制造方法，所述制造方法包含一第一栅极层形成步骤、一绝缘层形成步骤、一N型半导体层形成步骤、一电极金属层形成步骤、一P型半导体层形成步骤；所述第一栅极层形成步骤是在一基板上定义相邻的一N型晶体管区及一P型晶体管区，并将一第一栅极层形成在所述基板上并位于所述N型晶体管区及所述P型晶体管区中；所述绝缘层形成步骤是将一绝缘层形成在所述第一栅极层及所述基板上；所述N型半导体层形成步骤是将一N型半导体层形成在绝缘层上且位于所述N型晶体管区中，其中所述N型半导体层包含一金属氧化物材料；所述电极金属层形成步骤是将一电极金属层形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；所述P型半导体层形成步骤是将一P型半导体层形成在所述绝缘层及所述电极金属层上且位于所述P型晶体管区中，其中所述P型半导体层包含一有机半导体材料，且所述N型半导体层及所述P型半导体层彼此相间隔。

[15] 在本发明的一实施例中，所述制造方法还包含在所述N型半导体层形成步骤之后的一刻蚀阻挡层形成步骤，将一刻蚀阻挡层形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区中。

[16] 在本发明的一实施例中，所述制造方法还包含在所述P型半导体层形成步骤之后的一第二栅极层形成步骤，将一钝化层形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，接着将一第二栅极层形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

发明的有益效果

有益效果

[17] 如上所述，本发明互补型薄膜晶体管利用在所述N型晶体管区形成N型薄膜晶体，在所述P型晶体管区形成P型薄膜晶体，所采用简单工艺制备流程且较低成本，同时利用P型薄膜晶体和所述N型薄膜晶体结构制备成双栅极结构，可减少

工艺制备流程，并用来改善器件特性。

对附图的简要说明

附图说明

[18] 图1是一现有的互补型薄膜晶体管反相器的电路图。

[19] 图2是根据本发明一第一优选实施例的互补型薄膜晶体管的一剖视图。

[20] 图3是根据本发明一第二优选实施例的互补型薄膜晶体管的一剖视图。

[21] 图4是本发明所述第一优选实施例的互补型薄膜晶体管的制造方法的一流程图。

[22] 图5是本发明所述第二优选实施例的互补型薄膜晶体管的制造方法的一流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

[23] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。再者，本发明所提到的方向用语，例如上、下、顶、底、前、后、左、右、内、外、侧面、周围、中央、水平、横向、垂直、纵向、轴向、径向、最上层或最下层等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。

[24] 请参照图2所示，是根据本发明一第一优选实施例的互补型薄膜晶体管100，其中所述互补型薄膜晶体管100包含一基板2、一N型半导体层31、一P型半导体层32、一第一栅极层41、一绝缘层5、一电极金属层6、一钝化层7及一第二栅极层42。本发明将于下文详细说明各实施例上述各组件的细部构造、组装关系及其运作原理。

[25] 续参照图2所示，所述基板2定义有相邻的一N型晶体管区101及一P型晶体管区102。在本实施例中，所述基板2为玻璃基板，但在其他实施例中，也可为塑料基板(PEN)。

[26] 续参照图2所示，所述N型半导体层31设置在所述基板2上方且位于所述N型晶体管区101中，其中所述N型半导体层31包含一金属氧化物材料。在本实施例中，所述N型半导体层31的金属氧化物材料是选自于铟镓锌氧化物、铟锌氧化物或

锌锡氧化物。

[27] 续参照图2所示，所述P型半导体层32设置在所述基板2上方且位于所述P型晶体管区102中，其中所述P型半导体层32包含一有机半导体材料。在本实施例中，所述P型半导体层32的有机半导体材料是选自于并五苯、三苯基胺、富勒烯、酞菁、 茋衍生物或花菁。

[28] 续参照图2所示，所述第一栅极层41形成在所述基板2上，且所述第一栅极层41分别形成两个部分位于所述N型晶体管区101及所述P型晶体管区102中。在本实施例中，所述第一栅极层41为金属材料，例如铝、锰、铜或钛以及其合金。

[29] 续参照图2所示，所述绝缘层5形成在所述第一栅极层41及所述基板2上，其中所述N型半导体层31及所述P型半导体层32是形成在所述绝缘层5上，且彼此相间隔。在本实施例中，所述绝缘层5用以绝缘所述第一栅极层41。

[30] 续参照图2所示，所述电极金属层6形成在所述绝缘层5上且位于所述N型晶体管区101及所述P型晶体管区102中，其中所述电极金属层6形成在所述N型半导体层31上，所述P型半导体层32形成在所述电极金属层6上。在本实施例中，所述电极金属层6为金属材料，例如铝、锰、铜或钛以及其合金；进一步说明的是，所述N型半导体层31是通过曝光、显影、刻蚀、剥离等工序而形成在所述绝缘层5上，并在所述N型半导体层31上溅射一层所述电极金属层6，接着再涂布一层所述P型半导体层32(有机半导体层)，通过所述N型半导体层31及P型半导体层32设置在不同层，使有机薄膜晶体管(Organic TFT)作为P型薄膜晶体管的区域结构，以金属氧化物薄膜晶体管(Oxide TFT)作为N型薄膜晶体管的区域结构，进而能够制备成双栅极结构，可减少工艺制备流程，并用来改善器件特性。

[31] 续参照图2所示，所述钝化层7形成在所述电极金属层6及所述绝缘层5上且位于所述N型晶体管区101及所述P型晶体管区102中。

[32] 续参照图2所示，所述第二栅极层42形成在所述钝化层7上，且所述第二栅极层42分别形成两个部分位于所述N型晶体管区101及所述P型晶体管区102中。

[33] 依据上述的结构，通过在所述基板2上方设置所述N型半导体层31及所述P型半导体层32，使所述互补型薄膜晶体管100分别在所述N型晶体管区101形成N型薄膜晶体管，在所述P型晶体管区102形成P型薄膜晶体管，进而能够以有机薄膜晶

体管(Organic TFT)作为P型薄膜晶体管的区域结构，也就是使用P型有机半导体材料制备所述P型半导体层32，又以金属氧化物薄膜晶体管(Oxide TFT)作为N型薄膜晶体管的区域结构，也就是使用氧化物材料制备所述N型半导体层31。同时利用P型薄膜晶体管和所述N型薄膜晶体管结构制备成双栅极结构，可减少工艺制备流程，并用来改善器件特性，例如增大开态电流(Ion)，减小关态电流(Ioff)及改善Vth偏移等，而不用增加额外的成本。

[34] 利用上述的设计，本发明互补型薄膜晶体管100分别在所述N型晶体管区101形成N型薄膜晶体管，在所述P型晶体管区102形成P型薄膜晶体管，所采用简单工艺制备流程且较低成本，同时利用P型薄膜晶体管和所述N型薄膜晶体管结构制备成双栅极结构，可减少工艺制备流程，并用来改善器件特性，例如增大开态电流(Ion)，减小关态电流(Ioff)及改善Vth偏移。

[35] 请参照图3所示，是根据本发明一第二优选实施例的互补型薄膜晶体管100'，相似于本发明第一实施例并大致沿用相同组件名称及图号，其中所述互补型薄膜晶体管100'包含一基板2、一N型半导体层31、一P型半导体层32、一第一栅极层41、一绝缘层5、一电极金属层6、一钝化层7、一第二栅极层42。但本发明第二实施例的差异特征在于：所述互补型薄膜晶体管100'还包含一刻蚀阻挡层8，其中所述刻蚀阻挡层8形成在所述N型半导体层31及所述绝缘层5上，且所述刻蚀阻挡层8位于所述N型晶体管区101中，以保护作为N型沟道的N型半导体层31，进一步说明的是，所述刻蚀阻挡层8形成在所述N型半导体层31及靠近所述N型半导体层31的边缘的绝缘层5上，同时部分的N型半导体层31上的刻蚀阻挡层8形成缺槽，用以形成所述电极金属层6，使部分的N型半导体层31能够与所述电极金属层6电性连接。

[36] 利用上述的设计，本发明互补型薄膜晶体管100'分别在所述N型晶体管区101形成N型薄膜晶体管(Ntype

TFT)，在所述P型晶体管区102形成P型薄膜晶体管(Ptype TFT)，所采用简单工艺制备流程且较低成本，同时利用P型薄膜晶体管和所述N型薄膜晶体管结构制备成双栅极结构，可减少工艺制备流程，并用来改善器件特性。另外，将所述刻蚀阻挡层8设置在所述N型半导体层31上，能够保护作为N型沟道的N型半导体层

31。

[37] 请参照图4并配合图2所示，是依照本发明所述第一优选实施例的互补型薄膜晶体管的制造方法的流程图，其中所述互补型薄膜晶体管的制造方法包含一第一栅极层形成步骤S201、一绝缘层形成步骤S202、一N型半导体层形成步骤S203、一电极金属层形成步骤S204、一P型半导体层形成步骤S205及一第二栅极层形成步骤S206。

[38] 续参照图4并配合图2所示，所述第一栅极层形成步骤S201是在一基板2上定义相邻的一N型晶体管区101及一P型晶体管区102，并将一第一栅极层41形成在所述基板2上，并位于所述N型晶体管区101及所述P型晶体管区102中。

[39] 续参照图4并配合图2所示，所述绝缘层形成步骤S202是将一绝缘层5形成在所述第一栅极层41及所述基板2上。

[40] 续参照图4并配合图2所示，所述N型半导体层形成步骤S203是将一N型半导体层31形成在绝缘层5上且位于所述N型晶体管区101中，其中所述N型半导体层31包含一金属氧化物材料。

[41] 续参照图4并配合图2所示，所述电极金属层形成步骤S204是将一电极金属层6形成在所述N型半导体层31及所述绝缘层5上，且位于所述N型晶体管区101及所述P型晶体管区102中。

[42] 续参照图4并配合图2所示，所述P型半导体层形成步骤S205是将一P型半导体层32形成在所述绝缘层5及所述电极金属层6上，且位于所述P型晶体管区102中，其中所述P型半导体层32包含一有机半导体材料，且所述N型半导体层31及所述P型半导体层32彼此相间隔。

[43] 续参照图4并配合图2所示，所述第二栅极层形成步骤S206是将一钝化层7形成在所述电极金属层6及所述绝缘层5上，且位于所述N型晶体管区101及所述P型晶体管区102中，接着将一第二栅极层42形成在所述钝化层7上且位于所述N型晶体管区101及所述P型晶体管区102中。

[44] 利用上述的设计，分别在所述N型晶体管区101形成N型薄膜晶体管，在所述P型晶体管区102形成P型薄膜晶体管，所采用简单工艺制备流程且较低成本，同时利用P型薄膜晶体管和所述N型薄膜晶体管结构制备成双栅极结构，可减少工

艺制备流程，并用来改善器件特性，例如增大开态电流(Ion)，减小关态电流(Ioff)及改善Vth偏移。利用将P型薄膜晶体管制程的所述P型半导体层形成步骤S205实施于N型薄膜晶体管制程的所述N型半导体层形成步骤S203之后，可确保N型薄膜晶体管的半导体特性不受制程的影响。

[45] 请参照图5并配合图3所示，是依照本发明所述第二优选实施例的互补型薄膜晶体管的制造方法的流程图，其中所述互补型薄膜晶体管的制造方法包含一第一栅极层形成步骤S201、一绝缘层形成步骤S202、一N型半导体层形成步骤S203、一刻蚀阻挡层形成步骤S207、一电极金属层形成步骤S204、一P型半导体层形成步骤S205及一第二栅极层形成步骤S206。

[46] 续参照图5并配合图3所示，所述第一栅极层形成步骤S201是在一基板2上定义相邻的一N型晶体管区101及一P型晶体管区102，并将一第一栅极层41形成在所述基板2上，并位于所述N型晶体管区101及所述P型晶体管区102中。

[47] 续参照图5并配合图3所示，所述绝缘层形成步骤S202是将一绝缘层5形成在所述第一栅极层41及所述基板2上。

[48] 续参照图5并配合图3所示，所述N型半导体层形成步骤S203是将一N型半导体层31形成在绝缘层5上且位于所述N型晶体管区101中，其中所述N型半导体层31包含一金属氧化物材料。

[49] 续参照图5并配合图3所示，所述刻蚀阻挡层形成步骤S207是将一刻蚀阻挡层8形成在所述N型半导体层31及所述绝缘层5上且位于所述N型晶体管区101中。

[50] 续参照图5并配合图3所示，所述电极金属层形成步骤S204是将一电极金属层6形成在所述N型半导体层31及所述绝缘层5上，且位于所述N型晶体管区101及所述P型晶体管区102中。

[51] 续参照图5并配合图3所示，所述P型半导体层形成步骤S205是将一P型半导体层32形成在所述绝缘层5及所述电极金属层6上，且位于所述P型晶体管区102中，其中所述P型半导体层32包含一有机半导体材料，且所述N型半导体层31及所述P型半导体层32彼此相间隔。

[52] 续参照图5并配合图3所示，所述第二栅极层形成步骤S206是将一钝化层7形成在所述电极金属层6及所述绝缘层5上，且位于所述N型晶体管区101及所述P型晶

体管区102中，接着将一第二栅极层42形成在所述钝化层7上且位于所述N型晶体管区101及所述P型晶体管区102中。

[53] 利用上述的设计，分别在所述N型晶体管区101形成N型薄膜晶体管，在所述P型晶体管区102形成P型薄膜晶体管，所采用简单工艺制备流程且较低成本，同时利用P型薄膜晶体管和所述N型薄膜晶体管结构制备成双栅极结构，可减少工艺制备流程，并用来改善器件特性。另外，将所述刻蚀阻挡层8设置在所述N型半导体层31上，能够保护作为N型沟道的N型半导体层31。

[54] 本发明已由上述相关实施例加以描述，然而上述实施例仅为实施本发明的范例。必需指出的是，已公开的实施例并未限制本发明的范围。相反地，包含于权利要求书的精神及范围的修改及均等设置均包括于本发明的范围内。

权利要求书

[权利要求 1] 一种互补型薄膜晶体管，其中：所述互补型薄膜晶体管包含：

一基板，定义有相邻的一N型晶体管区及一P型晶体管区；

一N型半导体层，设置在所述基板上方且位于所述N型晶体管区中，其中所述N型半导体层包含一金属氧化物材料，且所述N型半导体层的金属氧化物材料选自于铟镓锌氧化物、铟锌氧化物或锌锡氧化物；及

一P型半导体层，设置在所述基板上方且位于所述P型晶体管区中，其中所述P型半导体层包含一有机半导体材料，且所述P型半导体层的有机半导体材料选自于并五苯、三苯基胺、富勒烯、酞菁、苝衍生物或花菁。

[权利要求 2] 如权利要求1所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一第一栅极层及一绝缘层，其中所述第一栅极层形成在所述基板上且位于所述N型晶体管区及所述P型晶体管区中，所述绝缘层形成在所述第一栅极层及所述基板上，其中所述N型半导体层及所述P型半导体层形成在所述绝缘层上且彼此相间隔。

[权利要求 3] 如权利要求2所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一电极金属层，形成在所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，其中所述电极金属层形成在所述N型半导体层上，所述P型半导体层形成在所述电极金属层上。

[权利要求 4] 如权利要求2所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含：一钝化层，形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及一第二栅极层，形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

[权利要求 5] 如权利要求2所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一刻蚀阻挡层，形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区中。

[权利要求 6] 如权利要求5所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一电极金属层，形成在所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，其中所述电极金属层形成在所述N型半导体层上，所述P型半导体层形成在所述电极金属层上。

[权利要求 7] 如权利要求5所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含：一钝化层，形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及一第二栅极层，形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

[权利要求 8] 一种互补型薄膜晶体管，其中：所述互补型薄膜晶体管包含：

一基板，定义有相邻的一N型晶体管区及一P型晶体管区；

一N型半导体层，设置在所述基板上方且位于所述N型晶体管区中，其中所述N型半导体层包含一金属氧化物材料；及

一P型半导体层，设置在所述基板上方且位于所述P型晶体管区中，其中所述P型半导体层包含一有机半导体材料。

[权利要求 9] 如权利要求8所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一第一栅极层及一绝缘层，其中所述第一栅极层形成在所述基板上且位于所述N型晶体管区及所述P型晶体管区中，所述绝缘层形成在所述第一栅极层及所述基板上，其中所述N型半导体层及所述P型半导体层形成在所述绝缘层上且彼此相间隔。

[权利要求 10] 如权利要求9所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一电极金属层，形成在所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，其中所述电极金属层形成在所述N型半导体层上，所述P型半导体层形成在所述电极金属层上。

[权利要求 11] 如权利要求9所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含：一钝化层，形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及一第二栅极层，形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管

区中。

[权利要求 12] 如权利要求9所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一刻蚀阻挡层，形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区中。

[权利要求 13] 如权利要求12所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含一电极金属层，形成在所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，其中所述电极金属层形成在所述N型半导体层上，所述P型半导体层形成在所述电极金属层上。

[权利要求 14] 如权利要求12所述的互补型薄膜晶体管，其中：所述互补型薄膜晶体管还包含：一钝化层，形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及一第二栅极层，形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

[权利要求 15] 如权利要求8所述的互补型薄膜晶体管，其中：所述N型半导体层的金属氧化物材料选自于铟镓锌氧化物、铟锌氧化物或锌锡氧化物。

[权利要求 16] 如权利要求8所述的互补型薄膜晶体管，其中：所述P型半导体层的有机半导体材料选自于并五苯、三苯基胺、富勒烯、酞菁、茀衍生物或花菁。

[权利要求 17] 一种互补型薄膜晶体管的制造方法，其中：所述制造方法包含步骤：

一第一栅极层形成步骤，在一基板上定义相邻的一N型晶体管区及一P型晶体管区，并将一第一栅极层形成在所述基板上并位于所述N型晶体管区及所述P型晶体管区中；

一绝缘层形成步骤，将一绝缘层形成在所述第一栅极层及所述基板上；

一N型半导体层形成步骤，将一N型半导体层形成在绝缘层上且位于所述N型晶体管区中，其中所述N型半导体层包含一金属氧化物

材料；

一电极金属层形成步骤，将一电极金属层形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中；及

一P型半导体层形成步骤，将一P型半导体层形成在所述绝缘层及所述电极金属层上且位于所述P型晶体管区中，其中所述P型半导体层包含一有机半导体材料，且所述N型半导体层及所述P型半导体层彼此相间隔。

[权利要求 18] 如权利要求17所述的制造方法，其中：所述制造方法还包含在所述N型半导体层形成步骤之后的一刻蚀阻挡层形成步骤，将一刻蚀阻挡层形成在所述N型半导体层及所述绝缘层上且位于所述N型晶体管区中。

[权利要求 19] 如权利要求17所述的制造方法，其中：所述制造方法还包含在所述P型半导体层形成步骤之后的一第二栅极层形成步骤，将一钝化层形成在所述电极金属层及所述绝缘层上且位于所述N型晶体管区及所述P型晶体管区中，接着将一第二栅极层形成在所述钝化层上且位于所述N型晶体管区及所述P型晶体管区中。

WO 2017/147968

说 明 书 附 图

PCT/CN2016/078749

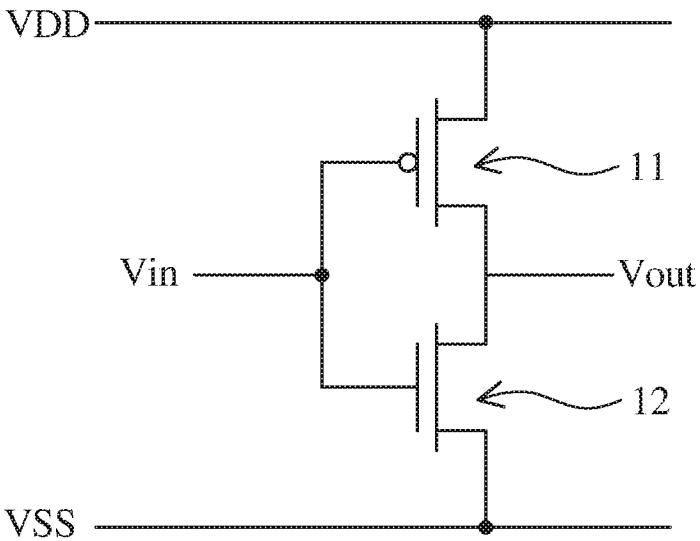


图 1

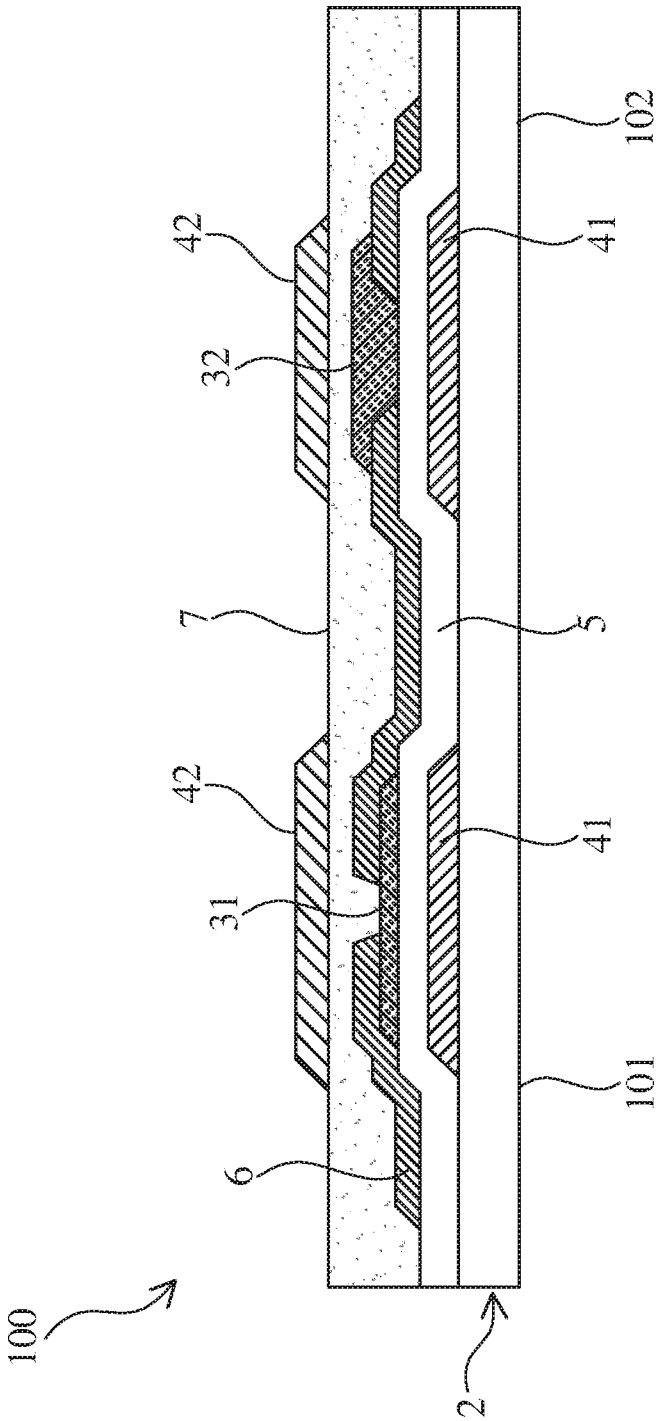


图 2

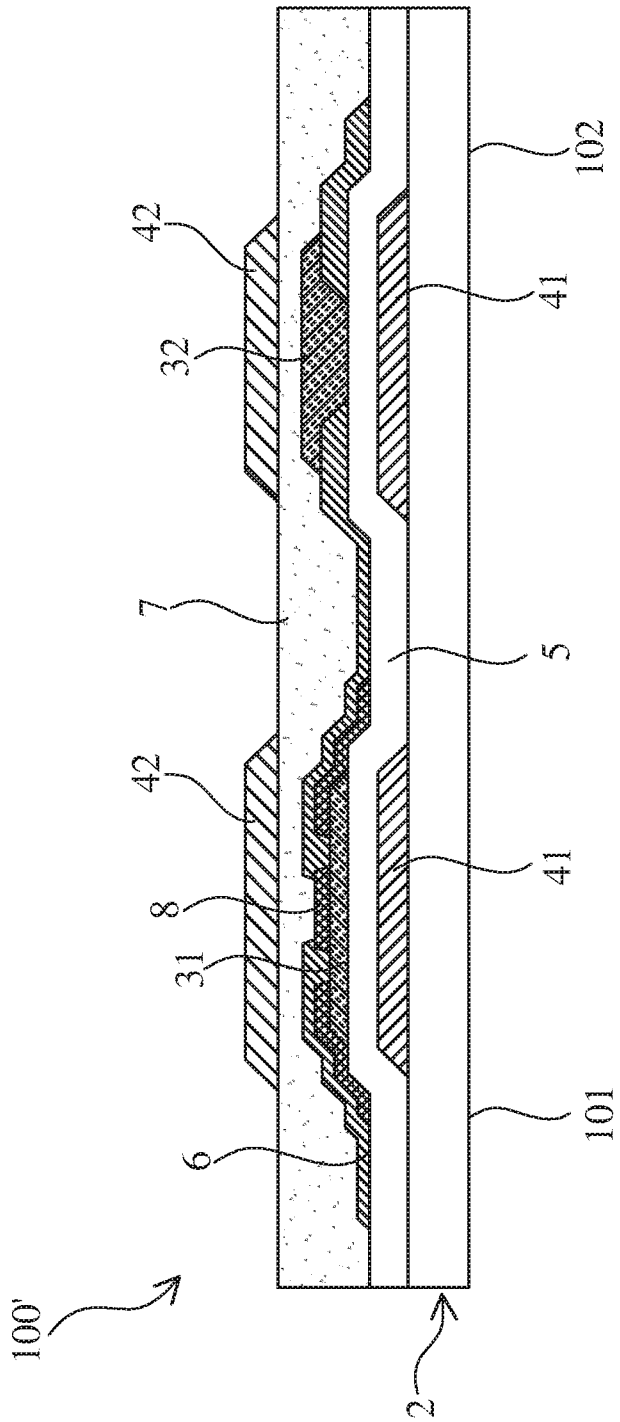


图 3

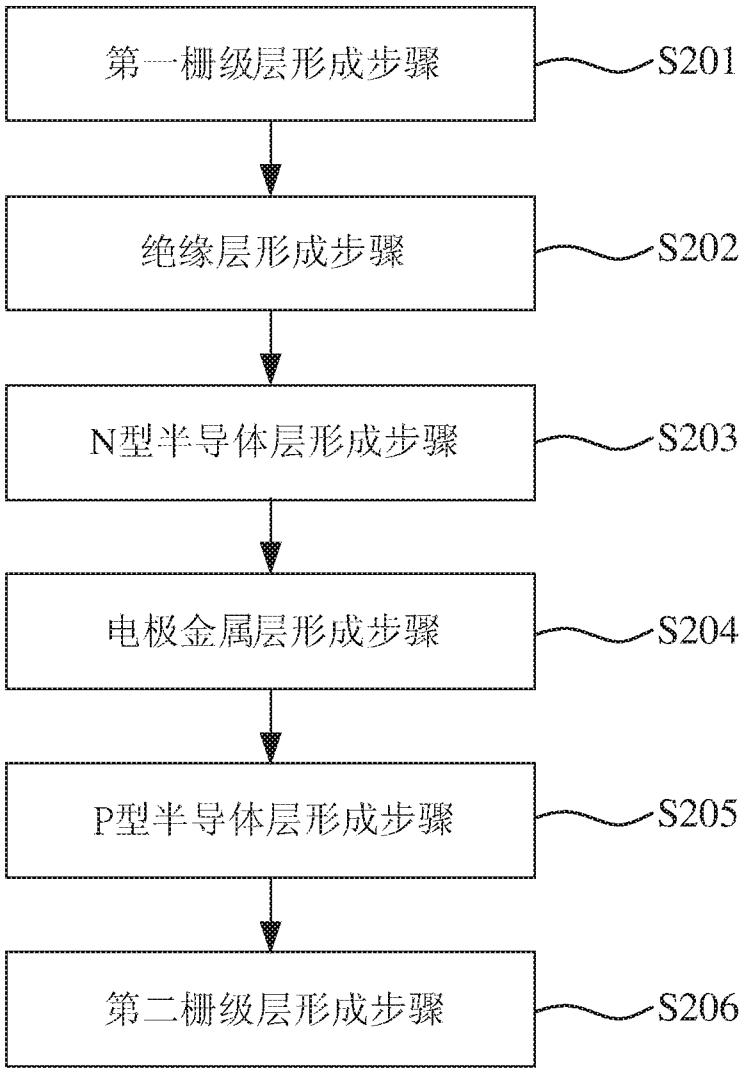

第一栅级层形成步骤
S201
绝缘层形成步骤
S202
N型半导体层形成步骤
S203
电极金属层形成步骤
S204
P型半导体层形成步骤
S205
第二栅级层形成步骤
S206

图 4

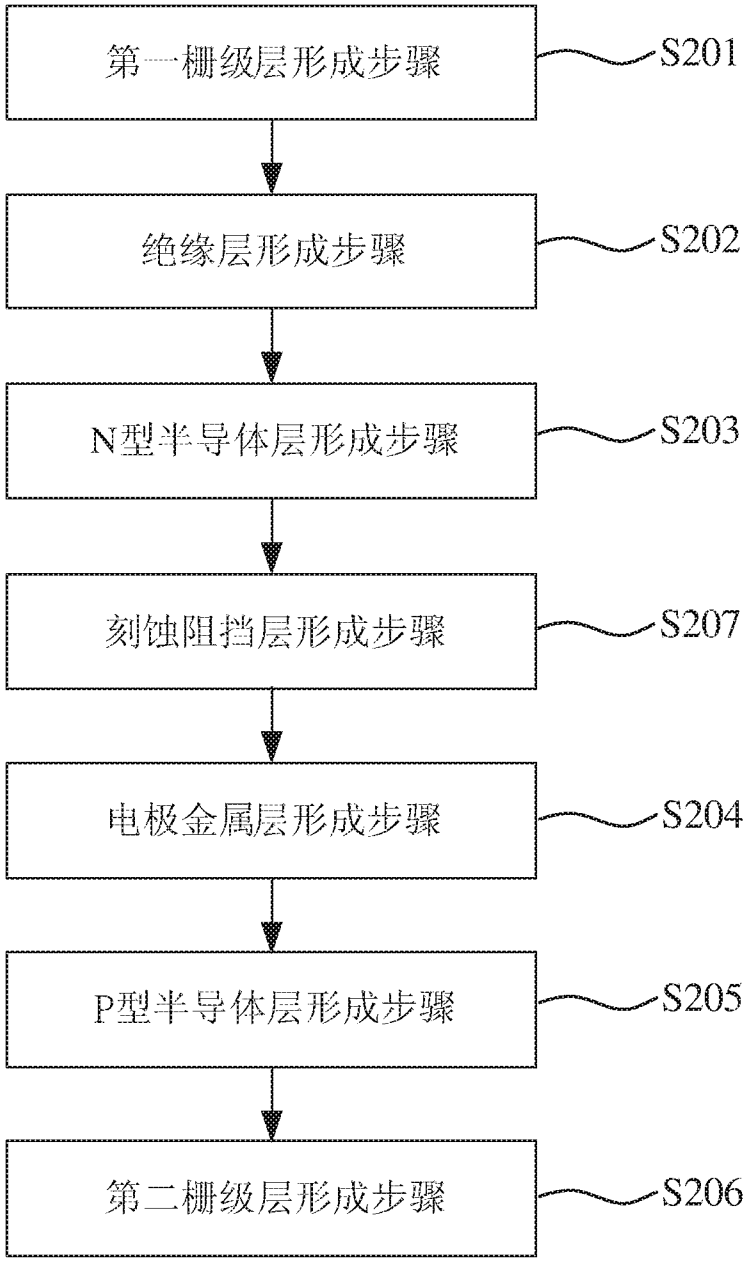

第一栅级层形成步骤
S201
绝缘层形成步骤
S202
N型半导体层形成步骤
S203
刻蚀阻挡层形成步骤
S207
电极金属层形成步骤
S204
P型半导体层形成步骤
S205
第二栅级层形成步骤
S206

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/078749

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/092 (2006.01) i; H01L 21/8238 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, SIPOABS, DWPI, CNTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT: complementary, TFT, thin-film transistor, first gate, second gate, thin film, thin-film, transistor?, metal oxide, oxide semiconductor, organic semiconductor, n?type, n type , p?type, p type, dual gate, dual-gate, bottom gate, back gate, top gate, upper gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 201205722 A1 (AU OPTRONICS CORP.), 01 February 2012 (01.02.2012), description, page 12, line 11 to page 22, line 13, and figures 1A-3G	1-2, 8-9, 15-16
Y	TW 201205722 A1 (AU OPTRONICS CORP.), 01 February 2012 (01.02.2012), description, page 12, line 11 to page 22, line 13, and figures 1A-3G	3-7, 10-14, 17-19
Y	CN 104867959 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 August 2015 (26.08.2015), description, paragraphs [0005]-[0016], and figures 1-11	3-7, 10-14, 17-19
Y	CN 101071845 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE), 14 November 2007 (14.11.2007), description, page 6, line 2 to page 7, line 5, and figure 2A	4, 7, 11, 14, 19
A	CN 104659106 A (AU OPTRONICS CORP.), 27 May 2015 (27.05.2015), the whole document	1-19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 November 2016 (27.11.2016)	**26 January 2017 (26.01.2017)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Wenjie** Telephone No.: (86-10) **62412092**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/078749

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
TW 201205722 A1	01 February 2012	US 2015255516 A1	10 September 2015
		US 2014087525 A1	27 March 2014
		US 8659092 B2	25 February 2014
		US 9082792 B2	14 July 2015
		US 2012025320 A1	02 February 2012
		TW I438868 B	21 May 2014
TW 201205722 A1	01 February 2012	US 2015255516 A1	10 September 2015
		US 2014087525 A1	27 March 2014
		US 8659092 B2	25 February 2014
		US 9082792 B2	14 July 2015
		US 2012025320 A1	02 February 2012
		TW I438868 B	21 May 2014
CN 104867959 A	26 August 2015	WO 2016165184 A1	20 October 2016
CN 101071845 A	14 November 2007	CN 100533803 C	26 August 2009
CN 104659106 A	27 May 2015	None	

国际检索报告

国际申请号
PCT/CN2016/078749

A. 主题的分类

H01L 27/092(2006.01)i; H01L 21/8238(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS, SIPOABS, DWPI, CNTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT: 互补, TFT, 薄膜晶体管, 金属氧化物, 氧化物半导体, 有机半导体, N型, P型, 双栅, 底栅, 顶栅, 第一栅, 第二栅, thin film, thin-film, transistor?, metal oxide, oxide semiconductor, organic semiconductor, n?type, n type , p?type, p type, dual gate, dual-gate, bottom gate, back gate, top gate, upper gate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	TW 201205722 A1 (友达光电股份有限公司) 2012年 2月 1日 (2012-02-01) 说明书第12页第11行-第22页第13行、附图1A-3G	1-2，8-9，15-16
Y	TW 201205722 A1 (友达光电股份有限公司) 2012年 2月 1日 (2012-02-01) 说明书第12页第11行-第22页第13行、附图1A-3G	3-7，10-14，17-19
Y	CN 104867959 A (深圳市华星光电技术有限公司) 2015年 8月 26日 (2015-08-26) 说明书第[0005]-[0016]段、附图1-11	3-7，10-14，17-19
Y	CN 101071845 A (财团法人工业技术研究院) 2007年 11月 14日 (2007-11-14) 说明书第6页第2行-第7页第5行、附图2A	4，7，11，14，19
A	CN 104659106 A (友达光电股份有限公司) 2015年 5月 27日 (2015-05-27) 全文	1-19

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 11月 27日	2017年 1月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王文杰 电话号码 (86-10)62412092

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/078749

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
TW	201205722	A1	2012年 2月 1日	US	2015255516	A1	2015年 9月 10日
				US	2014087525	A1	2014年 3月 27日
				US	8659092	B2	2014年 2月 25日
				US	9082792	B2	2015年 7月 14日
				US	2012025320	A1	2012年 2月 2日
				TW	I438868	B	2014年 5月 21日
TW	201205722	A1	2012年 2月 1日	US	2015255516	A1	2015年 9月 10日
				US	2014087525	A1	2014年 3月 27日
				US	8659092	B2	2014年 2月 25日
				US	9082792	B2	2015年 7月 14日
				US	2012025320	A1	2012年 2月 2日
				TW	I438868	B	2014年 5月 21日
CN	104867959	A	2015年 8月 26日	WO	2016165184	A1	2016年 10月 20日
CN	101071845	A	2007年 11月 14日	CN	100533803	C	2009年 8月 26日
CN	104659106	A	2015年 5月 27日		无		