

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5864990号
(P5864990)

(45) 発行日 平成28年2月17日 (2016. 2. 17)

(24) 登録日 平成28年1月8日 (2016. 1. 8)

(51) Int. Cl.

F I

H O 1 L 27/14 (2006. 01)

H O 1 L 27/14 D

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

H O 4 N 5/369 (2011. 01)

H O 4 N 5/335 6 9 0

G O 2 B 7/34 (2006. 01)

G O 2 B 7/34

G O 3 B 13/36 (2006. 01)

G O 3 B 13/36

請求項の数 14 (全 23 頁)

(21) 出願番号 特願2011-219562 (P2011-219562)
 (22) 出願日 平成23年10月3日 (2011. 10. 3)
 (65) 公開番号 特開2013-80797 (P2013-80797A)
 (43) 公開日 平成25年5月2日 (2013. 5. 2)
 審査請求日 平成26年10月3日 (2014. 10. 3)

早期審査対象出願

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびカメラ

(57) 【特許請求の範囲】

【請求項 1】

複数のマイクロレンズと、配線層と、前記複数のマイクロレンズと前記配線層との間に配置された基板と、前記複数のマイクロレンズと前記基板との間に配置された複数のカラーフィルタと、を
備え、前記基板は、各々が複数の光電変換部を含む複数の画素集合を含み、前記複数のマイクロレンズは、各画素集合に対して1つのマイクロレンズが割り当てら
れるように配置され、前記複数のマイクロレンズの側から見て、前記複数のマイクロレンズの各々は、前記複
数のカラーフィルタのうちの同一の色のカラーフィルタおよび前記複数の画素集合のうち
の1つの画素集合の前記複数の光電変換部と重なっている、ことを特徴とする固体撮像装置。

【請求項 2】

第1面および前記第1面の反対側の第2面を有する半導体基板を含む固体撮像装置であ
って、各々が前記半導体基板の中に前記第2面に沿って配置された複数の光電変換部を含む複
数の画素集合と、前記半導体基板の前記第1面の側に配置された配線層と、

10

20

前記半導体基板の前記第2面の側に配置された複数のマイクロレンズと、
前記複数のマイクロレンズと前記半導体基板との間に配置された複数のカラーフィルタ
と、を備え、

前記複数のマイクロレンズは、各画素集合に対して1つのマイクロレンズが割り当てら
れるように配置され、

前記複数のカラーフィルタは、前記複数の画素集合のうちの1つの画素集合の前記複数の
光電変換部の全てが同一の色のカラーフィルタを通過した光を受光するように構成され
ている、

ことを特徴とする固体撮像装置。

【請求項3】

各画素集合は、当該画素集合の前記複数の光電変換部の間に配置された回路素子を含む

ことを特徴とする請求項1又は2に記載の固体撮像装置。

【請求項4】

各画素集合の前記複数の光電変換部は、第1光電変換部と、前記第1光電変換部を取り
囲むように配置された複数の第2光電変換部とを含む、

ことを特徴とする請求項1乃至3のいずれか1項に記載の固体撮像装置。

【請求項5】

各画素集合は、当該画素集合の前記複数の光電変換部にそれぞれ対応する複数のフロー
ティングディフュージョン並びに複数のゲート電極を含み、

各ゲート電極は、当該ゲート電極に対応して設けられた光電変換部に蓄積された電荷を
当該ゲート電極に対応して設けられたフローティングディフュージョンに転送するための
チャンネルを形成する、ことを特徴とする請求項1乃至4のいずれか1項に記載の固体撮像
装置。

【請求項6】

同一の画素集合に含まれる複数の光電変換部と複数のフローティングディフュージョン
と複数のゲート電極は、同一直線上に並んで配されていることを特徴とする請求項5に記
載の固体撮像装置。

【請求項7】

同一の画素集合に含まれる複数の画素のうちの一の画素が含むフローティングディフュ
ージョンとゲート電極と光電変換部と、前記複数の画素のうちの他の画素が含む光電変換
部とゲート電極とフローティングディフュージョンと、がこの順で前記同一直線上に並ん
で配されていることを特徴とする請求項6に記載の固体撮像装置。

【請求項8】

各光電変換部に蓄積された電荷を各光電変換部に対応するフローティングディフュージ
ョンへ転送する方向が同一方向になるように前記複数の画素集合が配されている、

ことを特徴とする請求項5または6に記載の固体撮像装置。

【請求項9】

各画素集合は、当該画素集合の前記複数の光電変換部に蓄積された電荷が転送される共
通のフローティングディフュージョンを含む、ことを特徴とする請求項1乃至4のいずれ
か1項に記載の固体撮像装置。

【請求項10】

前記共通のフローティングディフュージョンが、前記複数の光電変換部の間に配されて
いることを特徴とする請求項9に記載の固体撮像装置。

【請求項11】

同一の画素集合に含まれる複数の光電変換部の間の最小距離が、互いに異なる画素集合
に含まれる複数の光電変換部の間の最小距離より小さい、

ことを特徴とする請求項1乃至10のいずれか1項に記載の固体撮像装置。

【請求項12】

各画素集合の前記複数の光電変換部の各々は、信号電荷を蓄積可能な第1導電型の半導

10

20

30

40

50

体領域を有し、

同一の画素集合に含まれる前記複数の光電変換部のうちの一の光電変換部が有する第1導電型の半導体領域と当該一の光電変換部の最も近くに位置する他の光電変換部が有する第1導電型の半導体領域との間に配された第2導電型の半導体領域に含まれる第2導電型の不純物濃度の最大値は、互いに異なる画素集合に含まれる、一の光電変換部が有する第1導電型の半導体領域と当該一の光電変換部の最も近くに位置する他の光電変換部が有する第1導電型の半導体領域との間に配された第2導電型の半導体領域に含まれる第2導電型の不純物濃度の最大値より小さい、

ことを特徴とする請求項1乃至11のいずれか1項に記載の固体撮像装置。

【請求項13】

各光電変換部の面積は、前記複数のマイクロレンズが配置された面に近い領域の方が前記配線層が配置された面に近い領域よりも大きいことを特徴とする請求項1乃至11のいずれか1項に記載の固体撮像装置。

【請求項14】

請求項1乃至13のいずれか1項に記載の固体撮像装置と、
前記固体撮像装置から出力される信号を処理する処理部と、
を備えることを特徴とするカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置およびカメラに関する。

【背景技術】

【0002】

特許文献1には、位相差検出方式の焦点検出機能を付加した固体撮像装置として、N個の隣接する画素を一つの集合として、同一集合に属するN個の画素の上に1つのマイクロレンズを配置した構成を有する固体撮像装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-250931号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載された固体撮像装置では、画素を構成するトランジスタが受光面側に配置されているので、トランジスタや配線パターンによって受光部の面積が制限される。そのため、画素サイズの縮小が進むと、十分な感度を得ることが難しくなる。

【0005】

本発明は、上記の課題認識を契機としてなされたものであり、各マイクロレンズに対して複数の画素が割り当てられた構成を有する固体撮像装置における感度の向上に有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の1つの側面は、固体撮像装置に係り、前記固体撮像装置は、複数のマイクロレンズと、配線層と、前記複数のマイクロレンズと前記配線層との間に配置された基板と、前記複数のマイクロレンズと前記基板との間に配置された複数のカラーフィルタと、を備え、前記基板は、各々が複数の光電変換部を含む複数の画素集合を含み、前記複数のマイクロレンズは、各画素集合に対して1つのマイクロレンズが割り当てられるように配置され、前記複数のマイクロレンズの側から見て、前記複数のマイクロレンズの各々は、前記複数のカラーフィルタのうちの同一の色のカラーフィルタおよび前記複数の画素集合のうちの1つの画素集合の前記複数の光電変換部と重なっている。

10

20

30

40

50

【発明の効果】

【0007】

本発明によれば、各マイクロレンズに対して複数の画素が割り当てられた構成を有する固体撮像装置における感度の向上に有利な技術が提供される。

【図面の簡単な説明】

【0008】

【図1】第1実施形態の画素集合の構成例を示す平面図。

【図2】画素の回路構成（等価回路）を例示する図。

【図3】図1（a）のAB線に沿った断面図。

【図4】配線層側から見た画素集合の構成例を示す図。

10

【図5】第2実施形態の画素集合の構成例を示す平面図。

【図6】図5（c）のAB線に沿った断面図。

【図7】配線層側から見た画素集合の構成例を示す図。

【図8】第4実施形態の画素集合の構成例を示す断面図。

【図9】第4実施形態の画素集合の構成例を示す断面図。

【図10】第5実施形態の画素の回路構成（等価回路）を例示する図。

【図11】第6実施形態の画素集合の構成例を示す断面図。

【図12】実施形態の固体撮像装置の構成を模式的に示す図。

【発明を実施するための形態】

【0009】

20

図1～図4、図12を参照しながら本発明の第1実施形態の固体撮像装置を説明する。図12（a）、図12（b）は、それぞれ本発明の代表的な実施形態の固体撮像装置1の構成を模式的に示す断面図、平面図である。固体撮像装置1は、互いに反対側の面である第1面11および第2面12を有する半導体基板10を含む。図12（b）は、固体撮像装置1を第2面12の側から見た図である。固体撮像装置1は、複数の画素集合50が配列された画素アレイ20と、各画素集合50に対して1つのマイクロレンズ30が割り当てられるように配置された複数のマイクロレンズ30とを備えている。各画素集合50は、複数の画素51、52、53、54を含み、各画素は、光電変換部PD、および、当該画素における回路の一部を構成する配線パターン60を含む。光電変換部PDは、半導体基板10に形成され、配線パターン60は、半導体基板10の第1面11の側に配置され、複数のマイクロレンズ30は、半導体基板10の第2面12の側に配置されている。固体撮像装置1は、MOS型イメージセンサとして実施されてもよいし、CCDイメージセンサとして実施されてもよいし、他のイメージセンサとして実施されてもよい。

30

【0010】

図1には、画素集合50の2つの構成例が示されている。点線は、各画素51、52、53、54の領域を示している。図1（a）に示す構成例は、1つのマイクロレンズ30に対して2つの画素51、52が割り当てられた例、即ち、画素集合50が2つの画素51、52で構成された例である。図1（b）に示す構成例は、1つのマイクロレンズ30に対して4つの画素51、52、53、54が割り当てられた例、即ち、画素集合50が4つの画素51、52、53、54で構成された例である。なお、画素集合50を構成する画素の個数や配置は、図1（a）、（b）に示す構成例に限定されるものではない。

40

【0011】

複数の画素を含む1つの画素集合50に対して1つのマイクロレンズ30が割り当てられた構成により、固体撮像装置1の撮像面に被写体の像を形成するための撮影レンズの瞳における互いに異なる領域を通過した光を該複数の画素で検出することができる。説明の便宜のために、撮影レンズの瞳における互いに異なる領域を第1領域、第2領域とし、各画素集合50における複数の画素が第1画素、第2画素を含むものとする。第1領域を通過した光を複数の画素集合50のそれぞれの第1画素で検出することによって第1像が得られ、第2領域を通過した光を複数の画素集合50のそれぞれの第2画素で検出することによって第2像が得られる。第1像と第2像とのずれから、撮影レンズによって形成され

50

る像と固体撮像装置 1 の撮像面とのずれ量（即ちデフォーカス量）または被写体までの距離を検出することができる。このような方式は、位相差検出方式と呼ばれる。図 1（a）の例では、例えば、各画素集合 50 の画素 51 の信号から第 1 像が得られ、各画素集合 50 の画素 52 の信号から第 2 像が得られる。図 1（b）の例では、例えば、各画素集合 50 の画素 51、52（または 51、53）の信号を加算することによって第 1 像が得られ、各画素集合 50 の画素 53、54（または 52、54）の信号を加算することによって第 2 像が得られる。図 1（b）の例では、信号を加算する画素を変えることで、縦方向および横方向に関して位相差を検出することができる。なお、通常の撮像動作では、1 つのマイクロレンズ 30 の下にある全ての画素の信号が加算されうる。

【0012】

図 2 は、画素集合 50 を構成する各画素の回路構成（等価回路）を例示する図である。画素 201 は、少なくとも、光電変換部（例えばフォトダイオード）PD と配線パターンとを含む。光電変換部 PD は、入射光の光電変換により発生する電荷を蓄積する。固体撮像装置 1 が MOS 型イメージセンサとして構成される場合は、配線パターンは、例えば、制御線 208、209、210、垂直出力線 212 などを構成する配線パターンや、トランジスタ同士を接続する配線パターンを含みうる。固体撮像装置 1 が CCD イメージセンサとして構成される場合、配線パターンは、例えば、垂直 CCD の駆動パルスを送る配線パターンを含みうる。

【0013】

図 2 には、固体撮像装置 1 が MOS 型イメージセンサとして構成される場合における画素の一例が示されている。画素 201 は、光電変換部 PD の他に、転送トランジスタ 203、フローティングディフュージョン 204、リセットトランジスタ 206、選択トランジスタ 207、増幅トランジスタ 205 を含みうる。リセットトランジスタ 206 は、電源線 211 とフローティングディフュージョン 204 との間に接続されている。リセットトランジスタ 206 は、制御線（リセット信号線）209 にリセットパルスが印加されることに応じて、フローティングディフュージョン 204 の電位をリセット電位にリセットする。転送トランジスタ 203 は、制御線（転送信号線）208 に転送パルスが印加されることに応じて、光電変換部 PD に蓄積された電荷をフローティングディフュージョン 204 に転送する。これにより、フローティングディフュージョン 204 の電位が変化する。増幅トランジスタ 205 は、フローティングディフュージョン 204 の電位に応じた信号を垂直出力線 212 に出力する。増幅トランジスタ 205 は、垂直出力線 212 に直列に接続された電流源 213 とともにソースフォロア増幅器を構成する。選択トランジスタ 207 は、読み出し対象行の画素を選択するためのトランジスタであり、制御線（行選択線）210 がアクティブレベルである間、読み出し対象行の画素が選択される。

【0014】

なお、転送トランジスタ 203 の 2 つの拡散領域（ソース、ドレイン）の一方は、光電変換部 PD と共通化され、他方は、フローティングディフュージョン 204 と共通化されている。転送トランジスタ 203 のゲート電極は、光電変換部 PD に蓄積された電荷をフローティングディフュージョン 204 に転送するチャンネルを形成する。

【0015】

図 3 は、図 1（a）の AB 線に沿った断面図である。図 3 を参照しながら第 1 実施形態の固体撮像装置 1 あるいは画素集合 50 の構成を説明する。図 3 に示す例では、n 型の半導体基板 10 が用いられている。互いに異なる画素集合 50 の間では、深い p ウェル 302 によって画素と画素とが分離されている。同一の画素集合 50 の中では、深い p ウェル 312 によって画素と画素とが分離されている。p ウェル 302、312 が形成されない領域に光電変換部 PD が形成されている。光電変換部 PD は、n 領域 301 と、信号電荷を蓄積するための n+ 領域 303 を含む。光電変換部 PD は、n+ 領域 303 から見て第 1 面の側（配線層側）に配置された p+ 領域 304 と、n 領域 301 から見て第 2 面の側（受光面側）に配置された p+ 領域 305 とを含み、埋め込みフォトダイオードとして構成されている。受光面側の p+ 領域 305 は、画素アレイの全域にわたっている。ゲート

10

20

30

40

50

電極 307 は、光電変換部 PD の電荷蓄積領域である $n+$ 領域 304 からフローティングディフュージョン 204 に電荷を転送する転送トランジスタ 203 のゲート電極である。ゲート電極 307 は第 1 面にゲート絶縁膜（不図示）を介して配置されている。また、FD 204 は n 領域である。

【0016】

図 3 では、画素集合 50 あるいは画素を構成するトランジスタのうち転送トランジスタのみが示されているが、図 1 (a) の AB 線に沿った断面において、他のトランジスタが配置されてもよい。半導体基板 10 の第 1 面 11 の側には、配線層 308 が配置されている。配線層 308 は、絶縁膜 320 中に配線パターン 60 が配置された構造を有する。半導体基板 10 の第 2 面 12 の側には、マイクロレンズ 30 が配置されている。マイクロレンズ 30 と半導体基板 10 との間にはカラーフィルタ 310 が配置されうる。カラーフィルタ 310 と半導体基板 10 との間には絶縁層 311 が配置されうる。絶縁層 311 は、マイクロレンズ 30 の焦点距離に応じてマイクロレンズ 30 と半導体基板 10 との距離を規定する。

【0017】

光電変換部 PD の電荷蓄積領域である $n+$ 領域 303 は、リセット時に完全空乏化された後、光入射に応じて光電変換により生じた電子が蓄積される。そのため、光電変換部 PD は、フローティングディフュージョン 204 および隣接する画素の光電変換部 PD との分離が保たれる範囲で隣接する光電変換部 PD に近づけて、なるべく広い面積が確保されうる。図 3 において、光電変換部 PD の面積は、第 1 面 11 側（配線層 308 側）よりも第 2 面 12 側（受光面あるいはマイクロレンズ 30 側）が広い。これにより、入射光を効率よく光電変換し、発生した電荷を光電変換部 PD に蓄積することができる。ここでいう面積は、第 1 面あるいは第 2 面に平行な面における面積である。

【0018】

図 4 には、配線層 308 の側から見た画素集合 50 の 4 つの構成例が示されている。図 4 (a)、(c)、(d) は、図 1 (a) に示す構成例に対応し、図 4 (b) は、図 1 (b) に示す構成例に対応する。図 4 (a) ~ (d) の外枠の点線は、画素集合 50 の境界線を示している。なお、図 4 (a) ~ (d) では、図 2 で説明した回路構成のうち光電変換部 PD、転送トランジスタのゲート電極 307、およびフローティングディフュージョン 204 のみが示されている。それ以外の増幅トランジスタ、リセットトランジスタ、選択トランジスタおよび配線パターンは示されていない。図 4 (a) ~ (d) において、404、405 はコンタクトホールを示している。なお、図 4 (a) が図 3 に対応している。図 4 (d) については後に詳述する。

【0019】

第 1 実施形態によれば、配線パターン 60 は半導体基板 10 の第 1 面 11 の側に配置され、マイクロレンズ 30 は半導体基板 10 の第 2 面 12 の側に配置されるので、配線パターン 60 による遮光がなく、受光が可能な領域を大きくすることができる。更に、第 1 実施形態によれば、画素集合 50 がトランジスタなどの回路素子を含む場合において、該回路素子が半導体基板 10 の第 1 面 11 の側に配置されるので、該回路素子による遮光がなく、受光が可能な領域を大きくすることができる。

【0020】

図 5 ~ 図 7 を参照しながら本発明の第 2 実施形態の固体撮像装置を説明する。ここで言及しない事項は、第 1 実施形態に従いうる。図 5 には、第 2 実施形態における画素集合 50 の 3 つの構成例が示されている。第 2 実施形態では、各画素集合 50 は、複数の光電変換部として、第 1 光電変換部と、該第 1 光電変換部を取り囲むように配置された複数の第 2 光電変換部とを含む。

【0021】

図 5 (a) の例では、1 つの画素集合 50 がそれぞれ光電変換部を含む 3 つの画素 502、503、504 で構成され、3 つの画素 502、503、504 に対して 1 つのマイクロレンズ 30 が形成されている。図 5 (b) の例では、1 つの画素集合 50 がそれぞれ

光電変換部を含む5つの画素505～509で構成され、5つの画素505～509に対して1つのマイクロレンズ30が形成されている。図5(c)の例では、1つの画素集合50がそれぞれ光電変換部を含む9つの画素510～518で構成され、9つの画素510～518に対して1つのマイクロレンズ30が形成されている。

【0022】

図5(a)の例では、第1光電変換部を含む画素504が、それぞれ第2光電変換部を含む2つの画素502、503によって取り囲まれている。即ち、第1光電変換部が2つの第2光電変換部によって取り囲まれている。図5(b)の例では、第1光電変換部を含む画素509が、それぞれ第2光電変換部を含む4つの画素505～508によって取り囲まれている。即ち、第1光電変換部が4つの第2光電変換部によって取り囲まれている。図5(c)の例では、第1光電変換部を画素514が、それぞれ第2光電変換部を含む8つの画素510～513、515～518によって取り囲まれている。即ち、第1光電変換部が8つの第2光電変換部によって取り囲まれている。

【0023】

このような構成では、マイクロレンズ30と半導体基板10との間に画素の配線パターンを配置する場合には、第2光電変換部によって取り囲まれている第1光電変換部の信号を読み出すための配線パターンによって第2光電変換部が遮光されうる。一方、本発明のように、配線パターンを半導体基板10の第1面11の側に配置し、マイクロレンズ30を半導体基板10の第2面12の側に配置する構成によれば、配線パターンによって半導体基板10あるいは光電変換部が遮光されない。よって、受光領域(光を受けることができる領域)を大きくすることができ、これにより感度を向上させることができる。

【0024】

図6は、図5(c)のAB線に沿った断面図である。図6に示す例では、1つのマイクロレンズ30に対応する1つの画素集合50が3つの画素513、514、515を含む。各画素513、514、515は、転送トランジスタのゲート電極307、フローティングディフュージョン204、不図示のトランジスタ(例えば、リセットトランジスタ、増幅トランジスタ、選択トランジスタ)および配線パターン60を含む。画素514がその周囲の画素513、515等の画素によって取り囲まれた構成においても、それによって光電変換部PDが圧迫されることがなく、遮光されることもない。

【0025】

図7には、配線層308の側から見た画素集合50の3つの構成例が示されている。なお、図7(a)～(c)では、図2で説明した回路構成のうち光電変換部PD、転送トランジスタのゲート電極307、およびフローティングディフュージョン204のみが示されている。それ以外の増幅トランジスタ、リセットトランジスタ、選択トランジスタおよび配線パターンは示されていない。図7(a)が図5(a)、図7(b)が図5(b)、図7(c)が図5(c)にそれぞれ対応している。

【0026】

図1、図3および図4を参照しながら本発明の第3実施形態の固体撮像装置を説明する。ここで言及しない事項は、第1実施形態にしたがいうる。第3実施形態は、画素を構成する少なくとも一つの回路素子(例えば、能動素子)の少なくとも一部分が1つのマイクロレンズ30に対応する1つの画素集合50における光電変換部PDと光電変換部PDとの間に配置されている。従来のようにマイクロレンズ30と半導体基板10との間に回路素子(および配線パターン)が配置された構成では、光電変換部PDと光電変換部PDとの間に回路素子を配置すると、受光領域が小さくなる。一方、第3実施形態によれば、画素を構成する少なくとも一つの回路素子(例えば、能動素子)の少なくとも一部分が1つの画素集合50における光電変換部PD、PDの間に配置された構成においても、それによって受光領域が小さくなることはない。よって、感度の低下を抑えることができる。

【0027】

例えば、図1(a)、図3および図4(a)に示された構成例では、画素51の転送トランジスタ203のゲート電極307が画素51の光電変換部PDとその隣の画素52の

10

20

30

40

50

光電変換部PDとの間の分離領域に形成されている。このような配置でも回路素子および配線層308が受光面と逆側にあるため、感度の低下は生じない。また、このような配置が許されると、配線層308側から見て並進対称なレイアウトが可能となるので、光電変換部PDからフローティングディフュージョン204への電荷の転送方向を全画素で同一方向にすることができる。

【0028】

並進対称なレイアウトは、マスクと半導体基板に既に形成されたパターンとのミスアライメントが生じた時の画素ごとの特性ばらつきを低減するために有利である。例えば、図4において、アクティブ領域とポリシリコンのパターニング用のマスクとのミスアライメントが生じ、転送トランジスタのゲート電極307が右にシフトした場合を考える。図4(a)のような並進対称なレイアウトにおいては、全ての画素で同じ方向のシフトを生じるため、画素間での特性ばらつきは小さい。一方、図4(c)のような並進対称性でないレイアウトでは、左の画素ではフローティングディフュージョン204の面積が拡大し光電変換部PDの面積が縮小し、右の画素では光電変換部PDの面積が拡大しフローティングディフュージョン204の面積が縮小する。したがって、画素ごとに特性がばらつくという問題が生じる。

【0029】

また、要求される転送特性を得るために、一般的に、n+領域303、p+領域304を形成する際には、不純物イオンは半導体基板に対してその法線方向から傾斜させた角度で注入される。電荷の転送方向が全ての画素で共通である場合、n+領域303、p+領域304を形成するための不純物注入をそれぞれ1度で行うことができる。よって、全ての画素で同じ条件で不純物を注入することができるので、画素間での転送特性ばらつきは小さい。それに対し、電荷の転送方向が全ての画素で共通でない場合、n+領域303、p+領域304を形成するための不純物注入をそれぞれ複数回に分けて角度を変えて行う必要がある。よって、ドーズ量や注入角度の製造ばらつきが避けられず、画素ごとに転送特性がばらつく原因となる。ばらつきは、本願のように光電変換部を焦点検出として用いる場合には、焦点検出の精度を低下させうる。したがって、転送特性のばらつきを抑えるためには、電荷の転送方向を全画素で統一することが望ましい。

【0030】

図8および図9を参照しながら本発明の第4実施形態の固体撮像装置を説明する。ここで言及しない事項は、第1、第2実施形態に従いうる。第4実施形態は、第1、第2実施形態における特徴に加えて、画素間の分離方法に関する特徴を有する。図8、図9に示す構成において、1つのマイクロレンズ30に対応する画素集合50に属する複数の画素に対しては、1つの色のカラーフィルタ310が設けられる。通常の撮像時は、典型的には、1つのマイクロレンズ30に対応する画素集合50に属する複数の画素の信号が加算され読み出される。そのため、撮像機能を重視する場合、1つのマイクロレンズ30に対応する画素集合50に属する複数の画素間で信号を厳密に分離する必要はない。逆に、分離を厳しくすると、1つのマイクロレンズ30に対応する画素集合50に属する複数の光電変換部の間に入射した光によって生成した電荷がどの光電変換部にも達せず蓄積されず、感度が低下しうる。一方で、異なるマイクロレンズに対応する画素、即ち異なる画素集合に属する画素には、異なる色のカラーフィルタが付加されており、撮像時には加算されず別の信号として読み出されるため、これらの画素間の分離が不完全であると、混色の原因となる。以上を考慮して、第4実施形態では、同一の画素集合に属する画素と画素との分離方法と、異なる画素集合に属する画素と画素との分離方法とを異ならせている。

【0031】

図8の構成において、801は同一の画素集合50に属する画素51、52の光電変換部PD間の最小幅であり、802は異なる画素集合50の属する画素と画素との間における光電変換部PD間の最小距離である。最小幅801が最小距離802よりも小さいことが特徴である。このような構成によれば、同一のマイクロレンズ30に対応する画素、即ち同一の画素集合50に属する画素の光電変換部PD間の分離領域で発生した電荷は、いず

10

20

30

40

50

れかの光電変換部PDによって蓄積されやすく、感度の向上に寄与する。一方、異なるマイクロレンズ30に対応する画素、即ち異なる画素集合50に属する画素の光電変換部PD間の分離領域で発生した電荷は、いずれかの光電変換部PDにも蓄積されにくく、混色の防止に寄与する。

【0032】

図9の構成では、異なるマイクロレンズ30に対応する画素、即ち異なる画素集合50に属する画素の光電変換部PDの間にp+領域901が配置されている。p+領域901を設けることによって電位勾配が形成され、p+領域901より右側で発生した電荷は右側の光電変換部PDに蓄積され、左側で発生した電荷は左側の光電変換部PDに蓄積される。p+領域901を乗り越えた電荷の移動は発生せず、混色が低減する。なお、p+領域901の深さは配線層308側の基板表面、即ち第1面11まで達していてもよい。

【0033】

p+領域901を設けることの技術思想は、より一般的には、次のように説明されうる。同一の画素集合50に属する画素と画素との間における光電変換部PDのn領域301（第1導電型の半導体領域）間の距離が最小であるn領域301間の領域R1におけるp型不純物濃度（第2導電型の不純物濃度）の最大値をC1とする。また、異なる画素集合50に属する画素と画素との間における光電変換部PDのn領域301間の距離が最小であるn領域301間の領域R2におけるp型不純物濃度（第2導電型の不純物濃度）の最大値をC2とする。ここで、n領域301は、信号電荷が蓄積可能な半導体領域である。領域R1は、pウェル312であり、領域R2には、pウェル302にP型の不純物を注入して形成されたp+領域901が設けられている。よって、領域R1におけるP型不純物濃度（第2導電型の不純物濃度）の最大値C1は、領域R2におけるp型不純物濃度（第2導電型の不純物濃度）の最大値C2より小さい。

【0034】

図10を参照しながら本発明の第5実施形態の固体撮像装置を説明する。ここで言及しない事項は、第1～第4実施形態に従いうる。第5実施形態では、2つの光電変換部PDが1つのフローティングディフュージョン204および増幅トランジスタ205を共有している。このような構成によれば、2つの光電変換部PDからの信号が等しい経路を經由して出力されるため、ノイズ等が等しくなり、信号の精度が向上する。

【0035】

図10の回路において、例えば、図9に示されたような2つの拡散領域（フローティングディフュージョン204として示された領域）を配線パターンで結合して1つのフローティングディフュージョンを構成することが可能である。しかしながら、このような配線パターンを用いると寄生容量が付加し、フローティングディフュージョンの容量が増大してしまう。そこで、フローティングディフュージョンを構成する2つの拡散領域を相互に近い位置に配置することが好ましい。図4(d)に示している構成によって、2つの拡散領域を接続する配線長を短くすることができるため、フローティングディフュージョンの容量をより小さくすることができる。

【0036】

光電変換部PDで蓄積された電荷は、フローティングディフュージョンにおいて電圧に変換され、増幅トランジスタの入力に伝えられる。フローティングディフュージョンの容量が小さければ、少ない電荷を大きな信号電圧に変換できる。そのため、フローティングディフュージョン以降の読み出し回路で乗ってくるノイズの影響を受けにくくなり、S/Nを改善することが可能である。

【0037】

図11を参照しながら本発明の第6実施形態の固体撮像装置を説明する。ここで言及しない事項は、第1～第5実施形態に従いうる。図11は、図10に示された回路構成における2つの光電変換部PDと転送トランジスタ203のゲート電極とフローティングディフュージョン204の物理的な構成例を示す断面図である。フローティングディフュージョン204は、画素集合50において、画素51の光電変換部PDと画素52の光電変換

部PDとの間に配置されている。このような構成は、2つの拡散領域を接続する構成におけるような配線パターンが不要であり、フローティングディフュージョンの容量の低減に寄与する。

【0038】

次に、第7実施形態として、撮像と焦点検出以外の機能を付加した固体撮像装置について説明する。複数の画素を含む1つの画素集合に対して1つのマイクロレンズを形成した構成において、ダイナミックレンジ拡大機能を付加することができる。光電変換部に蓄積される電荷と固体撮像装置の最終的な出力電圧の比を電荷変換係数と呼ぶ。光電変換部に蓄積される電荷が等しいとすると、電荷変換係数が大きいほど、出力電圧が大きい。ここで、同一マイクロレンズの下に形成された複数の画素の少なくとも1つの画素の電荷変換係数を他の画素より小さくするように設計する。すると、電荷変換係数が小さい画素では、同じ大きさの電荷を受け取っても、出力電圧が低い。したがって、出力電圧範囲が固定されている場合、電荷変換係数の小さな画素では、電荷変換係数の大きな画素の飽和電荷量よりも多くの電荷を読み出すことができる。それに対して、低輝度領域では、小さな信号電荷でも大きな出力電圧が得られる、電荷変換係数の大きな画素の方が、S/Nの点で有利である。そこで、低輝度領域では、電荷変換係数の大きな画素の出力を利用し、これらの画素の出力が飽和するような高輝度領域において、電荷変換係数の低い画素の出力を利用する。このようにして、電荷変換係数の値が異なる複数の画素出力を組み合わせることによって、ダイナミックレンジを拡大することが可能である。

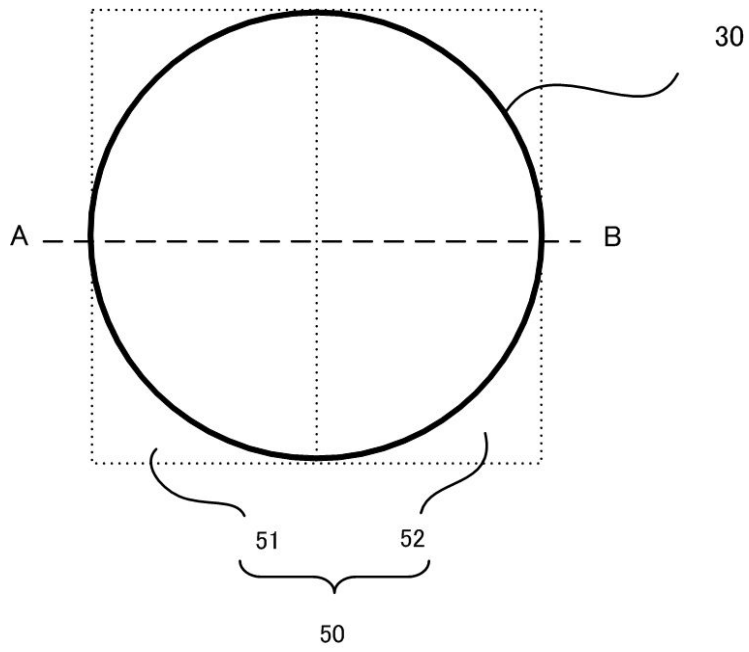
【0039】

それ以外に、ストロボ調光用の画素として、一部の画素にグローバル電子シャッター機能を持たせることなども考えられる。メモリを含めた能動素子を、一部の画素を構成する素子に付け加えることによって、このような機能を実現することができる。

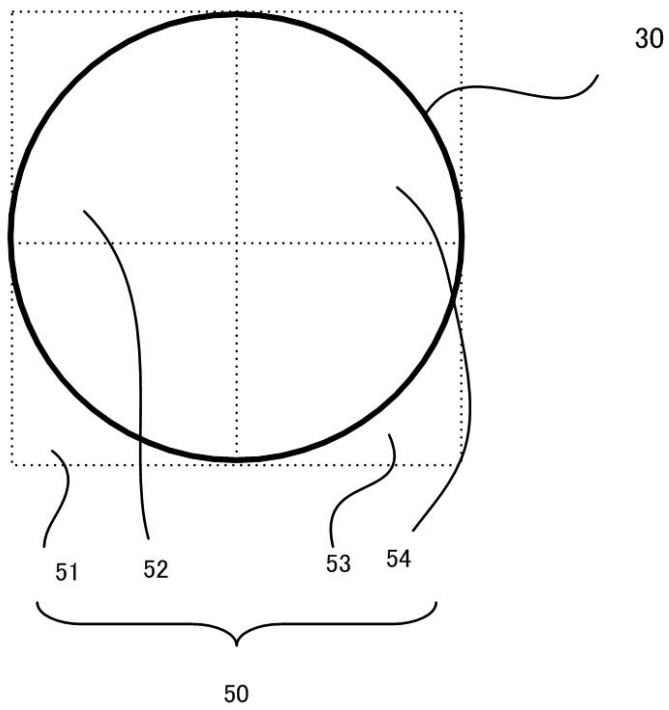
【0040】

以下、上記の各実施形態に係る固体撮像装置の応用例として、該固体撮像装置が組み込まれたカメラについて例示的に説明する。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D変換器、および、該A/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

【図 1】



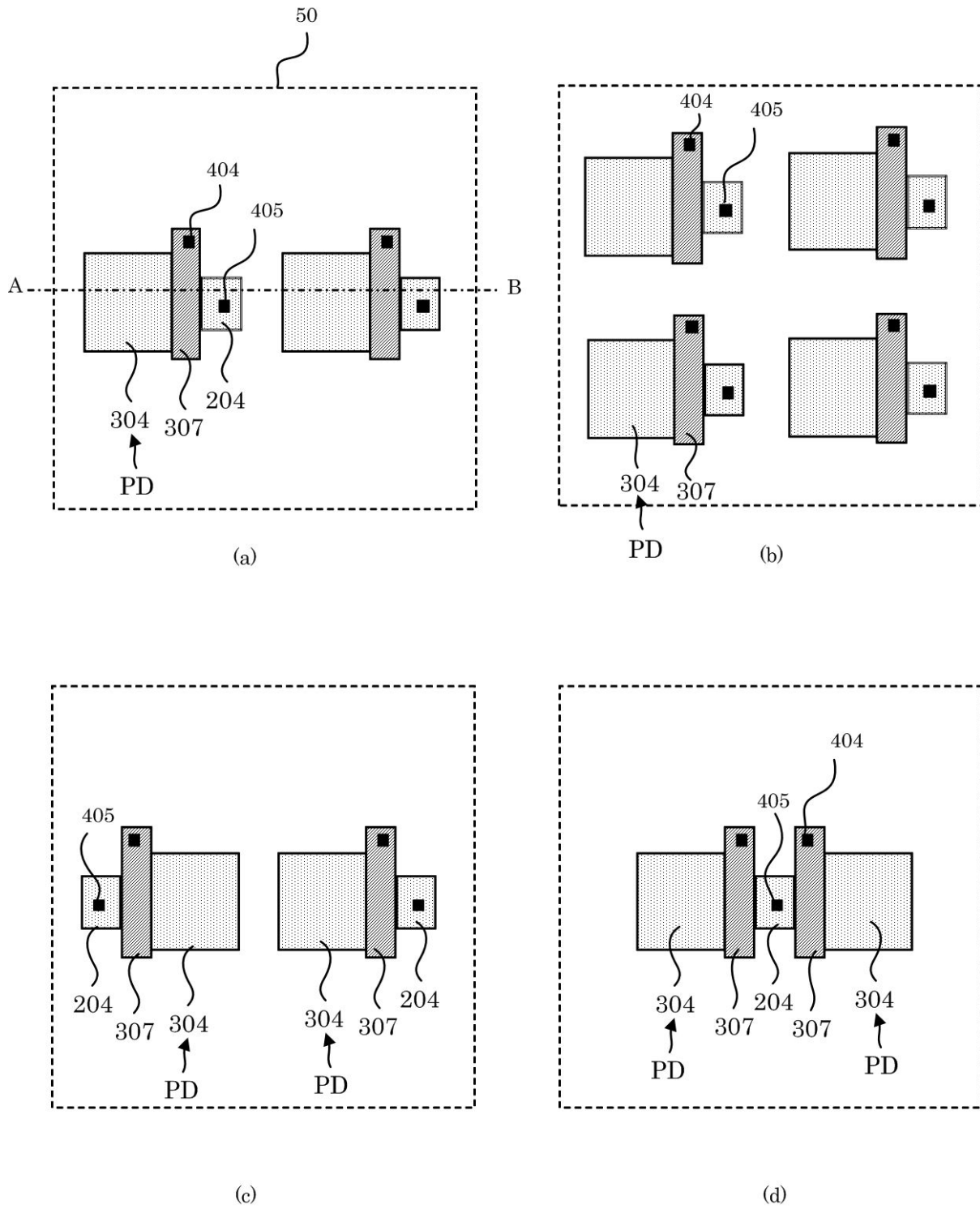
(a)



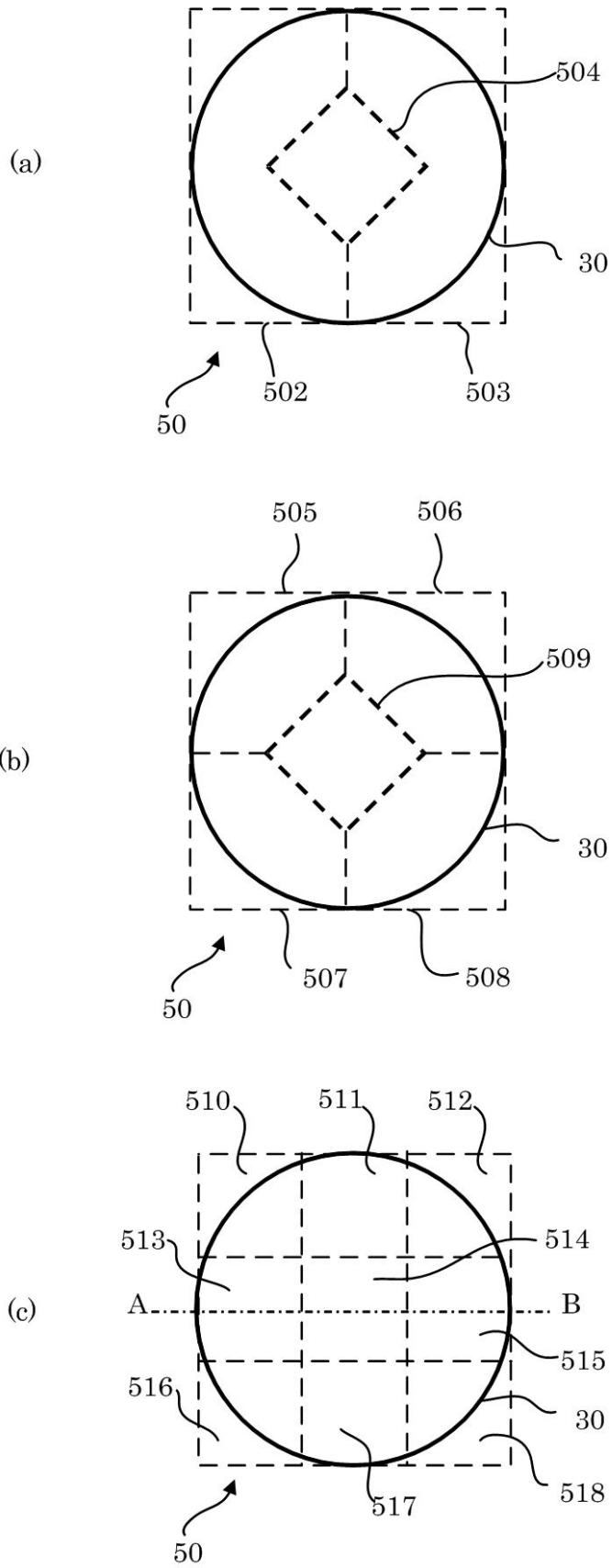
(b)

Figure 1 is a cross-sectional diagram of a semiconductor device 10. The device includes a lens 30 on top, which focuses incident light (入射光) onto a p+ layer 305. Below the p+ layer is a region 301 containing a photodiode (PD) and other structures. The device is built on a substrate 11, which contains a 2x2 array of elements 60. The entire device is labeled 10. Other labels include 30, 310, 311, 305, 10, 301, 302, 204, 307, 308, 60, 320, 51, 52, and 50.

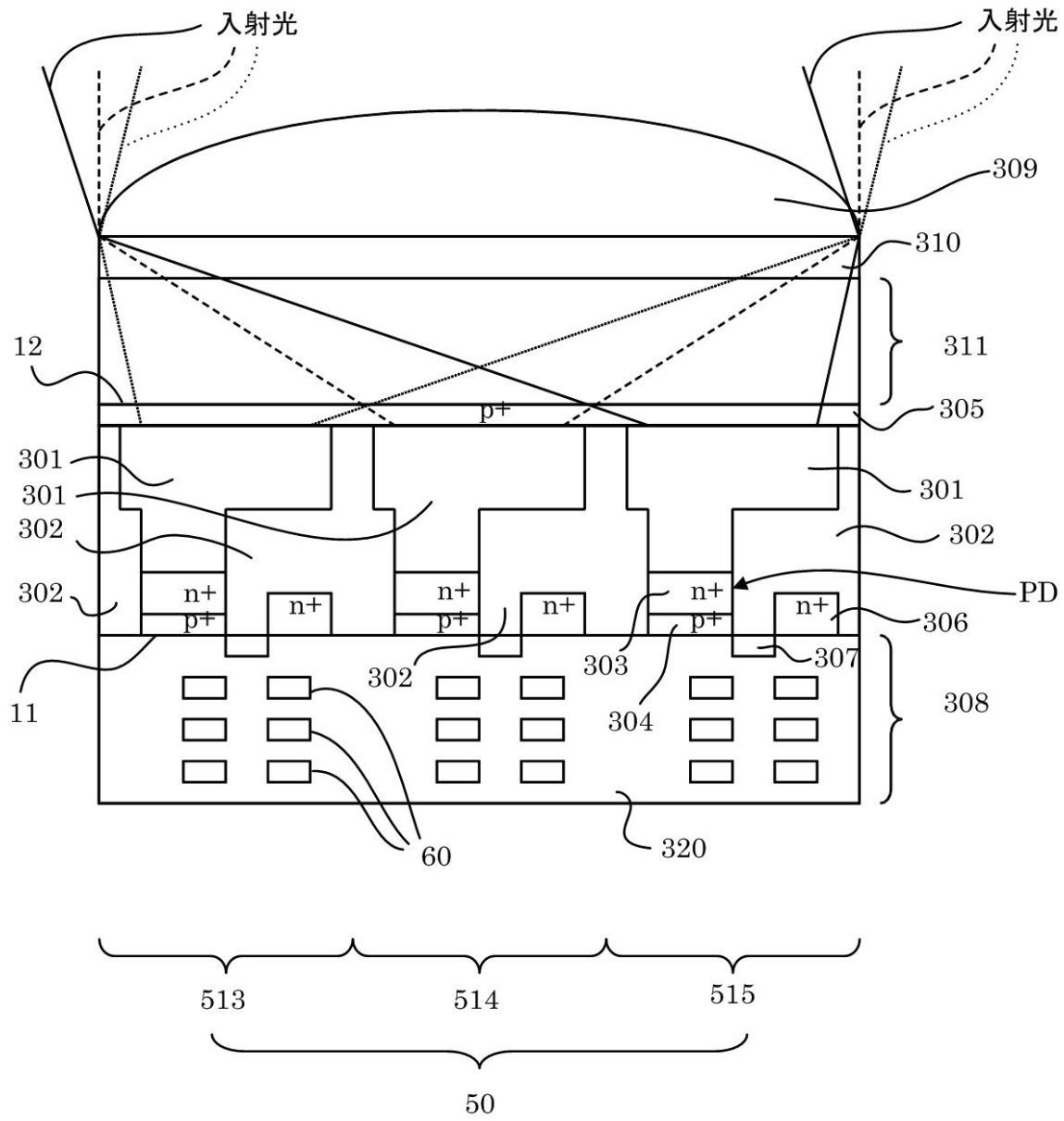
【図4】



【図5】

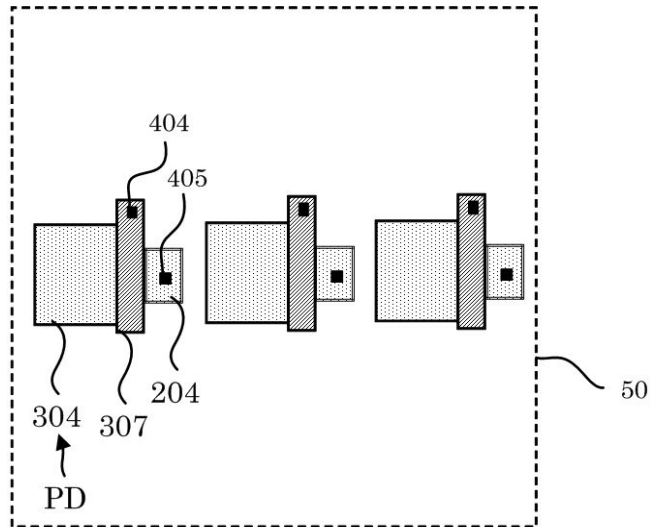


【図 6】

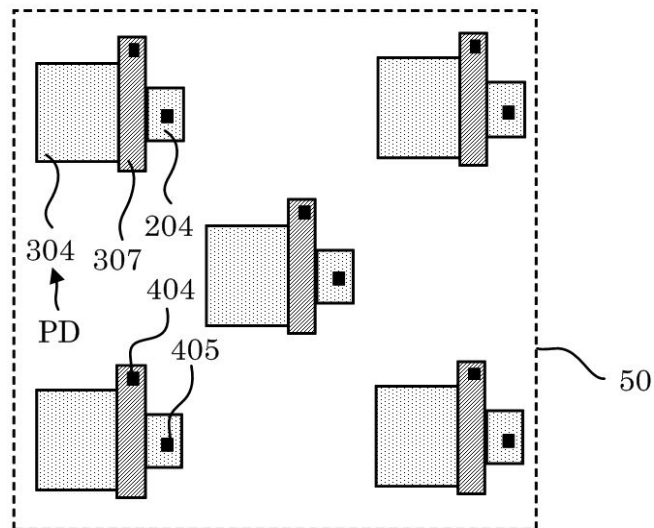


【図 7】

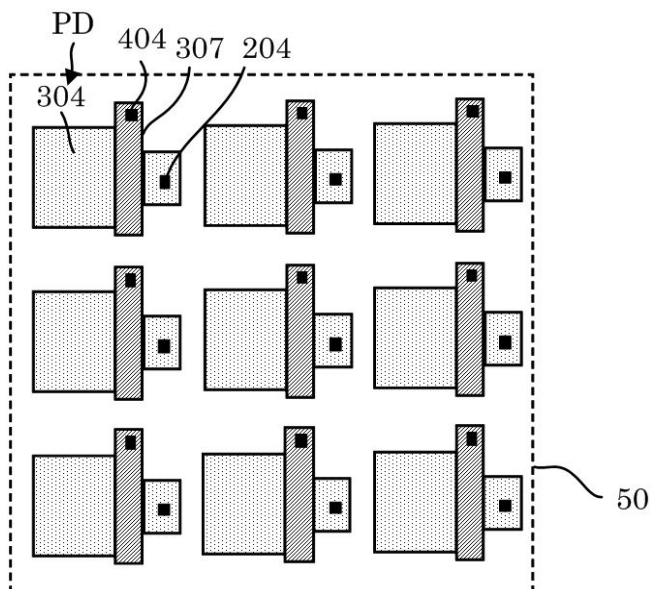
(a)



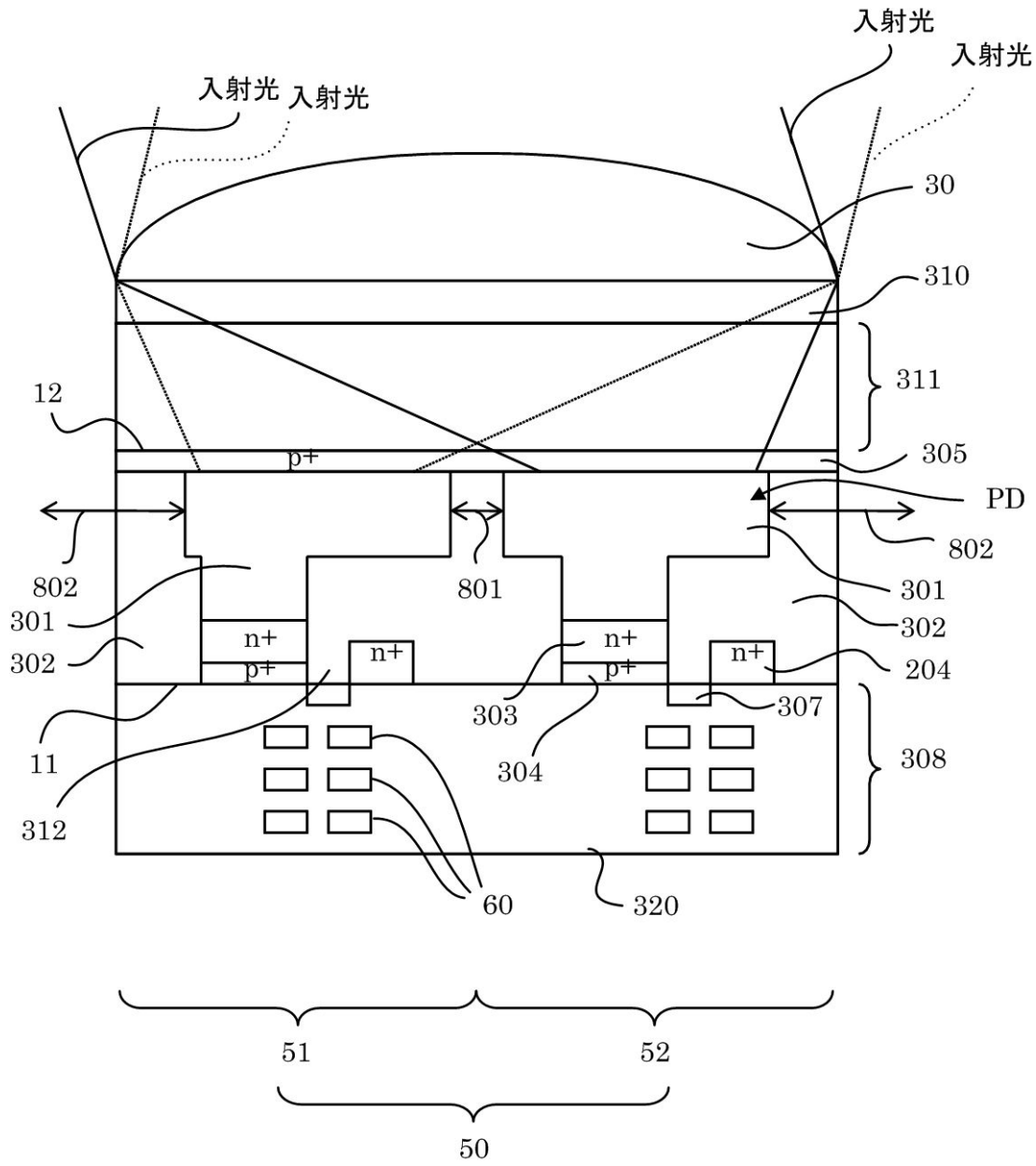
(b)



(c)



【図 8】



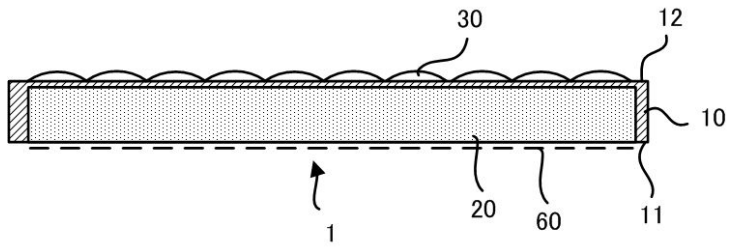
The diagram shows a differential signal processing circuit. It consists of two parallel branches connected to a common input line 212 and a common output line 213. The top branch includes a PMOS transistor 206 and an NMOS transistor 205. The bottom branch includes a PMOS transistor 209 and an NMOS transistor 207. The gates of transistors 206 and 209 are connected to a common gate line 208. The gates of transistors 205 and 207 are connected to a common gate line 210. The sources of transistors 205 and 207 are connected to a common source line 203, which is also connected to two photodiodes (PD) and a common source line 204. The drains of transistors 206 and 209 are connected to a common drain line 211. The drains of transistors 205 and 207 are connected to a common drain line 213, which is also connected to a common drain line 210. The common source line 203 is connected to a common source line 204, which is also connected to a common source line 205.

入射光 入射光 入射光 入射光

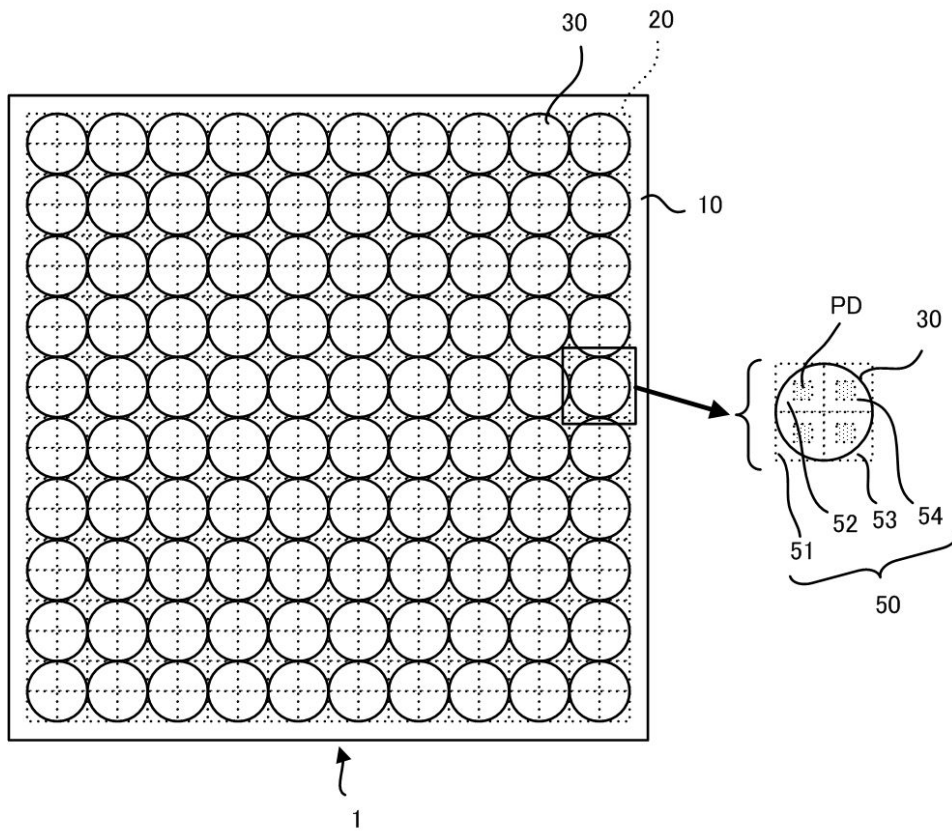
12 p+ 301 312 302 n+ p+ 204 307 303 304 308 320 60 51 52 50

PD

【図 1 2】



(a)



(b)

フロントページの続き

- (72)発明者 箕輪 雅章
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 高橋 秀和
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山下 雄一郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 沖田 彰
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 安田 雅彦

- (56)参考文献 国際公開第2010/056285(WO, A1)
特開2010-161200(JP, A)
特開2004-186311(JP, A)
特開2011-082253(JP, A)
特開2008-270298(JP, A)
特開2011-142330(JP, A)
特開2006-303328(JP, A)
特開2008-015215(JP, A)
特開2011-197080(JP, A)
特開2002-076317(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 148
H04N 5/335 - 378
G02B 7/34
G03B 13/36