

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 4 月 28 日 (2005.4.28)

【公開番号】特開 2003-229537 (P2003-229537A)

【公開日】平成 15 年 8 月 15 日 (2003.8.15)

【出願番号】特願 2002-24918 (P2002-24918)

【国際特許分類第 7 版】

H 0 1 L 27/10

G 1 1 C 13/00

// H 0 1 L 45/00

【F I】

H 0 1 L 27/10 4 5 1

G 1 1 C 13/00 A

H 0 1 L 45/00 A

【手続補正書】

【提出日】平成 16 年 6 月 16 日 (2004.6.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のワード線と、絶縁層を介して前記ワード線と少なくとも一方が交差する第 1 及び第 2 の複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、ソース、ドレイン、チャネル部が該メモリセルの深さ方向に形成され、前記ワード線の一つに接続するゲート電極からなる縦型トランジスタと、その上方に配置された少なくとも Te (テルル) を含有する材料、からなることを特徴とする半導体記憶装置。

【請求項 2】

前記縦型トランジスタは、半導体基板上に形成された多結晶シリコンからなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記縦型トランジスタは、半導体基板内に形成された単結晶シリコンからなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記縦型トランジスタのゲートはワード線の一部を構成し、該トランジスタのドレインあるいはソースの一方は該第 1 の配線に接続され、該トランジスタのドレインあるいはソースの他方は、少なくとも該 Te を含有する材料を間にはさんで、第 2 の配線に接続されたことを特徴とする請求項 2 から請求項 3 のいずれ 1 項に記載の半導体記憶装置。

【請求項 5】

前記ワード線は前記第 1 及び第 2 の複数の配線の上方に延在して存在することを特徴とする請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】

前記 Te (テルル) を含有する材料は、前記ワード線の下方に存在することを特徴とする請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 7】

前記 Te (テルル) を含有する材料は、前記ワード線の上方に位置することを特徴とする

請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 8】

前記第 1 及び第 2 の複数の配線のうち少なくとも 1 つは、共通電極となっていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】

複数のワード線と、絶縁層を介して前記ワード線と交差する複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、ソース、ドレイン、チャンネル部が該メモリセルの深さ方向に形成され、前記ワード線の一つに接続するゲート電極からなる縦型トランジスタと、その上方に配置された少なくとも Te (テルル) を含有する材料、からなることを特徴とする半導体記憶装置。

【請求項 10】

複数のワード線と、絶縁層を介して前記ワード線と少なくとも一方が交差する第一及び第二の複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、ソース、ドレイン、チャンネル部が該メモリセルの深さ方向に形成され、前記ワード線の一つに接続するゲート電極からなる縦型トランジスタと、その上方に配置された、結晶状態と非晶質状態に切り替わることで抵抗値が電氣的に可変な材料、からなることを特徴とする、半導体記憶装置。

【請求項 11】

複数のワード線と、絶縁層を介して前記ワード線と交差する複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、ソース、ドレイン、チャンネル部が該メモリセルの深さ方向に形成され、前記ワード線の一つに接続するゲート電極からなる縦型トランジスタと、その上方に配置された、結晶状態と非晶質状態に切り替わることで抵抗値が電氣的に可変な材料、からなることを特徴とする、半導体記憶装置。

【請求項 12】

第 1 の配線ピッチで第 1 方向に延在する複数の第 1 配線と、  
ソース領域、ドレイン領域、チャンネル領域、チャンネル領域上に形成されたゲート絶縁膜、ゲート絶縁膜上に形成され、前記第 1 方向においては互いに分離されており、前記第 1 方向に交差する第 2 方向においては互いに接続されているゲート電極とからなり、前記第 1 配線上に形成された複数の縦型トランジスタと、  
前記ドレイン領域上に形成され複数のカルコゲナイド材料と、  
前記カルコゲナイドに接続し、第 2 の配線ピッチで前記第 1 方向に延在する複数の第 2 配線とを含むことを特徴とする半導体記憶装置。

【請求項 13】

請求項 12 においてプラグが第 1 配線とソース領域の間に形成されていることを特徴とする半導体記憶装置。

【請求項 14】

請求項 12 においてバリア層がカルコゲナイド材料とドレイン領域の間に形成されていることを特徴とする半導体記憶装置。

【請求項 15】

請求項 12 においてカルコゲナイド材料の面積はドレイン領域の面積より小さいことを特徴とする半導体記憶装置。

【請求項 16】

請求項 12 において第 1 配線ピッチは第 2 配線ピッチより小さいことを特徴とする半導体記憶装置。

【請求項 17】

第 1 方向に第 1 の配線を形成する工程、  
第 1 配線上に第 1 絶縁膜を形成する工程、  
第 1 絶縁膜内に第 1 配線に接続するプラグを形成する工程、

第 1 方向に第 1 導電型の第 1 層と第 2 導電型の第 2 層と第 1 導電型の第 3 層と第 2 絶縁膜からなる第 1 積層膜のストライプを形成する工程、

第 1 積層膜のストライプ上に第 3 絶縁膜を形成し平坦化する工程、

第 1 方向に交差する第 2 方向にカルコゲナイド膜と金属膜と第 4 絶縁膜からなる第 2 積層膜のストライプを形成する工程、

第 2 積層膜のストライプの側壁に側壁膜を形成する工程、

第 1 方向にワード線を形成する工程、

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 18】

請求項 17 において側壁膜を形成後でワード線形成前にさらに第 1 積層膜を分離することを特徴とする半導体記憶装置の製造方法。

【請求項 19】

請求項 17 において第 1 積層膜を形成後第 2 積層膜を形成前にバリア膜をさらに形成することを特徴とする半導体記憶装置の製造方法。

【請求項 20】

請求項 17 において第 3 絶縁膜を平坦化する時に第 2 絶縁膜が除去されることを特徴とする半導体記憶装置の製造方法。

【請求項 21】

第 1 方向に第 1 の配線を形成する工程、

第 1 配線上に第 1 絶縁膜を形成する工程、

第 1 絶縁膜内に第 1 配線に接続するプラグを形成する工程、

第 1 方向に第 1 導電型の第 1 層と第 2 導電型の第 2 層と第 1 導電型の第 3 層と第 2 絶縁膜からなる第 1 積層膜のストライプを形成する工程、

第 1 積層膜のストライプ上に第 3 絶縁膜を形成し平坦化する工程、

第 1 方向にカルコゲナイド膜と金属膜と第 4 絶縁膜からなる第 2 積層膜のストライプを形成する工程、

第 2 積層膜のストライプの側壁に側壁膜を形成する工程、

第 1 方向にワード線を形成する工程、

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 22】

請求項 21 において側壁膜を形成後でワード線形成前にさらに第 1 積層膜を分離することを特徴とする半導体記憶装置の製造方法。

【請求項 23】

請求項 21 において第 1 積層膜を形成後第 2 積層膜を形成前にバリア膜をさらに形成することを特徴とする半導体記憶装置の製造方法。

【請求項 24】

請求項 21 において第 3 絶縁膜を平坦化する時に第 2 絶縁膜が除去されることを特徴とする半導体記憶装置の製造方法。

【請求項 25】

第 1 方向に第 1 配線ピッチで第 1 の配線を形成する工程、

第 1 配線上に第 1 絶縁膜を形成する工程、

第 1 絶縁膜内に第 1 配線に接続するプラグを形成する工程、

第 1 導電型の第 1 層と第 2 導電型の第 2 層と第 1 導電型の第 3 層と膜からなる互いに分離された第 1 積層膜の島を形成する工程、

第 1 積層膜の島の側壁にゲート絶縁膜を形成する工程、

第 1 方向に交差する第 2 方向においてゲート絶縁膜上にゲート電極を形成する工程、

第 1 積層膜の島上に第 3 絶縁膜を形成し平坦化する工程、

第 3 絶縁膜にビアを形成して第 3 領域を露出する工程、

第 1 方向にカルコゲナイド膜と金属膜と第 4 絶縁膜からなり第 2 配線ピッチの第 2 積層膜のストライプを形成する工程、

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 26】

請求項 25 においてビアを形成後第 2 積層膜を形成前にバリア膜をさらに形成することを特徴とする半導体記憶装置の製造方法。

【請求項 27】

請求項 25 においてビアを形成後第 2 積層膜を形成前にビアの側面に側壁膜をさらに形成することを特徴とする半導体記憶装置の製造方法。

【請求項 28】

第 1 方向に第 1 配線ピッチで第 1 の配線を形成する工程、

第 1 配線に接続するプラグを形成する工程、

第 1 導電型の第 1 層と第 2 導電型の第 2 層と第 1 導電型の第 3 層と膜からなる互いに分離された第 1 積層膜の島を形成する工程、

第 1 方向に交差する第 2 方向において第 1 積層膜の島の側壁にゲート電極を形成する工程、

第 1 積層膜の島上に第 1 絶縁膜を形成し平坦化する工程、

第 1 絶縁膜にビアを形成して第 3 領域を露出する工程、

第 1 絶縁膜上に第 2 絶縁膜を形成し、第 2 絶縁膜をエッチバックすることによりビアに側壁膜を形成する工程、

第 1 方向にカルコゲナイド膜と金属膜と第 2 絶縁膜からなり第 2 配線ピッチの第 2 積層膜のストライプを形成する工程、

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 29】

請求項 28 において第 1 配線ピッチは第 2 配線ピッチより小さいことを特徴とする半導体記憶装置の製造方法。

【請求項 30】

請求項 28 においてビアの側壁膜を形成後第 2 積層膜を形成前にバリア膜をさらに形成することを特徴とする半導体記憶装置の製造方法。