



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I580188 B

(45)公告日：中華民國 106 (2017) 年 04 月 21 日

(21)申請案號：105103280

(22)申請日：中華民國 101 (2012) 年 05 月 10 日

(51)Int. Cl. : **H03K19/173 (2006.01)**

(30)優先權：2011/05/16 日本

2011-109838

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：西島辰司 NISHIJIMA, TATSUJI (JP)；米田誠一 YONEDA, SEIICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5068553

US 5545579

US 20020053938A1

審查人員：蘇齊賢

申請專利範圍項數：12 項 圖式數：28 共 127 頁

(54)名稱

可編程邏輯裝置

PROGRAMMABLE LOGIC DEVICE

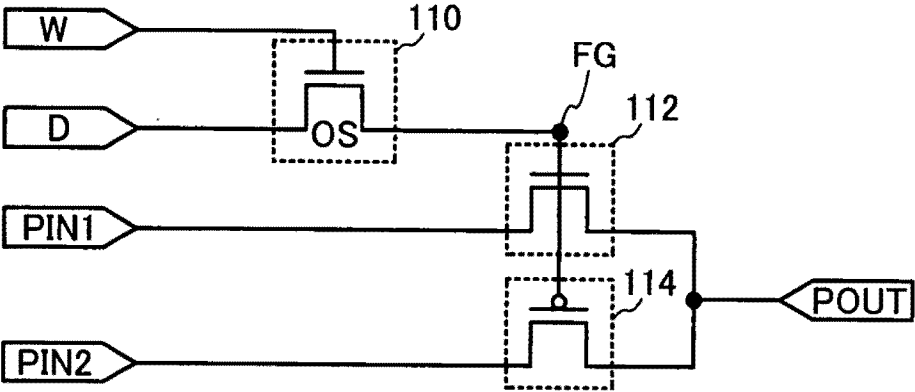
(57)摘要

本發明提供一種即使在停止電源電位的供給的情況下，也可以保持配置資料且電源提供後的邏輯塊的啟動時間短，並可以實現低耗電量化的可編程邏輯裝置。使用能夠充分減小電晶體的截止電流的材料構成可編程開關的儲存部的電晶體，例如，寬能隙半導體的氧化物半導體材料。藉由使用能夠充分減小電晶體的截止電流的半導體材料，即使在停止電源電位的供給的情況下也可以保持配置資料。

An object is to provide a programmable logic device which can hold configuration data even when a power supply potential is not supplied, has short start-up time of a logic block after the power is supplied, and can operate with low power. A transistor in a memory portion of a programmable switch includes a material which allows a sufficient reduction in off-state current of the transistor, such as an oxide semiconductor material which is a wide bandgap semiconductor. When the semiconductor material which allows a sufficient reduction in off-state current of the transistor is used, configuration data can be held even when a power supply potential is not supplied.

指定代表圖：

圖 3A



符號簡單說明：
110 . . . 電晶體
112 . . . 電晶體
114 . . . 電晶體

發明摘要

※申請案號：105103280 (由 101116651 分割)

※申請日：101 年 05 月 10 日

※IPC 分類：H03K 19/1173 (2006.01)

【發明名稱】(中文/英文)

可編程邏輯裝置

Programmable logic device

【中文】

本發明提供一種即使在停止電源電位的供給的情況下，也可以保持配置資料且電源提供後的邏輯塊的啟動時間短，並可以實現低耗電量化的可編程邏輯裝置。使用能夠充分減小電晶體的截止電流的材料構成可編程開關的儲存部的電晶體，例如，寬能隙半導體的氧化物半導體材料。藉由使用能夠充分減小電晶體的截止電流的半導體材料，即使在停止電源電位的供給的情況下也可以保持配置資料。

【 英 文 】

An object is to provide a programmable logic device which can hold configuration data even when a power supply potential is not supplied, has short start-up time of a logic block after the power is supplied, and can operate with low power. A transistor in a memory portion of a programmable switch includes a material which allows a sufficient reduction in off-state current of the transistor, such as an oxide semiconductor material which is a wide bandgap semiconductor. When the semiconductor material which allows a sufficient reduction in off-state current of the transistor is used, configuration data can be held even when a power supply potential is not supplied.

【代表圖】

【本案指定代表圖】：第(3A)圖。

【本代表圖之符號簡單說明】：

110：電晶體

112：電晶體

114：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

可編程邏輯裝置

Programmable logic device

【技術領域】

本發明關於一種可編程邏輯裝置或使用該可編邏輯裝置的半導體裝置。另外，本發明關於一種使用該半導體裝置的電子裝置。

【先前技術】

通常，以 IC、LSI 為代表的半導體積體電路在製造時電路結構已被固定，而不能在製造後對其電路結構進行改變。相對於此，被稱為可編程邏輯裝置（PLD: Programmable Logic Device）的半導體積體電路具有以由多個邏輯電路構成的邏輯塊為單位各邏輯塊藉由佈線電連接的結構。在可編程邏輯裝置中，可以利用電信號控制各邏輯塊的電路結構。

因此，由於可編程邏輯裝置即使在製造後也可以進行設計變更，所以藉由使用可編程邏輯裝置可以大幅度地縮短並減低半導體積體電路設計、開發所耗費的時間及成本。

作為可編程邏輯裝置，可以舉出 CPLD（Complex

PLD；複雜可編程邏輯裝置）、FPGA（Field Programmable Gate Array；現場可編程閘陣列）。無論哪一種，都是利用可編程開關來控制各邏輯塊的電路結構，該可編程開關設置在邏輯塊中並根據儲存在儲存部的資料（組態資料）進行開關的切換。即，可以藉由各可編程開關對資料進行編程來改變可編程邏輯裝置的電路結構。

該儲存部主要使用 SRAM（Static Random Access Memory；靜態隨機存取記憶體）等揮發性記憶體。此外，還存在專利文獻 1 中示出的技術，即：作為該儲存部使用如快閃記憶體等的由浮動閘極電晶體構成的非揮發性記憶體。

[專利文獻 1] 日本專利申請公開第 2004-15060 號公報

近年，降低電子裝置的耗電量成為重要課題，並且對於用於電子裝置的半導體積體電路的低耗電量化的需求也日益增高。於是，為了降低耗電量，提出了一種如下驅動方法（以下稱為常關閉驅動方法）：暫時停止對半導體裝置整體或其一部分的電源電位的供給，而僅在需要的時候在需要的電路塊中選擇電源電位的供給。

但是，在可編程邏輯裝置中，在作為可編程開關的儲存部使用揮發性記憶體的情況下，當停止電源電位的供給時，儲存在儲存部中的組態資料消失。因此，作為可編程

開關的儲存部使用揮發性記憶體的可編程邏輯裝置，每進行一次電源的供給就需要對該揮發性記憶體寫入一次組態資料。因此，從供給電源到邏輯塊開始工作，延遲時間較長。也就是說，作為可編程開關的儲存部使用揮發性記憶體的可編程邏輯裝置，很難採用暫時停止電源電位的供給的常關閉驅動方法。

另外，在可編程邏輯裝置中，當將浮動閘極電晶體用於可編程開關的儲存部以使儲存部具有非揮發性時，利用常關閉驅動方法可以在暫時停止電源電位的供給的情況下保持組態資料。但是，由於在進行資料的寫入時對浮動閘極注入電子，因此需要高電位，而存在需要較長時間進行寫入的問題。另外，還存在因進行該寫入時所產生的穿隧電流而引起的浮動閘極的閘極絕緣層發生劣化的問題。

【發明內容】

鑒於上述問題，本發明的目的之一是提供一種即使在停止電源電位的供給的情況下也可以保持組態資料，且供給電源後邏輯塊的啟動時間短並能夠實現低耗電量化的可編程邏輯裝置。

在所公開的發明的一個方式中，使用由能夠充分減小電晶體的截止電流的材料，例如，寬能隙半導體的氧化物半導體材料構成的電晶體作為可編程開關的儲存部的電晶體。藉由使用能夠充分減小電晶體的截止電流的半導體材料，即使在停止電源電位的供給的情況下也可以保持組態

資料。下面說明本說明書中公開的可編程邏輯裝置的具體結構。

所公開的發明的一個方式是一種可編程邏輯裝置，其包括由多個佈線電連接的多個邏輯塊。多個邏輯塊分別包括：多個邏輯電路；與多個邏輯電路中的兩個電連接並且根據所儲存的資料選擇上述兩個邏輯電路的輸出中的一個進行輸出的至少一個以上的可編程開關。可編程開關包括：源極電極或汲極電極的一方與多個邏輯電路的一個輸出端子電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子電連接的第一電晶體；源極電極或汲極電極的一方與多個邏輯電路的另一輸出端子電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子電連接的第二電晶體；以及源極電極或汲極電極的一方與第一電晶體及第二電晶體的閘極電極電連接的第三電晶體，其中，第三電晶體包括氧化物半導體層，並且從第三電晶體的源極電極或汲極電極的另一方輸入的電位保持於第一電晶體及第二電晶體的閘極電極。

在上述可編程邏輯裝置中，可以使第一電晶體與第二電晶體的導電型不同。另外，還可以使第一電晶體與第二電晶體具有相同的導電型，並在第三電晶體的源極電極或汲極電極的一方與第二電晶體的閘極電極之間電連接有反相器。並且，還可以包括：源極電極或汲極電極的一方與第一電晶體的源極電極或汲極電極的一方電連接，源極電極或汲極電極的另一方與第一電晶體的源極電極或汲極電

極的另一方電連接，閘極電極與第二電晶體的閘極電極電連接的第四電晶體；以及源極電極或汲極電極的一方與第二電晶體的源極電極或汲極電極的一方電連接，源極電極或汲極電極的另一方與第二電晶體的源極電極或汲極電極的另一方電連接，閘極電極與第一電晶體的閘極電極電連接的第五電晶體，其中，第四電晶體與第一電晶體的導電型不同，第五電晶體與第二電晶體的導電型不同。

另外，在上述可編程邏輯裝置中，較佳的是第一電晶體及第二電晶體由單晶矽形成。此外，第三電晶體隔著絕緣膜層疊地形成在第一電晶體及第二電晶體上，並且第三電晶體的至少一部分與第一電晶體或第二電晶體的至少一部分重疊地形成。

在上述可編程邏輯裝置中，較佳為包括一方的端子與第三電晶體的源極電極或汲極電極的一方電連接的電容元件。

另外，所公開的發明的另一個方式是一種可編程邏輯裝置，其包括由多個佈線電連接的多個邏輯塊。多個邏輯塊分別包括：多個邏輯電路；與多個邏輯電路中的兩個電連接並且根據所儲存的資料選擇上述兩個邏輯電路的輸出中的一個進行輸出的至少一個以上的可編程開關。可編程開關包括：源極電極或汲極電極的一方與多個邏輯電路的一個輸出端子電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子電連接的第一電晶體；源極電極或汲極電極的一方與多個邏輯電路的另一輸出端子電連接，

源極電極或汲極電極的另一方與該可編程開關的輸出端子電連接的第二電晶體；源極電極或汲極電極的一方與第一電晶體的閘極電極電連接的第三電晶體；以及源極電極或汲極電極的一方與第二電晶體的閘極電極電連接而閘極電極與第三電晶體的閘極電極電連接的第四電晶體，其中，第三電晶體及第四電晶體包括氧化物半導體層，從第三電晶體的源極電極或汲極電極的另一方輸入的第一電位保持於第一電晶體的閘極電極，從第四電晶體的源極電極或汲極電極的另一方輸入的與第一電位電位極性相反的第二電位保持於第二電晶體的閘極電極。

在上述可編程邏輯裝置中，較佳為第一電晶體與第二電晶體具有相同的導電型。並且，還可以包括：源極電極或汲極電極的一方與第一電晶體的源極電極或汲極電極的一方電連接，源極電極或汲極電極的另一方與第一電晶體的源極電極或汲極電極的另一方電連接，閘極電極與第二電晶體的閘極電極電連接的第五電晶體；以及源極電極或汲極電極的一方與第二電晶體的源極電極或汲極電極的一方電連接，源極電極或汲極電極的另一方與第二電晶體的源極電極或汲極電極的另一方電連接，閘極電極與第一電晶體的閘極電極電連接的第六電晶體，其中，第五電晶體與第一電晶體的導電型不同，並且第六電晶體與第二電晶體的導電型不同。

另外，在上述可編程邏輯裝置中，較佳為具有一方的端子與第三電晶體或第四電晶體的源極電極或汲極電極的

一方電連接的電容元件。

藉由將能夠充分減小電晶體的截止電流的如氧化物半導體等的寬能隙半導體用於可編程開關的儲存部的電晶體，即使在停止電源電位的供給的情況下也可以保持組態資料。由此，可以省略供給電源後的組態資料的寫入，從而可以縮短邏輯塊的啟動時間。由此，藉由對可編程邏輯裝置使用常關閉驅動方法可以實現低耗電量化。

【圖式簡單說明】

在圖式中：

圖 1A 至 1C 是說明有關本發明的一個方式的可編程邏輯裝置的電路圖；

圖 2A 和 2B 是說明有關本發明的一個方式的可編程邏輯裝置的一部分的電路圖；

圖 3A 至 3D 是說明有關本發明的一個方式的可編程邏輯裝置的一部分的電路圖；

圖 4A 至 4C 是說明有關本發明的一個方式的可編程邏輯裝置的一部分的電路圖；

圖 5A 至 5C 是說明有關本發明的一個方式的可編程邏輯裝置的一部分的電路圖；

圖 6A 至 6D 是說明可編程邏輯裝置的製造製程的圖；

圖 7A 和 7B 是說明可編程邏輯裝置的製造製程的圖；

圖 8A 至 8C 是說明可編程邏輯裝置的製造製程的圖；

圖 9A 和 9B 是說明可編程邏輯裝置的製造製程的圖；

圖 10 是可攜式電子裝置的方塊圖；

圖 11 是電子書閱讀器的方塊圖；

圖 12A 至 12E 是說明有關本發明的一個方式的氧化物材料的結構的圖；

圖 13A 至 13C 是說明有關本發明的一個方式的氧化物材料的結構的圖；

圖 14A 至 14C 是說明有關本發明的一個方式的氧化物材料的結構的圖；

圖 15 是說明根據計算獲得的遷移率的閘極電壓依賴性的圖；

圖 16A 至 16C 是說明根據計算獲得的汲電流及遷移率的閘極電壓依賴性的圖；

圖 17A 至 17C 是說明根據計算獲得的汲電流及遷移率的閘極電壓依賴性的圖；

圖 18A 至 18C 是說明根據計算獲得的汲電流及遷移率的閘極電壓依賴性的圖；

圖 19A 和 19B 是說明用於計算的電晶體的剖面結構的圖；

圖 20A 至 20C 是使用氧化物半導體膜的電晶體特性的圖表；

圖 21 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 22 是示出電晶體的截止電流和測量時基板溫度的關係的圖；

圖 23 是示出 I_{ds} 及場效應遷移率 V_{gs} 的依賴性的圖表；

圖 24A 和 24B 是示出基板溫度與臨界電壓的關係及基板溫度與電場效應遷移率的關係的圖；

圖 25A 和 25B 是說明用於測定的電晶體的剖面結構的圖；

圖 26A 和 26B 是說明可編程邏輯裝置的結構的一部分的平面圖；

圖 27 是說明有關本發明的一個方式的可編程邏輯裝置的電路圖；

圖 28A 和 28B 是說明氧化物材料的結構的圖。

【實施方式】

下面，參照圖式對本發明的實施例模式進行詳細說明。但是，本發明不限於以下的說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定於以下所示的實施例模式的記載內容中。

注意，在使用極性不同的電晶體或電路工作的電流方向發生變化等情況下，“源極電極”及“汲極電極”的功

能有時互相調換。因此，在本說明書中，“源極電極”和“汲極電極”可以互相調換。

“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

即便在電路圖中示出獨立的構成要素彼此電連接的情況下，實際上也存在例如佈線的一部分還用作電極等的一個導電膜具有多個構成要素的功能的情況。在本說明書中這種一個導電膜具有多個構成要素的功能的情況也包括在電連接的範疇內。

“上”或“下”不侷限於構成要素的位置關係為“直接在……上”或“直接在……下”。例如，“閘極絕緣層上的閘極電極”也不排除閘極絕緣層和閘極電極之間包含其他構成要素的情況。

爲了容易理解，有時圖式等中所示的各構成的位置、大小、範圍等不表示實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等中所公開的位置、大小、範圍等。

“第一”、“第二”、“第三”等序數詞是爲了避免構成要素的混淆而附記的。

實施例模式 1

在本實施例模式中，參照圖 1A 至圖 5C 對有關所公開的發明的一個方式的可編程邏輯裝置的電路結構進行說明。

圖 1A 示出有關所公開的發明的一個方式的可編程邏輯裝置的結構。可編程邏輯裝置包括多個佈線 11 電連接的多個邏輯塊 10。例如，如圖 1A 所示，多個邏輯塊 10 以矩陣狀設置，並且在多個邏輯塊 10 之間的行方向或列方向上延伸設置佈線 11。另外，在行方向佈線 11 與列方向佈線 11 的交叉部分設置有切換各佈線 11 的連接的開關矩陣 12。另外，邏輯塊 10 不需要一定以矩陣狀空開一定間隔地設置，例如，也可以在行方向或列方向上相鄰地設置，佈線 11 也可以僅在行方向或僅在列方向上延伸地設置。另外，也沒有必要一定設置開關矩陣 12，根據需要適當地設置即可。另外，可以適當地設定邏輯塊 10、佈線 11 及開關矩陣 12 的數目，而不限於圖 1A 至 1C 中所示的數目。

另外，可編程邏輯裝置還可以包括乘法器（multiplier）、RAM（Random Access Memory；唯讀記憶體）塊、PLL（Phase Locked Loop；鎖相環）塊、I/O（InPut/OutPut；輸入/輸出）元件。乘法器能夠高速地進行多個資料的乘法運算。RAM 塊作為記憶體能夠儲存任意的資料。PLL 塊能夠對可編程邏輯裝置內部的電路提供時脈信號。I/O 元件能夠控制可編程邏輯裝置與外部電路

之間的信號的接收。

邏輯塊 10 包括：多個邏輯電路；以及與該多個邏輯電路中的兩個邏輯電路電連接並根據所儲存的資料（以下稱為組態資料）選擇該兩個邏輯電路的輸出的一個進行輸出的至少一個以上的可編程開關。如此藉由使多個邏輯電路藉由可編程開關電連接，可以藉由切換該可編程開關來選擇多個邏輯電路中所希望的邏輯電路進行連接，由此可以形成具有所希望邏輯功能的邏輯電路。注意，在本說明書中，有時將至少兩個以上的邏輯電路和至少一個以上的可編程開關的組合稱為邏輯單元。即，邏輯塊 10 至少包括一個以上的邏輯單元。另外，除了上述邏輯單元之外，邏輯塊 10 還可以包括正反器、計數電路等時序電路，例如，還可以設置移位暫存器等。

圖 1B 示出包含於邏輯塊 10 的邏輯單元 20，該邏輯單元 20 由多個輸入端子 IN、輸出端子 OUT、邏輯電路 22a 及邏輯電路 22b 以及具有儲存部 32 及開關部 34 的可編程開關 30 構成。

可編程開關 30 根據儲存於儲存部 32 的組態資料對開關部 34 進行控制，並且選擇邏輯電路 22a 的輸出或邏輯電路 22b 的輸出進行輸出。邏輯電路 22a 及邏輯電路 22b 與多個輸入端子 IN 電連接。開關部 34 的第一端子與邏輯電路 22a 的輸出端子電連接、第二端子與邏輯電路 22b 的輸出端子電連接、第三端子與輸出端子 OUT 電連接。儲存部 32 與對儲存部輸入要儲存的組態資料的電位的資料

線 D 電連接，並且與輸入控制對儲存部寫入組態資料的信號的字線 W 電連接，並在儲存組態資料的節點與開關部 34 電連接。

邏輯電路 22a 及邏輯電路 22b 可以使用任何邏輯電路，例如，既可以使用邏輯門，也可以使用組合了邏輯門的組合邏輯電路。另外，與邏輯電路 22a 及邏輯電路 22b 電連接的多個輸入端子 IN 既可以與圖 1A 所示的佈線 11 電連接，也可以與包含於邏輯塊 10 的其他的邏輯電路電連接，還可以與包含於邏輯塊 10 的其他可編程開關電連接。另外，與開關部 34 的第三端子電連接的輸出端子 OUT 既可以與圖 1A 所示的佈線 11 電連接，也可以與包含於邏輯塊 10 的其他的邏輯電路電連接，還可以與包含於邏輯塊 10 的其他可編程開關電連接。

下面，使用圖 2A 對使用邏輯門的邏輯單元的例子進行說明。圖 2A 所示的邏輯單元 20a 由第一輸入端子 IN1、第二輸入端子 IN2、輸出端子 OUT、NAND 電路 22c、NOR 電路 22d 以及具有儲存部 32a 及開關部 34a 的可編程開關 30a 構成。其中，第一輸入端子 IN1、NAND 電路 22c 的一方的輸入端子、NOR 電路 22d 的一方的輸入端子彼此電連接，第二輸入端子 IN2、NAND 電路 22c 的另一方的輸入端子、NOR 電路 22d 的另一方的輸入端子彼此電連接，開關部 34a 的第一端子與 NAND 電路 22c 的輸出端子電連接，開關部 34a 的第二端子與 NOR 電路 22d 的輸出端子電連接，開關部 34a 的第三端子與輸出端子

OUT 電連接，資料線 D 及字線 W 與儲存部 32a 電連接，並且在儲存組態資料的節點處儲存部 32a 與開關部 34a 電連接。

這裏，表 1 示出當對第一輸入端子 IN1、第二輸入端子 IN2 及資料線 D 輸入 Low 電平電位（對應於數位資料的 0）或 High 電平電位（對應於數位資料的 1）時，各電位分別被儲存部 32a 保持時的邏輯單元 20a 的真值表。但是，儲存部 32a 保持 Low 電平電位（0）時，開關部 34a 使 NAND 電路 22c 的輸出端子與輸出端子 OUT 電連接，而當儲存部 32a 保持 High 電平電位（1）時，開關部 34a 使 NOR 電路 22d 的輸出端子與輸出端子 OUT 電連接。

表 1

儲存部 32a: Low 電平 (0)			儲存部 32a: High 電平 (1)		
IN1	IN2	OUT	IN1	IN2	OUT
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

如表 1 所示，在邏輯單元 20a 中，當儲存部 32a 儲存 Low 電平電位（0）時，NAND 電路 22c 的輸出成為邏輯單元 20a 的輸出，而當儲存部 32a 儲存 High 電平電位（1）時，NOR 電路 22d 的輸出成為邏輯單元 20a 的輸出。也就是說，邏輯單元 20a 可以根據儲存於可編程開關

30a 的儲存部 32a 的資料選擇用作 NAND 電路還是用作 NOR 電路。

另外，使用圖 2B 對使用多個可編程開關的邏輯單元的例子進行說明。圖 2B 所示的邏輯單元 20b 由第一輸入端子 IN1、第二輸入端子 IN2、輸出端子 OUT、NAND 電路 22e、NOR 電路 22f、XOR 電路 22g、NOT 電路 22h、具有儲存部 32b 及開關部 34b 的可編程開關 30b、具有儲存部 32c 及開關部 34c 的可編程開關 30c、具有儲存部 32d 及開關部 34d 的可編程開關 30d 構成。

第一輸入端子 IN1 與 NAND 電路 22e 的一方的輸入端子、NOR 電路 22f 的一方的輸入端子、XOR 電路 22g 的一方的輸入端子、NOT 電路 22h 的輸入端子彼此電連接，第二輸入端子 IN2 與 NAND 電路 22e 的另一方的輸入端子、NOR 電路 22f 的另一方的輸入端子、XOR 電路 22g 的另一方的輸入端子彼此電連接。另外，開關部 34b 的第一端子與 NAND 電路 22e 的輸出端子電連接，開關部 34b 的第二端子與 NOR 電路 22f 的輸出端子電連接，資料線 D0 及字線 W 與儲存部 32b 電連接，在儲存資料的節點處儲存部 32b 與開關部 34b 電連接。開關部 34c 的第一端子與 XOR 電路 22g 的輸出端子電連接，開關部 34c 的第二端子與 NOT 電路 22h 的輸出端子電連接，資料線 D0 及字線 W 與儲存部 32c 電連接，並且在儲存資料的節點處儲存部 32c 與開關部 34c 電連接。開關部 34d 的第一端子與開關部 34b 的第三端子電連接，開關部 34d 的第二端子與

開關部 34c 的第三端子電連接，開關部 34d 的第三端子與輸出端子 OUT 電連接，資料線 D1 及字線 W 與儲存部 32d 電連接，並且在儲存資料的節點處儲存部 32d 與開關部 34d 電連接。

這裏，表 2 示出當對第一輸入端子 IN1、第二輸入端子 IN2、資料線 D0 及資料線 D1 輸入 Low 電平電位（0）或 High 電平電位（1）時，各電位被儲存部 32b 至儲存部 32d 保持時的邏輯單元 20b 的真值表。但是，當儲存部 32b 保持 Low 電平電位（0）時，開關部 34b 使 NAND 電路 22e 的輸出端子與開關部 34d 的第一端子電連接，而當儲存部 32b 保持 High 電平電位（1）時，開關部 34b 使 NOR 電路 22f 的輸出端子與開關部 34d 的第一端子電連接。另外，當儲存部 32c 保持 Low 電平電位（0）時，開關部 34c 使 XOR 電路 22g 的輸出端子與開關部 34d 的第二端子電連接，而當儲存部 32c 保持 High 電平電位（1）時，開關部 34c 使 NOT 電路 22h 的輸出端子與開關部 34d 的第二端子電連接。另外，當儲存部 32d 保持 Low 電平電位（0）時，開關部 34d 使開關部 34b 的第三端子與輸出端子 OUT 電連接，而當儲存部 32b 保持 High 電平電位（1）時，開關部 34d 使開關部 34c 的第三端子與輸出端子 OUT 電連接。

表 2

儲存部	儲存部 32b: Low 電平 (0)			儲存部 32b: High 電平 (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
32d: Low 電平 (0)	0	0	1	0	0	1
	0	1	1	0	1	0
	1	0	1	1	0	0
	1	1	0	1	1	0

儲存部	儲存部 32c: Low 電平 (0)			儲存部 32c: High 電平 (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
32d: High 電 平 (1)	0	0	0	0	0	1
	0	1	1	0	1	1
	1	0	1	1	0	0
	1	1	0	1	1	0

如表 2 所示，在邏輯單元 20b 中，當儲存部 32b 及儲存部 32d 儲存 Low 電平電位（0）時，NAND 電路 22e 的輸出成為邏輯單元 20b 的輸出，而當儲存部 32b 儲存 High 電平電位（1）而儲存部 32d 儲存 Low 電平電位（0）時，NOR 電路 22f 的輸出成為邏輯單元 20b 的輸出。另外，當儲存部 32c 儲存 Low 電平電位（0）而儲存部 32d 儲存 High 電平電位（1）時，XOR 電路 22g 的輸出成為邏輯單元 20b 的輸出，而當儲存部 32b 及儲存部 32d 儲存 High 電平電位（1）時，NOT 電路 22h 的輸出成為邏輯單元 20b 的輸出。也就是說，邏輯單元 20b 可以根據可編程開關 30b 至可編程開關 30d 的儲存部 32b 至儲存

部 32d 儲存的資料選擇用作 NAND 電路、NOR 電路、XOR 電路還是 NOT 電路。

另外，圖 1C 示出可編程開關 30 所具有的儲存部 32 的結構。如圖 1C 所示，儲存部 32 由電晶體 40 構成，該電晶體 40 的源極電極或汲極電極的一方與開關部 34 電連接、源極電極或汲極電極的另一方與資料線 D 電連接、閘極電極與字線 W 電連接。這裏，使用截止電流極低的電晶體作為電晶體 40，藉由使該電晶體 40 處於截止狀態，可以使與開關部 34 電連接的源極電極或汲極電極的一方保持對應於組態資料的電位。例如，藉由使源極電極或汲極電極的一方為高電位的狀態對應「1」並使源極電極或汲極電極的一方為低電位的狀態對應「0」，可以儲存 1 位元的組態資料。

截止電流極低的電晶體是指通道形成區中包括比矽半導體能隙寬而本質載子密度低於矽的寬能隙半導體的電晶體。作為比矽半導體能隙寬而本質載子密度低於矽的寬能隙半導體的一個例子，可以使用由如碳化矽（SiC）、氮化鎵（GaN）等化合物半導體、In-Ga-Zn-O 類氧化物半導體等金屬氧化物構成的氧化物半導體等。在本實施例模式中，作為用於儲存部 32 的截止電流極低的電晶體，使用包括氧化物半導體的電晶體，在電路圖中，為了示出其為使用氧化物半導體的電晶體，有時還附上“OS”的符號。

圖 3A 示出包括儲存部 32 及開關部 34 的可編程開關

30 的具體的電路結構。圖 3A 所示的可編程開關包括：源極電極或汲極電極的一方與第一輸入端子 PIN1 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 112；源極電極或汲極電極的一方與第二輸入端子 PIN2 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 114；源極電極或汲極電極的一方與電晶體 112 及電晶體 114 的閘極電極電連接，源極電極或汲極電極的另一方與資料線 D 電連接，並且閘極電極與字線 W 電連接的電晶體 110。

第一輸入端子 PIN1 及第二輸入端子 PIN2 是該可編程開關的輸入端子，並且與圖 1B 所示的邏輯電路 22a 的輸出端子及邏輯電路 22b 的輸出端子電連接。另外，輸出端子 POUT 是該可編程開關的輸出端子。另外，電晶體 110 對應於圖 1B 所示的儲存部 32 以包括氧化物半導體層的方式形成。另外，電晶體 112 及電晶體 114 對應於圖 1B 所示的開關部 34 並具有不同的導電型。在本實施例模式中，將電晶體 112 設定為 n 型而將電晶體 114 設定為 p 型。

在圖 3A 所示的可編程開關中，對電晶體 110 的源極電極或汲極電極的一方與電晶體 112 及電晶體 114 的閘極電極電連接而成的節點（以下也稱為節點 FG）提供對應於組態資料的電位，藉由將該電位保持於節點 FG，可以選擇第一輸入端子 PIN1 或第二輸入端子 PIN2 的輸入並從

輸出端子 POUT 輸出。下面對利用可編程開關進行組態資料的寫入及保持的工作進行說明。

首先，將字線 W 的電位設定為使電晶體 110 成為導通狀態的電位而使電晶體 110 成為導通狀態。由此資料線 D 的電位提供到節點 FG。也就是說，對電晶體 112 及電晶體 114 的閘極電極提供所預定的電位（資料的寫入）。這裏，當該所預定的電位為高電位時，n 型電晶體 112 成為導通狀態，而 P 型電晶體 114 成為截止狀態，第一輸入端子 PIN1 的輸入從輸出端子 POUT 輸出。另外，當該所預定的電位為低電位時，p 型電晶體 114 成為導通狀態，而 n 型電晶體 112 成為截止狀態，第二輸入端子 PIN2 的輸入從輸出端子 POUT 輸出。

在將資料線 D 的電位寫入節點 FG 之後，在保持該資料線 D 的電位的狀態下，將字線 W 的電位設定為電晶體 110 成為截止狀態的電位而使電晶體 110 成為截止狀態。由於電晶體 110 使用氧化物半導體等寬能隙半導體而截止電流極低，所以提供到節點 FG 的所預定的電位被保持（資料的保持）。也就是說，電晶體 112 及電晶體 114 的閘極電極的所預定的電位被保持，電晶體 112 及電晶體 114 保持連接狀態。由此，可以在沒有電源電位供給的情況下，保持圖 3A 所示的可編程開關的切換狀態。

如此，藉由作為可編程開關的儲存部的電晶體使用能夠充分減小電晶體的截止電流的氧化物半導體等寬能隙半導體，即使在停止電源電位供給的期間中也可以長時間地

保持組態資料，並保持可編程開關的切換狀態。由此，藉由使用暫時停止對可編程邏輯裝置整體或其一部分的電源電位的供給而僅在需要的時候在需要的電路塊中選擇電源電位的供給的驅動方法（常關閉驅動方法），即使停止對包括該可編程開關的邏輯塊的電源電位的供給，也可以保持可編程開關的切換狀態。因此，當利用常關閉驅動方法供給電源時，可以省略組態資料的寫入，由此可以縮短邏輯塊的啟動時間。因此，在本實施例模式所示的可編程邏輯裝置中，利用常關閉驅動方法可以實現低耗電量化。

另外，由於可以藉由電晶體 110 對節點 FG 提供對應於組態資料的電位寫入該資料，與使用浮動閘極藉由電子注入來對可編程開關的儲存部寫入組態資料的情況相比，可以大幅度地降低並且縮短寫入所需要的電位及時間。另外，由於不存在因對浮動閘極進行電子注入時所產生的穿隧電流而引起的閘極絕緣層的劣化的問題，由此可以增加資料能夠重寫的次數。

另外，通常可編程邏輯裝置在具有該可編程邏輯裝置的半導體裝置停止工作的狀態下，藉由進行可編程開關的切換來進行邏輯塊的電路結構的變更。並稱其為組態（configuration）。相對於該組態將在該半導體裝置工作中進行組態的情況稱為動態組態。如上所述，由於本實施例模式所示的可編程開關的組態資料的寫入被高速化，所以能夠容易地進行動態組態。

另外，上述可編程開關不僅可以用於圖 1A 所示的邏

輯塊 10，還可以用於圖 1A 所示的開關矩陣來儲存佈線 11 的連接狀態。

另外，使用圖 3B 至 3D、圖 4A 至 4C 及圖 5A 至 5C 對與圖 3A 所示的結構不同的可編程開關進行說明。

圖 3B 所示的程開關與圖 3A 所示的可編程開關的不同之處在於：圖 3B 所示的可編程開關包括一方的端子與節點 FG 電連接而另一方的端子與穩定的電位電連接的電容元件 116。這裏，本實施例模式所示的電容元件 116 的另一方的端子接地。注意，其他的結構與圖 3A 所示的可編程開關的結構相同。

像這樣，藉由設置電容元件 116，當從資料線 D 向節點 FG 輸入對應於組態資料的電位時可以容易地保持提供到節點 FG 的電荷，從而可以容易地提高可編程開關的組態資料的保持特性。另外，當節點 FG 的寄生電容充分大時，即使不另行設置電容元件也可以獲得與設置電容元件 116 同樣的效果。

另外，圖 3C 所示的可編程開關與圖 3A 所示的可編程開關的不同之處在於：電晶體 110 的源極電極或汲極電極的一方與電晶體 112 及電晶體 114 的閘極電極之間設置有緩衝器 118。這裏，將包括電晶體 112 及電晶體 114 的閘極電極的節點稱為節點 FG。注意，其他的結構與圖 3A 所示的可編程開關的結構相同。

像這樣，藉由設置緩衝器 118，藉由從電源線向節點 FG 提供電位，即使第一輸入端子 PIN1、第二輸入端子

PIN2 或輸出端子 POUT 的電位變動，也可以藉由電晶體 112 或電晶體 114 的電容耦合防止節點 FG 的電位發生變化。另外，藉由設置緩衝器 118，即使從資料線 D 輸入的電位在電晶體 110 中電壓下降了相當於電晶體 110 的臨界值電位，也能夠向節點 FG 輸入對應於電源電位的電位。

另外，圖 3D 所示的可編程開關與圖 3A 所示的可編程開關的不同之處在於：電晶體 110 的源極電極或汲極電極的一方與電晶體 112 及電晶體 114 的閘極電極之間設置有反相器 120。這裏，將包括電晶體 112 及電晶體 114 的閘極電極的節點稱為節點 FG。注意，其他的結構與圖 3A 所示的可編程開關的結構相同。但是，由於從資料線 D 輸入的電位藉由反相器 120 成為相反極性，因此圖 3A 所示的可編程開關與切換開關的工作反過來。

如此，藉由設置反相器 120，藉由從電源線向節點 FG 提供電位，即使第一輸入端子 PIN1、第二輸入端子 PIN2 或輸出端子 POUT 的電位變動，也可以藉由電晶體 112 或電晶體 114 的電容耦合來防止節點 FG 的電位變化。另外，藉由設置反相器 120，即使從資料線 D 輸入的電位在電晶體 110 中電壓下降了電晶體 110 的臨界值電位，也可以對節點 FG 輸入對應於電源電位的電位。

另外，雖然在圖 3A 至圖 3D 所示的可編程開關中，作為構成開關部的與第一輸入端子 PIN1 電連接的電晶體 112 及與第二輸入端子 PIN2 電連接的電晶體 114 使用導電型互不相同的電晶體，但是有關本實施例模式的開關部

的結構不侷限於此。也可以使構成開關部的兩個電晶體具有相同的導電型。

例如，可以採用圖 4A 所示的結構。圖 4A 所示的可編程開關包括：源極電極或汲極電極的一方與第一輸入端子 PIN1 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 132；源極電極或汲極電極的一方與第二輸入端子 PIN2 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 134；源極電極或汲極電極的一方與電晶體 132 的閘極電極電連接，源極電極或汲極電極的另一方與資料線 D 電連接，並且閘極電極與字線 W 電連接的電晶體 130；以及在電晶體 134 的閘極電極與電晶體 130 的源極電極或汲極電極的一方之間電連接的反相器 144。這裏，電晶體 130 以包括氧化物半導體層的方式形成。另外，電晶體 132 與電晶體 134 具有相同的導電型並為 n 型電晶體。

也就是說，圖 4A 所示的可編程開關與圖 3A 所示的可編程開關的不同之處在於：構成開關部的與第一輸入端子 PIN1 電連接的電晶體 132 和與第二輸入端子 PIN2 電連接的電晶體 134 具有相同導電型，並且在電晶體 134 的閘極電極與電晶體 130 的源極電極或汲極電極的一方之間設置有反相器 144。藉由採用這種結構，對應於從資料線 D 輸入的組態資料的電位，在電晶體 132 的閘極電極（節點 FG1）與電晶體 134（節點 FG2）的閘極電極之間具有相

反極性，因此電晶體 132 與電晶體 134 中的一方成為導通狀態，而另一方成為截止狀態。

另外，如圖 4B 所示，也可以使構成可編程開關的開關部的與第一輸入端子 PIN1 電連接的電晶體 136 和與第二輸入端子 PIN2 電連接的電晶體 138 為 p 型電晶體。注意，其他的結構與圖 4A 所示的可編程開關的結構相同。

另外，如圖 4C 所示，也可以設置與第一輸入端子 PIN1 電連接的傳輸門 140 和與第二輸入端子 PIN2 電連接的傳輸門 142，來代替構成可編程開關的開關部的電晶體。這裏，傳輸門 140 由 n 型電晶體和 p 型電晶體構成，其源極電極或汲極電極的一方與第一輸入端子 PIN1 電連接，源極電極或汲極電極的另一方與輸出端子 POUT 電連接，n 型電晶體的閘極電極（節點 FG1）與電晶體 130 的源極電極或汲極電極的一方電連接，p 型電晶體的閘極電極（節點 FG2）與電晶體 130 的源極電極或汲極電極的一方藉由反相器 144 電連接。同樣地，傳輸門 142 也由 n 型電晶體和 p 型電晶體構成，其源極電極或汲極電極的一方與第二輸入端子 PIN2 電連接，源極電極或汲極電極的另一方與輸出端子 POUT 電連接，n 型電晶體的閘極電極（節點 FG2）與電晶體 130 的源極電極或汲極電極的一方藉由反相器 144 電連接，p 型電晶體的閘極電極（節點 FG1）與電晶體 130 的源極電極或汲極電極的一方電連接。注意，其他的結構與圖 4A 所示的可編程開關的結構相同。

當可編程開關的開關部由一個電晶體構成時，爲了維持該電晶體的連接狀態（導通狀態或截止狀態），需要對該電晶體的閘極電極施加比該電晶體的源極電極或汲極電極所施加的最大電位（或最小電位）高出該電晶體的臨界值電位左右的高（或低）電位。但是，如上所述，藉由在可編程開關的開關部中使用傳輸門，可以在不對閘極電極施加高出上述臨界值電位左右的高（或低）電位的情況下進行開關，由此可以實現可編程開關的低耗電量化。

另外，也可以採用圖 5A 所示的結構。圖 5A 所示的可編程開關包括：源極電極或汲極電極的一方與第一輸入端子 PIN1 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 154；源極電極或汲極電極的一方與第二輸入端子 PIN2 電連接，源極電極或汲極電極的另一方與該可編程開關的輸出端子 POUT 電連接的電晶體 156；源極電極或汲極電極的一方與電晶體 154 的閘極電極電連接，源極電極或汲極電極的另一方與資料線 D 電連接，並且閘極電極與字線 W 電連接的電晶體 150；以及源極電極或汲極電極的一方與電晶體 156 的閘極電極電連接，源極電極或汲極電極的另一方與資料線 DB 電連接，並且閘極電極與字線 W 電連接的電晶體 152。這裏，電晶體 150 及電晶體 152 以包括氧化物半導體層的方式形成。另外，資料線 D 的電位與資料線 DB 的電位互爲相反極性。

圖 5A 所示的可編程開關與圖 3A 所示的可編程開關

的不同之處在於：構成開關部的與第一輸入端子 PIN1 電連接的電晶體 154 和與第二輸入端子 PIN2 電連接的電晶體 156 具有相同的導電型，並且設置有與資料線 D 電連接的電晶體 150 和資料線 DB 電連接的電晶體 152。藉由採用這樣的結構，從資料線 D 輸入的保持於電晶體 154 的閘極電極（節點 FG1）的電位與從資料線 DB 輸入的保持於電晶體 156 的閘極電極（節點 FG2）的電位具有相反極性，電晶體 154 與電晶體 156 中的一方成為導通狀態而另一方成為截止狀態。

另外，如圖 5B 所示，也可以使構成可編程開關的開關部的與第一輸入端子 PIN1 電連接的電晶體 158 和與第二輸入端子 PIN2 電連接的電晶體 160 為 p 型電晶體。注意，其他的結構與圖 5A 所示的可編程開關的結構相同。

另外，如圖 5C 所示，也可以設置與第一輸入端子 PIN1 電連接的傳輸門 162 和與第二輸入端子 PIN2 電連接的傳輸門 164，來代替構成可編程開關的開關部的電晶體。這裏，傳輸門 162 由 n 型電晶體和 p 型電晶體構成，其源極電極或汲極電極的一方與第一輸入端子 PIN1 電連接，源極電極或汲極電極的另一方與輸出端子 POUT 電連接，n 型電晶體的閘極電極（節點 FG1）與電晶體 150 的源極電極或汲極電極的一方電連接，p 型電晶體的閘極電極（節點 FG2）與電晶體 152 的源極電極或汲極電極的一方電連接。同樣地，傳輸門 164 也由 n 型電晶體和 p 型電晶體構成，其源極電極或汲極電極的一方與第二輸入端子

PIN2 電連接，源極電極或汲極電極的另一方與輸出端子 POUT 電連接，n 型電晶體的閘極電極（節點 FG2）與電晶體 152 的源極電極或汲極電極的一方電連接，p 型電晶體的閘極電極（節點 FG1）與電晶體 150 的源極電極或汲極電極的一方電連接。注意，其他的結構與圖 5A 所示的可編程開關的結構相同。

如此，藉由在可編程開關的開關部中使用傳輸門，可以與圖 4C 所示的使用傳輸門的用可編程開關同樣地，即使在不對閘極電極施加比電晶體的源極電極或汲極電極所施加的最大電位（或最小電位）高（或低）該電晶體的臨界值電位左右的電位，也可以進行開關，由此可以實現可編程開關的低耗電量化。

另外，也可以對圖 4A 至 4C 及圖 5A 至 5C 所示的可編程開關組合與圖 3B 至 3D 所示的可編程開關同樣的結構。例如，藉由如圖 3B 所示地對圖 4A 至 4C 及圖 5A 至 5C 所示的可編程開關的節點 FG1 及節點 FG2 設置電容元件，可以容易地提高可編程開關的組態資料的保持特性。

如上所述，藉由作為可編程開關的儲存部的電晶體使用能夠充分減小電晶體的截止電流的氧化物半導體等寬能隙半導體，即使在停止電源電位的供給的情況下也能夠保持組態資料。由此，可以省略供給電源後的組態資料的寫入，而可以縮短邏輯塊的啟動時間。因此，藉由對可編程邏輯裝置使用常關閉驅動方法，可以實現低耗電量化。

上述本實施例模式所示的結構、方法等可以與本實施

例模式所示的結構、方法之間互相組合使用，也可以與其他的實施例模式所示的結構、方法等適當地組合使用。

實施例模式 2

在本實施例模式中，使用圖 6A 至圖 9B 對實施例模式 1 所示的可編程邏輯裝置的可編程開關的製造方法進行說明。作為一個例子，對圖 3A 所示的由電晶體 110、電晶體 112 及電晶體 114 構成的可編程開關的製造方法進行說明。另外，在圖 6A 至圖 9B 中，A-B 所示的剖面圖相當於形成有包括氧化物半導體膜的電晶體 110、n 型電晶體 112 及 p 型電晶體 114 的區域的剖面圖，C-D 所示的剖面圖相當於包括氧化物半導體膜的電晶體 110 的源極電極或汲極電極的一方與 n 型電晶體 112 的閘極電極連接的節點 FG 的剖面圖。注意，在本實施例模式中，雖然沒有直接圖示，如圖 3A 所示 p 型電晶體 114 的閘極電極也與節點 FG 電連接。

首先，如圖 6A 所示，在 n 型半導體基板 201 中形成元件分離區 203 之後，在 n 型半導體基板 201 的一部分中形成 p 井區 205。

作為 n 型半導體基板 201，可以使用具有 n 型導電型的單晶矽基板（矽晶片）、化合物半導體基板（SiC 基板、藍寶石底、GaN 基板等）。

另外，可以使用 SOI 基板代替 n 型半導體基板 201，作為 SOI（Silicon on Insulator；絕緣體上矽）基板，可以

使用：藉由在對鏡面拋光薄片注入氧離子之後進行高溫加熱，在離表面一定深度的區域中形成氧化層，並消除產生在表面層中的缺陷的所謂的 SIMOX (Separation by IMplanted OXygen；注入氧隔離) 基板；或者利用藉由注入氫離子而形成的微小空隙經過熱處理成長而使半導體基板劈開的智慧剝離法或 ELTRAN 法 (Epitaxial Layer Transfer；日本佳能公司的註冊商標) 等形成的 SOI 基板。

元件分離區 203 可以利用 LOCOS (Local Oxidation of Silicon；矽局部氧化) 法或 STI (Shallow Trench Isolation；淺溝槽隔離) 法等形式。

以 $5 \times 10^{15} \text{cm}^{-3}$ 至 $1 \times 10^{16} \text{cm}^{-3}$ 左右的濃度對 p 井區 205 添加硼等賦予 p 型的雜質元素。對半導體基板 201 的一部分形成掩模，然後對半導體基板 201 的一部分添加硼等賦予 p 型的雜質元素來形成 p 井區 205。

另外，雖然這裏使用 n 型半導體基板，但是也可以使用 p 型半導體基板，並藉由對 p 型半導體基板添加賦予 n 型的磷、砷等雜質元素形成 n 井區。另外，如圖 4A、圖 4B、圖 5A 及 5B 所示，當可編程開關的開關部由相同導電型的電晶體構成時，不需要形成 p 井區或 n 井區。

接著，如圖 6B 所示，在半導體基板 201 上形成閘極絕緣膜 207a、閘極絕緣膜 207b、閘極電極 209a 及閘極電極 209b。

進行熱處理將半導體基板 201 的表面形成為被氧化的

氧化矽膜。或者，藉由在利用熱氧化法形成氧化矽膜之後，進行氮化處理使氧化矽膜的表面氮化，而形成氧化矽膜與包含氧和氮的矽膜（氧氮化矽膜）的疊成結構。接著，對氧化矽膜或氧氮化矽膜的一部分進行選擇性地蝕刻，形成閘極絕緣膜 207a 及閘極絕緣膜 207b。或者，在利用 CVD 法、濺射法等形成厚度為 5 至 50nm 的氧化矽、氧氮化矽、高介電常數物質（也稱為 high-k 材料）的鉭氧化物、氧化鉛、氧化鉛矽酸鹽、氧化鋯、氧化鋁、氧化鈦等金屬氧化物或氧化釷等稀土氧化物等之後，對其一部分進行選擇性地蝕刻來形成閘極絕緣膜 207a 及閘極絕緣膜 207b。

閘極電極 209a 及閘極電極 209b 較佳為使用選自鉭、鎢、鈦、鉬、鉻、鈮等的金屬或以這些金屬為主要成分的合金材料或化合物材料形成。另外，還可以使用添加有磷等雜質的多晶矽。另外，還可以以金屬氮化物膜與上述金屬膜的疊層結構形成閘極電極 209a 及閘極電極 209b。作為金屬氮化物，可以使用氮化鎢、氮化鉬、氮化鉭。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。

閘極電極 209a 及閘極電極 209b 是在利用濺射法、CVD 法等形成導電膜之後對該導電膜的一部分進行選擇性地蝕刻而形成的。

這裏，進行熱處理使半導體基板 201 上的表面氧化而形成氧化矽膜，並利用濺射法在該氧化矽膜上形成層疊了

氮化鉬膜及鎢膜的導電膜，然後分別對氧化矽膜及導電膜的一部分進行選擇性地蝕刻，來形成閘極絕緣膜 207a、閘極絕緣膜 207b、閘極電極 209a 及閘極電極 209b。

注意，爲了實現高集體化，較佳爲閘極電極 209a 及閘極電極 209b 的側面沒有側壁絕緣層。另一方面，當注重電晶體特性時，也可以在閘極電極 209a 及閘極電極 209b 的側面設置側壁絕緣層。

接著，如圖 6C 所示，對半導體基板 201 添加賦予 p 型的雜質元素形成 p 型雜質區 213a、p 型雜質區 213b。另外，對 p 井區 205 添加賦予 n 型的雜質元素形成 n 型雜質區 211a、n 型雜質區 211b。n 型雜質區 211a、n 型雜質區 211b、p 型雜質區 213a 及 p 型雜質區 213b 中的賦予 n 型的雜質元素及賦予 p 型的雜質元素的濃度爲 $1 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下。適當地使用離子摻雜法、離子植入法等對半導體基板 201 及 p 井區 205 添加賦予 n 型的雜質元素及賦予 p 型的雜質元素。另外，如圖 4A、圖 4B、圖 5A 及圖 5B 所示，當可編程開關的開關部由相同導電型的電晶體構成時，添加賦予 p 型的雜質元素或賦予 n 型的雜質元素的一方即可。

另外，當在閘極電極 209a 及閘極電極 209b 的側面設置側壁絕緣層時，可以在與該側壁絕緣層重疊的區域中形成與 n 型雜質區 211a、n 型雜質區 211b、p 型雜質區 213a 及 p 型雜質區 213b 不同雜質濃度的雜質區。

接著，如圖 6D 所示，利用濺射法、CVD 法等在半導

體基板 201、元件分離區 203、閘極絕緣膜 207a、閘極絕緣膜 207b、閘極電極 209a 及閘極電極 209b 上形成絕緣膜 215 及絕緣膜 217。

絕緣膜 215 及絕緣膜 217 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等的疊層或單層形成。另外，藉由利用 CVD 法形成絕緣膜 215 可以提高絕緣膜 215 的氫含量。藉由使用該絕緣膜 215 進行加熱處理，半導體基板被氫化、利用氫使懸空鍵得到飽和，由此可以降低該半導體基板中的缺陷。

另外，通過 BPSG (Boron Phosphorus Silicon Glass；硼磷矽玻璃) 等無機材料或聚醯亞胺、丙烯酸樹脂等有機材料形成絕緣膜 217，可以提高絕緣膜 217 的平坦性。

在形成絕緣膜 215 或絕緣膜 217 之後，進行使添加到 n 型雜質區 211a、n 型雜質區 211b、p 型雜質區 213a、p 型雜質區 213b 中的雜質元素活化的熱處理。

藉由上述製程，可以如圖 6D 所示地製造 n 型電晶體 112 及 p 型電晶體 114。這裏，由於電晶體 112 及電晶體 114 使用與單晶矽等氧化物半導體不同的半導體形成，所以能夠進行充分高速的工作。因此，可以形成能夠進行充分高速的工作的可編程開關。

接著，對絕緣膜 215、217 的一部分進行選擇性地蝕刻形成開口部。然後，在開口部中形成接觸插頭 219a 至接觸插頭 219d。典型的是，在利用濺射法、CVD 法等形成導電膜之後，利用 CMP (Chemical Mechanical

Polishing；化學機械拋光）法、蝕刻等進行平坦化處理去除導電膜的不需要的部分，而形成接觸插頭 219a 至接觸插頭 219d。

利用 CVD 法使用 WF_6 氣體和 SiH_4 氣體形成矽化鎢並將其嵌入開口部來形成成為接觸插頭 219a 至接觸插頭 219d 的導電膜。

接著，利用濺射法、CVD 法等，在絕緣膜 217 及接觸插頭 219a 至接觸插頭 219d 上形成絕緣膜，然後對該絕緣膜的一部分進行選擇性地蝕刻來形成具有溝槽部分的絕緣膜 221。接著，利用濺射法、CVD 法等形成導電膜，然後利用 CMP 法、蝕刻等進行平坦化處理，去除該導電膜的不需要的部分，以形成佈線 223a 至佈線 223c（參照圖 7A）。

這裏，佈線 223a 用作電晶體 112 的源極電極或汲極電極的一方，並與圖 3A 所示的第一輸入端子 PIN1 電連接。另外，佈線 223c 用作電晶體 114 的源極電極或汲極電極的一方，並與圖 3A 所示的第二輸入端子 PIN2 電連接。另外，佈線 223b 用作電晶體 112 的源極電極或汲極電極的另一方及電晶體 114 的源極電極或汲極電極的另一方，並與圖 3A 所示的輸出端子 POUT 電連接。

絕緣膜 221 可以使用與絕緣膜 215 相同的材料形成。

作為佈線 223a 至佈線 223c，可以使用由鋁、鈦、鉻、鎳、銅、鈮、銦、鋅、鉬、銀、鉭或鎢構成的單體金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例

如，可以採用如下結構：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；鈦膜、在該鈦膜上層疊鋁膜、在其上形成鈦膜的三層結構等。另外，還可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

藉由使用被平坦化的絕緣膜 221 及佈線 223a 至佈線 223c，可以降低之後形成的包括氧化物半導體膜的電晶體的電特性的不均勻。另外，可以高良率地形成包括氧化物半導體膜的電晶體。

接著，較佳為藉由加熱處理或電漿處理使包含於絕緣膜 221 及佈線 223a 至佈線 223c 的氫脫離。由此，可以防止在之後的加熱處理中氫擴散到後面形成的絕緣膜及氧化物半導體膜中。注意，在惰性氛圍、減壓氛圍或乾燥氛圍中以 100℃ 以上且低於基板的應變點的溫度進行加熱處理。此外，電漿處理使用稀有氣體、氧、氮或氧化氮（一氧化二氮、一氧化氮、二氧化氮等）。

接著，利用濺射法、CVD 法等，在絕緣膜 221 及佈線 223a 至佈線 223c 上形成絕緣膜 225。作為絕緣膜 225，可以形成氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鉛、氧化釷、氧化鋁、氧氮化鋁的單層或疊層。另外，作為絕緣膜 225，較佳為使用藉由加熱而使氧的一部分脫離的氧化絕緣膜形成。作為藉由加熱而使氧的一部分脫離的氧化絕緣膜，使用含有多於滿足化學計量比的氧的氧化絕緣

膜。藉由加熱而使氧的一部分脫離的氧化絕緣膜由於藉由加熱而使氧脫離，由此可以藉由之後的製程中進行的加熱使氧擴散到氧化物半導體膜中。

另外，較佳為對絕緣膜 225 進行 CMP 處理等而使其平坦化。絕緣膜 225 的表面的平均表面粗糙度（Ra）為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下。

注意，在本說明書等中平均表面粗糙度（Ra）是以能夠應用於測定表面的方式對由 JISB0601:2001（ISO4287:1997）定義的中心線平均粗糙度（Ra）進行了三維擴展，其為從基準面到指定面的偏差的絕對值的平均值。

當為測量資料所示的面的測量面以 $Z=F(X, Y)$ 表示時，平均表面粗糙度（Ra）為從基準面到指定面的偏差的絕對值的平均值，並由如下算式 1 表示。

[算式 1]

$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X, Y) - Z_0| dXdY$$

這裏，指定面是成為測量粗糙度對象的面，是由以座標（ X_1, Y_1 ）（ X_1, Y_2 ）（ X_2, Y_1 ）（ X_2, Y_2 ）表示的四點圍繞的矩形區域，當指定面理想地平坦時，指定面的面積為 S_0 。此外，基準面是指在指定面的平均高度上平行於 XY 平面的面。也就是說，當指定面的高度的平均值為

Z_0 時，基準面的高度也由 Z_0 表示。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）來對平均表面粗糙度（Ra）進行評價。

上述 CMP 處理可以進行一次或多次。當分多次進行 CMP 處理時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。像這樣，藉由組合拋光率不同的拋光，可以進一步提高絕緣膜 225 表面的平坦性。

另外，還可以使用電漿處理進行絕緣膜 225 的平坦化處理。在真空的處理室中引入惰性氣體例如氬氣體等稀有氣體，並施加將被處理面設定為陰極的電場來進行電漿處理。其原理與電漿乾蝕刻法相同，不同的是使用惰性氣體。也就是說，該電漿處理是對被處理面照射惰性氣體的離子並利用濺射效應使表面的微細的凹凸平坦化的處理。因此，有時也將該電漿處理稱為“反濺射處理”。

當進行該電漿處理時，電漿中存在電子和氬的陽離子且在陰極方向上氬的陽離子被加速。被加速的氬的陽離子被濺射到被處理面上。此時，優先地從被處理面的凸部濺射。被濺射的粒子從被處理面附著到被處理面的其他部分。此時，優先地附著到該被處理面的凹部。像這樣，藉由削掉凸部填平凹部，可以提高被處理面的平坦性。另外，藉由一起進行電漿處理和 CMP 處理可以進一步實現絕緣膜 225 的平坦化。

另外，藉由該電漿處理，可以利用濺射效果去除附著在絕緣膜 225 表面的氬、水分、有機物等雜質。

另外，較佳為在形成氧化物半導體之前對沉積室進行加熱及排氣以去除沉積室中的氫、水、羥基、氫化物等雜質。尤其重要的是去除吸著在沉積室的內壁的這些雜質。這裏，作為加熱處理，例如可以在 100°C 以上且 450°C 以下進行。另外，較佳為適當地組合乾燥泵等粗真空泵和濺射離子泵、渦輪分子泵及低溫泵等高真空泵進行沉積室的排氣。渦輪分子泵在大分子的排氣方面優秀，但是對氫和水的排氣能力低。並且，組合對水的排氣能力高的低溫泵或對氫的排氣能力高的濺射離子泵而使用是有效的。此時，藉由一邊導入惰性氣體一邊去除雜質，可以進一步提高僅靠排氣而不容易脫離的水等的脫離速度。藉由在形成氧化物半導體膜之前藉由該處理去除沉積室中的雜質，可以降低混入到氧化物半導體的氫、水、羥基、氫化物等。

此外，也可以在使用濺射裝置形成氧化物半導體膜之前，將偽基板搬入到濺射裝置中，在偽基板上形成氧化物半導體膜，並進行去除附著到靶材表面或防附著板的氫、水分的製程。

接著，在絕緣膜 225 上利用濺射法、塗布法、印刷法、蒸鍍法、PCVD 法、PLD 法、ALD 法或 MBE 法等形式形成氧化物半導體膜 227（參照圖 7B）。這裏，作為氧化物半導體膜 227，利用濺射法形成 1nm 以上且 50nm 以下，較佳為 3nm 以上且 30nm 以下厚的氧化物半導體膜。藉由將氧化物半導體膜 227 的厚度設定為上述厚度，可以抑制由於電晶體的微細化而可能引起的短通道效應。

較佳的是用作氧化物半導體膜 227 的氧化物半導體至少包含銦 (In) 或鋅 (Zn)。尤其是較佳為包含 In 及 Zn。此外，作為用來降低使用該氧化物半導體而成的電晶體的電特性的不均勻的穩定劑，除了上述元素以外較佳為還包含鎵 (Ga)。此外，作為穩定劑較佳為包含錫 (Sn)。另外，作為穩定劑較佳為包含鈦 (Hf)。此外，作為穩定劑較佳為包含鋁 (Al)。

此外，作為其他穩定劑，也可以包含鑰系元素的鑰 (La)、銻 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、錒 (Tb)、鐿 (Dy)、釷 (Ho)、鉕 (Er)、鐿 (Tm)、鐿 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn

類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。此外，也可以使上述氧化物半導體包含氧化矽。在此，例如，“In-Ga-Zn 氧化物”是指以銦（In）、鎵（Ga）、鋅（Zn）為主要成分的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以含有 In、Ga、Zn 以外的金屬元素。此時，在上述氧化物半導體中，較佳為含有多於化學計量比的氧。藉由使氧化物半導體包含過剩的氧，可以抑制氧化物半導體膜的氧缺陷所導致的載子的生成。

另外，作為氧化物半導體，也可以使用表示為 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ 且 m 不是整數）的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種或多種金屬元素。此外，作為氧化物半導體，也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ （ $n>0$ 且 n 是整數）表示的材料。

另外，較佳的是，在氧化物半導體膜 227 中，鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。這是因為如下緣故：鹼金屬及鹼土金屬當與氧化物半導體接合時，有時生成載子，而成為電晶體的截止電流上升的原因。

此外，氧化物半導體膜 227 也可以含有 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的氮。

另外，作為可以用作氧化物半導體膜 227 的氧化物半

導體，使用能隙比矽半導體的能隙寬而本質載子密度低於矽的寬能隙半導體。像這樣，藉由使用能隙寬的氧化物半導體，可以減少電晶體的截止電流。

氧化物半導體膜 227 可以為單晶結構或非單晶結構。當其為非單晶結構時，可以為非晶結構或多晶結構。另外，可以為在非晶體中含有具有結晶性的部分的結構或非晶結構。

非晶狀態的氧化物半導體由於可以比較容易地得到平坦的表面，所以可以減少使用該氧化物半導體製造電晶體時的介面散亂，可以比較容易得到較高的遷移率。

另外，具有結晶性的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。為了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體，如上所述使絕緣膜 225 表面的平均面粗糙度（Ra）為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下，並較佳為在其上形成氧化物半導體膜 227。

這裏使用濺射法形成氧化物半導體膜 227。

作為濺射法所使用的靶材，例如可以使用：氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、

Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

當作爲氧化物半導體使用 In-Ga-Zn-O 類材料時，作爲所使用的靶材的成分比，例如可以使用原子數比爲 In : Ga : Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3 或 3:1:4 等的靶材。可以將上述原子數比的 In-Ga-Zn 類氧化物、該組成近旁的氧化物用作靶材。

此外，當作爲氧化物半導體使用 In-Sn-Zn-O 類材料時，作爲所使用的靶材的成分比，例如可以使用原子數比爲 In:Sn:Zn=1:1:1 ($=1/3:1/3:1/3$) 、 In:Sn:Zn=2:1:3 ($=1/3:1/6:1/2$) 、 In:Sn:Zn=2:1:5 ($=1/4:1/8:5/8$) 、 In:Sn:Zn=1:2:2 ($=1/5:2/5:2/5$) 、 In:Sn:Zn=20:45:35 等的靶材。可以將上述原子數比的 In-Sn-Zn 類氧化物、該組成近旁的氧化物用作靶材。

另外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的成分比以原子數比設定爲 In:Zn=50:1 至

1:2 (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$)，較佳為 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$)，更佳為 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$)。例如，作為用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時， $\text{Z}>1.5\text{X}+\text{Y}$ 。可以將上述原子數比的 In-Zn-O 類氧化物、該組成附近的氧化物用作靶材。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性（遷移率、臨界值、不均勻性等）而使用適當的組成的氧化物。另外，較佳為採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如， In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

在此，例如 In 、 Ga 、 Zn 的原子數比為 $\text{In}:\text{Ga}:\text{Zn}=\text{a}:\text{b}:\text{c}$ ($\text{a}+\text{b}+\text{c}=1$) 的氧化物的組成在原子數比為 $\text{In}:\text{Ga}:\text{Zn}=\text{A}:\text{B}:\text{C}$ ($\text{A}+\text{B}+\text{C}=1$) 的氧化物的組成的近旁是指 a 、 b 、 c 滿足 $(\text{a}-\text{A})^2+(\text{b}-\text{B})^2+(\text{c}-\text{C})^2\leq r^2$ 的狀態， r 例如可以為 0.05 。其他氧化物也是同樣的。

另外，濺射氣體適當地使用稀有氣體（典型的是氬）氛圍、氧氛圍或稀有氣體和氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳的是增高氧氣體對稀有氣體的比例。另外，作為濺射氣體，為了防止氫、水、羥

基、氫化物等混入到氧化物半導體膜中，較佳的是採用使用充分地去除氫、水、羥基、氫化物等的雜質的高純度氣體的氛围。

在濺射法中，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

另外，將形成氧化物半導體膜的處理室的洩漏率較佳的是設定為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{秒}$ 以下，由此當利用濺射法形成氧化物半導體膜時，可以降低雜質混入到膜中。像這樣，在氧化物半導體膜的成膜製程中，更佳的是在氧化絕緣膜的成膜製程中，藉由控制處理室的壓力、處理室的洩漏率等儘量抑制雜質的混入，能夠減少包含於氧化物半導體膜中的含有氫的雜質。此外，可以降低氫等的雜質從氧化物絕緣膜擴散到氧化物半導體膜。

此外，作為氧化物半導體膜 227，也可以使用具有結晶化部分的 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，一般該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察時的影像中，包含於 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，在 CAAC-OS 膜中利用 TEM 觀察不到晶界 (grain boundary)。因此，在

CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，在只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，當從氧化物半導體膜的表面一側進行結晶生長時，有時與被形成面附近相比表面附近的結晶部所占的比例更高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部發生非晶化。

由於包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時其根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或膜表面的剖面形狀）而朝向不同方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部是藉由成膜或藉由在成膜之後進行加熱處理等的晶化處理而

形成的。

使用 CAAC-OS 膜的電晶體能夠降低由可見光或紫外光引起的電特性的變動。因此，該電晶體的可靠性高。

另外，構成氧化物半導體膜的氧的一部分也可以用氮取代。

另外，像 CAAC-OS 那樣的具有結晶性的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳的是在平坦的表面上形成氧化物半導體，具體地，較佳的是在平均面粗糙度（Ra）爲 1nm 以下，較佳爲 0.3nm 以下，更佳爲 0.1nm 以下的表面上形成氧化物半導體。

以下，參照圖 12A 至圖 14C 及圖 28A 和 28B 詳細說明 CAAC-OS 的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 12A 至圖 14C 及圖 28A 和 28B 中，以垂直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面爲邊界時的上一半或下一半。另外，在圖 12A 至圖 12E 中，由圓圈包圍的 O 表示四配位的 O，由雙圈包圍的 O 表示三配位的 O。

圖 12A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱爲四配位 O）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱爲小組。雖然圖 12A 所示的結構採用八面體結構，但是爲了容易理解

示出平面結構。另外，在圖 12A 的上一半及下一半中分別具有三個四配位 O。圖 12A 所示的小組的電荷為 0。

圖 12B 示出具有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 12B 的上一半及下一半分別具有一個四配位 O。另外，因為 In 也採用五配位，所以也有可能採用圖 12B 所示的結構。圖 12B 所示的小組的電荷為 0。

圖 12C 示出具有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 12C 的上一半具有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以在圖 12C 的上一半具有三個四配位 O，並且在下一半具有一個四配位 O。圖 12C 所示的小組的電荷為 0。

圖 12D 示出具有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 12D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 12D 所示的小組的電荷為 +1。

圖 12E 示出包括兩個 Zn 的小組。在圖 12E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 12E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為晶胞）。

這裏，說明這些小組彼此接合的規則。圖 12A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠

近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 12B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 12C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子（In 或 Sn）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（Ga 或 In）、四配位金屬原子（Zn）中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 13A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 13B 示出由三個中組構成的大組。另外，圖 13C 示出從 c 軸方向上觀察圖 13B 的層結構時的原子排列。

在圖 13A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 13A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 13A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 13A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是 -0.667 及 -0.5。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別爲 +3、+2 以及 +4。因此，包含 Sn 的小組的電荷爲 +1。因此，爲了形成包含 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作爲具有電荷 -1 的結構，可以舉出圖 12E 所示的包含兩個 Zn 的小組。例如，因爲如果對於一個包含 Sn

的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 13B 所示的大組來可以得到 In-Sn-Zn-O 類結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物；三元金屬氧化物的 In-Ga-Zn-O 類氧化物（也表示為 IGZO）、In-Al-Zn-O 類氧化物、Sn-Ga-Zn-O 類氧化物、Al-Ga-Zn-O 類氧化物、Sn-Al-Zn-O 類氧化物、In-Hf-Zn-O 類氧化物、In-La-Zn-O 類氧化物、In-Ce-Zn-O 類氧化物、In-Pr-Zn-O 類氧化物、In-Nd-Zn-O 類氧化物、In-Sm-Zn-O 類氧化物、In-Eu-Zn-O 類氧化物、In-Gd-Zn-O 類氧化物、In-Tb-Zn-O 類氧化物、In-Dy-Zn-O 類氧化物、In-Ho-Zn-O 類氧化物、In-Er-Zn-O 類氧化物、In-Tm-Zn-O 類氧化物、In-Yb-Zn-O 類氧化物、In-Lu-Zn-O 類氧化物；二元金屬氧化物的 In-Zn-O 類氧化物、Sn-Zn-O 類氧化物、Al-Zn-O 類氧化物、Zn-Mg-O 類氧化物、Sn-Mg-O 類氧化物、In-Mg-O 類氧化物、In-Ga-O 類氧化物等。

例如，圖 14A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 14A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別

有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 14B 示出由三個中組構成的大組。另外，圖 14C 示出從 c 軸方向上觀察圖 14B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 14A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 14B 所示的大組來可以得到 In-Ga-Zn-O 類結晶。注意，可以得到的 In-Ga-Zn-O 類的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 是自然數）表示。

當 $n=1$ （ InGaZnO_4 ）時，例如會得到圖 28A 所示的結晶結構。另外，在圖 28A 所示的結晶結構中，如圖 12B 所說明那樣，因為 Ga 及 In 採用五配位，所以也會得到 In 取代 Ga 的結構。

此外，當 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）時，例如有可能具有圖 28B 所示的晶體結構。另外，在圖 28B 所示的晶體結構中，因為如圖 12B 所說明，Ga 及 In 採用五配位，所以也

有可能具有將 Ga 置換為 In 的結構。

當氧化物半導體膜 227 為 CAAC-OS 時，在形成氧化物半導體膜 227 時，以基板溫度成為超過 200℃ 且為 700℃ 以下，較佳為超過 300℃ 且為 500℃ 以下，更佳為 400℃ 以上且 450℃ 以下的溫度的方式對基板進行加熱。像這樣，藉由邊加熱基板邊形成氧化物半導體膜 227，可以將氧化物半導體膜 227 形成為 CAAC-OS。

另外，還可以邊在上述溫度範圍內進行加熱邊形成一原子層以上 10nm 以下，較佳為 2nm 以上且 5nm 以下薄的第一氧化物半導體膜，然後利用同樣的方法，邊進行加熱邊進一步形成厚度厚的第二氧化物半導體膜，藉由層疊第一氧化物半導體膜和第二氧化物半導體膜來形成 CAAC-OS 的氧化物半導體膜 227。

另外，當氧化物半導體膜 227 採用非晶結構時，在形成氧化物半導體膜 227 時，不進行基板的加熱或者以基板溫度為低於 200℃，更佳為低於 180℃ 的方式對基板進行加熱。藉由像這樣形成氧化物半導體膜 227，可以使氧化物半導體膜 227 具有非晶結構。

另外，還可以在藉由上述方法將氧化物半導體膜形成為非晶結構之後，以 250℃ 以上且 700℃ 以下，較佳為 400℃ 以上，更佳為 500℃ 以上，進一步較佳為 550℃ 以上的溫度進行加熱處理，使該非晶結構的氧化物半導體膜的至少一部分晶化，由此形成 CAAC-OS 的氧化物半導體膜 227。另外，該加熱處理可以在惰性氛圍下進行。另外，

作為惰性氣體氛圍，較佳為應用以氮或稀有氣體（氮、氬、氦等）為主要成分且不含有水、氫等的氛圍。例如，將引入熱處理裝置中的氮或氮、氬、氦等的稀有氣體的純度設定為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。另外，該加熱處理也可以兼用作後面所述的脫水化、脫氫化的加熱處理等。

還可以在形成氧化物半導體膜 227 之後對氧化物半導體膜 227 進行加熱處理。藉由進行熱處理，可以進一步去除包含於氧化物半導體膜 227 中的包含氫原子的物質而改善氧化物半導體膜 227 的結構，由此可以降低能隙中的缺陷能階。該熱處理在惰性氣體氛圍下進行，並且熱處理的溫度為 300℃ 以上且 700℃ 以下，較佳為 450℃ 以上且 600℃ 以下或者在基板具有應變點時熱處理的溫度低於基板的應變點。另外，作為惰性氣體氛圍，較佳為應用以氮或稀有氣體（氮、氬、氦等）為主要成分且不含有水、氫等的氛圍。例如，將引入熱處理裝置中的氮或氮、氬、氦等的稀有氣體的純度設定為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

例如可以將半導體基板 201 引入到使用電阻發熱體等的電爐中，在氮氛圍下以 450℃ 進行 1 小時該熱處理。

另外，熱處理裝置不侷限於電爐，也可以使用利用來自被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理

物的裝置。例如，可以使用如 LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行熱處理的裝置。作為氣體，使用即使進行熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。另外，當作為加熱處理裝置使用 GRTA 裝置時，其熱處理時間很短，所以也可以在加熱到 650℃ 至 700℃ 的高溫的惰性氣體中加熱基板。

此外，較佳的是在藉由上述熱處理加熱氧化物半導體膜 227 之後，對相同的爐中引入高純度的氧氣體、高純度的 N_2O 氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點儀來測定時的水分含量為 20ppm（露點換算為 -55℃）以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）。尤其是，較佳的是上述氣體不包含水、氫等。另外，較佳為將引入到相同爐中的氧氣體或 N_2O 氣體的純度設定為 6N 以上，較佳的是設定為 7N 以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。藉由利用氧氣體或 N_2O 氣體的作用可以供應氧，該氧是在脫水化或脫氫化的雜質排除製程的同時減少了的構成氧化物半導體的主要成分材料之一。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。該熱處理例如可以在將氧化物半導體層加工為島狀之前或在形成閘極絕緣膜之後等進行。另外，這樣的脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，對氧化物半導體膜 227 的一部分進行選擇性地蝕刻形成氧化物半導體膜 229。然後，利用濺射法、CVD 法等，在氧化物半導體膜 229 上形成絕緣膜 231。然後，在絕緣膜 231 上形成閘極電極 233（參照圖 8A）。

絕緣膜 231 例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵或 Ga-Zn-O 類金屬氧化物膜等，即可，並且以疊層或單層設置絕緣膜 231。此外，作為絕緣膜 231，也可以使用如絕緣膜 225 所示的藉由加熱使氧脫離的氧化絕緣膜。藉由作為絕緣膜 231 使用藉由加熱使氧脫離的膜，可以修復由於之後的加熱處理氧化物半導體膜 229 中產生的氧缺陷，由此可以抑制電晶體的電特性的劣化。

此外，藉由作為絕緣膜 231 使用矽酸哈（ HfSiO_x ）、添加氮的矽酸哈（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）、添加氮的鋁酸哈（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）、氧化鉛、氧化釔等 high-k 材料，即使將閘極絕緣膜的厚度形成得較薄也可以降低閘極洩漏。

可以將絕緣膜 231 的厚度設定為 10nm 以上且 300nm 以下，較佳為 5nm 以上且 50nm 以下，更佳為 10nm 以上且 30nm 以下。

閘極電極 233 可以使用選自鋁、鉻、銅、鉬、鈦、鉬、鎢中的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等而形成。也可以使用選自錳、鉛等中的一個或多個的金屬元素。此外，閘極電極 233 可以具有單層結構或者兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉬膜上層疊鎢膜的兩層結構以及依次層疊鈦膜、鋁膜和鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鉬、鎢、鉬、鉻、釹、釷中的元素的膜、組合鋁和上述元素中的多種的合金膜或氮化膜。

另外，閘極電極 233 也可以使用氧化銦錫、包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦鋅、添加氧化矽的氧化銦錫等透光導電材料。另外，也可以採用上述透光導電材料和上述金屬元素的疊層結構。

閘極電極 233 藉由印刷法或噴墨法形成。或者，藉由在利用濺射法、CVD 法、蒸鍍法等形成導電膜之後對該導電膜的一部分進行選擇性地蝕刻來形成閘極電極 233。

此外，在閘極電極 233 與絕緣膜 231 之間，作為接觸於絕緣膜 231 的材料層，較佳的是設置包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜及金屬氮化膜（InN、ZnN 等）。這些膜具有 5eV 的功函

數，較佳的是具有 5.5eV 以上的功函數，可以使電晶體的電特性的臨界電壓成為正值，即實現所謂的常關閉的切換元件。例如，當使用包含氮的 In-Ga-Zn-O 膜時，使用至少具有高於氧化物半導體膜 229 的氮濃度，明確地說使用包含 7atoms% 以上的氮的 In-Ga-Zn-O 膜。

另外，也可以在形成絕緣膜 231 之後，在惰性氣體氛圍下或在氧氛圍下進行熱處理（第二熱處理）。熱處理的溫度較佳為 200°C 以上且 450°C 以下，更佳為 250°C 以上且 350°C 以下。藉由進行該熱處理，可以降低電晶體的電特性的偏差。此外，當與氧化物半導體膜 229 接觸的絕緣膜 231 或絕緣膜 225 含有氧時，可以向氧化物半導體膜 229 供應氧而填補該氧化物半導體膜 229 的氧缺陷。如此，由於上述熱處理具有供應氧的效果，因此也可以將其稱為加氧化等。

另外，雖然在本實施例模式中在形成絕緣膜 231 之後進行加氧化的熱處理，但是加氧化的熱處理的時序不侷限於此，只要是在形成絕緣膜 231 之後即可。

像上述那樣，藉由使用脫水化或脫氫化的熱處理和加氧化的熱處理減少氧化物半導體膜 229 中的雜質並填補氧缺陷，可以使氧化物半導體膜 229 儘量地不包含其主要成分以外的雜質而高純度化。

接著，以閘極電極 233 為掩模進行對氧化物半導體膜 229 添加摻雜劑的處理。由此，如圖 8B 所示地形成由閘極電極 233 覆蓋的沒有添加有摻雜劑的第一區域 235a、

含有摻雜劑的一對第二區域 235b、第二區域 235c。由於以閘極電極 233 為掩模添加摻雜劑，所以可以自對準地形成沒有添加摻雜劑的第一區域 235a、含有摻雜劑的一對第二區域 235b 及第二區域 235c。另外，與閘極電極 233 重疊的第一區域 235a 用作通道區。另外，含有摻雜劑的一對第二區域 235b、第二區域 235c 用作電場緩和區。另外，第一區域 235a、含有摻雜劑的一對第二區域 235b 及第二區域 235c 表示為氧化物半導體膜 235。

在氧化物半導體膜 235 的第一區域 235a 中，較佳的是將氫濃度設定為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，較佳的是設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，更較佳的是設定為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，進一步較佳的是設定為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。因氧化物半導體和氫接合而一部分的氫成為施體，因此產生載子的電子。由於這個原因，藉由降低氧化物半導體膜 235 的第一區域 235a 中的氫濃度，能夠抑制臨界電壓移位至負側。

含有摻雜劑的一對第二區域 235b 及第二區域 235c 中含有的摻雜劑的濃度為 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且低於 $5 \times 10^{19} \text{atoms/cm}^3$ 。

因為包含摻雜劑的一對第二區域 235b、第二區域 235c 包含摻雜劑，所以可以增加載子密度或缺陷。因此，與不包含摻雜劑的第一區域 235a 相比可以提高導電性。另外，如果使摻雜劑濃度增加得太多，則摻雜劑阻礙

載子的移動，因此導致包含摻雜劑的一對第二區域 235b、第二區域 235c 的導電性的降低。

包含摻雜劑的一對第二區域 235b、第二區域 235c 的導電率為 0.1S/cm 以上且 1000S/cm 以下，較佳為 10S/cm 以上且 1000S/cm 以下。

藉由氧化物半導體膜 235 包括包含摻雜劑的一對第二區域 235b、第二區域 235c，可以緩和施加到用作通道區域的第一區域 235a 的端部的電場。因此，可以抑制電晶體的短通道效應。

作為對氧化物半導體膜 229 添加摻雜劑的方法，可以使用離子摻雜法或離子植入法。此外，作為所添加的摻雜劑，有硼、氮、磷及砷中的至少一種以上。或者，作為摻雜劑，有氦、氖、氬、氪及氙中的至少一種以上。另外，作為摻雜劑，有氫。另外，作為摻雜劑，也可以適當地組合硼、氮、磷及砷中的一種以上和氦、氖、氬、氪及氙中的一種以上及氫。

此外，雖然示出了在覆蓋氧化物半導體膜 229 地形成有絕緣膜等的狀態下對氧化物半導體膜 229 添加摻雜劑的情況，但是也可以在氧化物半導體膜 229 露出的狀態下添加摻雜劑。

再者，也可以採用離子摻雜法或離子植入法等注入之外的方法進行上述摻雜劑的添加。例如，藉由在包含添加的元素的氣體氛圍下產生電漿，並對被添加物進行電漿處理，可以添加摻雜劑。作為產生上述電漿的裝置，可以使

用乾蝕刻裝置、CVD 設備或高密度 CVD 設備等。

然後，也可以進行加熱處理。作為該加熱處理的溫度，典型的是 150°C 以上且 450°C 以下，較佳的是 250°C 以上且 325°C 以下。或者，也可以一邊使溫度從 250°C 到 325°C 逐漸地上升，一邊進行加熱。

藉由進行該加熱處理，可以減少包含摻雜劑的一對第二區域 235b、第二區域 235c 的電阻。另外，在該加熱處理中，包含摻雜劑的一對第二區域 235b、第二區域 235c 可以為結晶狀態或非晶狀態。

接著，如圖 8C 所示地在閘極電極 233 的側面形成側壁絕緣膜 237 及閘極絕緣膜 239，並形成電極 241a、電極 241b。

作為側壁絕緣膜 237，使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，即可，並且以疊層或單層設置側壁絕緣膜 237。另外，也可以與絕緣膜 225 同樣使用藉由加熱使氧的一部分脫離的氧化絕緣膜形成側壁絕緣膜 237。

下面，對側壁絕緣膜 237 的形成方法進行說明。

首先，在絕緣膜 231 及閘極電極 233 上形成在之後成為側壁絕緣膜 237 的絕緣膜。藉由濺射法、CVD 法等形成絕緣膜。另外，對該絕緣膜的厚度沒有特別的限制，考慮對應於閘極電極 233 的形狀的覆蓋性進行適當的選擇即可。

接著，藉由對絕緣膜進行蝕刻來形成側壁絕緣膜

237。該蝕刻為各向異性高的蝕刻，藉由對絕緣膜進行各向異性高的蝕刻可以自對準地形成側壁絕緣膜 237。

另外，由於在含有摻雜劑的一對第二區域 235b、第二區域 235c 中用作電場緩和區的寬度對應於側壁絕緣膜 237 的寬度，而側壁絕緣膜 237 的寬度對應於閘極電極 233 的厚度，所以以電場緩和區的範圍成為所希望的範圍的方式決定閘極電極 233 的厚度即可。

另外，藉由與側壁絕緣膜 237 的形成製程一起利用高各向異性蝕刻方法對絕緣膜 231 進行蝕刻，使氧化物半導體膜 229 露出，而形成閘極絕緣膜 239。

一對電極 241a、電極 241b 可以適當地使用與佈線 223a 乃至佈線 223c 相同的材料形成。另外，一對電極 241a、電極 241b 也可以用作佈線。

一對電極 241a、電極 241b 使用印刷法或噴墨法形成。或者，在利用濺射法、CVD 法、蒸鍍法等形成導電膜之後，對該導電膜的一部分進行選擇性地蝕刻，來形成一對電極 241a、電極 241b。

較佳為以與側壁絕緣膜 237 及閘極絕緣膜 239 的側面接觸的方式形成一對電極 241a、電極 241b。也就是說，較佳為電晶體的一對電極 241a、電極 241b 的端部位於側壁絕緣膜 237 的上方並且覆蓋氧化物半導體膜 235 中的含有摻雜劑的一對第二區域 235b、第二區域 235c 的露出部分。由此，包含摻雜劑的一對第二區域 235b、第二區域 235c 與一對電極 241a、電極 241b 接觸的區域成為源極區

及汲區，而與側壁絕緣膜 237 及閘極絕緣膜 239 重疊的區域成為電場緩和區。另外，由於可以藉由側壁絕緣膜 237 的長度控制電場緩和區的寬度，所以對用來形成一對電極 241a、電極 241b 的掩模對準精度的要求不是很嚴格。因此可以減少多個電晶體中的不均勻。

另外，雖然在本實施例模式中以接觸於閘極電極 233 的側面的方式設置側壁絕緣膜 237，但是本發明不侷限於此，也可以不設置側壁絕緣膜 237。另外，雖然在本實施例模式中在形成一對第二區域 235b、第二區域 235c 之後設置側壁絕緣膜 237，但是本發明不侷限於此，也可以在設置側壁絕緣膜 237 之後，形成一對第二區域 235b、第二區域 235c。藉由採用該結構，可以將第一區域 235a 擴展到與側壁絕緣膜 237 重疊的區域。

接著，如圖 9A 所示，利用濺射法、CVD 法、塗布法、印刷法等形成絕緣膜 243 及絕緣膜 245。

絕緣膜 243、絕緣膜 245 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等的疊層或單層而形成。另外，藉由採用防止氧向外部擴散的絕緣膜作為絕緣膜 245，可以將從絕緣膜 243 脫離的氧供給給氧化物半導體膜。作為防止氧向外部擴散的絕緣膜的典型的例子，可以舉出氧化鋁、氧氮化鋁等。另外，藉由採用防止來自外部的氫擴散的絕緣膜作為絕緣膜 245，可以減少從外部向氧化物半導體膜的氫擴散，由此可以減少氧化物半導體膜的缺陷。作為防止來自外部的

氮擴散的絕緣膜的典型的例子，可以舉出氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等。另外，藉由作為絕緣膜 243 採用藉由加熱氧的一部分脫離的氧化絕緣膜、防止氧向外部擴散的絕緣膜及氧化絕緣膜的三層結構，可以在有效地對氧化物半導體膜擴散氧的同時，抑制氧向外部脫離，即使在溫度及濕度較高的情況下，也可以降低電晶體特性的變動。

藉由上述製程，可以如圖 9A 所示地製造具有氧化物半導體膜的電晶體 110。此外，由於上述電晶體 110 包括 i 型（本質半導體）或無限接近於 i 型的氧化物半導體膜 229，因此具有極好的特性。

另外，雖然在本實施例模式中電晶體 110 採用頂閘極結構，但是本發明不侷限於此，例如，也可以採用底閘極結構。另外，雖然在本實施例模式中電晶體 110 採用一對電極 241a 及電極 241b 與一對第二區域 235b 及第二區域 235c 的頂面的至少一部分接觸的結構，但是本發明不侷限於此，例如，也可以採用一對第二區域 235b 及第二區域 235c 與一對電極 241a 及電極 241b 的至少一部分接觸的結構。

接著，分別對絕緣膜 215、絕緣膜 217、絕緣膜 221、絕緣膜 225、絕緣膜 243 及絕緣膜 245 的一部分進行選擇性地蝕刻來形成開口部，而分別使閘極電極 209a、電極 241a 及電極 241b 的一部分露出。接著，在開口部中形成導電膜之後，對該導電膜的一部分進行選擇性

地蝕刻，接觸於電極 241a 形成佈線 249 並且接觸於電極 241b 形成佈線 250。佈線 249 及佈線 250 可以適當地使用形成接觸插頭 219a 乃至接觸插頭 219d 的材料。

這裏，佈線 249 用作將電晶體 110 的源極電極或汲極電極的一方與電晶體 112 的閘極電極 209a 電連接的節點 FG。另外，雖然在圖 9B 中沒有直接示出，佈線 249 還與電晶體 114 的閘極電極 209b 電連接。另外，佈線 250 用作電晶體 110 的源極電極或汲極電極的另一方，並與圖 3A 所示的資料線 D 電連接。另外，雖然在圖 9B 中沒有直接示出，電晶體 110 的閘極電極 233 還與圖 3A 所示的字線 W 電連接。

藉由上述製程，可以製造由電晶體 110、電晶體 112 及電晶體 114 構成的可編程開關。

這裏，圖 26A 及圖 26B 示出對應於圖 9B 所示的剖面圖的可編程開關的平面圖的一個例子。圖 26A 示出絕緣膜 225 以下的層的結構，即電晶體 112 及電晶體 114 的平面圖，圖 26B 示出絕緣膜 225 以上的層的結構，即電晶體 110 的平面圖。另外，在圖 26A 及圖 26B 中，爲了便於理解，對部分結構（絕緣膜 215 等）沒有進行圖示。另外，圖 26A 及圖 26B 中的點劃線 A-B 及點劃線 C-D 對應於圖 6A 至圖 9B 所示的剖面圖。

在圖 26A 及圖 26B 所示的可編程開關中，如圖 9B 所示，在點劃線 C-D 的區域中，電晶體 110、電晶體 112、電晶體 114 彼此電連接。這裏，電晶體 110 的至少一部分

與電晶體 112 或電晶體 114 的至少一部分重疊。更佳為氧化物半導體膜 235 的至少一部分與 n 型雜質區 211a、n 型雜質區 211b、p 型雜質區 213a 或 p 型雜質區 213b 的至少一部分重疊。藉由採用這樣的平面佈局，可以抑制由於設置使用氧化物半導體那樣的寬能隙半導體的電晶體而導致的可編程開關的佔用面積的增大。由此，可以實現使用該可編程開關的可編程邏輯裝置的高集體化。

另外，當像上述那樣使用單晶矽基板等的半導體基板製造電晶體 112 及電晶體 114 並層疊設置包括氧化物半導體膜等的電晶體 110 時，可以使用該半導體基板製造對資料線 D、字線 W 提供電位的驅動電路的電晶體。這裏，圖 27 示出設置有該驅動電路的可編程邏輯裝置的結構。與圖 1A 所示的可編程邏輯裝置同樣，圖 27 所示的可編程邏輯裝置也包括利用多個佈線電連接的多個邏輯塊 10。這裏，為了便於理解，在圖 27 中沒有對對應於圖 1A 所示的佈線 11 進行圖示。另外，與圖 1A 所示的可編程邏輯裝置同樣，可以在行方向的佈線與列方向的佈線交叉的部分中設置進行各佈線之間連接的切換的開關矩陣 12。

並且，圖 27 所示的可編程邏輯裝置包括：設置在多個邏輯塊 10 的上方的第一驅動電路 14；設置在多個邏輯塊 10 的左側的第二驅動電路 15；與第一驅動電路 14 電連接的在列方向上延伸設置的多個第一佈線 16；以及與第二驅動電路 15 電連接的在行方向上延伸設置的多個第二佈線 17。這裏，在列方向及行方向上延伸設置的第一

佈線 16 及第二佈線 17 分別與邏輯塊 10 電連接。但是，第一驅動電路 14 及第二驅動電路 15 的結構不侷限於上述結構，例如，也可以改變設置第一驅動電路 14 及第二驅動電路 15 的位置，還可以採用設置 3 個以上驅動電路的結構。

在本實施例模式中，可以將第一佈線 16 及第二佈線 17 用作圖 1B 及 1C 所示的資料線 D 及字線 W。資料線 D 對儲存部輸入要儲存的組態資料的電位，而字線 W 輸入控制對儲存部寫入組態資料的信號。另外，還可以將第一驅動電路 14 及第二驅動電路 15 用作對資料線 D 提供電位的資料線驅動電路及對字線 W 提供電位的字線驅動電路。注意，雖然在本實施例模式中將第一驅動電路 14 用作資料線 D 的驅動電路，將第二驅動電路 15 用作字線 W 的驅動電路，將第一佈線 16 用作資料線 D，而將第二佈線 17 用作字線 W，但是本發明不侷限於此。

這裏，用於第一驅動電路 14 及第二驅動電路 15 的電晶體可以採用與圖 6D 及圖 26A 所示的電晶體 112 及電晶體 114 同樣的結構。因此，用於第一驅動電路 14 及第二驅動電路 15 的電晶體使用如單晶矽等的與氧化物半導體不同的半導體形成，而電晶體能夠進行充分高速的工作。由此，可以形成能夠進行充分高速的工作的驅動電路。另外，作為第一佈線 16 及第二佈線 17，可以使用與圖 9B 及圖 26B 所示的佈線 249 或佈線 250 設置在同一層或更上層的導電膜。

如上所述，藉由將能夠充分減小電晶體的截止電流的氧化物半導體等寬能隙半導體用於可編程開關的儲存部的電晶體來製造可編程開關，可以製造即使在停止電源電位的供給的情況下也能夠保持組態資料的可編程開關。另外，可以製造縮短了供給電源後的邏輯塊的啟動時間的可編程開關。因此，可以提供藉由使用常關閉驅動方法能夠實現低耗電量化的可編程邏輯裝置。

上述本實施例模式所示的結構、方法等可以與本實施例模式所示的結構、方法之間互相組合使用，也可以與其他的實施例模式所示的結構、方法等適當地組合使用。

實施例模式 3

在本實施例模式中，理論計算出上述實施例模式中示出的包括氧化物半導體膜的電晶體的場效應遷移率，並利用場效應遷移率算出電晶體特性。

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式 2 表示其關係。

[算式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此，E 是位能障壁的高度，k 是玻爾茲曼常數，T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式 3 表示其關係。

[算式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此，e 是元電荷，N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數，n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘電壓，t 是通道的厚度。注意，在採用厚度為 30nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。線性區中的汲電流 I_d 可以由下述算式 4 表示。

[算式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10\mu\text{m}$ 。此外， V_d 是汲極電壓。當用 V_g 除上述算式 4 的兩邊，且對兩邊取對數時，成為下述算式 5。

[算式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \varepsilon C_{ox} V_g}$$

算式 5 的右邊是 V_g 的函數。由上述算式可知，可以根據以縱軸為 $\ln(I_d/V_g)$ 以橫軸為 $1/V_g$ 的直線的傾斜度求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦（In）、錫（Sn）、鋅（Zn）的比率為 In:Sn:Zn=1:1:1 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/\text{cm}^2$ 左右。

基於如上所述那樣求得的缺陷密度等且根據藉由算式 2 及算式 3 可以導出 $\mu_0 = 120 \text{cm}^2/\text{Vs}$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $40 \text{cm}^2/\text{Vs}$ 左右。但是，可以預測到沒有半導體內部及半導體和絕緣膜之間的界面的缺陷的氧化物半導體的遷移率 μ_0 成為 $120 \text{cm}^2/\text{Vs}$ 。

另外，即使半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣物之間的介面中的散射的影響。換言之，離閘極絕緣物介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式 6 表示。

[算式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此， D 是閘極方向上的電場，且 B 、 l 是常數。 B 及 l 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{ cm/s}$ ， $l=10 \text{ nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘電壓增高）時，算式 6 的第二項也增加，所以遷移率 μ_1 降低。

圖 15 示出計算一種電晶體的遷移率 μ_2 而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且作為氧化物半導體，將能隙設定為 2.8 電子伏特，將電子親和力設定為 4.7 電子伏特，將相對介電常數設定為 15，並將厚度設定為 15nm。上述值藉由測定以濺射法形成的薄膜來得到。

再者，將閘極的功函數設定為 5.5 電子伏特，將源極電極的功函數設定為 4.6 電子伏特，並且將汲極電極的功函數設定為 4.6 電子伏特。另外，將閘極絕緣物的厚度設定為 100nm，並將相對介電常數設定為 4.1。通道長度和通道寬度都為 10 μm ，而汲極電壓 V_d 為 0.1V。

如圖 15 所示，雖然當閘電壓為 1V 多時遷移率示出 100 cm^2/Vs 以上的峰值，但是當閘電壓更高時，介面散亂

變大，並遷移率降低。另外，爲了降低介面散亂，較佳的是在原子級上將半導體層表面設定爲平坦（Atomic Layer Flatness）。

圖 16A 至圖 18C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 19A 和 19B 示出用於計算的電晶體的剖面結構。圖 19A 和 19B 所示的電晶體在氧化物半導體層中具有呈現 n^+ 導電型的第二區域 1103b 及第二區域 1103c。第二區域 1103b 及第二區域 1103c 的電阻率爲 $2 \times 10^{-3} \Omega \text{cm}$ 。

圖 19A 所示的電晶體形成在基底絕緣膜 1101 和以埋入在基底絕緣膜 1101 中的方式形成的由氧化鋁形成的埋入絕緣物 1102 上。電晶體包括第二區域 1103b、第二區域 1103c、夾在它們之間且成爲通道形成區的本質第一區域 1103a、閘極電極 1105。閘極電極 1105 的寬度爲 33nm。

在閘極電極 1105 和第一區域 1103a 之間具有閘極絕緣膜 1104，在閘極電極 1105 的雙側面具有側壁絕緣膜 1106a 及側壁絕緣膜 1106b，並且在閘極電極 1105 的上部具有用來防止閘極電極 1105 與其他佈線的短路的絕緣物 1107。側壁絕緣膜的寬度爲 5nm。另外，以接觸於第二區域 1103b 及第二區域 1103c 的方式具有源極電極 1108a 及汲極電極 1108b。另外，該電晶體的通道寬度爲 40nm。

圖 19B 所示的電晶體與圖 19A 所示的電晶體的相同

之處爲：形成在基底絕緣膜 1101 和由氧化鋁形成的埋入絕緣物 1102 上；並且包括第二區域 1103b、第二區域 1103c、夾在它們之間的本質第一區域 1103a、寬度爲 33nm 的閘極電極 1105、閘極絕緣膜 1104、側壁絕緣膜 1106a 及側壁絕緣膜 1106b、絕緣物 1107 以及源極電極 1108a 及汲極電極 1108b。

圖 19A 所示的電晶體與圖 19B 所示的電晶體的不同之處爲：側壁絕緣膜 1106a 及側壁絕緣膜 1106b 下的半導體區的導電型。在圖 19A 所示的電晶體中側壁絕緣膜 1106a 及側壁絕緣膜 1106b 下的半導體區爲呈現 n^+ 導電型的第二區域 1103b 及第二區域 1103c，而在圖 19B 所示的電晶體中側壁絕緣膜 1106a 及側壁絕緣膜 1106b 下的半導體區爲本質的第一區域 1103a。即，存在第二區域 1103b（第二區域 1103c）不重疊於閘極電極 1105 的寬度爲 L_{off} 的區域。將該區域稱爲偏置（offset）區，並且將其寬度 L_{off} 稱爲偏置長度。如圖式所示，偏置長度與側壁絕緣膜 1106a（側壁絕緣膜 1106b）的寬度相同。

用於計算的其他參數爲如上所述的參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 16A 至 16C 示出圖 19A 所示的結構的電晶體的汲電流（ I_d ，實線）及遷移率（ μ ，虛線）的閘極電壓（ V_g ，閘極與源極電極的電位差）依賴性。將汲極電壓（汲極電極與源極電極的電位差）設定爲 +1V 來計算汲電流 I_d ，並且將汲極電壓設定爲 +0.1V 來計算遷移率 μ 。

圖 16A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 16B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 16C 為閘極絕緣膜的厚度為 5nm 時的圖。閘極絕緣膜越薄，尤其是截止狀態下的汲電流 I_d （截止電流）越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態時的汲電流 I_d （導通電流）沒有顯著的變化。並且示出在閘電壓為 1V 左右時，汲電流超過記憶元件等所需要的電流，即超過 $10\mu A$ 。

圖 17A 至 17C 示出在圖 19B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲電流 I_d （實線）及遷移率 μ （虛線）的閘電壓 V_g 依賴性。將汲極電壓設定為 +1V 來計算汲電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 17A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 17B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 17C 為閘極絕緣膜的厚度為 5nm 時的圖。

另外，圖 18A 至 18C 示出在圖 19B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲電流 I_d （實線）及遷移率 μ （虛線）的閘電壓依賴性。將汲極電壓設定為 +1V 來計算汲電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 18A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 18B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 18C 為閘極絕緣膜的厚度為 5nm 時的圖。

總之，閘極絕緣膜越薄，截止電流越顯著降低，但是遷移率 μ 的峰值或導通電流沒有顯著的變化。

另外，在圖 16A 至 16C 中遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$

左右，而在圖 17A 至 17C 中遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，且在圖 18A 至 18C 中遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ ，即偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低。另外，截止電流也有同樣的趨勢。另一方面，雖然導通電流隨著偏置長度 L_{off} 的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。另外，示出在閘電壓為 1V 左右時，汲電流超過儲存元件等所需要的電流，即超過 $10\mu\text{A}$ 。另外，藉由將該遷移率高的電晶體用於上述實施例模式所示的可編程開關的儲存部，可以高速地進行組態資料的寫入，因此可以提供能夠容易地進行動態組態的可編程邏輯裝置。

實施例模式 4

在本實施例模式中，對上述實施例模式所示的包括氧化物半導體膜的電晶體，尤其是對包括以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜的電晶體進行說明。

以 In 、 Sn 、 Zn 為主要成分的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來可以得到良好的特性。另外，主要成分是指在成分比上包含 5atomic% 以上的元素。

藉由在形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。另外，藉由使電晶體的臨界電壓向正方向漂移來可

以實現常關閉化。下面，製造包括以 In、Sn、Zn 爲主要成分的氧化物半導體膜的電晶體並對其進行各種測量的結果進行說明。

首先，使用圖 25A 和 25B 對本實施例模式中的用於各種測量的電晶體的結構進行說明。圖 25A 是該電晶體的平面圖，圖 25B 是對應於圖 25A 的點劃線 A-B 的剖面圖。

圖 25B 所示的電晶體包括：基板 600；設置在基板 600 上的基底絕緣膜 602；設置在基底絕緣膜 602 上的氧化物半導體膜 606；與氧化物半導體膜 606 接觸的一對電極 614；設置在氧化物半導體膜 606 及一對電極 614 上的閘極絕緣膜 608；以隔著閘極絕緣膜 608 與氧化物半導體膜 606 重疊的方式設置的閘極電極 610；覆蓋閘極絕緣膜 608 及閘極電極 610 地設置的層間絕緣膜 616；藉由設置在層間絕緣膜 616 中的開口部與一對電極 614 連接的佈線 618；以及以覆蓋層間絕緣膜 616 及佈線 618 的方式設置的保護膜 620。這裏，一對電極 614 用作該電晶體的源極電極及汲極電極。

作爲基板 600 使用玻璃基板，作爲基底絕緣膜 602 使用氧化矽膜，作爲氧化物半導體膜 606 使用 In-Sn-Zn-O 膜，作爲一對電極 614 使用鎢膜，作爲閘極絕緣膜 608 使用氧化矽膜，作爲閘極電極 610 使用氮化鉭膜和鎢膜的疊層結構，作爲層間絕緣膜 616 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作爲佈線 618 使用按順序層疊有鈦膜、鋁

膜、鈦膜的疊層結構，作為保護膜 620 使用聚醯亞胺膜。

另外，在具有圖 25A 所示的結構的電晶體中，將閘極電極 610 與一對電極 614 重疊的寬度稱為 L_{ov} 。同樣地，將超出氧化物半導體膜 606 的一對電極 614 稱為 dW 。

例如，圖 20A 至 20C 示出通道長度 L 為 $3\mu\text{m}$ 、通道寬度 W 為 $10\mu\text{m}$ 的氧化物半導體膜以及厚度為 100nm 的閘極絕緣膜的圖 25A 和 25B 所示的電晶體的特性。這裏， V_d 為 10V 。

圖 20A 示出意圖性地不加熱基板藉由濺射法形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時場效應遷移率為 $18.8\text{cm}^2/\text{Vsec}$ 。另一方面，藉由意圖性地加熱基板形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜，可以提高場效應遷移率。圖 20B 示出將基板加熱為 200°C 來形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜時的電晶體特性，此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜之後進行熱處理，可以進一步提高場效應遷移率。圖 20C 示出在 200°C 下藉由濺射形成以 In 、 Sn 、 Zn 為主要成分的氧化物半導體膜之後進行 650°C 的熱處理時的電晶體特性。此時場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體膜中的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體膜中釋放而去除

氫、羥基或水分，如上述那樣可以提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化、脫氫化去除雜質，而且因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。像這樣藉由使用被高純度化的非單晶氧化物半導體，理想上，可以期待實現超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，在該熱處理同時或藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還有助於實現電晶體的常關閉化。將不意圖性地加熱基板來形成的以 In、Sn、Zn 為主要成分的氧化物半導體膜用作通道形成區的電晶體有臨界電壓漂移到負一側的傾向。然而，在採用藉由意圖性地加熱基板來形成的氧化物半導體膜時，可以解決該臨界電壓的負漂移化的問題。換言之，臨界電壓向電晶體成為常關閉的方向漂移，並且從圖 20A 和圖 20B 的對比也可以確認到該傾向。

另外，也可以藉由改變 In、Sn 及 Zn 的比率來控制臨界電壓，作為成分比採用 In:Sn:Zn=2:1:3 來可以實現電晶體的常關閉化。另外，藉由作為靶材的成分比採用

In:Sn:Zn=2:1:3，可以獲得結晶性高的氧化物半導體膜。

將意圖性的基板加熱溫度或熱處理溫度設定為 150℃ 以上，較佳的是設定為 200℃ 以上，更佳的是設定為 400℃ 以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常關閉化。

熱處理可以在氧氛圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理之後在含有氧的氛圍中進行熱處理。藉由在首先進行脫水化·脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為後面添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

雖然在氧化物半導體中及層疊的膜的介面容易產生由氧缺陷導致的缺陷，但是藉由該熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $2 \times 10^{20}/\text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少在氧化物半導體的一部分中含有結晶，可以獲得更穩定的氧化物半導體膜。例如，在使用成分比為 In:Sn:Zn=1:1:1 的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體膜中，藉由利用 X 線繞射 (XRD:X-Ray Diffraction) 觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體膜進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但

是例如藉由進行 650℃ 的熱處理，可以利用 X 線繞射觀察到明確的繞射峰值。

實際進行 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 繞射，使用 Bruker AXS 公司製造的 X 線繞射裝置 D8 ADVANCE 並利用平面外（Out-of-Plane）法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在完成了脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn-O 膜。

在氧氛圍下使用濺射裝置以 100W（DC）的功率來形成 In-Sn-Zn-O 膜。作為靶材使用 In:Sn:Zn=1:1:1[原子數比]的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200℃。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以 650℃ 的溫度進行加熱處理。首先，在氮氛圍下進行一個小時的加熱處理，然後不降低溫度地在氧氛圍下再進行一個小時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 21 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀測到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35deg 近旁及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體時意圖性地進行加熱及/或在成膜後進行加熱

處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使膜中含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常關閉化，並且藉由氧化物半導體被高純度化來可以使截止電流為 $1\text{aA}/\mu\text{m}$ 以下。在此，上述截止電流值的每單位示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 22 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 22 所示那樣，當基板溫度為 125°C 時截止電流為 $0.1\text{aA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當基板溫度為 85°C 時截止電流為 $10\text{zA}/\mu\text{m}$ （ $1\times 10^{-20}\text{A}/\mu\text{m}$ ）以下。由於電流值的對數與溫度的倒數成正比，所以當基板溫度為室溫（ 27°C ）時可以預想截止電流為 $0.1\text{zA}/\mu\text{m}$ （ $1\times 10^{-22}\text{A}/\mu\text{m}$ ）以下。因此，當基板溫度為 125°C 時可以將截止電流設定為 $1\text{aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $100\text{zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當室溫時設定為 $1\text{zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{A}/\mu\text{m}$ ）以下。

當然，為了防止當形成氧化物半導體膜時氫或水分混入到膜中，較佳的是充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，

爲了防止水分被包含在膜中，作爲濺射氣體較佳爲使用其露點爲 -70°C 以下的氣體。另外，較佳爲使用靶材本身不含有氫或水分等雜質的被高純度化的靶材。以 In、Sn、Zn 爲主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以 In、Ga、Zn 爲主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳爲形成原本就不含有水分的膜。

另外，在使用形成氧化物半導體膜之後進行 650°C 的加熱處理的樣品 B 的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 爲 $3\mu\text{m}$ ，通道寬度 W 爲 $10\mu\text{m}$ ，單側的 L_{ov} 爲 $3\mu\text{m}$ （合計 $6\mu\text{m}$ ）， dW 爲 $0\mu\text{m}$ 。另外，將 V_{ds} 設定爲 10V 。此外，在基板溫度爲 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的寬度稱爲 L_{ov} ，並且將從氧化物半導體膜超出的一對電極稱爲 dW 。

圖 23 示出 I_{ds} （實線）及場效應遷移率（虛線）的 V_{gs} 依賴性。另外，圖 24A 示出基板溫度與臨界電壓的關係，而圖 24B 示出基板溫度與場效應遷移率的關係。

根據圖 24A 可知基板溫度越高臨界電壓越低。另外，作爲其範圍，在 -40°C 至 150°C 的基板溫度下臨界電壓爲 1.09V 至 -0.23V 。

此外，根據圖 24B 可知基板溫度越高場效應遷移率越低。另外，作爲其範圍，在 -40°C 至 150°C 的基板溫度下，

場效應遷移率為 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為 $30\text{cm}^2/\text{Vsec}$ 以上，較佳的是設定為 $40\text{cm}^2/\text{Vsec}$ 以上，更佳的是設定為 $60\text{cm}^2/\text{Vsec}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。

像這樣藉由將截止電流低的電晶體用於上述的實施例模式所示的可編程開關的儲存部，即使在停止電源電位的供給的情況下也可以保持組態資料。由此，可以省略供給電源後的組態資料的寫入，從而可以縮短邏輯塊的啟動時間。由此，藉由使用常關閉驅動方法可以提供能夠實現低耗電量化的可編程邏輯裝置。

另外，藉由將該遷移率高的電晶體用於上述實施例模式所示的可編程開關的儲存部，可以高速地進行組態資料的寫入，因此可以提供能夠容易地進行動態組態的可編程邏輯裝置。

另外，當電晶體具有上述特性時，即使在使用 Si 半導體製造的積體電路中混裝有使用氧化物半導體形成的電晶體，也可以提供無需犧牲工作速度的可編程邏輯裝置。

實施例模式 5

藉由使用根據本發明的一個方式的可編程邏輯裝置，可以提供耗電量低的電子裝置。尤其是在難以一直被供應電力的攜帶用的電子裝置中，藉由作為結構要素追加根據本發明的一個方式的低耗電量的半導體裝置，可以獲得連續使用時間變長的優點。

可以將根據本發明的一個方式的使用可編程邏輯裝置的半導體裝置應用於顯示裝置、個人電腦、具備記錄媒體的影像再現裝置（典型的是，能夠再現記錄媒體如數位通用磁片（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）。除此之外，作為能夠使用本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、攝像機、數位相機、護目鏡型顯示器（頭盔顯示器）、導航系統、音頻再現裝置（車載音響、數位音頻播放器等）、影印機、傳真機、印表機、複合式印表機、自動取款機（ATM）、自動售貨機等。

以下，說明將根據本發明的一個方式的使用可編程邏輯裝置的半導體裝置應用於行動電話、智慧手機或電子書閱讀器等可攜式電子裝置的情況。

圖 10 是示出可攜式電子裝置的方塊圖。圖 10 所示的可攜式電子裝置包括 RF 電路 421、類比基帶電路 422、數位基帶電路 423、電池 424、電源電路 425、應用處理器 426、快閃記憶體 430、顯示控制器 431、儲存電路 432、

顯示器 433、觸摸感測器 439、音頻電路 437 以及鍵盤 438 等。顯示器 433 包括顯示部 434、源極電極驅動器 435 以及閘極驅動器 436。應用處理器 426 具有 CPU427、DSP428 以及介面 429。例如藉由將上述實施例模式所示的可編程邏輯裝置用於 CPU427、數位基帶電路 423、儲存電路 432、DSP428、介面 429、顯示控制器 431、音頻電路 437 中的任一個或全部，可以降低耗電量。

圖 11 是示出電子書閱讀器的方塊圖。電子書閱讀器包括電池 451、電源電路 452、微處理器 453、快閃記憶體 454、音頻電路 455、鍵盤 456、儲存電路 457、觸摸面板 458、顯示器 459 以及顯示控制器 460。微處理器 453 具有 CPU461、DSP462 以及介面 463。藉由將上述實施例模式所示的可編程邏輯裝置用於例如 CPU461、音頻電路 455、儲存電路 457、顯示控制器 460、DSP462、介面 463 中的任一個或全部，可以降低耗電量。

本實施例模式可以與上述實施例模式適當地組合而實施。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

【符號說明】

10：邏輯塊

11：佈線

12：開關矩陣

14：第一驅動電路

15：第二驅動電路

16：第一佈線

17：第二佈線

20：邏輯單元

20a：邏輯單元

20b：邏輯單元

22a：邏輯電路

22b：邏輯電路

22c：NAND 電路

22D：NOR 電路

22e：NAND 電路

22f：NOR 電路

22g：XOR 電路

22h：NOT 電路

30：可編程開關

30a：可編程開關

30b：可編程開關

30c：可編程開關

30d：可編程開關

32：儲存部

32a：儲存部

32b：儲存部

32c：儲存部

32d : 儲存部

34 : 開關部

34a : 開關部

34b : 開關部

34c : 開關部

34d : 開關部

40 : 電晶體

110 : 電晶體

112 : 電晶體

114 : 電晶體

116 : 電容元件

118 : 緩衝器

120 : 反相器

130 : 電晶體

132 : 電晶體

134 : 電晶體

136 : 電晶體

138 : 電晶體

140 : 傳輸門

142 : 傳輸門

144 : 反相器

150 : 電晶體

152 : 電晶體

154 : 電晶體

156 : 電 晶 體
 158 : 電 晶 體
 160 : 電 晶 體
 162 : 傳 輸 門
 164 : 傳 輸 門
 201 : 半 導 體 基 板
 203 : 元 件 分 離 區
 205 : p 井 區
 207a : 閘 極 絕 緣 膜
 207b : 閘 極 絕 緣 膜
 209a : 閘 極 電 極
 209b : 閘 極 電 極
 211a : 雜 質 區
 211b : 雜 質 區
 213a : 雜 質 區
 213b : 雜 質 區
 215 : 絕 緣 膜
 217 : 絕 緣 膜
 219a : 接 觸 插 頭
 219b : 接 觸 插 頭
 219c : 接 觸 插 頭
 219d : 接 觸 插 頭
 221 : 絕 緣 膜
 223a : 佈 線

- 223b：佈線
- 223c：佈線
- 225：絕緣膜
- 227：氧化物半導體膜
- 229：氧化物半導體膜
- 231：絕緣膜
- 233：閘極電極
- 235：氧化物半導體膜
- 235a：區域
- 235b：區域
- 235c：區域
- 237：側壁絕緣膜
- 239：閘極絕緣膜
- 241a：電極
- 241b：電極
- 243：絕緣膜
- 245：絕緣膜
- 249：佈線
- 250：佈線
- 421：RF 電路
- 422：類比基帶電路
- 423：數字基帶電路
- 424：電池
- 425：電源電路

- 426 : 應用處理器
- 427 : CPU
- 428 : DSP
- 429 : 介面
- 430 : 快閃記憶體
- 431 : 顯示器控制器
- 432 : 儲存電路
- 433 : 顯示器
- 434 : 顯示部
- 435 : 源極電極驅動
- 436 : 閘極驅動
- 437 : 音頻電路
- 438 : 鍵盤
- 439 : 觸摸感測器
- 451 : 電池
- 452 : 電源電路
- 453 : 微處理器
- 454 : 快閃記憶體
- 455 : 音聲電路
- 456 : 鍵盤
- 457 : 儲存電路
- 458 : 觸摸屏
- 459 : 顯示器
- 460 : 顯示器控制器

461 : CPU
 462 : DSP
 463 : 介面
 600 : 基板
 602 : 基底絕緣膜
 606 : 氧化物半導體膜
 608 : 閘極絕緣膜
 610 : 閘極電極
 614 : 電極
 616 : 層間絕緣膜
 618 : 佈線
 620 : 保護膜
 1101 : 基底絕緣膜
 1102 : 嵌入絕緣物
 1103a : 第一區域
 1103b : 第二區域
 1103c : 第二區域
 1104 : 閘極絕緣膜
 1105 : 閘極電極
 1106a : 側壁絕緣膜
 1106b : 側壁絕緣膜
 1107 : 絕緣物
 1108a : 源極電極
 1108b : 汲極電極

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體，包括第一源極電極、第一汲極電極及第一閘極電極，該第一電晶體為 n 通道電晶體；

第二電晶體，包括第二源極電極、第二汲極電極及第二閘極電極，該第二源極電極和該第二汲極電極中的一者與該第一源極電極和該第一汲極電極中的一者電連接，該第二電晶體為 n 通道電晶體；

第三電晶體，包括第三源極電極、第三汲極電極及第三閘極電極，該第三源極電極和該第三汲極電極中的一者與該第一閘極電極電連接；以及

第四電晶體，包括第四源極電極、第四汲極電極及第四閘極電極，該第四源極電極和該第四汲極電極中的一者與該第二閘極電極電連接，

其中，該第三閘極電極與該第四閘極電極電連接，

其中，該第三電晶體包括與該第三閘極電極重疊的第一氧化物半導體層，且

其中，該第四電晶體包括與該第四閘極電極重疊的第二氧化物半導體層。

2. 一種半導體裝置，包括：

第一電晶體，包括第一源極電極、第一汲極電極及第一閘極電極，該第一電晶體為 p 通道電晶體；

第二電晶體，包括第二源極電極、第二汲極電極及第二閘極電極，該第二源極電極和該第二汲極電極中的一者

與該第一源極電極和該第一汲極電極中的一者電連接，該第二電晶體為 p 通道電晶體；

第三電晶體，包括第三源極電極、第三汲極電極及第三閘極電極，該第三源極電極和該第三汲極電極中的一者與該第一閘極電極電連接；以及

第四電晶體，包括第四源極電極、第四汲極電極及第四閘極電極，該第四源極電極和該第四汲極電極中的一者與該第二閘極電極電連接，

其中，該第三閘極電極與該第四閘極電極電連接，

其中，該第三電晶體包括與該第三閘極電極重疊的第一氧化物半導體層，且

其中，該第四電晶體包括與該第四閘極電極重疊的第二氧化物半導體層。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，還包括邏輯電路，該邏輯電路與該第一源極電極和該第一汲極電極中的另一者電連接。

4. 一種半導體裝置，包括：

第一電晶體，包括第一源極電極、第一汲極電極及第一閘極電極，該第一電晶體為 n 通道電晶體；

第二電晶體，包括第二源極電極、第二汲極電極及第二閘極電極，該第二源極電極和該第二汲極電極中的一者與該第一源極電極和該第一汲極電極中的一者電連接，該第二電晶體為 n 通道電晶體；

第一邏輯電路，與該第一源極電極和該第一汲極電極

中的另一者電連接；

第二邏輯電路，與該第二源極電極和該第二汲極電極中的另一者電連接；

第三電晶體，包括第三源極電極、第三汲極電極及第三閘極電極，該第三源極電極和該第三汲極電極中的一者與該第一閘極電極電連接；以及

第四電晶體，包括第四源極電極、第四汲極電極及第四閘極電極，該第四源極電極和該第四汲極電極中的一者與該第二閘極電極電連接，

其中，該第三閘極電極與該第四閘極電極電連接，

其中，該第三電晶體包括與該第三閘極電極重疊的第一氧化物半導體層，且

其中，該第四電晶體包括與該第四閘極電極重疊的第二氧化物半導體層。

5. 一種半導體裝置，包括：

第一電晶體，包括第一源極電極、第一汲極電極及第一閘極電極，該第一電晶體為 p 通道電晶體；

第二電晶體，包括第二源極電極、第二汲極電極及第二閘極電極，該第二源極電極和該第二汲極電極中的一者與該第一源極電極和該第一汲極電極中的一者電連接，該第二電晶體為 p 通道電晶體；

第一邏輯電路，與該第一源極電極和該第一汲極電極中的另一者電連接；

第二邏輯電路，與該第二源極電極和該第二汲極電極

中的另一者電連接；

第三電晶體，包括第三源極電極、第三汲極電極及第三閘極電極，該第三源極電極和該第三汲極電極中的一者與該第一閘極電極電連接；以及

第四電晶體，包括第四源極電極、第四汲極電極及第四閘極電極，該第四源極電極和該第四汲極電極中的一者與該第二閘極電極電連接，

其中，該第三閘極電極與該第四閘極電極電連接，

其中，該第三電晶體包括與該第三閘極電極重疊的第一氧化物半導體層，且

其中，該第四電晶體包括與該第四閘極電極重疊的第二氧化物半導體層。

6. 根據申請專利範圍第 5 項之半導體裝置，還包括：

第五電晶體，包括第五源極電極、第五汲極電極及第五閘極電極，該第五源極電極和該第五汲極電極中的一者與該第一源極電極和該第一汲極電極中的一者電連接，且該第五源極電極和該第五汲極電極中的另一者與該第一源極電極和該第一汲極電極中的另一者電連接，該第五電晶體為 n 通道電晶體；以及

第六電晶體，包括第六源極電極、第六汲極電極及第六閘極電極，該第六源極電極和該第六汲極電極中的一者與該第二源極電極和該第二汲極電極中的一者電連接，且該第六源極電極和該第六汲極電極中的另一者與該第二源

極電極和該第二汲極電極中的另一者電連接，該第六電晶體為 n 通道電晶體，

其中，該第五閘極電極與該第二閘極電極電連接，且其中，該第六閘極電極與該第一閘極電極電連接。

7. 根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置，還包括：

第一電容器，與該第一閘極電極電連接；以及第二電容器，與該第二閘極電極電連接。

8. 根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置，還包括：

絕緣膜，夾在該第三電晶體與該第一電晶體和該第二電晶體的每一者之間，以及在該第四電晶體與該第一電晶體和該第二電晶體的每一者之間，該第三電晶體和該第四電晶體形成在該第一電晶體及該第二電晶體上。

9. 根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置，

其中，該第一氧化物半導體層包括第一 c 軸配向結晶氧化物半導體膜，且

其中，該第二氧化物半導體層包括第二 c 軸配向結晶氧化物半導體膜。

10. 根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置，還包括邏輯電路，該邏輯電路的端子與該第二源極電極和該第二汲極電極中的該其中一者電連接，

其中，該半導體裝置經配置使得當該第三電晶體在導

通狀態時，形成第一組態和第二組態的其中一者，且在該第三電晶體關斷之後保持該第一組態和該第二組態的該其中一者，

其中，該第一組態允許從該第一源極電極和該第一汲極電極中的該另一者輸入的第一信號藉由通過該第一電晶體而輸出到該邏輯電路的該端子，且

其中，該第二組態允許從該第二源極電極和該第二汲極電極中的該另一者輸入的第二信號藉由通過該第二電晶體而輸出到該邏輯電路的該端子。

11. 一種可編程邏輯裝置，包括根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置。

12. 一種電子裝置，包括根據申請專利範圍第 1、2、4 及 5 項中任一項之半導體裝置。

圖式

圖 1A

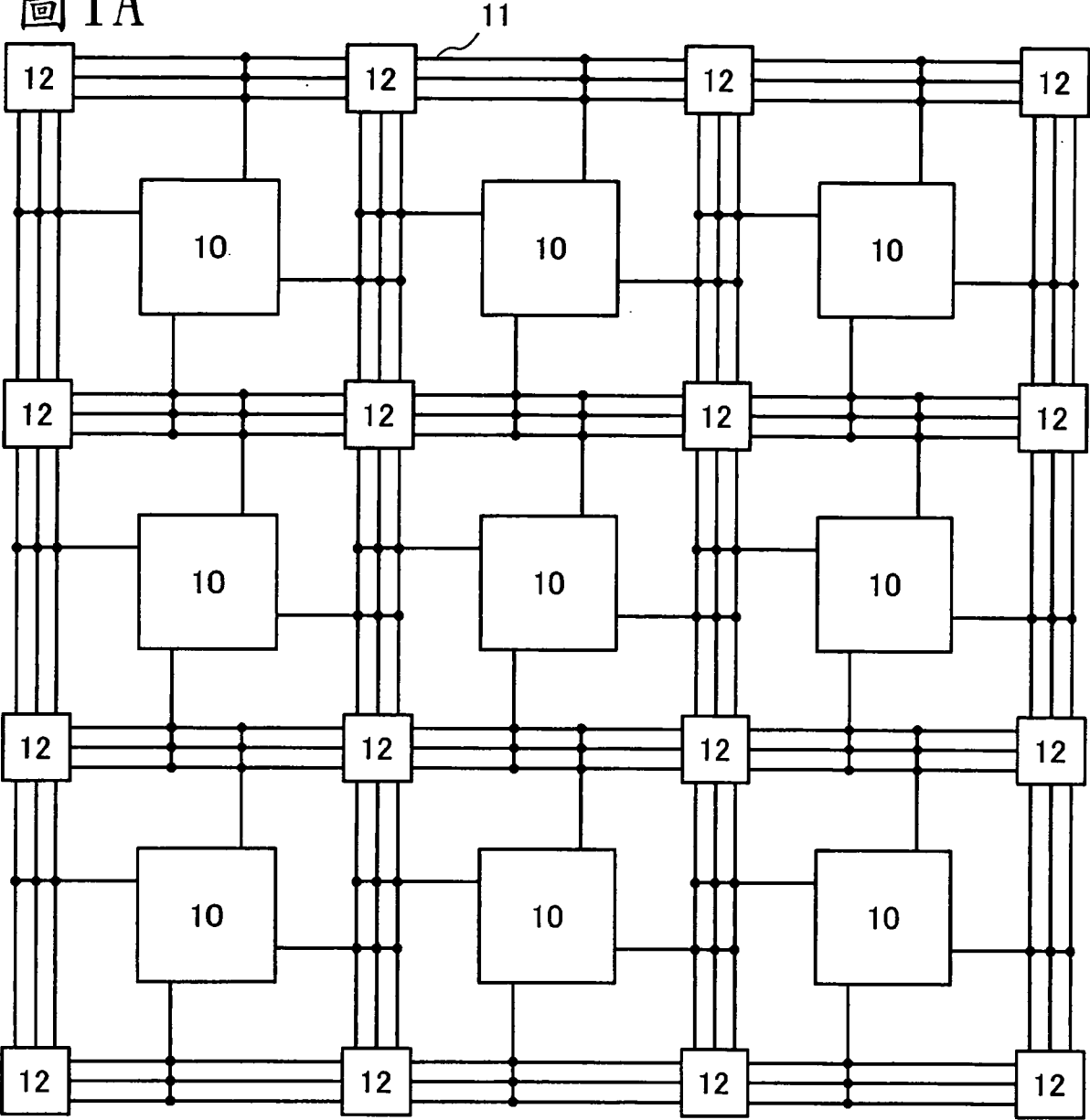


圖 1B

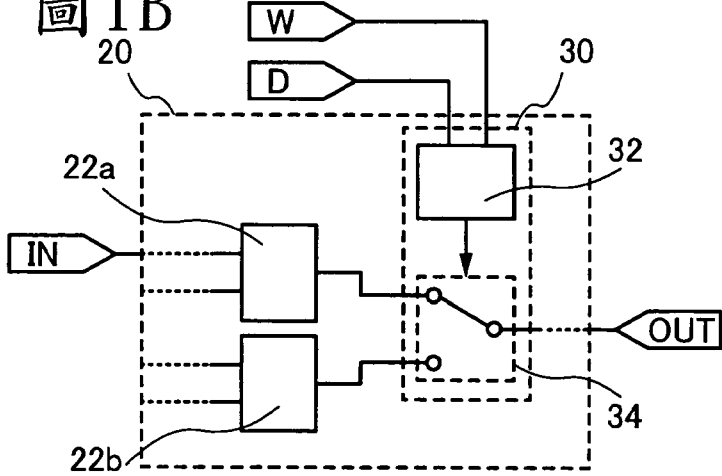


圖 1C

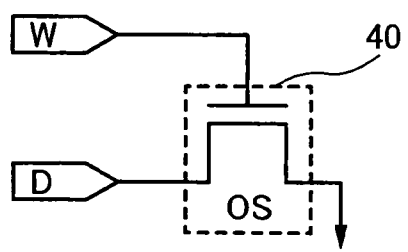


圖 2A

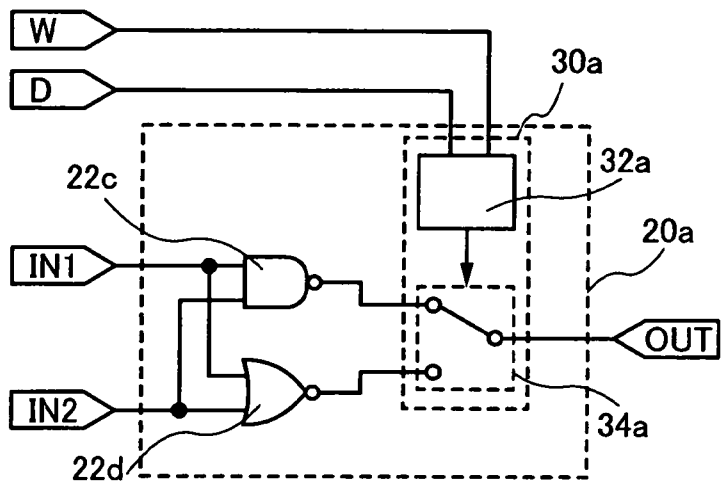


圖 2B

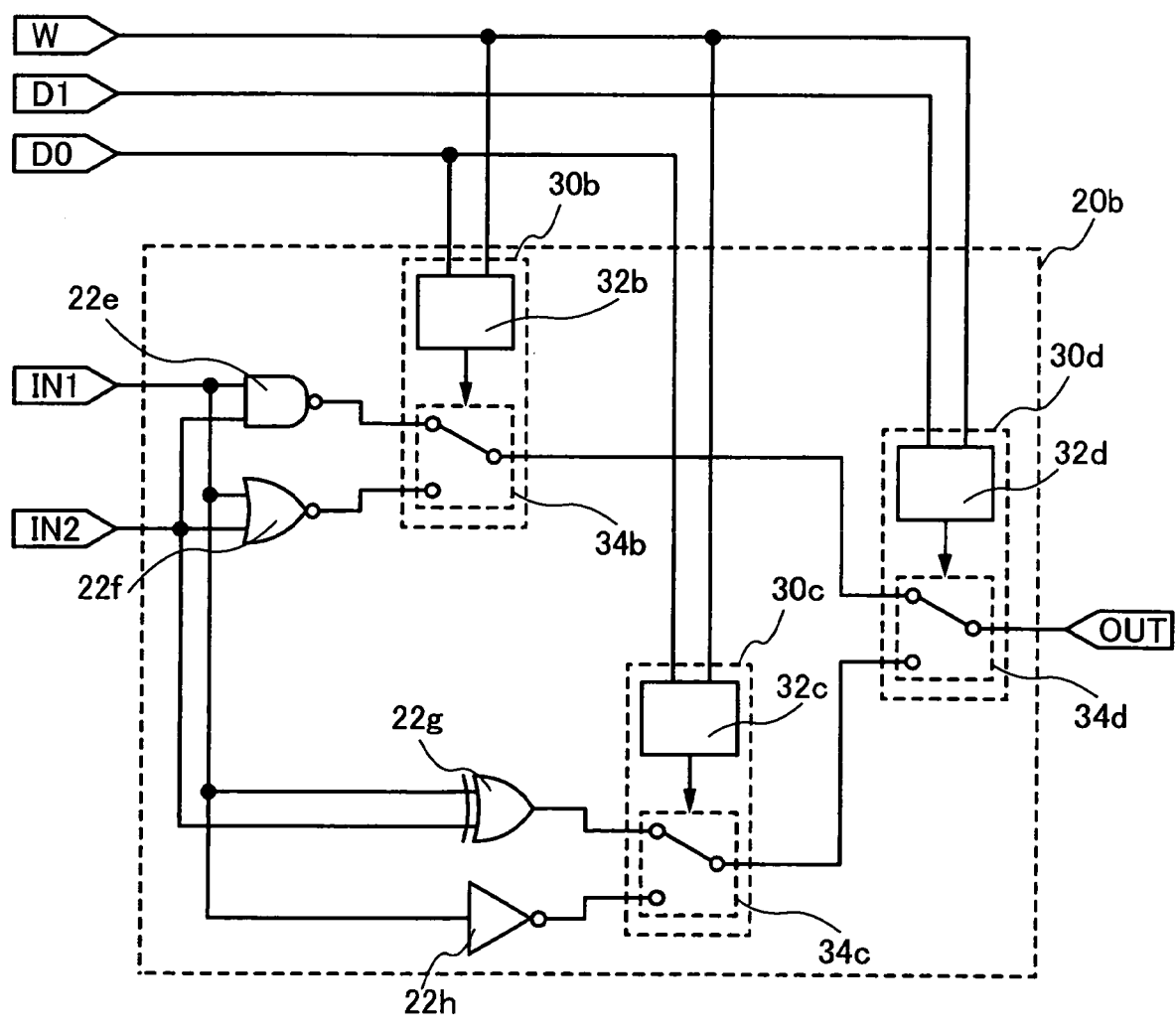


圖 3A

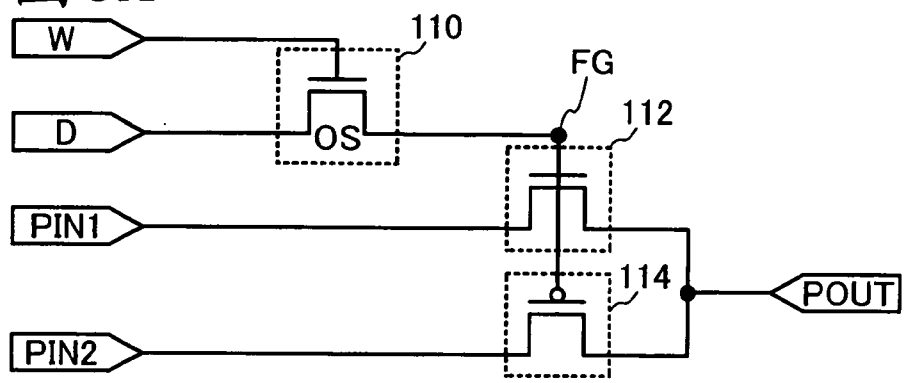


圖 3B

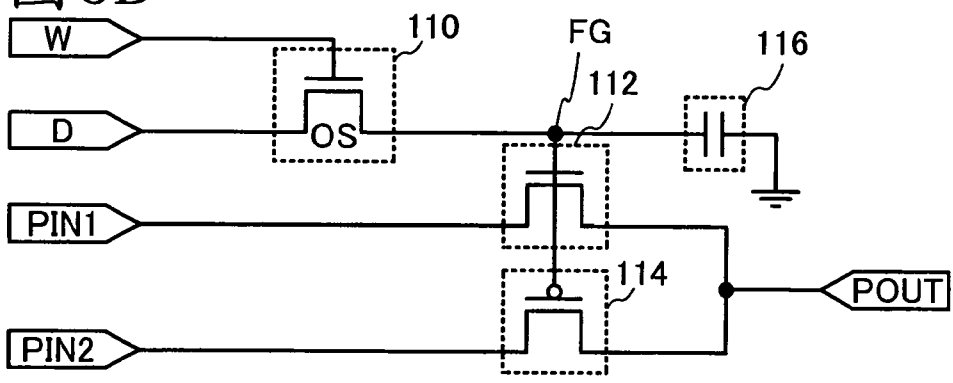


圖 3C

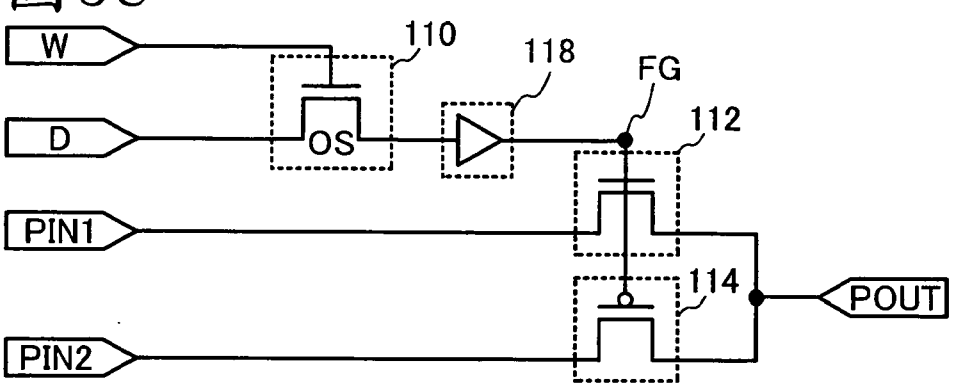


圖 3D

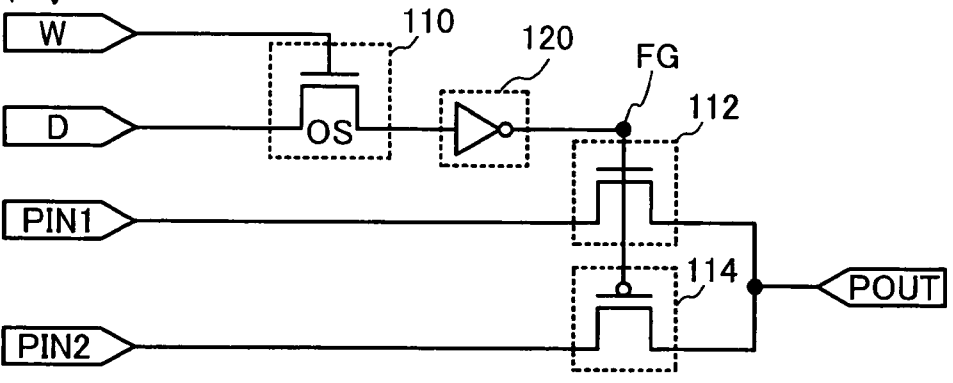


圖 4A

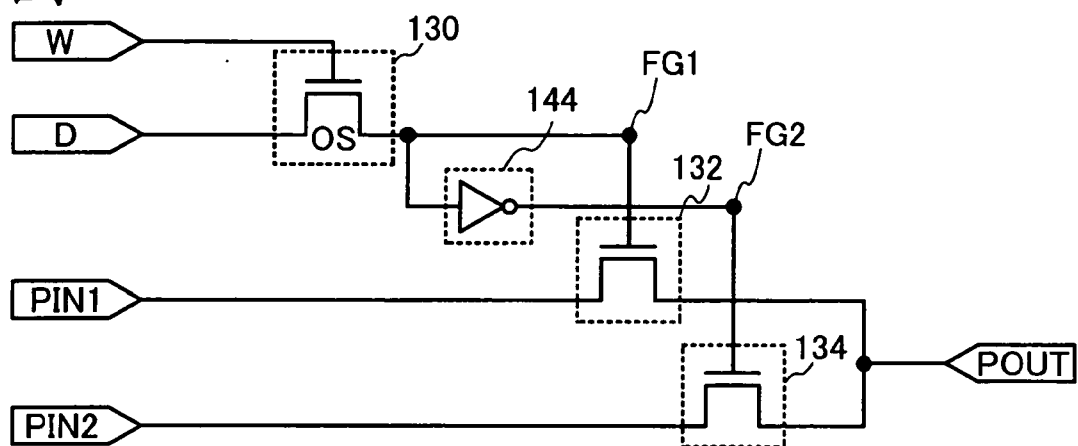


圖 4B

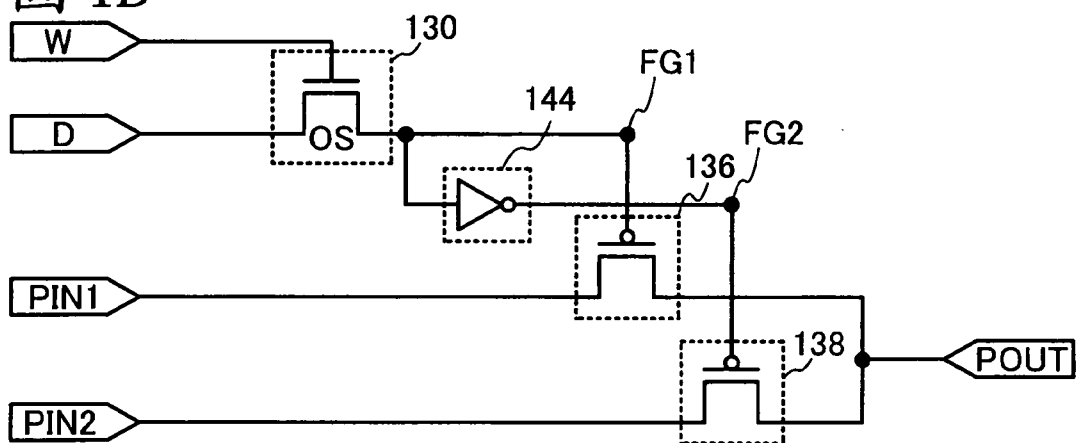


圖 4C

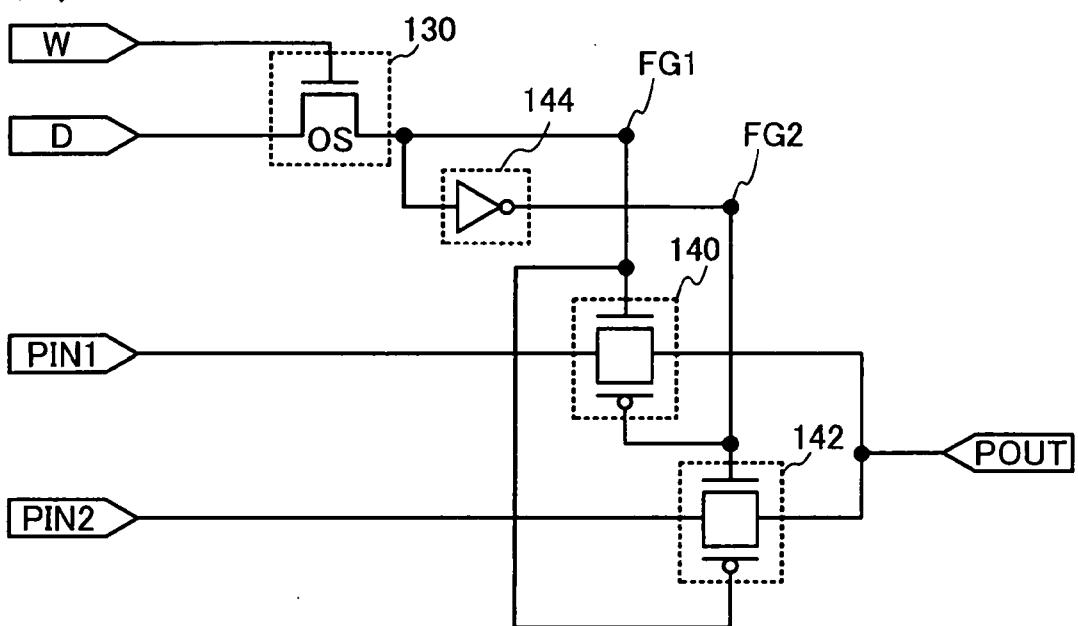


圖 5A

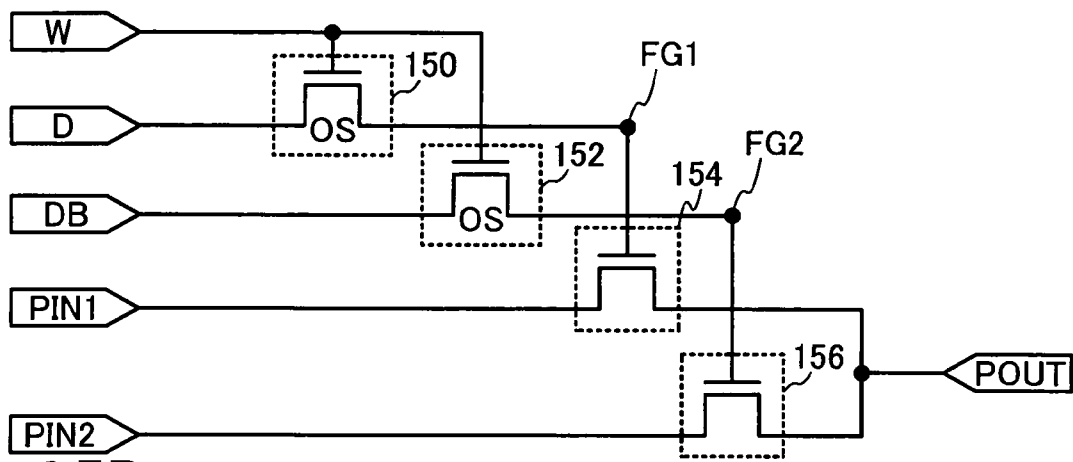


圖 5B

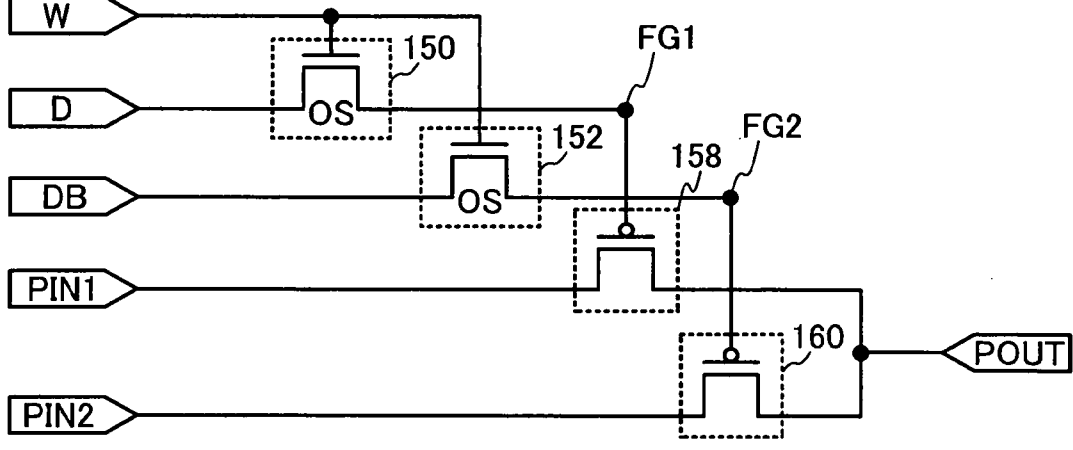
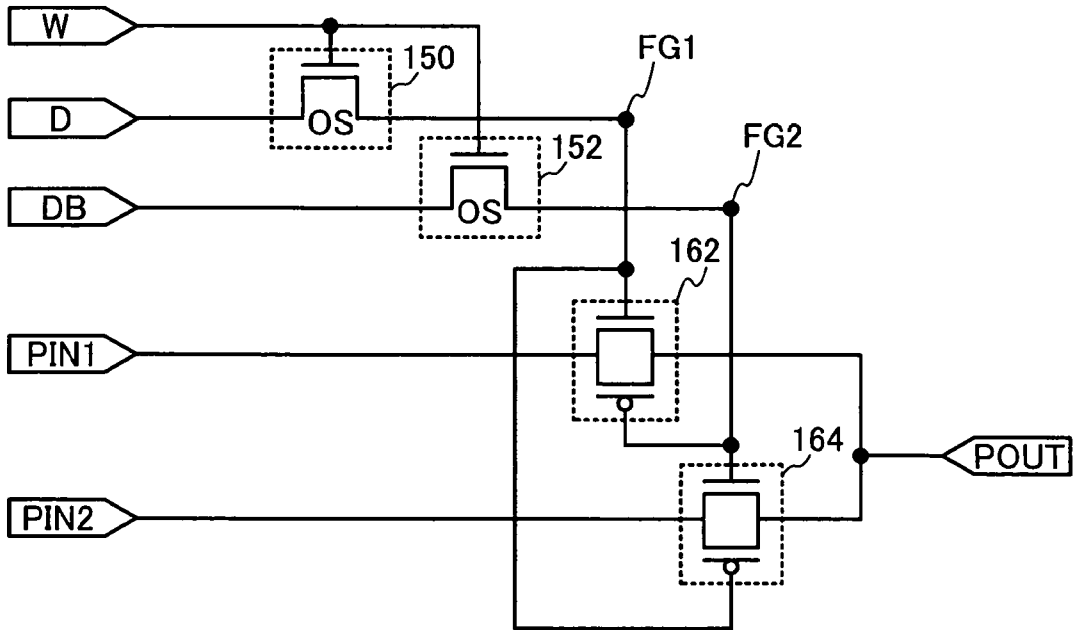


圖 5C



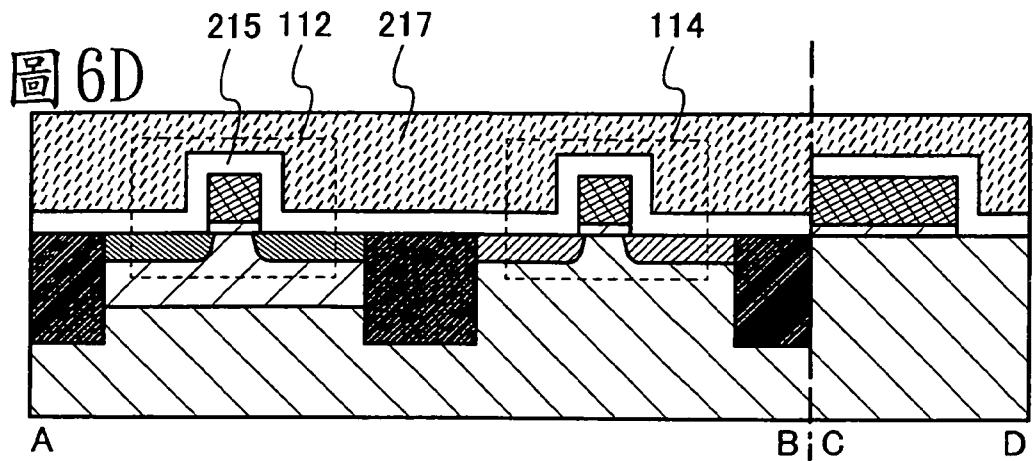
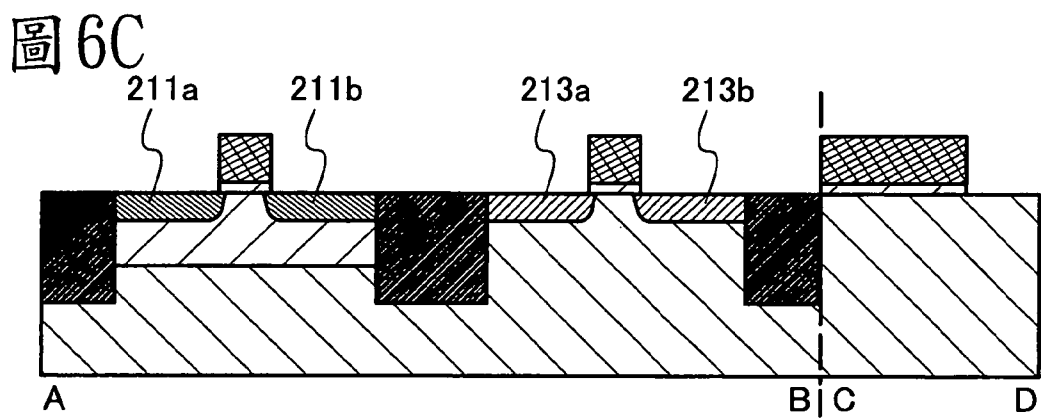
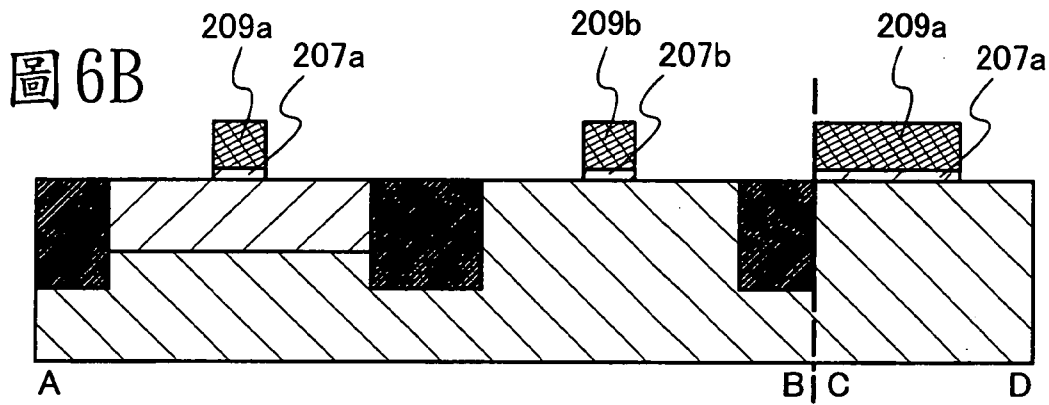
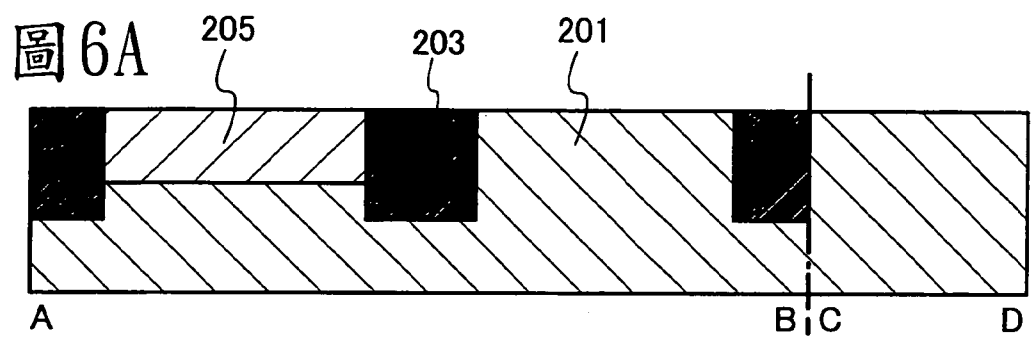


圖 7A

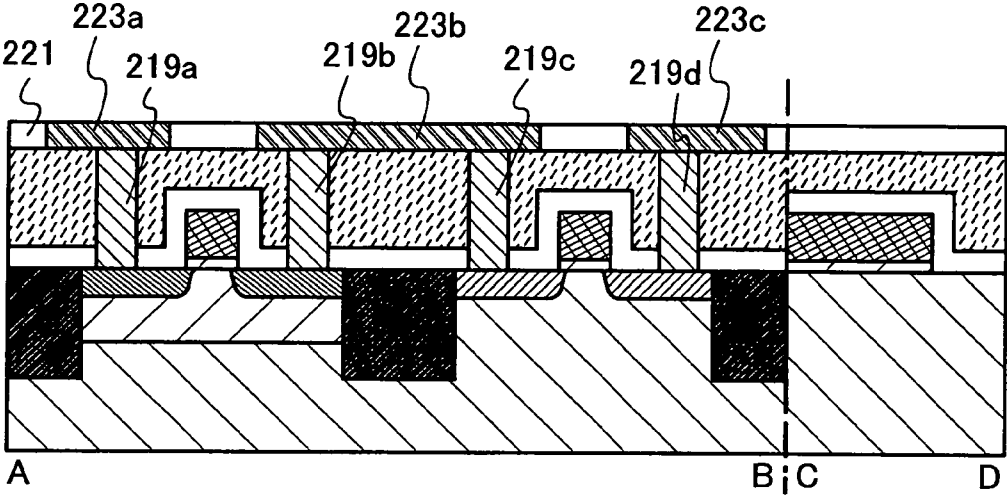


圖 7B

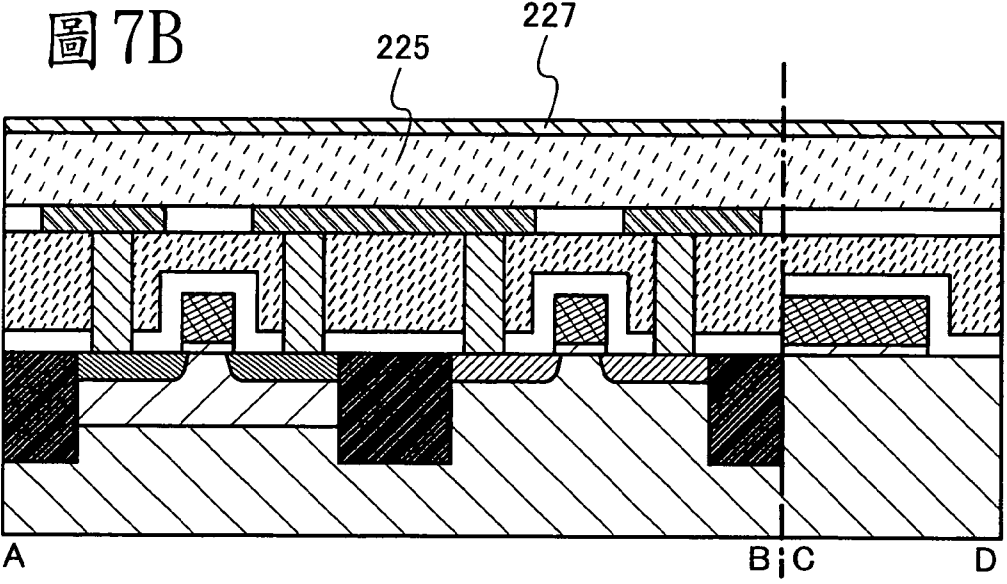


圖 8A

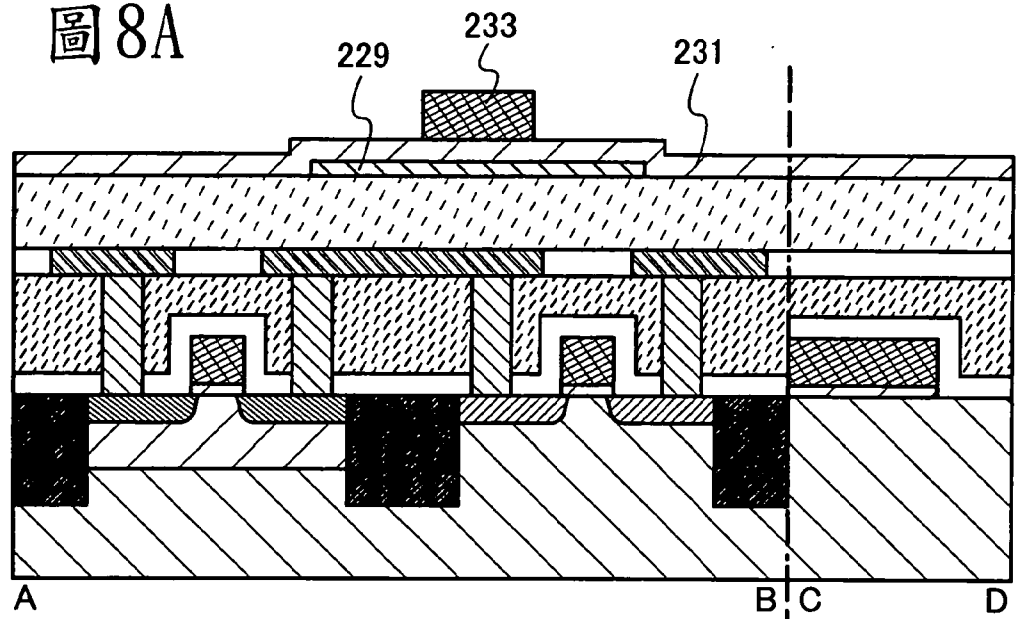


圖 8B

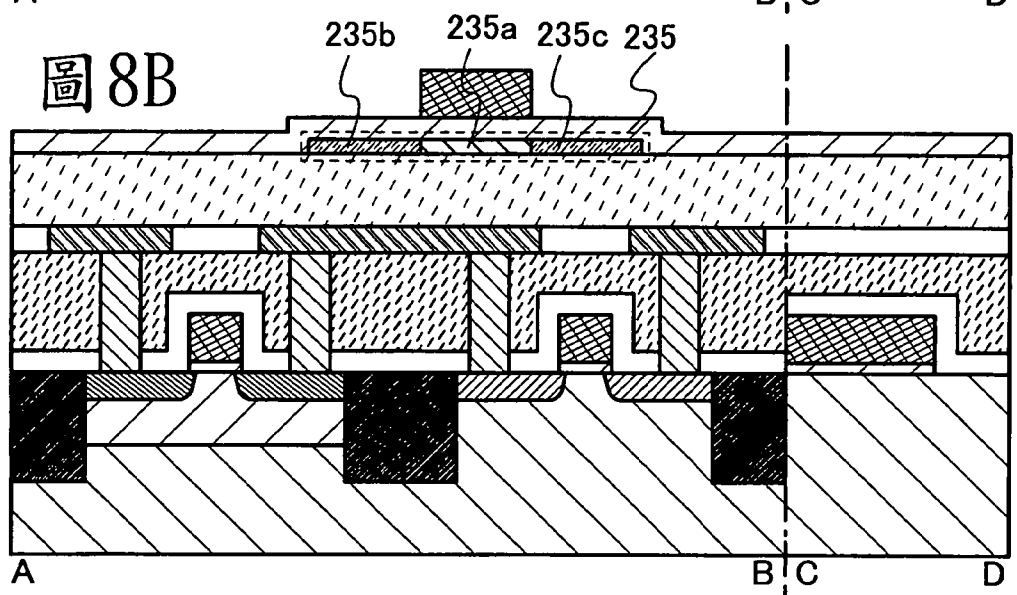


圖 8C

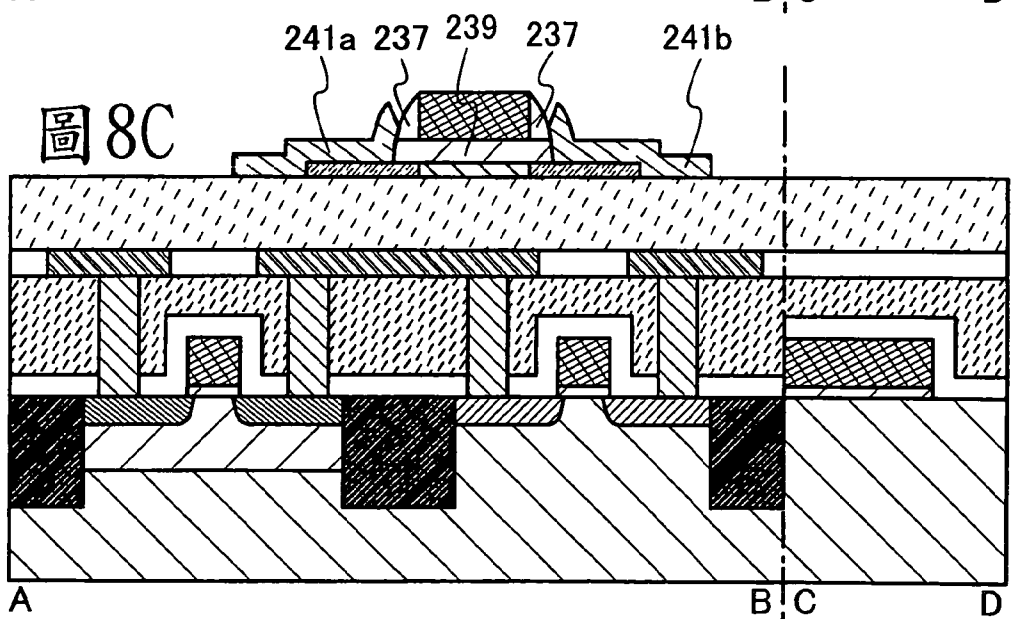


圖 9A

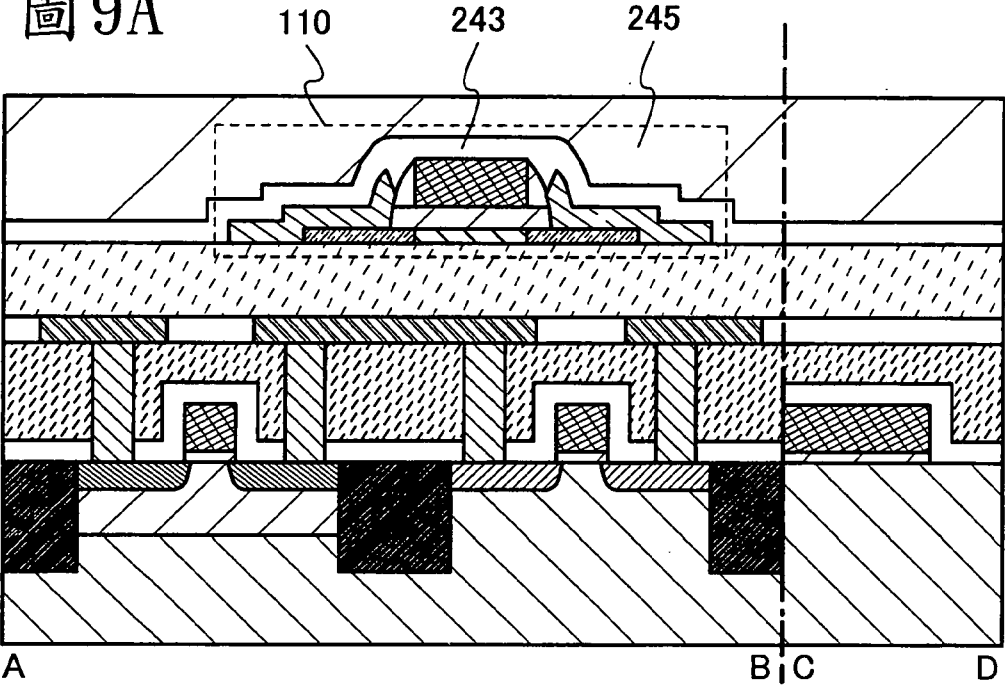


圖 9B

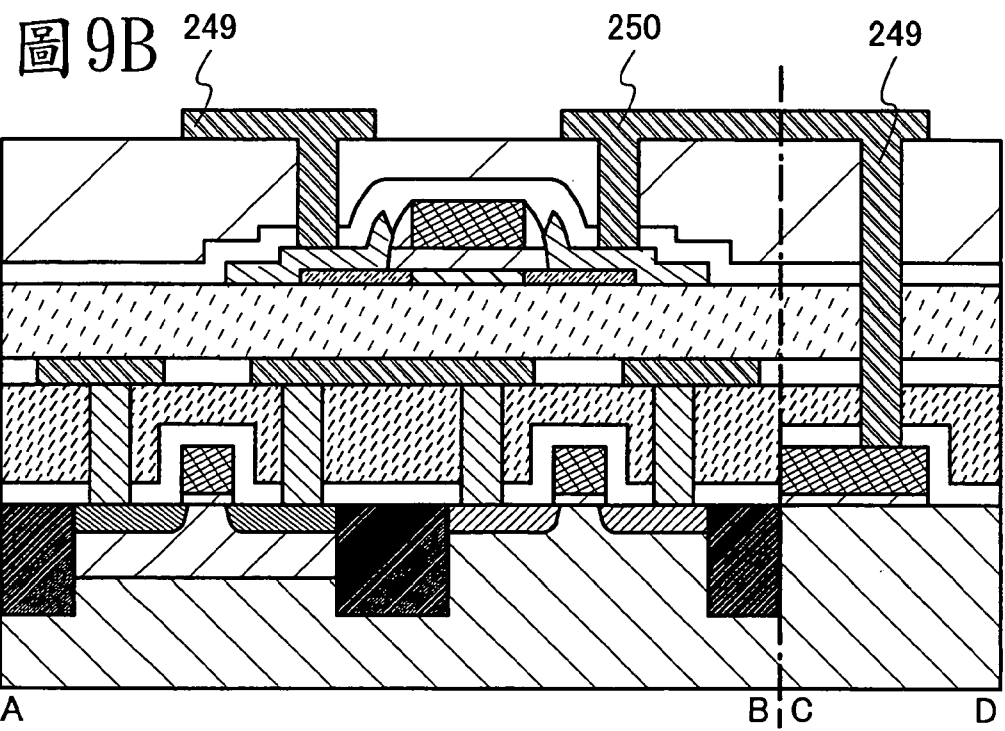


圖 10

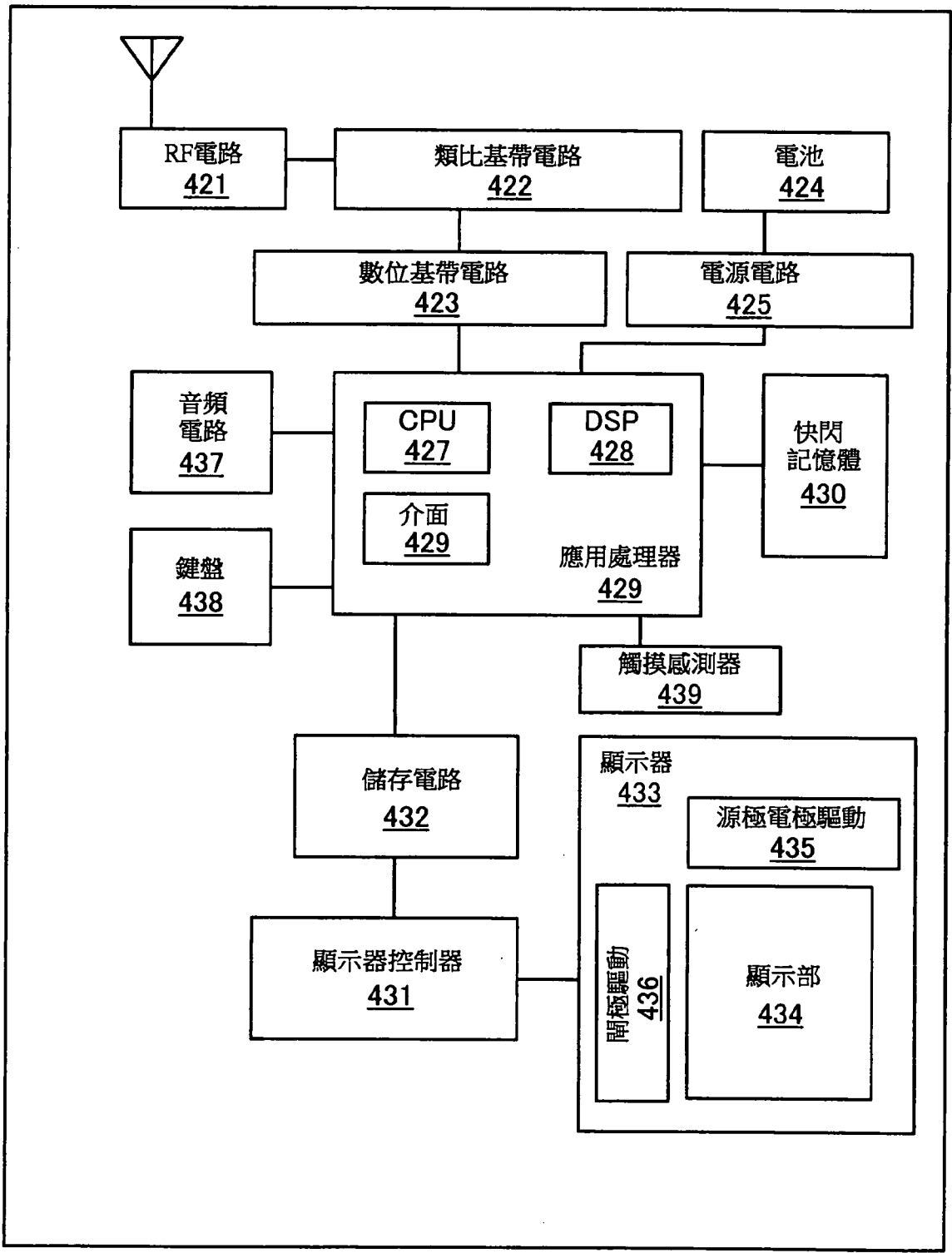


圖 11

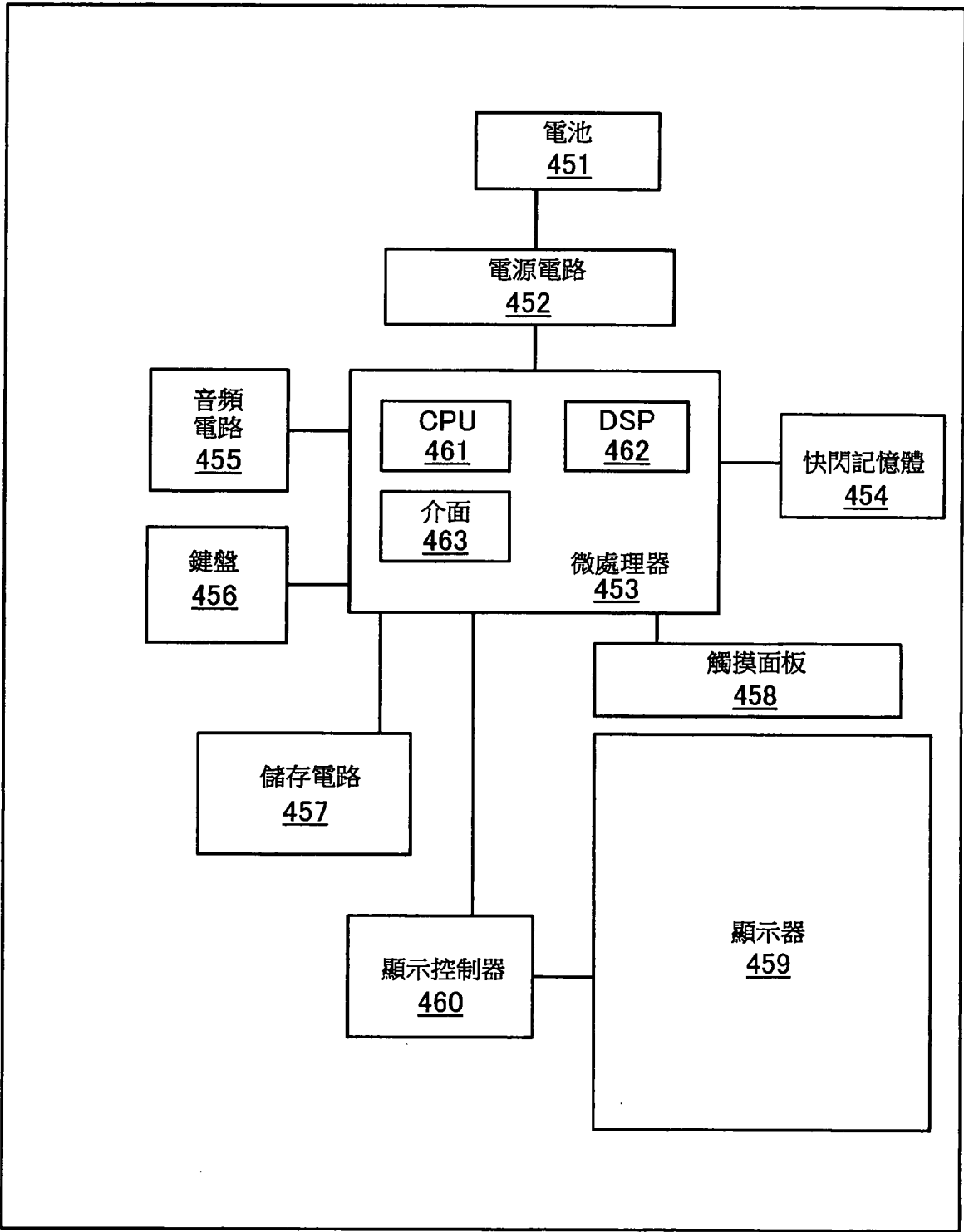


圖 12A

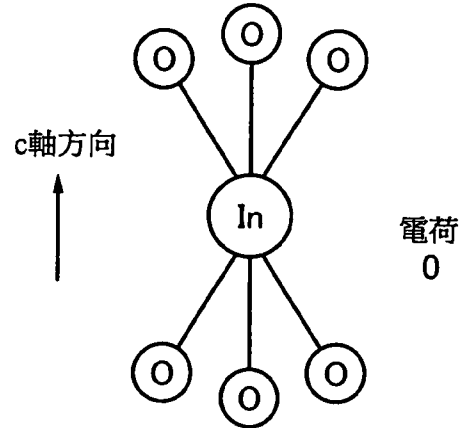


圖 12D

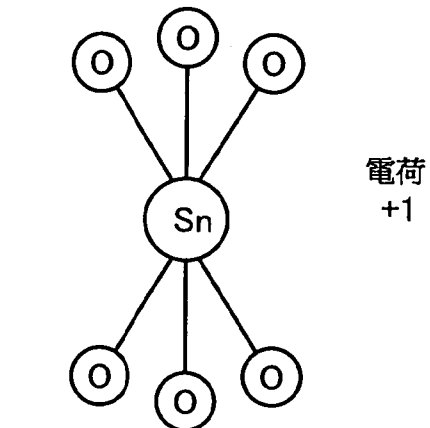


圖 12B

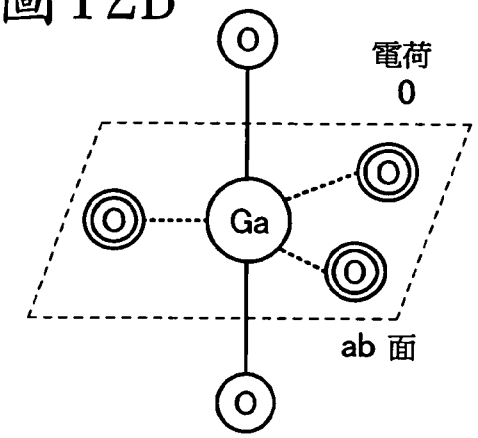


圖 12E

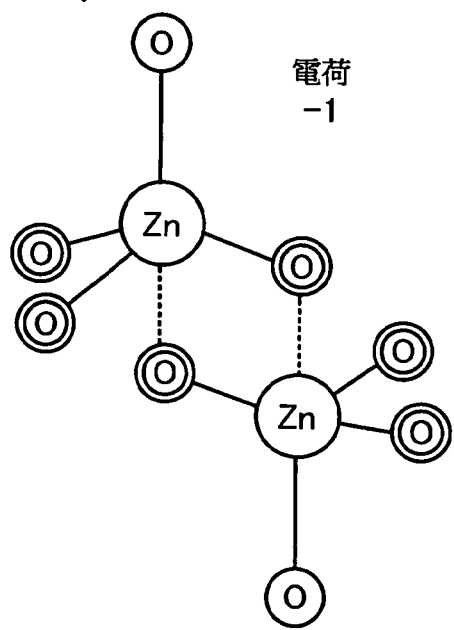


圖 12C

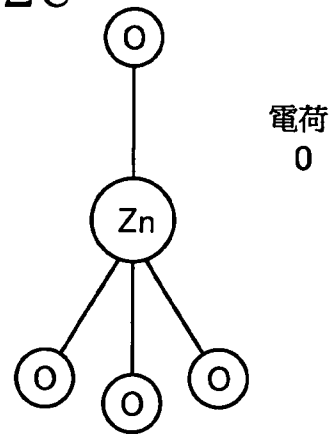


圖 15

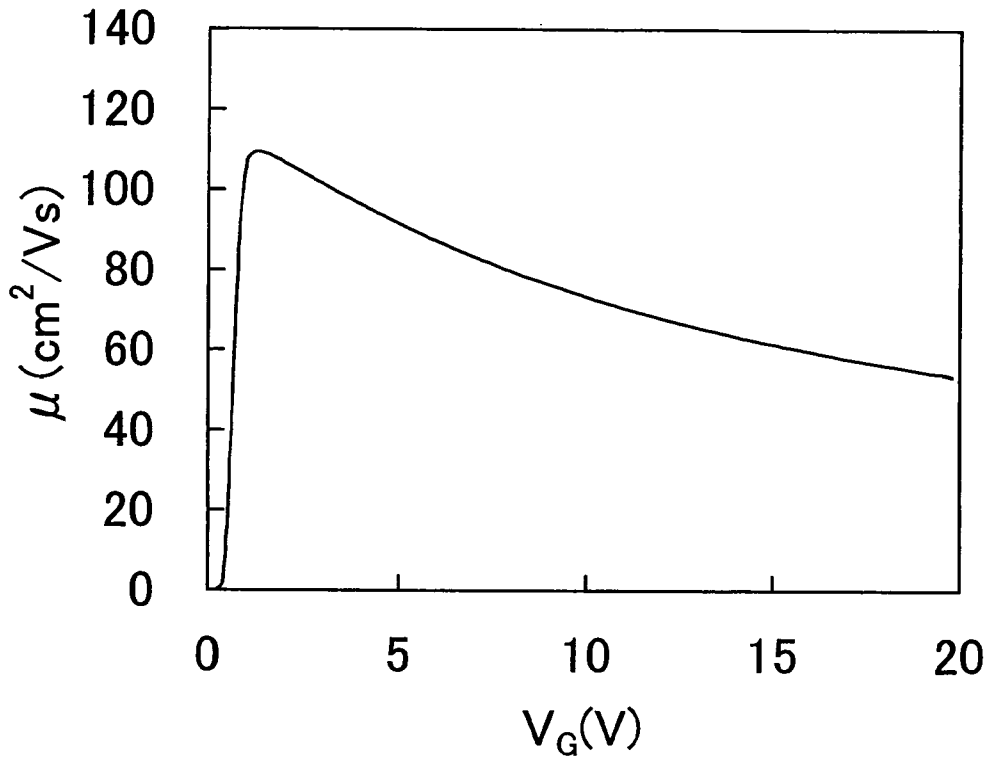


圖 16A

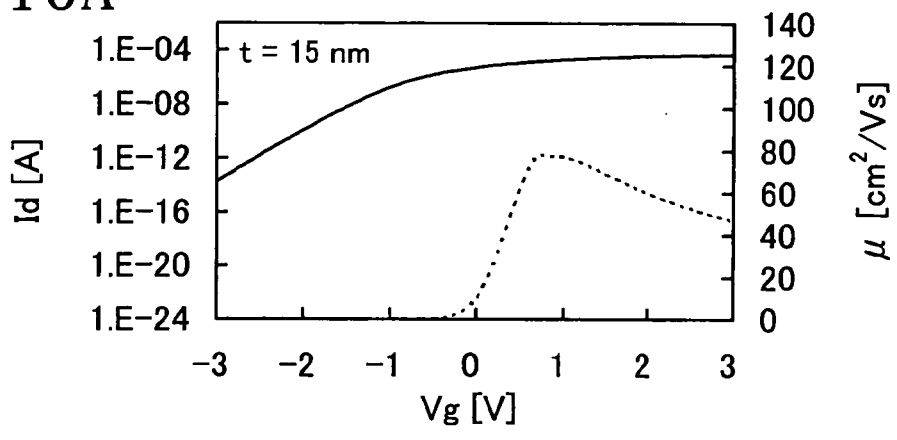


圖 16B

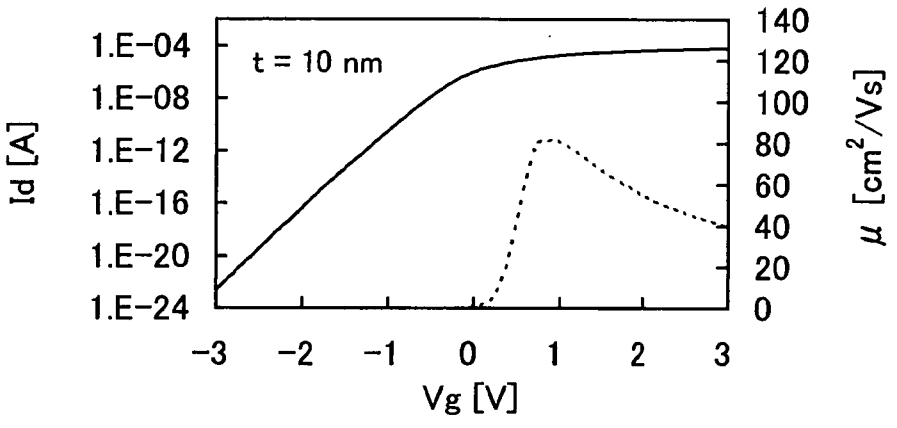


圖 16C

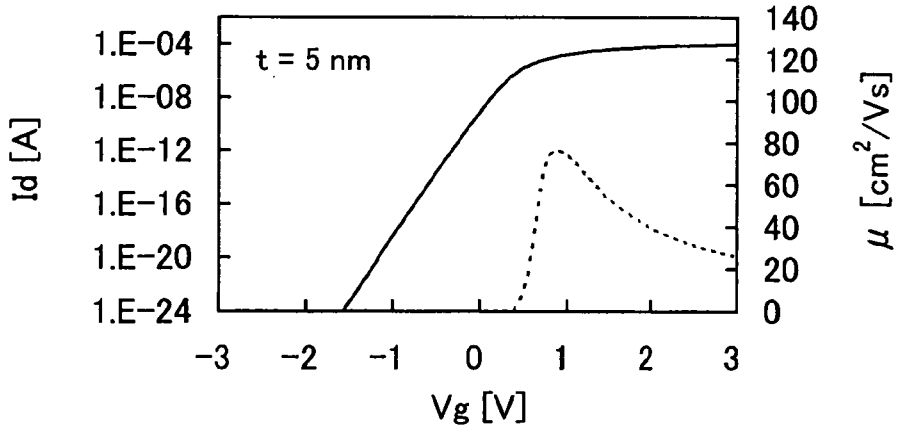


圖 17A

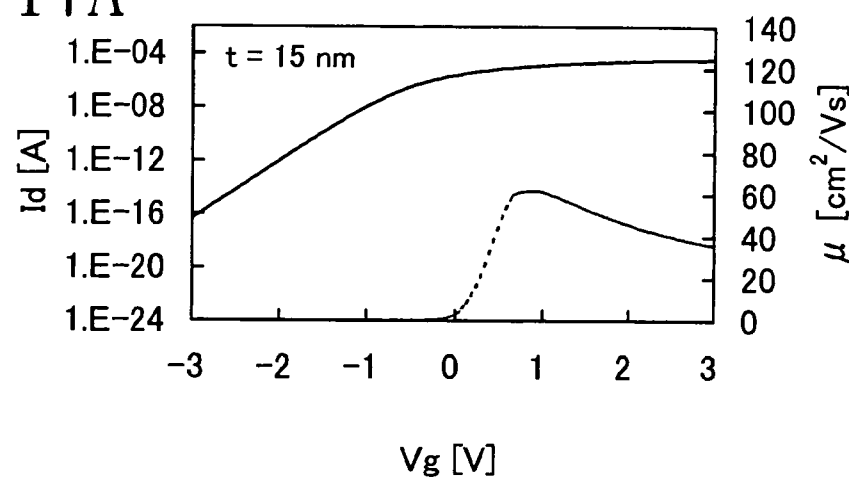


圖 17B

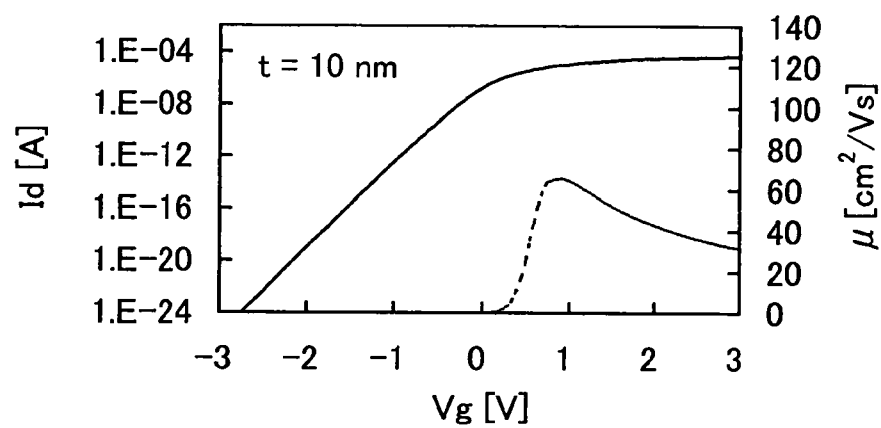


圖 17C

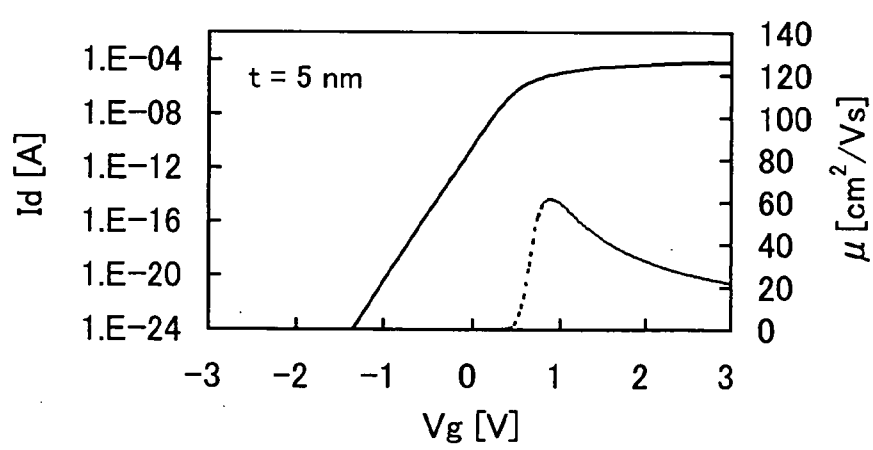


圖 18A

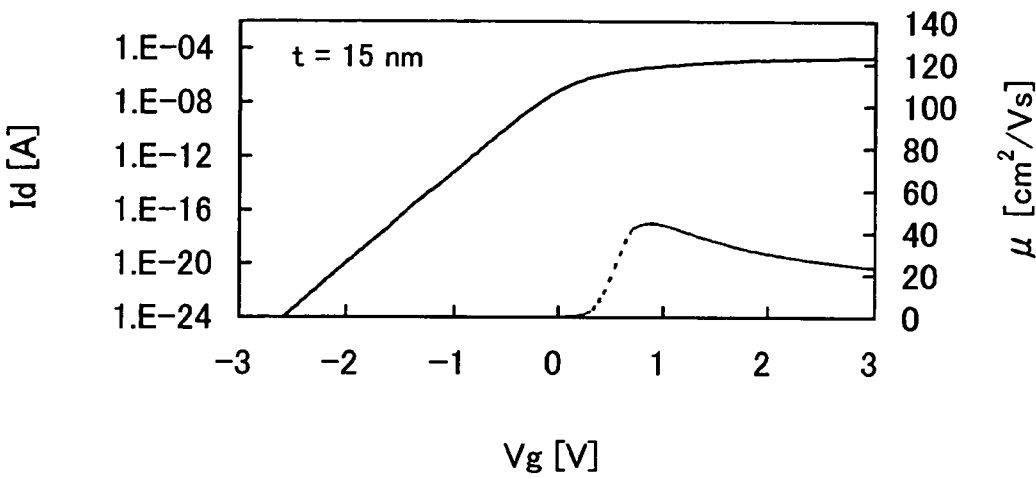


圖 18B

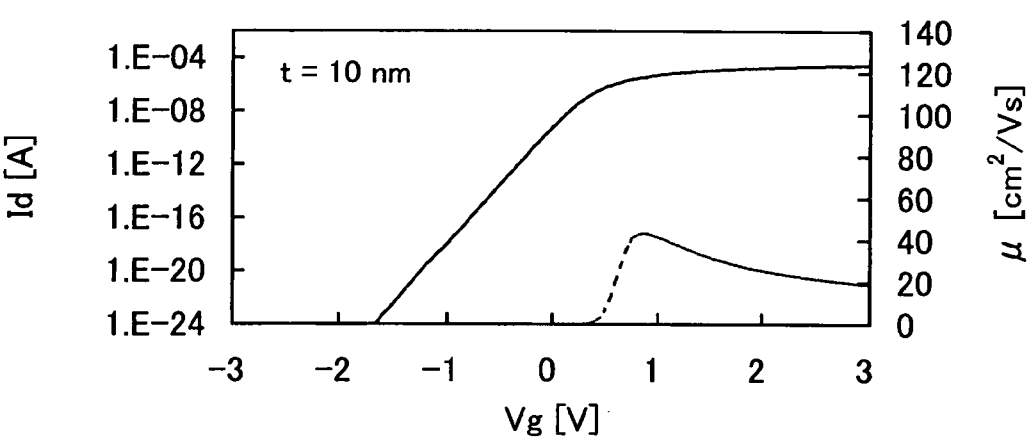


圖 18C

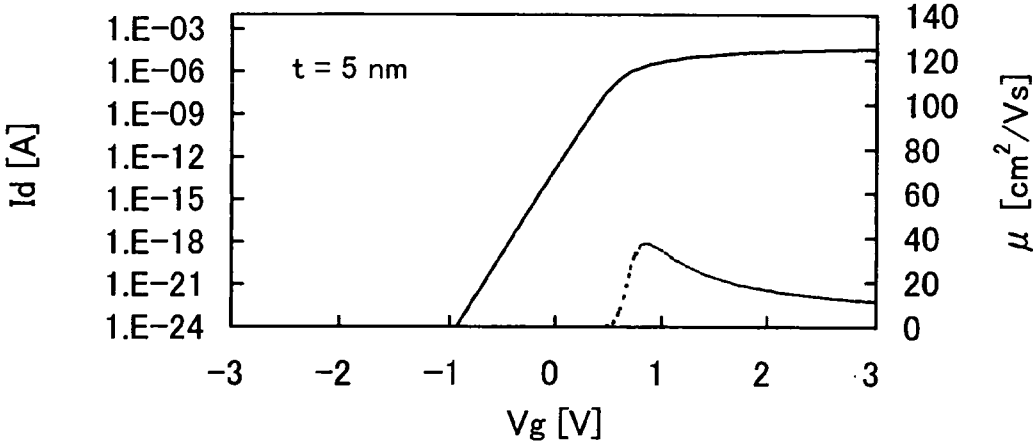


圖 19B

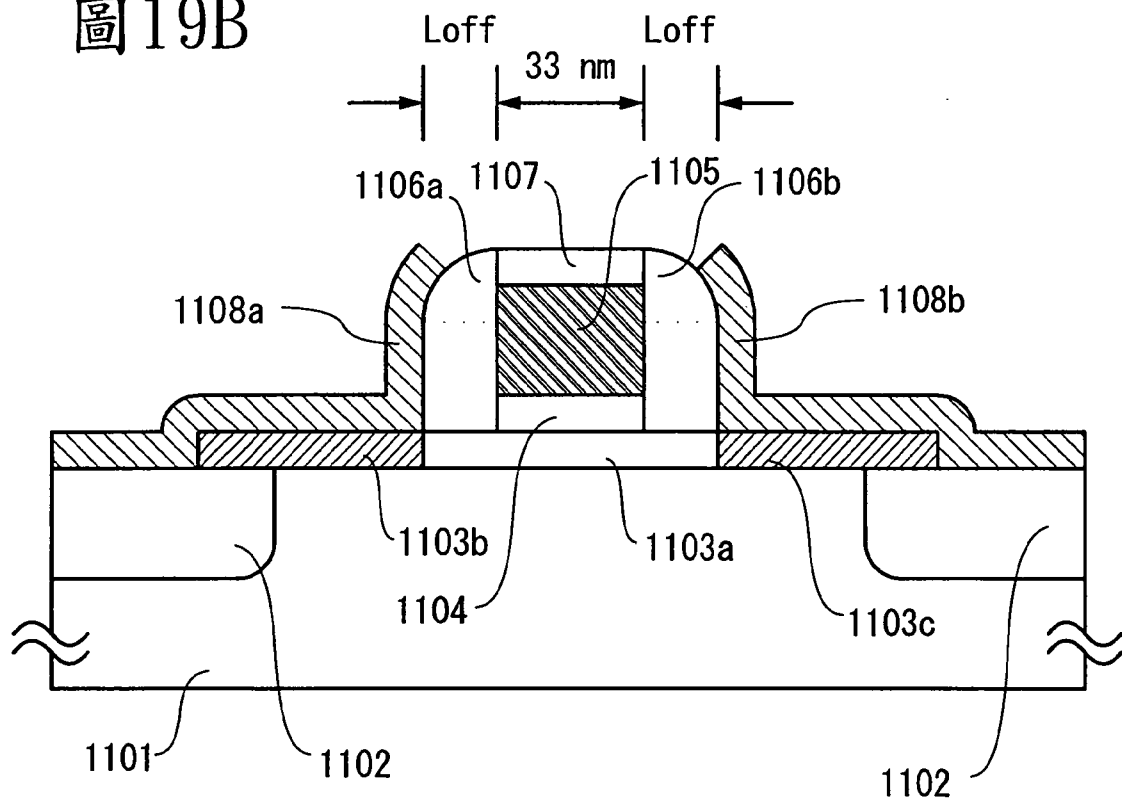


圖 20A

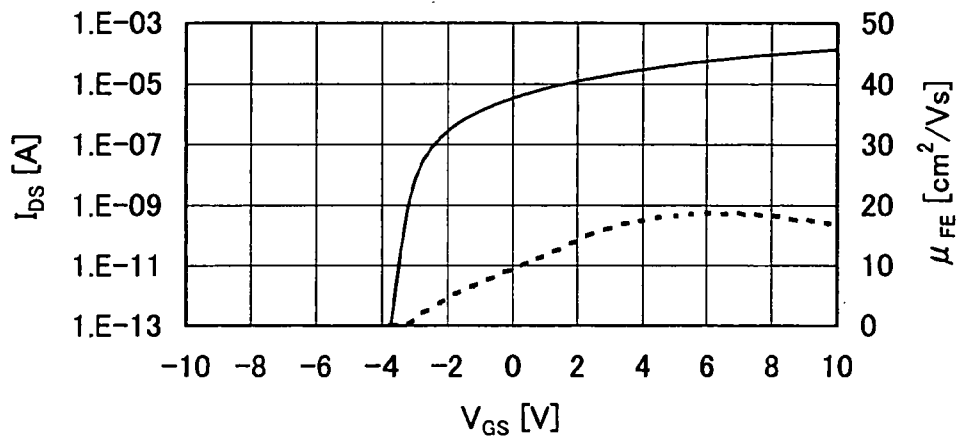


圖 20B

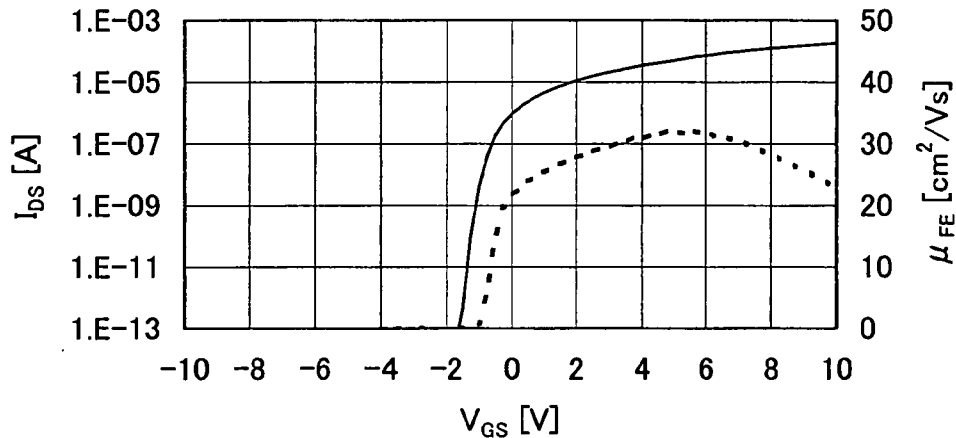


圖 20C

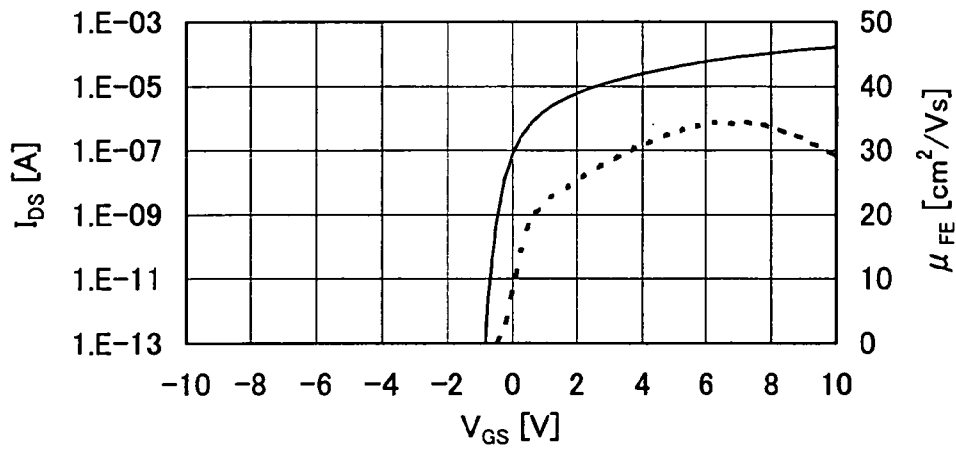


圖 21

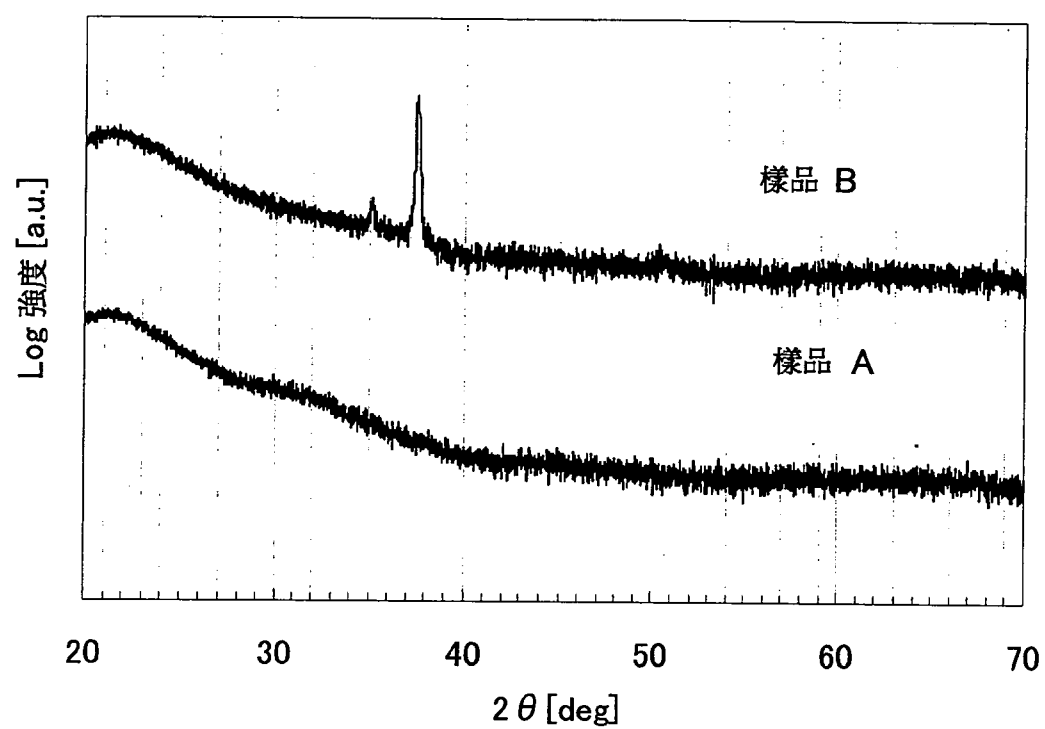


圖 22

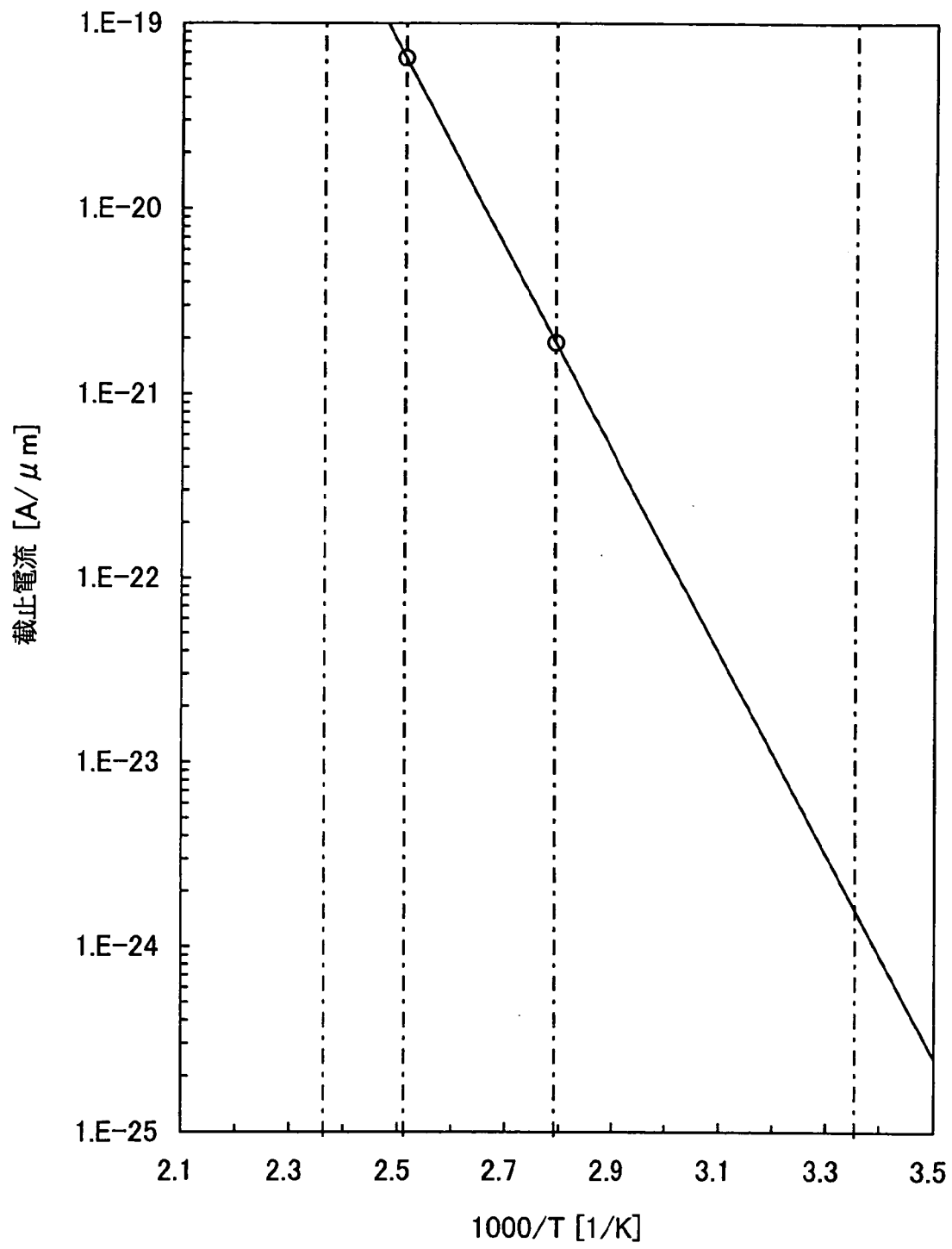


圖 23

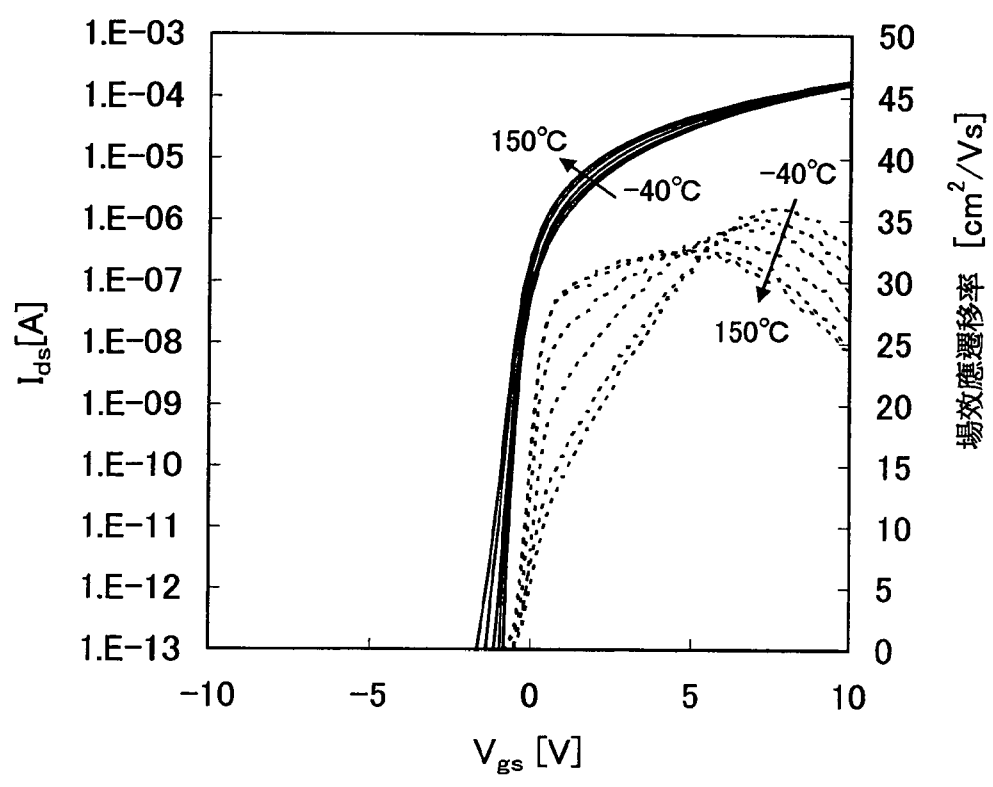


圖 24A

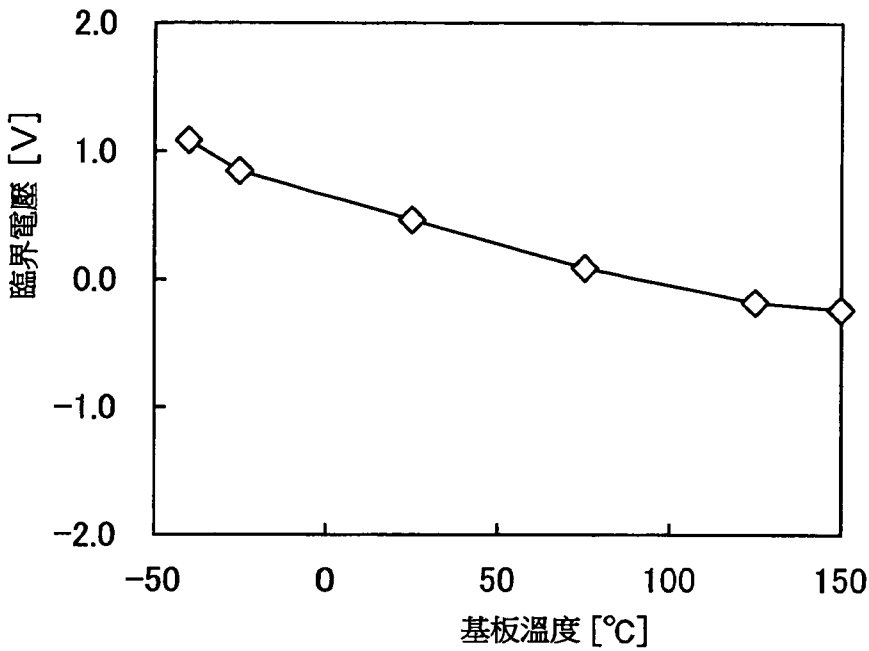


圖 24B

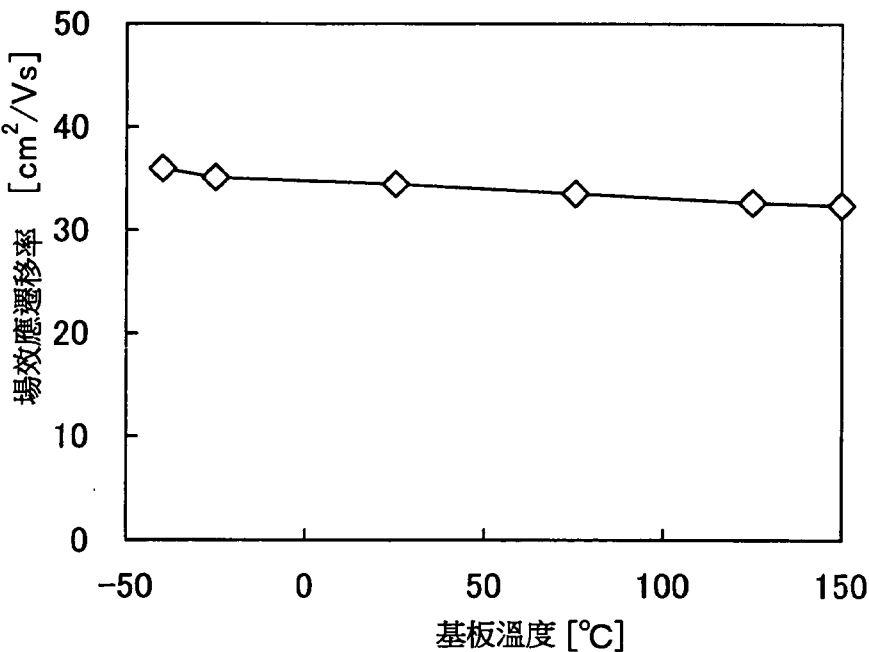


圖 25A

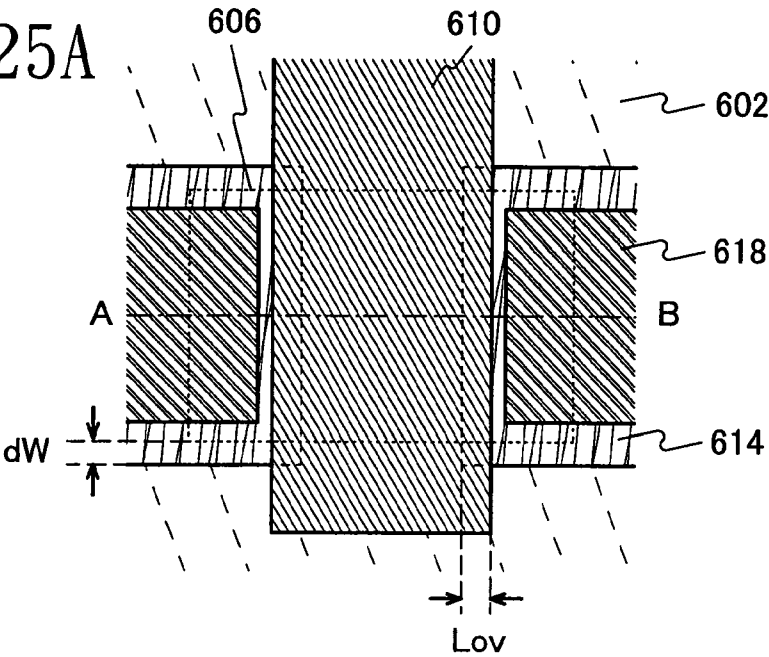


圖 25B

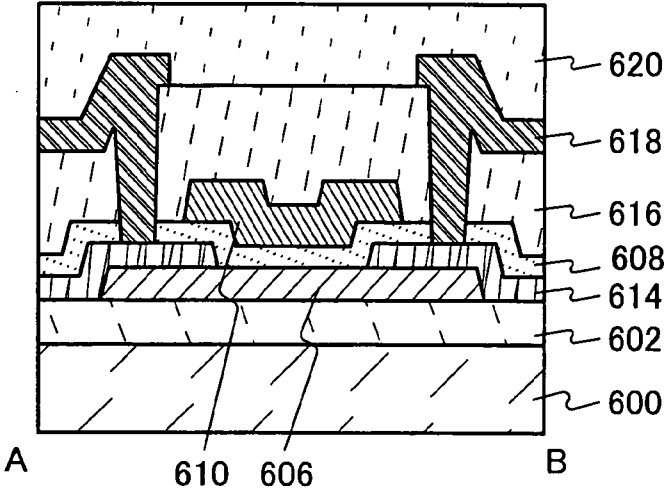


圖 26A

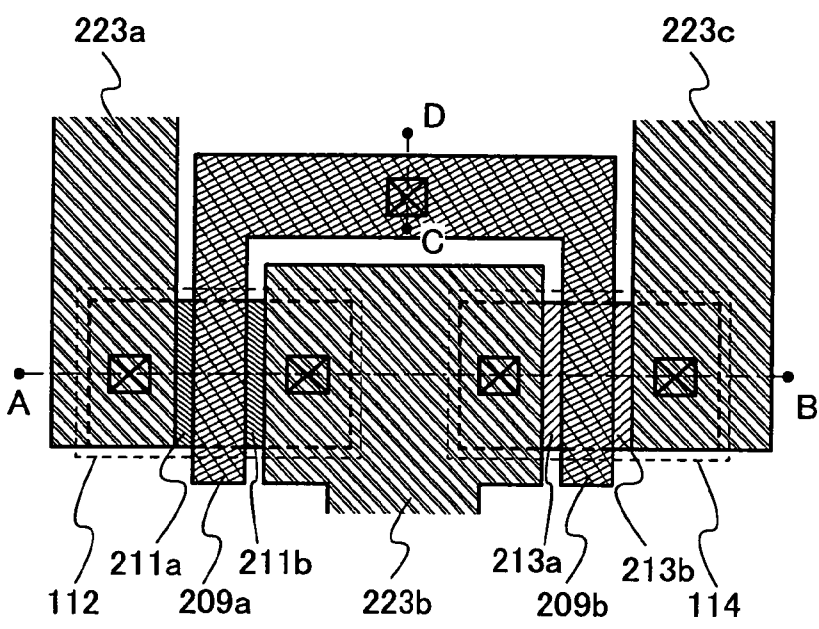


圖 26B

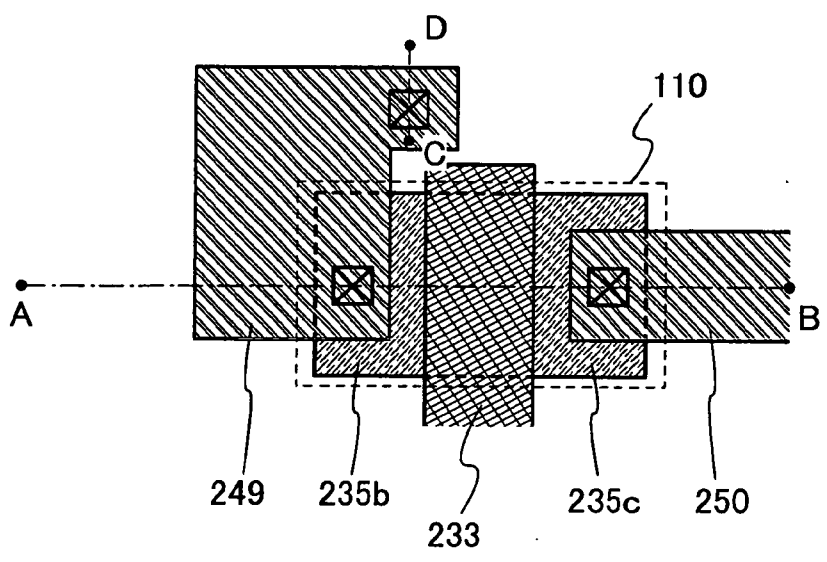


圖 27

