



(12) 发明专利申请

(10) 申请公布号 CN 116671019 A

(43) 申请公布日 2023. 08. 29

(21) 申请号 202180088014.1

(22) 申请日 2021.12.29

(30) 优先权数据

17/139,584 2020.12.31 US

(85) PCT国际申请进入国家阶段日

2023.06.28

(86) PCT国际申请的申请数据

PCT/US2021/065528 2021.12.29

(87) PCT国际申请的公布数据

W02022/147137 EN 2022.07.07

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 德巴普里亚·萨胡 R·萨赫德夫

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 林斯凯

(51) Int.Cl.

H03L 7/093 (2006.01)

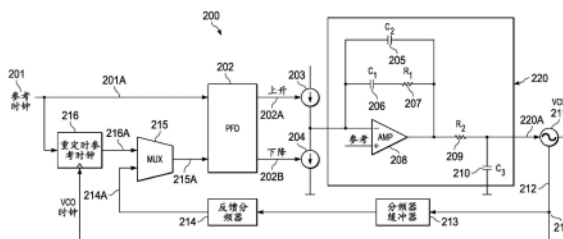
权利要求书3页 说明书10页 附图7页

(54) 发明名称

无反馈分频器的低功率小数模拟PLL

(57) 摘要

提供了一种集成电路设备[200]。在一些示例中,该集成电路设备[200]包括:第一重定时器[216],该第一重定时器被配置为接收参考时钟信号[201]和压控振荡器(VCO)输出信号[212],并且该第一重定时器[216]被配置为响应于参考时钟信号[201]和VCO输出信号[212]而提供第一重定时时钟信号[216A];多路复用器[215]接收第一重定时时钟信号[216A]并提供反馈时钟信号[215A];鉴频鉴相器[202]接收反馈时钟信号[215A]和参考时钟信号[201],并响应于反馈时钟信号[215A]和参考时钟信号[201]而提供误差信号[202A和202B];VCO[211]接收基于误差信号[202A和202B]的电压信号[220A],并且VCO[211]被配置为响应于电压信号[220A]而提供VCO输出信号[212]。



1. 一种集成电路设备,包括:

第一重定时器,所述第一重定时器被配置为接收参考时钟信号和压控振荡器(VCO)输出信号,所述第一重定时器被配置为响应于所述参考时钟信号和所述VCO输出信号而提供第一重定时时钟信号;

第一多路复用器,所述第一多路复用器被配置为接收所述第一重定时时钟信号并提供反馈时钟信号;

鉴频鉴相器(PFD),所述鉴频鉴相器被配置为接收所述反馈时钟信号和所述参考时钟信号,并响应于所述反馈时钟信号和所述参考时钟信号而提供误差信号;以及

VCO,所述VCO被配置为接收基于所述误差信号的电压信号,所述VCO被配置为响应于所述电压信号而提供所述VCO输出信号。

2. 根据权利要求1所述的集成电路设备,进一步包括:

电荷泵,所述电荷泵被配置为接收所述误差信号并提供电荷泵输出信号;

滤波器,所述滤波器被配置为接收所述电荷泵输出信号并提供所述电压信号;以及

反馈分频器,所述反馈分频器被配置为接收所述VCO输出信号并向所述第一多路复用器提供反馈分频器信号;

其中,所述反馈分频器被配置为禁用。

3. 根据权利要求2所述的集成电路设备,其中:

所述反馈分频器被配置为接收调制信号;并且

所述第一多路复用器被配置为接收所述调制信号。

4. 根据权利要求3所述的集成电路设备,进一步包括:

调制器,所述调制器被配置为提供所述调制信号,其中,所述调制器是sigma-delta调制器。

5. 根据权利要求4所述的集成电路设备,进一步包括:

第二多路复用器,所述第二多路复用器被配置为接收所述参考时钟信号和所述反馈分频器信号,并向所述调制器提供时钟输入信号。

6. 根据权利要求1所述的集成电路设备,进一步包括:

第二重定时器,所述第二重定时器被配置为接收所述第一重定时时钟信号、所述参考时钟信号和所述VCO输出信号,并响应于所述参考时钟信号和所述VCO输出信号而提供第二重定时时钟信号;

第三重定时器,所述第三重定时器被配置为接收所述第二重定时时钟信号、所述参考时钟信号和所述VCO输出信号,并响应于所述参考时钟信号和所述VCO输出信号而提供第三重定时时钟信号;以及

第四重定时器,所述第四重定时器被配置为接收所述第三重定时时钟信号、所述参考时钟信号和所述VCO输出信号,并响应于所述参考时钟信号和所述VCO输出信号而提供第四重定时时钟信号。

7. 根据权利要求6所述的集成电路设备,其中:

所述第一多路复用器被配置为接收所述第二重定时时钟信号、所述第三重定时时钟信号和所述第四重定时时钟信号。

8. 根据权利要求7所述的集成电路设备,其中:

所述第一多路复用器基于所述第一重定时时钟信号、所述第二重定时时钟信号、所述第三重定时时钟信号、所述第四重定时时钟信号来提供反馈时钟信号。

9. 根据权利要求3所述的集成电路设备, 其中:

所述反馈分频器被配置为响应于低功率运行模式而被禁用。

10. 根据权利要求2所述的集成电路设备, 进一步包括:

分频器缓冲器, 所述分频器缓冲器耦合到所述反馈分频器。

11. 根据权利要求2所述的集成电路设备, 其中:

所述滤波器包括有源滤波器。

12. 根据权利要求1所述的集成电路设备, 其中:

所述误差信号包括上升脉冲或下降脉冲。

13. 一种集成电路, 包括:

第一重定时器, 所述第一重定时器包括:

耦合到参考时钟第一输入端;

第二输入端; 以及

输出端;

第一多路复用器, 所述第一多路复用器包括:

耦合到所述第一重定时器的输出端的第一输入端;

第二输入端; 以及

输出端;

鉴频鉴相器 (PFD), 所述鉴频鉴相器包括:

耦合到所述参考时钟的第一输入端;

耦合到所述第一多路复用器的输出端的第二输入端; 以及

输出端;

电荷泵, 所述电荷泵包括:

耦合到所述PFD的输出端的输入端; 以及

输出端;

滤波器, 所述滤波器包括:

耦合到所述电荷泵的输出端的输入端; 以及

输出端; 以及

压控振荡器 (VCO), 所述压控振荡器包括:

耦合到所述滤波器的输出端的输入端; 以及

耦合到所述第一重定时器的第二输入端的输出端。

14. 根据权利要求13所述的集成电路, 进一步包括:

反馈分频器, 所述反馈分频器包括:

耦合到所述VCO的输出端的第一输入端; 以及

耦合到所述第一多路复用器的第二输入端的输出端; 以及

调制器, 所述调制器包括:

输入端; 以及

耦合到所述反馈分频器的第二输入端的输出端。

15. 根据权利要求14所述的集成电路,进一步包括:
第二多路复用器,所述第二多路复用器包括:
耦合到所述参考时钟的第一输入端;
耦合到所述反馈分频器的输出端的第二输入端;以及
耦合到所述调制器的输入端的输出端。
16. 根据权利要求15所述的集成电路,进一步包括:
第二重定时器,所述第二重定时器包括:
耦合到所述参考时钟的输入端;以及
耦合到所述第一多路复用器的输出端;
第三重定时器,所述第三重定时器包括:
耦合到所述参考时钟的输入端;以及
耦合到所述第一多路复用器的输出端;以及
第四重定时器,所述第四重定时器包括:
耦合到所述参考时钟的输入端;以及
耦合到所述第一多路复用器的输出端。
17. 一种方法,包括:
由重定时器接收参考时钟信号和压控振荡器(VCO)输出信号;
由所述重定时器根据所述VCO输出信号对所述参考时钟信号进行重定时,以产生重定时时钟信号;
由鉴频鉴相器(PFD)基于所述重定时时钟信号和所述参考时钟信号来确定误差信号;
以及
基于所述误差信号来修改所述VCO输出信号。
18. 根据权利要求17所述的方法,其中,所述重定时时钟信号包括:
基于所述参考时钟信号和所述VCO输出信号的第一重定时时钟信号;
基于所述参考时钟信号和所述VCO输出信号的第二重定时时钟信号;
基于所述参考时钟信号和所述VCO输出信号的第三重定时时钟信号;以及
基于所述参考时钟信号和所述VCO输出信号的第四重定时时钟信号。
19. 根据权利要求17所述的方法,进一步包括:
由多路复用器接收所述重定时时钟信号;
由所述多路复用器接收反馈分频器信号;以及
由所述多路复用器接收来自调制器的调制信号,
其中,所述多路复用器被配置为输出所述误差信号。
20. 根据权利要求19所述的方法,进一步包括:
接收用于运行于分频器禁用模式的信号;以及
响应于接收到用于运行于所述分频器禁用模式的所述信号,禁用所述反馈分频器信号。

无反馈分频器的低功率小数模拟PLL

背景技术

[0001] 在电池供电设备中,电池续航时间取决于设备内各种系统的功耗。能够发送和/或接收的无线设备可以具有例如信号链和本地振荡器(L0)系统。信号链可以包括滤波器、放大器、模数转换器和其他部件。虽然降低无线设备的信号链中的这些设备所消耗的功率是节省功率的一个方面,但无线设备的L0系统的各种部件也会消耗功率,如果该功率被节省,也能够延长电池续航时间。

[0002] L0的一个部件可以是锁相环(PLL)。PLL具有广泛的用途,从简单的时钟净化电路到用于高频无线电通信链路(比如用于无线连接中的链路)的L0。PLL将参考信号的相位与可调反馈信号的相位进行比较。该比较可以使用反馈环路来实现,并且当反馈环路中的比较处于稳态,即输出频率和相位与误差检测器中的参考频率和相位相匹配时,PLL被锁定。

[0003] 为了保持锁定,PLL通常会消耗大量的功率。一种用于减少PLL所消耗的功率量的方式是在不需要PLL时将其关闭。在如移动电话等无线设备中,这些设备在其大部分时间处于睡眠模式,无线设备中的许多电路会被关闭。当处于睡眠模式时,无线设备可以在监听或嗅探模式下运行,有功功耗非常低。在监听或嗅探模式下,无线设备监听信号以将自身退出睡眠模式,恢复正常运行。然而,在监听或嗅探模式期间,PLL仍然可能会消耗功率,因为在监听或嗅探功能期间需要准确的L0。

[0004] 在高频无线通信中,可以使用小数PLL来将输出调整到所需的高频信道,并且小数PLL可以包括反馈分频器电路,该反馈分频器电路即使在无线设备处于监听或嗅探模式时也会消耗相对大量的功率。一些PLL包括压控振荡器(VCO)。因此,一些应用可以在开环中运行PLL的VCO,以避免在反馈分频器电路中消耗功率。但是,残余频率误差和升高的相位噪声限制了开环VCO的可用性,并且对于一些无线通信,开环VCO即使在监听或嗅探操作期间也不能提供可接受的结果。

发明内容

[0005] 在一些示例中,提供了一种集成电路,该集成电路包括小数PLL,该小数PLL被配置为运行于分频器禁用模式。该小数PLL可以包括鉴频鉴相器(PFD)、电荷泵、环路滤波器、VCO、反馈分频器、sigma-delta调制器、基于VCO输出的重定时时钟信号和/或其他适合的部件。该反馈分频器可以被禁用,使得小数PLL的反馈分频器电路不消耗功率。重定时时钟信号可以与来自sigma-delta调制器的sigma-delta调制多路复用。重定时时钟信号可以包括多个重定时时钟信号。PFD可以确定重定时时钟信号与参考时钟之间的误差,并且重定时时钟信号与参考时钟之间的该误差被用来调整VCO的输出,以在所述反馈分频器被禁用时实现对PLL的锁定。

[0006] 在一些示例中,一种集成电路设备包括第一重定时器,该第一重定时器被配置为接收参考时钟信号和压控振荡器(VCO)输出信号,该第一重定时器被配置为响应于该参考时钟信号和该VCO输出信号而提供第一重定时时钟信号。该集成电路设备还包括第一多路复用器,该第一多路复用器被配置为接收第一重定时时钟信号并提供反馈时钟信号。该集

成电路设备还包括鉴频鉴相器 (PFD), 该鉴频鉴相器被配置为接收反馈时钟信号和参考时钟信号, 并响应于该反馈时钟信号和该参考时钟信号而提供误差信号。该集成电路设备还包括VCO, 该VCO被配置为接收基于误差信号的电压信号, 该VCO被配置为响应于该电压信号而提供VCO输出信号。

[0007] 在一些示例中, 一种集成电路包括第一重定时器, 该第一重定时器包括: 耦合到参考时钟的第一输入端; 第二输入端; 以及输出端。该集成电路还包括第一多路复用器, 该第一多路复用器包括: 耦合到第一重定时器的输出端的第一输入端; 第二输入端; 以及输出端。该集成电路还包括PFD, 其包括: 耦合到参考时钟的第一输入端; 耦合到第一多路复用器的输出端的第二输入端; 以及输出端。该集成电路还包括电荷泵, 该电荷泵包括: 耦合到PFD的输出端的输入端; 以及输出端。该集成电路还包括滤波器, 该滤波器包括: 耦合到电荷泵的输出端的输入端; 以及输出端。该集成电路还包括VCO, 该VCO包括: 耦合到滤波器的输出端的输入端; 以及耦合到第一重定时器的第二输入端的输出端。该集成电路还包括反馈分频器, 该反馈分频器包括: 耦合到VCO的输出端的第一输入端; 以及耦合到第一多路复用器的第二输入端的输出端。

[0008] 在一些示例中, 一种方法包括由重定时器接收参考时钟信号和压控振荡器 (VCO) 输出信号。该方法进一步包括由重定时器根据VCO输出信号对参考时钟信号进行重定时, 以产生重定时时钟信号。该方法进一步包括由鉴频鉴相器 (PFD) 基于重定时时钟信号和参考时钟信号来确定误差信号。该方法进一步包括基于误差信号来修改VCO输出信号。

附图说明

[0009] 从以下具体实施方式和附图中可以理解本发明的特征。

[0010] 图1是LO PLL电路的电路图。

[0011] 图2A是根据本披露的一些方面的LO PLL电路的电路图。

[0012] 图2B是根据本披露的一些方面的时序图。

[0013] 图3A是根据本披露的一些方面的LO PLL电路的电路图。

[0014] 图3B是根据本披露的一些方面的时序图。

[0015] 图4是根据本披露的一些方面的时序图。

[0016] 图5是根据本披露的一些方面的执行本地振荡的方法的流程图。

具体实施方式

[0017] 下文参考附图对具体示例进行详细描述。应当理解的是, 这些示例并不旨在限制, 并且除非另有说明, 否则任何特征都不是任何特定示例所必需的。

[0018] 使用小数PLL的示例LO包括PFD、电荷泵、滤波器、VCO和分频器电路。LO将参考时钟信号与来自反馈分频器的反馈信号进行比较, 并且比较的结果被用来控制VCO直到PLL进入锁定为止。LO可以包括一个或多个滤波器和放大器以处理误差信号。另外, 反馈电路可以包括调制器和一个或多个分频器缓冲器。

[0019] 分频器电路可以提供与参考时钟信号进行比较的反馈时钟信号。在一些示例中, 分频器电路被禁用。当比如通过将VCO输出端与分频器电路断开连接而禁用分频器电路时, 可以从VCO的相位信息中得到反馈时钟信号, 从而产生重定时时钟信号。重定时时钟信号边

沿在正确的相位检测时间将VCO的相位信息带到PFD。

[0020] 在一些示例中,可以针对多个后续时钟边沿扩展重定时时钟信号,以提供一组重定时时钟信号。该组重定时时钟信号可以用于小数合成。在一些示例中,分频器电路可以包括sigma-delta调制器,并且sigma-delta调制器的输出可以用来从该组重定时时钟信号中随机选择以产生误差信号,该误差信号将VCO输出频率驱动为参考频率的整数加上某个小数倍。

[0021] 在这些示例和其他示例中,L0在分频器电路被禁用时表现出功耗降低,并且表现出残余频率误差及相位噪声得到改善。

[0022] 当然,这些优点仅是示例,任何优点都不是任何特定实施例所必需的。

[0023] 下文参考附图对分频器电路被禁用的集成电路设备的示例进行描述。

[0024] 分频器电路可以与小数合成相关联。小数N频率合成提供了大带宽下的小步长(窄带信道),而无需大分频比。这克服了与L0锁相环的数字分频器中非常高的分频比相关联的问题,这些问题可能会在使用非常高的频率(比如无线通信中的频率)时发生。无线频率可以在千兆赫兹范围内。例如,无线通信中使用的频率范围包括:900MHz、2.4GHz、3.6GHz、4.9GHz、5GHz、5.9GHz和60GHz频段。这些频段中的信道间隔可以仅为几千赫兹(例如,200KHz)。将如此高的频率向下分频为如40MHz或80MHz等参考时钟信号需要非常高的分频比,从而会导致性能问题并且需要大量的功率。

[0025] 为了在高频下实现信道之间的小步长,同时仍提供合理的工作频率,需要非常高的分频比。例如,工作于10MHz并且需要100Hz步长的PLL将需要100,000的分频比。如此大的分频比会影响PLL性能,因为PLL带宽可能为参考比较频率的十分之一左右。对于以上示例,这意味着PLL带宽仅为10Hz,并且这将导致性能损失,因为会导致PLL的频率切换慢、无源部件尺寸大以及在接近载波的频率处存在高相位噪声。

[0026] 小数N合成避免了大分频比,因为该分频器采用小数分频比,而不是整数分频比。为了实现这一点,分频器在不同的分频比之间交替。例如,其可以在N、N+1、N-1和N-2——给出所需频率而确定的各种分频比的比例——之间变化。N、N+1、N-1和N-2之间的分频比给出四个分频比之间的频率,并且被认为是二阶调制。在另一个示例中,一阶调制提供N和N+1的分频比范围,并且给出两个分频比之间的频率。三阶调制可以提供N、N+1、N+2、N+3、N-1、N-2、N-3和N-4之间的分频比。可以使用附加阶数的调制。使用小数n合成的优点在于,频率步长可以很小,同时仍允许有高比较频率和环路带宽,以提高整体合成器性能。

[0027] 在这方面,图1是使用具有sigma-delta调制的小数PLL的L0 PLL电路100的电路图。参考时钟信号101A由PFD 102接收。来自参考时钟101的参考时钟信号101A是将用于对输出进行锁相的稳定准确的频率参考。参考时钟信号101A例如可以从晶体振荡器或温控晶体振荡器得到。

[0028] PFD 102将反馈时钟信号116与参考时钟信号101A进行比较,并得到参考时钟信号101A与反馈时钟信号116之间的相位误差信号102A和102B。PFD 102例如可以包括与与门耦合的两个触发器。

[0029] 电荷泵103和104将相位误差信号102A和102B转换为包括与相位误差成比例的正电流脉冲串或负电流脉冲串的电荷泵输出信号。电荷泵103可以提供上升脉冲,并且电荷泵104可以提供下降脉冲。上升脉冲的持续时间与参考时钟信号101A和反馈时钟信号116之间

的任何差异成比例。下降脉冲的持续时间可以由PFD 102预先确定。例如,下降脉冲的延迟可以由PFD 102中的比如反相器延迟等内部电路系统来定义。当使用小数合成的LO PLL电路100被锁定时,上升脉冲的平均持续时间将等于下降脉冲的持续时间。使用整数N合成时,当上升脉冲的持续时间等于下降脉冲的持续时间时,就实现锁定。

[0030] 电荷泵103和104通过将电流泵入环路滤波器120或将电流泵出环路滤波器120并泵入地来响应相位误差信号102A和102B。电荷泵103和104可以是等权重电流源。

[0031] 环路滤波器120包括放大器108、电容器 C_1 106、电阻器 R_1 107、电容器 C_2 105、电阻器 R_2 109和电容器 C_3 110。环路滤波器120对来自电荷泵103和104的电流脉冲进行积分,以向VCO 111提供干净的电压信号120A。此外,使用运算放大器108的有源环路滤波器拓扑使得环路滤波器120能够达到更高的调谐电压,同时确保电荷泵电流源的良好偏置裕度。有源滤波器包括放大器108、电容器 C_1 106、电阻器 R_1 107、电容器 C_2 105,并且有源滤波器控制电压信号120A。电容器 C_2 105滤除由采样引起的高频噪声杂散。电阻器 R_1 107通过将误差信号的相位校正分量与频率校正分量相隔离来提供稳定性。无源低通滤波器包括用于抑制高频抖动的电阻器 R_2 109和电容器 C_3 110。

[0032] 来自环路滤波器120的电压信号120A驱动VCO 111。VCO 111输出基于电压信号120A的频率。例如,当电压信号120A上升时,VCO 111的频率会增加,并且当电压信号120A下降时,VCO 111的频率会降低。VCO输出112被反馈到LO PLL电路100上。

[0033] 在LO PLL电路100的反馈环路中,VCO输出112由分频器缓冲器113接收。分频器缓冲器113的输出由反馈分频器114接收。反馈分频器114还接收来自sigma-delta调制器115的调制信号115A。反馈分频器114充当可调分频器,并且对反馈分频器114的控制由来自sigma-delta调制器115的调制信号115A提供。sigma-delta调制器115提供脉冲密度,并且脉冲密度表示信号在特定周期内的平均值。来自sigma-delta调制器115的调制信号115A是用于反馈分频器114的分频器模数,其能够实现小数N合成。反馈时钟信号116被提供给sigma-delta调制器115和PFD 102,在该PFD处过程再次开始。

[0034] 可以用以下示例来解释图1中的小数合成:在可以以1MHz的步长从2.402GHz被调谐到2.480GHz且具有19.68MHz的参考时钟的PLL中,当分频器模数N被设置为122时,PLL输出2.40096GHz,并且当分频器模数N被设置为123时,PLL输出2.42064GHz。如果期望输出为2.403GHz,则分频器模数N需要是介于122与123之间的非整数值。因为分频器模数必须是整数值,所以这不能被直接实施。然而,可以在每个参考周期更新分频器模数,如此在N=122与N=123之间切换,使得许多参考周期内的平均模数收敛到122与123之间的所期望的N值。来自sigma-delta调制器115的调制提供了将收敛于所期望的N值上的平均模数。

[0035] 图1中示出了参考时钟信号101A和反馈时钟信号116的示例性时序图。在该示例中,来自sigma-delta调制器115的调制阶数为N、N+1、N-1和N-2,从而给出四个分频比之间的频率。图1中仅示出了N-2、N-1和N+1。图1中的时序图披露了参考时钟信号101A与反馈时钟信号116之间在三个分频比上的差异。

[0036] 在图1的LO PLL电路100中,包括反馈分频器114、分频器缓冲器113和sigma-delta调制器115的分频器电路消耗了PLL中的大部分功率。例如,LO PLL电路100可能消耗大约7mA的功率,而分频器电路可能消耗7mA中的大约4mA。

[0037] 图2A是根据本披露的一些方面的LO PLL电路200的电路图。参考时钟信号201A由

PFD 202接收。来自参考时钟201的参考时钟信号201A是将用于对输出进行锁相的稳定准确的频率参考。参考时钟信号201A例如可以从晶体振荡器或温控晶体振荡器得到。时钟参考201由重定时器216接收。重定时器216还接收VCO输出信号212。重定时器216生成重定时时钟信号216A,该重定时时钟信号在正确的相位检测时间将VCO 211的相位信息带到PFD 202。例如,在参考时钟201为高电平并且VCO输出信号212变为高电平时,重定时器216锁存。类似地,例如,在参考时钟信号201A为低电平并且VCO输出信号212变为低电平时,重定时时钟信号216A变为低电平。因此,来自VCO 211的相位信息被捕获并且包括重定时时钟信号216A,该重定时时钟信号可以在反馈环路中用于调谐VCO 211输出。下文将关于图2B进一步解释重定时器216的功能。

[0038] 重定时时钟信号216A被提供给多路复用器215。多路复用器215还接收来自反馈分频器214的反馈分频器信号214A。多路复用器215在重定时时钟信号216A与反馈分频器信号214A之间选择。在示例中,当反馈分频器214被禁用时,多路复用器输出215A包括重定时时钟信号216A。在示例中,当反馈分频器214被启用时,多路复用器输出215A包括反馈分频器信号214A。

[0039] PFD 202接收参考时钟信号201A和多路复用器输出215A。PFD 202将多路复用器输出215A与参考时钟信号201A进行比较,并得到多路复用器输出215A与参考时钟信号201A之间的相位误差信号。如上文关于图1所描述的,电荷泵203和204将来自PFD 202的相位误差信号202A和202B转换为与相位误差成比例的正电流脉冲串或负电流脉冲串。来自电荷泵203和204的电流脉冲由环路滤波器220滤波,该环路滤波器包括放大器208、电容器 C_1 206、电阻器 R_1 207、电容器 C_2 205、电阻器 R_2 209和电容器 C_3 210。来自环路滤波器220的电压信号220A被输入到VCO 211,以控制VCO输出信号212,如关于图1所描述的。在示例中,环路滤波器220可以包括比本文所列出的部件更少的部件。例如,环路滤波器220可以将包括电阻器 R_2 209和电容器 C_3 210的无源滤波器排除在外。

[0040] 在示例中,L0 PLL电路200可以包括用于禁用反馈分频器214并使L0 PLL电路运行于分频器禁用模式的装置。可以禁用反馈分频器214以节省功率。例如,当无线设备处于睡眠模式时,无线设备可以进入低功率运行模式或嗅探/监听模式以节省功率。在低功率运行模式或睡眠模式下,L0 PLL电路200可以禁用反馈分频器214。然后,在一个示例中,可以接收指示无线设备要“苏醒”并接收消息的信号,因此分频器禁用模式将被关闭或解除,以使反馈分频器214能够恢复正常运行。反馈分频器214可以通过例如节点217处的开关来禁用,该开关用于使VCO输出信号212在反馈分频器214与重定时器216之间切换。由L0 PLL电路200或在开关处接收到的信号可以指示通过例如将VCO输出信号212切换到重定时器216而使L0 PLL电路200运行于分频器禁用模式。在另一个示例中,可以使用分频器缓冲器213与节点217之间的缓冲器或反相器(未示出)来禁用反馈分频器214。在示例中,缓冲器或反相器可以包括接收用于运行于分频器禁用模式的信号的输出使能功能,该输出使能功能可以用来使VCO输出信号212不能被分频器缓冲器213和反馈分频器214接收。这有效地禁用了反馈分频器214和分频器缓冲器213。在示例中,缓冲器或反相器可以被放置在重定时器216与节点217之间,以禁用或启用到重定时器216的VCO输出信号212。这些是可以禁用反馈分频器214以节省功率的示例性装置,并且其不限于本披露。可以设想控制到反馈分频器214的VCO输出信号212的任何装置。用于禁用反馈分频器214的装置可以由软件、硬件或硬件和软

件的组合来控制。

[0041] 在实施例中,当LO PLL电路200处于监听或嗅探模式时,反馈分频器214可以使用上述装置中的任一个或多个来运行于分频器禁用模式,从而节省能量。当反馈分频器214被禁用时,LO PLL电路200例如通过以上所描述的装置被配置,使得VCO输出信号212可以由重定时器216接收。

[0042] 图2B是根据本披露的一些方面的时序图250。时序图250披露了参考时钟信号201A、VCO输出信号212、重定时时钟信号216A、上升脉冲信号254和下降脉冲信号255。在示例中,参考时钟信号201A比VCO输出信号212要慢。

[0043] 重定时器216接收来自时钟参考201的参考时钟信号201A和来自VCO 211的VCO输出信号212。重定时器216输出重定时时钟信号216A。重定时器216可以包括一个或多个锁存器。当参考时钟信号201A变为高电平并且VCO输出信号212变为高电平时,重定时器216锁存VCO输出信号212,并且来自重定时器216的重定时时钟信号216A变为高电平。当参考时钟信号201A变为低电平并且VCO输出信号212变为低电平时,来自重定时器216的重定时时钟信号216A则变为低电平。

[0044] 现在参考上升脉冲信号254,上升脉冲在参考时钟信号201A变为高电平时被触发,并且该上升脉冲在重定时时钟信号216A变为高电平时变为低电平。因此,上升脉冲信号254的宽度与参考时钟信号201A和重定时时钟信号216A之间的相位差成比例。

[0045] 现在参考下降脉冲信号255,在示例中,PFD 202预定义下降脉冲信号的宽度。例如,PFD 202的部件(比如但不限于反相器)可以定义下降脉冲信号255。在示例中,下降脉冲信号255可以由其他硬件、软件或硬件和软件的组合来定义。

[0046] 在整数N合成中,当上升脉冲信号254的宽度等于下降脉冲信号255的宽度时,LO PLL电路200被锁定。

[0047] 图3A是根据本披露的一些方面的使用小数合成的LO PLL电路300的电路图。LO PLL电路300包括重定时器316,该重定时器可以提供一个或多个重定时时钟信号。在示例中,重定时器316提供第一重定时时钟信号321、第二重定时时钟信号322、第三重定时时钟信号323和第四重定时时钟信号324,其各自都具有基于VCO输出信号312的后续边沿。在示例中,第二重定时时钟信号322可以被延迟VCO输出信号312的一个周期;第三重定时时钟信号323可以被延迟VCO输出信号312的两个周期;并且第四重定时时钟信号324可以被延迟VCO输出信号312的三个周期。一个或多个重定时时钟信号可以被延迟任何量,并且以上示例不是限制性的。

[0048] 为了生成重定时时钟信号321、322、323和324,重定时器316接收来自参考时钟301的参考时钟信号301A和来自VCO 311的VCO输出信号312。在该示例中,重定时器316可以表示四个重定时器。在其他示例中,重定时器316可以表示更多或更少的重定时器。回到图3A,参考时钟信号301A可以被串行地应用于重定时器316的四个重定时器,使得每个重定时器依次接收VCO输出信号312。由通过每个重定时器的参考时钟信号301A的串行连接所引起的延迟提供了来自重定时器316的后续延迟的重定时时钟信号321、322、323和324(统称为重定时时钟信号316A)。图3A中的串行连接例如披露了由重定时器325接收的参考时钟信号301A。然后,来自重定时器325的重定时时钟信号321被提供给重定时器326。重定时器326输出重定时时钟信号322,该重定时时钟信号由重定时器327接收,并且重定时器327输出重定

时时钟信号323。重定时时钟信号323由重定时器328接收,该重定时器输出重定时时钟信号324。重定时时钟信号324由重定时器329接收。每个重定时器325-329可以对各自接收到的传入重定时时钟信号提供不同的效果。重定时器325-329可以分别延迟或增加定时。

[0049] 重定时时钟信号316A中的每一个如上文关于图2A和图2B所解释的那样来确定。当参考时钟信号301A变为高电平并且VCO输出信号312变为高电平时,重定时时钟信号则变为高电平,并且当参考时钟信号301A变为低电平并且VCO输出信号312变为低电平时,重定时时钟信号则变为低电平。如上文所描述的,因为参考时钟信号301A在重定时器316的一个或多个重定时器之间被串行接收,所以重定时器316的重定时时钟信号316A可以被延迟,从而产生由多路复用器315接收的多个后续时钟边沿。

[0050] 多路复用器315接收重定时时钟信号316A以及反馈分频器信号314A。另外,多路复用器315接收来自sigma-delta调制器318的调制信号318A。在示例中,调制信号318A是sigma-delta调制信号。虽然图3A中的示例披露了sigma-delta调制器318,但是本披露不限于sigma-delta调制,并且可以使用其他调制器等来实现小数合成。

[0051] 在小数合成使用二阶调制的示例中,有四个重定时时钟信号,并且调制信号318A包括由多路复用器315接收的四个sigma-delta调制信号。在示例中,调制信号318A可以包括基于N-1、N+1、N和N-2之间的分频比的调制。本披露可以与不同阶数的调制一起使用。

[0052] 多路复用器319接收反馈分频器信号314A和参考时钟信号301A。在示例中,多路复用器319将调制器输入信号319A输出到sigma-delta调制器318。调制器输入信号319A作为用于sigma-delta调制器318的时钟信号运行。多路复用器319使得当反馈分频器314被禁用时,sigma-delta调制器318能够继续向多路复用器315提供调制信号318A。例如,当反馈分频器314被启用时,调制器输入信号319A包括反馈分频器信号314A。当反馈分频器314被禁用时,调制器输入信号319A包括参考时钟信号301A。因此,当反馈分频器314被禁用时,L0 PLL电路300将继续工作。

[0053] 重定时时钟信号316A被提供给多路复用器315。多路复用器315还接收来自反馈分频器314的反馈分频器信号314A。多路复用器315在重定时时钟信号316A与反馈分频器信号314A之间进行选择。当反馈分频器314被禁用时,多路复用器315输出重定时时钟信号321、322、323和324之一。如下文将关于图3B更充分解释的,多路复用器315输出与调制信号318A的正确边沿对齐的重定时时钟信号(321、322、323和324)。

[0054] PFD 302接收参考时钟信号301A和来自多路复用器315的多路复用器输出315A。PFD 302将参考时钟信号301A与多路复用器输出315A进行比较,并得到参考时钟信号301A与多路复用器输出315A之间的相位误差信号。如上文关于图1所描述的,电荷泵303和304将来自PFD 302的相位误差信号302A和302B转换为与相位误差成比例的正电流脉冲串或负电流脉冲串。来自电荷泵303和304的电流脉冲由环路滤波器320滤波,该环路滤波器包括放大器308、电容器 C_1 306、电阻器 R_1 307、电容器 C_2 305、电阻器 R_2 309和电容器 C_3 310。来自环路滤波器320的电压信号320A被输入到VCO 311,以控制VCO输出信号312的频率和相位,如关于图1所描述的。在示例中,环路滤波器320可以包括比本文所列出的部件更少的部件。例如,环路滤波器320可以将包括电阻器 R_2 309和电容器 C_3 310的无源滤波器排除在外。

[0055] 在一个示例中,L0 PLL电路300可以包括用于禁用反馈分频器314的装置。例如,节点317处的开关可以被用来使VCO输出信号312在反馈分频器314与重定时器316之间切换。

在另一个示例中,可以使用分频器缓冲器313与节点317之间的缓冲器或反相器(未示出)来禁用反馈分频器314。在示例中,缓冲器或反相器可以包括输出使能功能,该输出使能功能可以用来使VCO输出信号312不能被分频器缓冲器313和反馈分频器314接收,这有效地禁用了反馈分频器314和分频器缓冲器313。在示例中,缓冲器或反相器可以被放置在重定时器316与节点317之间,以禁用或启用到重定时器316的VCO输出信号312。这些是可以禁用反馈分频器314以节省功率的示例性装置,并且其不限于本披露。可以设想控制到反馈分频器314的VCO输出信号312的任何装置。用于禁用反馈分频器314的装置可以由软件、硬件或硬件和软件的组合来控制。

[0056] 在实施例中,当L0 PLL电路300处于监听或嗅探模式时,可以使用上述装置中的任一个或多个来禁用反馈分频器314,从而节省能量。当反馈分频器314被禁用时,L0 PLL电路300例如通过以上所描述的装置被配置,使得VCO输出信号312由重定时器316接收。

[0057] 图3B是根据本披露的一些方面的时序图350,其示出了参考时钟信号301A和VCO输出信号312。在利用sigma-delta调制器318使N计数器在四个不同的数字之间交替的二阶调制的示例中,VCO输出信号312在重定时器316中被延迟以产生重定时时钟信号321、322、323和324。每个重定时时钟信号可以随后被延迟相等的量或其他量,如以上所讨论的。

[0058] 对于图3B中的每个sigma-delta调制值(N-1、N-2、N、N+1),当反馈分频器314被禁用时,其边沿与对应的sigma-delta调制对齐的重定时时钟信号可以被输出到PFD 302。参考图3B,在示例中,对于N-1,正确边沿358是重定时时钟信号323的边沿,因此多路复用器输出315A包括重定时时钟信号323。对于N+1,正确边沿359是重定时时钟信号322的边沿,因此多路复用器输出315A包括重定时时钟信号322。对于N,正确边沿360又是重定时时钟信号323的边沿,因此多路复用器输出315A包括重定时时钟信号322。通过这个过程,可以在反馈分频器314被禁用时执行小数合成,因为重定时时钟信号321、322、323和324保持了VCO输出信号312的相位信息。另外,可以在生成重定时时钟信号324之后禁用到重定时器316的VCO输出信号312,并且在参考时钟信号301A变为高电平时将其重新启用,以减少重定时器316中的功耗。

[0059] 图4是根据本披露的一些方面的时序图400,其图示了上文关于图3A和图3B所描述的小数合成与整数合成之间的差异。图4示出了参考时钟信号401、VCO输出信号402和重定时时钟信号403,如上关于图2B和图3B所讨论的。在整数合成中,当上升脉冲串404的宽度等于下降脉冲串405的宽度时,由L0中的PLL来实现锁定。对于关于图3A和3B所披露的小数合成,当上升脉冲串406的平均宽度等于下降脉冲串407的宽度时,由L0中的PLL来实现锁定。

[0060] 参考图2A、图3A和图5进一步描述了接收器的操作。图5是根据本披露的一些方面的执行本地振荡的方法500的流程图。方法500适合于由图2的L0 PLL电路200和图3的L0 PLL电路300或其他适合的集成电路来执行。方法500的过程可以以不同于所描述的顺序执行,这些过程还可以同时并行地执行。此外,在本披露的一些示例中可以省略或替换方法500的过程。

[0061] 参考框502、图2A和图3A,L0 PLL电路300中的反馈分频器314和L0 PLL电路200中的反馈分频器214可以被禁用。反馈分频器314和214可以通过上文关于图2A和图3A所讨论的装置中的任一个或多个来禁用,包括使用将反馈分频器314和214以及分频器缓冲器313和213分别与VCO输出信号312和212断开连接的开关或其他逻辑电路系统。也可以使用附加

的硬件、软件和/或硬件和软件的组合来禁用反馈分频器314和214以及分频器缓冲器313和213,使得它们不使用功率。

[0062] 参考框504、图2A和图3A,参考时钟信号201A由图2A中的重定时器216接收,并且参考时钟信号301A由图3A中的重定时器316接收。

[0063] 参考框506,重定时器316和216分别接收VCO输出信号312和VCO输出信号212。

[0064] 参考框508和图3A,重定时器316产生重定时时钟信号316A。如上文关于图3A所描述的,重定时时钟信号316A可以包括重定时时钟信号321、322、323和324,其各自都具有基于VCO输出信号312的后续边沿。当参考时钟信号301A变为高电平并且VCO输出信号312变为高电平时,重定时信号则变为高电平,并且当参考时钟信号301A变为低电平并且VCO输出信号312变为低电平时,重定时信号则变为低电平。如上文所描述的,因为参考时钟信号301A是在重定时器316的一个或多个重定时器之间串行接收的,所以重定时器316的输出可以被延迟,从而产生多个后续VCO时钟边沿,这些多个后续VCO时钟边沿在本文披露的小数合成过程中被用来确定VCO输出信号312的所选择的时钟边沿与参考时钟信号301A之间的误差。

[0065] 参考框508和图2A,重定时器216产生重定时时钟信号216A,该重定时时钟信号在正确的相位检测时间将VCO 211的相位信息带到PFD 202。例如,在参考时钟信号201A为高电平并且VCO输出信号212变为高电平时,重定时器216锁存。类似地,例如,在参考时钟信号201A为低电平并且VCO输出信号212变为低电平时,重定时时钟信号216A变为低电平。结果是由重定时器216基于参考时钟信号201A和VCO输出信号212产生重定时时钟信号216A。

[0066] 参考框510以及图3A和图3B,多路复用器315接收来自重定时器316的重定时时钟信号316A以及来自sigma-delta调制器318的调制信号318A。调制信号318A与来自重定时器316的重定时时钟信号316A多路复用,并且由多路复用器315产生与调制信号318A的正确边沿对齐的重定时时钟信号321、322、323或324作为由PFD 302接收的多路复用器输出315A。

[0067] 参考框512、图2A和图3A,基于重定时时钟信号来确定误差信号。在图2A中,PFD 202接收参考时钟信号201A和多路复用器输出215A。PFD 202将参考时钟信号201A与多路复用器输出215A进行比较,并得到参考时钟信号201A与多路复用器输出215A之间的相位误差信号202A和202B。在图3A中,PFD 302接收参考时钟信号301A和多路复用器输出315A。PFD 302将参考时钟信号301A与多路复用器输出315A进行比较,并得到参考时钟信号301A与多路复用器输出315A之间的相位误差信号302A和302B。

[0068] 参考框514、图2A和图3A,参考时钟信号与基于VCO输出信号的重定时时钟信号之间的相位误差信号被用来调整VCO,并且从而调整VCO输出信号的频率和相位。在示例中,来自PFD的相位误差信号可以如上文所讨论的被放大和滤波。参考图2A,电压信号220A表示相位误差,并且电压信号220A控制VCO输出信号212,如关于图1所描述的。参考图3A,电压信号320A表示相位误差,并且电压信号320A控制VCO输出信号312,如关于图1所描述的。

[0069] LO PLL电路200和300或其他集成电路设备可以使用存储在非暂态介质中的专用硬件和指令的任何组合来执行方法500的过程。相应地,LO PLL电路200和300的元件可以包括耦合到非暂态计算机可读介质的处理资源。处理资源可以包括一个或多个微控制器、ASIC、CPU、GPU和/或被配置为执行存储在介质上的指令的其他处理资源。合适的非暂态计算机可读介质的示例包括一个或多个闪存设备、电池供电的RAM、SSD、HDD、光学介质和/或适合存储用于处理资源的指令的其他存储器设备。

[0070] 应当理解的是,本披露提供了若干示例性实施例并且可以对这些实施例进行修改。这样的修改显然在本披露的范围内。此外,将这些教导应用于其他环境、应用和/或目的与本披露一致并由本披露预期。

[0071] 术语“耦合”在整个说明书中被使用。该术语可以涵盖能够实现与本文一致的功能关系的连接、通信或信号路径。例如,如果设备A生成信号以控制设备B执行动作,则在第一示例中,设备A与设备B耦合;或者在第二示例中,设备A通过中间部件C与设备B耦合,条件是中间部件C没有实质性改变设备A与设备B之间的功能关系,因此设备B由设备A经由设备A生成的控制信号来控制。

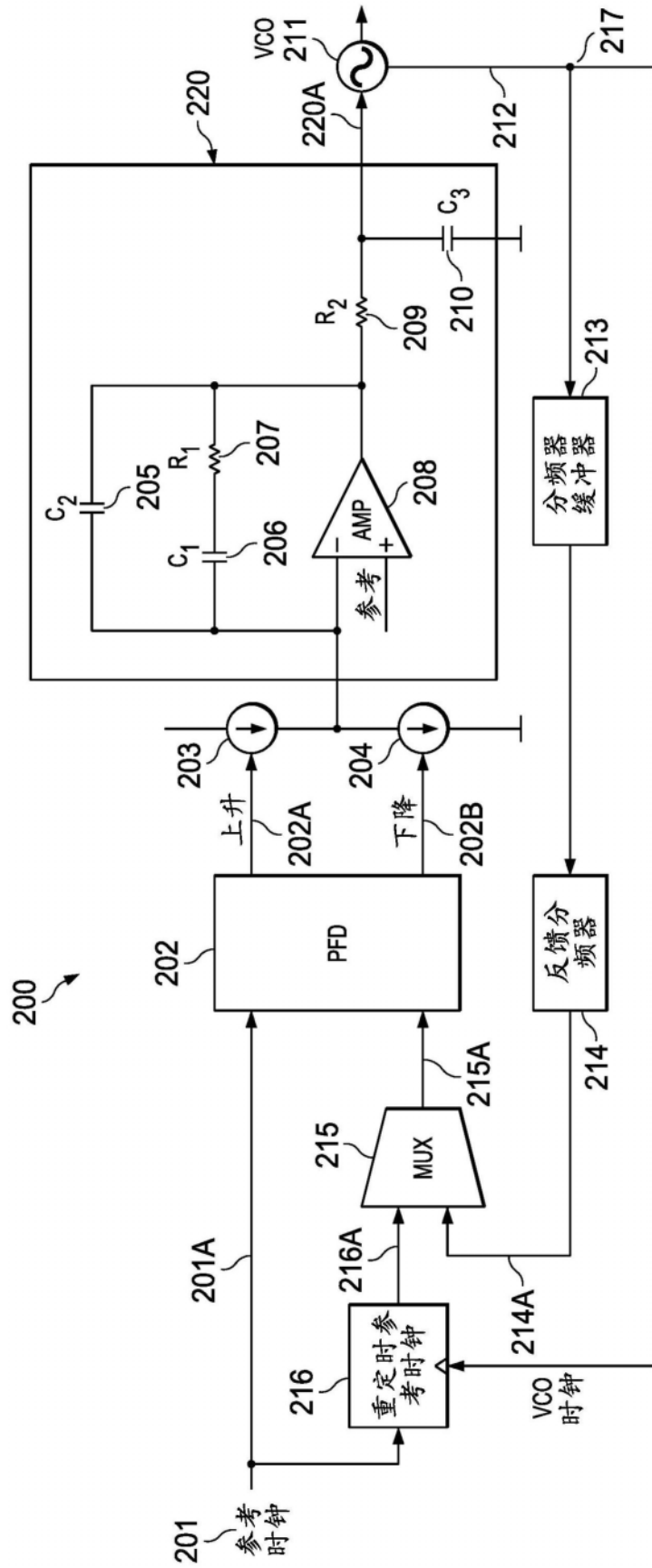


图2A

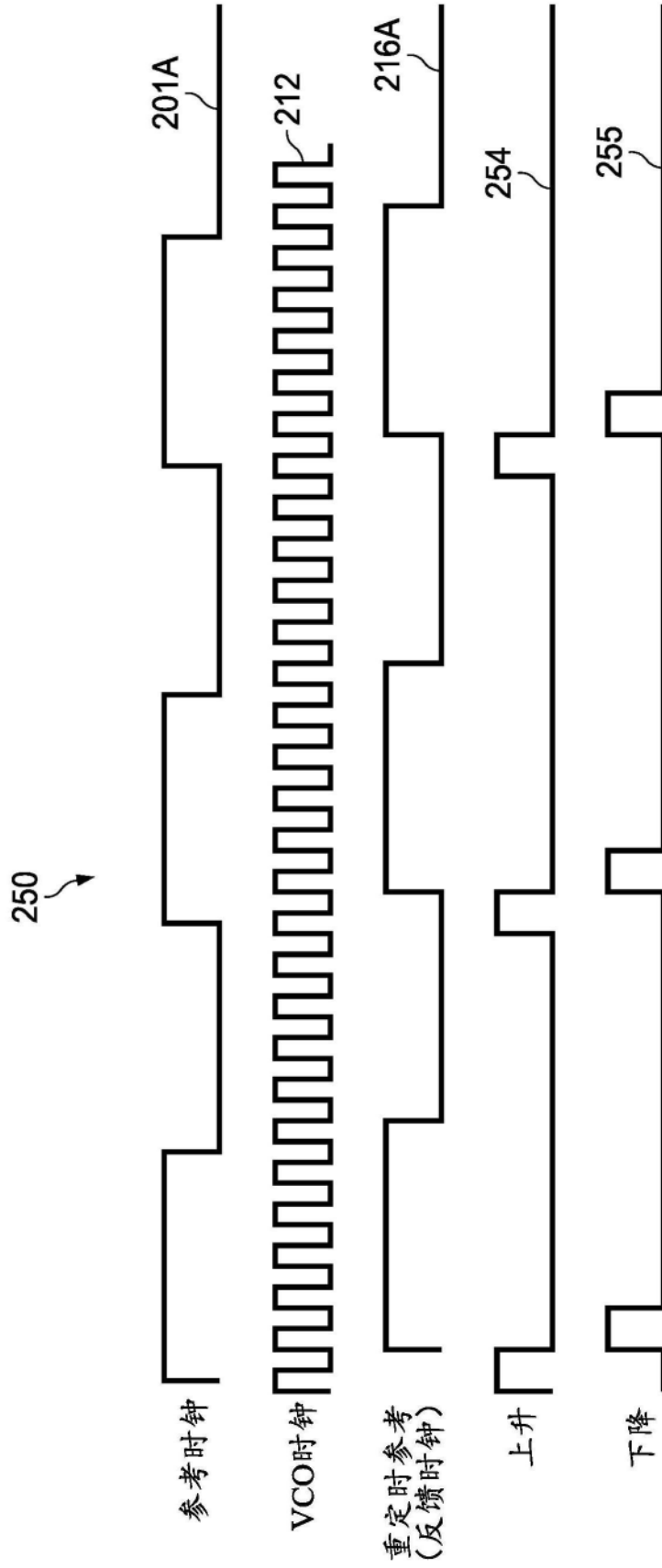


图2B

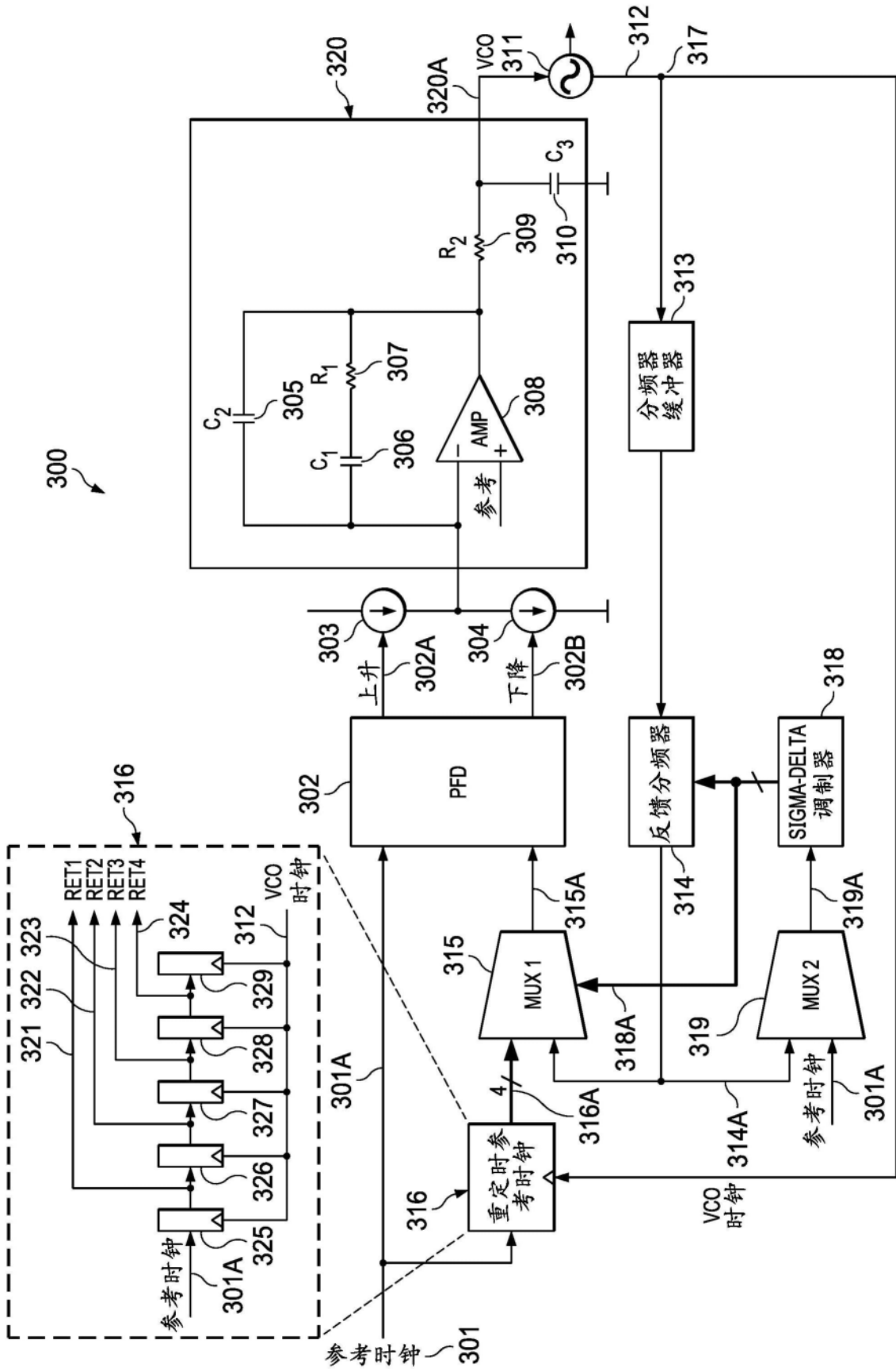


图3A

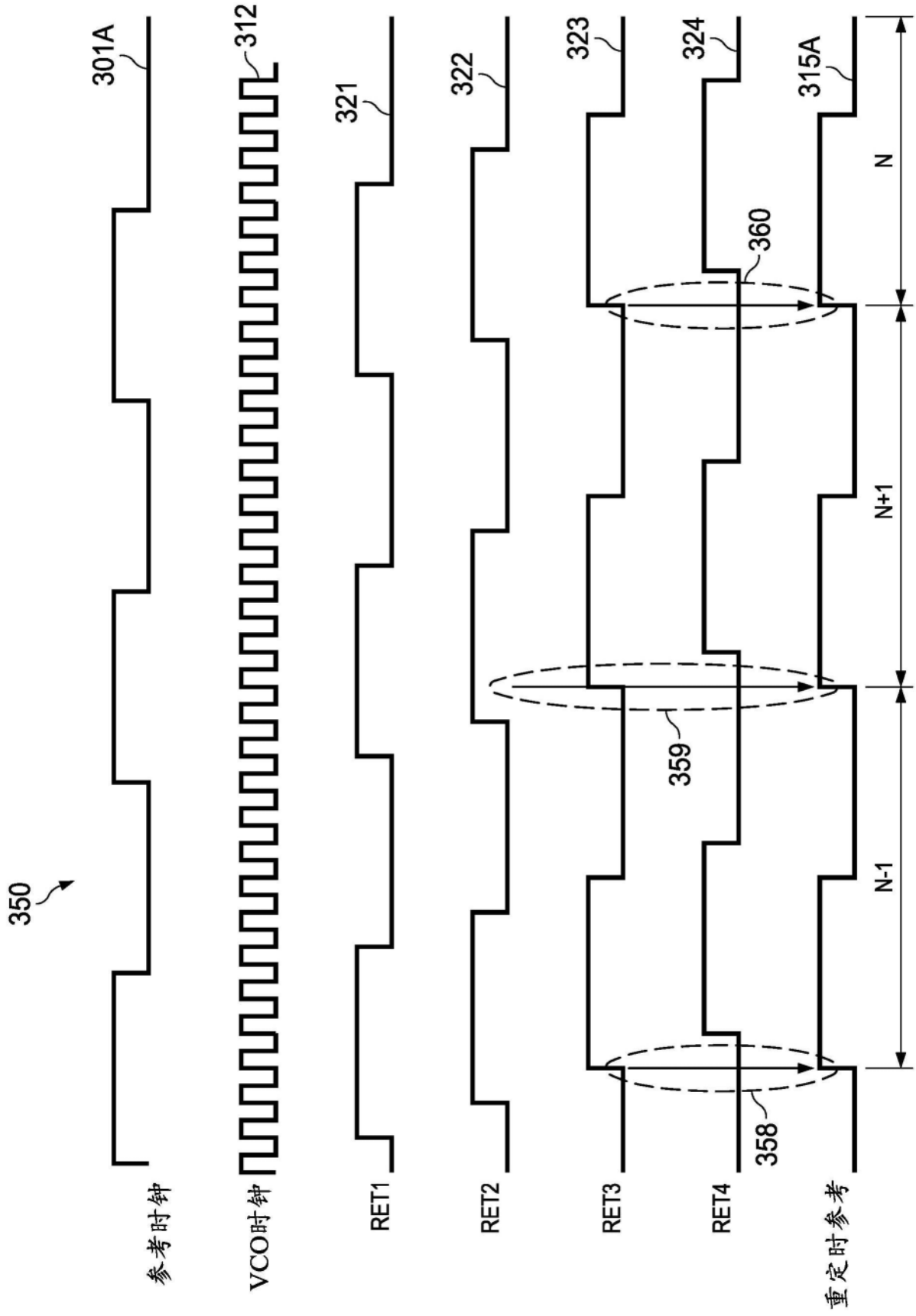


图3B

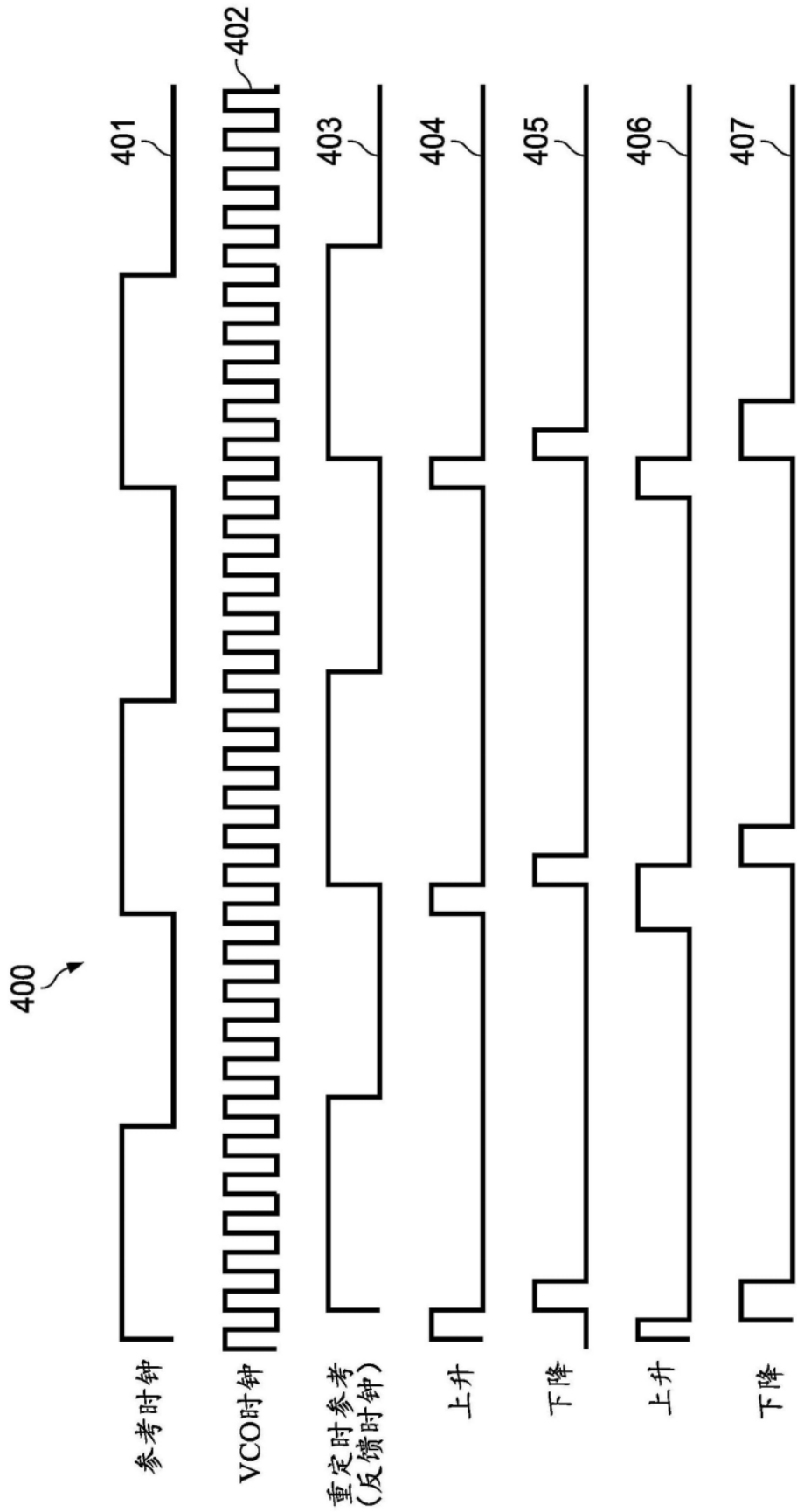


图4

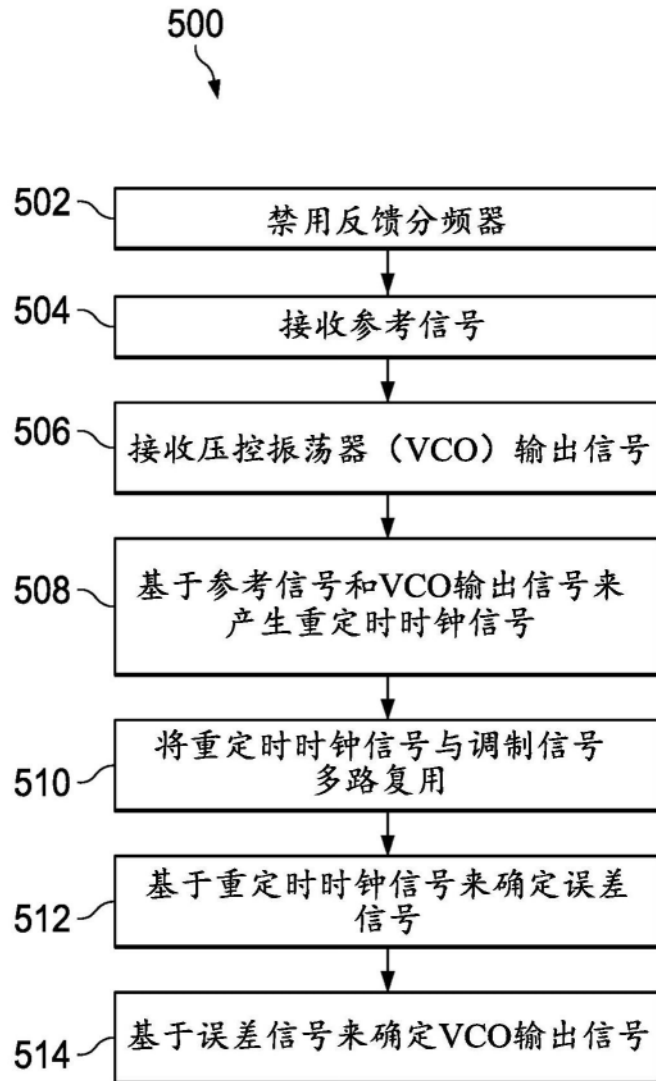


图5