

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-194355
(P2004-194355A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03G 3/20	H03G 3/20	5J100
H03G 3/30	H03G 3/30	5K061
H04B 1/16	H03G 3/30	F
	H04B 1/16	R

審査請求 有 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2004-46220 (P2004-46220)	(71) 出願人	000000295 沖電気工業株式会社
(22) 出願日	平成16年2月23日 (2004.2.23)		東京都港区虎ノ門1丁目7番12号
(62) 分割の表示	特願2002-176740 (P2002-176740) の分割	(74) 代理人	100079991 弁理士 香取 孝雄
原出願日	平成14年6月18日 (2002.6.18)	(72) 発明者	山内 茂樹 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		Fターム(参考)	5J100 JA03 KA05 LA00 LA01 LA04 LA08 LA09 QA01 QA02 SA02 5K061 AA10 BB12 CC52 CD06

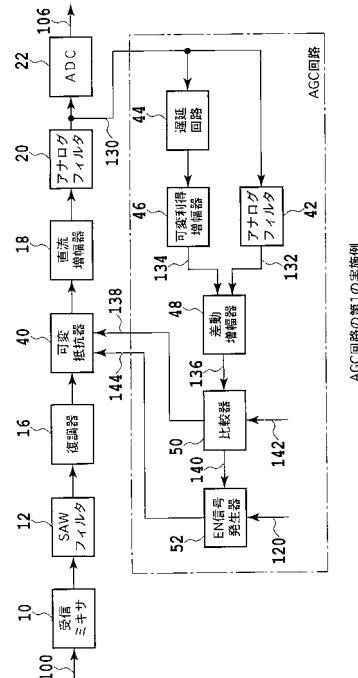
(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】隣接チャネル信号による非直線歪みの発生を防止するAGC回路を提供。

【解決手段】復調器16により復調されたI軸信号およびQ軸信号は、可変抵抗器40、直流増幅器18およびアナログフィルタ20を通り、信号130として遅延回路44とアナログフィルタ42とに入力される。信号130は、遅延回路44と可変利得増幅器46とにより位相と振幅が調整されて信号134となり、アナログフィルタ42により希望チャネル信号成分のみが取り出されて信号134となり、それぞれ差動増幅器48に入力される。差動増幅器48では、信号132と信号134とから隣接チャネル信号成分136を生成する。比較器50では、信号成分136のピーク値を検知して閾値142と比較し、減衰量を指示するSW切替信号138を生成して可変抵抗器40へ供給する。EN信号発生器52では、減衰量の切替えタイミングを示すEN信号144を生成して可変抵抗器40に出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

直交変調された受信信号を復調して I 軸信号および Q 軸信号を出力する復調器と、切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号および Q 軸信号に減衰を与える可変抵抗器と、該可変抵抗器から出力される I 軸信号および Q 軸信号の希望チャネル信号成分を通過させる第 1 のアナログフィルタと、該第 1 のアナログフィルタから出力される I 軸信号および Q 軸信号をデータに変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、

前記第 1 のアナログフィルタから出力される I 軸信号および Q 軸信号の希望チャネル信号成分を通過させる第 2 のアナログフィルタと、 10

該第 2 のアナログフィルタから出力される I 軸信号および Q 軸信号に所定の遅延を与える遅延手段と、

該遅延手段を通過した信号のレベルを調整する可変利得増幅手段と、

該可変利得増幅手段から出力される信号から、前記第 2 のアナログフィルタから出力される信号を減算して隣接チャネル信号成分を算出し、該隣接チャネル信号成分が閾値を超えた時前記可変抵抗器の減衰量を第 2 の減衰量に切り替え、該隣接チャネル信号成分が前記閾値より低下した時前記可変抵抗器の減衰量を第 1 の減衰量に切り替える前記切替信号を生成する比較手段とを含むことを特徴とする自動利得制御回路。

【請求項 2】

直交変調された受信信号を復調して I 軸信号および Q 軸信号を出力する復調器と、切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号および Q 軸信号に減衰を与える可変抵抗器と、該可変抵抗器から出力される I 軸信号および Q 軸信号の希望チャネル信号成分を通過させる第 1 のアナログフィルタと、該第 1 のアナログフィルタから出力される I 軸信号および Q 軸信号をデータに変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、

前記第 1 のアナログフィルタから出力される I 軸信号および Q 軸信号の隣接チャネル信号成分を通過させる第 3 のアナログフィルタと、

該第 3 のアナログフィルタから出力される I 軸信号および Q 軸信号の隣接チャネル信号成分が閾値を超えた時前記可変抵抗器の減衰量を第 2 の減衰量に切り替え、該隣接チャネル信号成分が前記閾値より低下した時前記可変抵抗器の減衰量を第 1 の減衰量に切り替える前記切替信号を生成する比較手段とを含むことを特徴とする自動利得制御回路。 30

【請求項 3】

直交変調された受信信号を復調して I 軸信号および Q 軸信号を出力する復調器と、切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号および Q 軸信号に減衰を与える可変抵抗器と、該可変抵抗器から出力される I 軸信号および Q 軸信号をそれぞれ増幅する直流増幅器と、該直流増幅器から出力される I 軸信号および Q 軸信号の希望チャネル信号成分を通過させる第 1 のアナログフィルタと、該第 1 のアナログフィルタから出力される I 軸信号および Q 軸信号をデータに変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、 40

前記直流増幅器から出力される I 軸信号および Q 軸信号からなる信号のピーク値を検知するピーク検知手段と、

該ピーク検知手段で検知されたピーク値が予め定められた時間連続して閾値を超える時前記可変抵抗器の減衰量を第 2 の減衰量に切り替え、前記ピーク値が前期時間連続して前記閾値を超えない時前記可変抵抗器の減衰量を第 1 の減衰量に切り替える前記切替信号を生成する比較手段とを含むことを特徴とする自動利得制御回路。

【請求項 4】

請求項 1 ないし 3 のいずれかに記載の自動利得制御回路において、該回路はさらに、前記 50

AGC増幅器の前段に設けられたAGC増幅器と該AGC増幅器へAGC電圧を供給して利得を制御するAGC回路とを含み、

該AGC回路は、前記アナログ・デジタル変換器から出力されるI軸信号およびQ軸信号の各デジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、

該デジタルフィルタを通過した各デジタル信号の希望チャンネル信号成分の合計パワーを第1の期間毎に算出する第1のAGC機能手段と、

前記アナログ・デジタル変換器でデジタル化されたI軸信号およびQ軸信号の各デジタル信号の合計パワーを前記第1の期間毎に算出する第2のAGC機能手段と、

該第2のAGC機能手段で算出されたパワーから前記第1のAGC機能手段で算出されたパワーを減算して隣接チャンネル信号成分のパワーを算出し、該隣接チャンネル信号成分のパワーが閾値より小さい場合は、前記第1のAGC機能手段で算出されたパワーに応じて変化する前記AGC電圧を生成し、隣接チャンネル信号成分のパワーが前記閾値より大きい場合は、前記第1のAGC機能手段で算出されたパワーと前記隣接チャンネル信号成分のパワーとを含むパワーに応じて変化する前記AGC電圧を生成するAGC判定手段とを含むことを特徴とする自動利得制御回路。

10

【請求項5】

請求項1ないし3のいずれかに記載の自動利得制御回路において、前記可変抵抗器における減衰量の切り替えは、前記アナログ・デジタル変換器に供給されるサンプリングクロックの周期の中間点で行うことを特徴とする自動利得制御回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、CDMA(Code Division Multiple Access)無線通信装置の受信部で使用される自動利得制御回路(以下、AGC回路という)に関する。

【背景技術】

【0002】

CDMA無線通信装置の受信部は、たとえば、受信ミキサ、SAWフィルタ、AGC増幅器、直交変調信号を復調する復調器、アナログ・デジタル変換器、AGC機能回路等を含み、アンテナにより受信した高周波信号を受信ミキサによりIF(中間周波数)信号に変換し、SAWフィルタにより希望チャンネル信号を選択してAGC増幅器によりレベル調整し、レベル調整した信号を復号器により復調してI軸信号およびQ軸信号を生成し、生成したI軸信号およびQ軸信号をアナログ・デジタル変換回路によりデジタル化するものであった。そして、AGC機能回路により、デジタル化されたI軸信号およびQ軸信号のパワーを算出して予め定められた閾値と比較し、閾値との差に応じてAGC増幅器の利得を制御することによりアナログ・デジタル変換器の入力レベルを一定にしていた。

30

【特許文献1】特開平11-261433号公報

【特許文献2】特開平11-195941号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

40

しかしながら、上記のAGC機能回路では、デジタル化されたI軸信号およびQ軸信号を使用してAGC増幅器の利得を制御するAGC電圧を生成していたため、AGC機能をデジタル処理信号回路で実現する必要があった。このため、装置におけるデジタル信号処理回路の規模が大きくなるという問題があった。

【0004】

本発明は、このような従来の技術の問題点を解決するもので、AGC機能をアナログ回路で構成したAGC回路を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明による自動利得制御回路は上記の問題を解決するために、直交変調された受信信

50

号を復調してI軸信号およびQ軸信号を出力する復調器と、切替信号に従って減衰量を第1の減衰量または第1の減衰量より大きい第2の減衰量に切り替えて復調器から出力されるI軸信号およびQ軸信号に減衰を与える可変抵抗器と、可変抵抗器から出力されるI軸信号およびQ軸信号の希望チャンネル信号成分を通過させる第1のアナログフィルタと、第1のアナログフィルタから出力されるI軸信号およびQ軸信号をデータに変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、第1のアナログフィルタから出力されるI軸信号およびQ軸信号の希望チャンネル信号成分を通過させる第2のアナログフィルタと、第2のアナログフィルタから出力されるI軸信号およびQ軸信号に所定の遅延を与える遅延手段と、遅延手段を通過した信号のレベルを調整する可変利得増幅手段と、可変利得増幅手段から出力される信号から、第2のアナログフィルタから出力される信号を減算して隣接チャンネル信号成分を算出し、隣接チャンネル信号成分が閾値を超えた時可変抵抗器の減衰量を第2の減衰量に切り替え、隣接チャンネル信号成分が閾値より低下した時可変抵抗器の減衰量を第1の減衰量に切り替える切替信号を生成する比較手段とを含むことを特徴とする。

10

【発明の効果】**【0006】**

本発明によれば、AGC回路をアナログ回路により構成しているため、装置におけるデジタル信号処理回路の規模を縮小することができる。また、AGC回路により時定数を含まない可変アッテネータを制御することによりレベル制御を行っているため、隣接チャンネル成分のレベルが急激に変化した場合でも迅速に対応できる。

20

【発明を実施するための最良の形態】**【0007】**

次に添付図面を参照して本発明によるAGC回路の実施例を詳細に説明する。図1は、本発明によるAGC回路の第1の実施例を示すブロックである。図1において、受信ミキサ10、SAWフィルタ12、復調器16、可変抵抗器40、直流増幅器18、アナログフィルタ20、およびアナログ・デジタル変換器(ADC)22は受信部の一部を構成する。また、アナログフィルタ42、遅延回路44、可変利得増幅器46、差動増幅器48、比較器50およびEN信号発生器52はすべてアナログ回路であり、AGC回路を構成する。なお、AGC回路は、I軸信号およびQ軸信号を別々に平行して処理するものとする。また、接続線に付された参照番号はその接続線に現れる信号を示す。

30

【0008】

受信ミキサ10は、高周波信号100をIF信号に変換する周波数変換器であり、ダブルスーパーヘテロダイン方式の場合は2番目の受信ミキサに該当する。受信ミキサ10に接続されたSAWフィルタ12は、たとえば、通過帯域が5MHzのバンドパスフィルタであり、受信ミキサ10により周波数変換された信号から所望のチャンネル信号(希望チャンネル信号)を選択し、他のチャンネル信号(隣接チャンネル信号)を減衰させる表面弾性波フィルタである。SAWフィルタ12に接続された復調器16は、直交変調された信号を復調する復調器であり、入力信号を復調してI軸信号およびQ軸信号を出力するものである。

【0009】

復調器16に接続された可変抵抗器40は、復調器16から入力される信号に減衰を与える可変アッテネータを有し、EN信号発生器52からEN信号144が与えられたとき、比較器50から供給されるSW切替信号138に従って可変アッテネータの減衰量を変更するものであり、本実施例では、減衰量を第1の減衰量および第2の減衰量のいずれかに設定することができる。ただし、第2の減衰量は第1の減衰量より大きいものとする。

40

【0010】

可変抵抗器40に接続された直流増幅器18は、復調器16から出力されるI軸信号およびQ軸信号を増幅する増幅回路であり、直流増幅器18に接続されたアナログフィルタ20は、直流増幅器18から出力される信号から隣接チャンネル信号のI軸信号およびQ軸信号(隣接チャンネル信号成分)を除去して希望チャンネル信号のI軸信号およびQ軸信号(希望チャンネル信号成分)を出力するローパスフィルタである。アナログフィルタ20に接続されたアナロ

50

グ・デジタル変換器22は、アナログフィルタ20から出力されるI軸信号およびQ軸信号をアナログ信号からデジタル信号に変換し、I軸信号の振幅値を示すデータIおよびQ軸信号の振幅値を示すデータQからなるデータ106を出力するものである。

【0011】

アナログフィルタ20に接続されたアナログフィルタ42は、本実施例では、アナログフィルタ20と同一の帯域特性を有するローパスフィルタである。したがって、アナログフィルタ20から出力される信号130に残っている隣接チャネル信号成分はアナログフィルタ42により除去され、アナログフィルタ42から出力される信号132は、希望チャネル信号成分のみとなる。

【0012】

アナログフィルタ20に接続された遅延回路44は、入力信号130に所定の遅延を与えるものであり、遅延回路44に接続されている可変利得増幅器46は、信号レベルを調整する利得可変手段を備えている。本実施例では、可変利得増幅器46から出力される信号134に含まれる希望チャネル信号成分の振幅および位相がアナログフィルタ42から出力される信号132と同じになるように、遅延回路44の遅延時間および可変利得増幅器46の利得を調整している。

【0013】

アナログフィルタ42および可変利得増幅器46に接続された差動増幅器48は、可変利得増幅器46から出力される信号134からアナログフィルタ42から出力される信号132を減算し、その差を信号136として出力するものである。前述のように、隣接チャネル信号成分が大きい場合には、アナログフィルタ20から出力される信号130に隣接チャネル信号成分が含まれる。一方、アナログフィルタ42から出力される信号132は、希望チャネル信号成分のみである。したがって、差動増幅器48から出力される信号136は、隣接チャネル信号成分を表わす信号となる。

【0014】

差動増幅器48に接続された比較器50は、信号136のピーク値を検出して予め設定された閾値142と比較し、信号136のピーク値が閾値142を超えた時、可変抵抗器40の減衰量を第2の減衰量に設定し、信号136のピーク値が閾値142より低下した時、可変抵抗器40の減衰量を第1の減衰量に設定するSW切替信号138を生成すると共に、EN信号144の出力を指示するキャリア信号140を生成するものである。なお、ピーク値の検出に替えて信号136を積分

【0015】

比較器50に接続されたEN信号発生器52は、可変抵抗器40における減衰量の切り替えタイミングを示すEN信号144を生成する回路である。具体的には、アナログ・デジタル変換器22に供給されるサンプリングクロックより1/2サンプリングクロックずれたタイミングクロックを生成し、比較器50からキャリア信号140が与えられたとき、上記のタイミングクロックに同期したEN信号144を生成して可変抵抗器40に出力する。可変抵抗器40は、EN信号144が与えられた時、SW切替信号138に従って可変アッテネータの減衰量を切り換える。これにより、切り換えは、サンプリングクロックの中間点で行われるので、アナログ・デジタル変換器22で行われるサンプリング動作に影響を及ぼすことはない。

【0016】

このように構成された本実施例の動作を説明すると、受信ミキサ10およびSAWフィルタ12を介して復調器16に入力された受信信号は、I軸信号およびQ軸信号に変換される。このI軸信号およびQ軸信号は、可変抵抗器40、直流増幅器18およびアナログフィルタ20を通過してアナログ・デジタル変換器22、アナログフィルタ42および遅延回路44にそれぞれ入力される。アナログフィルタ42では、希望チャネル信号成分を通過させ、隣接チャネル信号成分の通過を阻止する。したがって、アナログフィルタ42の出力信号132は希望チャネル信号成分のみとなる。

【0017】

遅延回路44および可変利得増幅器46では、信号130に含まれる希望チャネル信号成分の

10

20

30

40

50

位相と振幅を調整し、その振幅および位相がアナログフィルタ42から出力される信号132と同じになる信号134を生成する。差動増幅器48では、信号132と信号134との差を求めて隣接チャネル信号成分を生成し、これを信号136として比較器50へ出力する。比較器50では、信号136のピーク値を検知して閾値142と比較し、ピーク値が閾値142を超える時、可変抵抗器40における減衰量を第2の減衰量に設定し、ピーク値が閾値142より低下した時、減衰量を第1の減衰量に戻すSW切替信号138を生成して可変抵抗器40に供給すると共に、キャリア信号140を生成してEN信号発生器52に出力する。

【0018】

EN信号発生器52では、比較器50からキャリア信号140が与えられたとき、減衰量の設定変更のタイミングを示すEN信号144を生成して可変抵抗器40に出力する。可変抵抗器40では、EN信号発生器52からEN信号144が与えられたとき、比較器50から供給されるSW切替信号138に従って内蔵する可変アッテネータの減衰量を変更する。このように本実施例では、AGC回路をアナログ回路のみで構成し、デジタル信号処理回路を使用していないので、受信部におけるデジタル信号処理回路の規模を縮小することができる。

10

【0019】

図2は、本発明によるAGC回路の第2の実施例を示すブロック図である。この実施例のAGC回路は、アナログフィルタ54、比較器50、およびEN信号発生器52から構成されるもので、図1に示すAGC回路に比較して回路構成が簡単化されている。ここで、アナログフィルタ54、比較器50、およびEN信号発生器52はすべてアナログ回路である。なお、AGC回路は、I軸信号およびQ軸信号を別々に平行して処理するものとする。また、図2において、図1と同じ構成要素には同じ参照符号を付してある。

20

【0020】

アナログフィルタ54は、希望チャネル信号成分の通過を阻止し、隣接チャネル信号成分を通過させるハイパスフィルタである。したがって、アナログフィルタ54から出力される信号150は隣接チャネル信号成分となる。信号150は比較器50に入力される。比較器50およびEN信号発生器52の構成は、図1における同一の参照符号が付され構成要素とそれぞれ同じであるので説明を省略する。

【0021】

図1のAGC回路では、アナログフィルタ42、遅延回路44、可変利得増幅器46および差動増幅器48を用いて隣接チャネル信号成分を取り出していた。このため、遅延回路44を通り可変利得増幅器46から出力される信号134に含まれる希望チャネル信号成分の振幅および位相が、アナログフィルタ42から出力される信号132(希望チャネル信号成分)に一致するように遅延回路44および可変利得増幅器46を調整する必要がある。これに対して本実施例では、アナログフィルタ54のみにより隣接チャネル信号成分を取り出しているため、そのような煩わしさはなくなる。

30

【0022】

図3は、本発明によるAGC回路の第3の実施例を示すブロック図である。この実施例のAGC回路は、ピーク検知器58、比較回路60、およびEN信号発生器52から構成されており、直流増幅器18から出力される信号160(希望チャネル信号成分および隣接チャネル信号成分を含む)に基づいてAGC制御を行うものである。したがって、図2のアナログフィルタ54が不要となる。なお、AGC回路は、I軸信号およびQ軸信号を別々に平行して処理するものとする。また、図3において、図2と同じ構成要素には同じ参照符号を付してある。

40

【0023】

図3において、直流増幅器18に接続されたピーク検知器58は、直流増幅器18から出力される信号160のピークを検知し、そのピーク値を示す信号162を出力するものである。ピーク検知器58に接続された比較器60は、ピーク検知器58から出力される信号162を周期T0のクロック(たとえば、アナログ・デジタル変換器18に供給されるサンプリングクロック)を用いて周期T0毎に順次標本化し、標本化された値がN個連続して予め定められ閾値164を超えた時、可変抵抗器40の減衰量を第2の減衰量に設定し、そのような状態を脱した時、可変抵抗器40の減衰量を元の第1の減衰量に戻すSW切替信号138を生成すると共に、EN

50

信号144の出力を要請するキャリア信号140を生成する。なお、比較器60に接続された可変抵抗器40およびEN信号発生器52は、図2における同一の参照符号が付された構成要素と同じであるので説明を省略する。

【0024】

このように本実施例によれば、直流増幅器18から出力される希望チャンネル信号成分および隣接チャンネル信号成分を含む信号160のピークレベルをピーク検知器58により検知し、その検知結果に従って可変抵抗器40の減衰量を制御しているため、アナログフィルタを使用する必要がなくなり、それだけAGC回路の構成を簡単化することができる。

【0025】

図4は、本発明によるAGC回路の第4の実施例を示すブロック図である。図4において、受信ミキサ10、SAWフィルタ12、AGC増幅器14、復調器16、可変抵抗器40、直流増幅器18、アナログフィルタ20およびアナログ・デジタル変換器(ADC)22は、CDMA無線通信装置の受信部の一部分であり、AGC増幅器14は第1のAGC回路70により制御され、可変抵抗器40は第2のAGC回路72により制御される構成となっている。なお、可変抵抗器40、直流増幅器18、アナログフィルタ20、アナログ・デジタル変換器22は、I軸信号およびQ軸信号を別々に平行して処理するものとする。また、接続線に付した参照符号はその接続線に現れる信号を示す。

10

【0026】

受信ミキサ10、SAWフィルタ12、復調器16、可変抵抗器40、直流増幅器18、アナログフィルタ20およびアナログ・デジタル変換器(ADC)22は、図1における同一の参照符号を付した構成要素と同じものである。AGC増幅器14は、第1のAGC回路から出力されるAGC電圧102に従って増幅器の利得を制御するものである。

20

【0027】

図5は、第1のAGC回路70の実施例である。この第1のAGC回路は、デジタルフィルタ24、AGC機能回路26、28およびAGC判定部30により構成され、デジタルフィルタ24およびAGC機能回路28は、図4のアナログ・デジタル変換器22に接続され、AGC判定部30は図4のAGC増幅器14に接続されている。デジタルフィルタ24は、アナログ・デジタル変換器22から出力される信号106から隣接チャンネル信号成分を除去し、希望チャンネル信号のデータIおよびQを選択して出力する狭帯域のローパスフィルタである。

【0028】

デジタルフィルタ24に接続されたAGC機能回路26は、デジタルフィルタ24から出力されるデータ(データIおよびQ)を使用して、アナログ・デジタル変換器22に入力される希望チャンネル信号のI軸信号およびQ軸信号の一定期間TにおけるパワーP1を計算式 $(I^2+Q^2)^{1/2}$ に従ってその周期T毎に算出し、パワーP1の算出値108をAGC判定部30に出力する回路である。一方、AGC機能回路28は、アナログ・デジタル変換器22から出力されるデータIおよびQを使用して、アナログ・デジタル変換器22に入力される希望チャンネル信号および隣接チャンネル信号の一定期間TにおけるパワーP2を計算式 $(I^2+Q^2)^{1/2}$ に従ってその周期T毎に算出し、パワーP2の算出値110をAGC判定部30に出力する回路である。

30

【0029】

AGC機能回路26、28接続されたAGC判定部30は、AGC機能回路26から出力される算出値108とAGC機能回路28から出力される算出値110とに基づいて、AGC電圧102を生成してAGC増幅回路14に出力するものである。図6は、AGC判定部30の実施例を示すブロック図である。このAGC判定部30は、減算回路200、比較回路202、加算回路204および比較回路206から構成される。減算回路200は、図5のAGC機能回路28から出力される算出値110から、AGC機能回路26から出力される算出値108を減算して隣接チャンネル信号成分のパワーP3を算出し、パワーP3を表わす算出値208を出力するものである。

40

【0030】

減算回路200に接続された比較回路202は、算出値208と予め設定された閾値210とを比較し、算出値208が閾値210より大きいときその算出値208を算出値212として出力するものである。なお、算出値208の大きさを調整して算出値212としてもよい。また、比較回路202

50

に接続された加算回路204は、算出値108に算出値212を加算して加算値214を出力し、加算回路204に接続された比較回路206は、加算値214と予め設定された閾値216とを比較して差分値を求め、その差分値に応じて変化するAGC電圧102を生成するものである。

【0031】

図5に示す第1のAGC回路70の動作を説明すると、アナログ・デジタル変換器22から出力されたデータIおよびQからなるデータ106は、AGC機能回路28およびデジタルフィルタ24に入力される。デジタルフィルタ24では、データ106の隣接チャンネル信号成分の通過を阻止し、希望チャンネル信号成分のみをAGC機能回路26へ出力する。AGC機能回路26では、周期T毎に計算式 $(I^2+Q^2)^{1/2}$ を用いて希望チャンネル信号成分のパワーP1を算出する。AGC機能回路28も同様にして希望チャンネル信号成分と隣接チャンネル信号成分とを含む信号のパワーP2を算出する。パワーP1を示す算出値108およびパワーP2を示す算出値110は共にAGC判定部30に入力される。

【0032】

AGC判定部30の減算回路200では、算出値110から算出値108を減算して隣接チャンネル信号成分のパワーP3を算出し、算出したP3を表わす算出値208を比較回路202へ出力する。比較回路202では、算出値208と閾値210とを比較して算出値208が閾値210より大きいとき算出値212を出力する。加算回路204では、算出値108に算出値212を加算して加算値214を出力する。したがって、加算値214は、隣接チャンネル信号成分のパワーP3が閾値210より小さいときはパワーP1を表わし、閾値210を超えるときはパワーP1に隣接チャンネル信号成分のパワーP3に応じて変化する算出値212を加算した値を表わすことになる。

【0033】

比較回路206では、前述のように加算回路204から出力される加算値214と閾値216とを比較してその差に応じて変化するAGC電圧102を生成してAGC増幅器14へ出力する。AGC増幅器14ではこのAGC電圧102に従って利得を制御する。

【0034】

このように図5に示す第1のAGC回路70では、AGC判定部30により隣接チャンネル信号成分のパワーP3を監視し、パワーP3が閾値210より小さい場合には、アナログ部分において隣接チャンネル信号による非直線歪みの発生はないと判断し、希望チャンネル信号成分のパワーP1のレベルに基づいてAGC制御を行う。これにより、アナログ・デジタル変換器22に入力される希望チャンネル信号のレベルをアナログ・デジタル変換の分解能以下としないように保持することができる。また、パワーP3が閾値210より大きい場合には、アナログ部分において隣接チャンネル信号により非直線歪みの発生する恐れがあると判断し、隣接チャンネル信号成分のパワーP3のレベルに応じて変化する加算値214に基づいてAGC制御を行う。これにより、アナログ部分において隣接チャンネル信号により発生する信号の非直線歪みを防止することができる。

【0035】

なお、図6に示すAGC判定部30に代えて図7に示すAGC判定部30を用いてもよい。このAGC判定部30は、図6に示すAGC判定部30における比較回路202を省略して回路構成の単純化を図ったものであり、減算回路200、加算回路204および比較回路206から構成される。減算回路200は、算出値110から算出値108を減算して隣接チャンネル信号成分のパワーP3を算出し、これを算出値208として出力するものである。減算回路200に接続された加算回路204は、算出値108に算出値208を加算して加算値214を出力し、加算回路204に接続された比較回路206は、加算値214と予め設定された閾値216とを比較して差分値を求め、その差分値に応じて変化するAGC電圧102を生成するものである。

【0036】

図8は、図4に示す第1のAGC回路の、他の実施例を示すブロック図である。この実施例は、図5に示すAGC回路に平均処理回路32、34を追加したものであり、AGC機能回路26とAGC判定部30との間に平均処理回路32を接続し、AGC機能回路28とAGC判定部30との間に平均処理回路34を接続した構成となっている。本実施例は、このような構成によりフェージングを考慮したAGC制御を行うものである。なお、図5と同じものには同じ参照符号を付

してある。

【 0 0 3 7 】

図 8 における AGC 機能回路 26 は、パワー P1 を算出してパワー P1 を示す算出値 108 を周期 T 毎に平均処理回路 32 に出力し、AGC 機能回路 28 は、パワー P2 を算出してパワー P2 を示す算出値 110 を周期 T 毎に平均処理回路 34 に出力する。平均処理回路 34 は、上記の周期 T に基づいて周期が T2 (T の整数倍) の制御パルスを生成し、この制御パルスに同期して入力される算出値 108 を AGC 判定部 30 に算出値 112 として出力するものである。また、平均処理回路 34 は、上記の周期 T に基づいて周期が T2 (T の整数倍) の制御パルスを生成し、この制御パルスに同期して入力される算出値 110 を AGC 判定部 30 に算出値 114 として出力するものである。

10

【 0 0 3 8 】

AGC 判定部 30 には、平均処理回路 32 から算出値 112 が時間 T1 毎に入力され、平均処理回路 34 から算出値 114 が時間 T2 毎に入力される。本実施例の AGC 判定部 30 は、図 6 に示す減算回路 200 の入力側にレジスタ 220、222 を追加した構成となっており、入力される算出値 108、110 をレジスタ 220、222 に格納し、先に格納した算出値を更新する。そして、周期 T 毎にレジスタ 220、222 から算出値 108、110 を読み出し、図 6 の場合と同様にして AGC 電圧 102 を生成するものである。なお、図 7 に示す減算回路 200 の入力側にレジスタ 220、222 を追加した構成としてもよい。

【 0 0 3 9 】

ところで、受信部で受信される希望チャネル信号および隣接チャネル信号の受信レベルは、フェージングにより時間的に変動することが多く、通常、その変動周期はキャリア周波数により異なる。したがって、希望チャネル信号を重視し、主として希望チャネル信号のフェージングに AGC を追従させる場合には、平均処理回路 32 で設定される時間 T1 を平均処理回路 34 で設定される時間 T2 より短くすればよい。これにより、希望チャネル信号のフェージングに追従できる AGC 制御を行うことが可能となる。

20

【 0 0 4 0 】

図 9 は、図 4 に示す第 1 の AGC 回路の、さらに他の実施例を示すブロック図である。この実施例は、図 5 に示す第 1 の AGC 回路における AGC 判定部 30 を AGC 判定部 36 に置き換え、この AGC 判定部 36 と直流増幅器 18 との間に制御回路 38 を接続したものである。本実施例は、このような構成により隣接チャネル信号が所定のレベル以上に増大したとき、直流増幅回路 18 の可変アッテネータの減衰量を瞬時に増大させてアナログ部における非直線歪みの発生を迅速に防止する。なお、直流増幅器 18 は I 軸信号および Q 軸信号を別々に平行して処理するものとする。また、図 5 と同じものには同じ参照符号を付してある。

30

【 0 0 4 1 】

図 9 における AGC 判定部 36 は、AGC 機能回路 26、28 から出力される算出値 108、110 に基づいて AGC 増幅器 14 に供給する AGC 電圧 102 を生成すると共に、制御回路 38 に出力する EN 信号 116 および SW 信号 118 を生成するものである。図 10 は、この AGC 判定部 36 の実施例を示すブロック図である。この実施例の AGC 判定部 36 は、比較回路 300、減算回路 302、比較回路 304、EN 信号生成回路 306 および SW 信号生成回路 308 から構成される。

【 0 0 4 2 】

比較回路 300 は、AGC 機能回路 26 から出力される算出値 108 と予め設定された閾値 310 とを比較してその差に応じて変化する AGC 電圧 102 を生成して AGC 増幅器 14 に出力するものである。減算回路 302 は、AGC 機能回路 28 から出力される算出値 110 から、AGC 機能回路 26 から出力される算出値 108 を減算して隣接チャネル信号成分のパワー P3 を算出し、パワー P3 を示す算出値 312 を出力するものである。減算回路 302 に接続された比較回路 304 は、算出値 312 と予め設定された閾値 314 とを比較し、算出値 312 が閾値 314 を超えた時および算出値 312 が閾値 314 より下がった時に起動信号 316 を出力するものである。

40

【 0 0 4 3 】

また、比較回路 304 に接続された EN 信号生成回路 306 は、比較回路 304 から起動信号 316 が与えられたとき、減衰量の切り替えを指示する EN 信号 116 を生成するものである。減算回

50

路302に接続されたSW信号生成回路308は、減算回路302から出力される算出値312が閾値314より小さいとき直流増幅器18のアッテネータを第1の減衰量に設定し、大きいとき第2の減衰量に設定するSW信号118を生成するものである。ここで、第2の減衰量は第1の減衰量より大きいものとする。EN信号116およびSW信号118は図5の制御回路38に入力される。

【0044】

制御回路38は、タイミングクロック生成回路とSW信号出力回路とを含む(いずれも図示せず)。そして、タイミングクロック生成回路は、アナログ・デジタル変換器22に供給されるサンプリングクロック120より1/2サンプリングクロックずれたタイミングクロックを生成し、AGC判定部36からEN信号116が与えられたときこのタイミングクロックに同期する切替タイミング信号を生成する。また、SW信号出力回路は、タイミングクロック生成回路で切替タイミング信号が生成されたとき、AGC判定部36から与えられるSW信号118をSW切替信号122として直流増幅器18に出力する。したがって、直流増幅器18における可変アッテネータの減衰量の切り替えは、サンプリングクロック120の中間点で実行され、アナログ・デジタル変換器22で行われるサンプリング動作に影響を及ぼすことはない。

10

【0045】

また、本実施例の直流増幅回路18は、入力信号に減衰を与える可変アッテネータを有し、制御回路38から与えられるSW切替信号122に従って可変アッテネータの減衰量を第1の減衰量または第2の減衰量に切り替えるものである。この可変アッテネータは、抵抗素子および切替スイッチから構成されており、時定数回路を含まないので減衰量の設定を迅速に切り替えることができる。なお、I軸信号およびQ軸信号に与える減衰量は共に、SW切替信号122に従うものとする。

20

【0046】

本実施例の動作を説明すると、AGC回路のAGC判定部36では、希望チャンネル信号成分のパワーP1に基づいてAGC電圧102を生成してAGC増幅器14に出力する。また、AGC判定部36では、AGC電圧102の生成と並行して隣接チャンネル信号成分のパワーP3を監視し、パワーP3が所定の閾値を超えた時に第2の減衰量を設定し、パワーP3が所定の閾値より下がった時に第1の減衰量を設定するSW信号118を生成すると共に減衰量の切り替えを指示するEN信号116を生成して制御回路38に出力する。

【0047】

AGC増幅器14では、AGC判定部36から供給されるAGC電圧102に従って利得を制御する。一方、制御回路38では、AGC判定部36からEN信号116およびSW信号118が与えられたとき、サンプリングクロック120より1/2サンプリングクロックだけずれたタイミングでSW切替信号122を直流増幅器18に出力する。直流増幅器18では、このSW切替信号122に従って可変アッテネータの減衰量を切り替える。

30

【0048】

このように図9に示す第1のAGC回路によれば、直流増幅器18に時定数を含まない可変アッテネータを設け、隣接チャンネル信号成分のパワーP3に応じて可変アッテネータの減衰量を切り替えているので、パワーP3のレベル変動に迅速に対応することができる。

【0049】

図4における第2のAGC回路72は、可変抵抗器40における減衰量を制御する回路であり、図1に示すAGC回路、図2に示すAGC回路および図3に示すAGC回路のいずれを適用してもよい。ただし、図1および図2に示すAGC回路を適用する場合には、アナログフィルタ20から出力される信号130をAGC回路に入力し、図3に示すAGC回路を適用する場合には、直流増幅器18から出力される信号160をAGC回路に入力する。

40

【0050】

図4の第4の実施例によれば、第1のAGC回路70によりAGC増幅器14の利得を制御しているので、アナログ・デジタル変換器22に入力される希望チャンネル信号のレベルをアナログ・デジタル変換の分解能以下としないように保持することができ、アナログ部分において非直線歪みが発生しないようにすることができる。また、第1のAGC回路70によるAGC増

50

幅器14の利得制御には一定の応答時間を必要とするが、第2のAGC回路72により可変抵抗器40または直流増幅器における可変アッテネータを制御しているため、隣接チャネル成分のレベルが急激に変化した場合でも、非直線歪みの発生を迅速に防止することができる。

【図面の簡単な説明】

【0051】

【図1】本発明によるAGC回路の第1の実施例を示すブロック図である。

【図2】本発明によるAGC回路の第2の実施例を示すブロック図である。

【図3】本発明によるAGC回路の第3の実施例を示すブロック図である。

【図4】本発明によるAGC回路の第4の実施例を示すブロック図である。

【図5】図4に示す第1のAGC回路の実施例を示すブロック図である。

10

【図6】図5に示すAGC判定部の実施例を示すブロック図である。

【図7】図5に示すAGC判定部の他の実施例を示すブロック図である。

【図8】図4に示す第1のAGC回路の他の実施例を示すブロック図である。

【図9】第1のAGC回路のさらに他の実施例を示すブロック図である。

【図10】図9に示すAGC回路のAGC判定部の実施例を示すブロック図である。

【符号の説明】

【0052】

14 AGC増幅器

16 復調器

20、42、54 アナログフィルタ

20

22 アナログ・デジタル変換器

40 可変抵抗器

44 遅延回路

46 可変利得増幅器

48 差動増幅器

50、60 比較器

52 EN信号発生器

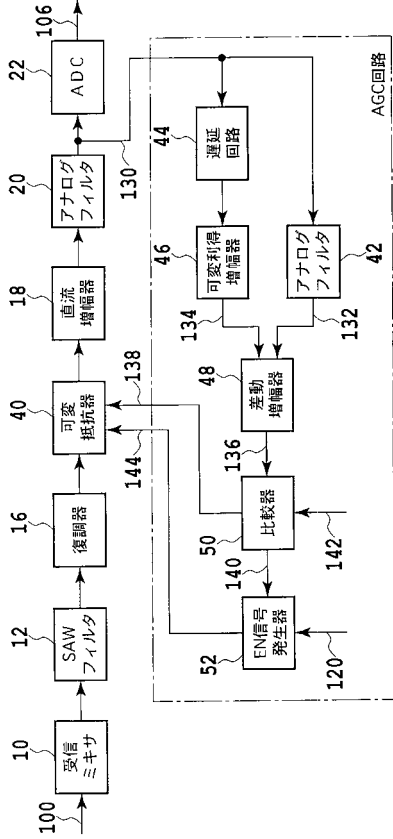
58 ピーク検知器

70 第1のAGC回路

72 第2のAGC回路

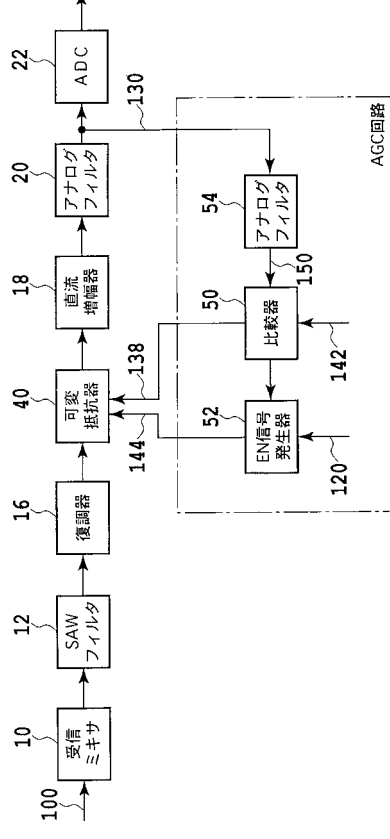
30

【図1】



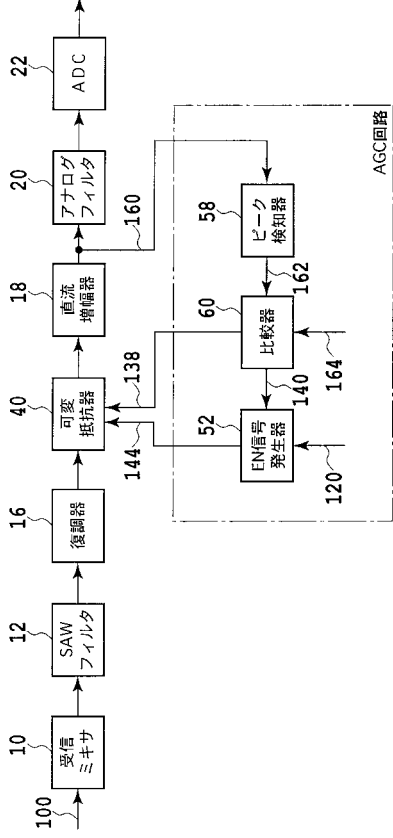
AGC回路の第1の実施例

【図2】



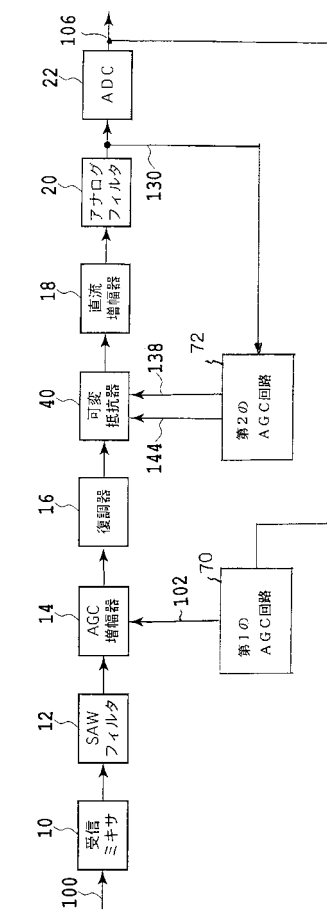
AGC回路の第2の実施例

【図3】



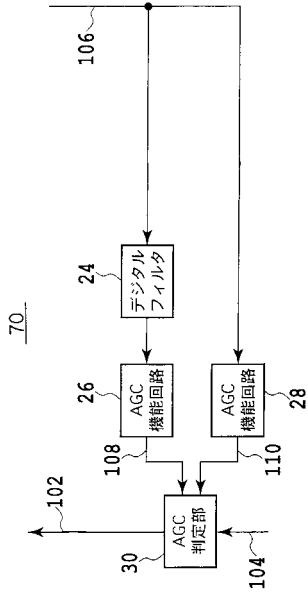
AGC回路の第3の実施例

【図4】



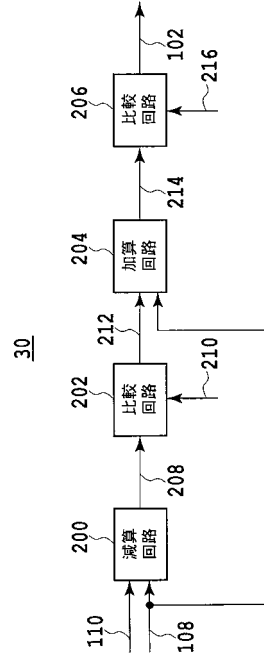
AGC回路の第4の実施例

【 図 5 】



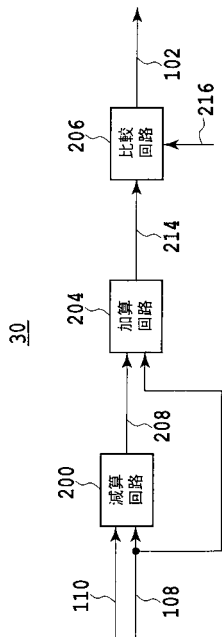
第1のAGC回路の実施例

【 図 6 】



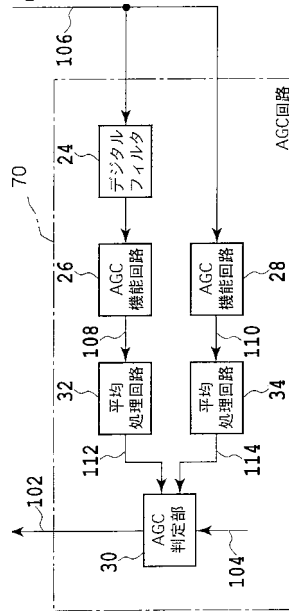
AGC判定部の実施例

【 図 7 】



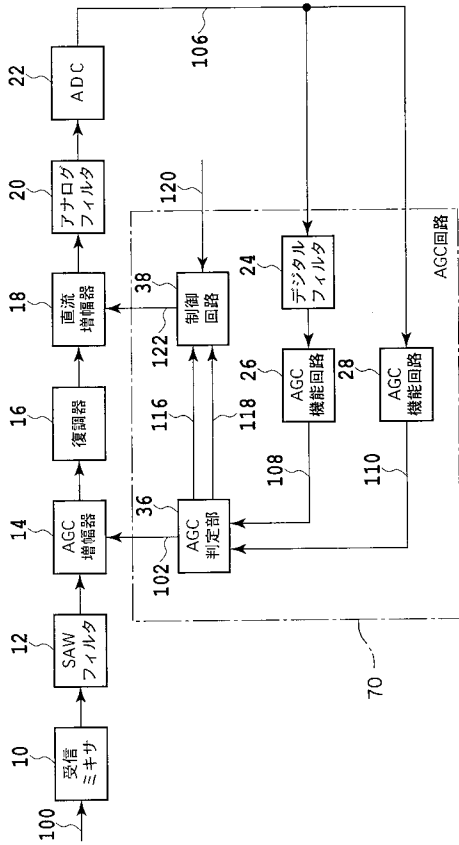
AGC判定部の他の実施例

【 図 8 】



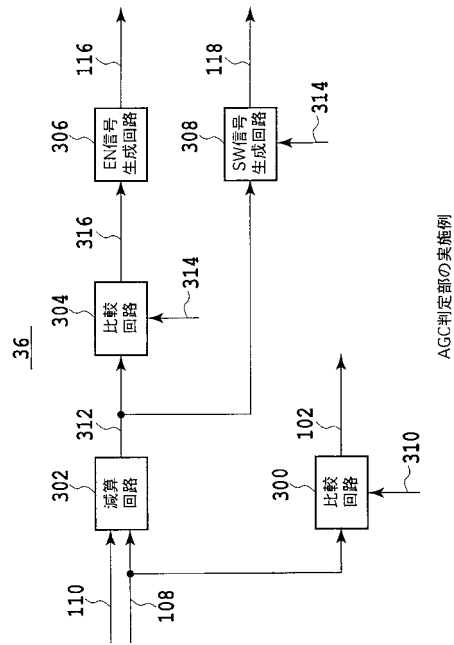
第1のAGC回路の実施例

【図 9】



AGC回路の他の実施例

【図 10】



AGC判定部の実施例