



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 695 31 657 T2** 2004.07.29

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 715 178 B1**

(21) Deutsches Aktenzeichen: **695 31 657.5**

(96) Europäisches Aktenzeichen: **95 118 691.5**

(96) Europäischer Anmeldetag: **28.11.1995**

(97) Erstveröffentlichung durch das EPA: **05.06.1996**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **03.09.2003**

(47) Veröffentlichungstag im Patentblatt: **29.07.2004**

(51) Int Cl.<sup>7</sup>: **G06F 11/267**

**G01R 31/3177, G02B 26/08**

(30) Unionspriorität:

**347021                      30.11.1994                      US**

(73) Patentinhaber:

**Texas Instruments Inc., Dallas, Tex., US**

(74) Vertreter:

**Prinz und Partner GbR, 81241 München**

(84) Benannte Vertragsstaaten:

**DE, FR, GB, IT, NL**

(72) Erfinder:

**Bhuva, Rohit L., Plano, US; Tran, Bao, Richardson, US; Conner, James L., Rowlett, US; Overlaur, Michael, Plano, US; Paulsen, Tracy S., Rowlett, US**

(54) Bezeichnung: **Integrierte Schaltung mit Prüfungspfad**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****GEBIET DER ERFINDUNG**

[0001] Die vorliegende Erfindung betrifft allgemein die Herstellung und den Entwurf großer integrierter Schaltkreise und insbesondere den Entwurf und das Testen großer integrierter Schaltkreise mit einem Chip, dessen Testen mit im Handel erhältlichen automatisierten Chip-Prüfsonden zu unpraktisch wäre.

**HINTERGRUND DER ERFINDUNG**

[0002] Seit der Erfindung des integrierten Schaltkreises sind Halbleiterchips zunehmend aufwendiger und größer geworden. Um das Bereitstellen qualitativ hochwertiger und zuverlässiger Produkte für die Industrie zu gewährleisten, führen Halbleiterhersteller traditionell einen Funktionstest ihrer integrierten Schaltkreise aus und inspizieren sie optisch, bevor der Chip gekapselt wird.

[0003] Traditionell werden zum Ausführen eines funktionellen Testens von Chips planare Standard-Sondeneinrichtungen implementiert, um die Funktionalität des Chips zu testen. Der integrierte Schaltkreis wird gewöhnlich mit peripheren Testkontaktstellen ausgelegt, die mit der Schaltungsanordnung verbunden sind und auf die von den automatisierten Prüfsonden zugegriffen wird. Dem integrierten Schaltkreis wird über die Bondkontaktstellen Leistung zugeführt, und der Schaltkreis wird unter Verwendung eigens ausgelegter Softwaretestprogramme dynamisch auf seine Funktionalität getestet. Chips integrierter Schaltkreise, die etablierten Leistungsparametern nicht genügen, werden entweder identifiziert und repariert oder zurückgewiesen und gelangen nie bis zum Kapselungsschritt. Diese Testprozedur kann recht anspruchsvoll sein und der Chip des integrierten Schaltkreises kann dabei Schwingungen, Feuchtigkeit, extremen Temperaturen und dergleichen ausgesetzt werden.

[0004] Mit der Weiterentwicklung der integrierten Schaltkreise wurden auch die automatisierten Standard-Prüfsonden weiterentwickelt. Automatisierte Prüfsonden sind von wohlbekannten Firmen, wie Hewlett Packard und Teledyne, erhältlich. Einige hochentwickelte integrierte Schaltkreise, einschließlich digitaler Signalprozessoren, messen 1 Zoll mal 1 Zoll, was nach Industriestandards riesig ist. Wenn die Größe dieser integrierten Schaltkreise immer weiter zunimmt, müssen auch der Entwicklungsgrad und die Konformität herkömmlicher Testeinrichtungen immer weiter zunehmen.

[0005] Eine interessante Technologie, die von Texas Instruments Incorporated aus Dallas, Texas entwickelt wurde, ist ein räumlicher Lichtmodulator (SLM), der aus einer Matrix digitaler Mikrospiegelvorrichtungen (DMDs) besteht. Diese DMDs können sowohl in elektrostatischen Hardcopy-Druckern implementiert werden als auch verwendet werden, um

hochauflösende Anzeigen einschließlich Bildschirmen und Großbild-Fernsehgeräten, bereitzustellen. Beim Entwurf eines Fernsehgeräts implementierte DMDs sind im DeMond u. a. erteilten US-Patent US-A-5 079 544 mit dem Titel "Standard Independent Digitized Video System" und im veröffentlichten europäischen Patentedokument EP-A-0 332 953 offenbart, die beide auf den Erwerber der vorliegenden Erfindung übertragen wurden. Eine in eine Hardcopy-Druckvorrichtung aufgenommene DMD ist im veröffentlichten europäischen Patentedokument EP-A-0 433 981 offenbart, wobei dieses Patent auch auf den Erwerber der vorliegenden Erfindung übertragen wurde.

[0006] Die Entwicklung von DMDs für die Hardcopy-Druckprodukte ist deswegen besonders anspruchsvoll, weil sich die Länge der integrierten Schaltkreise 5 Zoll nähert. Diese DMDs weisen eine lineare Matrix als Pixel dienender Mikrospiegel auf, und sie können eine Matrix mit 64 mal 7056 Pixel aufweisen. Eine Erfindung, die den Bedarf an der zuverlässigen Herstellung großer integrierter Schaltkreise dieser Größe adressiert, ist in der im Querverweis erwähnten Patentanmeldung offenbart, wobei ein einziges Retikel bei einer Step-und-Repeat-Prozedur unter Verwendung einer herkömmlichen Photolithographieeinrichtung implementiert ist. Durch Implementieren eines einzigen Retikels belichtet die Step-und-Repeat-Prozedur den Chip so, daß jeweils ein Modul zur Zeit belichtet wird, wobei einige Zwischenmodule einem Repeat-Vorgang unterzogen werden, um ein Modul zuverlässig mit einem benachbarten Modul auszurichten. Die vorstehend erwähnte Erfindung geht von dieser für das Herstellen enorm großer integrierter Schaltkreise verfügbaren Entwurfstechnik aus, um die Testbarkeit eines integrierten Schaltkreises dieser Größe und dieses hohen Entwicklungsgrads zu ermöglichen.

**ZUSAMMENFASSUNG DER ERFINDUNG**

[0007] Die vorliegende Erfindung bietet durch das Bereitstellen eines großen integrierten Schaltkreises gemäß Anspruch 1, der aus mehreren miteinander verbundenen Schaltkreismodulen besteht, technische Vorteile.

[0008] Der modulare integrierte Schaltkreis ist so ausgelegt, daß er durch eine herkömmliche Prüfsonde, jeweils ein Modul zur Zeit, getestet werden kann, wobei jedes Modul als ein unabhängiger integrierter Schaltkreis getestet wird. Vorzugsweise sind die für das Testen des zugeordneten Schaltkreises des Moduls bereitgestellten Sondenkontaktstellen konsistent angeordnet und Modul für Modul lokalisiert, so daß sie von der automatischen Prüfsonde angesteuert werden können, die von Modul zu Modul gesteppt wird.

[0009] Die vorliegende Erfindung sieht weiterhin ein Verfahren zum Testen eines integrierten Schaltkreises gemäß Anspruch 12 vor.

[0010] Bei einem langgestreckten Chip in der An desjenigen, der in einer Hardcopy-DMD-Vorrichtung verwendet wird, weist jedes den langgestreckten integrierten Schaltkreis bildende Modul Testkontaktstellen auf, die zum Testen der Schaltungsanordnung auf diesem zugeordneten Modul verwendet werden können. Zum unabhängigen Testen jedes Schaltkreismoduls ist manchmal die volle Kontrolle des ganzen integrierten Schaltkreises von den zugeordneten Testkontaktstellen an einem getesteten Modul erforderlich. Daher können die Testkontaktstellen auch zum Steuern des Testens des ganzen integrierten Schaltkreises einschließlich Schaltungsanordnungen anderer den integrierten Schaltkreis bildender Module verwendet werden. Wenn der Testschritt nicht implementiert ist, wie beispielsweise während des Normalbetriebs des integrierten Schaltkreises, werden diese Testkontaktstellen durch die Gatterschaltkreise funktionell und elektrisch vom Rest des integrierten Schaltkreises isoliert, so daß sie den Normalbetrieb des Schaltkreises nicht stören. Demgemäß werden RC-Probleme während des Normalbetriebs des Schaltkreises vermieden. Zum Ermöglichen des Testens großer integrierter Schaltkreise in der Art des in der Hardcopy-Vorrichtung verwendeten 5 Zoll messenden DMD-Chips ist ein Zugriff durch ein Modul auf die Steuerschaltungsanordnung anderer Module erforderlich, um die Schaltungsanordnung auf einem getesteten Modul funktionell zu überprüfen. Dieser bestimmte Chip hat eine Reihe identischer und wiederholbarer Module, welche eine Pixelmatrix bilden und die nebeneinander angeordnet sind, wobei ein Logikmodul an jedem Ende des Chips bereitgestellt ist, wobei dieses linke und rechte Logikmodul die Arbeitsweise des gesamten Chips steuert. Jedes der dazwischen liegenden wiederholbaren Schaltkreismodule bildet eine Matrix von Mikrospiegeln, die von der Logikschaltungsanordnung an jedem Ende des Chips gesteuert werden. Jedes End-Logikmodul kann auch einen Teil der Matrix bilden. Gemäß der vorliegenden Erfindung kann jedes Schaltkreismodul einzeln getestet werden, selbst wenn es hierfür erforderlich sein kann, benachbarten Modulen Signale zuzuführen.

[0011] Gemäß der vorliegenden Erfindung können große, nicht standardmäßige integrierte Schaltkreise hergestellt werden und dabei mit verfügbaren Standard-Testeinrichtungen getestet werden. Indem jedes den integrierten Schaltkreis bildende Schaltkreismodul mit zugeordneten Testkontaktstellen versehen wird, wobei einige Kontaktstellen die Steuerung des gesamten integrierten Schaltkreises ermöglichen, ist eine Fehleranalyse sowohl möglich als auch praktisch durchführbar. Weil die Testkontaktstellen weiterhin später elektrisch vom Rest der funktionellen Schaltungsanordnung isoliert werden können, beeinträchtigen diese Testkontaktstellen nicht die Funktionsweise des integrierten Schaltkreises während des Normalbetriebs.

## KURZBESCHREIBUNG DER ZEICHNUNG

[0012] Die vorliegende Erfindung wird nun beispielhaft mit Bezug auf die anliegende Zeichnung näher beschrieben, wobei

[0013] **Fig. 1** ein Blockdiagramm eines großen integrierten Schaltkreises ist, auf den die vorliegende Erfindung angewendet werden kann, welcher als ein 5 Zoll langer integrierter Schaltkreis mit einem modularen Entwurf dargestellt ist, der in einer Hardcopy-Vorrichtung verwendet werden kann, und

[0014] **Fig. 2** ein schematisches Diagramm der auf einigen Modulen aus **Fig. 1** bereitgestellten Testisoliations-Schaltungsanordnung zum selektiven Isolieren einiger der Testkontaktstellen von der restlichen funktionellen Schaltungsanordnung während des Normalbetriebs des integrierten Schaltkreises ist.

## DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM

[0015] Die vorliegende Erfindung wird zur Erläuterung als in einen DMD-Chip implementiert dargestellt, der in einer von Texas Instruments Incorporated aus Dallas, Texas hergestellten Hardcopy-Vorrichtung verwendet wird. Diese Hardcopy-Vorrichtung implementiert einen SLM vom DMD-Typ, der einen modularen integrierten Schaltkreis mit einer Länge von etwa 5 Zoll aufweist. Das DMD-Hardcopy-Produkt ist im veröffentlichten europäischen Patentdokument EP-A-0 433 981 dargelegt.

[0016] Wenngleich die vorliegende Erfindung als für eine solche Hardcopy-DMD-Vorrichtung ideal geeignet dargelegt wird, soll der Schutzzumfang der vorliegenden Erfindung alle großen integrierten Schaltkreise mit einem modularen Aufbau abdecken, wobei jedes Modul mit herkömmlichen Testeinrichtungen individuell getestet werden kann, selbst wenn das funktionelle Testen einiger oder aller Module vom Zusammenwirken mit anderen Modulen abhängen kann.

[0017] **Fig. 1** zeigt ein vereinfachtes Blockdiagramm eines langgestreckten integrierten Schaltkreises zur Verwendung im dargestellten Hardcopyprodukt. Der integrierte Schaltkreis ist bei **10** allgemein dargestellt, und er weist, wie dargestellt, ein linkes Steuerschaltkreismodul **12**, ein rechtes Steuerschaltkreismodul **14** und mehrere identische Zwischenschaltkreismodule **16** auf. Diese Module sind wie dargestellt miteinander verbunden und nebeneinander angeordnet und bilden eine lineare Pixelmatrix, welche eine Größe von 64 mal 7056 Pixel aufweisen kann. Jedes der Schaltkreismodule **12** und **14** kann, wie dargestellt, auch Pixel aufweisen, welche einen Teil der gesamten Pixelmatrix bilden. Dieser langgestreckte integrierte Schaltkreis **10** kann unter Verwendung des im veröffentlichten europäischen Patentdokument EP-A-0 602 634, das auf den Erwerber der vorliegenden Erfindung übertragen wurde, offenbarten einzigartigen Prozesses hergestellt werden. Im wesentlichen wird der langgestreckte 5 Zoll mes-

sende Chip unter Verwendung eines einzigen Retikels für den Step-und-Repeat-Vorgang über einen Wafer unter Verwendung herkömmlicher Photolithographietechniken hergestellt. Weil alle die Spiegelmatrix bildenden Zwischenschaltkreismodule **16** identisch sind, sind nur drei Muster dieses Retikels erforderlich, um den in **Fig. 1** dargestellten großen, langgestreckten integrierten Schaltkreis zu belichten und herzustellen. Wie dargestellt, sind alle Schaltkreismodule **12**, **14** und **16** auf wenigstens einer Seite über Verbindungen, die unter Verwendung dieses neuartigen Step-und-Repeat-Prozesses erreicht wurden, elektrisch mit einem benachbarten Schaltkreismodul verbunden.

[0018] Wie ersichtlich ist, weisen alle Schaltkreismodule **12**, **14** und **16** gemäß der vorliegenden Erfindung auch eine Gruppe von Testkontaktstellen auf, die allgemein bei **20** dargestellt sind. Jede dieser Testkontaktstellen ist elektrisch mit einem Leiter der zugeordneten Schaltungsanordnung an diesem bestimmten Modul verbunden. Unter Verwendung herkömmlicher Prüfsondeneinrichtungen kann die zugeordnete Schaltungsanordnung an jedem Modul funktionell untersucht werden, während sie Bedingungen unter Einschluß von Schwingungen, Feuchtigkeit und extremen Temperaturen, ausgesetzt wird, falls dies erwünscht ist. Die Testkontaktstellenteile **20** jedes Moduls sind an identischen Stellen in bezug auf das Modul bereitgestellt, so daß Standard-Prüfsondeneinrichtungen (nicht dargestellt) während der Testprozedur leicht von einem Modul zum nächsten über den Schaltkreis **10** gesteppt werden können. Die Kontaktstellen für jeden Teil **20** sind identisch ausgelegt und werden vorzugsweise von Modul zu Modul gemeinsam identifiziert, wie dargestellt ist. Beispielsweise kann die am weitesten links gelegene Kontaktstelle für jeden Testkontaktstellenteil **20** als "T"-Kontaktstelle identifiziert werden. Die von links nach rechts betrachtet zweite, dritte usw. Testkontaktstelle würde für jede Testkontaktstelle auch identisch als Teil **20** bezeichnet werden, wie dargestellt ist. Diese Testkontaktstellen könnten jedoch auch von Modul zu Modul alle verschieden verwendet und identifiziert werden, falls dies erwünscht ist, wobei dies von der Schaltungsanordnung und den Anforderungen des zugeordneten Moduls des Gesamtschaltkreises **10** abhängt.

[0019] Mit Bezug auf das am weitesten links gelegene Schaltkreismodul **12** und das am weitesten rechts gelegene Schaltkreismodul **14** sei bemerkt, daß, wie ersichtlich ist, ein linker Logikschaltkreisteil **22** und ein rechter Logikschaltkreis **24** jeweils elektrisch mit jeweiligen Testkontaktstellen D1 und D2 gekoppelt sind. Wie dargestellt, ist auf jedem Schaltkreismodul **12** und **14** auch ein Gatter oder eine Schalteranordnung **26** bereitgestellt. Der linke Gatterschaltkreis **26** des Moduls **12** ermöglicht, daß die Kontaktstellen L1 und L2 aller Module selektiv elektrisch mit dem linken Logikschaltkreis **22** verbunden werden, und der rechte Gatterschaltkreis **26** des Moduls **14** ermöglicht,

daß alle Kontaktstellen R1 und R2 selektiv elektrisch mit dem rechten Logikschaltkreis **24** verbunden werden. Wie dargestellt, ist jede Testkontaktstelle "T" über eine Leitung **28** mit diesen Gatterschaltkreisen **26** verbunden, und sie werden zum selektiven Aktivieren dieser Gatterteile **26** verwendet. Wenn Schaltkreise **26** aktiviert werden, werden alle Testkontaktstellen L1 und L2 über Leitungen **30** und **32** elektrisch mit dem Logikschaltkreis **22** verbunden, und alle Testkontaktstellen R1 und R2 werden über Leitungen **38** und **40** elektrisch mit dem Logikschaltkreis **24** verbunden, um sie funktionell zu testen, falls es erwünscht ist, die Logikschaltungsanordnungen **22** und **24** zu verwenden.

[0020] Wie dargestellt, weisen alle Zwischenschaltkreismodule **16** eine mit **34** bezeichnete Pixelmatrix in der Art auslenkbarer Mikrospiegel, die normalerweise von der Logikschaltungsanordnung **22** des Moduls **12** sowie von dem Logikschaltkreis **24**, der auf dem rechten Schaltkreismodul **14** bereitgestellt ist, adressiert und gesteuert werden, auf. Die Steuerung dieser Anordnung erfolgt über Leitungen **36**, wie dargestellt ist, welche Zeilen- und Spaltenadreibleitungen, Taktleitungen, Leseleitungen und Schreibleitungen usw. darstellen.

[0021] In der vorstehenden Erläuterung wird die Arbeitsweise der Pixelmatrixteile **34** von beiden Logikschaltkreisen **22** und **24** des linken Schaltkreismoduls **12** bzw. des rechten Schaltkreismoduls **14** gesteuert. Zum geeigneten Testen jedes Pixelmatrixteils **34** der Schaltkreismodule **16** sind demgemäß Schaltkreisleiter **30**, **32**, **38** und **40** bereitgestellt, um jede der Testkontaktstellen L1, L2, R1 und R2 über die jeweilige Gatterschaltungsanordnung **26** mit den geeigneten Logikschaltkreisen **22** und **24** zu verbinden, wie dargestellt ist. Eine herkömmliche Prüfsonde (nicht dargestellt) kann in einer wohlbekannten Weise auf jeden Testkontaktstellenteil **20** zugreifen und die jeweilige Matrix **34** funktionell überprüfen. Leistung und Masse werden dem integrierten Schaltkreis **10** über beliebige der Testkontaktstellen P und G zugeführt.

[0022] **Fig. 2** zeigt eine schematische Darstellung der bevorzugten Ausführungsform jeder Gatterschaltungsanordnung **26**, wenngleich auch andere äquivalente Schaltkreise zum Erreichen der Funktion akzeptierbar sind, wobei der Schaltkreis **26** des Moduls **12** zur Erläuterung dargestellt ist. Die Gatterschaltungsanordnung **26** weist eine getrennte MOS-Transistor-Schaltvorrichtung **50** in Reihe mit jeder zugeordneten Signalleitung in der Art der Leitungen **30**, **32**, **38** und **40** auf, wie in **Fig. 1** dargestellt ist. Der Drain-Anschluß jedes MOS-Transistors **50** ist mit der Eingangsseite verbunden, und sein Source-Anschluß ist mit der Ausgangsseite verbunden. Der Gate-Anschluß jedes MOS-Transistors **50** ist mit der Testfreigabeleitung **28** verbunden, und diese Testfreigabeleitung ist mit der Kontaktstelle "T" jedes Kontaktstellenteils **20** aus **Fig. 1** verbunden. Durch Freigeben der Testleitung **28** wird jeder Schalttransistor

**50** durchgeschaltet, wodurch ermöglicht wird, daß jeweilige Signale vom Drain-Anschluß zum Source-Anschluß durch diesen fließen.

[0023] Wenn es nicht erwünscht ist, den integrierten Schaltkreis **10** zu testen, wird die Testleitung **28** von einer Systemsteuereinrichtung (nicht dargestellt) an der Leitung **42** geerdet, wodurch bewirkt wird, daß die Transistoren **50** sperren und die Eingangsleitung von der jeweiligen Ausgangsleitung trennen. Daher können die Testkontaktstellen **20** während des Normalbetriebs des integrierten Schaltkreises **10** von den nach außen führenden Leitungen getrennt werden, die die Systemsteuereinrichtung mit den Logikschaltkreisen **22** und **34** verbinden, welche bei **44**, **46**, **48** und **50** dargestellt sind, wodurch jegliche RC-Probleme vermieden werden. Wie dargestellt ist, wird die Testfreigabeleitung **28** durch ein Paar von Invertierern **52** invertiert. Der Ausgang jedes Invertierers **52** ist mit dem Gate-Anschluß eines jeweiligen MOS-Transistors **54** verbunden. Die MOS-Transistoren **54** werden durch Erden der Kontaktstelle "T" durchgeschaltet. Der Drain-Anschluß jedes Transistors **54** ist geerdet, und sein Source-Anschluß ist mit der jeweiligen Eingangsleitung **30** oder **32** verbunden. Wenn die Testfunktion daher durch Erden der Leitung **28** gesperrt wird, werden die Transistoren **54** wiederum die Eingangsleitungen **30** und **32**, um einen potentialfreien Zustand zu verhindern.

#### TESTVORGANG

[0024] Nachdem in der vorstehenden Beschreibung die bevorzugte Ausführungsform der vorliegenden Erfindung dargelegt wurde, wird nun ein typisches Testszenario gemäß der vorliegenden Erfindung beschrieben. Nachdem der integrierte Schaltkreis **10** hergestellt wurde, wird jedes der integrierten Schaltkreismodule **12**, **14** und **16** unter Verwendung einer herkömmlichen Standard-Prüfsonde (nicht dargestellt) in der Art einer von jenen, die von Hewlett Packard Corporation und von Teledyne Corporation hergestellt werden, individuell getestet.

[0025] Die Prüfsondeneinrichtung wird mit den geeigneten Kontaktstellen des Kontaktstellenteils **20** des Schaltkreismoduls **12** gekoppelt, und Leistung und Masse werden den P- und G-Kontaktstellen des jeweiligen Teils **20** zugeführt. Als nächstes wird ein Freigabesignal von beispielsweise +5 Volt an die Testfreigabe-Kontaktstelle "T" angelegt, wodurch jeder der Gatterteile **26** an den Schaltkreismodulen **12** und **14** freigegeben wird. Danach werden Testsignale an die Testkontaktstellen L1, L2, D1, D2, R1 und R2 angelegt, um die zugeordnete Schaltungsanordnung **22** geeignet zu testen und zu überprüfen. Nachdem das Schaltkreismodul **12** unter Verwendung einer Softwareroutine, die eigens für dieses zugeordnete Schaltkreismodul **12** ausgelegt werden kann, getestet worden ist, wird die Prüfsondeneinrichtung nach rechts zum nächsten zu testenden Schaltkreismodul **16** gesteppt und mit dem Testkontaktstellenteil **20** mit

der zugeordneten Modulschaltungsanordnung **34** verbunden.

[0026] Wiederum werden Leistung und Masse den Kontaktstellen P und G zugeführt, um den gesamten integrierten Schaltkreis **10** mit Energie zu versorgen und seinen Betrieb zu ermöglichen. Die Testfreigabe-Kontaktstelle T wird vorgespannt, und geeignete Testsignale werden den Testkontaktstellen **20** zugeführt, um die jeweilige Matrixschaltungsanordnung **34** des zugeordneten Schaltkreismoduls **16** funktionell zu überprüfen. Wenngleich einige Testsignale, wie Taktsignale, nicht geschaltet werden und der Matrix **34** direkt über jeweilige Testkontaktstellen D1 und D2 zugeführt werden, werden andere Testschaltkreissignale, die zum Betreiben der Matrix **34** erforderlich sind, wie Zeilen- und Spaltenadreßbits, Schreib- und Lesebits usw., der linken und der rechten Logikschaltungsanordnung **22** und **24** der Schaltkreise **12** und **14** zugeführt. Diese Testsignale werden ihnen über die Leitungen **30**, **32**, **38** und **40** und die jeweilige Gatterschaltungsanordnung **26** zugeführt. Natürlich wurde diese Gatterschaltungsanordnung **26** zuerst durch Anlegen der geeigneten Vorspannung an die Testfreigabe-Kontaktstelle T freigegeben. Die Logikschaltkreise **22** und **24** verarbeiten diese Signale von Kontaktstellen L1, L2, R1 und R2 und führen der Matrix **34** Ausgangssignale auf Leitungen **36** zu, welche erforderlich sind, um die Matrix **34** zu überprüfen. Das implementierte Testprogramm emuliert die Systemsteuereinrichtung (nicht dargestellt), die normalerweise verwendet wird, um den Schaltkreis **10** über die Leitungen **44**, **46**, **48** und **50** zu steuern, wenn sie in der Hardcopy-Vorrichtung implementiert ist.

[0027] Danach wird die Prüfsondeneinrichtung nach rechts zum nächsten zu testenden Schaltkreismodul **16** gesteppt, und es wird die gleiche Testsequenz erneut ausgeführt. Schließlich wird die Prüfsondeneinrichtung zum letzten Schaltkreismodul **14** nach rechts gesteppt, wobei die geeigneten Testsignale den jeweiligen Testkontaktstellen **20** zugeführt werden.

[0028] Jedes der Schaltkreismodule **12**, **14** und **16** kann unter Verwendung herkömmlicher Standard-Prüfsonden-Testeinrichtungen individuell dynamisch getestet und überprüft werden. Die Anordnung der Testkontaktstellen an jedem Schaltkreismodul ermöglicht zusammen mit der Gatterschaltungsanordnung **26** des linken Logikschaltkreises **22** und der rechten Logikschaltungsanordnung **24** einen vollständigen Betrieb des integrierten Schaltkreises **10** von jeder der Testkontaktstellen **20** jedes der Schaltkreismodule **12**, **14** oder **16**. Alle Schaltkreismodule können charakterisiert werden, wobei jegliche Fehler auf der Modulebene isoliert werden.

#### ANDERE AUSFÜHRUNGSFORMEN

[0029] Wenngleich die vorliegende Erfindung mit Bezug auf einen langgestreckten integrierten

DMD-Schaltkreis in der An jener, die in einer Hardcopy-Vorrichtung implementiert sind, dargelegt wurde, soll der Schutzzumfang der vorliegenden Erfindung den modularen Entwurf und das Verfahren zum Testen aller integrierten Schaltkreise mit nicht standardmäßiger Größe und mit einer Größe, die jene übersteigt, die mit herkömmlichen Standard-Prüfsondeneinrichtungen kompatibel sind, abdecken. Demgemäß liegt ein großer integrierter Schaltkreis, der sowohl eine große Breite als auch eine große Länge aufweist, wie eine große Speichervorrichtung, ein großer Signalprozessor, ein großer Mikroprozessor usw., auch innerhalb des Schutzzumfangs der vorliegenden Erfindung. Der integrierte Schaltkreis ist modularisiert und mit zugeordneten Testkontaktstellen versehen, wobei jedes Modul einzeln testbar ist. Einige Module werden in Zusammenwirken mit anderen Modulen getestet, die diesen großen integrierten Schaltkreis bilden. Daher ist die vorliegende Erfindung flexibel und kann in beliebige Architekturen integrierter Schaltkreise, wie Matrizen oder Funktionsuntergruppen, aufgenommen werden, die modularisiert werden können.

[0030] Wenngleich die vorliegende Erfindung dargelegt wurde, wobei die Testkontaktstellenteile von Modul zu Modul an identischen Stellen bereitgestellt sind, sollte daraus keine Beschränkung auf das identische Anordnen dieser Testkontaktstellenteile abgeleitet werden. Beispielsweise können die Testkontaktstellenteile in einer unteren linken Ecke eines Moduls, einer mittleren Stelle des nächsten Schaltkreismoduls und einer unteren rechten Stelle des nächsten Schaltkreismoduls bereitgestellt werden. Das Testen jedes Moduls kann weiterhin einzeln unter Verwendung herkömmlicher Prüfsondeneinrichtungen erfolgen, wobei diese Testkontaktstellenteile einen Zugang zur Steuerung des gesamten integrierten Schaltkreises bieten können. Einige oder alle dieser Testkontaktstellen können während des Normalbetriebs elektrisch vom integrierten Schaltkreis getrennt werden, beispielsweise durch Sperren des Gatterschaltkreises, der die Testkontaktstellen mit den Schaltkreismodulteilern verbindet. Mit der vorliegenden Erfindung kann jedes der Schaltkreismodule auch unter Verwendung herkömmlicher Technologien und Einrichtungen optisch getestet werden.

[0031] Wenngleich dargelegt wurde, daß die vorliegende Erfindung nur wenige Testkontaktstellen für jeden Kontaktstellenteil und nur wenige miteinander verbundene zugeordnete Signalleitungen aufweist, ist zu verstehen, daß viele Testkontaktstellen und viele solcher Signalleitungen bei solchen komplexen Vorrichtungen typisch sind und in Zusammenhang mit der vorliegenden Erfindung geeignet sind. Zusätzlich kann die Gatterschaltungsanordnung **26** unter Verwendung anderer Schaltkreisentwürfe zum selektiven Isolieren der Testkontaktstellen von dem betriebswirksamen Schaltkreis implementiert werden.

[0032] Wenngleich die Erfindung mit Bezug auf eine spezifische bevorzugte Ausführungsform beschrieben

wurde, werden Fachleuten beim Lesen der vorliegenden Anmeldung viele Variationen und Modifikationen einfallen.

## Patentansprüche

1. Ein integrierter Halbleiterschaltkreis, der folgendes enthält:  
eine Mehrzahl von miteinander verbundenen Schaltkreiseinheiten (**12**, **14**, **16**), **dadurch gekennzeichnet**, daß

jede dieser Einheiten einen Schaltungsteil hat und einen zugeordneten Testkontaktstellenteil (**20**), in dem eine erste Mehrzahl von Testkontaktstellen mit dem Schaltungsteil verbunden ist, um Testsignale in den Schaltungsteil einzuspeisen, und daß dieser integrierte Halbleiterschaltkreis weiterhin enthält

einen Steuerschaltkreis (**26**), der mit einer zweiten Mehrzahl von Testkontaktstellen in dem Testkontaktstellenteil (**20**) von jeder der mehreren Schaltkreiseinheiten (**12**, **14**, **16**) und mit dem Schaltungsteil von einer besonderen der mehreren Schaltkreiseinheiten (**12**, **14**, **16**) verbunden ist;

wobei der Testkontaktstellenteil (**20**) von jeder Schaltkreiseinheit einen Testfreigabeeingang (T) für die Steuerung des Steuerschaltkreises (**26**) beinhaltet, um selektiv die zweite Mehrzahl von Testkontaktstellen von jeder Schaltkreiseinheit mit dem Schaltungsteil der besonderen Schaltkreiseinheit zu verbinden, so daß der Schaltungsteil der besonderen Schaltkreiseinheit in Reaktion auf Signale arbeitet, die in die zweite Mehrzahl von Testkontaktstellen von der gerade im Test befindlichen Schaltkreiseinheit eingespeist sind.

2. Der integrierte Schaltkreis nach Anspruch 1, wobei einer dieser Testkontaktstellenteile (**20**) eine Mehrzahl von Eingangskontaktstellen hat, die relativ zueinander identisch positioniert sind wie eine Mehrzahl von Eingangskontaktstellen im Testkontaktstellenteil (**20**) von wenigstens einer anderen Einheit, um aufeinanderfolgendes Testen dieser Schaltkreiseinheiten (**12**, **14**, **16**) mit einem einzigen Testausrüstungsteil zu erlauben.

3. Der integrierte Schaltkreis, wie in den Ansprüchen 1 bis 2 beschrieben, worin mindestens zwei der Schaltkreiseinheiten diese Testkontaktstellenteile haben, die allgemein relativ zum zugehörigen Schaltungsteil plazierte sind.

4. Der integrierte Schaltkreis, wie in den Ansprüchen 1 bis 3 beschrieben, weiter dadurch gekennzeichnet, daß:

der Steuerschaltkreis (**26**) auch selektiv den jeweiligen Testkontaktstellenteil (**20**) von allen anderen Schaltkreiseinheiten vom Schaltungsteil der besonderen Schaltkreiseinheit während des normalen Betriebs des integrierten Schaltkreises (**10**) elektrisch isoliert.

5. Der integrierte Schaltkreis nach Anspruch 4, worin dieser Steuerschaltkreis **(26)** selektiv Eingänge des integrierten Schaltkreises **(10)**, die außerhalb des Testkontaktstellenteils **(20)** irgendeiner Einheit liegen, elektrisch mit dem Schaltungsteil der besonderen Schaltkreiseinheit während des normalen Betriebs verbindet.

6. Der integrierte Schaltkreis nach den Ansprüchen 1 bis 5, worin mindestens eine Schaltkreiseinheit **(12, 14)** nicht identisch ist mit jeder anderen Schaltkreiseinheit.

7. Der integrierte Schaltkreis nach den Ansprüchen 1 bis 6, wobei mindestens zwei Schaltkreiseinheiten **(16)** zueinander identisch sind.

8. Der integrierte Schaltkreis nach Anspruch 7, wobei diese zwei identischen Schaltkreiseinheiten **(16)** mit einer nicht identischen Schaltkreiseinheit **(12, 14)** verbunden sind.

9. Der integrierte Schaltkreis nach den Ansprüchen 1 bis 8, wobei die Schaltkreiseinheiten **(12, 14, 16)** einen langgestreckten integrierten Schaltkreis **(10)** bilden, der eine Länge von über einem Inch hat.

10. Der integrierte Schaltkreis nach den Ansprüchen 7 bis 8, wobei die identischen Schaltkreiseinheiten **(16)** einen räumlichen Lichtmodulator beinhalten.

11. Der integrierte Schaltkreis nach Anspruch 10, wobei der räumliche Lichtmodulator eine Mehrzahl von Mikrospiegeleinrichtungen umfaßt.

12. Ein Verfahren zum Testen eines integrierten Schaltkreises **(10)** mit einer Mehrzahl von miteinander verbundenen Schaltkreiseinheiten **(12, 14, 16)**, wobei jede Einheit **(12, 14, 16)** einen Schaltungsteil und einen zugeordneten Testkontaktstellenteil **(20)** beinhaltet, in welchem eine erste Mehrzahl von Testkontaktstellen mit diesem Schaltungsteil verbunden ist, um Testsignale in diesen Schaltungsteil einzuspeisen, wobei dieser integrierte Schaltkreis weiter umfaßt:  
einen Steuerschaltkreis **(26)**, der mit einer zweiten Mehrzahl von Testkontaktstellen in dem Testkontaktstellenteil **(20)** von jeder der mehreren Schaltkreiseinheiten **(12, 14, 16)** und mit dem Schaltungsteil einer besonderen der genannten Mehrzahl von Schaltkreiseinheiten **(12, 14, 16)** verbunden ist;  
wobei der Testkontaktstellenteil **(20)** von jeder Schaltkreiseinheit einen Testfreigabeeingang (T) für die Steuerung des Steuerschaltkreises **(26)** beinhaltet, um selektiv die zweite Mehrzahl von Testkontaktstellen von jeder Schaltkreiseinheit mit dem Schaltungsteil der besonderen Schaltkreiseinheit zu verbinden, so daß der Schaltungsteil der besonderen Schaltkreiseinheit in Reaktion auf Signale arbeitet, die in die zweite Mehrzahl von Testkontaktstellen von

der gerade im Test befindlichen Schaltkreiseinheit eingespeist werden, wobei dieses Verfahren die folgenden Schritte umfaßt:

Verbinden von Testausrüstung mit einem dieser Testkontaktstellenteile **(20)**;

Einspeisen von Signalen in diesen Testkontaktstellenteil **(20)**, um den entsprechenden Schaltungsteil zu testen;

Weiterführen dieser Testausrüstung um einen Schritt zu einer anderen der genannten Schaltkreiseinheiten des integrierten Schaltkreises **(10)**; und

Wiederholen der Schritte des Verbindens und Einspeisens;

wobei der Einspeiseschritt folgendes umfaßt:

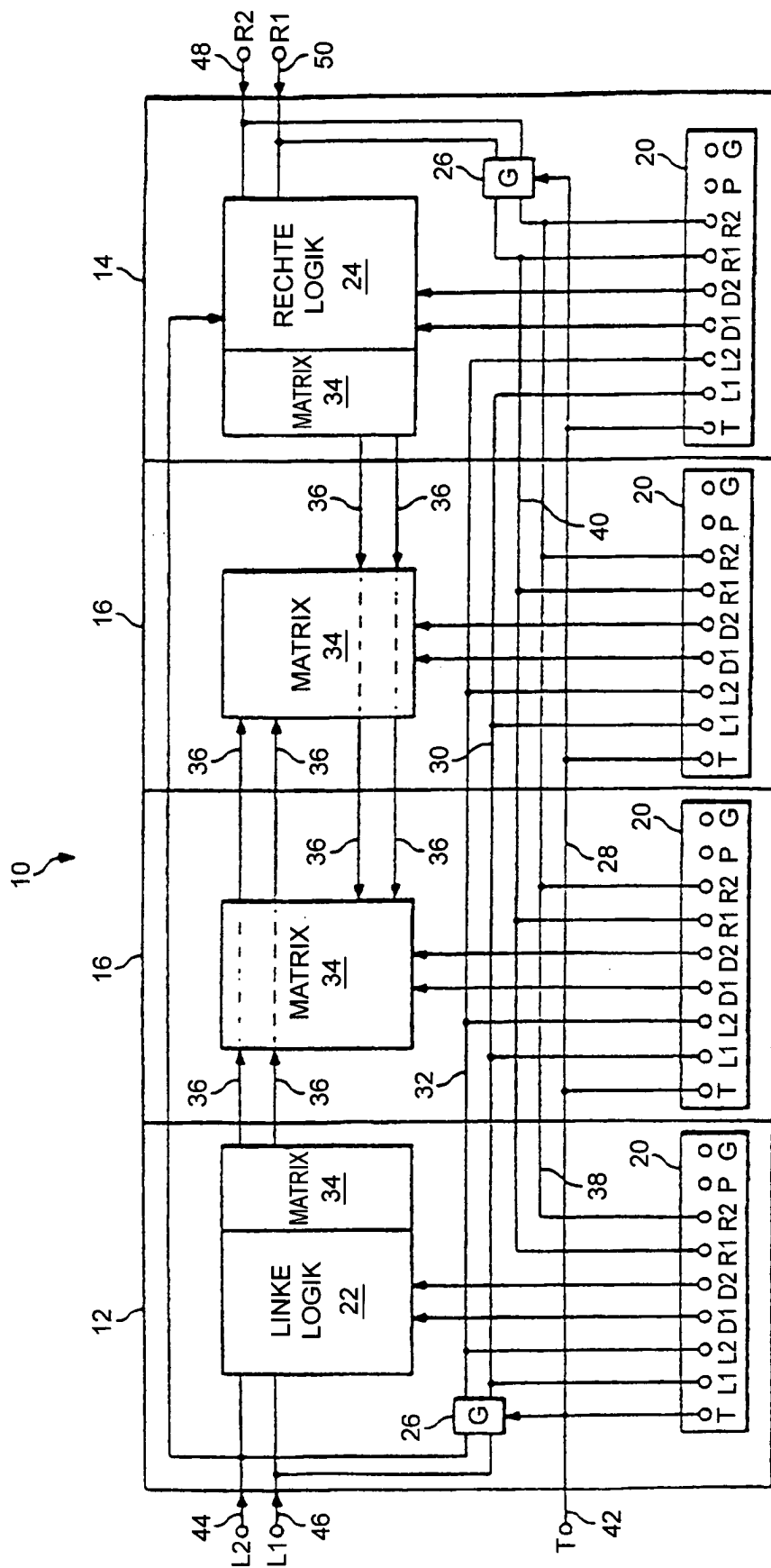
Einspeisen eines Testfreigabesignals in diesen Testkontaktstellenteil **(20)**, um selektiv die zweite Mehrzahl von Testkontaktstellen der Schaltkreiseinheit mit dem Schaltungsteil der besonderen Schaltkreiseinheit zu verbinden; und

Anlegen von Signalen an den Testkontaktstellenteil **(20)**, um den Schaltungsteil der besonderen Schaltkreiseinheit zu betreiben.

13. Das Verfahren nach Anspruch 12 weiter dadurch gekennzeichnet, daß

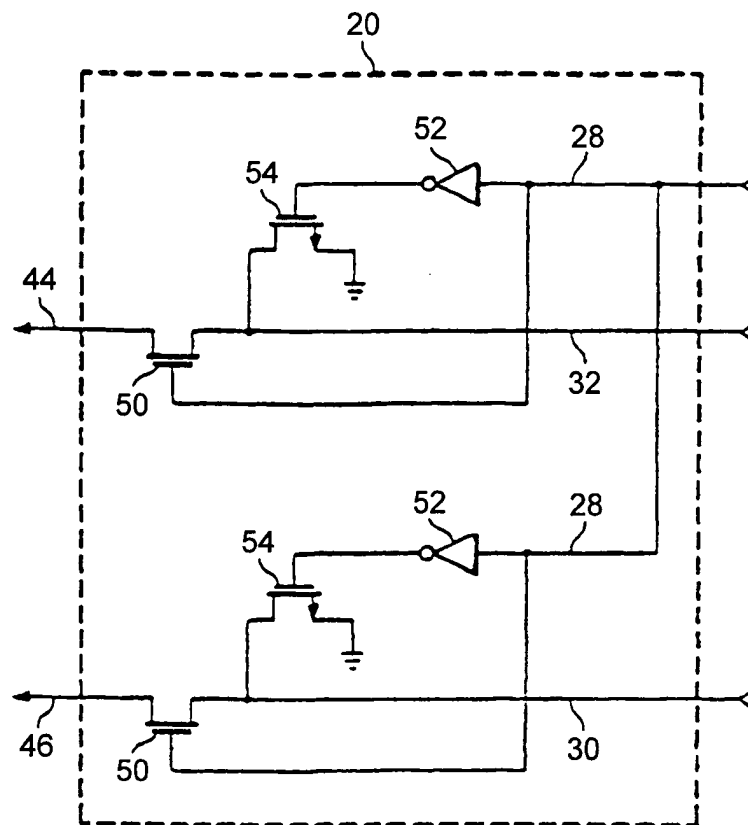
das Testfreigabesignal es einem auf dem integrierten Schaltkreis **(10)** definierten Steuerschaltkreis **(26)** ermöglicht, einige Teile des Testkontaktstellenteils **(20)** mit dem Schaltungsteil der besonderen Schaltkreiseinheit elektrisch zu verbinden.

Es folgen 2 Blatt Zeichnungen



Figur 1





*Figur 2*