

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-149581
(P2019-149581A)

(43) 公開日 令和1年9月5日(2019.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 5 F	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 Q	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 K	
	HO 1 L 29/78 6 5 3 A	

審査請求 有 請求項の数 19 O L (全 41 頁) 最終頁に続く

(21) 出願番号 特願2019-108126 (P2019-108126)
 (22) 出願日 令和1年6月10日 (2019.6.10)
 (62) 分割の表示 特願2018-217766 (P2018-217766)
 の分割
 原出願日 平成26年8月8日 (2014.8.8)
 (31) 優先権主張番号 特願2013-176916 (P2013-176916)
 (32) 優先日 平成25年8月28日 (2013.8.28)
 (33) 優先権主張国・地域又は機関
 日本国 (JP)
 (31) 優先権主張番号 特願2013-176917 (P2013-176917)
 (32) 優先日 平成25年8月28日 (2013.8.28)
 (33) 優先権主張国・地域又は機関
 日本国 (JP)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 110002310
 特許業務法人あい特許事務所
 (72) 発明者 日笠 旭紘
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 F ターム (参考) 4M104 BB01 BB02 BB18 CC05 DD43
 EE03 EE06 EE15 FF27 GG06
 GG08

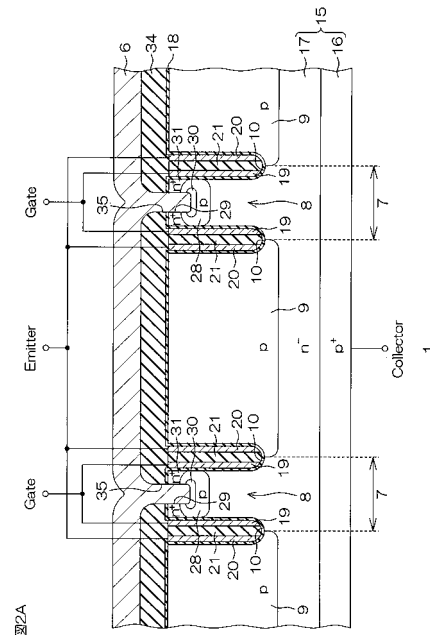
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スイッチング損失およびスイッチングノイズを低減し、優れたオン電圧を達成できる I G B T を備える半導体装置を提供する。

【解決手段】 半導体基板 1 5 に形成された環状トレンチ 1 0 の側方に形成され、環状トレンチ 1 0 の深さ方向に p 型ベース領域 2 8 を挟んで互いに対向する n + 型エミッタ領域 3 1 および n - 型ドレイン領域 1 7 を有する F E T 構造 8 と、環状トレンチ 1 0 を挟んで F E T 構造 8 の反対側に形成された p 型フローティング領域 9 と、環状トレンチ 1 0 内で互いに絶縁分離されたゲート接合部 1 9 および n + 型エミッタ領域 3 1 に電気的に接続されたエミッタ接合部 2 0 とを含み、ゲート接合部 1 9 およびエミッタ接合部 2 0 は、絶縁膜 1 8 を介して F E T 構造 8 および p 型フローティング領域 9 に対向している、半導体装置 1 を形成する。

【選択図】 図 2 A



【特許請求の範囲】

【請求項 1】

表面および裏面を有する第 1 導電型の半導体層と、
 前記裏面の表層部に形成された第 1 導電型のバッファ領域と、
 前記バッファ領域の前記裏面側の表層部に形成された第 2 導電型のコレクタ領域と、
 一方側の第 1 側面および他方側の第 2 側面をそれぞれ含み、断面視において前記第 1 側面同士が対向し、かつ、前記第 2 側面同士が対向する態様で間隔を空けて前記表面に形成され、 $1.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下の幅をそれぞれ有する複数のトレンチと、
 各前記トレンチの内面に形成された絶縁膜と、
 各前記トレンチの前記第 1 側面側に前記絶縁膜を挟んで埋設されたゲート接合部と、
 各前記トレンチの前記第 2 側面側に前記絶縁膜を挟んで埋設されたエミッタ接合部と、
 各前記トレンチ内において前記ゲート接合部および前記エミッタ接合部の間に介在する中央絶縁膜と、
 前記表面の表層部において複数の前記トレンチの前記第 1 側面の間の領域に形成された第 2 導電型のベース領域と、
 前記ベース領域の表層部に形成された第 1 導電型のエミッタ領域と、
 前記表面の表層部において複数の前記トレンチの前記第 2 側面の間の領域に形成された第 2 導電型のフローティング領域と、を含む、半導体装置。

10

【請求項 2】

前記フローティング領域は、前記トレンチの底面を被覆している、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記フローティング領域は、前記エミッタ接合部の下方に形成され、前記ゲート接合部の下方に形成されないように前記トレンチの前記底面を被覆している、請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート接合部は、前記エミッタ接合部および前記中央絶縁膜を介して前記フローティング領域から隔てられている、請求項 1 ~ 3 のいずれか一項に記載の半導体装置。

【請求項 5】

複数の前記トレンチは、平面視において一方方向にそれぞれ延びている、請求項 1 ~ 4 のいずれか一項に記載の半導体装置。

30

【請求項 6】

前記表面を被覆する層間絶縁膜と、
 前記層間絶縁膜を貫通して前記ゲート接合部に電氣的に接続された表面ゲート電極と、
 前記層間絶縁膜を貫通して前記エミッタ接合部および前記エミッタ領域に電氣的に接続された表面エミッタ電極と、をさらに含む、請求項 1 ~ 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記表面ゲート電極は、各前記トレンチの端部側の領域において前記ゲート接合部に電氣的に接続されている、請求項 6 に記載の半導体装置。

40

【請求項 8】

前記表面ゲート電極は、前記層間絶縁膜の上に形成されたゲートパッド、および、前記ゲートパッドから前記層間絶縁膜の上に引き出されたゲートフィンガーを含む、請求項 6 または 7 に記載の半導体装置。

【請求項 9】

前記ゲートフィンガーは、平面視において前記半導体層の内方領域を区画するように前記半導体層の周縁に沿って形成されており、

複数の前記トレンチは、平面視において前記ゲートフィンガーによって区画された領域にそれぞれ形成されている、請求項 8 に記載の半導体装置。

【請求項 10】

50

複数の前記トレンチは、平面視において前記ゲートパッドと重なる領域に形成された前記トレンチを含む、請求項 8 または 9 に記載の半導体装置。

【請求項 11】

前記層間絶縁膜は、前記エミッタ領域を露出させるコンタクトホールを有し、
前記表面エミッタ電極は、前記コンタクトホールを介して前記エミッタ領域に電氣的に接続されている、請求項 6 ~ 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記表面において複数の前記トレンチの前記第 1 側面の間の領域に形成され、前記エミッタ領域を露出させるコンタクト用トレンチをさらに含み、
前記コンタクトホールは、前記コンタクト用トレンチに連通し、
前記表面エミッタ電極は、前記コンタクトホールおよび前記コンタクト用トレンチを介して前記エミッタ領域に電氣的に接続されている、請求項 11 に記載の半導体装置。

10

【請求項 13】

前記コンタクト用トレンチは、前記ベース領域の底部に対して前記表面側に位置している、請求項 12 に記載の半導体装置。

【請求項 14】

前記ベース領域の表層部において前記コンタクト用トレンチに沿う領域に形成された第 2 導電型のベースコンタクト領域をさらに含む、請求項 12 または 13 に記載の半導体装置。

20

【請求項 15】

前記コンタクトホールに埋め込まれ、前記エミッタ領域に電氣的に接続されたコンタクトエミッタ電極をさらに含み、
前記表面エミッタ電極は、前記コンタクトエミッタ電極を介して前記エミッタ領域に電氣的に接続されている、請求項 12 ~ 14 のいずれか一項に記載の半導体装置。

【請求項 16】

前記表面エミッタ電極は、前記層間絶縁膜の上から前記コンタクトホールに入り込み、
前記コンタクトエミッタ電極は、前記表面エミッタ電極において前記コンタクトホール内に位置する部分によって形成されている、請求項 15 に記載の半導体装置。

【請求項 17】

前記表面エミッタ電極は、アルミニウムを含む、請求項 16 に記載の半導体装置。

30

【請求項 18】

前記コンタクトエミッタ電極は、前記表面エミッタ電極とは異なる導電材料を含む、請求項 15 に記載の半導体装置。

【請求項 19】

前記表面エミッタ電極は、アルミニウムを含み、
前記コンタクトエミッタ電極は、タングステンを含む、請求項 18 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IGBT (Insulated Gate Bipolar Transistor) を備える半導体装置に関する。

40

【背景技術】

【0002】

従来、コレクタ - エミッタ間の飽和電圧 $V_{CE(sat)}$ および短絡耐量の高いトレンチ型 IGBT は、p 型フローティング領域を有している。p 型フローティング領域は、一般的に、トレンチゲートに接するように、ドリフト層内に拡散して形成されている。このドリフト層は、エピタキシャルウエハか、またはそれと同程度の抵抗値を有する引き上げウエハである。

【先行技術文献】

50

【特許文献】

【0003】

【非特許文献1】町田悟、杉山隆英、石子雅康、保田智史、斎藤順、濱田公守、「IGBTのスイッチング損失と素子容量の関連解析」、電気学会電子材料研究会資料(EFM-09, 16-26, 28-29)、p. 55-59

【非特許文献2】渡邊聡、森睦宏、新井大夏、石橋亨介、豊田靖、織田哲男、原田卓、齊藤克明、「フローティングp層をゲートから分離した低損失、低ノイズ、高信頼な1.7kVトレンチIGBT」、電気学会電子デバイス研究会資料(EDD-11, 66-83)、p. 67-71

【特許文献1】特許第4785334号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

p型フローティング領域とトレンチゲートとを電氣的に接続させる構造のIGBTでは、トレンチゲートとp型フローティング領域との接合領域において高い浮遊容量を有するため、スイッチング損失が増大するという問題がある。また、スイッチングオン動作時において、スイッチングノイズが発生するという問題もある。オン電圧等の諸特性を犠牲にせずこのような問題を改善する技術は未だ確率されているとは言えない。

【0005】

本発明の一実施形態は、スイッチング損失およびスイッチングノイズを低減し、優れたオン電圧を達成できるIGBTを備える半導体装置を提供する。

20

【課題を解決するための手段】

【0006】

本発明の一実施形態は、表面および裏面を有する第1導電型の半導体層と、前記裏面の表層部に形成された第1導電型のバッファ領域と、前記バッファ領域の前記裏面側の表層部に形成された第2導電型のコレクタ領域と、一方側の第1側面および他方側の第2側面をそれぞれ含み、断面視において前記第1側面同士が対向し、かつ、前記第2側面同士が対向する態様で間隔を空けて前記表面に形成され、1.5 μ m以上3.0 μ m以下の幅をそれぞれ有する複数のトレンチと、各前記トレンチの内面に形成された絶縁膜と、各前記トレンチの前記第1側面側に前記絶縁膜を挟んで埋設されたゲート接合部と、各前記トレンチの前記第2側面側に前記絶縁膜を挟んで埋設されたエミッタ接合部と、各前記トレンチ内において前記ゲート接合部および前記エミッタ接合部の間に介在する中央絶縁膜と、前記表面の表層部において複数の前記トレンチの前記第1側面の間の領域に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のエミッタ領域と、前記表面の表層部において複数の前記トレンチの前記第2側面の間の領域に形成された第2導電型のフローティング領域と、を含む、半導体装置を提供する。

30

【0007】

この構成によれば、スイッチング損失およびスイッチングノイズを低減し、優れたオン電圧を達成できるIGBTを備える半導体装置を提供できる。

【図面の簡単な説明】

40

【0008】

【図1】図1は、本発明の第1実施形態に係る半導体装置の模式的な平面図である。

【図2A】図2Aは、図1に示す半導体装置の模式的な断面図である。

【図2B】図2Bは、図1に示す半導体装置のトレンチの一端部を示す模式的な断面図である。

【図3】図3は、参考例に係る半導体装置の模式的な断面図である。

【図4】図4は、図1に示す半導体装置および参考例に係る半導体装置の各定常損失を比較するためのグラフである。

【図5】図5は、図1に示す半導体装置および参考例に係る半導体装置の各キャリア密度を比較するためのグラフである。

50

【図 6 A】図 6 A は、図 1 の半導体装置の製造工程の一例を説明するための断面図である。

【図 6 B】図 6 B は、図 6 A の次の製造工程を示す図である。

【図 6 C】図 6 C は、図 6 B の次の製造工程を示す図である。

【図 6 D】図 6 D は、図 6 C の次の製造工程を示す図である。

【図 6 E】図 6 E は、図 6 D の次の製造工程を示す図である。

【図 6 F】図 6 F は、図 6 E の次の製造工程を示す図である。

【図 6 G】図 6 G は、図 6 F の次の製造工程を示す図である。

【図 6 H】図 6 H は、図 6 G の次の製造工程を示す図である。

【図 6 I】図 6 I は、図 6 H の次の製造工程を示す図である。

【図 6 J】図 6 J は、図 6 I の次の製造工程を示す図である。

【図 6 K】図 6 K は、図 6 J の次の製造工程を示す図である。

【図 7】図 7 は、本発明の第 2 実施形態に係る半導体装置の模式的な断面図である。

【図 8】図 8 は、本発明の第 3 実施形態に係る半導体装置の模式的な断面図である。

【図 9】図 9 は、本発明の第 4 実施形態に係る半導体装置の模式的な断面図である。

【図 10】図 10 は、第 1 参考例に係る半導体装置の模式的な平面図である。

【図 11】図 11 は、第 1 参考例に係る半導体装置の引き回し配線を説明するための模式的な平面図である。

【図 12】図 12 は、図 10 に示す半導体装置の引き回し配線の拡大平面図である。

【図 13 A】図 13 A は、図 12 に示す切断面線 XIII A - XIII A から見た断面図である。

【図 13 B】図 13 B は、図 10 に示す半導体装置の電氣的構造を説明するための電気回路図である。

【図 14 A】図 14 A は、図 10 に示す半導体装置のスイッチング特性を示すグラフである。

【図 14 B】図 14 B は、図 10 に示す半導体装置のスイッチング特性を示すグラフである。

【図 14 C】図 14 C は、図 10 に示す半導体装置のスイッチング特性を示すグラフである。

【図 15】図 15 は、第 2 参考例に係る半導体装置の模式的な平面図である。

【図 16】図 16 は、第 2 参考例に係る半導体装置の引き回し配線を説明するための模式的な平面図である。

【図 17】図 17 は、前記第 1 実施形態に係る半導体装置の変形例を示す模式的な断面図である。

【図 18】図 18 は、前記第 1 ~ 第 4 実施形態に係る半導体装置が適用されるインバータ回路を説明するための回路図である。

【図 19】図 19 は、前記第 1 および第 2 参考例に係る半導体装置の変形例を示す模式的な断面図である。

【図 20】図 20 は、前記第 1 および第 2 参考例に係る半導体装置が適用されるインバータ回路を説明するための回路図である。

【発明を実施するための形態】

【0009】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図 1 は、本発明の第 1 実施形態に係る半導体装置 1 の模式的な平面図である。

半導体装置 1 は、その表面の法線方向から見た平面視（以下、単に「平面視」と言う。）正形状に形成されており、その表面周縁部には、ゲートフィンガー 2 と、ゲートパッド 3 とが形成されている。ゲートフィンガー 2 は、平面視において、半導体装置 1 の周縁部に沿って略四角環状に形成されている。ゲートフィンガー 2 に取り囲まれた領域には、アクティブ領域 4 が形成されている。

【0010】

ゲートフィンガー 2 の一辺に沿う領域の長手方向中央部には、平面視略四角形状のゲ

10

20

30

40

50

トパッド3が設けられている。ゲートパッド3は、ゲートフィンガー2と一体的に連なるように形成されている。ゲートパッド3には、ボンディングワイヤ（図示せず）が接続され、これにより、半導体装置1に電力が供給される。ゲートフィンガー2およびゲートパッド3は、たとえば、A1を主成分として含む金属材料からなる。なお、この実施形態では、半導体装置1の一辺に沿う領域の長手方向中央部にゲートパッド3が設けられた例について説明するが、ゲートフィンガー2の一つの角部にゲートパッド3が形成されていてもよい。

【0011】

ゲートフィンガー2およびゲートパッド3に取り囲まれた領域内には、ゲートフィンガー2およびゲートパッド3と、エミッタ電極6とが接触することを防止するための除去領域5が形成されている。除去領域5は、ゲートフィンガー2およびゲートパッド3に沿うように、平面視凹環状に形成されている。エミッタ電極6は、除去領域5に取り囲まれた領域を覆うように、平面視において一部が選択的に凹んだ凹状に形成されている。ゲートパッド3は、エミッタ電極6の凹んだ領域に配置されている。エミッタ電極6は、たとえば、ゲートフィンガー2およびゲートパッド3と同じ金属材料からなる。

10

【0012】

アクティブ領域4には、IGBT（Insulated Gate Bipolar Transistor）の単位セル7を形成するFET構造8が、ストライプ状に複数形成されている。複数のFET構造8の間には一定幅の領域が設けられており、この領域に環状トレンチ10が1つずつ形成されている。これにより、アクティブ領域4においてFET構造8と環状トレンチ10とが、交互に形成された構成となっている。

20

【0013】

環状トレンチ10は、前記ストライプ方向に沿って長手な長方形環状に形成された閉曲線構造に形成されている。環状トレンチ10の内方領域には、p型フローティング領域9（図1の破線で示す領域）が形成されている。

なお、環状トレンチ10の形状は、平面視長方形環状に限定されず、環状に形成されていれどどのような形状であってもよい。たとえば、平面視楕円環状の環状トレンチ10が形成されていてもよい。

【0014】

環状トレンチ10の長手方向両端部には、それぞれ、ゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12が形成されている。ゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12は、環状トレンチ10の各端部から互いに反対向きに、外方および内方に引き出されている。

30

ゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12は、いずれも、平面視において環状トレンチ10と一体的に連なるアーチ状に形成されている。より具体的に、ゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12は、いずれも、環状トレンチ10の短辺上に架かるアーチ状（この実施形態では、互いに対向する一对の柱部と、当該一对の柱部を連設する梁部とを含む角アーチ状）に形成されている。そして、各環状トレンチ10に形成されたゲート用コンタクトトレンチ11を（具体的には、ゲート用コンタクトトレンチ11の梁部を覆って）横切るようにゲートフィンガー2が配置されている。

40

【0015】

次に、図2Aおよび図2Bを参照して、半導体装置1の断面図について説明する。図2Aは、図1に示す半導体装置1の模式的な断面図である。図2Bは、図1に示す半導体装置1の環状トレンチ10の一端部を示す模式的な断面図である。図2Aは、環状トレンチ10のストライプ方向に垂直な方向に半導体装置1を切断したときの断面図である。図2Bは、環状トレンチ10の短辺、ゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12を横切る方向に半導体装置1を切断したときの断面図である。

【0016】

図2Aおよび図2Bに示すように、半導体装置1は、本発明の半導体層の一例としての

50

半導体基板 15 を含む。半導体基板 15 は、たとえば、 n^- 型シリコン基板であり、その裏面側から順に p^+ 型コレクタ領域 16 と、 n^- 型ドレイン領域 17 とが形成された構造を有している。 p^+ 型コレクタ領域 16 が半導体基板 15 の裏面全体に露出し、 n^- 型ドレイン領域 17 が半導体基板 15 の表面に露出している。

【0017】

p^+ 型コレクタ領域 16 のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ である。 p 型のドーパントとしては、たとえば、B (ホウ素)、Al (アルミニウム) 等を使用できる (以下、同じ)。一方、 n^- 型ドレイン領域 17 のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ である。また、 n 型のドーパントとしては、たとえば、N (窒素)、P (リン)、As (ヒ素) 等を使用できる (以下、同じ)。

10

【0018】

半導体基板 15 には、半導体基板 15 の表面を厚さ方向に掘り下げた環状トレンチ 10 が形成されている。環状トレンチ 10 は、一定の幅で形成されている。環状トレンチ 10 の側面は、半導体基板 15 の表面に対して略垂直に形成されている。環状トレンチ 10 の底部は、環状トレンチ 10 の側面から丸みを帯びるように形成されている。環状トレンチ 10 に区画された内方領域に、 p 型フローティング領域 9 が形成されている。

【0019】

p 型フローティング領域 9 は、電氣的にフローティング状態が保たれた半導体領域である。 p 型フローティング領域 9 は、この実施形態では、環状トレンチ 10 の下方において外側へ回り込むように形成されていて、その底部が環状トレンチ 10 の底部よりも深いところに位置している。具体的には、 p 型フローティング領域 9 の底部における外周縁は、後述する中央絶縁膜 21 の下方に位置している。これにより、後述するエミッタ接合部 20 の下方には p 型フローティング領域 9 が形成されているが、ゲート接合部 19 の下方には形成されていない。 p 型フローティング領域 9 のドーパント濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

20

【0020】

隣り合う環状トレンチ 10 の間の領域 (環状トレンチ 10 の外方領域) には、環状トレンチ 10 の深さ方向に p 型ベース領域 28 を挟んで互いに対向する n^+ 型エミッタ領域 31 および n^- 型ドレイン領域 17 を含む FET 構造 8 (単位セル 7) が形成されている。

30

p 型ベース領域 28 は、互いに隣り合う一方の環状トレンチ 10 と他方の環状トレンチ 10 によって共有されている。また、この実施形態では、 p 型ベース領域 28 と n^- 型ドレイン領域 17 との界面が環状トレンチ 10 の深さ方向中央部、もしくは中央部よりも上部に設定されていて、 p 型ベース領域 28 は、半導体基板 15 の比較的浅くに拡散形成されている。 p 型ベース領域 28 のドーパント濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【0021】

p 型ベース領域 28 には、半導体基板 15 の表面から掘り下がったコンタクト用トレンチ 29 が形成されている。コンタクト用トレンチ 29 は、環状トレンチ 10 の長手方向に沿って一定の幅で形成されている。コンタクト用トレンチ 29 の底部には、 p^+ 型ベースコンタクト領域 30 が形成されている。 p^+ 型ベースコンタクト領域 30 のドーパント濃度は、たとえば、 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

40

【0022】

p 型ベース領域 28 の表面には、コンタクト用トレンチ 29 と、各環状トレンチ 10 との間において n^+ 型エミッタ領域 31 が形成されている。 n^+ 型エミッタ領域 31 は、コンタクト用トレンチ 29 の両側に一つずつ設けられ、それぞれがコンタクト用トレンチ 29 の側面に露出している。 n^+ 型エミッタ領域 31 のドーパント濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である。

【0023】

図 2 A および図 2 B に示すように、半導体基板 15 の表面および各環状トレンチ 10 の

50

内面（側面および底部）には、たとえばシリコン酸化膜からなる絶縁膜 18 が形成されている。そして、環状トレンチ 10 には、絶縁膜 18 の内側にゲート接合部 19 とエミッタ接合部 20 とが形成されている。ゲート接合部 19 およびエミッタ接合部 20 は、間隔を空けて環状トレンチ 10 内に形成されており、互いに絶縁分離されている。より具体的には、ゲート接合部 19 およびエミッタ接合部 20 は、それぞれ、図 2 A および図 2 B に示す断面において、環状トレンチ 10 の内側の側面および外側の側面に沿う膜状に形成されている。これにより、環状トレンチ 10 の幅方向中央には、ゲート接合部 19 およびエミッタ接合部 20 の各背面（環状トレンチ 10 との接触面の反対面）によって区画された空間が形成されている。そして、この空間が環状トレンチ 10 の開口端まで中央絶縁膜 21 で完全に埋め戻されることによって、ゲート接合部 19 およびエミッタ接合部 20 は互いに絶縁分離されている。

10

【0024】

ゲート接合部 19 は、エミッタ接合部 20 を取り囲むように、平面視略四角環状に形成されている。つまり、ゲート接合部 19 は、環状トレンチ 10 の外方領域側に形成されており、絶縁膜 18 を介して FET 構造 8 と接合されている。ゲート接合部 19 は、たとえば、ポリシリコン等の電極材料により形成されている。

エミッタ接合部 20 は、環状トレンチ 10 の内方領域側に平面視略四角環状に形成されている。つまり、エミッタ接合部 20 は、絶縁膜 18 を介して p 型フローティング領域 9 と接合されている。エミッタ接合部 20 は、ゲート接合部 19 と同一の材料で形成されている。

20

【0025】

図 2 B に示すように、環状トレンチ 10 の長手方向一端部には、ゲート用コンタクトトレンチ 11 とエミッタ用コンタクトトレンチ 12 とが、環状トレンチ 10 の幅 W_1 よりも狭い幅 W_2 で形成されている。環状トレンチ 10 の幅 W_1 は、たとえば $1.5 \mu\text{m} \sim 3.0 \mu\text{m}$ であるのに対して、ゲート用コンタクトトレンチ 11 およびエミッタ用コンタクトトレンチ 12 の幅 W_2 は、たとえば $0.7 \mu\text{m} \sim 1.2 \mu\text{m}$ である。なお、ゲート用コンタクトトレンチ 11 およびエミッタ用コンタクトトレンチ 12 は、この数値の範囲内において、互いに異なる幅で形成されていてもよい。

【0026】

各コンタクトトレンチ 11, 12 の内面には、前述の環状トレンチ 10 と同様に絶縁膜 18 が形成されている。ゲート用コンタクトトレンチ 11 には、絶縁膜 18 を介して埋め込みゲート電極 24 が形成されている。埋め込みゲート電極 24 は、環状トレンチ 10 に形成されたゲート接合部 19 と一体的に連なるように形成されている。一方、エミッタ用コンタクトトレンチ 12 には、絶縁膜 18 を介して埋め込みエミッタ電極 25 が形成されている。埋め込みエミッタ電極 25 は、環状トレンチ 10 に形成されたエミッタ接合部 20 と一体的に連なるように形成されている。

30

【0027】

各コンタクトトレンチ 11, 12 が、それぞれ、各埋め込み電極 24, 25 によって完全に埋め戻されているため、各コンタクトトレンチ 11, 12 を深さ方向上方から見たときのポリシリコン（電極材料）の面積が少なくとも各コンタクトトレンチ 11, 12 の径（幅）と同等になる。その結果、各埋め込み電極 24, 25 に対するコンタクトを容易にとることができる。

40

【0028】

半導体基板 15 の表面には、図 2 A および図 2 B に示すように、層間膜 34 が積層されている。層間膜 34 には、コンタクト用トレンチ 29 と一体的に連なるコンタクトホール 35 が形成されている。また、層間膜 34 には、図 2 B に示すように、埋め込みエミッタ電極 25 を選択的に露出させるエミッタ用コンタクトホール 36 と、埋め込みゲート電極 24 を選択的に露出させるゲート用コンタクトホール 37 とが形成されている。層間膜 34 は、たとえば、オルトケイ酸テトラエチル（TEOS）、ホウ素リンシリケートガラス（BPSG）、酸化シリコン（ SiO_2 ）等の絶縁材料からなる。

50

【0029】

層間膜34上には、エミッタ電極6と、ゲートフィンガー2と、ゲートパッド3（図1参照）とが形成されている。

エミッタ電極6は、コンタクトホール35を介してコンタクト用トレンチ29に入り込み、コンタクト用トレンチ29の側面においてn⁺型エミッタ領域31に接続されている。また、エミッタ電極6は、コンタクト用トレンチ29の底部において、p⁺型ベースコンタクト領域30を介してp型ベース領域28に接続されている。

【0030】

さらに、エミッタ電極6は、エミッタ用コンタクトホール36に入り込み、埋め込みエミッタ電極25と接続されている。これにより、エミッタ電極6からの電力は、埋め込みエミッタ電極25を介してエミッタ接合部20に供給される。

一方、ゲートフィンガー2は、ゲート用コンタクトホール37に入り込み、埋め込みゲート電極24と接続される。これにより、ゲートフィンガー2（ゲートパッド3）からの電力は、埋め込みゲート電極24を介してゲート接合部19に供給される。

【0031】

以上のように、半導体装置1によれば、図2Aに示すように、p型フローティング領域9が環状トレンチ10の内方領域に配置されているため、p型フローティング領域9に対しては、環状トレンチ10の内方領域側に形成されたエミッタ接合部20が対向している。逆に言えば、環状トレンチ10の外方領域側に形成されたゲート接合部19は、エミッタ接合部20および中央絶縁膜21を介してp型フローティング領域9から隔てられている。そのため、環状トレンチ10とp型フローティング領域9との接触による容量成分を、コレクタ-エミッタ接合部間の容量にすることができる。一方、ゲート接合部19はp型フローティング領域9と接していないので、当該ゲート接合部19がp型フローティング領域9と接触することによる容量の影響を受けることを防止することができる。その結果、スイッチング損失を効果的に低減することができる。

【0032】

また、ゲート接合部19が絶縁膜18を介して対向するn⁻型ドレイン領域17は、p⁺型コレクタ領域16と共に接地されるものである。そのため、スイッチング動作時に、ゲート接合部19とn⁻型ドレイン領域17との間の容量変化が安定するので、ノイズが発生し難い。その結果、スイッチング動作時のノイズの発生を低減することができる。

また、半導体装置1の特性と、図3に示す参考例に係る半導体装置41の特性とをシミュレーションにより調べたところ、図4に示すグラフおよび図5に示すグラフを得ることができた。以下、図3の参考例に係る半導体装置41の構成を説明した後、図3～図5を参照しながら、半導体装置1の特性を説明する。

【0033】

図3は、参考例に係る半導体装置41の模式的な断面図である。図3において、前述の図2Aに示された各部と対応する部分には同一の参照符号を付して、説明を省略する。

参考例に係る半導体装置41は、互いに隣り合うトレンチゲート42の間に複数のトレンチエミッタ43を形成し、当該トレンチエミッタ43とp型フローティング領域9とを接合させる構造のIGBTを備えた半導体装置である。なお、図3では、互いに隣り合うトレンチゲート42の間に2つのトレンチエミッタ43が形成された例を示している。

【0034】

トレンチゲート42は、絶縁膜18を介してトレンチ44に埋め込まれたゲート電極45を含み、トレンチエミッタ43は、絶縁膜18を介してトレンチ44に埋め込まれたエミッタ電極46を含む。そして、トレンチゲート42とトレンチエミッタ43との間の各領域にFET構造8が形成されている。つまり、参考例に係る半導体装置41では、トレンチゲート42とp型フローティング領域9との接合領域がなく、かつ各FET構造8が形成された領域に対応して、コンタクト用トレンチ29とコンタクトホール35とが形成されている。

【0035】

10

20

30

40

50

図4は、図1に示す半導体装置1および参考例に係る半導体装置41の各定常損失を比較するためのグラフである。図5は、図1に示す半導体装置1および参考例に係る半導体装置41の各キャリア密度を比較するためのグラフである。

図4のグラフは、コレクタ電流 I_C (A)とコレクタ-エミッタ間の電圧 V_{CE} (V)との関係を示し、図5のグラフは、キャリア密度 ($1/cm^3$)と半導体基板15の表面からの位置 (μm)との関係を示している。図4および図5の各グラフにおいて、半導体装置1の特性を実線で示し、参考例に係る半導体装置41の特性を破線で示している。

【0036】

図4を参照すると、参考例に係る半導体装置41のコレクタ電流 I_C は、その立ち上がりから飽和領域に至るまでの領域がなだらかであり、比較的高いコレクタ-エミッタ間の電圧 V_{CE} の状態、飽和領域に達していることが確認できる。

これに対して、半導体装置1のコレクタ電流 I_C は、その立ち上がりから飽和領域に至るまでの領域が急峻であり、比較的低いコレクタ-エミッタ間の電圧 V_{CE} の状態、飽和領域に達していることが確認できる。

【0037】

また、半導体装置1のオン電圧は、参考例に係る半導体装置41のオン電圧よりも低いことが確認できる。したがって、半導体装置1の定常損失は、参考例に係る半導体装置41の定常損失よりも低いと言える。なお、オン電圧とは、ゲート-エミッタ間にオン状態に必要な電圧を印加した状態 (V_{GE} を印加した状態)で、定格電流を流すために必要なコレクタ-エミッタ間の電圧 V_{CE} で定義される。

【0038】

次に、図5を参照して、半導体装置1のキャリア密度と参考例に係る半導体装置41のキャリア密度とを比較すると、半導体装置1は、半導体基板15の表面から裏面の全域に亘って、参考例に係る半導体装置41のキャリア密度よりも高いキャリア密度を有していることが分かる。

参考例に係る半導体装置41の構成によれば、図3に示すように、トレンチゲート42とp型フローティング領域9との接合領域がないため、ゲート接合部19がコレクタ-ゲート接合部間の容量の影響を受けることがなく、スイッチング損失およびスイッチングノイズの問題の改善が見込める。しかしながら、このような構造の場合、FET構造8がトレンチゲート42とトレンチエミッタ43とで挟み込まれており、隣り合うトレンチゲート42で挟み込まれていない。そのため、トレンチゲート42によるキャリア蓄積効果が減少し、それに伴い、図5に示すように、半導体基板15中のキャリア密度が減少するので、n⁻型ドレイン領域17におけるドリフト抵抗が増加する。その結果、図4に示すように、IGBTのオン電圧が比較的が高くなる。

【0039】

これに対して、半導体装置1の構成によれば、図2Aに示すように、FET構造8が隣り合うゲート接合部19によって挟み込まれているので、ゲート接合部19によるキャリア蓄積効果を高めることができる。これにより、図5に示すように、半導体基板15中のキャリア密度が増加するので、n⁻型ドレイン領域17におけるドリフト抵抗を減少させることができる。その結果、図4に示すように、IGBTのオン電圧を低減させることができる。

【0040】

また、図示はしないが、半導体装置1および参考例に係る半導体装置41の構造それぞれに関して、スイッチングノイズがどの程度発生するかをシミュレーションしたところ、半導体装置1の構造のノイズが参考例に係る半導体装置41の構造に比べて顕著に小さいことを確認した。

さらに、半導体装置1の構成によれば、参考例に係る半導体装置41と異なり、同一の環状トレンチ10内にゲート接合部19とエミッタ接合部20とが設けられているので、トレンチゲート42およびトレンチエミッタ43を形成する必要がない。したがって、形成されるべきFET構造8の数が少なく済む。つまり、FET構造8を接続するための

10

20

30

40

50

コンタクト用トレンチ 29 (コンタクトホール 35) の数が少なく済む。これにより、コンタクト開口率を小さくできるので、IGBTの短絡耐量が低下することを効果的に抑制することができる。

【0041】

次に、図 6 A ~ 図 6 K を参照して、半導体装置 1 の製造工程について説明する。図 6 A ~ 図 6 K は、図 1 の半導体装置 1 の製造工程の一例を説明するための断面図である。なお、図 6 A ~ 図 6 K は、それぞれ図 2 A に対応している。

半導体装置 1 を製造するために、まず、図 6 A に示すように、裏面側に p⁺ 型コレクタ領域 16 が形成されていない状態の半導体基板 15 が用意される。次に、p 型フローティング領域 9 が形成されるべき領域に選択的に開口を有するイオン注入マスク 50 が半導体基板 15 上に形成される。そして、イオン注入マスク 50 を介して p 型ドーパントが半導体基板 15 に注入される。これにより、イオン注入領域 56 が形成される。イオン注入領域 56 の形成後、イオン注入マスク 50 は除去される。

10

【0042】

次に、図 6 B に示すように、環状トレンチ 10 と、ゲート用コンタクトトレンチ 11 と、エミッタ用コンタクトトレンチ 12 (図 2 B 参照) とを形成すべき領域に選択的に開口を有するハードマスク 51 が半導体基板 15 上に形成される。そして、ハードマスク 51 を介して半導体基板 15 にエッチング処理が施されて、各トレンチ 10, 11, 12 が同時に形成される。トレンチ 10, 11, 12 の形成後、ハードマスク 51 は除去される。

20

【0043】

次に、図 6 C に示すように、半導体基板 15 の表面に熱酸化処理が施される。これにより、各トレンチ 10, 11, 12 の内面 (底面および側面) を含む半導体基板 15 の表面にシリコン酸化膜からなる犠牲酸化膜 57 が形成される。

次に、図 6 D に示すように、犠牲酸化膜 57 で覆われた半導体基板 15 をアニール処理することによって、イオン注入領域 56 中の p 型ドーパントが拡散する (ドライブイン)。このアニール処理は、p 型ドーパントが環状トレンチ 10 の下方に回り込む条件で行われる。このとき、ドライブイン処理に先立って、環状トレンチ 10 の内面に犠牲酸化膜 57 を形成しているため、当該内面からのイオン抜けを防止することができる。これにより、p 型ドーパントを効率よく拡散させることができ、その結果、環状トレンチ 10 の下方に回り込む p 型フローティング領域 9 が形成される。

30

【0044】

次に、図 6 E に示すように、犠牲酸化膜 57 が剥離された後、半導体基板 15 の表面に熱酸化処理が施されることによって絶縁膜 18 が形成される。次に、たとえば CVD (Chemical Vapor Deposition: 化学的気相成長) 法により、半導体基板 15 の表面にポリシリコンを堆積させてポリシリコン堆積層 52 を形成する。この際、ゲート用コンタクトトレンチ 11 およびエミッタ用コンタクトトレンチ 12 の幅 W_2 が環状トレンチ 10 の幅 W_1 よりも狭い ($W_2 < W_1$ 図 2 参照)。そのため、幅 W_1 の環状トレンチ 10 には、図 6 E に示すように、その内面の形状に倣ってポリシリコン堆積層 52 が形成される一方、幅 W_2 の各コンタクトトレンチ 11, 12 においては、その一方および他方の側面に堆積したポリシリコン堆積層 52 同士が各コンタクトトレンチ 11, 12 の内側で一体化する。これにより、図 2 B に示すように、各コンタクトトレンチ 11, 12 をポリシリコン堆積層 52 によって完全に埋め戻すことができ、各コンタクトトレンチ 11, 12 に埋め込まれた埋め込みゲート電極 24 および埋め込みエミッタ電極 25 を得ることができる。次に、ポリシリコン堆積層 52 の表面を酸化させて薄いポリシリコン酸化膜 53 を形成する。

40

【0045】

次に、図 6 F に示すように、たとえば RIE (Reactive Ion Etching) 法等の異方性エッチングにより、環状トレンチ 10 の側面に形成されたポリシリコン堆積層 52 を残すように、半導体基板 15 の表面と環状トレンチ 10 の底部とに形成されたポリシリコン堆積層 52 を選択的に除去する。これにより、ゲート接合部 19 およびエミッタ接合部 20 が

50

同時に形成される。

【0046】

次に、図6Gに示すように、たとえばHDP-CVD(High Density Plasma CVD:高密度プラズマCVD)法等により、 SiO_2 が環状トレンチ10(より具体的には、ゲート接合部19およびエミッタ接合部20の間との領域)を埋め戻すように、半導体基板15の表面に堆積される。これにより、 SiO_2 膜54が形成される。

次に、図6Hに示すように、 SiO_2 膜54の表面が半導体基板15の表面と略面一になるように、たとえばドライエッチング等によりエッチバックされる。これにより、ゲート接合部19およびエミッタ接合部20の間に介在する中央絶縁膜21が形成される。

【0047】

次に、図6Iに示すように、p型ベース領域28とn⁺型エミッタ領域31とが形成されるべき領域に選択的に開口を有するイオン注入マスク55が形成される。そして、イオン注入マスク55を介してp型ドーパントとn型ドーパントとが選択的に半導体基板15に注入される。これにより、p型ベース領域28とn⁺型エミッタ領域31とを含むFET構造8が形成される。p型ベース領域28およびn⁺型エミッタ領域31が形成された後、イオン注入マスク55は除去される。

【0048】

次に、図6Jに示すように、たとえばLP-CVD(Low Pressure CVD:減圧CVD)法等により、半導体基板15上にTEOSが堆積されて、層間膜34が形成される。次に、コンタクトホール35と、エミッタ用コンタクトホール36およびゲート用コンタクトホール37(図2B参照)とを形成すべき領域に選択的に開口を有するハードマスク(図示せず)が層間膜34上に形成される。そして、当該ハードマスクを介して層間膜34にエッチング処理を施すことにより、各コンタクトホール35, 36, 37が形成される。また、各コンタクトホール35, 36, 37が形成されるのと同時に、p型ベース領域28には、半導体基板15の表面から掘り下がったコンタクト用トレンチ29が形成される。コンタクト用トレンチ29が形成された後、ハードマスクは除去される。次に、コンタクト用トレンチ29を介してp型ドーパントがp型ベース領域28に注入されて、p⁺型ベースコンタクト領域30が形成される。

【0049】

次に、図6Kに示すように、エミッタ電極6およびゲートフィンガー2(ゲートパッド3)の材料が層間膜34上に堆積される。次に、当該材料がパターニングされることによって、エミッタ電極6およびゲートフィンガー2(ゲートパッド3)が同時に形成される。次に、半導体基板15の裏面にp型のドーパントが選択的に注入されてp⁺型コレクタ領域16が形成される。これにより、半導体基板15は、その裏面側から順に、p⁺型コレクタ領域16とn⁻型ドレイン領域17とが形成された構造となる。以上の工程を経て、半導体装置1が製造される。

【0050】

図7は、本発明の第2実施形態に係る半導体装置61の模式的な断面図である。第2実施形態に係る半導体装置61が、前述の第1実施形態に係る半導体装置1と異なる点は、p型フローティング領域9に代えて、比較的浅く形成されたp型フローティング領域62が形成されている点、および、複数のエミッタ用トレンチ63が環状トレンチ10に囲まれた領域内に形成されている点である。その他の構成は、前述の第1実施形態に係る半導体装置1と同様である。図7において、前述の図2Aに示された各部と対応する部分には同一の参照符号を付して、説明を省略する。

【0051】

p型フローティング領域62は、この実施形態では、p型ベース領域28と同じ深さで形成されている。そして、環状トレンチ10に囲まれた領域内に本発明の第2トレンチとしての複数のエミッタ用トレンチ63が、p型フローティング領域62を貫通するように形成されている。この実施形態では、環状トレンチ10に囲まれた領域内に2つのエミッタ用トレンチ63が形成されている例を示しているが、2つ以上のエミッタ用トレンチ6

10

20

30

40

50

3が形成されている構成であってもよい。また、環状トレンチ10に囲まれた領域内に1つのエミッタ用トレンチ63が形成されている構成であってもよい。

【0052】

エミッタ用トレンチ63は、環状トレンチ10と一体的に連なるように形成されている。より具体的に、エミッタ用トレンチ63は、環状トレンチ10に囲まれた領域において、環状トレンチ10の長手方向に平面視ストライプ状に形成され、環状トレンチ10の各短辺において環状トレンチ10に連なっている。エミッタ用トレンチ63は、環状トレンチ10と同一の断面形状で形成されている。つまり、エミッタ用トレンチ63の幅 W_3 は、環状トレンチ10の幅 W_1 と同じ幅である。また、エミッタ用トレンチ63は、環状トレンチ10と同一の深さで形成されている。

10

【0053】

エミッタ用トレンチ63には、絶縁膜18を介して一对の第2エミッタ接合部64が平面視ストライプ状に形成されている。一对の第2エミッタ接合部64は、前述の第1実施形態におけるゲート接合部19および第2エミッタ接合部20と同様の構成で形成されている。つまり、一对の第2エミッタ接合部64は、間隔を空けてエミッタ用トレンチ63内に形成されていて、互いに絶縁分離されている。より具体的には、一对の第2エミッタ接合部64は、それぞれ、図7に示す断面において、エミッタ用トレンチ63の一方および他方の側面に沿う膜状に、互いに分離して形成されている。これにより、エミッタ用トレンチ63の幅方向中央には、一对の第2エミッタ接合部64の各背面（エミッタ用トレンチ63との接触面の反対面）によって区画された空間が形成されている。そして、この空間がエミッタ用トレンチ63の開口端まで中央絶縁膜21で完全に埋め戻されることによって、一对の第2エミッタ接合部は互いに絶縁分離されている。

20

【0054】

一对の第2エミッタ接合部64は、それぞれ、絶縁膜18を介してp型フローティング領域62と接続されている。また、一对の第2エミッタ接合部64は、環状トレンチ10の各短辺においてエミッタ接合部20と一体的に連なるように形成されている。これにより、エミッタ電極6からエミッタ接合部20を介して第2エミッタ接合部64に電力が供給される。一对の第2エミッタ接合部64は、ゲート接合部19およびエミッタ接合部20と同一の材料で形成されている。

【0055】

このような半導体装置61を形成するには、たとえば、前述の図6Bにおける環状トレンチ10を形成する工程において、エミッタ用トレンチ63を形成するようにハードマスク51のレイアウトを変更すれば良い。その後、ゲート接合部19およびエミッタ接合部20を形成する工程と同一の工程（図6E～図6H参照）を経て、第2エミッタ接合部64を形成することができる。

30

【0056】

以上のように、第2実施形態に係る半導体装置61の構成によっても、前述の第1実施形態に係る半導体装置1と同様の効果を奏することができる。

図8は、本発明の第3実施形態に係る半導体装置81の模式的な断面図である。第3実施形態に係る半導体装置81が前述の第2実施形態に係る半導体装置61と異なる点は、環状トレンチ10に対して相対的に幅狭のエミッタ用トレンチ83が形成されている点である。その他の構成は、前述の第2実施形態に係る半導体装置61と同様である。図8において、前述の図7に示された各部と対応する部分には同一の参照符号を付して、説明を省略する。

40

【0057】

エミッタ用トレンチ83は、環状トレンチ10に囲まれた領域内において、環状トレンチ10の幅 W_1 よりも幅狭に複数形成されている。エミッタ用トレンチ83の幅 W_4 は、たとえば前述のゲート用コンタクトトレンチ11およびエミッタ用コンタクトトレンチ12の幅 W_2 （図2B参照）と同じ幅で形成されていて、 $0.7\mu\text{m} \sim 1.2\mu\text{m}$ である。なお、この実施形態では、3つのエミッタ用トレンチ83が形成されている例を示してい

50

るが、1つ、または2つのエミッタ用トレンチ83が形成されている構成であってもよい。また、3つ以上のエミッタ用トレンチ83が形成されている構成であってもよい。

【0058】

エミッタ用トレンチ83内には、前述の第2実施形態と異なり、一对の第2エミッタ接合部64が形成されておらず、一体物として埋め込まれた第2エミッタ接合部84が形成されている。

以上のように、半導体装置81によっても、前述の第2実施形態において説明した効果と同様の効果を奏することができる。また、エミッタ用トレンチ83の幅 W_4 は、環状トレンチ10の幅 W_1 よりも狭く形成されている。したがって、前述の図6Eの工程において、相対的に幅の狭い各コンタクトトレンチ11, 12がポリシリコン堆積層52で完全に埋め戻された原理と同じ原理によって、環状トレンチ10よりも狭い幅 W_4 のエミッタ用トレンチ83をポリシリコン堆積層52で完全に埋め戻すことができ、エミッタ用トレンチ83に埋め込まれた第2エミッタ接合部84を得ることができる。

【0059】

図9は、本発明の第4実施形態に係る半導体装置91の模式的な断面図である。第4実施形態に係る半導体装置91が前述の第1実施形態に係る半導体装置1と異なる点は、半導体基板15が、 n^- 型バッファ領域92を含む点、および、コンタクト用トレンチ29が形成されていない点、ならびに、それに伴って p^+ 型ベースコンタクト領域30および n^+ 型エミッタ領域31の一部が半導体基板15の表面から露出している点である。その他の構成は、前述の第1実施形態に係る半導体装置1と同様である。図9において、前述の図2Aに示された各部と対応する部分には同一の参照符号を付して、説明を省略する。

【0060】

半導体装置91に係る半導体基板15は、 p^+ 型コレクタ領域16と n^- 型ドレイン領域17との間に介在する n^- 型バッファ領域92を含む。 n^- 型バッファ領域92のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ である。

このような n^- 型バッファ領域92は、前述の図6Kで示した工程において、 p^+ 型コレクタ領域16の形成工程に先立って、 n 型のドーパントを半導体基板15の裏面側に選択的に注入することにより形成することができる。

【0061】

半導体装置91に係る各コンタクトホール35には、タングステンを含むタングステンコンタクト93が形成されている。タングステンコンタクト93は、半導体基板15の表面において p^+ 型ベースコンタクト領域30と n^+ 型エミッタ領域31の一部とに接続されている。また、エミッタ電極6は、タングステンコンタクト93を介して p^+ 型ベースコンタクト領域30および埋め込みエミッタ電極25と接続されている。一方、ゲートフィンガー2は、タングステンコンタクト93を介して埋め込みゲート電極24と接続されている。

【0062】

以上のように、半導体装置91によれば、各コンタクトホール35にタングステンコンタクト93が形成されているので、良好なコンタクトを得ることができる。したがって、図6Jで示した工程において、コンタクト用トレンチ29を別途形成しなくてもよい。また、図6Kで示した工程において、エミッタ電極6およびゲートフィンガー2を形成する際に、各コンタクトホール35にタングステンを埋め込めば良いので、製造工程が煩雑化することもない。このように、半導体装置91の構成によっても、前述の第1実施形態で説明した効果と同様の効果を奏することができる。

【0063】

図10は、第1参考例に係る半導体装置101の模式的な平面図である。

図10に示すように、半導体装置101は、たとえば、半導体装置101の表面を法線方向から見た平面視（以下、単に「平面視」と言う。）において、四角形のチップ状に形成されている。半導体装置101には、アクティブ領域102およびアクティブ領域102を取り囲む終端領域113が設定されている。アクティブ領域102は、半導体装置1

10

20

30

40

50

01の内方領域において平面視略四角形状に形成されている。また、アクティブ領域102には、複数のゲート用トレンチ137がストライプ状に形成されている。

【0064】

半導体装置101の表面には、アクティブ領域102を選択的に取り囲む表面ゲートメタルの一例としてのゲートメタル103と、アクティブ領域102を選択的に覆うエミッタ電極104とが形成されている。図10では、明瞭化のためにゲートメタル103およびエミッタ電極104にクロスハッチングを付している。ゲートメタル103は、さらにパッド部の一例としてのゲートパッド105と、ゲートフィンガー106およびパッド周辺部107からなる配線部167とを含む。

【0065】

ゲートパッド105は、半導体装置101の一边101aに沿う領域の長手方向中央部に平面視略四角形状に形成されている。ゲートパッド105には、ボンディングワイヤ108が接続されることによって外部から電力が供給される。ゲートパッド105は、たとえば、Al(アルミニウム)を主成分として含む金属材料からなる。

ゲートフィンガー106は、半導体装置101のアクティブ領域102を囲むようにライン状に形成されている。より具体的には、ゲートフィンガー106は、平面視において、ゲートパッド105の側方からゲート用トレンチ137のストライプ方向(つまり、半導体装置101の一边101aに沿う方向)に延び、さらに当該一边101aに直角に交わる前記ストライプ方向の直交方向(つまり、他辺101bおよび当該他辺101bと対向する辺101cに沿う方向)に延びて形成されている。ゲートパッド105の周囲には、第1除去領域110を挟んでパッド周辺部107が形成されている。

【0066】

なお、第1参考例では、半導体装置101の一边101aに沿う領域の長手方向中央部にゲートパッド105が設けられた例について説明するが、半導体装置101の一つの角部にゲートパッド105が形成されていてもよい。また、第1参考例では、半導体装置101の一边101aと対向する辺101dにゲートフィンガー106が形成されていない例を示しているが、半導体装置101の周囲を全周に亘ってゲートフィンガー106が形成されていてもよい。

【0067】

第1除去領域110は、ゲートパッド105の周囲を囲むように平面視略四角環状に形成されている。第1除去領域110は、金属材料が取り除かれた領域であり、これにより、ゲートパッド105とパッド周辺部107とが互いに接触しないように形成されている。なお、第1参考例では、第1除去領域110が、ゲートパッド105の周囲を全周に亘って囲む環状に形成されている例について説明するが、第1除去領域110が、ゲートパッド105の周囲の一部を選択的に囲んでいる構成であってもよい。

【0068】

パッド周辺部107は、平面視において、ゲートパッド105の周囲を全周に亘って囲むように略四角環状に形成されている。パッド周辺部107は、ゲートパッド105の側方の領域において、ゲートフィンガー106と一体的に連なるように形成されている。パッド周辺部107には、第1除去領域110の周囲を選択的に囲む第2除去領域111が形成されており、これにより、パッド周辺部107は、第1除去領域110および第2除去領域111に挟まれた内方領域107aと、内方領域107aを取り囲む外方領域107bとに区画されている。

【0069】

ゲートメタル103に区画された半導体装置101の内方領域には、第3除去領域112を挟んでエミッタ電極104が形成されている。第3除去領域112は、ゲートメタル103に沿ってライン状に形成されている。エミッタ電極104は、アクティブ領域102を覆うように形成されている。ゲートメタル103およびエミッタ電極104の下方の領域には、層間絶縁膜145(図13A参照)を介して第1引き回し配線115、ゲートフィンガー用引き回し配線116および第2引き回し配線117が形成されている。

10

20

30

40

50

【0070】

図11は、第1参考例に係る半導体装置101の第1引き回し配線115、ゲートフィンガー用引き回し配線116および第2引き回し配線117を説明するための模式的な平面図である。図12は、図10に示す半導体装置101の第1引き回し配線115、ゲートフィンガー用引き回し配線116および第2引き回し配線117の拡大平面図である。

図11に示すように、第1引き回し配線115は、ゲートパッド105の下方領域においてゲートパッド105およびパッド周辺部107に跨るように、平面視閉曲構造に形成されている。より具体的に、第1引き回し配線115は、ゲートパッド105から第1除去領域110を横切ってパッド周辺部107の内方領域107aに至るように四角環状に形成されている。第1引き回し配線115は、ゲートメタル103よりも抵抗値の高い材料からなり、たとえば、ポリシリコン等の電極材料からなることが好ましい。

10

【0071】

第1引き回し配線115は、図12に示すように、ゲートパッド用コンタクト118を介してゲートパッド105に、また第1パッド周辺部用コンタクト119を介してパッド周辺部107に、それぞれ電氣的に接続されている。ゲートパッド用コンタクト118は、ゲートパッド105において、ゲートパッド105を取り囲む平面視四角環状に形成されている。一方、第1パッド周辺部用コンタクト119は、パッド周辺部107の内方領域107aにおいて、第1除去領域110を取り囲む平面視四角環状に形成されている。このようにゲートパッド105は、第1引き回し配線115を介してパッド周辺部107およびゲートフィンガー106と電氣的に接続されている。

20

【0072】

ゲートフィンガー用引き回し配線116は、ゲートフィンガー106の下方領域に形成されている。ゲートフィンガー用引き回し配線116は、ゲートフィンガー106よりも幅狭に形成されていて、ゲートフィンガー106に完全に覆われている。ゲートフィンガー用引き回し配線116は、第1引き回し配線115と同じ電極材料で形成されている。ゲートフィンガー用引き回し配線116は、図12に示すように、ゲートフィンガー用コンタクト120を介してゲートフィンガー106に電氣的に接続されている。

【0073】

第2引き回し配線117は、第1引き回し配線115の周囲を選択的に囲むように、第1引き回し配線115から所定の間隔を空けて形成されている。第2引き回し配線117は、パッド周辺部107およびアクティブ領域102に跨るように形成されている。より具体的に、第2引き回し配線117は、パッド周辺部107の内方領域107aから、第2除去領域111、パッド周辺部107の外方領域107b、および第3除去領域112を横切るように形成されている。そして、第2引き回し配線117は、ゲートパッド105が形成された領域の側方において、ゲートフィンガー用引き回し配線116と一体的に連なっている。第2引き回し配線117は、第1引き回し配線115と同じ電極材料で形成されている。

30

【0074】

第2引き回し配線117は、図12に示すように、第2パッド周辺部用コンタクト121を介してパッド周辺部107の内方領域107aに、また第3パッド周辺部用コンタクト122を介してパッド周辺部107の外方領域107bに、それぞれ電氣的に接続されている。第2パッド周辺部用コンタクト121は、パッド周辺部107の内方領域107aにおいて、第1パッド周辺部用コンタクト119を選択的に取り囲むライン状に形成されている。一方、第3パッド周辺部用コンタクト122は、パッド周辺部107の外方領域107bにおいて、第2除去領域111を取り囲むライン状に形成されていて、ゲートパッド105が形成された領域の側方において、ゲートフィンガー用コンタクト120と一体的に連なっている。このようにパッド周辺部107は、第2引き回し配線117を介してもゲートフィンガー106と電氣的に接続されている。

40

【0075】

次に、図13Aを参照して、半導体装置101の部分的な断面の構成について説明する

50

。図13Aは、図12に示す切断面線XIIIA - XIIIAから見た断面図である。

図13Aに示すように、半導体装置101は、半導体層の一例としての半導体基板125を含む。半導体基板125は、たとえば、 n^- 型シリコン基板であり、その裏面側から順に p^+ 型コレクタ領域126と、 n^- 型ドレイン領域127とが積層された構造を有している。 p^+ 型コレクタ領域126が半導体基板125の裏面全体に露出し、 n^- 型ドレイン領域127が半導体基板125の表面に露出している。 p^+ 型コレクタ領域126のドーパント濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ である。 p 型のドーパントとしては、たとえば、B（ホウ素）、Al（アルミニウム）等を使用できる（以下、同じ）。一方、 n^- 型ドレイン領域127のドーパント濃度は、たとえば、 $5 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$ である。また、 n 型のドーパントとしては、たとえば、N（窒素）、P（リン）、As（ヒ素）等を使用できる（以下、同じ）。

10

【0076】

半導体基板125のアクティブ領域102には、複数のゲート用トレンチ137がストライプ状に形成されている。複数のゲート用トレンチ137の間には一定幅の領域が設けられており、この領域にIGBTの単位セル136が1つずつ形成されている。

ゲート用トレンチ137は、半導体基板125の表面を掘り下げるように形成されている。より具体的には、ゲート用トレンチ137は、一定の幅で形成されていて、半導体基板125の表面に対してほぼ垂直に形成された側面と、半導体基板125の表面と面一になるように形成された底部とを含む。

20

【0077】

単位セル136は、ゲート用トレンチ137のストライプ方向に沿って形成されていて、 p 型ベース領域140と、 p 型ベース領域140の内方領域に形成された p^+ 型ベースコンタクト領域141および n^+ 型エミッタ領域142とを含む。

p 型ベース領域140は、互いに隣り合う一方のゲート用トレンチ137と他方のゲート用トレンチ137とによって共有されている。 p 型ベース領域140の底部は、ゲート用トレンチ137の底部よりも半導体基板125の表面側に位置している。 p 型ベース領域140のドーパント濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【0078】

n^+ 型エミッタ領域142は、半導体基板125の表面に形成されている。 n^+ 型エミッタ領域142は、ゲート用トレンチ137の側面両側に一つずつ設けられ、それぞれがゲート用トレンチ137の側面に露出している。 n^+ 型エミッタ領域142のドーパント濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。一方、 p^+ 型ベースコンタクト領域141は、各 n^+ 型エミッタ領域142の間の領域に、挟まれるように形成されている。 p^+ 型ベースコンタクト領域141のドーパント濃度は、たとえば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

30

【0079】

半導体基板125の表面およびゲート用トレンチ137の内面（側面および底部）には、絶縁膜134が形成されている。絶縁膜134は、たとえば、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸化アルミニウム（ Al_2O_3 ）等の絶縁材料からなる。そして、絶縁膜134を介してゲート用トレンチ137にゲート電極138が埋め込まれている。

40

【0080】

ゲート電極138は、ゲート用トレンチ137から露出するゲート電極138の表面が、半導体基板125の表面と面一になるようにゲート用トレンチ137に埋め込まれている。ゲート電極138の電極材料は、たとえば前述の第1および第2引き回し配線115、117と同一の電極材料からなることが好ましい。この場合、ゲート電極138と同じ工程で第1および第2引き回し配線115、117を形成することができるので、製造工程を簡略化することができる。

【0081】

50

半導体基板 125 の表面には、絶縁膜 134 を介して、前述の第 1 および第 2 引き回し配線 115, 117、ならびにゲートフィンガー用引き回し配線 116 (図 11 参照) が形成されている。第 2 引き回し配線 117 は、ストライプを横切る方向に沿ってアクティブ領域 102 に引き出された引き出し部 117a を含む。

ゲート電極 138 は、ゲート用トレンチ 137 の長手方向両端部において、ゲート用トレンチ 137 を横切るように形成されたゲートフィンガー用引き回し配線 116 と電氣的に接続されている。これにより、ゲート電極 138 は、ゲートフィンガー用引き回し配線 116 を介してゲートフィンガー 106 と電氣的に接続される。また、ゲート電極 138 は、図 13A に示すように、引き出し部 117a に電氣的に接続されている。これにより、ゲート電極 138 は、引き出し部 117a を介してパッド周辺部 107 に電氣的に接続されている。なお、第 2 引き回し配線 117 はストライプ方向に沿ってアクティブ領域 102 に引き出された引き出し部 117a (図 11, 12 参照) を有していてもよく、これにより、パッド周辺部 107 に電氣的に接続されていてもよい。

10

20

30

40

50

【0082】

半導体基板 125 の表面には、層間絶縁膜 145 が形成されている。アクティブ領域 102 における層間絶縁膜 145 には、 p^+ 型ベースコンタクト領域 141 と、 n^+ 型エミッタ領域 142 の一部とを選択的に露出させるエミッタ用コンタクトホール 147 が形成されている。また、末端領域 113 における層間絶縁膜 145 には、前述のゲートパッド用コンタクト 118、第 1 パッド周辺部用コンタクト 119、ゲートフィンガー用コンタクト 120 (図 12 参照)、第 2 パッド周辺部用コンタクト 121、および第 3 パッド周辺部用コンタクト 122 がそれぞれ形成されている。層間絶縁膜 145 は、たとえば、オルトケイ酸テトラエチル (TEOS)、ホウ素リンシリケートガラス (BPSG)、酸化シリコン (SiO_2) 等の絶縁材料からなる。

【0083】

層間絶縁膜 145 上には、ゲートメタル 103 と、エミッタ電極 104 とが形成されている。エミッタ電極 104 は、エミッタ用コンタクトホール 147 を介して、 p^+ 型ベースコンタクト領域 141 と、 n^+ 型エミッタ領域 142 の一部と電氣的に接続されている。

一方、ゲートメタル 103 は、前述のように、各コンタクト 118, 119, 121, 122 を介して第 1 および第 2 引き回し配線 115, 117 と電氣的に接続されている。これにより、ゲートメタル 103 は、第 1 および第 2 引き回し配線 115, 117 ならびに第 2 引き回し配線 117 の引き出し部 117a を介してゲート電極 138 と電氣的に接続され、表面電流をゲートパッド 105 からゲート電極 138 へと導く電流経路が形成されている。

【0084】

そして、ゲートパッド 105 とエミッタ電極 104 との間の領域を選択的に覆うように表面保護膜 146 が層間絶縁膜 145 上に形成されている。表面保護膜 146 は、たとえば樹脂からなる。

半導体装置 101 は、図 13B に示す電気回路図で表される。図 13B は、図 10 に示す半導体装置 101 の電氣的構造を説明するための電気回路図である。

【0085】

図 13B に示すように、半導体装置 101 は、ゲートパッド 105 と、ゲート電極 138 との間に介装された電流制限部 139 を含む。電流制限部 139 は、ゲートパッド 105 に対して直列に接続された第 1 引き回し配線 115 の抵抗成分、ゲートフィンガー用引き回し配線 116 の抵抗成分、および第 2 引き回し配線 117 の抵抗成分を含む。ゲートパッド 105 に電圧が印加されると、電流制限部 139 を介してゲート電極 138 に電流が流れる。

【0086】

以上のように、半導体装置 101 の構成によれば、図 12、図 13A および図 13B に示すように、ゲートパッド 105 からパッド周辺部 107 およびゲートフィンガー 106

に電流が流れる際に第1および第2引き回し配線115, 117(電流制限部139)を経由することになるので、表面電流によるパッド周辺部107およびゲートフィンガー106への電流の流れ込みを、ゲートパッド105に近い位置で制限できる。これにより、ゲートパッド105に近い位置(特に、パッド周辺部107を経由して電氣的に接続されるゲートパッド105の周辺部)におけるMISゲート構造132のゲート電極138に対して局所的に突入電流(d_i/d_t)が流れ、当該MISゲート構造132が局所的にオンすることを抑制できる。その結果、ゲートパッド105から遠い近いに係らず、複数のMISゲート構造132間での印加電流のばらつきを抑制できる。

【0087】

また、ゲートパッド105からパッド周辺部107の内方領域107aに突入電流が流れても、その後は、第2引き回し配線117を経由するか、もしくは第3除去領域112を迂回してパッド周辺部107の外方領域107bに流れることとなる。すなわち、ゲートパッド105の周辺部のゲート電極138への電流の流れ込みを二重で制限することができる。したがって、ゲートパッド105の近傍に配置されたMISゲート構造132のゲート電極138に流れ込む突入電流を効果的に制限することができる。一方、ゲートフィンガー106は、ゲートパッド105から比較的遠い位置でMISゲート構造132のゲート電極138とコンタクトしているので、これにより突入電流を制限することができる。

10

【0088】

また、半導体装置101のスイッチング特性を調べてみたところ、図14A~図14Cに示すグラフを得ることができた。

20

図14A~図14Cは、図10に示す半導体装置101のスイッチング特性を示すグラフである。

図14Aは、半導体装置101のゲート-エミッタ間の電圧 V_{GE} (V)と時間(nsec)との関係を示し、図14Bは、半導体装置101のコレクタ-エミッタ間の電圧 V_{CE} (V)と時間(nsec)との関係を示し、図14Cは、半導体装置101のコレクタ電流 I_C (A)と時間(nsec)との関係を示している。図14A~図14Cにおいて、半導体装置101の特性を実線で、また、参考例に係る半導体装置148のスイッチング特性を破線で示している。参考例に係る半導体装置148とは、第1および第2引き回し配線115, 117が形成されていない半導体装置である。

30

【0089】

図14Aを参照すれば、参考例に係る半導体装置148では、ターンオン時間 t_{on} において、ゲート-エミッタ間の電圧 V_{GE} にノイズが発生していることが確認できる。これに対して、半導体装置101では、参考例に係る半導体装置148のようなノイズは確認できない。なお、ターンオン時間 t_{on} とは、IGBTのターンオン時にゲート-エミッタ間の電圧 V_{GE} の立ち上がりからコレクタ-エミッタ間の電圧 V_{CE} が最大値の10%に下降するまでに要する時間で定義される。

【0090】

また、図14Bを参照すれば、参考例に係る半導体装置148では、上昇時間 t_r において、コレクタ-エミッタ間の電圧 V_{CE} にノイズが発生していることが確認できる。これに対して、半導体装置101では、参考例に係る半導体装置148のようなノイズは確認できない。なお、上昇時間 t_r とは、IGBTのターンオン時にコレクタ電流 I_C が最大値の10%に上昇した時点からコレクタ-エミッタ間の電圧 V_{CE} が最大値の10%に下降するまでに要する時間で定義される。

40

【0091】

また、図14Cを参照すれば、参考例に係る半導体装置148では、逆回復時間 t_{rr} において、コレクタ電流 I_C にノイズが発生していることが確認できる。これに対して、半導体装置101では、参考例に係る半導体装置148のようなノイズは確認できない。なお、逆回復時間 t_{rr} とは、内蔵ダイオードの逆回復電流が消滅するまでに要する時間で定義される。また、半導体装置101では、逆回復時間 t_{rr} において、参考例に係る

50

半導体装置 148 のピーク電流の値よりも低いピーク電流の値となりつつも、実効電流の値は殆ど変わっていないことが確認できる。これは、実効電流として検出される電流以外の電流、すなわち、ゲートメタル 103 に流れる表面電流（突入電流）が、第 1 および第 2 引き回し配線 115, 117 を介してゲート電極 138 に流れるためである。

【0092】

図 14A ~ 図 14C において、参考例に係る半導体装置 148 のノイズの発生は次のように説明される。すなわち、MIS ゲート構造 132 の周辺に形成されたゲートパッド 105、ならびにパッド周辺部 107 およびゲートフィンガー 106 には、通常、寄生インダクタンスや寄生容量による LC 共振回路が構成される。そのため、表面電流が流れると、MIS ゲート構造 132 のスイッチングがトリガとなって共振ノイズが発生する。参考例に係る半導体装置 148 では、第 1 および第 2 引き回し配線 115, 117 が形成されていないので、このような表面電流を制限することができない。したがって、参考例に係る半導体装置 148 では、図 14A ~ 図 14C のグラフに示すように、共振ノイズの波形が検出されている。

10

【0093】

これに対して、半導体装置 101 の構成によれば、表面電流によるパッド周辺部 107 およびゲートフィンガー 106 への電流の流れ込みを制限できるので、MIS ゲート構造 132 が局所的にオンすることを抑制できる。そのため、MIS ゲート構造 132 のスイッチングがトリガとなって共振ノイズが発生することを抑制できる。よって、スイッチングオン動作時において、共振ノイズを原因とするスイッチング損失を低減することができる。

20

【0094】

以上により、突入電流を効果的に制限することができ、スイッチング損失および共振ノイズの発生を低減することができる半導体装置 101 を提供することができる。

図 15 は、第 2 参考例に係る半導体装置 151 の模式的な平面図である。図 16 は、第 2 参考例に係る半導体装置 151 の第 1 および第 2 引き回し配線 160, 161 を説明するための模式的な平面図である。第 2 参考例に係る半導体装置 151 が、前述の第 1 参考例に係る半導体装置 101 と異なる点は、ゲートメタル 103 に代えて、ゲートメタル 152 が形成されている点である。その他の構成は、第 1 参考例に係る半導体装置 101 と同等である。図 15 および図 16 において、前述の図 10 ~ 図 13A に示された各部と対応する部分には同一の参照符号を付して、説明を省略する。なお、半導体装置 151 は、前述の第 1 参考例と同様に、平面視四角形のチップ状に形成されていて、アクティブ領域 102 には、複数のゲート用トレンチ 137 がストライプ状に形成されている。

30

【0095】

図 15 に示すように、半導体装置 151 の終端領域 113 には、アクティブ領域 102 を選択的に取り囲むように、表面ゲートメタルの一例としてのゲートメタル 152 が形成されている。ゲートメタル 152 は、さらにパッド部の一例としてのゲートパッド 153 と、第 1 ゲートフィンガー 154、第 2 ゲートフィンガー 155、およびパッド周辺部 156 からなる配線部 168 とを含む。

【0096】

ゲートパッド 153 は、第 2 参考例では、半導体装置 151 の一つの角部に形成されている。ゲートパッド 153 は、ボンディングワイヤ 108 が接続されることによって外部から電力が供給される。

40

第 1 ゲートフィンガー 154、第 2 ゲートフィンガー 155、およびパッド周辺部 156 は、半導体装置 151 のアクティブ領域 102 を囲むようにライン状に形成されている。

【0097】

第 1 ゲートフィンガー 154 は、ゲートパッド 153 と一体的に連なるように形成されている。より具体的には、第 1 ゲートフィンガー 154 は、ゲートパッド 153 からゲート用トレンチ 137 のストライプ方向（つまり、半導体装置 151 の一辺 151a に沿う

50

方向)に延び、さらに当該一辺151aに直角に交わる前記ストライプ方向の直交方向(つまり、他辺151bに沿う方向)に延びて形成されている。第1ゲートフィンガー154は、半導体装置151の辺151bに沿う領域において、ゲート用トレンチ137の長手方向の一端を横切るように形成されている。

【0098】

パッド周辺部156は、除去領域157を挟んで、ゲートパッド153の内側の周囲を選択的に囲むように形成されている。除去領域157は、ゲートパッド153の周囲に沿ってライン状に形成されている。つまり、パッド周辺部156は、この除去領域157により、ゲートパッド153および第1ゲートフィンガー154のいずれからも分離して形成されている。

10

【0099】

第2ゲートフィンガー155は、半導体装置151の他辺151bに対向する辺151cに沿って形成されている。より具体的には、ゲートパッド153からゲート用トレンチ137の長手方向の他端を横切るように形成されていて、パッド周辺部156の一端部156aと一体的に連なるように形成されている。すなわち、第2ゲートフィンガー155も、ゲートパッド153および第1ゲートフィンガー154のいずれからも分離して形成されている。

【0100】

ゲートメタル152の下方の領域には、図16に示すように、第1引き回し配線160と、第2引き回し配線161とが形成されている。

20

第1引き回し配線160は、第1ゲートフィンガー154と、第2ゲートフィンガー155とを跨ぐように形成されている。より具体的には、第1引き回し配線160は、除去領域157が形成された領域を横切って、第1ゲートフィンガー154、ゲートパッド153、および第2ゲートフィンガー155が形成された領域に沿って形成されている。第1引き回し配線160は、第1ゲートフィンガー154および第2ゲートフィンガー155よりも幅広に形成されている。第1引き回し配線160は、ゲートメタル152よりも抵抗値の高い材料からなり、たとえば、ポリシリコン等の電極材料からなることが好ましい。

【0101】

第2引き回し配線161は、パッド周辺部156が形成された領域に沿って形成されている。第2引き回し配線161は、パッド周辺部156よりも幅広に形成されている。第2引き回し配線161は、第2ゲートフィンガー155が形成されている領域側において、第1引き回し配線160と一体的に連なるように形成されている。第2引き回し配線161のゲートパッド153側の端部161aは、除去領域157を横切ってゲートパッド153に至るように形成されている。

30

【0102】

図15および図16に示すように、ゲートパッド153および第1ゲートフィンガー154は、ゲートパッド153および第1ゲートフィンガー154に沿って形成された第1コンタクト162を介して、第1引き回し配線160と電氣的に接続されている。

一方、パッド周辺部156および第2ゲートフィンガー155は、第2ゲートフィンガー155に沿って形成された第2コンタクト163を介して第1引き回し配線160と電氣的に接続されている。つまり、ゲートパッド153は、第1引き回し配線160を介して、パッド周辺部156および第2ゲートフィンガー155と電氣的に接続されている。

40

【0103】

第1および第2引き回し配線160, 161は、前述の第1参考例と同様に、ゲート用トレンチ137に埋め込まれたゲート電極138と電氣的に接続されている。これにより、ゲートメタル152は、第1および第2引き回し配線160, 161を介してゲート電極138と電氣的に接続され、表面電流をゲートパッド153からゲート電極138へと導く電流経路が形成されている。

【0104】

50

以上のように、半導体装置 151 では、第 1 ゲートフィンガー 154 は、角部のゲートパッド 153 から隣り合う角部まで M I S ゲート構造 132 に沿って延びる部分においてはゲート電極 138 とコンタクトされず、ゲートパッド 153 の反対側の辺においてゲート電極 138 とコンタクトされている。つまり、ゲートパッド 153 から比較的遠い位置で M I S ゲート構造 132 のゲート電極 138 とコンタクトしているため、これにより突入電流を制限することができる。一方、第 2 ゲートフィンガー 155 およびパッド周辺部 156 は、ゲートパッド 153 から比較的近い位置で M I S ゲート構造 132 のゲート電極 138 とコンタクトしているが、第 2 ゲートフィンガー 155 は当該ゲートパッド 153 と分離して配置されている。しかも、第 2 ゲートフィンガー 155 およびパッド周辺部 156 は、第 1 および第 2 引き回し配線 160, 161 を介してゲートパッド 153 と電氣的に接続されているため、ゲートパッド 153 に突入電流が流れたとしても、当該突入電流を制限することができる。よって、前述の第 1 参考例において説明した効果と同様の効果を奏することができる。

10

20

30

40

50

【0105】

以上、本発明の実施形態、ならびに第 1 および第 2 参考例に係る形態について説明したが、本発明はさらに他の形態で実施することもできる。

たとえば、前述の第 2 および第 3 実施形態では、環状トレンチ 10 の長手方向にストライプ状にエミッタ用トレンチ 63, 83 が形成された例について説明したが、エミッタ用トレンチ 63, 83 は、平面視において、環状トレンチ 10 の短手方向にストライプ状に形成されていてもよい。また、エミッタ用トレンチ 63, 83 は、環状トレンチ 10 の内方領域においてメッシュ状に形成されていてもよい。

【0106】

また、前述の各実施形態では、ゲート用コンタクトトレンチ 11 およびエミッタ用コンタクトトレンチ 12 が平面視角アーチ状に形成されている例について説明したが、たとえば、円アーチ状、三角アーチ状等の他の閉曲線構造であってもよい。

また、前述の各実施形態では、各トレンチ 10, 11, 12, 63, 83 の底部が、その側面から丸みを帯びるように形成されている例について説明したが、各トレンチ 10, 11, 12, 63, 83 の底部は、半導体基板 15 の表面と並行に形成されていてもよい。

【0107】

また、前述の各実施形態では、アクティブ領域 4 に I G B T が形成された例について説明したが、I G B T の他、C M O S (Complementary MOS) が形成されていてもよい。たとえば、M O S 構造を含む構成として、図 17 に示す例を採用してもよい。

図 17 は、前記第 1 実施形態に係る半導体装置 1 の変形例を示す模式的な断面図である。図 17 において、半導体装置 1 と共通する主たる構成については同一の符号を付して説明を省略する。

【0108】

図 17 に示すように、この変形例では、 p^+ 型コレクタ領域 16 に代えて n^+ 型ドレイン領域 95 を採用した半導体装置 94 が形成されている。つまり、半導体装置 94 では、I G B T に代えて、M O S F E T が形成されている。この場合、I G B T のエミッタ電極 6 (n^+ 型エミッタ領域 31) が半導体装置 94 のソース電極 96 (n^+ 型ソース領域 97) に対応する。むしろ、前記第 2 ~ 第 4 実施形態に係る各半導体装置 61, 81, 91 においても、 p^+ 型コレクタ領域 16 に代えて n^+ 型ドレイン領域 95 を採用し、M O S F E T 構造を形成してもよい。

【0109】

また、前述の各実施形態では、アクティブ領域 4 に I G B T が形成された例について説明したが、I G B T の他、B J T (Bipolar Junction Transistor), J F E T (Junction Field Effect Transistor), コンデンサ、抵抗等の各種半導体素子および回路素子が形成されていてもよい。さらに、これらの半導体素子および回路素子等の組み合わせによって、L S I (Large Scale Integration), S S I (Small Scale Integration), M S

I (Medium Scale Integration)、VLSI (Very Large Scale Integration)、ULSI (Ultra-Very Large Scale Integration)等の集積回路を構成していてもよい。

【0110】

また、前述の各実施形態において、p型フローティング領域9、p⁺型コレクタ領域16、n⁻型ドレイン領域17等の各半導体領域の導電型を反転させた構成であってもよい。したがって、この場合、p型フローティング領域9はn型のフローティング領域となり、p⁺型コレクタ領域16はn⁺型のコレクタ領域となり、n⁻型ドレイン領域17はp型のドレイン領域となる。むしろ、他の半導体領域の導電型も反転された構成となる。

【0111】

また、第1～第4実施形態に係る半導体装置1, 61, 81, 91は、図18に示すように、インバータ回路に適用することができる。

図18は、第1～第4実施形態に係る半導体装置1, 61, 81, 91が適用されるインバータ回路201を説明するための回路図である。

インバータ回路201は、負荷として三相モータ202に接続される三相インバータ回路である。インバータ回路201は、直流電源203およびスイッチ部204を含む。

【0112】

直流電源203は、たとえば700Vである。直流電源203には、その高圧側に高圧側配線205が接続され、その低圧側に低圧側配線206が接続されている。スイッチ部204は、三相モータ202のU相202U、V相202V、およびW相202Wのそれぞれの相に対応する3つのアーム207～209を備えている。

アーム207～209は、高圧側配線205と低圧側配線206との間に並列に接続されている。アーム207～209は、それぞれ高圧側のハイサイドトランジスタ210H～212H(半導体装置1, 61, 81, 91)と、低圧側のローサイドトランジスタ210L～212L(半導体装置1, 61, 81, 91)とを備えている。各トランジスタ210H～212Hおよび210L～212Lには、それぞれ回生ダイオード213H～215Hおよび213L～215Lが、低圧側から高圧側に順方向電流が流れるような向きで並列で接続されている。

【0113】

インバータ回路201では、各アーム207～209のハイサイドトランジスタ210H～212Hおよびローサイドトランジスタ210L～212Lのオン/オフ制御を交互に切り替えることによって、つまり、一方のトランジスタがスイッチオンで他方のトランジスタがスイッチオフである状態を交互に切り替えることによって、三相モータ202に交流電流を流すことができる。一方、両方のトランジスタをスイッチオフの状態にすることによって、三相モータ202への通電を停止することができる。このようにして、三相モータ202のスイッチング動作を行う。

【0114】

また、前述の第1参考例では、1つの第1除去領域110が、ゲートパッド105の周囲を囲むように環状に形成されている例について説明したが(図10参照)、複数の第1除去領域110が、ゲートパッド105の周囲を選択的に囲むように環状に形成されていてもよい。たとえば、図10において、第1除去領域110がゲートパッド105に対してゲートパッド105の突出方向とは反対側に形成されていなくてもよい。この場合、パッド周辺部107およびゲートフィンガー106が共に、ゲートメタル103を構成する金属を介してゲートパッド105と電氣的に接続されることになる。この場合でも、ゲートパッド105に供給された電流がパッド周辺部107に流れるには、ゲートパッド105の三方を取り囲む第1除去領域110を迂回しなければならないので、パッド周辺部107への突入電流を軽減できる。

【0115】

また、前述の第1参考例では、第2除去領域111が、ゲートパッド105の周囲の一部を選択的に囲んでいる例について説明したが(図11参照)、第2除去領域111が、ゲートパッド105の周囲を全周に亘って囲んでいる構成であってもよい。

また、前述の第1参考例では、第1引き回し配線115が、ゲートパッド105の下方領域において、平面視閉曲環状に形成されている例について説明したが、第1引き回し配線115は、ゲートパッド105がパッド周辺部107と電氣的に接続される構成であれば、環状に形成されていなくてもよい。したがって、第1引き回し配線115は、ゲートパッド105の下方領域において、ライン状に形成されていてもよい。

【0116】

また、前述の第1参考例では、ゲートフィンガー用引き回し配線116がゲートフィンガー106よりも幅狭に形成されている例について説明したが(図11参照)、ゲートフィンガー用引き回し配線116は、ゲートフィンガー106よりも幅広に形成された構成であってもよい。

10

また、前述の第1参考例では、第2引き回し配線117が、第1引き回し配線115の周囲を選択的に囲むように形成されている例について説明したが(図11参照)、第2引き回し配線117は、第1引き回し配線115の周囲を全周に亘って囲むように形成されていてもよい。この場合において、第2パッド周辺部用コンタクト121(図12参照)は、第1パッド周辺部用コンタクト119の周囲を全周に亘って取り囲むように、平面視四角環状に形成されていてもよい。

【0117】

また、前述の第2参考例では、ゲートパッド153の周囲に沿って除去領域157がライン状に形成されている例について説明したが(図15参照)、除去領域157がゲートパッド153の周囲を全周に亘って形成されていてもよい。この場合、第1ゲートフィンガー154もゲートパッド153から分離して形成された構成となる。このような構成であっても、第1引き回し配線160がゲートパッド153と第1ゲートフィンガー154とを跨ぐように形成されているので、ゲートパッド153および第1ゲートフィンガー154を電氣的に接続させることができる。したがって、ゲートパッド153の表面を流れる表面電流をゲートパッド153と第1ゲートフィンガー154との間においても制限することができる。

20

【0118】

また、前述の第1および第2参考例では、平面視ストライプ状のゲート用トレンチ137がアクティブ領域102に形成された例について説明したが、ゲート用トレンチ137は、平面視メッシュ状に形成されていてもよい。この場合、IGBTの単位セル136は、当該メッシュ状のゲート用トレンチ137に取り囲まれた領域内に形成されることとなる。

30

【0119】

また、前述の第1および第2参考例では、アクティブ領域102にIGBTが形成された例について説明したが、図19に示す例を採用してもよい。

図19は、前記第1および第2参考例に係る半導体装置101, 151の変形例を示す模式的な断面図である。図19において、半導体装置101, 151と共通する主たる構成については同一の符号を付して説明を省略する。

【0120】

図19に示すように、この変形例では、 p^+ 型コレクタ領域126に代えて n^+ 型ドレイン領域192を採用した半導体装置191が形成されている。つまり、半導体装置191では、IGBTに代えて、MOSFETが形成されている。この場合、IGBTのエミッタ電極104(n^+ 型エミッタ領域142)がMOSFETのソース電極193(n^+ 型ソース領域194)に対応する。

40

【0121】

このような構成であってもMOSFETにおけるMISゲート構造132のゲート電極138が局所的にオンすることを抑制できるので、IGBTの場合と同様の効果を奏することができる。また、半導体基板125にSiC(シリコンカーバイド)を採用して、SiC-IGBTを構成してもよいし、SiC-MOSFETを構成してもよい。

また、前述の第1および第2参考例では、アクティブ領域102にトレンチゲート型の

50

I G B Tが形成された例について説明したが、半導体基板 1 2 5 の表面に絶縁膜 1 3 4 を介してゲート電極が形成されたプレーナゲート型の I G B Tを採用してもよい。むしろ、プレーナゲート型の I G B Tに代えてプレーナゲート型の M O S F E Tを採用してもよい。

【 0 1 2 2 】

また、前述の第 1 および第 2 参考例では、ゲート用トレンチ 1 3 7 の底部が、半導体基板 1 2 5 の表面と並行に形成された例について説明したが、ゲート用トレンチ 1 3 7 の底部が、その側面から丸みを帯びるように形成されていてもよい。また、前述の第 1 および第 2 参考例では、ゲート用トレンチ 1 3 7 の側面が半導体基板 1 2 5 の表面に対して直角に形成されている例について説明したが、ゲート用トレンチ 1 3 7 の側面は、その開口から底部に向けて幅が徐々に狭まるテーパ形状に形成されていてもよい。

10

【 0 1 2 3 】

また、前述の第 1 および第 2 参考例では、アクティブ領域 1 0 2 に I G B Tが形成された例について説明したが、I G B Tの他、C M O S (Complementary MOS) , B J T (Bipolar Junction Transistor) , J F E T (Junction Field Effect Transistor) , コンデンサ、抵抗等の各種半導体素子および回路素子が形成されていてもよい。さらに、これらの半導体素子および回路素子等の組み合わせによって、L S I (Large Scale Integration) 、 S S I (Small Scale Integration) 、 M S I (Medium Scale Integration) 、 V L S I (Very Large Scale Integration) 、 U L S I (Ultra-Very Large Scale Integration) 等の集積回路を構成していてもよい。

20

【 0 1 2 4 】

また、前述の第 1 および第 2 参考例において、 p^+ 型コレクタ領域 1 2 6、 n^- 型ドレイン領域 1 2 7、 p 型ベース領域 1 4 0、 n^+ 型エミッタ領域 1 4 2 の各半導体領域の導電型を反転させた構成であってもよい。

また、第 1 および第 2 参考例に係る半導体装置 1 0 1 , 1 5 1 は、図 2 0 に示すように、インバータ回路 2 2 1 に適用することができる。

【 0 1 2 5 】

図 2 0 は、第 1 および第 2 参考例に係る半導体装置 1 0 1 , 1 5 1 が適用されるインバータ回路 2 2 1 を説明するための回路図である。

インバータ回路 2 2 1 が、図 1 8 に示すインバータ回路 2 0 1 と異なる点は、ハイサイドトランジスタ 2 1 0 H ~ 2 1 2 H およびローサイドトランジスタ 2 1 0 L ~ 2 1 2 L に代えて、ハイサイドトランジスタ 2 2 2 H ~ 2 2 4 H (半導体装置 1 0 1 , 1 5 1) およびローサイドトランジスタ 2 2 2 L ~ 2 2 4 L (半導体装置 1 0 1 , 1 5 1) が接続されている点である。その他の構成は、図 1 8 に示すインバータ回路 2 0 1 と同様である。

30

【 0 1 2 6 】

図 2 0 に示すように、ハイサイドトランジスタ 2 2 2 H ~ 2 2 4 H およびローサイドトランジスタ 2 2 2 L ~ 2 2 4 L のそれぞれは、ゲートパッド 1 0 5 とゲート電極 1 3 8 との間に介装された電流制限部 1 3 9 を有している (図 1 3 B も併せて参照)。この電流制限部 1 3 9 により、スイッチングオン動作時において、共振ノイズを原因とするスイッチング損失を低減することができる。

40

【 0 1 2 7 】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。この明細書および図面の記載から抽出される特徴を以下に示す。

[A 1] 複数の M I S ゲート構造が配列されたアクティブ領域を有する半導体層と、前記半導体層上に配置された表面ゲートメタルであって、外部からの電力供給を受けるためのパッド部、および前記アクティブ領域の周囲に沿って延び、前記複数の M I S ゲート構造のゲートに電気的に接続された配線部を備え、前記パッド部と前記配線部とを少なくとも一部で分離するための除去領域が形成された表面ゲートメタルと、前記パッド部から前記除去領域を挟んで隣り合う前記配線部に引き回され、前記表面ゲートメタルよりも抵抗値の高い材料からなる引き回し配線とを含む、半導体装置。

50

【 0 1 2 8 】

ゲートパッドを備える半導体装置において、当該ゲートパッドに電圧が印加されると、突入電流 (di/dt) が発生する問題が知られている。この突入電流は、ゲートパッドおよびゲートパッドに接続されたゲート金属配線の表面を流れる性質がある。そのため、ゲートパッドに近いゲート構造に突入電流が表面電流として流れ込み、その結果、ゲート構造が局所的にオンする虞がある。このような表面電流の発生は、複数のゲート構造間での印加電流のばらつきが生じるだけでなく、スイッチングオン動作時におけるスイッチング損失の原因の一つとなっている。

【 0 1 2 9 】

また、ゲート構造の周辺に形成されたゲートパッドおよびゲート金属配線には、通常、寄生インダクタンスや寄生容量による LC 共振回路が構成されるため、表面電流が流れると、ゲート構造のスイッチングがトリガとなって共振ノイズが発生する。その結果、スイッチングオン動作時におけるスイッチング損失が増加してしまう。

そのため、突入電流を効果的に制限することができ、スイッチング損失および共振ノイズの発生を低減できる半導体装置が望まれる。

【 0 1 3 0 】

A 1 に記載の半導体装置によれば、パッド部から配線部に電流が流れる際に引き回し配線を経由することになるので、表面電流による配線部への電流の流れ込みを制限できる。これにより、パッド部に近い位置における M I S ゲート構造のゲートに対して局所的に突入電流 (di/dt) が流れ、当該 M I S ゲート構造が局所的にオンすることを抑制できる。その結果、パッド部から遠い近いに係らず、複数の M I S ゲート構造間での印加電流のばらつきを抑制できる。また、M I S ゲート構造が局所的にオンすることを抑制できるので、M I S ゲート構造のスイッチングがトリガとなって共振ノイズが発生することを抑制できる。よって、スイッチングオン動作時において、共振ノイズを原因とするスイッチング損失を低減することができる。

【 0 1 3 1 】

[A 2] 前記除去領域は、前記パッド部を囲むように形成されている、A 1 に記載の半導体装置。

この半導体装置によれば、パッド部に近い位置で表面電流を制限できるので、パッド部近傍の M I S ゲート構造への局所的な電流の流れ込みを、効果的に抑制できる。

[A 3] 前記配線部は、前記アクティブ領域を囲むように延びるライン状のゲートフィンガーを含む、A 2 に記載の半導体装置。

【 0 1 3 2 】

この半導体装置によれば、ゲートフィンガーには、表面電流が制限された電流が流れることになるので、ゲートフィンガーの長手方向に沿って電流のばらつきを抑制できる。

[A 4] 前記配線部は、前記パッド部を囲む前記除去領域をさらに囲み、前記ゲートフィンガーと一体的に形成されたパッド周辺部を含む、A 3 に記載の半導体装置。

この半導体装置によれば、ゲートフィンガーを介さないで M I S ゲート構造のゲートに流れ込む電流のばらつきを抑制できる。

【 0 1 3 3 】

[A 5] 前記複数の M I S ゲート構造は、前記半導体層の表面の法線方向から見た平面視においてストライプ状に形成されており、前記ゲートフィンガーは、前記ストライプ状の M I S ゲート構造を横切るように配置され、各前記 M I S ゲート構造の長手方向両端部において当該 M I S ゲート構造のゲートにコンタクトしている、A 3 または A 4 に記載の半導体装置。

【 0 1 3 4 】

[A 6] 前記パッド部は、前記 M I S ゲート構造のストライプ方向に沿う領域の途中部に形成されており、前記ゲートフィンガーは、前記パッド部から前記ストライプ方向に沿って両側に延び、さらに前記ストライプ状の M I S ゲート構造を横切るように形成されている、A 5 に記載の半導体装置。

10

20

30

40

50

この半導体装置によれば、ゲートフィンガーがパッド部から比較的遠い位置でMISゲート構造のゲートとコンタクトしているため、これにより突入電流を制限することができる。

【0135】

[A7] 前記半導体層は、平面視四角形状に形成され、前記パッド部は、前記四角形状の半導体層の角部に形成されており、前記ゲートフィンガーは、前記パッド部と一体的に連なって形成され、前記MISゲート構造のストライプ方向に沿って延びるように配置された第1ゲートフィンガーと、前記パッド部と前記除去領域を介して分離され、前記パッド部から前記MISゲート構造を横切るように配置された第2ゲートフィンガーとを含む、A5に記載の半導体装置。

10

【0136】

この半導体装置によれば、第1ゲートフィンガーは、パッド部から比較的遠い位置でMISゲート構造のゲートとコンタクトしているため、これにより突入電流を制限することができる。一方、第2ゲートフィンガーは、パッド部から比較的近い位置でMISゲート構造のゲートとコンタクトしているが、第2ゲートフィンガーは当該パッド部と分離して配置されている。しかも、第2ゲートフィンガーは、引き回し配線を介してパッド部と接続されるため、パッド部に突入電流が流れたとしても、当該突入電流を制限することができる。

【0137】

[A8] 前記除去領域は、前記パッド部の周囲の一部を選択的に囲んでいる、A2～A7のいずれか一つに記載の半導体装置。

20

[A9] 前記除去領域は、前記パッド部の周囲を全周に亘って囲んでいる、A2～A7のいずれか一つに記載の半導体装置。

この半導体装置によれば、パッド部の周囲の全周に亘って表面電流を制限できる。これにより、パッド部近傍のMISゲート構造への局所的な電流の流れ込みを、効果的に抑制できる。

【0138】

[A10] 前記引き回し配線は、前記除去領域の下方部を經由して前記パッド部と前記配線部とを接続している、A1～A9のいずれか一つに記載の半導体装置。

この半導体装置によれば、MISゲート構造のゲートと同じ工程で引き回し配線を形成することができる。そのため、製造工程を簡略化することができる。したがって、この場合、前記引き回し配線は、前記MISゲート構造のゲートと同一材料で形成されていることが好ましい。

30

【0139】

[A11] 前記配線部は、A1を主成分として含む金属材料からなり、前記引き回し配線および前記MISゲート構造のゲートがポリシリコンからなる、A10に記載の半導体装置。

[A12] 前記半導体層には、前記MISゲート構造の一部を含むIGBTが形成されている、A1～A11のいずれか一つに記載の半導体装置。

【0140】

[A13] 前記IGBTは、トレンチゲート型IGBTを含む、A12に記載の半導体装置。

40

[B1] トレンチが形成された半導体層と、前記トレンチの側方に形成され、前記トレンチの深さ方向にベース領域を挟んで互いに対向するエミッタ領域およびドレイン領域を有するFET構造と、前記トレンチを挟んで前記FET構造の反対側に形成されたフローティング領域と、同一の前記トレンチに設けられ、前記トレンチ内で互いに絶縁分離されたゲート接合部および前記エミッタ領域に電氣的に接続されたエミッタ接合部とを含み、前記ゲート接合部および前記エミッタ接合部は、それぞれ、絶縁膜を介して前記FET構造および前記フローティング領域に対向している、半導体装置。

【0141】

50

この構成によれば、トレンチとフローティング領域との接触による容量成分を、エミッタ接合部とフローティング領域との接合領域における容量成分（コレクタ・エミッタ接合部間の容量）にすることができる。これにより、ゲート接合部は、フローティング領域との接合による影響を受けない。したがって、フローティング領域とトレンチゲートとを接合させる従来の半導体装置よりも、スイッチング損失を低減することができる。一方、ゲート接合部が対向するFET構造のドレイン領域をコレクタ領域と共に接地すれば、スイッチング動作時に、ゲート接合部とドレイン領域との間の容量変化を安定に保つことができる。その結果、スイッチングノイズの発生を抑制することができる。

【0142】

一方、本願発明者らは、互いに隣り合うトレンチゲートの間に複数のトレンチエミッタを形成し、当該トレンチエミッタとフローティング領域とを電氣的に接合させる構造のIGBTを含む半導体装置（以下、「参考例に係る半導体装置」と言う。）を検討した。この構造では、トレンチゲートとフローティング領域との接合領域がないため、前述のスイッチング損失およびスイッチングノイズの問題の改善が見込める。しかしながら、参考例に係る半導体装置の場合、トレンチゲートとトレンチエミッタとの間の各領域にFET構造が形成される。したがって、トレンチゲートとトレンチエミッタがFET構造を介して互いに対向する。そのため、FET構造をトレンチゲートで挟み込むことによるキャリア蓄積効果が減少し、それに伴い、半導体層中のキャリア密度も減少する。その結果、ドレイン領域におけるドリフト抵抗が増加し、オン電圧が増大しやすい。

これに対して、本発明の構成によれば、絶縁膜およびFET構造を介してゲート接合部を互いに対向させることができるので、ゲート接合部によるキャリア蓄積効果を高めることができる。これにより、半導体層中のキャリア密度が増加するので、ドレイン領域におけるドリフト抵抗を減少させることができる。これにより、半導体装置のオン電圧を低減させることができる。

【0143】

さらに、本発明の構成によれば、参考例に係る半導体装置と異なり、同一のトレンチ内にゲート接合部とエミッタ接合部とが形成されているので、トレンチゲートとトレンチエミッタとを形成する必要がない。したがって、形成されるべきFET構造の数が少なくて済む。つまり、FET構造を接続するためのコンタクト開口の数が少なくて済む。これにより、コンタクト開口率を小さくできるので、半導体装置の短絡耐量の低下を効果的に抑制することができる。

[B2] 前記ゲート接合部および前記エミッタ接合部は、それぞれ、前記トレンチの長手方向に垂直な断面において、前記トレンチの一方および他方の側面に近接して形成されており、前記半導体装置は、当該ゲート接合部およびエミッタ接合部の間に介在した中央絶縁膜を含む、B1に記載の半導体装置。

【0144】

[B3] 前記ゲート接合部および前記エミッタ接合部は、それぞれ、他方の接合部との関係において相対的に近接する前記トレンチの側面に沿う膜状に形成されている、B2に記載の半導体装置。

[B4] 前記半導体装置は、それぞれ前記半導体層に形成され、前記ゲート接合部に近接した前記トレンチの側面に連なるゲート用コンタクトトレンチと、前記エミッタ接合部に近接した前記トレンチの側面に連なるエミッタ用コンタクトトレンチとを含み、前記ゲート用コンタクトトレンチおよび前記エミッタ用コンタクトトレンチは、前記トレンチよりも狭い幅で形成されている、B2またはB3に記載の半導体装置。

この構成によれば、トレンチの一方および他方の側面にそれぞれ各接合部が近接した構成を得るため、トレンチの内面に沿ってゲート接合部およびエミッタ接合部の電極材料を堆積させたときに、トレンチよりも狭い幅のゲート用コンタクトトレンチおよびエミッタ用コンタクトトレンチにおいて、その一方および他方の側面に堆積した電極材料同士をトレンチの内側で一体化することができる。その結果、ゲート用コンタクトトレンチおよびエミッタ用コンタクトトレンチを、それぞれ、当該電極材料によって完全に埋め戻すこと

ができる。これにより、各コンタクトトレンチを深さ方向上方から見たときの電極材料の面積が少なくとも各コンタクトトレンチの径（幅）と同等になるので、容易にコンタクトをとることができる。

【 B 5 】前記トレンチは、前記フローティング領域が配置された内方領域および前記 F E T 構造が配置された外方領域を区画する環状に形成されており、前記ゲート用コンタクトトレンチは、前記環状のトレンチから前記外方領域に引き出されて形成されており、前記エミッタ用トレンチは、前記環状のトレンチから前記内方領域に引き出されて形成されている、 B 4 に記載の半導体装置。

【 0 1 4 5 】

【 B 6 】前記 F E T 構造は、前記半導体層の表面の法線方向から見た平面視において、ストライプ状に複数形成されており、前記環状のトレンチは、隣り合う前記 F E T 構造の間の領域に配置され、当該領域に配置された前記環状のトレンチの前記ゲート用コンタクトトレンチおよび前記エミッタ用コンタクトトレンチは、それぞれ、前記ストライプの長手方向における前記環状のトレンチの一端部から互いに反対向きに、外方および内方に引き出されており、前記半導体装置は、前記ストライプ状の F E T 構造が形成されたアクティブ領域の周囲において前記ゲート用コンタクトトレンチを横切るように形成され、前記ゲート接合部と電氣的に接続されたゲートフィンガーと、前記ゲートフィンガーと間隔を空けて前記アクティブ領域の上方において前記エミッタ用コンタクトトレンチを覆うように形成され、前記エミッタ接合部と電氣的に接続されたエミッタ電極とを含む、 B 5 に記載の半導体装置。

10

20

【 0 1 4 6 】

【 B 7 】前記フローティング領域は、前記トレンチの下方に回り込むように形成されている、 B 1 ~ B 6 のいずれか一つに記載の半導体装置。

この構成によれば、トレンチの下方に回り込むようにフローティング領域が形成されているので、スイッチングオフ動作時にトレンチに負荷するコレクタ - エミッタ電圧を緩和することができる。そのため、急峻な電圧変化 (dv/dt) に対してデバイスの破壊を抑制することができる。これにより、半導体装置の短絡耐量を保持することができる。また、ベース領域よりも深いフローティング領域によって短絡耐量を向上できる一方、ベース領域は浅くてもよいので、ベース領域の深さを適切に設計することによってチャンネル長を短くしてオン電圧の上昇を抑制することもできる。

30

【 B 8 】前記半導体装置は、前記半導体層において少なくとも前記フローティング領域に達するように形成された第 2 トレンチと、前記第 2 トレンチに絶縁膜を介して設けられ、前記エミッタ領域に電氣的に接続された第 2 エミッタ接合部とをさらに含む、 B 1 ~ B 6 のいずれか一つに記載の半導体装置。

【 0 1 4 7 】

【 B 9 】前記フローティング領域は、前記ベース領域と同じ深さで形成され、前記第 2 トレンチは、前記フローティング領域を貫通するように形成されている、 B 8 に記載の半導体装置。

【 B 1 0 】前記第 2 トレンチは、前記トレンチと同じ幅で形成されており、前記第 2 エミッタ接合部は、前記第 2 トレンチ内で互いに絶縁分離された一对の接合部を含む、 B 8 または B 9 に記載の半導体装置。

40

この構成によれば、マスクのレイアウトを変更するだけで、トレンチを形成する工程と同一の工程で第 2 トレンチを形成することができる。しかも、第 2 トレンチはトレンチと同じ幅で形成されているので、ゲート接合部およびエミッタ接合部を形成する工程と同一の工程で、第 2 エミッタ接合部を形成することができる。その結果、製造工程が煩雑化することなく、第 2 トレンチおよび第 2 エミッタ接合部を形成することができる。

【 B 1 1 】前記第 2 トレンチは、前記トレンチよりも狭い幅で形成されており、前記第 2 エミッタ接合部は、前記第 2 トレンチに一体物で埋め込まれている、 B 8 または B 9 に記載の半導体装置。

このような構成によっても、ゲート接合部およびエミッタ接合部を形成する工程と同一

50

の工程で、第2エミッタ接合部を形成することができる。

【C1】表面および裏面を有する第1導電型の半導体層と、前記半導体層の前記裏面の表層部に形成された第2導電型のコレクタ領域と、外周面、内周面、ならびに、前記外周面および前記内周面を接続する底面をそれぞれ含み、前記外周面同士が互いに対向する態様で互いに間隔を空けて前記半導体層の前記表面に形成された複数の環状のトレンチと、各前記トレンチの内面に形成された絶縁膜と、各前記トレンチの前記外周面側に前記絶縁膜を挟んで埋設されたゲート接合部と、各前記トレンチの前記内周面側に前記ゲート接合部から離間して前記絶縁膜を挟んで埋設されたエミッタ接合部と、各前記トレンチ内において前記ゲート接合部および前記エミッタ接合部の間に介在する中央絶縁膜と、前記半導体層の前記表面の表層部において互いに隣り合う複数の前記トレンチの前記外周面の間の領域に形成され、前記半導体層の厚さ方向に関して前記トレンチの中央部または前記トレンチの中央部に対して前記半導体層の前記表面側に位置する底部を有する第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のエミッタ領域と、前記半導体層の前記表面の表層部において各前記トレンチの前記内周面に取り囲まれた領域内に電氣的に浮遊状態に形成され、前記半導体層の厚さ方向に関して前記トレンチの前記底面に対して前記半導体層の前記裏面側に位置する底部を有する第2導電型のフローティング領域と、前記半導体層の前記表面を選択的に被覆する層間絶縁膜と、前記層間絶縁膜の上に形成され、前記ゲート接合部に電氣的に接続された表面ゲート電極と、前記層間絶縁膜の上に形成され、前記エミッタ接合部および前記エミッタ領域に電氣的に接続された表面エミッタ電極と、を含む、半導体装置。

10

20

【0148】

【C2】前記フローティング領域は、前記トレンチの前記底面を被覆している、C1に記載の半導体装置。

【C3】前記フローティング領域は、前記エミッタ接合部の下方に形成され、前記ゲート接合部の下方に形成されないように前記トレンチの前記底面を被覆している、C2に記載の半導体装置。

【0149】

【C4】前記ゲート接合部は、前記エミッタ接合部および中央絶縁膜を介して前記フローティング領域から隔てられている、C1～C3のいずれか一つに記載の半導体装置。

【C5】複数の前記トレンチは、平面視において第1方向に沿って延びる長方形環状にそれぞれ形成され、前記第1方向に交差する第2方向に沿って間隔を空けて形成されている、C1～C4のいずれか一つに記載の半導体装置。

30

【0150】

【C6】複数の前記トレンチは、前記第1方向に関して一方側の一端部および他方側の他端部をそれぞれ有し、前記表面ゲート電極は、各前記トレンチの前記一端部側の領域および前記他端部側の領域において前記ゲート接合部に電氣的に接続されている、C5に記載の半導体装置。

【C7】前記表面ゲート電極は、前記層間絶縁膜の上に形成されたゲートパッド、および、前記ゲートパッドから前記層間絶縁膜の上に引き出され、前記ゲート接合部に電氣的に接続されたゲートフィンガーを含む、C1～C6のいずれか一つに記載の半導体装置。

40

【0151】

【C8】複数の前記トレンチは、平面視において前記ゲートパッドと重なる領域に形成された前記トレンチを含む、C7に記載の半導体装置。

【C9】前記ゲートフィンガーは、平面視において前記半導体層の内方領域を区画するように前記半導体層の周縁に沿って形成されており、複数の前記トレンチは、平面視において前記ゲートフィンガーによって区画された領域にそれぞれ形成されている、C7またはC8に記載の半導体装置。

【0152】

【C10】前記層間絶縁膜は、前記エミッタ領域を露出させるコンタクトホールを有し、前記表面エミッタ電極は、前記コンタクトホールを介して前記エミッタ領域に電氣的に

50

接続されている、C 1 ~ C 9 のいずれか一つに記載の半導体装置。

[C 1 1] 前記半導体層の前記表面において前記エミッタ領域を露出させるように互いに隣り合う複数の前記トレンチの前記外周面の間の領域に形成されたコンタクト用トレンチをさらに含み、前記コンタクトホールは、前記コンタクト用トレンチに連通し、前記表面エミッタ電極は、前記コンタクトホールおよび前記コンタクト用トレンチを介して前記エミッタ領域に電氣的に接続されている、C 1 0 に記載の半導体装置。

【 0 1 5 3 】

[C 1 2] 前記コンタクト用トレンチは、前記ベース領域の底部に対して前記半導体層の前記表面側に位置している、C 1 1 に記載の半導体装置。

[C 1 3] 前記ベース領域の表層部において前記コンタクト用トレンチに沿う領域に形成された第 2 導電型のベースコンタクト領域をさらに含む、C 1 1 または C 1 2 に記載の半導体装置。

10

【 0 1 5 4 】

[C 1 4] 前記コンタクトホールに埋め込まれ、前記エミッタ領域に電氣的に接続されたコンタクトエミッタ電極をさらに含み、前記表面エミッタ電極は、前記コンタクトエミッタ電極を介して前記エミッタ領域に電氣的に接続されている、C 1 1 ~ C 1 3 のいずれか一つに記載の半導体装置。

[C 1 5] 前記表面エミッタ電極は、前記層間絶縁膜の上から前記コンタクトホールに入り込み、前記コンタクトエミッタ電極は、前記表面エミッタ電極において前記コンタクトホール内に位置する部分によって形成されている、C 1 4 に記載の半導体装置。

20

【 0 1 5 5 】

[C 1 6] 前記表面エミッタ電極は、アルミニウムを含む、C 1 5 に記載の半導体装置

[C 1 7] 前記コンタクトエミッタ電極は、前記表面エミッタ電極とは異なる導電材料を含む、C 1 4 に記載の半導体装置。

[C 1 8] 前記表面エミッタ電極は、アルミニウムを含み、前記コンタクトエミッタ電極は、タングステンを含む、C 1 7 に記載の半導体装置。

【 0 1 5 6 】

[C 1 9] 前記半導体層の前記裏面の表層部に形成された第 1 導電型のバッファ領域をさらに含み、前記コレクタ領域は、前記バッファ領域において前記半導体層の前記裏面側の表層部に形成されている、C 1 ~ C 1 8 のいずれか一つに記載の半導体装置。

30

[C 2 0] 前記トレンチの幅は、 $1.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である、C 1 ~ C 1 9 のいずれか一つに記載の半導体装置。

【 符号の説明 】

【 0 1 5 7 】

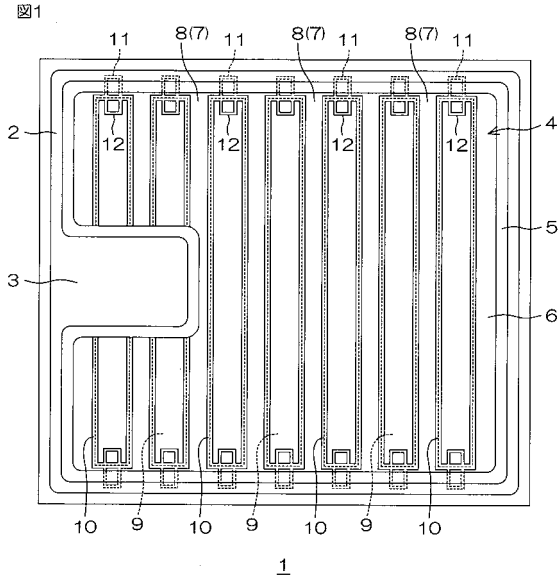
- 1 半導体装置
- 2 ゲートフィンガー
- 4 アクティブ領域
- 6 エミッタ電極
- 8 F E T 構造
- 9 p 型フローティング領域
- 1 0 環状トレンチ
- 1 1 ゲート用コンタクトトレンチ
- 1 2 エミッタ用コンタクトトレンチ
- 1 5 半導体基板
- 1 7 n 型ドレイン領域
- 1 8 絶縁膜
- 1 9 ゲート接合部
- 2 0 エミッタ接合部
- 2 1 中央絶縁膜

40

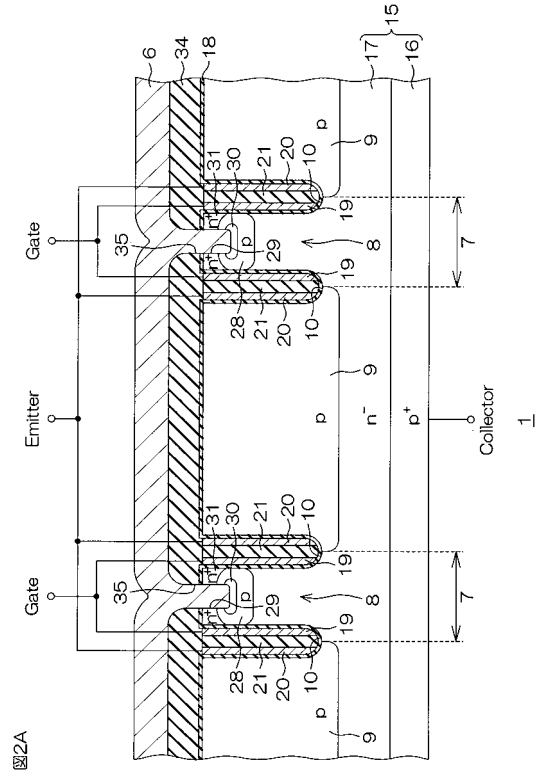
50

2 8	p 型ベース領域	
3 1	n + 型エミッタ領域	
4 1	参考例に係る半導体装置	
6 1	半導体装置	
6 2	p 型フローティング領域	
6 3	エミッタ用トレンチ	
6 4	第2エミッタ接合部	
8 1	半導体装置	
8 3	エミッタ用トレンチ	
8 4	第2エミッタ接合部	10
9 1	半導体装置	
1 0 1	半導体装置	
1 0 2	アクティブ領域	
1 0 3	ゲートメタル	
1 0 5	ゲートパッド	
1 0 6	ゲートフィンガー	
1 0 7	パッド周辺部	
1 1 0	第1除去領域	
1 1 1	第2除去領域	
1 1 5	第1引き回し配線	20
1 1 6	ゲートフィンガー用引き回し配線	
1 1 7	第2引き回し配線	
1 2 5	半導体基板	
1 3 2	M I S ゲート構造	
1 4 8	参考例に係る半導体装置	
1 5 1	半導体装置	
1 5 2	ゲートメタル	
1 5 3	ゲートパッド	
1 5 4	第1ゲートフィンガー	
1 5 5	第2ゲートフィンガー	30
1 5 6	パッド周辺部	
1 5 7	除去領域	
1 6 0	第1引き回し配線	
1 6 1	第2引き回し配線	
1 6 7	配線部	
1 6 8	配線部	
W ₁ ~ W ₄	幅	

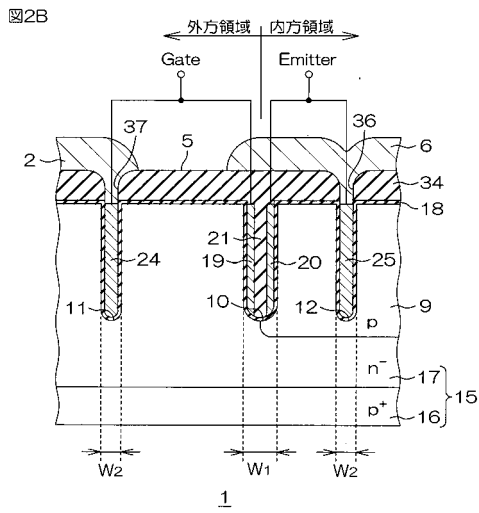
【 図 1 】



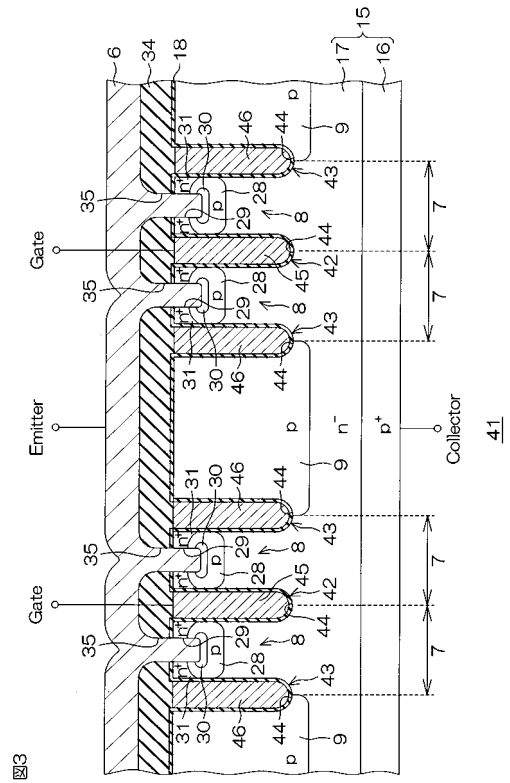
【 図 2 A 】



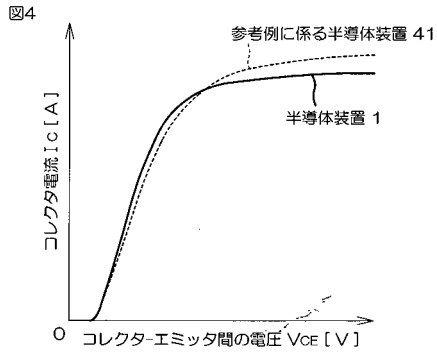
【 図 2 B 】



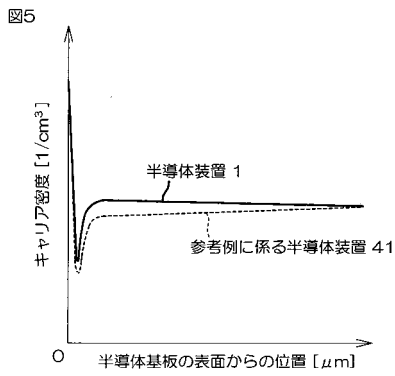
【 図 3 】



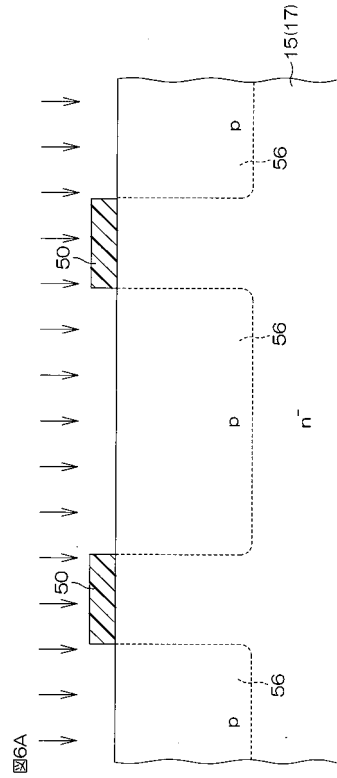
【 図 4 】



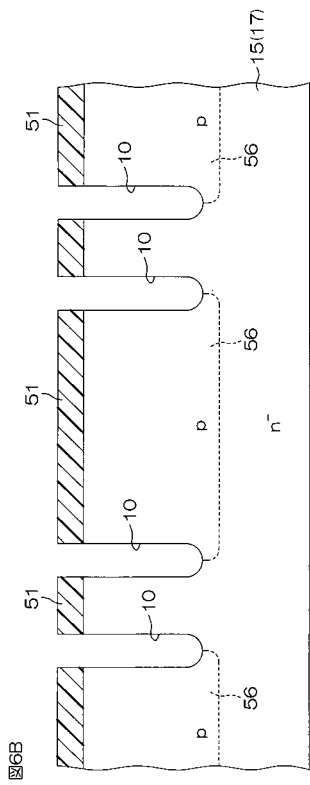
【 図 5 】



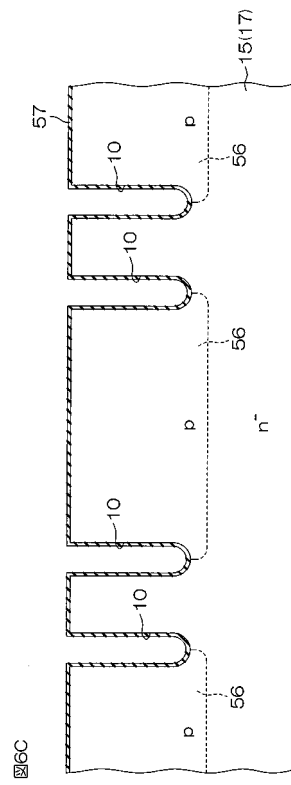
【 図 6 A 】



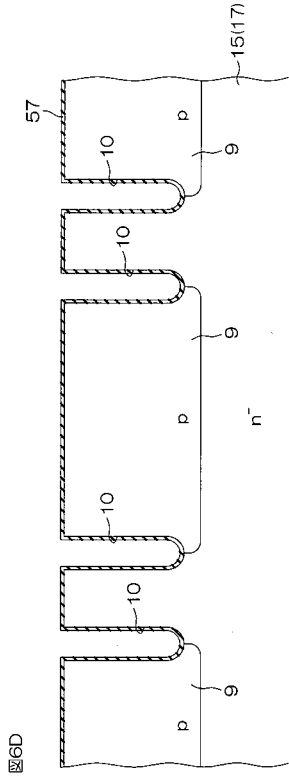
【 図 6 B 】



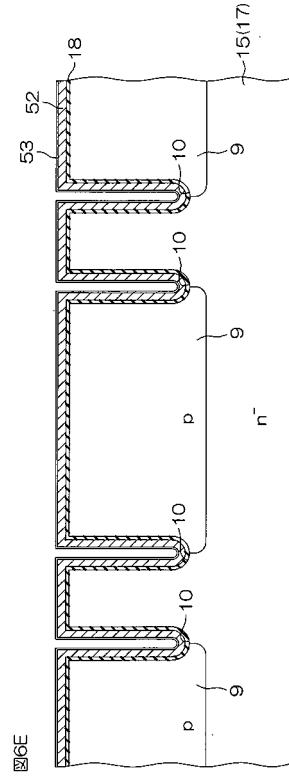
【 図 6 C 】



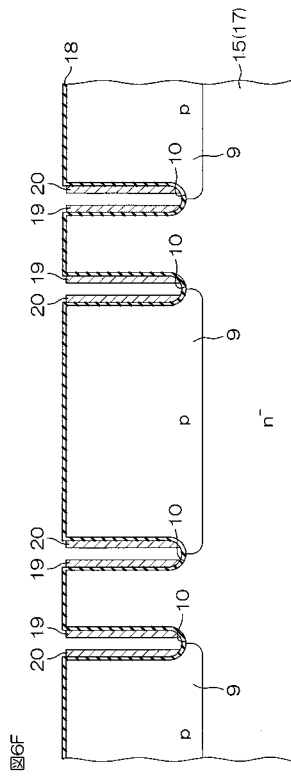
【 図 6 D 】



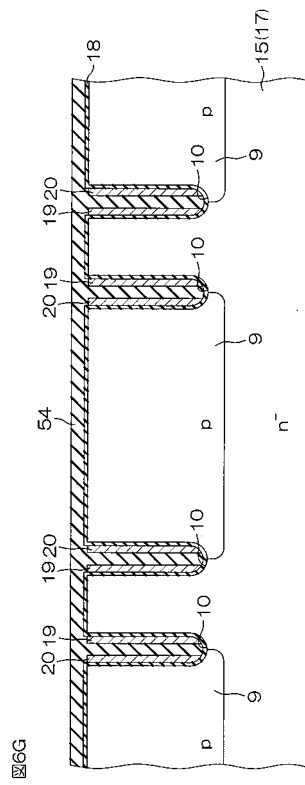
【 図 6 E 】



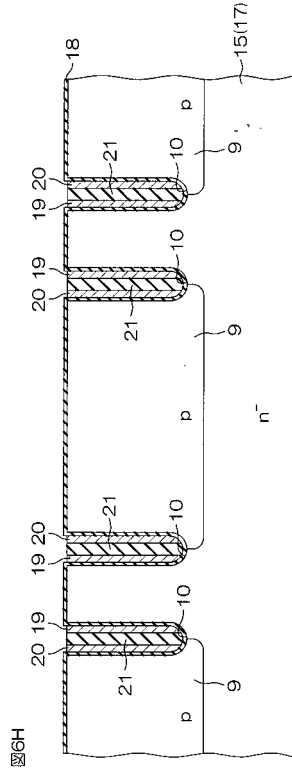
【 図 6 F 】



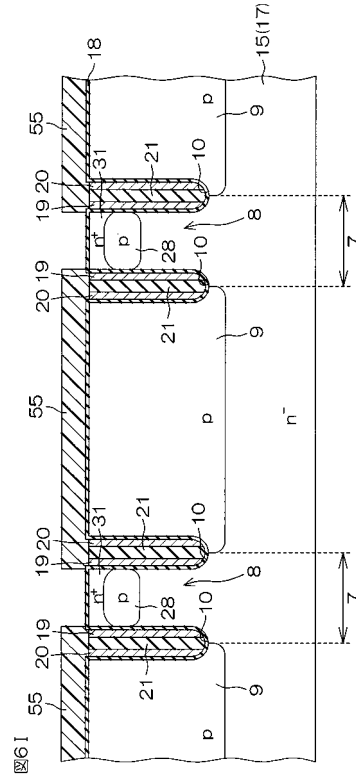
【 図 6 G 】



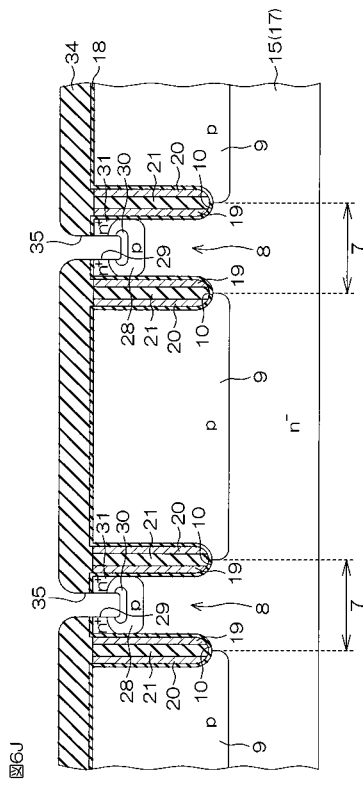
【 図 6 H 】



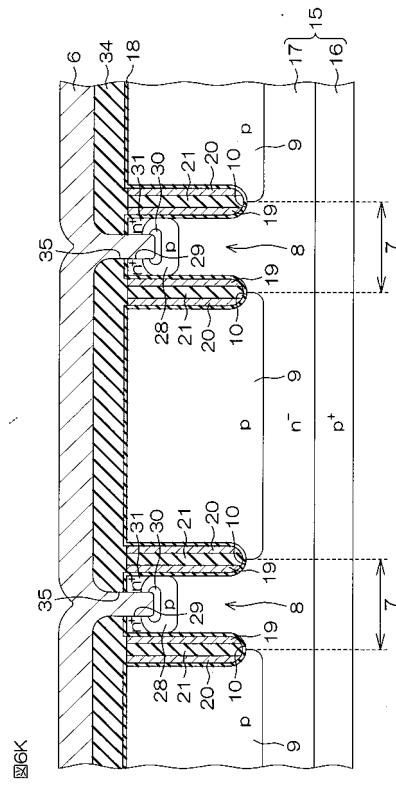
【 図 6 I 】



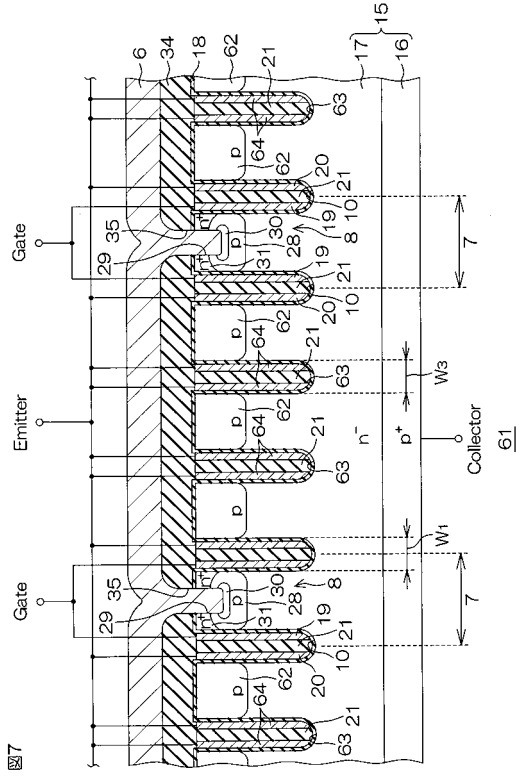
【 図 6 J 】



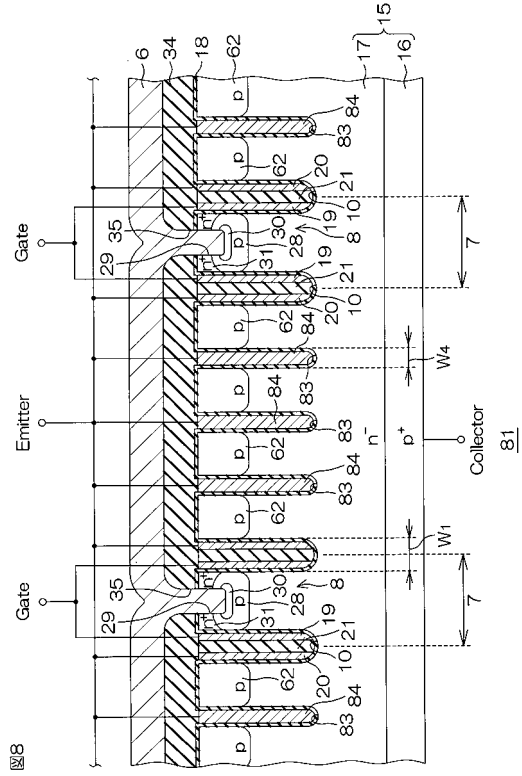
【 図 6 K 】



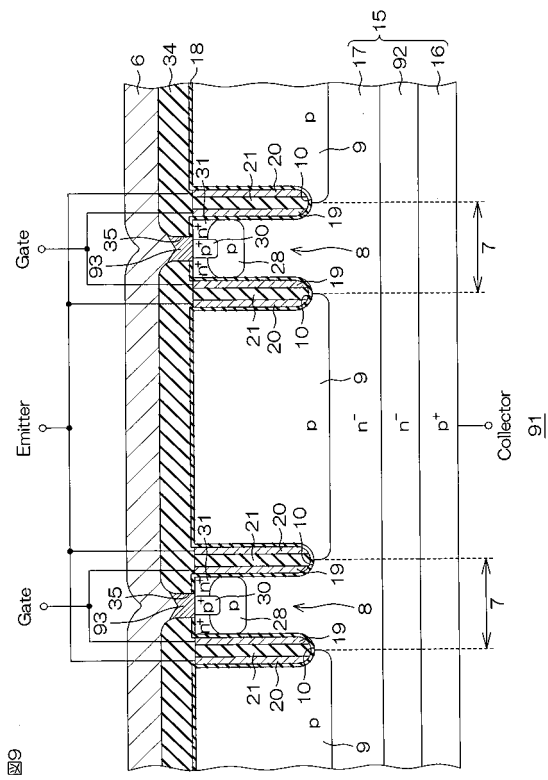
【 図 7 】



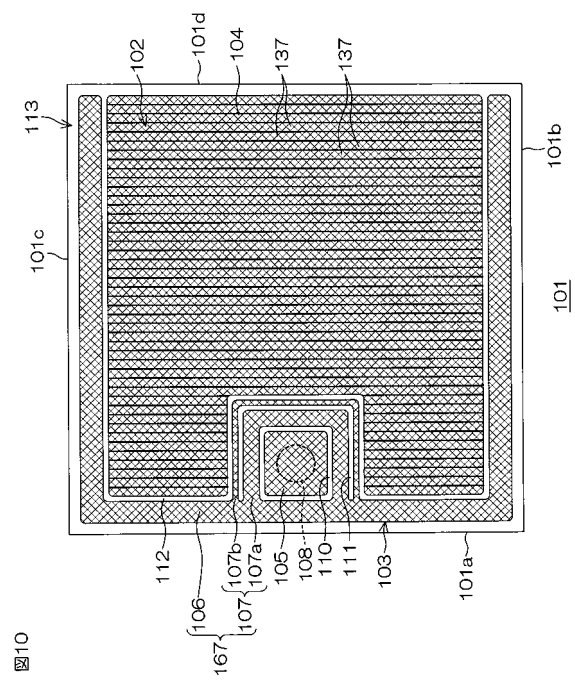
【 図 8 】



【 図 9 】



【 図 10 】



【図11】

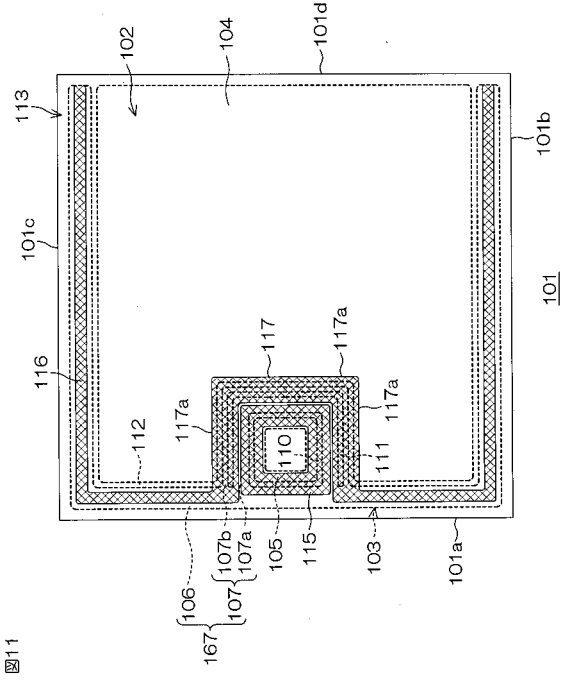


図11

【図12】

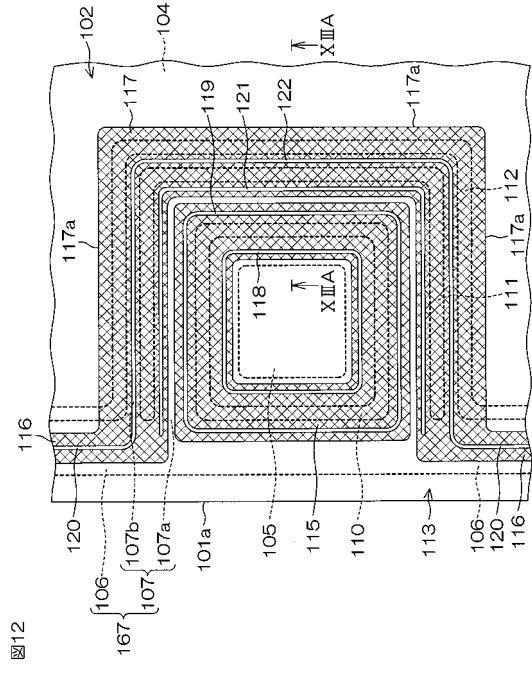


図12

【図13A】

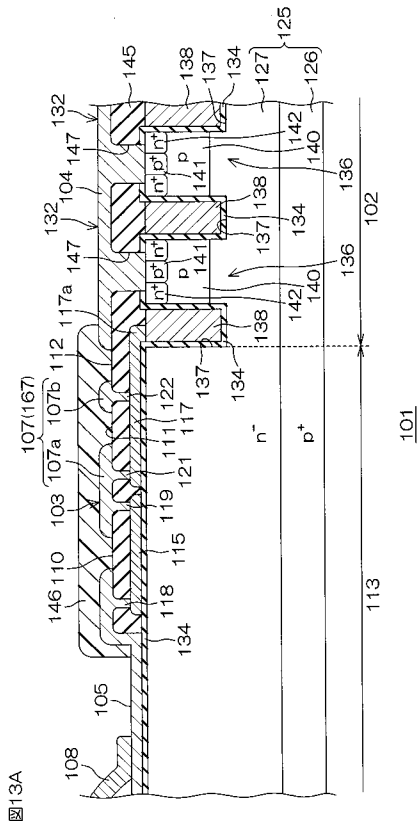


図13A

【図13B】

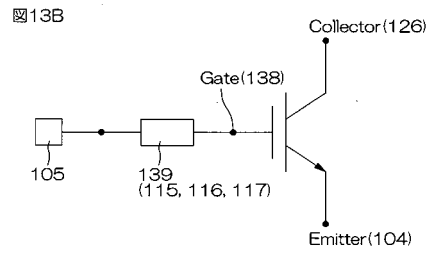


図13B

【図14A】

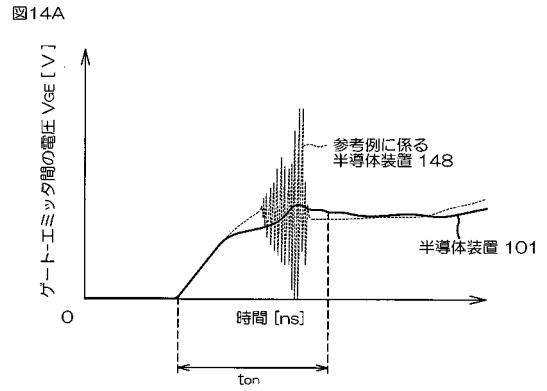


図14A

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 C
H 0 1 L	29/78	6 5 5 B
H 0 1 L	29/78	6 5 2 M
H 0 1 L	29/78	6 5 8 F
H 0 1 L	21/28	3 0 1 R