(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3998079号
(P3998079)
(45)発行日　平成19年10月24日(2007.10.24)　(24)登録日　平成19年8月17日(2007.8.17)

(51)Int.Cl.
HO5K 3/46 (2006.01)
ＦＩ
ＨＯ５Ｋ 3/46 S
ＨＯ５Ｋ 3/46 H

請求項の数 13　(全 18 頁)

(21)出願番号　特願平9-334403
(22)出願日　平成9年12月4日(1997.12.4)
(65)公開番号　特開平11-168278
(43)公開日　平成11年6月22日(1999.6.22)
審査請求日　平成16年11月30日(2004.11.30)

(73)特許権者　000003067
ＴＤＫ株式会社
東京都中央区日本橋１丁目１３番１号
(74)代理人　100081606
弁理士　阿部　美次郎
(72)発明者　林　克彦
東京都中央区日本橋１丁目１３番１号　ティーディーケイ株式会社内

審査官　黒石　孝志

最終頁に続く

(54)【発明の名称】電子部品及びその製造方法

(57)【特許請求の範囲】
【請求項１】
基板と、導体パターンとを含む電子部品であって、
前記基板は、その内部に内部導体を有しており、前記内部導体は前記導体パターンに接続される配線導体を構成しており、
前記導体パターンは、銀を主成分とし、ガラスフリットを含有する第１の導体膜と、銅を主成分とする第２の導体膜とを含み、回路要素を構成しており、
前記第１の導体膜は、前記基板上に焼付けられており、
前記第２の導体膜は、前記第１の導体膜の表面を覆っており、
前記配線導体は、スルーホール導体を含んでおり、前記スルーホール導体は、銀を主成分としガラスフリットを含有し、前記基板に設けられたスルーホールの内部に充填され、かつ、焼付けられ、一端が前記基板の表面に導出され、前記表面に形成された前記第１の導体膜と接続されている、
電子部品。
【請求項２】
請求項１に記載された電子部品であって、前記基板は、セラミック成分及びガラス成分を含む複合組成物でなる電子部品。
【請求項３】
請求項２に記載された電子部品であって、前記基板は、研磨された面を有しており、前記第１の導体膜は、前記研磨された前記面に付着されている電子部品。

【請求項４】
請求項２に記載された電子部品であって、前記セラミック成分は、アルミナ、マグネシア、スピネル、シリカ、ムライト、フォルステライト、ステアタイト、コージェライト、ストロンチウム長石、石英、ケイ酸亜鉛及びジルコニアの群から選ばれた少なくとも一種を含む電子部品。
【請求項５】
請求項２に記載された電子部品であって、前記ガラス成分は、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス及びホウケイ酸カリウムガラスの群から選ばれた少なくとも一種を含む電子部品。
【請求項６】
請求項１に記載された電子部品であって、更に、絶縁層と、別の導体パターンとを有しており、前記絶縁層は、前記導体パターンを覆っており、前記別の導体パターンは、前記絶縁層によって支持されている電子部品。
【請求項７】
請求項６に記載された電子部品であって、前記別の導体パターンは、銅を主成分とする導体膜でなる電子部品。
【請求項８】
請求項７に記載された電子部品であって、前記別の導体パターンは、外部接続用の外部接続電極を含む電子部品。
【請求項９】
請求項８に記載された電子部品であって、前記外部接続電極は、表面に半田層を有する電子部品。
【請求項１０】
請求項１に記載された電子部品であって、前記回路要素は、インダクタ、キャパシタまたは抵抗の少なくとも１つを含む電子部品。
【請求項１１】
請求項１に記載された電子部品であって、前記回路要素は、フィルタ、カプラまたは移相器の回路を構成する電子部品。
【請求項１２】
電子部品の製造方法であって、
銀を主成分としガラスフリットを含有する導体ペーストを用いて形成されたスルーホール導体を有するグリーンシートに対し、乾燥、脱バインダ及び焼成等の処理を施し、
次に、前記スルーホール導体の露出する一面に、銀を主成分とし、ガラスフリットを含有する導体ペーストを塗布し、かつ、焼き付けることによって、第１の導体膜を形成し、
次に、前記第１の導体膜の上に、蒸着法、スパッタ法または湿式メッキ法の適用によって、銅を主成分とする第２の導体膜を形成し、
次に、前記第１の導体膜及び第２の導体膜にフォトリソグラフィ技術を適用してパターン化することにより、回路要素を形成する、
工程を含む電子部品の製造方法。
【請求項１３】
請求項１２に記載された電子部品の製造方法であって、乾燥、脱バインダ及び焼成等の処理を行った後、前記第１の導体膜を形成する前、前記第１の導体膜を形成すべき面を研磨する工程を含む電子部品の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電子部品及びその製造方法に関する。本発明に係る電子部品は、例えば、携帯電話、自動車電話等の無線機器、或いはその他各種通信機器等の分野において利用される表面実装電子部品として好適なものである。

【０００２】
【従来の技術】
この種の電子部品において、高密度配線を実現する手段として、従来より、多層配線構造が採用されてきた。多層配線構造を開示した先行技術文献としては、例えば特開昭６２－２６５７９６号公報や特開平４－７２６９６号公報等が知られている。これらの公知文献は、ガラスとセラミックとの複合組成物でなるガラス－セラミック材料を用いた低温焼成多層基板を開示している。多層基板の内部には、銀を主体とした導体が形成されており、その表面には銅による配線パターンが形成されている。この先行技術では、多層基板の内部に銀を主体とした導体を形成してあるので、セラミック多層基板を形成する際、脱バインダの促進に有効な空気中焼成が可能である。また、多層基板の表面に銅による配線パターンを形成してあるので、多層基板の表面におけるシルバーマイグレーション、及び、半田食われを阻止できると共に、導電性の高い配線パターンを構成できるという利点がある。
【０００３】
多層基板の製造に当たっては、ガラス及びセラミック材料を樹脂系バインダ中で複合化してシート化し、前記シートに対し銀を主体とした導体ペーストをスクリーン印刷法等で塗布して配線パターンを形成する。次に、前記配線パターンの形成されたシートを積層し、積層体を熱プレスして一体化する。次に、熱処理により、バインダ（シート中の樹脂分）を除去すると共に、ガラス－セラミック材料と銀を主体とした導体と同時に焼結させる。これにより、多層基板の内部に、銀を主成分とした配線を有する多層配線構造が得られる。
【０００４】
次に、多層基板の表面に銅を主成分とした配線パターンを形成する。この配線パターン形成方法については、上記２件の公知例では多少異なる。前者は、スクリーン印刷法等を適用して、多層基板上に銅ペーストを塗布し、その後、還元雰囲気中で導体を焼結させる方法を開示している。後者は、多層基板上に先ず無電解メッキでニッケルを付着させ、その後電解メッキにより銅を付着させる。そして、銅メッキ膜を、フォトリソグラフィ技術を用いて、パターン化する方法を開示している。
【０００５】
【発明が解決しようとする課題】
上述した従来技術のうち、セラミック多層基板の内部に、銀を主成分とする導体を形成し、表面に銅を主成分とする導体パターンを、厚膜印刷法の適用により形成する技術には、前述したような利点があるけれども、次のような解決しなければならない問題点も抱えている。
【０００６】
まず、多層基板の内部の配線は、スルーホール等を通して、基板表面に露出させ、表面に形成される導体と接続する必要がある。ところが、内部の配線として銀を使用し、表面に銅を主成分とする銅ペーストを厚膜印刷した場合、露出した銀の導体と基板表面に形成された銅ペーストとが接触することになる。この状態で銅ペーストを焼結させた場合、銅と銀の接触部では６００℃を越える温度で、相互の原子同士が拡散し合い、液相を生じる。この液相化により、銀と銅とを含む接触部が、焼成中に、周囲の銅パターンよりも極度に収縮する。この収縮のために、前記接触部と、その周囲にある銅パターンとの間に空隙が生じてしまう。
【０００７】
上記断線を回避するためには、６００℃程度で焼結可能な銅ペーストを使用する必要がある。実際に、６００℃程度で焼結可能な銅ペーストも存在する。しかし、銅ペーストは９００℃程度で焼成されるものが一般的であり、しかも、９００℃以上で焼成する銅ペーストの方が、６００℃程度で焼結可能な銅ペーストよりも、高い周波数帯まで高周波損失の少ない良好な導体を形成できる。換言すれば、６００℃程度で焼結可能な銅ペーストを用いた場合は、基板内部の銀による配線と、基板表面に形成される銅による導体との間の電

気的断線を回避することは可能であるが、高い周波数帯まで高周波損失の少ない良好な導体を得ることができない。

【０００８】

基板内部の銀による配線と、基板表面の銅による導体との間の電気的断線及び高周波特性の劣化は、銅を用いることによって生じるものであるから、これ改善する手段として、基板表面に形成される導体をも、銀によって構成する手段が考えられる。しかしながら、銀は反応活性が高いため、周囲の環境により、導体パターン間の絶縁抵抗の低下、あるいはシルバーマイグレーションを発生させる危険性がある。

【０００９】

更に、銀は半田中に拡散移行し易いため、マザーボード等と接続するために形成される外部接続電極が前述のように銀で形成されている場合、半田付けの際に外部接続電極が溶解した半田中に拡散移行して消滅してしまう、いわゆる半田食われの可能性がある。

【００１０】

上記のような厚膜印刷法によらず、メッキにより銅を付着させる方法を採用した場合は、一般的に、メッキプロセスでは、歪みを残しながらメッキ膜が形成されていくため、膜厚を１０μ程度まで厚くすると、基板に対するメッキ膜の付着強度が低下し易くなる。導体膜の付着強度が低下すると、前述した外部接続電極を形成した場合、マザーボードに対する十分な固着強度を得ることが困難となる。

【００１１】

更に、メッキ膜を厚く形成する場合、基板表面全体に均一なメッキ膜厚形成することが困難であるため、メッキ膜に膜厚のばらつきを生じる。この膜厚のばらつきは、フォトリソグラフィ技術を用いて極細のラインパターンを形成する際、パターン成形精度を低下させる。一般にフォトリソグラフィ技術を用いたパターン形成精度は形成された導体表面の状態に大きく依存するからである。

【００１２】

本発明の課題は、基板内部の配線と、基板表面に形成される導体との間の電気的断線を回避し得る電子部品及びその製造方法を提供することである。

【００１３】

本発明のもう一つの課題は、高周波特性の良好な多層配線構造を有する電子部品及びその製造方法を提供することである。

【００１４】

本発明の更にもう一つの課題は、維持費の安価な空気中焼成の可能な電子部品及びその製造方法を提供することである。

【００１５】

本発明の更にもう一つの課題は、高周波帯域における損失の小さな電子部品及びその製造方法を提供することである。

【００１６】

【課題を解決するための手段】

上述した課題を解決するため、本発明に係る電子部品は、基板と、導体パターンとを含む。前記基板は、内部導体を有しており、前記内部導体は前記導体パターンに接続される配線導体を構成する。前記導体パターンは、銀を主成分とする導体膜（以下銀導体膜と称する）と、銅を主成分とする導体膜（以下銅導体膜と称する）とを含み、回路要素を構成する。前記銀導体膜は前記基板上に付着されている。前記銅導体膜は前記銀導体膜の表面を覆っている。

【００１７】

本発明に係る電子部品において、導体パターンは銀導体膜を含んでおり、銀導体膜は基板上に付着されている。この構造は、基板をセラミック多層基板によって構成する場合に、大きな利点をもたらす。即ち、多層基板を構成する場合、一般には、多層基板の内部に、銀を主成分とする配線を備える。この配線は、スルーホール等を通して基板の表面に露出させ、基板の表面に形成される導体と接続する。本発明において、導体パターンを構成す

る銀導体膜が基板上に付着されているから、基板の内部の配線として用いられる銀が、銀導体膜と接触することになる。このため、異種金属間の液相化による電気的断線を生じることがない。

【００１８】

更に、本発明に係る電子部品において、導体パターンは、銅導体膜を含んでおり、銅導体膜は銀導体膜の表面を覆っている。かかる構造によれば、高周波帯域で低抵抗である銅導体膜及び銀導体膜によって、高い周波数帯まで高周波損失の少ない良好な導体パターンを得ることができる。

【００１９】

また、反応活性の高い銀導体膜が、銅導体膜によって覆われているため、銀導体膜の反応活性が抑えられ、周囲の環境による導体パターン間の絶縁抵抗の低下、及び、シルバーマイグレーションの発生等が抑制される。

【００２０】

更に、半田中に拡散移行し易い銀導体膜が、銅導体膜によって覆われているため、銀導体膜を構成する銀が半田中へ拡散移行する半田食われ現象を、銅導体膜により阻止することができる。

【００２１】

本発明において、導体パターンは受動回路を構成する要素として用いられる。導体パターンは、単独または他の構成要素と組み合わされて必要な受動回路を構成する。受動回路は、具体的には、インダクタ、キャパシタまたは抵抗の少なくとも１つを含む。上述した受動回路は、単機能回路であってもよいし、それらのいくつかを組み合わせた機能回路を構成してもよい。組み合わせによる機能回路の代表例は、フィルタ、カプラまたは移相器等の回路である。導体パターン及び他の構成要素は、目的とする受動回路に応じて、適宜選択される。

【００２２】

基板の内部導体として、銀を用いた場合、空気中で焼成可能であり、基板中のバインダを容易に除去することができる。バインダに含まれる炭素は、基板中に残存し易い性質を持つが、空気中で焼成した場合、炭素を、空気中の酸素により、炭酸ガスとして処理しやすいからである。しかも、窒素雰囲気中での焼成が必要ないため、焼成炉の雰囲気の維持管理が容易である。

【００２３】

更に、内部導体が、銀を主成分とする場合、既に述べたように、基板の表面に付着された銀導体膜との間で、焼成時に液相現象を生じさせる心配が全くない。

【００２４】

前記基板は、好ましくは、セラミック成分及びガラス成分を含む複合組成物でなる。更に好ましくは、前記基板は、研磨された面を有する。この場合、前記銀導体膜は前記研磨された前記面に付着させる。本発明は、好ましいセラミック成分及びガラス成分の具体例を開示する。

【００２５】

更に、別の態様として、本発明に係る電子部品は、絶縁層と、別の導体パターンとを有していてもよい。この場合、前記絶縁層は前記導体パターンを覆っており、前記別の導体パターンは前記絶縁層によって支持されている。更に具体的には、前記別の導体パターンは、銅を主成分とする導体膜でなる。かかる構造によれば、更に多層化を進め、より一層の小型化、及び、高機能化を達成できる。

【００２６】

このとき、基板上に形成された導体パターンにおいて、基板の上に付着されている銀導体膜が銅導体膜によって被覆されているため、銀導体膜と、絶縁層の表面に形成された銅との間のシルバーマイグレーションの発生を低下させることが可能となる。

【００２７】

本発明に係る電子部品は、通常、外部接続電極を含んでいる。この外部接続電極は前記絶

縁層上に設けられる。前記外部接続電極は、表面に半田層を有していてもよい。
【００２８】
上述した電子部品を製造するため、本発明に係る製造方法では、前記基板上に銀による導体ペーストを塗布し、乾燥、脱バインダ及び焼成等の処理を行って銀の導体膜を形成する。次に、前記銀の導体膜の上に、蒸着法、スパッタ法または湿式メッキ法の適用によって、銅の膜を付着させて、銅の導体膜を形成する。次に、前記導体膜にフォトリソグラフィ技術を適用することにより、導体パターンを形成する。
【００２９】
かかる製造方法によれば、上述した利点を有する本発明に係る電子部品が得られることは明らかである。
【００３０】
本発明の他の目的、特徴及び利点については、実施例である添付図面を参照して、さらに詳しく説明する。図面は、単に、実施例を示すものに過ぎない。
【００３１】
【発明の実施の形態】
図１は本発明に係る電子部品の断面図である。図を参照すると、本発明に係る電子部品は、基板１と、導体パターン２とを含む。導体パターン２は、銀導体膜２１と、銅導体膜２２とを含み、回路要素を構成する。銀導体膜２１は基板１上に付着されている。銅導体膜２２は、銀導体膜２１の表面を覆っている。
【００３２】
図示された基板１は、多層基板で構成されており、多層基板の内部に銀を主成分とする内部導体３０が備えられている。内部導体３０は、銀を主成分とするスルーホール導体３１を通して基板１の表面に導出され、表面に形成される銀導体膜２１と接続されている。このように、銀を主成分とする内部導体３０及びスルーホール導体３１が、銀導体膜２１と接触することになるため、従来問題となっていた異種金属間の液相化による電気的断線を生じることがない。
【００３３】
更に、本発明に係る電子部品において、導体パターン２は、銅導体膜２２を含んでおり、銅導体膜２２は銀導体膜２１の表面を覆っている。かかる構造によれば、高周波帯域で低抵抗である銅導体膜２２及び銀導体膜２１によって、高い周波数帯まで高周波損失の少ない良好な導体パターン２を得ることができる。
【００３４】
また、反応活性の高い銀導体膜２１が、銅導体膜２２によって覆われているため、銀導体膜２１の外部に対する反応活性が押さえられ、周囲の環境による導体パターン２間のシルバーマイグレーションの発生等が抑制される。
【００３５】
更に、半田中に拡散移行し易い銀導体膜２１が、銅導体膜２２によって覆われているため、銀導体膜２１を構成する銀の半田中への拡散移行を銅導体膜２２により阻止することができる。
【００３６】
本発明において、導体パターン２は受動回路を構成する要素として用いられる。導体パターン２は、単独または他の構成要素と組み合わされて必要な受動回路を構成する。受動回路は、具体的には、インダクタ、キャパシタまたは抵抗の少なくとも１つを含む。上述した受動回路は、単機能回路であってもよいし、それらのいくつかを組み合わせた機能回路を構成してもよい。組み合わせによる機能回路の代表例は、フィルタまたはカプラ等である。導体パターン２及び他の構成要素は、目的とする受動回路に応じて、適宜選択される。
【００３７】
実施例において、基板１は、内部導体３０を有しており、内部導体３０は導体パターン２に接続される配線導体を構成する。これにより、多層化された基板１を得ることができる

。

【００３８】

更に、実施例に示された電子部品は、絶縁膜４と、別の導体パターン５０とを有している。絶縁膜４は導体パターン２を覆っており、導体パターン５０は絶縁膜４によって支持されている。導体パターン５０は、銅を主成分とする導体膜でなる。かかる構造によれば、更に多層化を進め、より一層の小型化、及び、高機能化を達成できる。

【００３９】

ここで、基板１上に形成された導体パターン２において、基板１の上に付着されている銀導体膜２１が銅導体膜２２によって被覆されているため、銀導体膜２１と、絶縁膜４の表面に形成された銅を主成分とする導体パターン５０との間のシルバーマイグレーションの発生を低下させることが可能となる。

【００４０】

更に、図示された電子部品は、外部接続電極５１、５２を含んでいる。この外部接続電極５１、５２は導体パターン５０の上に設けられる。外部接続電極５１、５２は、表面に半田層を有していてもよい。半田層は、半田バンプまたは半田プリコートを含む。

【００４１】

基板１は、好ましくは、セラミック成分及びガラス成分を含む複合組成物でなる。更に好ましくは、基板１は、研磨された面１０を有する。銀導体膜２１は研磨された面１０に付着させる。実施例において、基板１は、内部導体３０を境界にして、絶縁層１１と補強層１２とに分けられており、研磨された面１０は絶縁層１１の表面に設けられている。基板１は、セラミック成分及びガラス成分を含む複合組成物でなる焼結体である。焼結体でなる基板１に、焼成による反りが発生していたとしても、この反りは研磨によって解消されており、このような反りのない面１０に導体パターン２を形成することができる。このため、セラミック基板１を半導体製造技術に適応させ、フォトリソグラフィ工程において、高精度の導体パターン２を形成することが可能になる。よって、導体パターン２によって形成される各回路素子の定数値の精度を向上させると共に、小さなパターン領域で回路素子、及び、回路素子の集合体である機能回路を設計しうる。

【００４２】

しかも、セラミック成分及びガラス成分を含む複合組成物でなる絶縁層１１は、ガラス成分とセラミック成分との混合比、成分等を適切に選択することにより、切削性、強度、表面の平滑性等をほぼ同時に満たすことができる。チップ化するためにダイシングソウ等で個別に分割する場合でも、良好な切削性を確保し、量産性を向上させることができる。従って、基板１の焼成時に発生する全体の焼成反りや凹凸を、表面研磨によって容易に除去することができる。また、絶縁層１１を構成する無機成分の種類または成分毎の含有量等の選択によって、表面の状態が平滑で、且つ、欠陥がなく、しかも反りの少ない絶縁層１１を有する電子部品を得ることもできる。

【００４３】

セラミック成分及びガラス成分を含む複合組成物でなる絶縁層１１は、セラミック単体またはガラス単体による絶縁層との対比において、欠陥が極めて少なく、且つ、平滑性を有する基板１とすることができる。また、セラミック成分を含有することにより、ガラス単体よりも強度が大きくなる。更に、ガラス単体の時よりも基板１の製造時の流動性が低下することにより、多層配線構造とすることができる。

【００４４】

セラミック成分及びガラス成分を含む複合組成物でなる絶縁層１１は、セラミック成分単体を焼結させた場合に比べ、１０００℃以下の比較的低温で、且つ、約１０分程度の短い焼成温度保持時間で焼成が可能である。このため、セラミック成分単体を焼成させる場合に比べ、製造設備的にも安価であり、製造時間が短くなるため、量産性がよい。

【００４５】

絶縁層１１を構成するためのセラミック成分としては、アルミナ、マグネシア、スピネル、シリカ、ムライト、フォルステライト、ステアタイト、コージェライト、ストロンチウ

ム長石、石英、ケイ酸亜鉛及びジルコニアの群から選ばれた少なくとも一種を含むものを用いることができる。

【００４６】

ガラス成分としては、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス及びホウケイ酸カリウムガラスの群から選ばれた少なくとも一種を含むものを用いることができる。ガラス成分の含有率は、複合組成物の全体積に対する体積比で５０％以上であることが望ましい。特に、体積比で６０～７０％の範囲が最適である。

【００４７】

補強層１２は絶縁層１１の表面１０とは反対側において、絶縁層１１と一体化されている。上述した補強層１２を有することにより、絶縁層１１を薄くしつつ、基板１の強度を確保することができる。補強層１２は、絶縁層１１とは異なる材質のものであってもよいが、製造プロセスの一元化という観点からは、同材質とすることが望ましい。

【００４８】

図２は図１に示した電子部品をマザーボード７０に搭載した状態を示した図である。図示するように、本発明に係る電子部品は、導体パターン２の形成された面を、マザーボード７０の搭載面７３に向き合わせて、マザーボード７０の上に搭載されている。外部接続電極５１、５２上に設けた半田層８１、８２は、マザーボード７０上の電極７１、７２上で半田リフロー等の熱処理により溶融させる。これにより、電子部品の外部接続電極５１、５２及びマザーボード７０の上に設けられた電極７１、７２が電気的、機械的に接続される。

【００４９】

図３は本発明に係る電子部品の実施例であるローパスフィルタ(Low Pass Filter 以下LPFと称する）の分解斜視図、図４は図３の４－４線に沿った断面図、図５は図３の５－５線に沿った断面図、図６は図３の６－６線に沿った断面図、図７は図３～図６に示したＬＰＦの等価回路図を示している。図において、図１に図示された構成部分と同一の構成部分については、同一の参照符号を付してある。

【００５０】

導体パターン２は、第１のコンデンサ電極２０４と、第２のコンデンサデン電極２０５と、インダクタ電極２０３と、端子電極２０１、２０２とを備える。コンデンサ電極２０４は、銀導体膜２１と、銅導体膜２２とを含む。銀導体膜２１は、基板１を構成する絶縁層１１の研磨された面１０の上に付着されており、銅導体膜２２は、銀導体膜２１の表面を覆っている。

【００５１】

基板１は、多層基板で構成されており、多層基板１の内部に銀を主成分とする内部導体３０及びスルーホール導体３１が備えられている。内部導体３０は、銀を主成分とするスルーホール導体３１を通して基板１の表面に導出され、表面に形成された銀導体膜２１と接続されている。このように、銀を主成分とする内部導体３０及びスルーホール導体３１が、銀導体膜２１と接触することになるため、従来問題となっていた異種金属間の液相化による電気的断線を生じることがない。

【００５２】

コンデンサ電極２０５は、一端が端子電極２０１に接続されている。コイル導体２０３は、スパイラル状パターンを有しており、外周端がコンデンサ電極２０５の一端と共に、端子電極２０１に接続されている。

【００５３】

コンデンサ電極２０５、コイル導体２０３及び端子電極２０１、２０２も、コンデンサ電極２０４と同様に、銀導体膜２１と、銅導体膜２２とを含む。銀導体膜２１は基板１を構成する絶縁層１１の面１０の上に付着されており、銅導体膜２２は、銀導体膜２１の表面を覆っている。従って、コンデンサ電極２０４のみならず、コンデンサ電極２０５、コイル導体２０３及び端子電極２０１、２０２も、高い周波数帯まで高周波損失の少ない良好

な導体パターンを得ることができる。

【００５４】

また、コンデンサ電極２０４、２０５、コイル導体２０３及び端子電極２０１、２０２において、反応活性の高い銀導体膜２１が、銅導体膜２２によって覆われているため、銀導体膜２１の外部に対する反応活性が押さえられ、シルバーマイグレーションの発生等が抑制される。

【００５５】

導体パターン２は、絶縁膜４によって覆われている。絶縁膜４の表面には銅を主成分とする導体パターン５０が付着されている。導体パターン５０は、コンデンサ電極５０１～５０３と、外部接続電極５１～５４とを有する。コンデンサ電極５０１は、絶縁膜４を間に挟んで、導体パターン２を構成するコンデンサ電極２０５と対向する。コンデンサ５０１は外部接続電極５２に導通されている。コンデンサ電極５０２及び５０３は、互いに間隔を隔てて、絶縁膜４の表面に付着され、導体パターン２を構成するコンデンサ電極２０４に共通に対向している。コンデンサ電極５０２はコンデンサ電極５０１と共に、外部接続電極５２に導通されている。コンデンサ電極５０３は外部接続電極５１に接続されている。

【００５６】

外部接続電極５２は、リード導体５０４を有しており、リード導体５０４は、絶縁膜４に設けられた孔４５を通してコイル導体２０３の内周端に接続されている。これにより、コイル導体２０３が外部接続電極５２に接続される。

【００５７】

外部接続電極５１は、絶縁膜４に設けられた貫通孔４１を通して、導体パターン２の端子電極２０１に接続され、外部接続電極５２は貫通孔４２を通して導体パターン２の端子電極２０２に接続される。外部接続電極５３、５４は、絶縁膜４に設けられた貫通孔４３、４４により、導体パターン２を構成するコンデンサ電極２０４に接続される。

【００５８】

図７は図３～図６に示したＬＰＦの電気回路を示している。図７において、コンデンサＣ１は、絶縁膜４を挟んで対向するコンデンサ電極２０５及びコンデンサ電極５０１によって取得される。コンデンサＣ２は絶縁膜４を挟んで対向するコンデンサ電極２０４及びコンデンサ電極５０３によって取得される。コンデンサＣ３は絶縁膜４を挟んで対向するコンデンサ電極２０４及びコンデンサ電極５０２によって取得される。インダクタンスＬ１はコイル導体２０３によって発生する。図７の回路図から明らかなように、図３～図６によれば、小型のＬＰＦが得られる。

【００５９】

図８は図３～図７に示した電子部品をマザーボード７０に搭載した状態を示す図である。図示するように、本発明に係る電子部品９は、絶縁膜６の表面を、マザーボード７０の搭載面７３に向き合わせて、マザーボード７０の上に搭載されている。電子部品９の外部接続電極５３、５４及びマザーボード７０の上に設けられた電極７１、７２は、半田層８１、８２によって、電気的、機械的に接続される。このとき、導体パターン２において、基板１の上に付着されている銀導体膜２１が銅導体膜２２によって被覆されているため、銀導体膜２１と、絶縁膜４の表面に形成された銅を主成分とする導体パターン５０との間のシルバーマイグレーションの発生を低下させることが可能となる。また、外部接続電極５１～５４の表面は、何れも、銅導体でなるから、溶融した半田中への銀の拡散移行及び拡散移行による電極の消失といった問題は起きない。更に、基板１の内部に設けた内部導体３０が接地電極となるから、外界から加わる電磁気的影響から、ＬＰＦ回路をシールドすることが可能である。半田層８１、８２は、外部接続電極５１～５４上に予め付着させておき、マザーボード７０上の電極７１、７２上で半田リフロー等の熱処理により溶融させることができる。

【００６０】

実際の機器の高周波回路部では、金属製のシールドカバーにより、高周波回路部の全体を

覆う。その際、高周波回路部に搭載された部品であって、搭載部品の上面側がＧＮＤ電位でシールドされていない部品は、前記シールドカバーのＧＮＤ電位の影響を受けるために、周波数特性が変化する。この傾向は周波数が高くなるに従い顕著になる。実施例に示す電磁気的シールド構造によれば上記現象を回避することができる。

【００６１】

次に、本発明に係る電子部品の製造方法について、図９～図２１を参照して説明する。図９は本発明に係る電子部品の製造工程を示すフローチャート、図１０～図２１は図９に示された各工程を示す図である。以下、図９を参照して工程の順序を説明し、図１０～図２１を参照して各工程の詳細を説明する。

【００６２】

＜シート成形工程＞

シート成形工程では、誘電体材料を用いて、基板のためのシートを成形する。誘電体材料は、導体ペーストを印刷し、かつ、焼成により導体パターンが形成することが可能であれば、材料的な制限はない。実施例では、銀と同時焼成可能な誘電体材料を用いるものとして説明する。

【００６３】

また、１GHzを越す高周波帯で使用する電子部品を得る場合は、比誘電率が１５以下、好ましくは１０以下の誘電体材料を使用するのが望ましい。その理由は、前述のような高周波帯では、比誘電率が大き過ぎると、形成される導体パターン間の浮遊容量が無視できなくなり、パターン設計に困難を伴うからである。基板は後述する加工に対する切削性の良好さも必要である。従って、誘電体材料は、ガラス材料を母材とし、セラミック材料を骨材として混合した複合組成物が最適である。

【００６４】

誘電体材料の具体例としては、例えば、アルミナ（εｒ　１０）、マグネシア（εｒ　９）、スピネル（εｒ　９）、シリカ（εｒ　４）、ムライト（εｒ　６．５）、フォルステライト（εｒ　６）、ステアタイト（εｒ　６）、コージェライト（εｒ　５）、ジルコニア（εｒ　１０）等があり、これらのグループから、比誘電率（εｒ）や焼成温度等に応じ、例えば、１種類以上を適宜選択すればよい。

【００６５】

複合組成物でなる誘電体材料中のガラスの含有率は、体積率で５０％以上、特に６０～７０％であることが好ましい。ガラスの含有率が前記範囲未満であると、複合組成物となりにくく、強度及び成形性が低下する。またガラス材料は、骨材であるセラミック材料と同等程度の比誘電率を有することが望ましい。具体例としては、ホウケイ酸カリウムガラス、ホウケイ酸ガラス、鉛ホウケイ酸ガラス、ホウケイ酸バリウムガラス、ホウケイ酸ストロンチウムガラス、ホウケイ酸亜鉛ガラス等の一般にガラスフリットとして用いられるものが挙げられ、特に、ホウケイ酸カリウムガラス、鉛ホウケイ酸ガラス、ホウケイ酸ストロンチウムガラスが好適である。ガラスの組成の一例としては、SiO_2：５０～６５重量％、Al_2O_3：５～１５重量％、B_2O_3：８重量％以下、CaO、SrO、BaO、及びMgOの１～４種：１５～４０重量％、PbO：３０重量％以下の例を上げることができる。上記組成に、更に、Bi_2O_3、TiO_2、ZrO_2、Y_2O_3から選ばれた１種以上が、５重量％以下の含有率で含有されてもよい。

【００６６】

シート製造方法としては、グリーンシート法が好ましい。グリーンシート法では、セラミックの粒子及びガラスフリットを混合し、これにバインダ、溶剤等のビヒクルを加え、これらを混練してペースト（スラリー）とし、このペーストを用いて、例えばドクターブレード法、押し出し法等により、好ましくは０．０５～０．５mm程度の厚さのグリーンシートを所定枚数作製する。この場合、ガラスの粒径は、０．１～５μm程度、骨材のセラミック粒子は１～８μm程度であることが好ましい。ビヒクルとしては、エチルセルロース、ポリビニルブチラールや、メタクリル樹脂、ブチルメタアクリレート等のアクリル系樹脂等のバインダ、エチルセルロース、テルピネオール、ブチルカルビトール等の溶剤、そ

の他各種分散材、活性剤、可塑剤等から、目的に応じて適宜選択すればよい。図１０のシート１１、１０１～１０５はこのようにして得られたグリーンシートを示している。

【００６７】

＜シートパンチング工程＞

シートパンチング工程では、シート成形工程で得られたグリーンシートに対し、パンチングマシンや金型プレスを用いて、スルーホールを形成する。

【００６８】

＜内部導体印刷工程＞

内部導体印刷工程では、グリーンシート上に、例えばスクリーン印刷法により、内部導体及びスルーホール導体を形成する。図１０において、グリーンシート１０５の表面に内部導体３０が印刷されており、シート１１にスルーホール導体３１が形成されている。グリーンシート１１のスルーホール導体３１は、スルーホールランドパターン（後述）を形成するのと同時に、スルーホール内に導体ペーストを充填することによって形成される。導体ペーストとしては、銀粉とガラスフリットとを混合し、これに前記と同様のビヒクルを加え、これらを混練してスラリー化したものが好ましい。この場合、銀粉の含有率は、８０～９５重量％程度であることが好ましい。また、導電性粒子の平均粒径は、１．０１～５μm程度であることが好ましい。

【００６９】

＜積層及び熱プレス工程＞

積層及び熱プレス工程では、前述した各工程を経て得られたグリーンシート１０１～１０５を、図１０に示すような順序で積層する。そして、４０～１２０℃、５０～１０００Kgf/cm^{2}程度で熱プレスを行うことにより、グリーンシート１０１～１０５、１１による積層体が得られる。何も印刷されないグリーンシート１０１～１０４は基板全体の厚みを調整するために積層されたものであり、その枚数等は任意である。

【００７０】

＜脱バインダ及び焼成工程＞

積層及び熱プレス工程を経て得られた積層体は、脱バインダ工程に付され、積層体中に存在するバインダが熱処理により取り除かれ、更に、１０００℃以下好ましくは８００～１０００℃程度、更に好ましくは８５０～９００℃の温度条件で、約１０分程度保持することにより焼成する。図１１は脱バインダ及び焼成工程を経た後の積層体を示しており、グリーンシート１０１～１０５の一体焼結でなる補強層１２と、絶縁層１１との間に内部導体３０を有する多層基板が得られる。絶縁層１１にはスルーホール導体３１が設けられている。スルーホール導体３１は、一端が内部導体３０に接続しており、他端は絶縁層１１の表面において、スルーホールランドパターン３２に接続している。

【００７１】

ここで、内部導体３０及びスルーホール導体３１は、前述したように、銀を主成分とするので、空気中で焼成可能であり、基板中のバインダを容易に除去することができる。バインダに含まれる炭素は、基板中に残存し易い性質を持つが、空気中で焼成した場合、炭素を、空気中の酸素により、炭酸ガスとして処理しやすいからである。しかも、窒素雰囲気中での焼成が必要ないため、焼成炉の雰囲気の維持管理が容易である。

【００７２】

＜多層基板研磨工程＞

焼成工程を経て得られた多層基板（図１１）は、焼成工程により、基板全体に反りが生じている。本発明に係る電子部品の基板表面に形成される導体パターンは後述するフォトリソグラフィ技術により形成するため、導体パターンの精度は基板の平面性に左右される。即ち、そのため、フォトマスクとの密着性が必要であったり、またフォトレジストが均一に塗布されたり、或いは光が均一に照射される必要がある。多層基板研磨工程では、基板の表面研磨（ラッピング）を行って、基板全体の反りを除去する。

【００７３】

ここで、多層基板はガラスとセラミックとの複合組成物でなり、切削性が良好であるので

容易にラッピングを行うことができる。これにより多層基板全体の反りがなくなり、且つ、基板表面の平滑性も良好になる。図１２は研磨後の多層基板を示している。多層基板の表面１０が研磨され、面１０にあったスルーホールランドパターン３２は除去され、スルーホールランドパターン３２よりも小さな面積のスルーホール導体３１を、面１０に露出させることができる。そのため、多層基板の表面での回路パターンを設計する上で自由度が大きくなる。

【００７４】

＜表面導体印刷工程＞

次に、図１３に示すように、多層基板研磨工程の終了した多層基板に対し、その表面の略全面に対し、銀を主体とした導体ペーストを塗布して導体膜２１を形成する。導体ペーストを塗布する方法については制限はない。代表的な具体例はスクリーン印刷法であるが、多層基板は研磨により平面性が得られているので、多層基板を回転させながら、導体ペーストを滴下して塗布するスピンコートを用いることができる。その際、スピンコートでは一度に導体ペーストを厚く塗布することができないので、塗布と塗膜の乾燥を繰り返して行うことにより、目的の塗膜厚を有する導体膜２１を得ることが好ましい。

【００７５】

このように、基板１の上に、銀の導体ペーストを印刷手段等によって塗布して銀導体膜２１を形成するので、薄膜技術や湿式メッキ技術を適用する場合よりも、銀導体膜２１を、容易に厚く形成できる。このため、高周波帯において実抵抗損失の小さな導体パターンが得られる。特に、渦巻き状のコイルパターン（図３参照）を形成する際は、外側から内側に向かう渦巻きパターンを、上述した印刷手段等によって形成し、更に、渦巻きパターンの内側及び外側に接続される端子電極を、薄膜技術あるいは湿式メッキ技術を適用して形成することにより、高周波帯においてＱの高いコイルを得ることができる。

【００７６】

また、一般に導体ペースト中には、基板１との接着強度を上げるためにガラスフリットが添加されている。その上、前述の如く導体ペーストによる導体は、その膜厚を容易に厚くできる。このため、マザーボード等に対し十分な付着強度を得ることができる。

【００７７】

＜乾燥・焼成工程＞

塗布された導体膜２１に対して乾燥、脱バインダ及び焼成を行う。本発明に係る電子部品の多層基板表面上に塗布された導体膜２１は銀を主体にしているため、脱バインダ及び焼成は空気中で行うことが可能である。また、多層基板の内部導体３０及びスルーホール導体３１は、前述の如く、銀を主成分としているため、基板内部から基板表面に引き出されたスルーホール導体３１の露出部と、多層基板の表面上に塗布された導体膜２１との接触部において液相等を生じる心配もない。

【００７８】

＜銅スパッタ工程＞

次に、図１４に示すように、多層基板上に形成された導体膜２１の表面に対し、銅導体膜２２を形成する。銅導体膜２２の形成に先だって、銀導体膜２１の表面にバフ研磨（柔らかい布乃至毛のブラシによる研磨）を行い、銀導体膜２１の表面を平滑化することが好ましい。即ち、後述するフォトリソグラフィ技術による導体パターンの成形精度は導体の表面の状況にかなり依存するためである。その後、蒸着、スパッタまたは湿式メッキ等の手段によって、銀導体膜２１の表面に銅導体膜２２を付着させる。銅導体膜２２は、膜厚が０．５～３μｍ程度で十分なため、比較的処理時間が短く、かつ、付着強度の強い、スパッタによって形成するのがが最も好ましい。

【００７９】

＜パターン形成工程＞

次に、図１５に示すように、銀導体膜２１及び銅導体膜２２からなる導体膜２に対してフォトリソグラフィ技術を適用し、目的とする導体パターンとなるように、パターン化処理を行なう。パターン化に当たっては、先ず、銀導体膜２１及び銅導体膜２２からなる導体

膜の全表面に、フォトレジストを塗布する。塗布方法としてはスピンコート法が好ましい。

【００８０】

次に、目的のパターンが形成されたフォトマスクを透して露光を行う。その後、露光されなかったフォトレジストの未硬化部分を除去する。フォトレジストが除去されて、導体膜の露出した部分は、例えば、化学的エッチング処理によって除去する。導体膜は銅導体膜２２と銀導体膜２１の２層構造になっているため、それぞれの導体膜に適したエッチング液を用いてエッチング処理を行う必要がある。このパターン形成工程を経ることにより、目的のパターンを有する導体パターン２が得られる（図１５参照）

上述のように、導体パターン２において、銀導体膜２１の表面に銅導体膜２２が形成されているため、マザーボード等に電子部品を半田付けさせる際、銀導体膜２１の銀が、半田中へ拡散移行するのを銅導体膜２２により阻止することができる。

【００８１】

よって、本発明に係る電子部品はマザーボードに対し十分な固着強度を有し、且つ半田による電極の消失のない搭載部品とすることが可能となる。

【００８２】

<絶縁層形成工程>

次に、図１６に示すように、導体パターン２の形成された面上に、スピンコート等の手段によって、絶縁膜４を塗布する。絶縁膜４はポリイミド系、エポキシ系といった樹脂系材料が適している。

【００８３】

<上部導体形成工程>

次に、図１７に示すように、絶縁膜４に対して、フォトリソグラフィ技術を適用し、次工程のためのパターン処理を行なう。図１７において、参照符号４００は抜きパターンを示している。

【００８４】

次に、図１８に示すように、蒸着、スパッタ、メッキ等を用いて、絶縁膜４の上に銅を付着させ、銅導体膜５を形成する。銅導体膜５の膜厚は０．５～３μ程度でよく、処理が比較的早いスパッタを用いることができる。

【００８５】

次に、図１９に示すように、銅導体膜５にフォトリソグラフィ技術を適用して目的の導体パターン５０を得る。図１９の参照符号５００は銅導体膜５のパターン処理によって生じた抜きパターンを示している。

【００８６】

ここで、基板１上に形成された導体パターン２は、銀導体膜２１が銅導体膜２２によって被覆されているため、基板１上に形成された導体パターン２と、絶縁膜４の上に形成された銅導体パターン５０との間のシルバーマイグレーションの発生を低下させることが可能となる。

【００８７】

しかも、基板１上に、フォトリソグラフィ技術の適用により導体パターン２を形成した後、ポリイミドやエポキシ等の樹脂による絶縁膜４を形成し、その上に更に、蒸着、スパッタあるいは湿式メッキにより、銅導体膜５を形成する。そして、再度、フォトリソグラフィ技術を適用して、銅膜による導体パターン５０を形成するので、導体パターンの多層化が可能となる。このため、多層化により、小型化した電子部品を得ることができる。

【００８８】

<保護層形成工程>

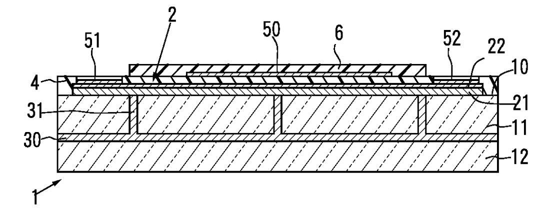
次に、図２０に示すように、保護膜６を形成する。保護膜６の材料としては前記した樹脂系が好ましい。保護膜６の内、外部接続電極となる端子電極に対応する部分は、除去する。除去方法としては、フォトリソグラフィ技術を適用して、不要部分をエッチングによって除去する方法が適している。但し、外部接続電極は基板上に形成したパターンに比べ、

比較的大型のパターンとなるため、スクリーン印刷法により、形成してもよい。
【００８９】
＜個別分割工程＞
次に、図２１に示すように、切断線Ｘ１－Ｘ１に沿って分割し、個々の電子部品に分割する。この時、基板はガラス－セラミック基板であるので、ダイアモンドソウ等で容易に分割することができる。以上により、本発明に係る電子部品が完成する。
【００９０】
上記実施例では、ＬＰＦを例にとって説明したが、本発明は、バンドパスフィルタ、ハイパスフィルタ、バンドエリミネイションフィルタ等の各種フィルタ、カプラ、フェイズシフタ等の各種機能部品及び、前記各機能の複合部品に応用が可能である。またコイル、コンデンサといった単機能な個別部品に応用することも可能である。
【００９１】
【発明の効果】
以上説明したように、本発明によれば、次のような効果を得ることができる。（ａ）基板内部の配線と、基板表面に形成される導体との間の電気的断線を回避し得る電子部品及びその製造方法を提供することができる。
（ｂ）高周波特性の良好な多層配線構造を有する電子部品及びその製造方法を提供することができる。
（ｃ）維持費の安価な空気中焼成が可能な各種電子部品及びその製造方法を提供することができる。
（ｄ）高周波帯域で低損失の各種電子部品及びその製造方法を提供することができる。
【図面の簡単な説明】
【図１】本発明に係る電子部品の断面図である。
【図２】図１に示した電子部品の実装状態を示す断面図である。
【図３】本発明にかかる電子部品の具体例としてのＬＰＦを示す分解斜視図である。
【図４】図３の４－４線に沿った断面図である。
【図５】図３の５－５線に沿った断面図である。
【図６】図３の６－６線に沿った断面図である。
【図７】図３～図６に示したＬＰＦの等価回路図である。
【図８】図３～図７に示したＬＰＦをマザーボードに実装した状態を示す部分断面図である。
【図９】本発明に係る電子部品の製造工程を示すフローチャートである。
【図１０】本発明に係る電子部品の製造工程を示す図である。
【図１１】図１０に示した製造工程の後の製造工程を示す図である。
【図１２】図１１に示した製造工程の後の製造工程を示す図である。
【図１３】図１２に示した製造工程の後の製造工程を示す図である。
【図１４】図１３に示した製造工程の後の製造工程を示す図である。
【図１５】図１４に示した製造工程の後の製造工程を示す図である。
【図１６】図１５に示した製造工程の後の製造工程を示す図である。
【図１７】図１６に示した製造工程の後の製造工程を示す図である。
【図１８】図１７に示した製造工程の後の製造工程を示す図である。
【図１９】図１８に示した製造工程の後の製造工程を示す図である。
【図２０】図１９に示した製造工程の後の製造工程を示す図である。
【図２１】図２０に示した製造工程の後の製造工程を示す図である。
【符号の説明】

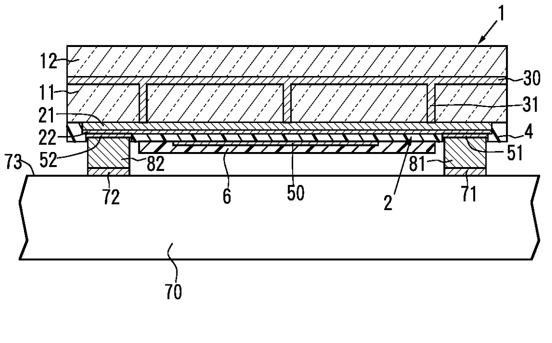
1	基板
１１	絶縁層
１１１	研磨された面
１２	補強層
2	導体パターン

２１　　　　　　　　　銀導体膜
２２　　　　　　　　　銅導体膜

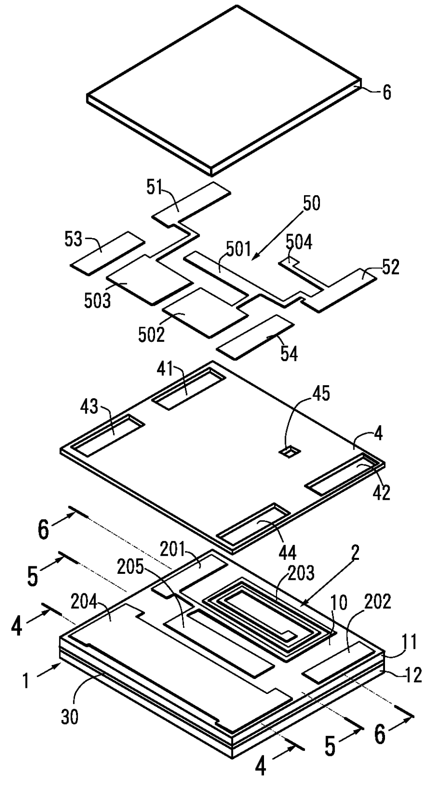
【図１】



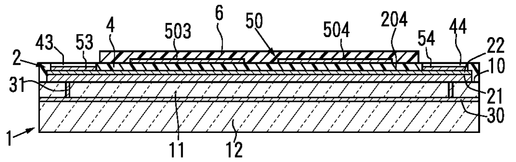
【図２】



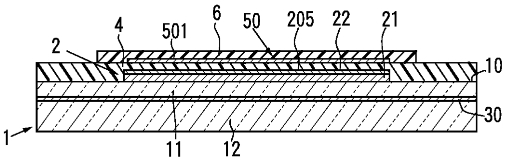
【図３】



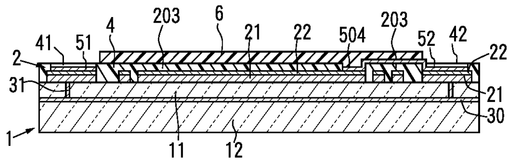
【図４】



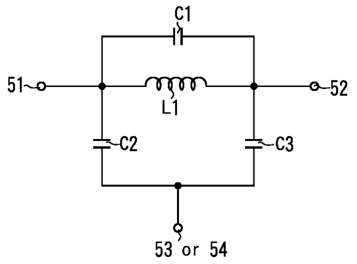
【図５】



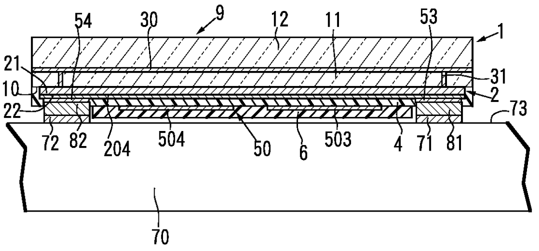
【図６】



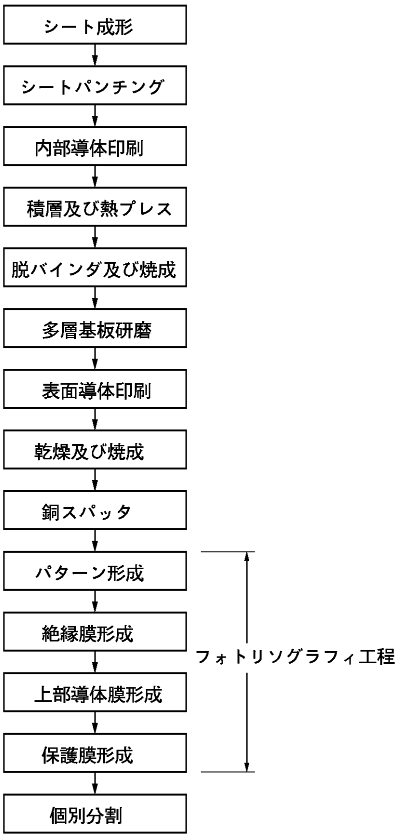
【図７】



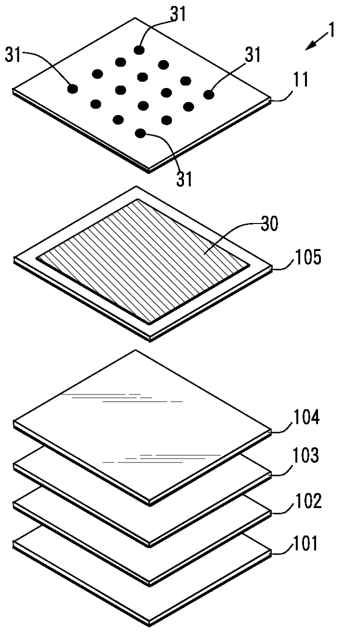
【図８】



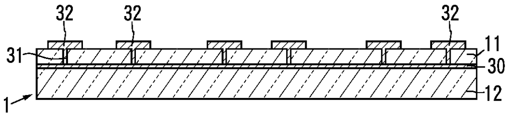
【図９】



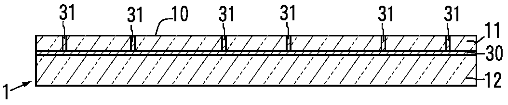
【図１０】



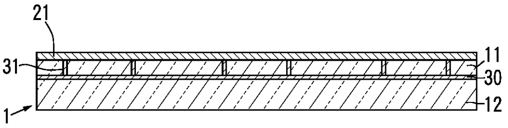
【図１１】



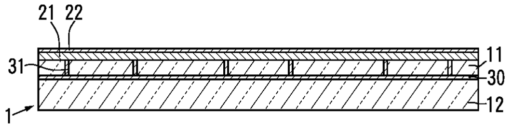
【図１２】



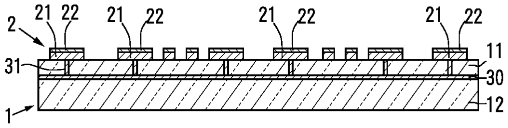
【図１３】



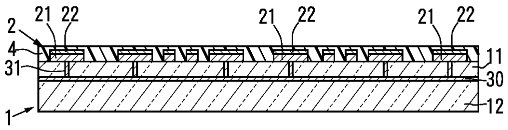
【図１４】



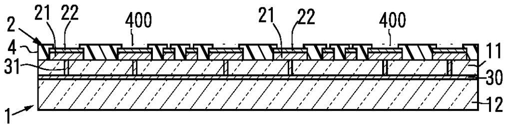
【図１５】



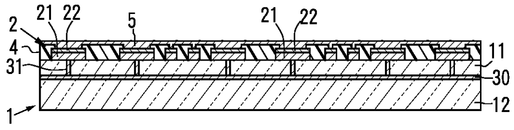
【図１６】



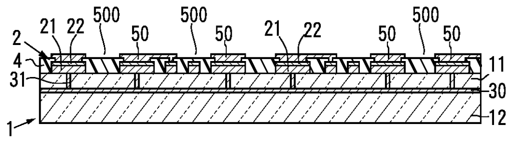
【図１７】



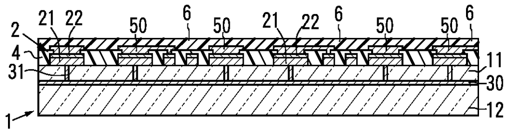
【図１８】



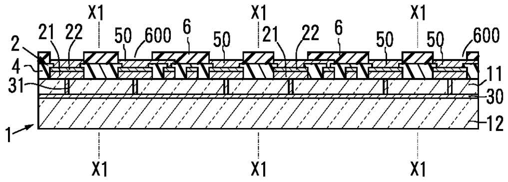
【図１９】



【図２０】



【図２１】



フロントページの続き

(56)参考文献　特開平６－１４０７３６（ＪＰ，Ａ）
特開平５－２５９６１５（ＪＰ，Ａ）
特開平６－３７２０６（ＪＰ，Ａ）
特開平９－３０７２０６（ＪＰ，Ａ）
特開平６－２１６５２５（ＪＰ，Ａ）
特開平７－２４５４８４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H05K 3/46