



(12) 发明专利

(10) 授权公告号 CN 102724015 B

(45) 授权公告日 2014. 07. 16

(21) 申请号 201210153127. 8

(22) 申请日 2006. 06. 16

(30) 优先权数据

11/159, 537 2005. 06. 23 US

11/159, 614 2005. 06. 23 US

11/206, 314 2005. 08. 17 US

(62) 分案原申请数据

200680017484. 4 2006. 06. 16

(73) 专利权人 艾格瑞系统有限公司

地址 美国宾夕法尼亚

(72) 发明人 刘劲汉 约翰尼斯·G·兰斯基

哈罗德·T·希姆蒙德斯

詹姆斯·D·尤德

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 康建忠

(51) Int. Cl.

H04L 1/00 (2006. 01)

(56) 对比文件

US 2003093703 A1, 2003. 05. 15,

CN 1521599 A, 2004. 08. 18,

CN 1152825 A, 1997. 06. 25,

审查员 李晓玲

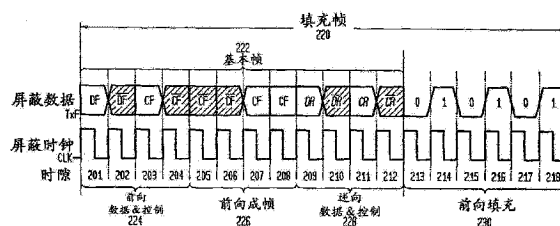
权利要求书2页 说明书7页 附图2页

(54) 发明名称

传送数据的方法

(57) 摘要

本发明提供用于敏捷采样速率切换的串行协议。该接口采用如下可变长度的帧,即,即使接口时钟速率保持近似恒定,所述可变长度的帧也可被扩展或者被缩减以获得期望的通信速率。本发明还提供一种用于设计敏捷屏蔽接口的方法。具体地讲,优选地将屏蔽时钟速率选择为屏蔽接口必须处理的各个通信速率的近似公倍数。然后可通过将屏蔽时钟速率除以 $\Sigma \Delta$ 速率来获得与每个通信速率对应的帧长。最后,本发明提供一种能够以各种数据速率和近似固定的接口时钟速率通过串行接口传送数据的敏捷屏蔽器。



1. 一种通过具有固定的接口时钟速率的串行接口以多个通信速率传送数据的方法,包括以下步骤:

以第一通信速率通过所述串行接口以固定的接口时钟速率发送第一帧,所述第一帧包括第一数据和与第一通信速率对应的第一数量的填充比特;和

以第二通信速率通过所述串行接口以固定的接口时钟速率发送第二帧,所述第二帧包括第二数据和与第二通信速率对应的第二数量的填充比特,第二通信速率不同于第一通信速率,第二数量的填充比特不同于第一数量的填充比特,

从而,以与第一通信速率对应的速率传送第一数据,和以与第二通信速率对应的速率传送第二数据;

在发送第一帧之前,基于第一通信速率细调固定的接口时钟速率;和

在发送第二帧之前,基于第二通信速率细调固定的接口时钟速率。

2. 根据权利要求1所述的方法,其中,所述固定的接口时钟速率为第一和第二通信速率的公倍数。

3. 根据权利要求1所述的方法,其中,成帧器电路缓冲来自调制解调器处理器的数据,并通过将适当数量的填充比特插入到每个基本帧的末尾来将缓冲的数据打包成具有选择的帧长的帧。

4. 根据权利要求1所述的方法,其中,调制解调器处理器基于期望的通信速率通过在查找表中查找帧长和接口时钟速率为数字隔离屏蔽装置选择帧长和接口时钟速率。

5. 根据权利要求1-4中的任一项所述的方法,其中,能够通过将屏蔽时钟速率除以西格玛-德尔塔速率来获得与每个通信速率对应的帧长。

6. 根据权利要求1-4中的任一项所述的方法,其中,在选择与各个西格玛-德尔塔速率对应的固定的屏蔽时钟速率和帧长之后,可通过将每个西格玛-德尔塔速率乘以其对应的帧长来为每个西格玛-德尔塔速率选择定制屏蔽时钟速率。

7. 根据权利要求1-4中的任一项所述的方法,其中,所述固定的接口时钟速率在如下范围之一内是可调整的:(i)从32MHz至35MHz的范围,和(ii)从35MHz至37MHz的范围。

8. 根据权利要求1-4中的任一项所述的方法,其中,第一和第二帧进一步包括成帧序列。

9. 根据权利要求8所述的方法,其中,

第一和第二数据是经曼彻斯特编码的;和

所述成帧序列包括以固定的接口时钟速率在三个连续时钟周期期间具有相同值的三个连续比特。

10. 根据权利要求1-4中的任一项所述的方法,其中,调制解调器处理器将选择的接口时钟速率传送到系统侧接口电路中的隔离时钟控制器。

11. 一种通过具有固定的接口时钟速率的串行接口以多个通信速率传送数据的方法,包括以下步骤:

以第一通信速率通过所述串行接口以固定的接口时钟速率发送第一帧,所述第一帧包括第一数据和与第一通信速率对应的第一数量的填充比特;

以第二通信速率通过所述串行接口以固定的接口时钟速率发送第二帧,所述第二帧包括第二数据和与第二通信速率对应的第二数量的填充比特,第二通信速率不同于第一通信

速率,第二数量的填充比特不同于第一数量的填充比特,从而,以与第一通信速率对应的速率传送第一数据,和以与第二通信速率对应的速率传送第二数据;和
其中,固定的接口时钟速率是第一和第二通信速率的公倍数。

传送数据的方法

[0001] 本申请是申请日为 2006 年 6 月 16 日,申请号为 200680017484.4,发明名称为“用于敏捷采样速率切换的串行协议”的发明专利申请的分案申请。

[0002] 交叉引用

[0003] 该申请是于 2005 年 6 月 23 日提交的第 11/159,614 号美国专利申请的部分继续,也是于 2005 年 6 月 23 日提交的第 11/159,537 号美国专利申请的部分继续,这两个专利申请整体引入作为参考。

[0004] 技术领域

[0005] 本发明总地涉及调制解调器或数字访问阵列(“DAA”)中的线路侧电路和系统侧电路之间的数字通信。

[0006] 背景技术

[0007] 如图 1 所示的现代调制解调器 100 典型地包括数字信号处理器或微处理器 102、编码器/解码器(“编解码器”)132 和高压(“HV”)组件 130,编解码器 132 用于将来自 DSP102 的数字信号转换为能够通过电话线传输的模拟形式以及将来自电话线的模拟信号转换为数字形式, HV 组件 130 与电话线连接。为了使 DSP102 与电话线上的电压波动隔离,传统上经由两个电路实现编解码器功能——系统侧接口电路(“SSIC”)106 和线路侧接口电路(“LSIC”)118,这两个电路通过隔离屏蔽装置(isolation barrier)117 通信。

[0008] SSIC106 包括系统 I/O 接口 108、传统的西格玛-德尔塔(sigma-delta)调制器 112、传统的基于积分器的西格玛-德尔塔解码器电路和隔离屏蔽装置接口电路 114,系统 I/O 接口 108 用于与 DSP 102 通信,传统的西格玛-德尔塔调制器 112 用于将前向数据信号转换为前向西格玛-德尔塔信号,传统的基于积分器的西格玛-德尔塔解码器电路用于将逆向西格玛-德尔塔信号解码为数据信号,隔离屏蔽装置接口电路 114 用于通过隔离屏蔽装置 117 将西格玛-德尔塔信号发送到 LSIC 118 和从 LSIC 118 接收西格玛-德尔塔信号。SSIC106 还可包括协议成帧电路 116、屏蔽时钟控制器 113 和相关的压控振荡器 115,协议成帧电路 116 用于组织通过隔离屏蔽装置接口电路 114 发送和接收的数据,屏蔽时钟控制器 113 和相关的压控振荡器 115 一起形成用于产生屏蔽时钟信号的可变速率时钟发生器。

[0009] LSIC 118 包括隔离屏蔽装置接口电路 120、线路侧西格玛-德尔塔数模转换器(“DAC”)126 和西格玛-德尔塔模数转换器(“ADC”)122,DAC 126 的输出连接至发送缓冲器 128,ADC 122 的输入连接至接收缓冲器 124。LSIC 118 还可包括传统的时钟和数据恢复电路 125,时钟和数据恢复电路 125 从来自隔离屏蔽装置的接收信号获得本地时钟信号。隔离屏蔽装置接口电路 114 和 120 中的每个可以通过隔离屏蔽装置通信的任何适合的隔离屏蔽装置接口电路,诸如在以上引入的第 11/159,537 和 11/159,614 号美国专利申请中描述的隔离屏蔽装置接口电路。

[0010] 传统的调制解调器典型地还必须适应各种通信速率。例如,遵循 CCITT v. 34 标准的调制解调器必须能够以如下面表 1 所示的、范围可为 2400Hz~3429Hz 的可变符号速率(或波特率)进行通信。

[0011]

应用	符号速率 [Hz]	采样速率 [Hz]	$\Sigma \Delta$ 速率 [MHz]
V. 34	2400	7200	1.8432
音频	N/A	8000	2.0480
V. 34	2743	8228	2.1066
V. 34	2800	8400	2.1504
V. 34	3000	9000	2.3040
V. 34	3200	9600	2.4576
V. 34	3429	10287	2.6335
音频 / 可选	N/A	11025	2.8224

[0012] 表 1

[0013] 如果选择 ADC 采样速率为符号速率的 3 倍系数, 则 ADC 122 必须具有范围为 7200Hz-10,287Hz 的采样速率(并且如果电话信号为模拟音频信号而不是数字调制解调器信号, 则 ADC 122 必须具有 11,025Hz 高的采样速率)。另外, 传统上选择西格玛-德尔塔($\Sigma \Delta$)速率, 以使以预定倍数(比如, 256 倍)的采样速率对模拟信号进行过采样。这样, 西格玛-德尔塔 ADC 122 必须以范围为 1.843MHz-2.822MHz 的西格玛-德尔塔速率操作。

[0014] 所需的西格玛-德尔塔速率的这个宽范围(1.843MHz-2.822MHz)表示对屏蔽接口(由接口电路 114 和 120 以及隔离屏蔽装置 117 形成的通信链路)的设计约束。为了进行成功的全双工操作, 在每个 $\Sigma \Delta$ 采样间隔期间, 必须通过 SSIC 106 和 LSIC 118 之间的隔离屏蔽装置传送一个前向 $\Sigma \Delta$ 采样和一个逆向 $\Sigma \Delta$ 采样。换句话说, 屏蔽接口的数据速率必须可根据西格玛-德尔塔速率而改变。

[0015] 传统上通过改变屏蔽时钟速率来获得期望的用于屏蔽接口的可变数据速率, 以获得期望的数据速率。在简化的示例中, 如果调制解调器 100 以 2,400Hz 的符号速率建立与另一调制解调器的 v. 34 通信(对于 2,400Hz 的符号速率, 需要 1.843MHz 的 $\Sigma \Delta$ 速率), 则 DSP102 或某个其它屏蔽时钟控制器 113 可将屏蔽时钟速率设置为等于 1,843MHz 的两倍或 3,686MHz, 从而在每个 $\Sigma \Delta$ 间隔期间, 可通过屏蔽接口传输至少一个前向 $\Sigma \Delta$ 采样和一个逆向 $\Sigma \Delta$ 采样。相反, 如果调制解调器 100 以 3,429Hz 的符号速率建立 v. 34 通信(根据表 1, 对于 3,429Hz 的符号速率, 需要 2.634MHz 的 $\Sigma \Delta$ 速率), 则可将屏蔽时钟的速率设置为 2.634MHz 的两倍或 5.268MHz, 同样使得在每个 $\Sigma \Delta$ 间隔期间, 可通过屏蔽接口传输至少一个前向 $\Sigma \Delta$ 采样和一个逆向 $\Sigma \Delta$ 采样。因而, 这个简化示例中的时钟速率将必须能够在 3.686MHz-5.268MHz (即, 增长 42%) 的范围操作以适应 v. 34 符号速率的全部范围。而且, 如果在每个 $\Sigma \Delta$ 间隔期间传送控制和状态信息, 则屏蔽时钟速率将必须相应地增长。

[0016] 不幸的是, 这种作为符号速率或西格玛-德尔塔速率的函数来改变屏蔽时钟的传统技术引起至少两个困难。首先, 如果 LSIC 118 经由时钟恢复电路从屏蔽信号获得其本地时钟, 则每次屏蔽时钟改变时, 时钟恢复电路损失与屏蔽信号的同步。直到时钟恢复电路再次获得新的时钟速率, SSIC 106 和 LSIC 118 才能通信。第二, 由于 SSIC106 中的时钟发生电路和 LSIC 118 中的时钟恢复电路必须适应屏蔽装置的时钟速率的整个范围, 所以它们相对复杂且昂贵。

发明内容

[0017] 认识到以上与可变时钟速率屏蔽接口相关联的困难, 本发明的发明人开发了一种

具有近似固定的屏蔽时钟并且能够适应各种符号速率、采样速率和 / 或西格玛-德尔塔速率(共同地,为“通信速率”)的创新的通信协议和屏蔽接口。更具体地讲,本发明采用这样的可变长度的帧,即,即使屏蔽时钟速率保持近似恒定,所述可变长度的帧也可被扩展或者被缩减以达到期望的通信速率。每个主帧优选地包括固定长度的数据部分和可变长度的空部分。对于快的通信速率,可变长度的空部分可以小,从而总帧长小,并且可在特定的时间周期期间传输许多帧。对于慢的通信速率,可变长度的空部分可以大,从而总帧长大,并且仅在所述时间周期期间传输少数几帧。因而,最小帧长对应于最快的通信速率,而最大帧长对应于最慢的通信速率。

[0018] 本发明还提供一种用于设计敏捷屏蔽接口的方法。具体地讲,优选地将屏蔽时钟速率选择为屏蔽接口必须处理的各种通信速率的近似公倍数。然后可通过将该屏蔽时钟速率除以 $\Sigma \Delta$ 速率来获得与每个通信速率对应的帧长。

[0019] 最后,本发明提供一种能够以各种数据速率和近似固定的接口时钟速率通过串行接口传送数据的敏捷通信电路。

附图说明

[0020] 现在将结合附图详细地描述本发明的各种实施例,其中:

[0021] 图 1 是描绘适于用在本发明中的通信电路的框图;

[0022] 图 2 是描绘根据本发明的使用可变长度的帧的通信协议的时序图;和

[0023] 图 3 是描绘根据本发明的用于在连续帧内平衡隔离屏蔽装置的通量的其它通信协议的时序图。

具体实施方式

[0024] 如上所述,本发明采用这样一种可变长度的帧,即,尽管屏蔽时钟近似固定,但是所述可变长度的帧也可被扩展或者被缩减以达到期望的通信速率。图 2 中描绘了使用这样的帧的示例性通信协议。填充帧 220 包括基本帧 222 (即,固定长度的数据部分)和若干个填充比特 230 (可变长度的空部分)。

[0025] 基本帧 222 的特定构成将取决于屏蔽接口是仅具有单个串行通信链路还是具有多个通信链路。图 2 描绘前一种情况的示例,在该示例中,屏蔽接口为单个串行通信链路,通过该串行通信链路,在每个主帧期间传输前向西格玛-德尔塔数据和逆向西格玛-德尔塔数据以及前向控制信息和逆向控制信息。因此,在图 2 所示的帧中,SSIC106 在时隙 201-208 期间发送,LSIC 118 在时隙 209-212 期间发送。

[0026] 为了维持隔离屏蔽装置中的通量平衡,优选使用传统的编码器对每个发送的比特进行曼彻斯特编码。也就是说,将“0”比特编码为两个比特的序列 01,将“1”比特编码为两个比特的序列 10。应该理解,如果通量平衡不是设计关注的方面(比如,隔离屏蔽装置为电容屏蔽),则不需要这样的编码。

[0027] 如图 2 所示,基本帧 222 优选包括:

[0028] (1) 在时隙 201 和 202 期间由 SSIC 106 发送的前向数据比特(显示为曼彻斯特编码的 DF,之后接着为 NOT DF);

[0029] (2) 在时隙 203 和 204 期间由 SSIC 106 发送的前向控制比特(显示为 CF、NOT CF);

[0030] (3)在时隙 205-208 期间的预定的前向成帧序列 226(显示为 NOT CF、NOT CF、CF、CF)(由 SSIC 106 或 LSIC 118 发送);

[0031] (4)在时隙 209 和 210 期间由 LSIC 118 发送的逆向数据比特(显示为 DR、NOT DR);和

[0032] (5)在时隙 211 和 212 期间由 LSIC 118 发送的逆向控制比特(显示为 CR、NOT CR)。

[0033] 然而,将认识到,如果可利用多个通信链路,则可通过使这些链路为单方向的来简化屏蔽接口。如果这样,则可将基本帧缩减为单方向的西格玛-德尔塔数据、控制和前向成帧序列。

[0034] 前向成帧序列可以为可用于识别帧开始和/或结束的任何唯一的比特值序列。例如,在图 2 所示的协议中,在时隙 204 之后在时隙 205 和 206 中重复两次时隙 204 中的逆向控制比特(NOT CF)。就曼彻斯特编码的信号(01, 10)通常不产生三个时隙的相同值序列而言,这个重复三次的值提供可容易识别的唯一的同步模式。例如可经由三比特移位寄存器来实现用于这个同步模式的合适的检测电路,在所述三比特移位寄存器中,当检测到重复三次的值时,将该寄存器中的每个比特提供给输出信号的 3 个输入的与门。其它帧检测技术也可用在上述同步模式的场所中。例如,大型缓冲器可用于存储输入的数据,然后可根据本领域已知的技术通过微处理器从统计上分析缓冲的数据以确定成帧。

[0035] 填充帧 220 优选地还包括空比特或填充比特 230,可添加或去除空比特或填充比特 230 以调整帧大小。以这种方式,可在不改变 SSIC180 和 LSIC 182 的时钟速率的情况下适应广泛的各个数据速率。作为示例,在时隙 213-218 中描绘了用于对值进行交替以实现通量平衡的六个填充比特(比如,0, 1, 0, 1, 0, 1)。可在初始化接口之后通过 SSIC 106 或 LSIC 118 提供这些填充比特。

[0036] 图 3 示出可如何在不中断隔离屏蔽装置的通量平衡的情况下容纳奇数个填充比特。本质上,通过使用 0 和 1 的交替序列,在两个连续帧,即帧 k 和帧 k+1 上,填充比特的通量被平衡。例如,如果帧 k 包含填充比特序列[01010],则帧 k+1 可包含序列[10101]。

[0037] 本发明还提供一种用于设计敏捷屏蔽接口的方法。根据本发明,设计者选择这样的屏蔽时钟速率,即,该屏蔽时钟速率为屏蔽接口必须处理的各个数据速率的近似公倍数。设计者然后可通过将该屏蔽时钟速率除以西格玛-德尔塔速率来计算与每个数据速率对应的帧长。作为示例但不是限制,下表 2 示出对能够处理采样速率 7200、8000、8229、8400、9000、9600、10,287 和 11,025Hz 的屏蔽接口计算的示例性帧长和屏蔽时钟频率,其中,将西格玛-德尔塔速率选择为采样速率的 256 倍。

[0038]

应用	符号速率 [Hz]	采样速率 [Hz]	$\Sigma\Delta$ 速率 [MHz]	帧长[比特]	屏蔽时钟 [MHz]
v.34	2400	7200	1.8432	18	33.1776
音频	N/A	8000	2.0480	16	32.7680
v.34	2743	8228	2.1066	16	33.7056
v.34	2800	8400	2.1504	15	32.2560
v.34	3000	9000	2.3040	14	32.2560
v.34	3200	9600	2.4576	14	34.4064
v.34	3429	10287	2.6335	13	34.2355
音频/可选	N/A	11025	2.8224	12	33.8688

[0039] 表 2

[0040] 如表 2 所反映的, 以上的西格玛—德尔塔速率的近似公倍数 (即, 1.843–2.822MHz) 之一大约为 33.3MHz, 可将 33.3MHz 取作近似固定的屏蔽时钟速率。在给定大约为 33.3MHz 的近似固定的帧屏蔽时钟速率的情况下, 可通过将西格玛—德尔塔速率除以帧屏蔽时钟频率来计算与每个西格玛—德尔塔速率对应的帧长。例如, 计算与最高频率西格玛—德尔塔速率 (即 2.822MHz) 对应的帧长为 33.3MHz/2.822MHz, 或 11.8 个时钟周期, 如表 2 所示, 可将其四舍五入为 12 个时钟周期。类似地, 计算与最低频率西格玛—德尔塔速率 (即 1.843MHz) 对应的帧长为 33.3MHz/1.843MHz, 得到 18.1 个时钟周期, 可将其不进位舍入为 18 个时钟周期以获得与 1.843MHz 西格玛—德尔塔速率对应的帧长。

[0041]

应用	符号速率 [Hz]	采样速率 [Hz]	$\Sigma\Delta$ 速率 [MHz]	帧长[比特]	屏蔽时钟 [MHz]
v.34	2400	7200	1.8432	20	36.864
音频	N/A	8000	2.0480	18	36.864
v.34	2743	8228	2.1066	17	35.813
v.34	2800	8400	2.1504	17	36.557
v.34	3000	9000	2.3040	16	36.864
v.34	3200	9600	2.4576	15	36.864
v.34	3429	10287	2.6335	14	36.869
音频/可选	N/A	11025	2.8224	13	36.691

[0042] 表 3

[0043] 表 3 示出将上述西格玛—德尔塔速率的不同近似公倍数选择为近似固定的屏

蔽时钟速率——即, 大约 36Hz。在给定大约为 36Hz 的近似固定的帧屏蔽时钟速率的情况下, 通过将西格玛—德尔塔速率除以帧屏蔽时钟速率来计算与每个西格玛—德尔塔速率对应的帧长。因而, 计算等于最高频率西格玛—德尔塔速率 2.822MHz 对应的帧长为 $36\text{MHz}/2.822\text{MHz}$, 得到 13 个时钟周期。类似地, 计算与最低频率西格玛—德尔塔速率 1.843MHz 对应的帧长为 $36\text{MHz}/1.843\text{MHz}$, 得到 20 个时钟周期。

[0044] 用于设计屏蔽接口的方法还可包括对每个西格玛—德尔塔速率调整近似固定的屏蔽时钟速率, 从而可校正正在选择帧长期间引入的舍入误差。更具体地讲, 在选择与各个西格玛—德尔塔速率对应的近似固定的屏蔽时钟速率和帧长之后, 可通过将每个西格玛—德尔塔速率乘以其对应的帧长来为每个西格玛—德尔塔速率选择定制屏蔽时钟速率。因而, 对于表 2 的示例, 在长度为 18 个周期的情况下, 可计算 1.843MHz 西格玛—德尔塔速率的定制屏蔽时钟速率为 33.1776MHz。类似地, 对于 2.822MHz $\Delta\sigma$ 速率和 12 个周期的帧长的定制屏蔽时钟速率为 33.8688MHz。可类似地对表 2 中的其余西格玛—德尔塔速率计算定制屏蔽时钟速率。从表 2 可看出, 能够以包括 2400、2743、2800、3000、3200 和 3429 的符号速率传输信息的屏蔽接口优选地将能够以表 2 所示的对应的定制屏蔽时钟速率操作, 所述对应的定制屏蔽时钟速率的范围在大约 32MHz 和大约 35MHz 之间。可以以类似的方式计算表 3 所示的定制屏蔽时钟速率, 产生大约 35MHz 和大约 37MHz 之间的定制屏蔽时钟速率。

[0045] 本发明还提供一种能够以各个数据速率和近似固定的接口时钟速率通过串行接口通信的敏捷通信电路。可使用如图 1 所示和如以上在背景部分中描述的传统调制解调器或 DAA 组件来实现这样的通信电路。具体地讲, 调制解调器处理器/DSP 102 包括调制解调器设计领域中的普通技术人员公知的类型的用于选择通信速率(比如, 期望的符号速率、采样速率或西格玛—德尔塔速率)的电路和/或软件。SSIC 106 包括系统 I/O 接口 108、传统的西格玛—德尔塔调制器 112、传统的基于积分器的西格玛—德尔塔解码器电路和隔离屏蔽装置接口电路 114, 系统 I/O 接口 108 用于与 DSP 102 通信, 传统的西格玛—德尔塔调制器 112 用于将前向数据信号转换为前向西格玛—德尔塔信号, 传统的基于积分器的西格玛—德尔塔解码器电路用于将逆向西格玛—德尔塔信号解码为数据信号, 隔离屏蔽装置接口电路 114 用于通过隔离屏蔽装置 117 将西格玛—德尔塔信号发送到 LSIC 118 和从 LSIC 118 接收西格玛—德尔塔信号。SSIC 106 还包括协议成帧电路 116, 该协议成帧电路 116 对通过隔离屏蔽装置接口电路 114 发送和接收的数据进行缓冲和组织。SSIC 106 还包括用于产生可变速率的屏蔽时钟信号的可变速率时钟发生器, 该可变速率时钟发生器包括屏蔽时钟控制器 113 和相关联的压控振荡器 115。

[0046] LSIC 118 包括隔离屏蔽装置接口电路 120、线路侧西格玛—德尔塔数模转换器(“DAC”)126 和西格玛—德尔塔模数转换器(“ADC”)122, DAC 126 的输出连接至发送缓冲器 128, ADC 122 的输入连接至接收缓冲器 124。LSIC 118 还可包括用于从通过隔离屏蔽装置接收的信号获得本地时钟信号的时钟和数据恢复电路 125。

[0047] 上述敏捷通信电路如下操作。首先, 调制解调器处理器/DSP 102 基于期望的通信速率(即, 调制解调器符号速率、采样速率或西格玛—德尔塔速率)为数字隔离屏蔽装置选择帧长和接口时钟速率——比如, 通过在查找表中查找帧长和接口时钟速率。调制解调器处理器/DSP 102 然后将选择的接口时钟速率传送到 SSIC 106 中的隔离时钟控制器 113。隔

离时钟控制器 113 接收选择的接口时钟速率,并将对应的模拟信号输出到压控振荡器 115。基于该模拟信号,压控振荡器生成可在接口电路 114 中用作隔离屏蔽装置时钟的数字时钟信号。

[0048] 调制解调器处理器 /DSP 102 还将选择的帧长传送到接口电路 114 中的成帧器电路 116。成帧器电路缓冲来自调制解调器处理器 /DSP 102 的数据,并通过将适当数量的填充比特插入到每个基本帧的末尾来将缓冲的数据打包成具有选择的帧长的帧。

[0049] 本发明提供优于现有技术的隔离屏蔽装置接口的若干优点。具体地讲,使得系统侧接口电路中的产生屏蔽时钟的压控振荡器和线路侧接口电路上的时钟和数据恢复电路能够以近似固定的频率运行。即使当采样速率改变时,系统侧接口电路中的产生屏蔽时钟的压控振荡器和线路侧接口电路上的时钟和数据恢复电路也可锁定为近似固定的频率。而且,由于它们只需要在相对小的频率范围内操作,所以可使它们在低抖动性能方面最优化。最后,可直接从帧同步脉冲获得线路侧电路中的西格玛-德尔塔时钟。

[0050] 如此描述了本发明的几个特定实施例,本领域的技术人员将容易想到各种改变、修改和改进。即使这里没有明确地表述通过该公开内容可显而易见地作出的改变、修改和改进,但是意在将它们作为该说明书的一部分,并且意在将它们包括在本发明的精神和范围内。因此,前面的描述仅作为示例,而不是限制。仅如在下面权利要求及其等同物中所限定的那样限制本发明。

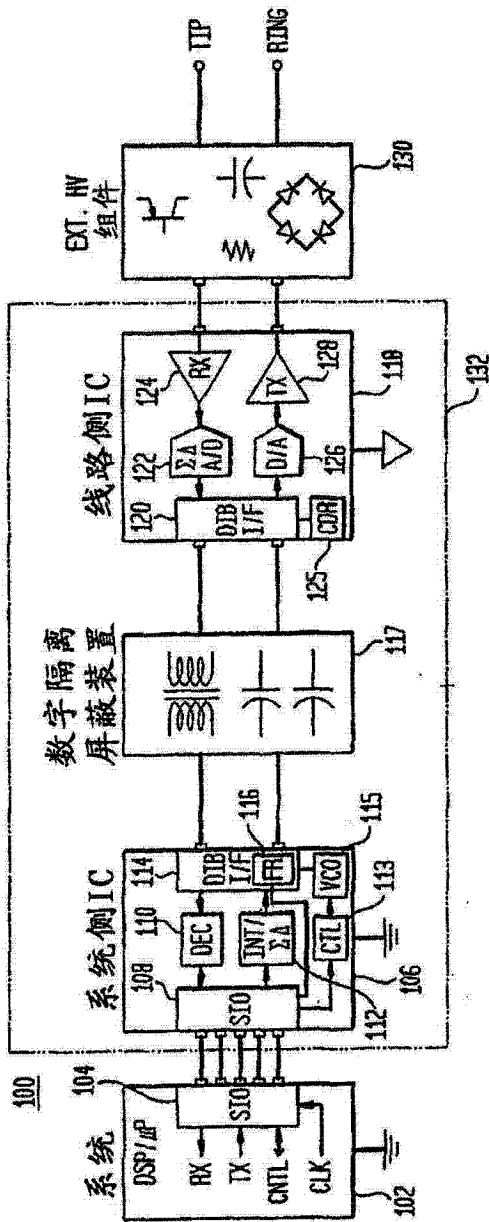


图 1

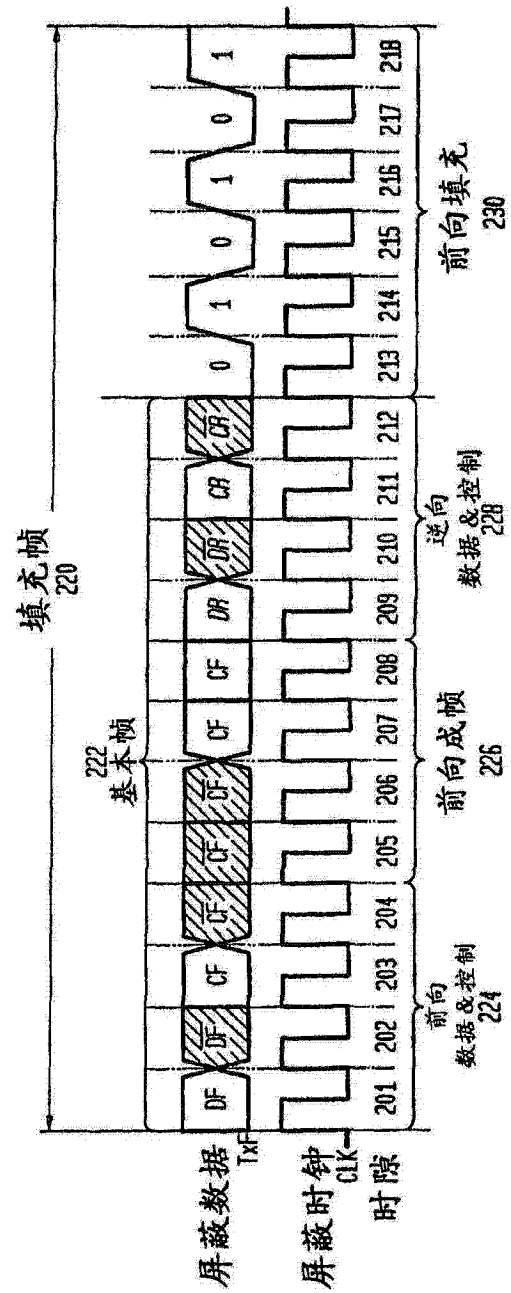


图 2

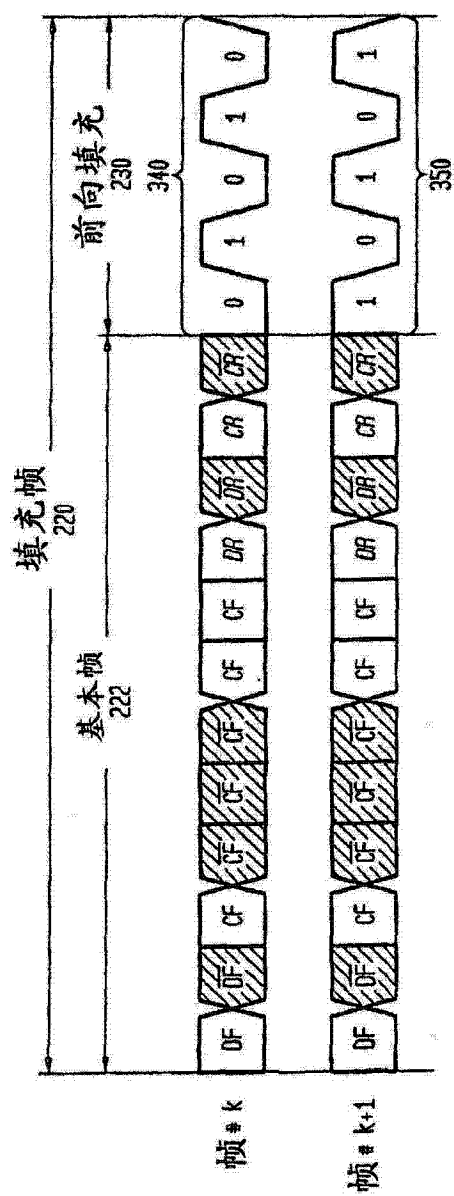


图 3