

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/8232

(11) 공개번호 특2002 - 0005152
(43) 공개일자 2002년01월17일

(21) 출원번호 10 - 2000 - 0039141
(22) 출원일자 2000년07월08일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지
(72) 발명자 박성진
대구광역시동구신암4동622번지신암보성아파트10동509호
(74) 대리인 김영호

심사청구 : 없음

(54) 투명도전막 패터닝 방법

요약

본 발명은 인듐 - 틴 - 옥사이드막을 미세패턴화 할 수 있도록 한 인듐 - 틴 - 옥사이드막 패터닝 방법에 관한 것이다.

본 발명의 인듐 - 틴 - 옥사이드막 패터닝 방법은 상기 투명기관 상에 금속재료 및 수지재료로 구성된 희생층을 형성하는 단계와, 상기 희생층상에 포토레지스트를 도포한 다음 포토 마스크를 이용하여 패터닝하는 단계와, 상기 희생층패턴 상과 상기 투명기관 상에 인듐 - 틴 - 옥사이드막을 전면증착하는 단계와, 상기 희생층패턴을 에칭하여 상기 희생층패턴 상의 증착된 상기 인듐 - 틴 - 옥사이드막을 제거하여 상기 투명기관 상에 인듐 - 틴 - 옥사이드막을 패터닝하는 단계를 특징으로 한다.

본 발명에 의하면, 인듐 - 틴 - 옥사이드막 패터닝 방법은 희생층을 에칭하므로써 종래의 인듐 - 틴 - 옥사이드막의 불량 패턴을 최소화하고, 미세하게 인듐 - 틴 - 옥사이드막을 패터닝할 수있다.

대표도
도 4f

명세서

도면의 간단한 설명

도 1은 액정 표시소자를 나타내는 평면도.

도 2은 도 1에서 선 " A - A'" 를 따라 절취하여 나타내는 단면도.

도 3a 및 도 3b는 도 2에 도시된 종래의 투명도전막의 제조 공정도.

도 4a 내지 도 4f는 본 발명의 실시 예에 따른 투명도전막의 제조 공정도.

도 5는 IPS 모드 방식의 액정표시장치의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 32 : 투명기판 4, 34 : 게이트전극

6 : 게이트절연막 8 : 반도체층

10 : 오믹접촉층 12 : 소오스전극

14 : 드레인전극 16 : 유기절연막

18 : 콘택홀 20 : 화소전극

22 : 데이터라인 24 : 게이트라인

30 : TFT 36,38,38 - a,38 - b : ITO

40,42,42 - a : 포토레지스트 44,46 : 희생층

50 : 공통전극 51 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 투명도전막 패터닝 방법에 관한 것으로서, 특히 투명도전막의 미세 패턴(Pattern)화 할 수 있도록 한 투명도전막 패터닝 방법에 관한 것이다.

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 " TFT" 라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하여 퍼스널 컴퓨터(Personal Computer)와 노트북 컴퓨터(Note Book Computer)는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

액티브 매트릭스 타입의 액정표시장치는 화소들이 게이트라인들과 데이터라인들의 교차부들 각각에 배열되어진 화소매트릭스(Picture Element Matrix 또는 Pixel Matrix)에 텔레비전 신호와 같은 비디오신호에 해당하는 화상을 표시하게 된다. 화소들 각각은 데이터라인으로 부터의 데이터신호의 전압레벨에 따라 투과 광량을 조절하는 액정셀을 포함한다. TFT는 게이트라인과 데이터라인들의 교차부에 설치되어 게이트라인으로 부터의 스캔신호(게이트 펄스)에 응답하여 액정셀 쪽으로 전송될 데이터신호를 절환하게 된다.

일반적으로, 액정표시소자는 도 1과 같이 데이터라인(22)과 게이트라인(24)의 교차부에 TFT(30)가 형성되며, 데이터라인(22)과 게이트라인(24)사이의 화소영역에 화소전극들(20)이 매트릭스 형태로 배치된다. TFT(30)는 도 1과 같이 투명기판(2) 상에 형성된다. 이 TFT(30)는 게이트라인(24)에 접속된 게이트전극(4), 데이터라인(22)에 접속된 드레인전극(14) 및 화소전극(20)에 접속된 소오스전극(12)을 포함한다. 게이트전극(4)이 패터닝된 투명기판(2) 상에는 SiN_x 등의 무기 유전체로 된 게이트절연막(6)이 전면 증착된다. 이 게이트절연막(6) 위에는 비정질 실리콘(amorphous-Si : 이하 "a-Si" 이라 함)으로 된 반도체층(8)과 n^+ 이온이 도핑된 a-Si로 된 오믹접촉층(10)이 게이트전극(4) 상의 게이트절연막(6)을 덮게끔 순차적으로 형성된다. 오믹접촉층(10) 위에는 금속으로 된 드레인전극(14)과 소오스전극이 형성된다. 드레인전극(14)과 소오스전극(12)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 이어서, 드레인전극(14)과 소오스전극(12) 사이에 형성된 채널을 따라 오믹접촉층(10)이 에칭되어 반도체층(8)을 노출시키게 된다. 그리고 SiN_x , SiO_x 등으로 된 보호막(도시하지 않음)이 투명기판(2)상에 전면 증착되어 TFT(30)를 덮게 된다. 소오스전극(12) 상의 보호막(도시하지 않음) 콘택홀(18)이 형성되게끔 에칭에 의해 제거된다. 이 콘택홀(18)을 통하여 소오스전극(12)에 접속되게끔 인듐-틴-옥사이드(Indium-Tin-Oxide)로 된 화소전극(20) 증착된다.

최근, 액티브 매트릭스 타입의 액정표시장치는 개구율을 높이기 위하여 도 1과 같이 게이트라인 또는 데이터라인과 같은 신호배선(도시하지 않음)에 투명전극으로 된 화소전극(20)을 중첩시키는 추세에 있다. 이 경우, 신호배선(도시하지 않음)이 형성된 투명기판(2) 위에는 신호배선(도시하지 않음)과 화소전극(20) 사이의 절연과 기생캐패시턴스를 최소화하기 위하여 유전상수가 낮은 유기절연막(16)이 절연 코팅된다. 이와 같이 화소전극(20)이 신호배선(도시하지 않음)과 중첩되는 액정표시소자는 화소전극(20)과 신호배선(도시하지 않음)이 중첩되지 않고 소정 간격(대략 $5 \sim 10 \mu\text{m}$)만큼 이격된 액정표시소자에 비하여 신호배선(도시하지 않음)과 화소전극(20)의 중첩영역만큼 개구율이 증대된다.

화소전극(20)의 재료로는 통상 투명 전도성 물질인 인듐-틴-옥사이드로 선택된다. 이 ITO막이 유기절연막(16) 상에 전면 증착된후, 신호배선(도시하지 않음)과 중첩되게끔 패터닝된다. 그러나 ITO막 패터닝시 ITO막의 외곽부는 에천트에 의해 에칭된후 휘어지거나 손상되는 경우가 흔히 발생한다. 이와 같이 유기절연막(16) 상에 형성되는 ITO막의 외곽부가 손상되거나 휘게되면 화소전극(20)과 신호배선의 중첩부의 폭이 좁아지기 때문에 중첩부에서 빛이 새는 현상이 나타나게 된다. 이렇게 ITO막의 패터닝불량이 발생하는 원인은 ITO막이 유기절연막(16)과의 계면 접합 특성이 나쁘다는 특성에도 기인하지만 특히, 고농도의 강산이 포함된 에천트에 의해 에칭되고, 에칭속도가 늦다는 것에 기인한다.

상세히 하면, 종래의 ITO전극은 도 3a 및 도 3b에 도시된 제조 방법과 같이형성된다. 도 3a와 같이 투명기판(32) 상에 ITO막(36)을 증착하고, 그 위에 포토레지스트(Photo resist : 이하 "PR" 이라 함)막(도시하지 않음)을 코팅한 후, 포토 마스크(Photo Mask)(도시하지 않음)를 씌운 다음, 습식 에칭(Wet etching)을 사용하여 ITO막(36)을 패터닝하면 도 3b와 같은 ITO(38)막이 패터닝된다. 이 와 같은 패터닝 방법은 직접 ITO막(36)을 에칭하므로 낮은 에칭 비율(Etching rate)과 패터닝된 ITO막(36)과 포토패터닝된 포토레지스트막(40) 사이에 들뜸이나 ITO막(38)과 투명기판(32) 사이의 들뜸을 유발 시키며, 이로 인해 ITO막(38)을 패터닝하는데 있어서 많은 패터닝불량이 발생한다.

이와 같은 ITO막(38)의 패터닝불량을 줄이기 위하여, 유기절연막(16)과 ITO막(38)사이의 접착력을 강화하기 위한 유기절연막(16) 상에 HNO_3 , H_2SO_4 등의 산을 이용하여 산화막을 형성하는 방법이 있다. 다른 방법으로는 플라즈마 증착을 이용하여 수소(H)를 유기절연막(16)의 표면에 성막하거나 산소(O)를 이온도핑하는 방법 등이 있다. 이렇게 유기 절연막(16)을 표면처리하는 경우에도 에천트가 담긴 챔버 내에 투명기판(2)을 침전 시키는 디핑(Deeping) 방식으

로 ITO막을 에칭하게 되면 유기절연막(16)과 ITO막 사이의 계면에 에천트가 침투되면서 전술한 바와 같은 ITO막의 패턴불량이 발생된다. 이 경우에도 ITO막을 에칭하기 위한 에천트는 고농도의 강산을 포함하며, 장시간의 에칭이 진행된다. 실제로, ITO막을 에칭하기 위한 에천트는 C₂H₂O₄ 대 디이오나이즈드워터(De-Ionized Water : 이하 "야" 라 함)의 비가 1: 10 이하로 산의 농도가 매우 높다. 이와 같은 고농도의 에천트를 이용하여 ITO막을 에칭하는데 소요되는 시간은 대략 1000초 이상이 소요된다.

한편, ITO막은 액정표시장치 이외에도 많은 디스플레이 소자, 잉크젯 헤드등에도 이용되고 있으며, 액티브 매트릭스 액정표시장치와 유사한 구조를 가지는 X선 검출소자의 화소전극으로도 이용된다. 이와 같이 ITO가 이용되는 소자 또는 기기들에 있어서 ITO의 에칭특성이 나쁘기 때문에 ITO가 적용된 투명전극 또는 화소전극 등의 패턴 불량이 쉽게 발생된다. 그 결과 ITO막이 미세 패턴화 될 수 있는 방안이 요구 되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 미세한 패턴을 형성하기 위한 투명도전막의 패터닝 방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 투명도전막 패터닝 방법은 투명기판 상에 희생층을 전면 형성하는 단계와, 상기 희생층을 패터닝하는 단계와, 희생층이 패터닝되고 나서 그 위에 상기 투명도전막을 전면 증착한 후, 희생층을 에칭하여 희생층 상에 증착된 투명도전막은 제거하고 투명기판 상의 투명도전막만을 패터닝하는 단계를 포함한다.

본 발명은 액정에 전압을 인가하기 위한 화소전극 및 공통전극이 하판의 배면에 형성되는 인 플랜 스위칭모드의 액정표시장치의 제조방법에 있어서, 상기 화소전극 및 공통전극을 패터닝하는 방법은 상기 하판의 배면에 금속재료 및 수지재료로 구성된 희생층을 형성하는 단계와, 상기 희생층상에 포토레지스트를 도포한 다음 포토 마스크를 이용하여 패터닝하는 단계와, 상기 희생층패턴 상과 상기 투명기판 상에 인듐 - 틴 - 옥사이드막을 전면증착하는 단계와, 상기 희생층패턴을 에칭하여 상기 희생층패턴 상의 증착된 상기 인듐 - 틴 - 옥사이드막을 제거하여 상기 하판의 배면에 인듐 - 틴 - 옥사이드막을 패터닝하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4a 내지 도 4f를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4a를 참조하면, 본 발명에 따른 ITO막 패터닝 방법은 먼저 투명기판(32) 상에 스퍼터링(Sputtering)방법을 사용하여 희생층(44)을 충분히 두껍게 전면 형성한다. 상기에서 투명기판(32)으로 유리, 석영 또는 투명한 플라스틱 등이 사용될 수 도 있으며, 희생층(44) 구성재료로는 금속(Al 등) 또는 수지재료 중 어느 하나를 사용할 수 있다. 이어서 도 4b와 같이 희생층(44) 상에는 포토 레지스트막(42)을 전면 도포한다.

도 4c를 참조하면, 도 4b에서 포토 마스크(도시하지 않음)는 도포된 포토 레지스트막(42) 상에 덮여진다. 그리고 포토 리소그래피 방법에 의해 포토패터닝된다. 그런 다음 도 4d와 같이, 포토레지스터패턴(42-a)된 투명기판(32) 상의 희생층(44)은 습식에칭(wet etching) 또는 건식에칭(dry etching) 중 하나를 선택하여 에칭을 한다. 특히, 건식에칭 때는 등방성 식각이 되도록 하고, 반드시 희생층(44)은 도 4d의 "A" 처럼 포토레지스터패턴(42-a) 밑이 오목하게 들어 가게끔 에칭을 해야 한다. 왜냐하면, 희생층(44)을 에칭할시 포토레지스터패턴 밑의 희생층을 오목하게 들어가게 하지않고 포토레지스터패턴(42-a)과 같이 희생층을 수직으로 에칭할 시에는 ITO막(38-a)을 전면 증착 할때에 ITO막(38-a)은 패턴된 희생층(46)위를 타고 올라가 덮히게 된다. 이로인해, ITO막(38-a)을 전면 증착 한 다음 희생층(46)을 제거 할 때에 많은 어려움이있다. 오버에칭(Over etching)은 희생층(46)이 포토레지스터 패턴보다 작아지도

록 과도하게 에칭하는 방법이다. 이때, 희생층(46)이 완전히 제거되도록 에칭되어서는 안되며 도 4d처럼 포토레지스터 패턴(42-a)를 지탱하여야 하며 포토레지스터 밑에 완전히 숨어야 한다. 이는 ITO증착시 희생층막을 타고 올라가 완전히 덮어버리는 것을 방지하기 위함이다. 그런 다음 도 4e처럼, ITO막을 전면 증착 하는 방법으로서 포토 레지스터 패턴(42-a) 상과 노출된 투명 기관(32) 상에 ITO막(38-a)을 전면증착한다. 이때, 도 4d에서와 같이, 희생층(46)의 오버에칭으로 인해 도 4e와 같이 희생층(46)의 옆부분은 노출된다. 그런 다음, 희생층(46)을 제거하는 에천트용액에 의해 희생층(46)이 제거되는 동시에 희생층(46) 상에 있던 포토레지스터 패턴(42a) 및 ITO막(38a)도 제거된다. 이와같은 단계를 거치면 도 4f와 같이 미세한 ITO막(38b)만 남게 된다.

이와 같은 ITO막 패터닝 방법은 도 5와 같은 IPS 모드(In - Plane Switching)의 화소전극과 공통전극을 형성하는데 적용가능하다. 이를 상세히 하면 다음과 같다. IPS 모드는 수직전계로 구동되는 모드(예를 들면 TN모드)와 다르게 수평전계로 구동되어 수직전계로 구동되는 모드보다 광시야각을 구현할 수 가있다. 이와 반면에, IPS 모드는 수평전계를 구현하기 위해 하판상에 화소전극(51) 및 공통전극(50)을 형성하여야 만한다. 하지만, ITO막으로 화소전극(51) 및 공통전극(50)을 패터닝하여 하판에 형성하는데는 많은 어려움이 발생하게 된다. 이로인해, 종래에는 화소전극(51) 및 공통전극(50)을 ITO막 대신 금속전극으로 패터닝하여 형성하고 있다. 그러나, 금속전극을 사용하여 화소전극(51) 및 공통전극(50)을 형성하면 금속전극으로 인해 빛이 투과되는 면적이 줄어들고 아울러 액정을 투과하는 빛의 양도 줄어들게되어 결국에는 휘도가 감소하게 된다. 따라서, 화소전극(51) 및 공통전극(50)을 본 발명에 따른 ITO막 미세패터닝 방법을 사용하여 ITO막으로 형성하여 금속전극으로 형성된 화소전극(51) 및 공통전극(50)의 문제점을 해결할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 ITO막 패터닝방법은 희생층을 에칭하므로써 종래의 ITO막의 패터닝불량을 최소화하고, 미세하게 ITO막을 패터닝할 수 있다. 더 나아가, 본 발명은 IPS 모드에서의 화소전극 및 공통전극을 금속전극 대신 투명전극으로 형성하므로써 IPS 모드로 된 제품의 휘도를 증가 시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

투명기관 상에 금속재료 및 수지재료로 구성된 희생층을 형성하는 단계와,

상기 희생층상에 포토레지스트를 도포한 다음 포토 마스크를 이용하여 패터닝하는 단계와,

상기 희생층패턴 상과 상기 투명기관 상에 인듐 - 틴 - 옥사이드막을 전면증착하는 단계와,

상기 희생층패턴을 에칭하여 상기 희생층패턴 상의 증착된 상기 인듐 - 틴 - 옥사이드막을 제거하여 상기 투명기관 상에 인듐 - 틴 - 옥사이드막을 패터닝하는 단계를 특징으로 하는 인듐 - 틴 - 옥사이드막 패터닝 방법.

청구항 2.

청구항 1에 있어서,

상기 희생층패턴막을 에칭할 시 상기 희생층이 포토레지스트패턴 밑으로 오목하게 들어가도록 상기 희생층을 오버에칭하는 것을 특징으로 하는 인듐 - 틴 - 옥사이드막 패터닝 방법.

청구항 3.

액정에 전압을 인가하기 위한 화소전극 및 공통전극이 하판의 배면에 형성되는 인 플랜 스위칭모드의 액정표시장치의 제조방법에 있어서,

상기 화소전극 및 공통전극을 패터닝하는 방법은 상기 하판의 배면에 금속재료 및 수지재료로 구성된 희생층을 형성하는 단계와,

상기 희생층상에 포토레지스트를 도포한 다음 포토 마스크를 이용하여 패터닝하는 단계와,

상기 희생층패턴 상과 상기 투명기판 상에 인듐 - 틴 - 옥사이드막을 전면증착하는 단계와,

상기 희생층패턴을 에칭하여 상기 희생층패턴 상의 증착된 상기 인듐 - 틴 - 옥사이드막을 제거하여 상기 하판의 배면에 인듐 - 틴 - 옥사이드막을 패터닝하는 단계를 특징으로 하는 화소전극 및 공통전극 패터닝 방법.

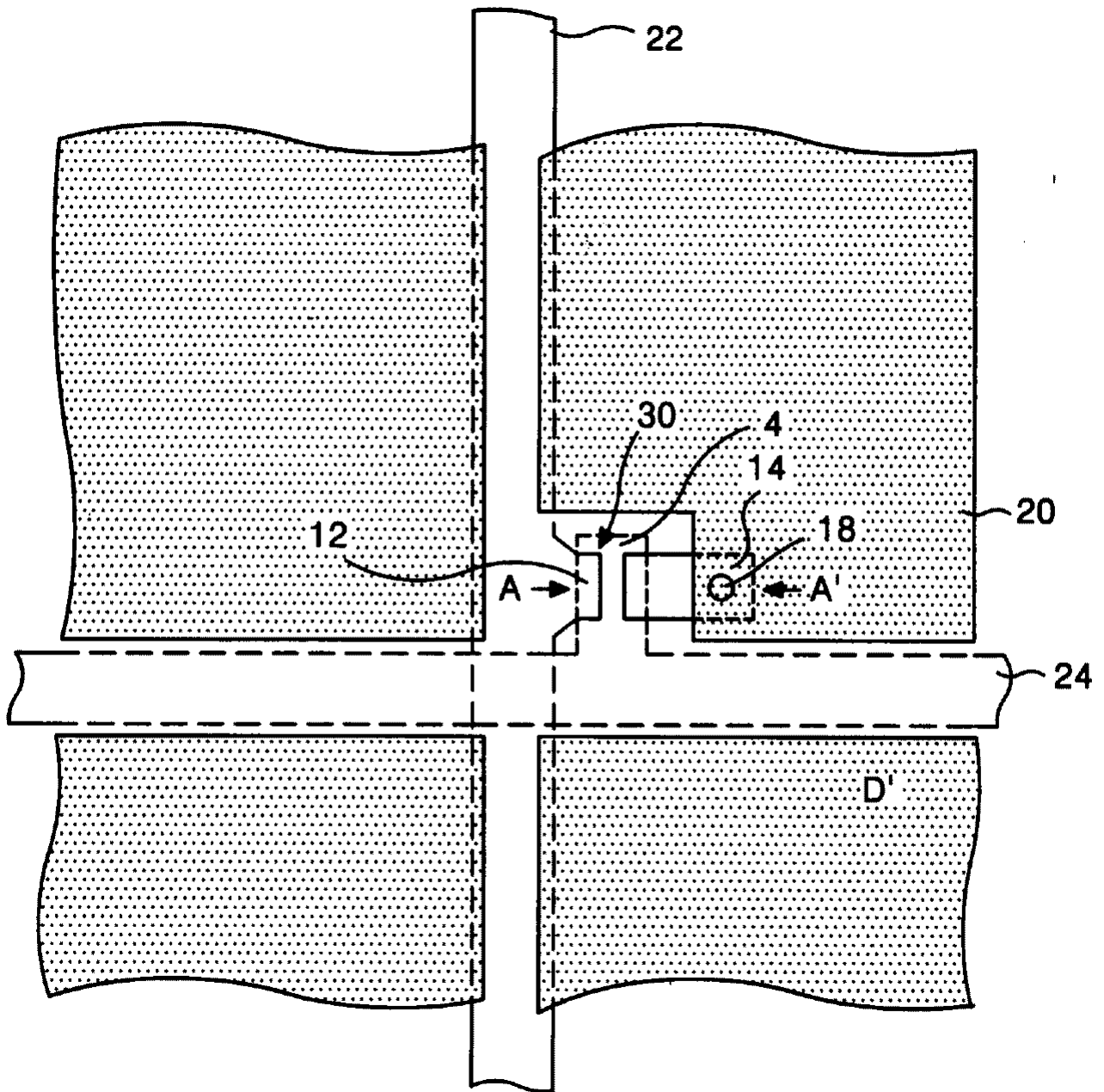
청구항 4.

청구항 3에 있어서,

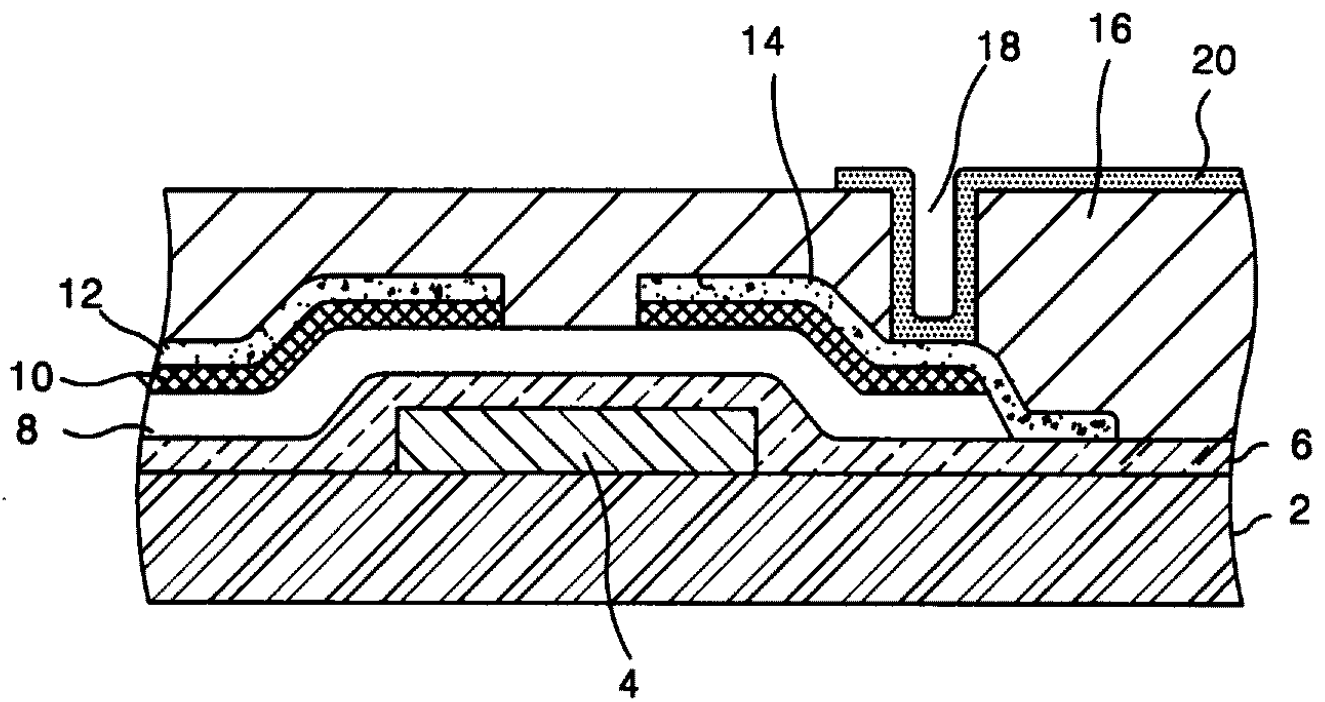
상기 희생층패턴막을 에칭할 시 상기 희생층이 포토레지스트패턴 밑으로 오목하게 들어가도록 상기 희생층을 오버에칭하는 것을 특징으로 하는 인듐 - 틴 - 옥사이드막 패터닝 방법.

도면

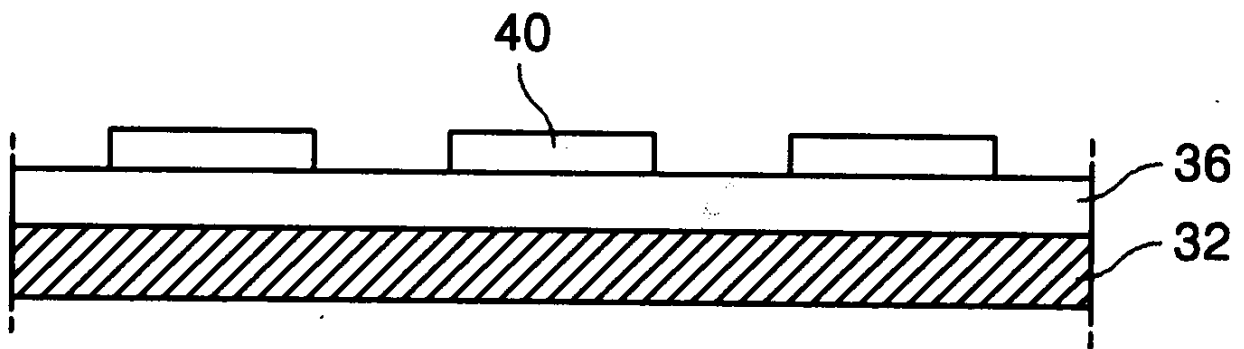
도면 1



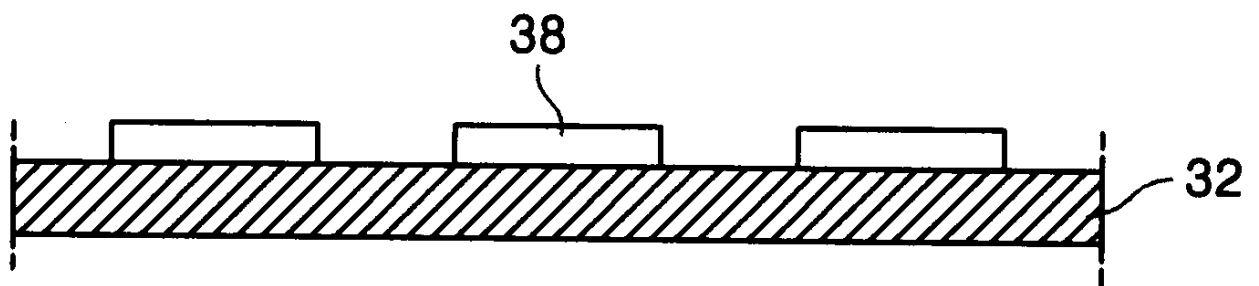
도면 2



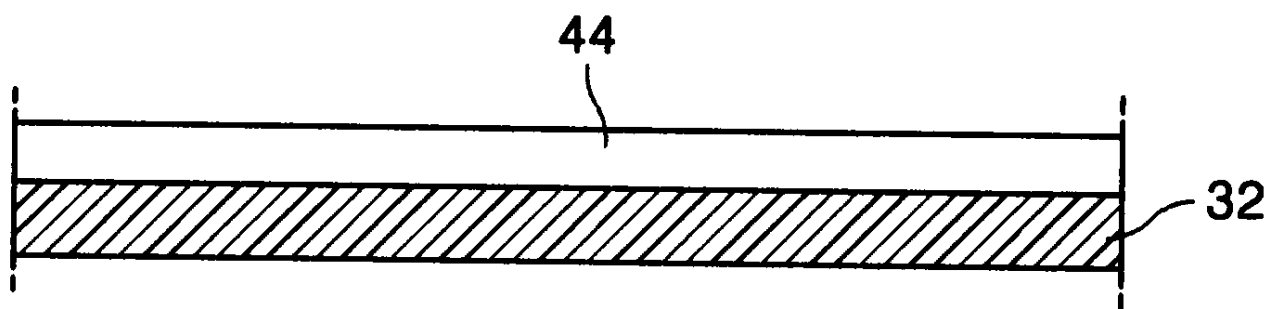
도면 3a



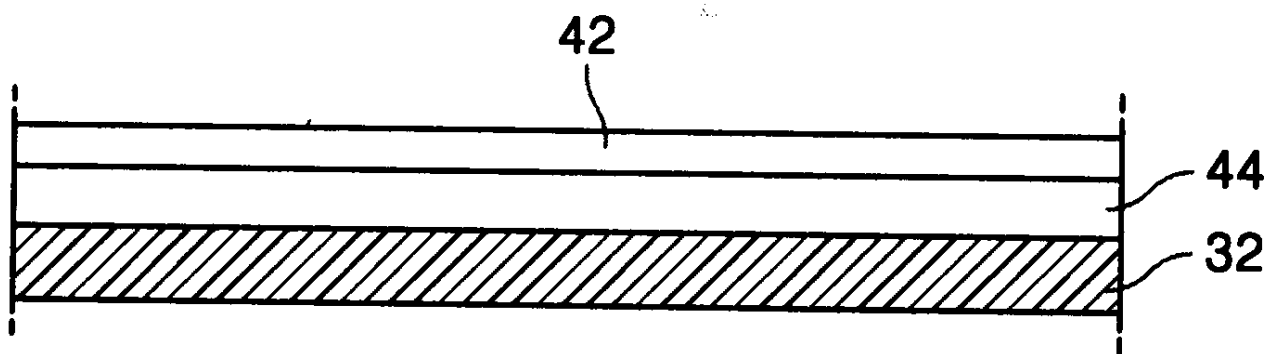
도면 3b



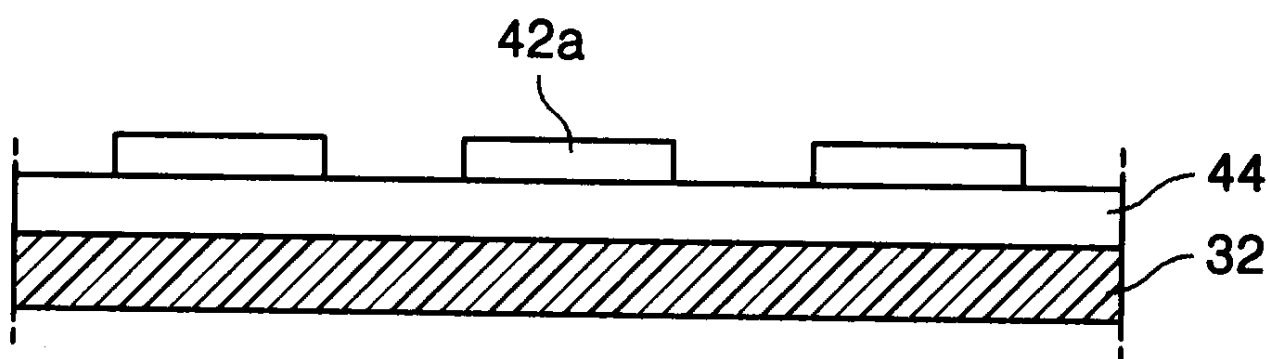
도면 4a



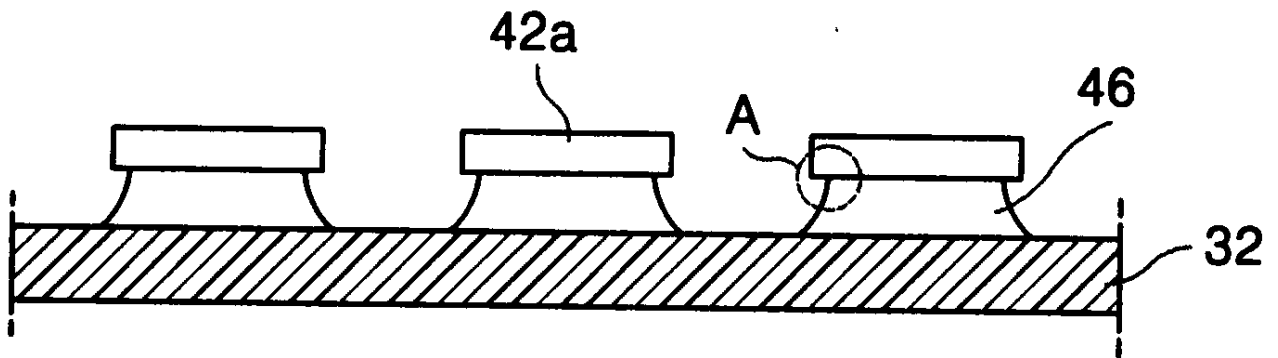
도면 4b



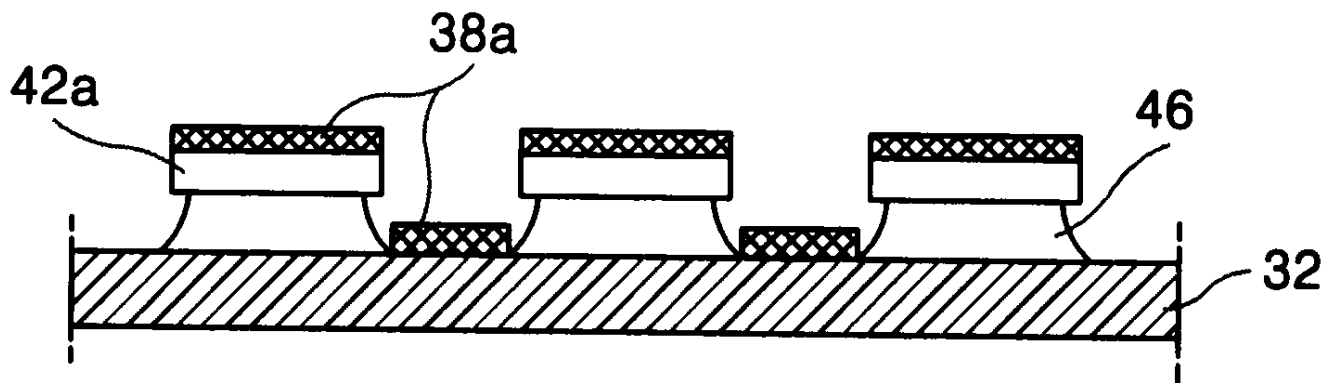
도면 4c



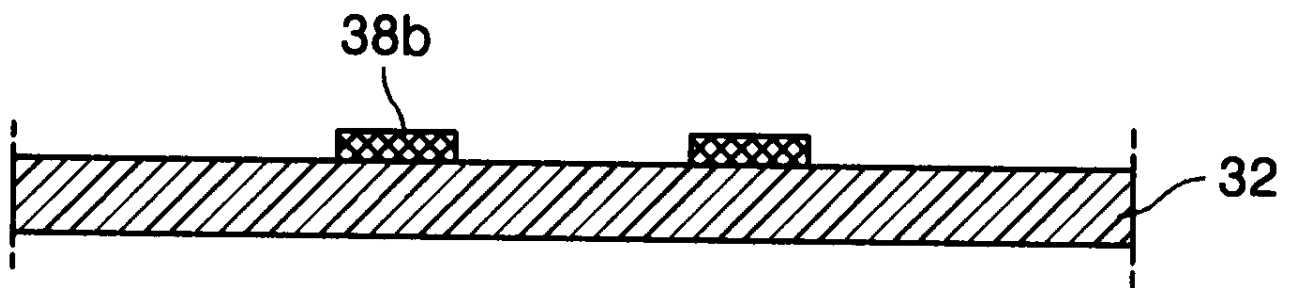
도면 4d



도면 4e



도면 4f



도면 5

