

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4524609号
(P4524609)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int.Cl.

F I

H O 4 N 5/335 (2006.01)

H O 4 N 5/335

F

H O 1 L 27/148 (2006.01)

H O 4 N 5/335

P

H O 1 L 27/14

B

請求項の数 12 (全 24 頁)

(21) 出願番号 特願2004-315490 (P2004-315490)
 (22) 出願日 平成16年10月29日(2004.10.29)
 (65) 公開番号 特開2006-129137 (P2006-129137A)
 (43) 公開日 平成18年5月18日(2006.5.18)
 審査請求日 平成19年6月21日(2007.6.21)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 広田 功
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像素子、固体撮像素子の駆動方法および撮像装置

(57) 【特許請求の範囲】

【請求項1】

行列状に配置されて光電変換を行う複数の画素、および、前記複数の画素の各信号電荷を列単位で垂直転送する複数の垂直転送部を有する撮像部と、

所定の動作モードでは、前記複数の垂直転送部の3列以上の複数の列を単位とし、前記複数の列の垂直転送部から同時に出力される所定の色関係にある2列以上の各垂直転送部から転送される信号電荷を出力する信号電荷を出力し、前記信号電荷を出力した前記複数の列の他の列の垂直転送部からの電荷の転送を阻止する、電荷制御部と、

前記3列以上の複数の列を単位として設けられ、前記電荷制御部から出力された前記信号電荷が加算される電荷蓄積部と、

前記電荷蓄積部から出力される信号電荷を水平転送する水平転送部と
 を備えた、ことを特徴とする固体撮像素子。

【請求項2】

前記所定の色関係は、同色関係または補色関係である、
請求項1に記載の固体撮像素子。

【請求項3】

前記電荷制御部は、前記所定の動作モード以外の動作モードでは、前記複数の垂直転送部から前記複数の列の単位で平行に転送される信号電荷の並びをシリアルに変換して順に、前記水平転送部に出力する、

ことを特徴とする請求項1または2に記載の固体撮像素子。

【請求項 4】

前記電荷制御部は、前記複数の垂直転送部から出力される信号電荷を前記複数の各列ごとに保持する電荷保持部を有し、当該電荷保持部での信号電荷の保持を各列ごとに順に解除する、

ことを特徴とする請求項 3 に記載の固体撮像素子。

【請求項 5】

前記電荷制御部は、前記信号電荷を出力した前記複数の他の列については前記電荷保持部を持たない、

ことを特徴とする請求項 4 に記載の固体撮像素子。

【請求項 6】

前記電荷制御部は、前記信号電荷を出力した前記複数の他の列については、前記電荷保持部で保持した信号電荷を電荷排出部に捨てる、

ことを特徴とする請求項 4 に記載の固体撮像素子。

【請求項 7】

行列状に配置されて光電変換を行う複数の画素および前記複数の画素の各信号電荷を列単位で垂直転送する複数の垂直転送部を有する撮像部と、前記複数の垂直転送部から転送される信号電荷を水平転送する水平転送部とを備える固体撮像素子の駆動方法であって、

所定の動作モードでは、前記複数の垂直転送部の 3 列以上の複数の列を単位とし、前記複数の垂直転送部から同時に出力される所定の色関係にある 2 列以上の各垂直転送部から転送される信号電荷を出力する信号電荷を出力し、前記信号電荷を出力した前記複数の他の列の垂直転送部からの電荷の転送を阻止し、

前記出力された前記信号電荷を加算して前記水平転送部に出力する

ことを特徴とする固体撮像素子の駆動方法。

【請求項 8】

前記所定の色関係は同色関係である、

請求項 7 に記載の固体撮像素子の駆動方法。

【請求項 9】

前記所定の動作モード以外の動作モードでは、前記複数の垂直転送部から前記 3 列以上の複数の列の単位で平行に転送されてくる信号電荷の並びをシリアルに変換して順に、前記水平転送部に出力する、

ことを特徴とする請求項 7 または 8 に記載の固体撮像素子の駆動方法。

【請求項 10】

請求項 1 ～ 5 のいずれかに記載の固体撮像素子と、

動画を撮像する第 1 の撮像モードと静止画を撮像する第 2 の撮像モードとを択一的に設定可能な撮像モード設定手段と、

前記第 1 の撮像モードでは、前記複数の垂直転送部の 3 列以上の複数の列を単位とし、当該複数の列における所定の列の垂直転送部からの電荷の転送を阻止し、前記複数の列における残りの 2 列以上の各垂直転送部から転送される信号電荷を加算して前記水平転送部に出力し、前記第 2 の撮像モードでは、前記複数の垂直転送部から前記複数の列の単位で平行に転送されてくる信号電荷の並びをシリアルに変換して順に前記水平転送部に出力すべく前記固体撮像素子を駆動する駆動手段と、

を備えたことを特徴とする撮像装置。

【請求項 11】

前記撮像部は、カラーコーディングが水平 2 画素×垂直 2 画素の繰り返し原色ベイア配列になっている、

請求項 1 ～ 5 のいずれかに記載の撮像素子。

【請求項 12】

前記撮像部は、カラーコーディングが水平 2 画素×垂直 2 画素の繰り返し原色ベイア配列になっている、

請求項 7 ～ 8 のいずれかに記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子、固体撮像素子の駆動方法および撮像装置に関し、特にCCD (Charge Coupled Device)撮像素子に代表される電荷転送型固体撮像素子およびその駆動方法、並びに電荷転送型固体撮像素子を撮像デバイスとして用いたデジタルスチルカメラ等の撮像装置に関する。

【背景技術】

【0002】

撮像装置、例えばデジタルスチルカメラ（DSC）では、撮像デバイスとして例えば、全画素の信号電荷を同時刻に一斉に垂直転送部に読み出し、かつ当該垂直転送部中で混合せずに独立に垂直転送し、さらに水平転送部による水平転送によって出力するいわゆる全画素読出し方式の固体撮像素子、例えばCCD撮像素子が用いられている。また、DSC用CCD撮像素子では、高画質の静止画の撮像を目的として多画素化が進められている。

【0003】

多画素のCCD撮像素子では、セル（単位画素）のより微細化が進む中でスミアが懸念され、特に動画撮像モード時やモニタリングモード時に問題となっている。ここに、スミアとは、信号電荷を転送する垂直転送部に強い光が漏れ込むと、高輝度被写体の上下に明るい帯が走るCCD撮像素子固有の現象である。したがって、信号電荷が垂直転送部に存在している期間が長いほど、スミアの影響を大きく受けることになる。

【0004】

スミア低減策としては、放送業務用CCD撮像素子で使われているFIT (Frame Interline Transfer)方式がある。このFIT方式CCD撮像素子では、画素が行列状に配置されてなる撮像部の下部に、垂直転送部で転送された信号電荷を一時的に蓄積する遮光された蓄積部を有し、各画素から垂直転送部に信号電荷を読み出した後、当該垂直転送部を高速転送動作させることで信号電荷を素早く蓄積部に移動させ、信号電荷が垂直転送部に存在している期間を短くすることによってスミアの低減を図っている。

【0005】

しかし、FIT方式CCD撮像素子は、蓄積部を有する分だけチップの面積が大きくなり、蓄積部を持たないIT (Interline Transfer)方式CCD撮像素子に比べて、チップ面積が1.5～2倍程度の大きさとなるため、コスト面からすると、民生用の撮像装置、例えばデジタルスチルカメラの撮像デバイスとして用いるのは難しいとされていた。

【0006】

ところで、DSC用の動画機能としては、主にVGA（水平640×垂直480）相当が求められているのに対して、DSC用CCD撮像素子では、静止画の高画質化から非常に多く画素数のものが求められている。したがって、CCD撮像素子の多画素化に伴って画素数が増えることにより、静止画撮像モード時のフレームレートと動画機能（モニタリングを含む）でのフレームレートとのギャップが大きくなる。

【0007】

動画機能の実現方法としては、各画素からの信号電荷の読み出しを垂直方向において間引くことによってフレームレートを上げる技術が広く知られている。一例として、図12に示すように、水平2画素×垂直2画素の繰り返しのカラーコーディングにおいて、垂直方向の16画素（16ライン）を単位とし、同じ色の2画素ずつを垂直転送部に読み出して当該垂直転送部内で加算し、残りの画素の信号電荷については読み出さない（間引く）ようにしている（4／16ライン読み出し）。

【0008】

このように、垂直方向における間引き加算では、16画素を単位とすると、垂直転送部に信号電荷が読み出される画素が4画素であるのに対して、信号電荷が読み出されない画素、即ち間引かれる画素が12画素となる。このとき、垂直転送部においては、信号電荷が読み出されるパケット（電荷を扱う単位）と同様に信号電荷が読み出されない空パケッ

10

20

30

40

50

トにもスミア成分が存在し、これらのスミア成分が電荷転送によって加算され、信号成分が間引かれているにも拘わらずスミア成分が逆に増えることになるため、スミアが悪化するという問題がある。

【0009】

また、間引き率が高い、即ち間引かれる画素が多いことから、間引かれる画素についての情報が最終的な撮像画像に反映されないことになるため、色偽信号やモアレが発生するという問題もある。しかも、垂直方向の画素の情報量に比べて水平方向の画素の情報量が必要以上に多くなるため無駄であるとともに、垂直解像度と水平解像度とのバランスが保たれなくなる。

【0010】

このため、従来は、垂直方向において間引く画素数を減らして画素の情報量を増やすことで、スミアの悪化や色偽信号の発生を抑えるようにするとともに、画素の情報量が増えることによって水平方向の駆動周波数（水平転送部の駆動周波数）が高くなるのを抑制するために、水平方向においても画素加算を行うことによって画素の情報量を減らすようにしている（例えば、特許文献1参照）。

【0011】

一例として、図13に示すように、水平2画素×垂直2画素の繰り返しのカラーコーディングにおいて、垂直方向の8画素（8ライン）を単位とし、同じ色の2画素ずつを垂直転送部に読み出して当該垂直転送部内で加算し（4／8ライン読み出し）、さらに水平方向において同じ色の2画素ずつを水平転送部内で加算するようにしている。これにより、信号電荷を読み出さない画素数が、4／16ライン読み出しの場合に比べて1／3になるため、スミアの悪化や色偽信号の発生を低減できる。

【0012】

【特許文献1】特開平11-234569号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上述した従来技術では、垂直方向での間引き加算と水平方向の2画素加算とを併用し、垂直方向の画素の情報量を増やすことによってスミアの悪化や色偽信号の発生を低減できるとともに、水平方向の画素の情報量を減らすことによって水平方向の駆動周波数が高くなるのを抑制できるものの、垂直方向の画素の情報量が1／4になるのに対して水平方向の画素の情報量を1／2に低減できているに過ぎず、水平方向の画素の情報量が垂直方向の情報量の倍であるため、依然として垂直解像度と水平解像度のバランスがとれないという課題がある。

【0014】

ここで、水平方向についても垂直方向と同様な間引き加算の技術を適用することで、水平方向の画素の情報量をさらに低減することが可能となる。しかし、電荷転送部において間引き加算を行う従来技術では、先述したように、空パケット中のスミア成分が電荷転送によって加算され、信号成分が間引かれているにも拘わらずスミア成分が逆に増えることになるためスミアが悪化することになる。

【課題を解決するための手段】

【0015】

本発明によれば、行列状に配置されて光電変換を行う複数の画素、および、前記複数の画素の各信号電荷を列単位で垂直転送する複数の垂直転送部を有する撮像部と、所定の動作モードでは、前記複数の垂直転送部の3列以上の複数列を単位とし、前記複数列の垂直転送部から同時に出力される所定の色関係にある2列以上の各垂直転送部から転送される信号電荷を出力する信号電荷を出力し、前記信号電荷を出力した前記複数列の他の列の垂直転送部からの電荷の転送を阻止する、電荷制御部と、前記3列以上の複数列を単位として設けられ、前記電荷制御部から出力された前記信号電荷が加算される電荷蓄積部と、前記電荷蓄積部から出力される信号電荷を水平転送する水平転送部とを備えた、ことを特徴

10

20

30

40

50

とする固体撮像素子が提供される。

また本発明によれば、行列状に配置されて光電変換を行う複数の画素および前記複数の画素の各信号電荷を列単位で垂直転送する複数の垂直転送部を有する撮像部と、前記複数の垂直転送部から転送される信号電荷を水平転送する水平転送部とを備える固体撮像素子の駆動方法であって、所定の動作モードでは、前記複数の垂直転送部の3列以上の複数列を単位とし、前記複数列の垂直転送部から同時に出力される所定の色関係にある2列以上の各垂直転送部から転送される信号電荷を出力する信号電荷を出力し、前記信号電荷を出力した前記複数列の他の列の垂直転送部からの電荷の転送を阻止し、前記出力された前記信号電荷を加算して前記水平転送部に出力する、ことを特徴とする固体撮像素子の駆動方法が提供される。

10

また本発明によれば、上記固体撮像素子と、動画を撮像する第1の撮像モードと静止画を撮像する第2の撮像モードとを択一的に設定可能な撮像モード設定手段と、前記第1の撮像モードでは、前記複数の垂直転送部の3列以上の複数列を単位とし、当該複数列における所定の列の垂直転送部からの電荷の転送を阻止し、前記複数列における残りの2列以上の各垂直転送部から転送される信号電荷を加算して前記水平転送部に出力し、前記第2の撮像モードでは、前記複数の垂直転送部から前記複数列の単位で平行に転送されてくる信号電荷の並びをシリアルに変換して順に前記水平転送部に出力すべく前記固体撮像素子を駆動する駆動手段と、を備えたことを特徴とする撮像装置が提供される。

【0016】

上記構成の固体撮像素子または当該固体撮像素子を撮像デバイスとして搭載した撮像装置において、所定の動作モードが設定されたとき、単位となる複数列における所定の列の垂直転送部からの電荷の転送を阻止しつつ、残りの列の各垂直転送部から転送される信号電荷を加算して、あるいはそのまま読み出して出力することで、水平方向における間引き加算あるいは間引き読み出しが行われる。すなわち、電荷の転送が阻止された列について画素情報が間引かれる。

20

【0017】

このとき、間引く画素数や加算する画素数を垂直方向における間引き加算に対応して設定することで、垂直解像度と水平解像度のバランスを保つことができるとともに、水平方向の駆動周波数を低減できる。また、間引き対象列の垂直転送部については電荷の転送を阻止するようにしたことで、信号成分のみならず、スミア成分についても間引かれることになり、また水平転送部中にはスミア成分のみを含む空パッケージが生じないことになるため、スミアが悪化することもない。

30

【発明の効果】

【0018】

本発明によれば、複数の垂直転送部の複数列を単位とし、当該複数列における所定の列の垂直転送部からの電荷の転送を阻止し、残りの列の各垂直転送部から転送される信号電荷を加算して、あるいはそのまま読み出して出力することにより、水平方向においてスミアの悪化を抑えつつ間引き加算あるいは間引き読み出しを行って水平方向の画素情報量を低減することができるため、垂直解像度と水平解像度のバランスを保つことができるとともに、水平方向の駆動周波数を低減できる。

40

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】

図1は、本発明の一実施形態に係る電荷転送型固体撮像素子、例えばCCD撮像素子の構成を示す概略構成図である。図1に示すように、本実施形態に係るCCD撮像素子10は、例えば、撮像部11に加えて蓄積部12を有するFIT方式のデバイス構成となっている。

【0021】

図1において、撮像部11は、行列状に配置され、入射光をその光量に応じた電荷量の

50

信号電荷に変換する複数の画素（光電変換素子を含む受光部）１１１と、これら画素１１１の行列状配列に対して列ごとに配置され、画素１１１の各々で光電変換され、これら画素１１１から読み出された信号電荷を列単位で垂直転送する複数の垂直ＣＣＤ（垂直転送部）１１２とによって構成されている。

【００２２】

この撮像部１１と蓄積部１２との間には、本発明の特徴とする電荷制御部１３が設けられている。この電荷制御部１３の具体的な構成およびその動作については、後で２つの実施例をもって詳細に説明する。

【００２３】

蓄積部１２は、全面に亘って遮光されており、電荷制御部１３を経由して供給される信号電荷を一時的に蓄積する領域である。この蓄積部１２には、垂直ＣＣＤ１１２および電荷制御部１３の高速転送動作により、これら垂直ＣＣＤ１１２および電荷制御部１３から信号電荷が素早く移送される。

【００２４】

この蓄積部１２を持つＦＩＴ方式のＣＣＤ撮像素子１０では、信号電荷が垂直ＣＣＤ１１２に存在している期間を短くすることができるため、スミアの低減効果が極めて大きいことが広く知られている。

【００２５】

蓄積部１２に一時的に蓄積された信号電荷は順に水平ＣＣＤ（水平転送部）１４にシフト（転送）される。水平ＣＣＤ１４は、蓄積部１２からシフトされた信号電荷を順に水平転送する。水平ＣＣＤ１４の転送先側の端部には電荷検出部１５が設けられている。電荷検出部１５は、例えばフローティングディフュージョンアンプによって構成されており、水平ＣＣＤ１４によって順に転送されてくる信号電荷を信号電圧に変換して出力する（ＣＣＤｏｕｔ）。

【００２６】

上記構成のＣＣＤ撮像素子１０は、タイミング発生回路（ＴＧ；Timing Generator）２０で発生される各種のタイミング信号によって駆動される。タイミング発生回路２０は、垂直同期信号ＶＤ、水平同期信号ＨＤおよびマスタクロックＭＣＫに基づいて、垂直ＣＣＤ１１２を転送駆動する例えば６相の垂直転送パルスＩＭ１～ＩＭ６と、電荷制御部１３を駆動するストレージパルスＳｔｒａｇｅ１，２、ホールドパルスＨｏｌｄ１，２と、蓄積部１２を駆動する例えば４相の垂直転送パルスＳＴ１～ＳＴ４と、水平ＣＣＤ１４を転送駆動する例えば２相の水平転送パルスＨ１，Ｈ２などのタイミング信号を、外部から与えられる撮像モード情報に対応したタイミング関係をもって生成する。また、電荷制御部１３には、例えばタイミング発生回路２０からドレイン電圧Ｄｒａｉｎが与えられる。

【００２７】

[電荷制御部の構成]

続いて、本発明の特徴部分である電荷制御部１３の具体的な構成およびその動作について、実施例を２つ挙げて詳細について説明する。

【００２８】

(実施例１)

図２は、本発明の実施例１に係る電荷制御部１３Ａを含む要部の構成の概略を示す平面パターン図である。ここでは、一例として、撮像部１１の上層部に配置されるカラーフィルタ（図示せず）のカラーコーディングを水平２画素×垂直２画素の繰返しとし、また電荷制御部１３Ａの処理の単位を３列（水平３画素）とする。

【００２９】

本実施例に係る電荷制御部１３Ａは、所定の動作モードが設定されたときは、複数の垂直ＣＣＤ１１２の複数列を単位とし、当該複数列における所定の列の垂直ＣＣＤ１１２からの電荷の転送を阻止することによって間引き、複数列における残りの２列以上の各垂直ＣＣＤ１１２から転送される信号電荷を加算して出力する。以下、この処理のことを水平間引き加算と呼ぶこととする。電荷制御部１３Ａはさらに、所定の動作モード以外の動作

10

20

30

40

50

モードが設定されたときは、複数の垂直CCD112から複数列の単位で平行に転送される信号電荷の並びをシリアルに変換して順に出力する。

【0030】

図2において、3列の垂直CCD112を単位として、これら3列の垂直CCD112をそれぞれ垂直CCD112A, 112B, 112Cとする。電荷制御部13Aは、3列の垂直CCD112A, 112B, 112Cのうち、例えば隣り合う2列の垂直CCD112B, 112Cについては、各チャンネル上に独立してストレージ電極131B, 131Cおよびホールド電極132B, 132Cが、ストレージ電極131B, 131Cが撮像部11側になるように設けられている。

【0031】

残りの1列の垂直CCD112Aについては、ストレージ電極およびホールド電極が設けられていない。さらに、3列の垂直CCD112A, 112B, 112Cのうち、真ん中の垂直112Bについては、ストレージ電極131Bの水平方向の寸法(幅)をストレージ電極131Cよりも狭く設定した状態において、当該ストレージ電極131Bの横の領域に電荷排出部であるドレイン部133が設けられている。

【0032】

上記構成の電荷制御部13Aは、先述したように、タイミング発生回路20で生成される各種の制御パルス、即ちストレージパルスStorage1, 2、ドレイン電圧DrainおよびホールドパルスHold1, 2によって駆動制御されることで、水平間引き加算の動作を行う。

【0033】

具体的には、ストレージパルスStorage1は制御線134-1によって伝送されてストレージ電極131Bを駆動し、ストレージパルスStorage2は制御線134-2によって伝送されてストレージ電極131Cを駆動し、ドレイン電圧Drainは制御線134-3によって伝送されてドレイン部133を駆動し、ホールドパルスHold1は制御線134-4によって伝送されてホールド電極132Bを駆動し、ホールドパルスHold2は制御線134-5によって伝送されてホールド電極132Cを駆動する。

【0034】

ストレージパルスStorage1, 2、ドレイン電圧DrainおよびホールドパルスHold1, 2をそれぞれ伝送する各制御線134-1~134-5は、例えば、垂直CCD112の配列方向(水平方向)において電荷制御部13Aの両端に亘って並行して配線されるシャント配線構造となっており、ストレージ電極131B, 131C、ドレイン部133およびホールド電極132B, 132Cに対して3列単位で電氣的なコンタクトがとられる。

【0035】

すなわち、ストレージパルスStorage1およびホールドパルスHold1が組をなし、垂直CCD112Bに対応して設けられたストレージ電極131Bおよびホールド電極132Bをそれぞれ駆動し、ストレージパルスStorage2およびホールドパルスHold2が組をなし、垂直CCD112Cに対応して設けられたストレージ電極131Cおよびホールド電極132Cをそれぞれ駆動する。

【0036】

なお、図2中、撮像部11、電荷制御部13Aおよび蓄積部12において、ハッチングで示した部分30はチャンネルストップ領域である。

【0037】

上記構成の電荷制御部13Aにおいて、一例として、水平間引き加算の単位を3列(水平3画素)としているのは、例えば、垂直方向において3画素加算を行うことに対応させているからである。

【0038】

次に、上記構成の電荷制御部13Aを有するCCD撮像素子10の駆動方法について、動画を撮像する動画撮像モード(モニタリングモードを含む)と、静止画を撮像する静止画

10

20

30

40

50

撮像モードとに分けて説明する。

【0039】

＜動画撮像モード＞

最初に、動画撮像モードにおける垂直方向の画素加算の動作について、図3の模式図を用いて説明する。

【0040】

ここでは、一例として、カラーコーディングが水平2画素×垂直2画素繰返しの原色ベイア配列の場合において、1画素おきに同色の3画素を単位として加算する3画素加算を採用し、画素を間引く処理は行わないものとする。

【0041】

このように、垂直方向において、間引き処理行わずに、1画素おきに3画素単位で同色同士の画素加算を行うことで、図3に画素加算を模式的に示す加算器マークの相互間の垂直方向における間隔が等間隔になっていることからわかるように、動画時の画素重心が均等になるとともに、画素情報が間引かれていないことによって色偽信号の発生を抑えることができる。しかも、画素情報の間引き処理が行われないことで、垂直転送時に空パケットが生じないため、スミアが悪化することもない。

【0042】

続いて、動画撮像モードにおける電荷制御部13Aの動作、即ち水平間引き加算の動作について、図4のタイミングチャートを用いて説明する。

【0043】

図4のタイミングチャートにおいて、5相目の垂直転送パルスIM5が、続いて6相目の垂直転送パルスIM6が順に“L”レベルから“H”レベルに遷移することで、撮像部11における最下端の1行分の画素の信号電荷が、垂直CCD112（112A，112B，112C）によって電荷制御部13Aに転送される。このとき、3列を単位とする垂直CCD112A，112B，112Cのうち、1列目の垂直CCD112Aの信号電荷については、電荷制御部13Aをそのまま通過して蓄積部12に移動する。

【0044】

2列目の垂直CCD112Bの信号電荷については、ストレージパルスStorage1が“H”レベル、ホールドパルスHold1が“L”レベルの状態にあり、ストレージ電極131Bの下のパテンシャルが深く、ホールド電極132Bの下のパテンシャルが浅い状態にあるため、ストレージ電極131Bの下に蓄積され、かつホールド電極132Bの下のパテンシャルバリアによって蓄積部12への転送が阻止される。このとき、信号成分（信号電荷）のみならず、スミア成分（スミア電荷）についても転送が阻止される。そして、以降の垂直転送動作によって蓄積部分のパテンシャルバリアを越える電荷についてはドレイン部133に捨てられる。

【0045】

3列目の垂直CCD112Cの信号電荷については、5相目の垂直転送パルスIM5に同期してストレージパルスStorage2およびホールドパルスHold2が共に“L”レベルから“H”レベルに遷移することで、ストレージ電極131Cの下のパテンシャルおよびホールド電極132Cの下のパテンシャルが共に深い状態となるため、1列目の垂直CCD112Aの信号電荷と同じように、電荷制御部13Aをそのまま通過して蓄積部12に移動する。

【0046】

これにより、3列の垂直CCD112A，112B，112Cを水平間引き加算の単位としたとき、電荷制御部13Aは、真ん中の垂直CCD112Bの信号電荷についてはその転送を阻止し、両側の垂直CCD112A，112Cの各信号電荷についてはそのまま通過させることによって蓄積部12内で加算する。その結果、動画撮像モードでは、電荷制御部13Aの作用により、真ん中の列の画素情報（スミア成分を含む）を間引き、両側の列の画素情報を加算する水平間引き加算が行われることになる。

【0047】

10

20

30

40

50

本実施例では、水平2画素×垂直2画素繰返しのカラーコーディングにおいて、3列を単位としたとき、図2に示すように、あるラインのある単位ではG（緑）の信号電荷が間引かれ、その両側のB（青）の各信号電荷が加算され、その隣の単位ではBの信号電荷が間引かれ、その両側のBの各信号電荷が加算される。次のラインのある単位ではBの信号電荷が間引かれ、その両側のBの各信号電荷が加算され、その隣の単位ではGの信号電荷が間引かれ、その両側のBの各信号電荷が加算される。

【0048】

この電荷制御部13Aの作用により、水平方向の画素数の例えば2／3に間引き加算された信号電荷は、蓄積部12での4相（ST1～ST4）駆動によって垂直転送されて水平CCD14に移送され、当該水平CCD14での2相（H1，H2）駆動によって水平

10

【0049】

このように、動画撮像モードでの撮像動作において、水平方向で間引き加算を採用し、その加算する画素数および間引く画素数を、垂直方向において画素加算を行う画素数に対応して適宜設定することにより、水平方向の画像情報量が垂直方向の画素情報量に比べて無駄に多くならないようにし、両方向の画素情報の比率を同じにすることができるため、動画時の水平解像度と垂直解像度とのバランスを良好に保つことができる。本実施例の場合は、垂直方向の3画素加算に対応して水平3画素を単位として1画素を間引くようにしたことで、垂直方向および水平方向の画素情報量が共に1／3になる。

【0050】

20

図5は、垂直方向および水平方向共に例えば3画素を単位として垂直加算および水平間引き加算を行うときの概念図である。一例として、画素数が垂直1920×水平2560のCCD撮像素子の場合を例に挙げると、垂直方向および水平方向共に3画素単位で画素加算（水平方向のみ間引き処理が伴う）を行うことで、垂直640×水平853の画素情報を得ることができるため、動画時の水平解像度と垂直解像度とのバランスを良好に保つことができる。また、垂直および水平の両方向において画素重心を均等にすることができる。

【0051】

特に、撮像部11と蓄積部12との間に電荷制御部13Aを設け、当該電荷制御部13Aの作用により、画素加算を行う列の垂直CCD112、本例では垂直CCD112A，112Cの各信号電荷のみを通過させてこれら信号電荷を蓄積部12内で加算した後、水平CCD14に移送するようにしたことで、水平CCD14内には間引きに伴う空パケットが生じることがないため、当該空パケット内のスミア成分が加算されてスミアが悪化するという事はない。すなわち、間引き対象列の垂直CCD112Bからの電荷転送を阻止することで、信号成分のみならず、スミア成分についても間引くことができるため、スミアが悪化することはない。

30

【0052】

また、本実施例の場合は、水平2画素×垂直2画素繰返しのカラーコーディングにおいて、水平間引き加算の処理を行う単位を3列（水平3画素）とし、真ん中の列の画素情報を間引いてその両側の画素情報同士を加算するようにしたことで、同色の画素同士で画素情報の加算処理を行える利点がある。

40

【0053】

なお、本実施例では、水平2画素×垂直2画素繰返しの原色ベイア配列のカラーコーディングにおいて、垂直CCD112の3列を単位とし、真ん中の列の画素情報を間引いてその両側の画素情報同士を加算するとしたが、これは一例に過ぎず、これに限られるものではない。

【0054】

すなわち、カラーフィルタのカラーコーディングとしては、原色ベイア配列に限られるものではなく、原色ストライプ配列や補色市松配列などのカラーコーディングであっても良く、さらには間引き加算の単位となる列数についても、3列に限られるものではなく、

50

4列以上であっても良い。また、画素情報を間引く列についても、真ん中に、さらには1列に限られるものではなく、カラーコーディングに対応して画素情報を間引く列や画素情報を加算する列を決めるようにすれば良い。

【0055】

また、画素情報を加算する画素についても同色の画素同士に限られるものではなく、例えば異なる原色の画素同士を加算して補色の画素情報を得るようにしても良い。この場合には、CCD撮像素子10の後段の信号処理系において補色から元の原色の組み合わせに戻す処理を行うようにすれば良いことになる。

【0056】

<静止画撮像モード>

次に、静止画撮像モードにおける電荷制御部13Aの動作について、図6のタイミングチャートを用いて説明する。

【0057】

本実施例では、水平間引き加算を行う単位を例えば3列（水平3画素）としているために、電荷制御部13Aでは、3列の垂直CCD112A、112B、112Cから平行に転送される信号電荷の並びをシリアルに変換して順に出力する処理が行われる。そのため、全画素の信号電荷を独立に読み出す静止画撮像モードでは、1行分の画素の信号電荷を3回に分けて読み出す3ラインシーケンスとなる。

【0058】

この3ラインシーケンスでは、シーケンスごとに撮像部11の1行分の画素数の1/3ずつの画素の信号電荷を、電荷制御部13A、蓄積部12および水平CCD14によって順に転送し、電荷検出部15を介して出力する動作が行われる。したがって、3ラインシーケンスのトータルの処理時間は、撮像部11の1行分の画素の信号電荷を、蓄積部12および水平CCD14によって順に転送し、電荷検出部15を介して出力するシーケンスの処理時間とほぼ同じになる。

【0059】

図6のタイミングチャートにおいて、5相目の垂直転送パルスIM5が、続いて6相目の垂直転送パルスIM6が順に“L”レベルから“H”レベルに遷移することで、撮像部11における最下端の1行分の画素の信号電荷が、垂直CCD112（112A、112B、112C）によって電荷制御部13Aに平行に転送される。

【0060】

このとき、3列を単位とする垂直CCD112A、112B、112Cのうち、1列目の垂直CCD112Aの信号電荷が先ず、電荷制御部13Aをそのまま通過して蓄積部12に移動する。2列目、3列目の垂直CCD112B、112Cの信号電荷については、ストレージパルスStorage1、2が“H”レベル、ホールドパルスHold1、2が“L”レベルの状態にあり、ストレージ電極131B、131Cの下のパテンシャルが深く、ホールド電極132B、132Cの下のパテンシャルが浅い状態にあるため、ストレージ電極131B、131Cの下に蓄積され、かつホールド電極132B、132Cの下のパテンシャルバリアによって蓄積部12への転送が阻止される。

【0061】

電荷制御部13Aを通過して蓄積部12に移動した1列目の垂直CCD112Aの信号電荷は、蓄積部12での4相（ST1～ST4）駆動によって垂直転送されて水平CCD14に移送され、当該水平CCD14での2相（H1、H2）駆動によって水平転送された後、電荷検出部15で信号電圧に変換されて出力される。以上で1シーケンス目の処理が完了し、2シーケンス目の処理に入る。

【0062】

2シーケンス目に入ると、ホールドパルスHold1が“L”レベルから“H”レベルに遷移し、続いてストレージパルスStorage1が“H”レベルから“L”レベルに遷移する。これにより、ホールド電極132Bの下のパテンシャルが深くなり、ストレージ電極131Bの下のパテンシャルが浅くなるため、当該ストレージ電極131Bの下にホ

10

20

30

40

50

ールドされていた2列目の垂直CCD112Bの信号電荷が電荷制御部13Aを通過して蓄積部12に移動する。

【0063】

このとき、3列目の垂直CCD112Cの信号電荷はそのままストレージ電極131Cの下にホールドされた状態にある。電荷制御部13Aを通過して蓄積部12に移動した2列目の垂直CCD112Bの信号電荷は、蓄積部12で垂直転送されて水平CCD14に移送され、さらに当該水平CCD14で水平転送された後、電荷検出部15で信号電圧に変換されて出力される。以上で2シーケンス目の処理が完了し、3シーケンス目の処理に入る。

【0064】

3シーケンス目に入ると、ホールドパルスHold2が“L”レベルから“H”レベルに遷移し、続いてストレージパルスStorage2が“H”レベルから“L”レベルに遷移する。これにより、ホールド電極132Cの下のポテンシャルが深くなり、ストレージ電極131Cの下のポテンシャルが浅くなるため、当該ストレージ電極131Cの下にホールドされていた3列目の垂直CCD112Cの信号電荷が電荷制御部13Aを通過して蓄積部12に移動する。

【0065】

電荷制御部13Aを通過して蓄積部12に移動した3列目の垂直CCD112Cの信号電荷は、蓄積部12で垂直転送されて水平CCD14に移送され、さらに当該水平CCD14で水平転送された後、電荷検出部15で信号電圧に変換されて出力される。以上で3

【0066】

その結果、電荷制御部13Aによる上記の作用により、撮像部11の3列の垂直CCD112、即ち垂直CCD112A、112B、112Cを単位として平行に転送される3画素分の信号電荷の並びが、シリアルに変換されて順に蓄積部12に転送されることになる。3ラインシーケンスで出力される画素信号は、CCD撮像素子10の後段の信号処理系においてラインメモリなどを用いて、3ラインの画素信号を交互に並び替える処理が行われることで、撮像部11における元の1行分の画素配列に戻される。

【0067】

このように、静止画撮像モードでは、水平間引き加算の単位となる例えば3列分（水平3画素分）ずつ平行に撮像部11から転送される信号電荷の並びを、電荷制御部13Aでシリアルに変換するようにしたことで、動画撮像モードの際に水平間引き加算を行うための電荷制御部13Aを、撮像部11と蓄積部12との間に介在させる構成を採ったとしても、撮像部11の全画素111の信号電荷を3ラインシーケンスにて独立に読み出すことができる。

【0068】

なお、本実施例に係る電荷制御部13Aでは、水平間引き加算の単位を3列とした場合に、1列目の垂直CCD112Aに対応する部分にはストレージ電極およびホールド電極を設けずに、1列目の垂直CCD112Aの信号電荷をそのまま蓄積部12に移動させるとしたが、2列目、3列目の垂直CCD112B、112Cに対応する部分と同様にスト

【0069】

この場合には、動画撮像モードおよび静止画撮像モードのいずれにおいても、一時的にホールドした1列目の垂直CCD112Aの信号電荷を本例では最初に電荷制御部13Aを通過させるようにタイミング関係を設定するようにすれば良い。ただし、1列目の垂直CCD112Aに対応する部分にもストレージ電極およびホールド電極を設けることで、その分だけ構成およびタイミング制御が複雑化することになるため、1列目の垂直CCD112Aに対応する部分にストレージ電極およびホールド電極を設けない構成の方が有利であることは明らかである。

【0070】

以上説明したように、撮像部11に加えて蓄積部12を有するFIT方式のCCD撮像素子10において、撮像部11と蓄積部12との間に実施例1に係る電荷制御部13Aを設け、当該電荷制御部13Aの作用によって動画撮像モード時に水平間引き加算を行うに当たって、垂直方向の加算画素数（間引きを伴う場合も含む）に対応して水平方向の加算および間引きの画素数を自由に設定できるようにしたことで、水平方向の画像情報量が垂直方向の画素情報量に比べて無駄に多くならないようにすることができるため、動画時の水平解像度と垂直解像度とのバランスを良好に保つことができるとともに、水平方向の画像情報量が少なくなる分だけ水平方向の駆動周波数を低減できる。

【0071】

10

また、本実施例の場合、垂直方向では間引きを伴わない画素加算を行うようにしていることで、垂直CCD112中に空パケットが生じず、しかも水平間引き加算を行う電荷制御部13Aでは、間引き対象列の垂直CCDについては信号成分のみならず、スミア成分についても間引き、水平CCD114中には空パケットが生じないようにしているため、動画撮像モード時に画素加算に伴ってスミアが悪化するようなことがない。

【0072】

特に、本実施例では、元々スミア低減策として効果が大きいFIT方式と、本実施形態に係る電荷制御部13Aによる水平間引き加算方式とを併用した構成、換言すれば、本実施形態に係る電荷制御部13Aを備えたCCD撮像素子に、遮光された蓄積部12を搭載した構成を採っていることで、当該蓄積部12によるスミア低減効果と相俟って、動画時のスミアを激減できることになる。

20

【0073】

また、FIT方式のCCD撮像素子10の場合において、電荷制御部13Aが動画撮像モードでは水平間引き加算を行って蓄積部12に出力し、静止画撮像モードでは撮像部11から水平間引き加算の単位で平行に転送される信号電荷の並びをシリアルに変換して蓄積部12に出力することで、水平方向の画素情報量が減るため（水平3画素単位の場合には1/3）、蓄積部12の垂直方向の寸法を小さくできる。

【0074】

何故ならば、水平方向の画素情報量が減ると、蓄積部12におけるパケットの水平方向の寸法を、画素ユニット（画素111およびそれに対応する垂直CCD112の部分）の水平方向の寸法よりも広く設計できる、例えば水平3画素単位の場合には水平3画素に対応した3画素ユニットの水平方向の寸法程度に広く設計できるため、水平方向の寸法を広く設計できる分だけ逆にパケットの垂直方向の寸法を小さくしてもパケットの取扱い電荷量を確保でき、したがって蓄積部12の垂直方向の寸法を小さくできるからある。これにより、CCD撮像素子10の垂直方向におけるチップサイズ的大幅な縮小化を図ることができる。

30

【0075】

因みに、従来のFIT方式CCD撮像素子では、一般的に、蓄積部12の垂直方向の寸法として、撮像部11の垂直方向の寸法の50%程度が必要であり、CCD撮像素子の垂直方向のチップサイズは撮像部11の垂直方向の寸法の1.5倍程度の大きなものとなっていた。CCD撮像素子のチップサイズはそのままデバイスの価格に反映されるため、FIT方式CCD撮像素子は高価なものとなり、民生用の撮像装置、例えばデジタルスチルカメラへの搭載が敬遠されていたのが現状である。

40

【0076】

これに対して、本実施例に係る電荷制御部13Aを有するFIT方式CCD撮像素子10では、水平間引き加算の加算および間引きの画素数にも依るが、例えば水平間引き加算の単位を3列（水平3画素）とし、1列（1画素）を間引く場合を例に挙げると、蓄積部12のパケットの水平方向の寸法を水平3画素分相当に設計できることで、蓄積部12の垂直方向の寸法を、撮像部11の垂直方向の寸法の20%程度に縮小化でき、その結果、CCD撮像素子10の垂直方向のチップサイズを撮像部11の垂直方向の寸法の1.2倍

50

程度まで縮小化できる。

【0077】

このように、本実施例に係る電荷制御部13Aを有するFIT方式CCD撮像素子10は、電荷制御部13Aによる水平間引き加算を採用したことで、チップサイズを大幅に縮小化できるため、大幅な低コスト化を図ることができる。したがって、従来、特に価格の面から困難とされていたFIT方式CCD撮像素子の民生用の撮像装置、例えばデジタルスチルカメラへの搭載が可能になる。しかも、FIT方式のスミア低減効果と相俟って、動画時のスミアを激減できるため、画質を大幅に向上できる。

【0078】

なお、上記実施例1では、撮像部11に加えて蓄積部12を有するFIT方式のCCD撮像素子に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、蓄積部12を持たないIT方式等のCCD撮像素子や、CCD撮像素子以外の電荷転送型固体撮像素子全般に適用可能である。

【0079】

すなわち、撮像部11の下に電荷制御部13Aを設け、当該電荷制御部13Aの作用によって、動画撮像モードでは水平間引き加算を行って水平CCD14に出力し、静止画撮像モードでは撮像部11から水平間引き加算の単位で平行に転送される信号電荷の並びをシリアルに変換して水平CCD14に出力するようにすることで、動画時にスミアを悪化させることなく、水平解像度と垂直解像度とのバランスを良好に保つことができるとともに、水平駆動周波数を低減できることになる。

【0080】

(実施例2)

図7は、本発明の実施例2に係る電荷制御部13Bを含む要部の構成の概略を示す平面パターン図であり、図中、図2と同等部分には同一符号を付して示している。ここでは、一例として、撮像部11の上層部に配置されるカラーフィルタ(図示せず)のカラーコーディングを水平2画素×垂直2画素の繰返しとし、また電荷制御部13Bの処理の単位を4列(水平4画素)とする。

【0081】

本実施例に係る電荷制御部13Bは、所定の動作モードが設定されたときは、複数の垂直CCD112の複数列を単位とし、当該複数列における所定の列の垂直CCD112からの電荷の転送を阻止することによって間引き、複数列における残りの列の垂直CCD112から転送される信号電荷をそのまま読み出して蓄積部12に出力する。以下、この処理のことを水平間引き読み出しと呼ぶこととする。電荷制御部13Aはさらに、所定の動作モード以外の動作モードが設定されたときは、複数の垂直CCD112から複数列の単位で平行に転送される信号電荷を複数ラインシーケンス、例えば2ラインシーケンスで読み出して出力する。

【0082】

図7において、4列の垂直CCD112を単位として、これら4列の垂直CCD112をそれぞれ垂直CCD112A、112B、112C、112Dとする。電荷制御部13Bは、4列の垂直CCD112A、112B、112C、112Dのうち、真ん中の2列の垂直CCD112B、112Cについては、各チャンネル上にチャンネル間に跨ってストレージ電極135およびホールド電極136が、ストレージ電極135が撮像部11側になるように設けられている。

【0083】

両側の2列の垂直CCD112A、112Dについては、ストレージ電極およびホールド電極が設けられていない。さらに、ストレージ電極135については一部が切り欠かれた状態となっており、このストレージ電極135の切り欠き領域内に電荷排出部であるドレイン部137が設けられている。

【0084】

上記構成の電荷制御部13Bは、先述したように、タイミング発生回路20で生成され

10

20

30

40

50

る各種の制御パルス、即ちストレージパルス *Storage*、ドレイン電圧 *Drain* およびホールドパルス *Hold* によって駆動制御されることで、水平間引き読み出しの動作を行う。

【0085】

具体的には、ストレージパルス *Storage* は制御線 138-1 によって伝送されてストレージ電極 135 を駆動し、ドレイン電圧 *Drain* は制御線 138-2 によって伝送されてドレイン部 137 を駆動し、ホールドパルス *Hold* は制御線 138-3 によって伝送されてホールド電極 136 を駆動する。

【0086】

ストレージパルス *Storage*、ドレイン電圧 *Drain* およびホールドパルス *Hold* をそれぞれ伝送する各制御線 138-1～138-3 は、例えば、垂直 *CCD* 112 の配列方向（水平方向）において電荷制御部 13B の両端に亘って並行して配線されるシャント配線構造となっており、ストレージ電極 135、ドレイン部 137 およびホールド電極 136 に対して 4 列単位で電氣的なコンタクトがとられる。

【0087】

上記構成の電荷制御部 13B において、一例として、水平間引き読み出しの単位を 4 列（水平 4 画素）としているのは、例えば、垂直方向において 4 画素を単位として 2 画素加算を行うことに対応させているからである。垂直方向において、4 画素単位で 2 画素加算を行うために、垂直 *CCD* 112 については例えば 8 相の垂直転送パルス *IM1*～*IM8* によって駆動されることになる。

【0088】

次に、上記構成の電荷制御部 13B を有する *CCD* 撮像素子 10 の駆動方法について、動画を撮像する動画撮像モード（モニタリングモードを含む）と、静止画を撮像する静止画撮像モードとに分けて説明する。

【0089】

<動画撮像モード>

最初に、動画撮像モードにおける垂直方向の画素加算の動作について、図 8 の模式図を用いて説明する。

【0090】

ここでは、一例として、カラーコーディングが水平 2 画素×垂直 2 画素繰返しの原色ベイア配列の場合において、4 画素を単位として 1 画素おきに同色の 2 画素を加算する 2 画素加算を採用し、画素を間引く処理は行わないものとする。

【0091】

このように、垂直方向において、間引き処理行わずに、1 画素おきに同色の 2 画素を加算することで、図 8 に画素加算を模式的に示す加算器マークの相互間の垂直方向における間隔が等間隔になっていることからわかるように、動画時の画素重心が均等になるとともに、画素情報が間引かれていないことによって色偽信号の発生を抑えることができる。しかも、画素情報の間引き処理が行われないことで、垂直転送時に空パッケージが生じないため、スミアが悪化することもない。

【0092】

続いて、動画撮像モードにおける電荷制御部 13B の動作、即ち水平間引き読み出しの動作について、図 9 のタイミングチャートを用いて説明する。

【0093】

図 9 のタイミングチャートにおいて、7 相目の垂直転送パルス *IM7* が、続いて 8 相目の垂直転送パルス *IM8* が順に“L”レベルから“H”レベルに遷移することで、撮像部 11 における最下端の 1 行分の画素の信号電荷が、垂直 *CCD* 112（112A，112B，112C，112D）によって電荷制御部 13B に転送される。このとき、4 列を単位とする垂直 *CCD* 112A，112B，112C，112D のうち、1 列目、4 列目の垂直 *CCD* 112A，112D の信号電荷については、電荷制御部 13D をそのまま通過して蓄積部 12 に移動する。

【0094】

一方、2列目、3列目の垂直CCD112B、112Cの信号電荷については、ストレージパルスStorageが“H”レベル、ホールドパルスHoldが“L”レベルの状態にあり、ストレージ電極135の下のポテンシャルが深く、ホールド電極136の下ポテンシャルが浅い状態にあるため、ストレージ電極135の下に蓄積され、かつホールド電極136の下ポテンシャルバリアによって蓄積部12への転送が阻止される。このとき、信号成分（信号電荷）のみならず、スミア成分（スミア電荷）についても転送が阻止される。そして、以降の垂直転送動作によって蓄積部分のポテンシャルバリアを越える電荷についてはドレイン部137に捨てられる。

【0095】

10

これにより、4列の垂直CCD112A、112B、112C、112Dを水平間引き読み出しの単位としたとき、電荷制御部13Bは、真ん中の垂直CCD112B、112Cの信号電荷についてはその転送を阻止し、両側の垂直CCD112A、112Dの各信号電荷についてはそのまま通過させることによって蓄積部12に一時的に蓄積させる。その結果、動画撮像モードでは、電荷制御部13Bの作用により、真ん中の2列（2画素）の画素情報（スミア成分を含む）を間引き、両側の2列の画素情報をそのまま読み出す水平間引き読み出しが行われることになる。

【0096】

この電荷制御部13Bの作用により、水平方向の画素数の例えば1/2に間引かれた信号電荷は、蓄積部12での4相（ST1～ST4）駆動によって垂直転送されて水平CCD14に移送され、当該水平CCD14での2相（H1、H2）駆動によって水平転送された後、電荷検出部15で信号電圧に変換されて出力される。

20

【0097】

このように、動画撮像モードでの撮像動作において、水平方向で間引き読み出しを採用し、その間引く画素数を垂直方向において画素加算を行う画素数に対応して適宜設定することにより、水平方向の画像情報量が垂直方向の画素情報量に比べて無駄に多くならないようにし、両方向の画素情報の比率を同じにすることができるため、動画時の水平解像度と垂直解像度とのバランスを良好に保つことができる。本実施例の場合は、垂直方向の4画素単位の2画素加算に対応して水平4画素を単位として2画素を間引くようにしたことで、垂直方向および水平方向の画素情報量が共に1/2になる。

30

【0098】

特に、撮像部11と蓄積部12との間に電荷制御部13Bを設け、当該電荷制御部13Bの作用により、画素読み出しを行う列の垂直CCD112、本例では垂直CCD112A、112Dの各信号電荷のみを通過させてこれら信号電荷を蓄積部12内に一時的に蓄積させた後、水平CCD14に移送するようにしたことで、水平CCD14内には間引きに伴う空パケットが生じることがないため、当該空パケット内のスミア成分が加算されてスミアが悪化するということはない。すなわち、間引き対象列の垂直CCD112B、112Cからの電荷転送を阻止することで、信号成分のみならず、スミア成分についても間引くことができるため、スミアが悪化することはない。

【0099】

40

なお、本実施例では、水平2画素×垂直2画素繰返しの原色ベイア配列のカラーコーディングにおいて、垂直CCD112の4列を単位とし、真ん中の2列の画素情報を間引いてその両側の画素情報をそのまま読み出すとしたが、これは一例に過ぎず、これに限られるものではない。

【0100】

すなわち、カラーフィルタのカラーコーディングとしては、原色ベイア配列に限られるものではなく、原色ストライプ配列や補色市松配列などのカラーコーディングであっても良く、さらには間引き読み出しの単位となる列数についても、4列に限られるものではなく、5列以上であっても良い。また、画素情報を間引く列についても、真ん中に、さらには2列に限られるものではなく、カラーコーディングに対応して画素情報を間引く列を決

50

めるようにすれば良い。

【0101】

＜静止画撮像モード＞

次に、静止画撮像モードにおける電荷制御部13Bの動作について、図10のタイミングチャートを用いて説明する。

【0102】

本実施例では、水平間引き読み出しを行う単位を例えば4列（水平4画素）としているために、電荷制御部13Bでは、4列の垂直CCD112A, 112B, 112C, 112Dからパラレルに転送される信号電荷を2回に分けて読み出す処理が行われる。そのため、全画素の信号電荷を独立に読み出す静止画撮像モードでは、1行分の画素の信号電荷を2回に分けて読み出す2ラインシーケンスとなる。

10

【0103】

この2ラインシーケンスでは、シーケンスごとに撮像部11の1行分の画素数の1/2ずつの画素の信号電荷を、電荷制御部13B、蓄積部12および水平CCD14によって順に転送し、電荷検出部15を介して出力する動作が行われる。したがって、2ラインシーケンスのトータルの処理時間は、撮像部11の1行分の画素の信号電荷を、蓄積部12および水平CCD14によって順に転送し、電荷検出部15を介して出力するシーケンスの処理時間とほぼ同じになる。

【0104】

図10のタイミングチャートにおいて、7相目の垂直転送パルスIM7が、続いて8相目の垂直転送パルスIM8が順に“L”レベルから“H”レベルに遷移することで、撮像部11における最下端の1行分の画素の信号電荷が、垂直CCD112（112A, 112B, 112C, 112D）によって電荷制御部13Bにパラレルに転送される。

20

【0105】

このとき、4列を単位とする垂直CCD112A, 112B, 112C, 112Dのうち、1列目、4列目の垂直CCD112A, 112Dの各信号電荷が先ず、電荷制御部13Bをそのまま通過して蓄積部12に移動する。2列目、3列目の垂直CCD112B, 112Cの各信号電荷については、ストレージパルスStorageが“H”レベル、ホールドパルスHoldが“L”レベルの状態にあり、ストレージ電極135の下のパテンシャルが深く、ホールド電極136の下のパテンシャルが浅い状態にあるため、ストレージ電極135の下に蓄積され、かつホールド電極136の下のパテンシャルバリアによって蓄積部12への転送が阻止される。

30

【0106】

電荷制御部13Bを通過して蓄積部12に移動した1列目、4列目の垂直CCD112A, 112Dの各信号電荷は、蓄積部12での4相（ST1～ST4）駆動によって垂直転送されて水平CCD14に移送され、当該水平CCD14での2相（H1, H2）駆動によって水平転送された後、電荷検出部15で信号電圧に変換されて出力される。以上で1シーケンス目の処理が完了し、2シーケンス目の処理に入る。

【0107】

2シーケンス目に入ると、ホールドパルスHoldが“L”レベルから“H”レベルに遷移し、続いてストレージパルスStorageが“H”レベルから“L”レベルに遷移する。これにより、ホールド電極136の下のパテンシャルが深くなり、ストレージ電極135の下のパテンシャルが浅くなるため、当該ストレージ電極135の下にホールドされていた2列目、3列目の垂直CCD112B, 112Cの各信号電荷が電荷制御部13Bを通過して蓄積部12に移動する。

40

【0108】

電荷制御部13Bを通過して蓄積部12に移動した2列目、3列目の垂直CCD112B, 112Cの各信号電荷は、蓄積部12で垂直転送されて水平CCD14に移送され、さらに当該水平CCD14で水平転送された後、電荷検出部15で信号電圧に変換されて出力される。以上で2シーケンス目の処理、即ち2ラインシーケンスの全ての処理が完了

50

する。

【0109】

その結果、電荷制御部13Bによる上記の作用により、撮像部11の4列の垂直CCD112、即ち垂直CCD112A、112B、112C、112Dを単位として平行に転送される4画素分の信号電荷が、2回に分けて読み出されて順に蓄積部12に転送されることになる。2ラインシーケンスで出力される画素信号は、CCD撮像素子10の後段の信号処理系においてラインメモリなどを用いて、2ラインの画素信号を順に並び替える処理が行われることで、撮像部11における元の1行分の画素配列に戻される。

【0110】

このように、静止画撮像モードでは、水平間引き読み出しの単位となる例えば4列分（水平4画素分）ずつ平行に撮像部11から転送される信号電荷を、電荷制御部13Bで複数回（本例では、2回）に分けて読み出すようにしたことで、動画撮像モードの際に水平間引き読み出しを行うための電荷制御部13Bを、撮像部11と蓄積部12との間に介在させる構成を採ったとしても、撮像部11の全画素111の信号電荷を2ラインシーケンスにて独立に読み出すことができる。

10

【0111】

以上説明したように、撮像部11に加えて蓄積部12を有するFIT方式のCCD撮像素子10において、撮像部11と蓄積部12との間に実施例2に係る電荷制御部13Bを設け、当該電荷制御部13Bの作用によって動画撮像モード時に水平間引き読み出しを行うに当たって、垂直方向の加算画素数（間引きを伴う場合も含む）に対応して水平方向の間引きの画素数を自由に設定できるようにしたことで、水平方向の画像情報量が垂直方向の画素情報量に比べて無駄に多くならないようにすることができるため、動画時の水平解像度と垂直解像度とのバランスを良好に保つことができるとともに、水平方向の画像情報量が少なくなる分だけ水平方向の駆動周波数を低減できる。

20

【0112】

また、本実施例の場合、垂直方向では間引きを伴わない画素加算を行うようにしていることで、垂直CCD112中に空パッケージが生じず、しかも水平間引き読み出しを行う電荷制御部13Bでは、間引き対象列の垂直CCDについては信号成分のみならず、スミア成分についても間引き、水平CCD114中には空パッケージが生じないようにしているため、動画撮像モード時に間引き読み出しに伴ってスミアが悪化するようなことがない。

30

【0113】

特に、本実施例では、元々スミア低減策として効果が大きいFIT方式と、本実施形態に係る電荷制御部13Bによる水平間引き読み出し方式とを併用した構成、換言すれば、本実施形態に係る電荷制御部13Bを備えたCCD撮像素子に、遮光された蓄積部12を搭載した構成を採っていることで、当該蓄積部12によるスミア低減効果と相俟って、動画時のスミアを激減できることになる。

【0114】

また、FIT方式のCCD撮像素子10の場合において、電荷制御部13Bが動画撮像モードでは水平間引き読み出しを行って蓄積部12に出力し、静止画撮像モードでは撮像部11から水平間引き読み出しの単位で平行に転送される信号電荷を複数回に分けて蓄積部12に出力することで、水平方向の画素情報量が減るため（水平4画素単位の場合には1/2）、蓄積部12の垂直方向の寸法を撮像部11の垂直方向の寸法の20%程度に縮小化でき、その結果、CCD撮像素子10の垂直方向のチップサイズを撮像部11の垂直方向の寸法の1.2倍程度まで縮小化できる。その理由は、実施例1の場合と同じである。

40

【0115】

このように、本実施例に係る電荷制御部13Bを有するFIT方式CCD撮像素子10は、電荷制御部13Bによる水平間引き読み出しを採用したことで、チップサイズを大幅に縮小化できるため、大幅な低コスト化を図ることができる。したがって、従来、特に価格の面から困難とされていたFIT方式CCD撮像素子の民生用の撮像装置、例えばデジ

50

タルスチルカメラへの搭載が可能になる。しかも、F I T方式のスミア低減効果と相俟って、動画時のスミアを激減できるため、画質を大幅に向上できる。

【0116】

[適用例]

以上説明した実施例1, 2に係る電荷制御部13A, 13Bを搭載したF I T方式CCD撮像素子10は、撮像装置（カメラモジュール）、特に民生用の撮像装置、例えばデジタルスチルカメラにその撮像デバイスとして搭載して好適なものである。

【0117】

図11は、上記実施例1, 2に係る電荷制御部13A, 13Bを搭載したF I T方式CCD撮像素子10を撮像デバイスとして搭載してなる本発明に係る撮像装置（例えば、デジ

10

【0118】

図11に示すように、本例に係る撮像装置は、撮像デバイス31と、この撮像デバイス31を駆動する駆動回路32と、撮像デバイス31の撮像面上に被写体（図示せず）からの入射光（像光）を取り込んで結像するレンズ33と、撮像デバイス31の出力信号を処理する信号処理回路34と、この信号処理回路34で処理された画像信号を記録媒体に記録する画像記録装置35と、信号処理回路34で処理された画像信号をモニターに表示する画像表示装置36と、撮像デバイス31の撮像モードを設定するモード設定部37とを有する構成となっている。

20

【0119】

上記構成の撮像装置において、撮像デバイス31として、先述した実施例1, 2に係る電荷制御部13A, 13Bを搭載したF I T方式のCCD撮像素子10が用いられる。駆動回路32は、図1のタイミング発生回路20に相当する機能を持っている。撮像デバイス31の撮像面上には、レンズ33などの光学系を通して、被写体からの入射光（像光）が結像される。この撮像デバイス31に対して、動画を撮像する動画撮像モード（第1の撮像モード）と、静止画を撮像する静止画撮像モード（第2の撮像モード）とがモード設定部37にてユーザによる指定によって設定される。

【0120】

駆動回路32は、モード設定部36にて動画撮像モード（モニタリングモードを含む）が設定されると、図4、図9のタイミングチャートに示すタイミングで各種のタイミング信号を発生し、モード設定部36にて静止画撮像モードが設定されると、図6、図10のタイミングチャートに示すタイミングで各種のタイミング信号を発生し、これらのタイミング信号によって撮像デバイス31を駆動制御する。

30

【0121】

信号処理回路34は、撮像デバイス31の出力信号に対してCDS(Correlated Double Sampling; 相関二重サンプリング)やA(アナログ)/D(デジタル)変換などの信号処理を施すとともに、静止画撮像モードが設定されたときには、撮像デバイス31から3ラインシーケンス(実施例1)、または2ラインシーケンス(実施例2)で出力される3ラインまたは2ラインの画素信号を例えばラインメモリを用いて並び替える処理などを行う。

40

【0122】

画像記録装置35は、静止画撮像モードが設定されたときに、信号処理回路34で処理された画像信号をメモリなどの記録媒体に記録する。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。画像表示装置35は、動画撮像モードが設定されたときに、信号処理回路34で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出す。

【0123】

上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス31として、先述した(実施例1)F I T方式のCCD撮像素子10を搭載することで、当該CCD撮像素子10が動画時のスミアを激減できるとともに、チップサイズの縮小化に伴って

50

低コスト化が図れるという特長を持つことから、スミアが少なく、高画質の撮像装置を安価に提供できることになる。

【0124】

特に、近年、デジタルスチルカメラ等の撮像装置においては、静止画の高画質化を目的として、セル（単位画素）のより微細化が進められており、CCD撮像素子の特性上、セルの微細化に伴ってスミアが悪化する傾向にあることから、動画時のスミアを激減できるとともに、低コスト化が図れるという特長を持つCCD撮像素子10を撮像デバイスとして搭載することによる効果は極めて大きいと言える。

【図面の簡単な説明】

【0125】

【図1】本発明の一実施形態に係るFIT方式のCCD撮像素子を示す概略構成図である。

10

【図2】本発明の実施例1に係る電荷制御部を含む要部の構成の概略を示す平面パターン図である。

【図3】実施例1での垂直方向の画素加算の概念図である。

【図4】動画撮像モードにおける実施例1に係る電荷制御部の動作説明のためのタイミングチャートである。

【図5】垂直方向および水平方向共に例えば3画素を単位として垂直加算および水平間引き加算を行うときの概念図である。

【図6】静止画撮像モードにおける実施例1に係る電荷制御部の動作説明のためのタイミングチャートである。

20

【図7】本発明の実施例2に係る電荷制御部を含む要部の構成の概略を示す平面パターン図である。

【図8】実施例2での垂直方向の画素加算の概念図である。

【図9】動画撮像モードにおける実施例2に係る電荷制御部の動作説明のためのタイミングチャートである。

【図10】静止画撮像モードにおける実施例2に係る電荷制御部の動作説明のためのタイミングチャートである。

【図11】本発明に係る撮像装置の構成の一例を示すブロック図である。

【図12】一従来例の課題を説明する概念図である。

30

【図13】他の従来例の課題を説明する概念図である。

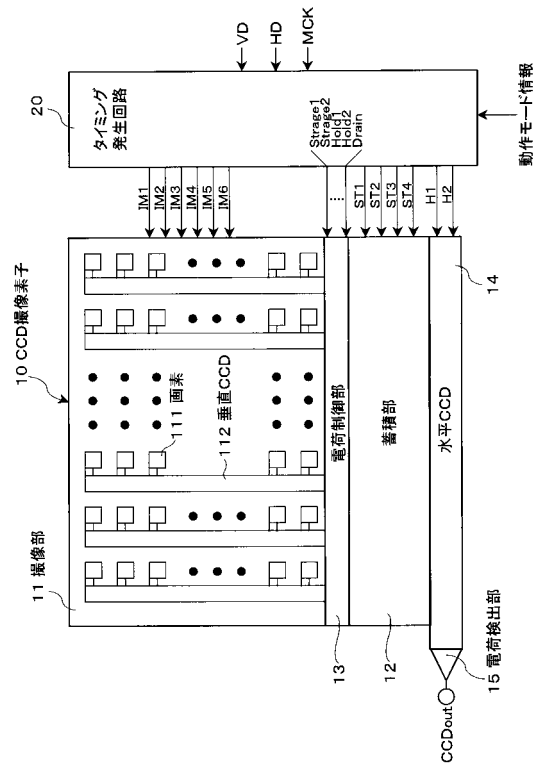
【符号の説明】

【0126】

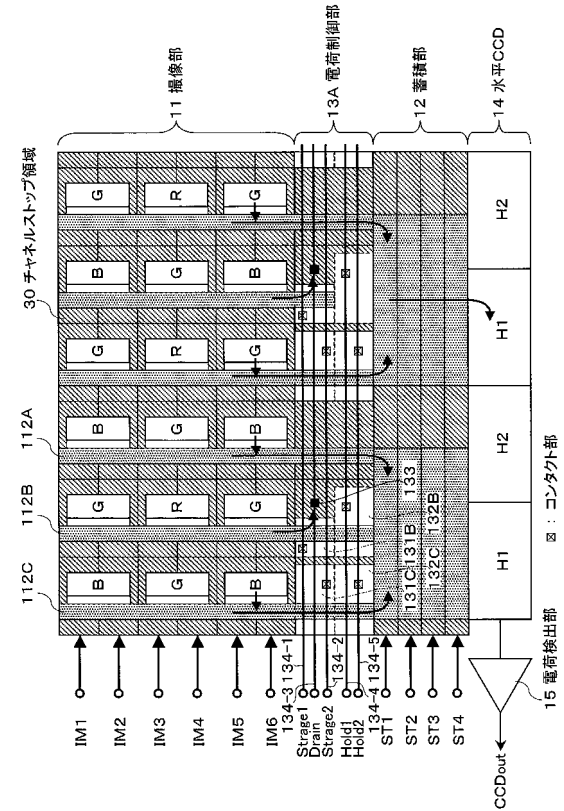
10…FIT方式CCD撮像素子、11…撮像部、12…蓄積部、13, 13A, 13B…電荷制御部、14…水平CCD（水平転送部）、15…電荷検出部、20…タイミング発生回路、31…撮像デバイス、32…駆動回路、33…レンズ、34…信号処理回路、35…画像記憶装置、36…画像表示装置、37…モード設定部、111…画素、112, 112A, 112B, 112C, 112D…垂直CCD（垂直転送部）、131B, 131C, 135…ストレージ電極、132B, 132C, 136…ホールド電極、133, 137…ドレイン部

40

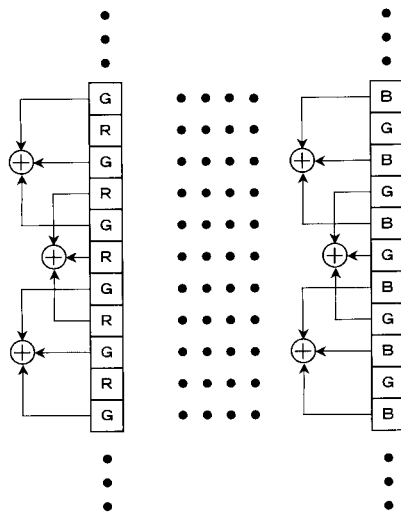
【図 1】



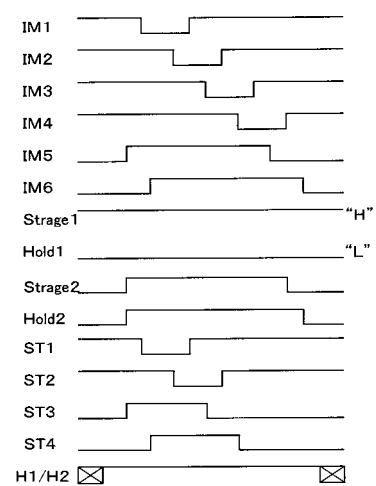
【図 2】



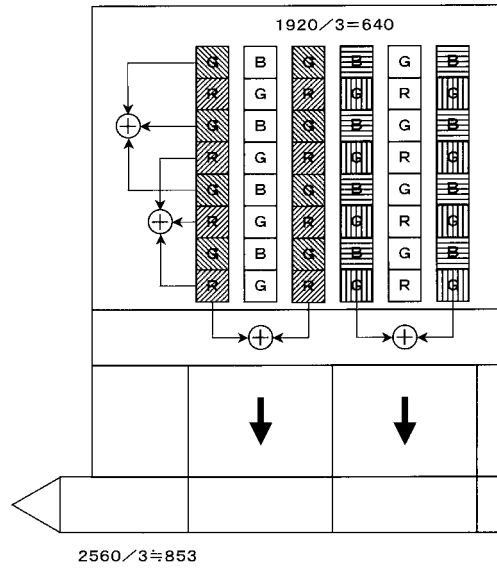
【図 3】



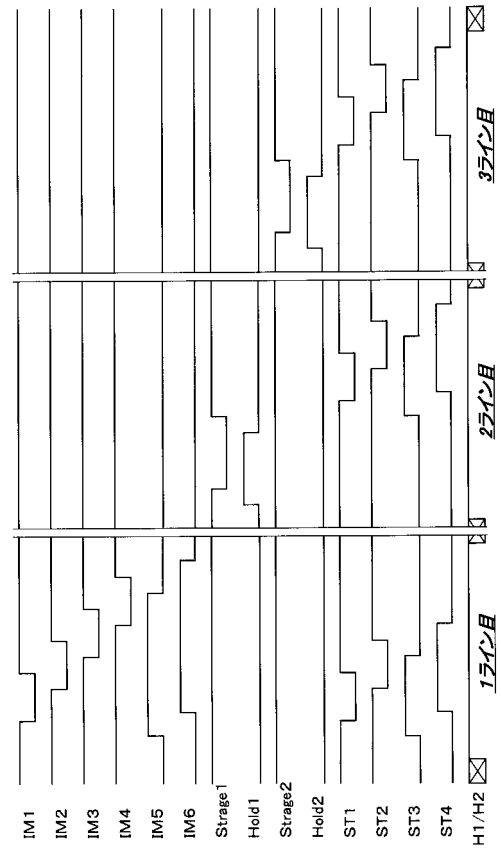
【図 4】



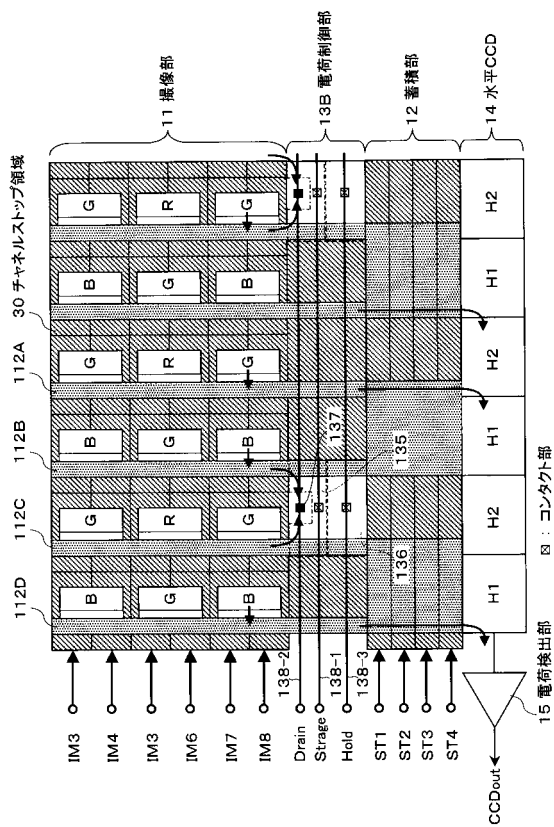
【図 5】



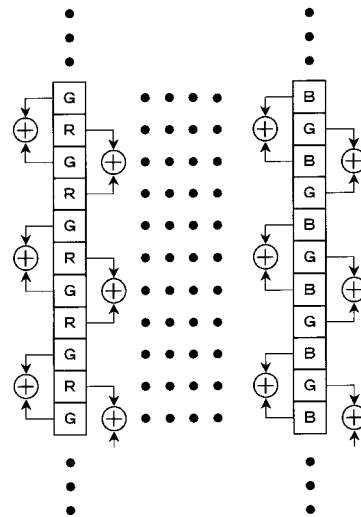
【図 6】



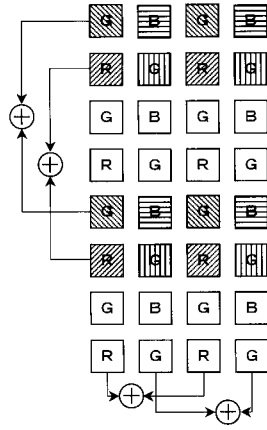
【図 7】



【図 8】



【図 13】



フロントページの続き

- (56)参考文献 特開平11-234688 (JP, A)
特開2001-111026 (JP, A)
特開2002-043559 (JP, A)
特開2000-138943 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/335
H01L 21/339
H01L 27/14
H01L 27/146-27/148
H01L 29/762