



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I420525 B

(45)公告日：中華民國 102 (2013) 年 12 月 21 日

(21)申請案號：098124578

(22)申請日：中華民國 98 (2009) 年 07 月 21 日

(51)Int. Cl. : *G11C11/4193(2006.01)*

(30)優先權：2009/04/14 南韓

10-2009-0032315

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：慎允宰 SHIN, YOON-JAE (KR)；金東槿 KIM, DONG-KEUN (KR)

(74)代理人：賴安國；李政憲；王立成

(56)參考文獻：

US 6094374

US 7210012B2

US 2008/0123389A1

US 2008/0157827A1

US 2009/0016100A1

US 2009/0043973A1

審查人員：蕭明椿

申請專利範圍項數：32 項 圖式數：4 共 0 頁

(54)名稱

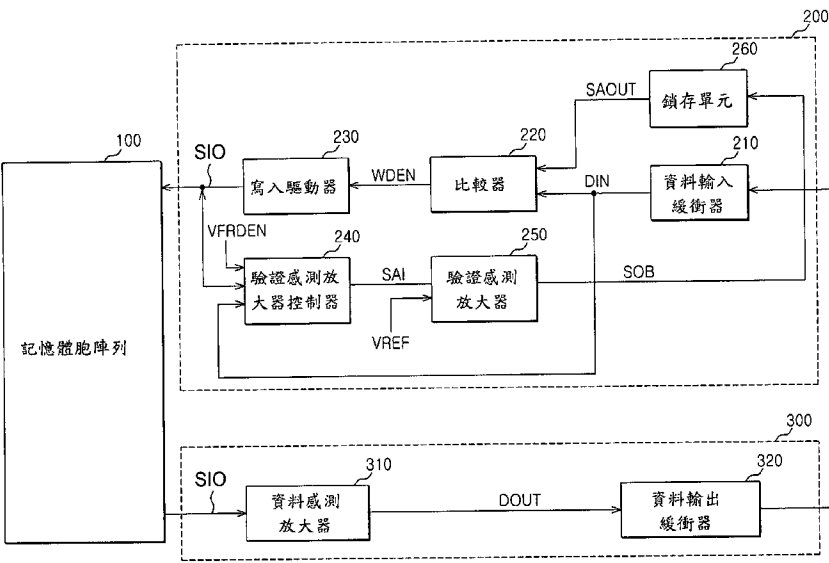
非揮發性半導體記憶體電路

NON-VOLATILE SEMICONDUCTOR MEMORY CIRCUIT

(57)摘要

本文揭示一種非揮發性半導體記憶體電路。該非揮發性半導體記憶體電路包含：一記憶體胞陣列；以及一驗證感測放大器控制器，其被配置成相依據輸入資料的位準來控制接收外部輸入資料的切換裝置，致使藉由比較該輸入資料和被寫入該記憶體胞陣列中之胞資料來控制寫入作業時改變分布電壓，從而提供胞資料。

Disclosed is a non-volatile semiconductor memory circuit. The non-volatile semiconductor memory circuit a memory cell array, and a verification sense amplifier controller configured to control switching devices, which receive external input data, depending on a level of the input data such that distribution voltage is changed when controlling a write operation by comparing the input data with cell data written in the memory cell array, thereby providing cell data.



第二圖

- 100 . . . 記憶體胞陣列
- 200 . . . 寫入控制器
- 210 . . . 資料輸入緩衝器
- 220 . . . 比較器
- 230 . . . 寫入驅動器
- 240 . . . 驗證感測放大器控制器
- 250 . . . 驗證感測放大器
- 260 . . . 鎖存單元
- 300 . . . 讀取控制器
- 310 . . . 資料感測放大器
- 320 . . . 資料輸出緩衝器
- DQ . . . 輸入/輸出觸墊

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98 1245 78

※ 申請日：98. 7. 21

※IPC 分類：G11C11/419 (2006.01)

一、發明名稱：(中文/英文)

非揮發性半導體記憶體電路 / NON-VOLATILE SEMICONDUCTOR
MEMORY CIRCUIT

二、中文發明摘要：

本文揭示一種非揮發性半導體記憶體電路。該非揮發性半導體記憶體電路包含：一記憶體胞陣列；以及一驗證感測放大器控制器，其被配置成相依據輸入資料的位準來控制接收外部輸入資料的切換裝置，致使藉由比較該輸入資料和被寫入該記憶體胞陣列中之胞資料來控制寫入作業時改變分布電壓，從而提供胞資料。

三、英文發明摘要：

Disclosed is a non-volatile semiconductor memory circuit. The non-volatile semiconductor memory circuit a memory cell array, and a verification sense amplifier controller configured to control switching devices, which receive external input data, depending on a level of the input data such that distribution voltage is changed when controlling a write operation by

comparing the input data with cell data written in the memory cell array, thereby providing cell data.

四、指定代表圖：

(一) 本案指定代表圖為：第 (二) 圖。

(二) 本代表圖之元件符號簡單說明：

100	記憶體胞陣列
200	寫入控制器
210	資料輸入緩衝器
220	比較器
230	寫入驅動器
240	驗證感測放大器控制器
250	驗證感測放大器
260	鎖存單元
300	讀取控制器
310	資料感測放大器
320	資料輸出緩衝器
DQ	輸入/輸出觸墊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本文所述之具體實施例關於一種非揮發性半導體記憶體電路。更明確地說，本文所述之具體實施例關於能夠改良一讀取邊際的一種非揮發性半導體記憶體電路。

【先前技術】

近來，相變隨機存取記憶體 (PRAM, “phase change random access memory”) 已經成為眾人矚目的非揮發性記憶體。詳細言之，PRAM 雖然為非揮發性；不過，PRAM 允許進行隨機資料存取，所以，PRAM 不斷地被人研究與開發。據此，PRAM 被應用在各種半導體系統與半導體記憶體裝置。

PRAM 中的一單元胞包含連接一字組線的一電晶體胞及連接一位元線的一可變電阻器，例如鍺銻碲化物 (GST, “germanium antimony telluride”)。GST 係一相變材料，例如，具有一薄厚度的硫屬簇合物（舉例來說， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ）合金。另外，GST 在一非晶狀態有高阻值而在一結晶狀態有低阻值。所以，PRAM 能夠依據 GST 中的阻值差異而藉由使用 GST 的兩種物理狀態於一記憶胞中儲存資料。

第一圖為 PRAM 資料的電壓分布圖。

參考第一圖，於一單一位準胞的情況中，資料可依據讀取作業的感測電壓（舉例來說，單一參考電壓「VREF」）被分為兩種類型。詳細言之，倘若資料可在參考電壓

「VREF」處被讀取的話，該資料可稱為重置狀態資料，也就是，資料「1」。然而，倘若資料無法在參考電壓「VREF」處被讀取的話，該資料可稱為設定狀態資料，也就是，資料「0」。就阻值來說，倘若 GST 有高阻值的話，該資料代表資料「1」。不過，倘若 GST 有低阻值的話，該資料則代表資料「0」。

PRAM 中 GST 的相位會因外部電脈衝所造成的焦耳熱量而改變。PRAM 中 GST 的相位可以利用電脈衝來控制，此方法稱為「設定/重置」操作。

如上述，當 GST 的資料的狀態因脈衝電流造成的熱量而受控時，倘若出現熱量變化的話，GST 的電阻係數便會改變。因此，每一個記憶體胞的阻值會分散在廣大範圍中，所以，結晶狀態與非結晶狀態之間的讀取邊際可能會縮小，導致 PRAM 胞的可靠度變差。

【發明內容】

本文說明可由能夠改良一讀取邊際的一非揮發性半導體記憶體電路組成的一種相變記憶體裝置。

根據一態樣，一種非揮發性半導體記憶體電路包含：一記憶體胞陣列；以及一驗證感測放大器控制器，其被配置成相依據輸入資料的位準來控制接收外部輸入資料的切換裝置，致使藉由比較該輸入資料和被寫入該記憶體胞陣列中之胞資料來控制寫入作業時改變分布電壓，從而提供胞資料，其中，該等切換裝置根據該輸入資料的位準而被

相異選定。

根據另一態樣，一種非揮發性半導體記憶體電路包含：一記憶體胞陣列，其包含一相變隨機存取記憶體(PRAM)胞；一驗證感測放大器控制器，其被配置成調整來自與該記憶體胞陣列相連的輸入/輸出線之電壓的預設電壓，從而提供胞資料；以及一驗證感測放大器，其被配置成感測該胞資料的位準，該胞資料的位準會依據在寫入模式中被施加至該記憶體胞的電流而改變。該驗證感測放大器控制器的預設電壓的電壓分布速率係根據外部輸入資料的位準直接進行調整。

根據另一態樣，一種非揮發性半導體記憶體電路包含：一記憶體胞陣列；以及一寫入控制器，其被配置成比較外部輸入資料與感測資料並在依據充當目標位準的外部輸入資料位準來改變被寫入該記憶體胞陣列中的胞資料的輸入低電壓與輸入高電壓時驗證該輸入資料與感測資料。

根據另一態樣，一種非揮發性半導體記憶體電路包含：一記憶體胞陣列；以及一寫入控制器，其被配置成藉由比較外部輸入資料和被寫入記憶體胞陣列中的胞資料來控制寫入作業時藉由依據該輸入資料的位準來調整分布電壓以便改變胞資料的電壓。

下文會在「實施方式」段落中說明前述與其它特點、態樣及具體實施例。

【實施方式】

根據本發明一具體實施例的非揮發性半導體記憶體電路，電流的數額係依據資料的設定狀態與重置狀態而受到控制，因此，設定狀態與重置狀態之間的區段會被擴大而改良讀取邊際。因此，可以改良非揮發性半導體記憶體電路的可靠度。

第二圖為根據本發明一具體實施例一非揮發性半導體記憶體電路一範例結構之一方塊圖。

參考第二圖，該非揮發性半導體記憶體電路可能包含一記憶體胞陣列 100，一寫入控制器 200 及一讀取控制器 300。

記憶體胞陣列 100 可能包含複數個 PRAM 胞。每一個 PRAM 胞可能包含與一字組線（未顯示）相連的一切換裝置（舉例來說，二極體）及與一位元線（未顯示）相連的一 GST。

於可讓 PRAM 胞處於重置或設定狀態中的寫入作業中，寫入電流必須被施加至該 PRAM 胞維持一段長時間（舉例來說，100ns）。另外，當電流同時被施加至一多位元胞時，便會需要大量的電流。近來，有人嘗試新的寫入作業，以便在寫入作業期間減少電流消耗。舉例來說，當實施寫入作業時，預設數額的寫入電流（由寫入電壓脈衝所造成）會被施加至一記憶體胞，且該寫入電流的數額會根據資料是否已被寫入而減少或增加。詳細言之，當實施寫入作業時，一預設胞的資料會被讀取，並且會在驗證該讀取資料是否和要被寫入的資料相符之後提供該寫入電流。上面程

序會反覆進行。如上述，該寫入作業中讀取資料的作業稱為「驗證讀取作業」。根據本發明，現在將說明在寫入模式中實施該「驗證讀取作業」的非揮發性半導體記憶體電路。

根據本發明一具體實施例的寫入控制器 200 可被配置成藉由改變寫入電流的數額而根據要被寫入的資料（也就是，輸入資料「DIN」）來提供寫入電流給 PRAM 胞，從而控制該 PRAM 胞的阻值分布。

首先，寫入控制器 200 的一資料輸入緩衝器 210 可被配置成緩衝由一外部輸入/輸出觸墊 DQ 處提供的資料，以便提供輸入資料「DIN」。

該寫入控制器 200 的一比較器 220 可被配置成比較輸入資料「DIN」和寫入控制器 200 之一鎖存單元 260 的輸出訊號（也就是，感測放大器輸出訊號「SAOUT」），從而提供寫入驅動訊號「WDEN」。鎖存單元 260 可被配置成鎖存感測資料「SOB」，其為寫入控制器 200 之驗證感測放大器 250 的輸出訊號。更詳細言之，比較器 220 可被配置成比較輸入資料「DIN」（其將被寫入記憶體胞陣列 100 之中）和讀取自該驗證感測放大器 250 的感測資料「SOB」，從而判斷是否驅動寫入控制器 200 的寫入驅動器 230。也就是，倘若輸入資料「DIN」的位準和感測資料「SOB」的位準相符的話，比較器 220 會提供被取消的寫入驅動訊號「WDEN」。而，倘若輸入資料「DIN」的位準和感測資料「SOB」的位準不符的話，比較器 220 則會提供被啟動的寫入驅動訊號「WDEN」。

寫入驅動器 230 可被配置成將輸入資料「DIN」載入輸入/輸出線「SIO」，致使該輸入資料「DIN」可被寫入記憶體胞陣列 100 之中。寫入驅動器 230 會回應於被啟動的寫入驅動訊號「WDEN」而被驅動。當收到被取消的寫入驅動訊號「WDEN」時，寫入驅動器 230 則不會被驅動。於此情況中，驗證感測放大器控制器 240 與驗證感測放大器 250 會被取消。寫入驅動器 230 可被配置成施加電流至記憶體胞陣列 100。詳細言之，寫入驅動器 230 可能施加恆定電壓給記憶體胞陣列 100；或者可能先施加預設電壓給記憶體胞陣列 100，接著提高或降低電壓。不過，本發明並不限於此。為達方便的目的，寫入驅動器 230 會經由正常遞增步進脈衝程式化(ISPP)來施加電壓。舉例來說，寫入驅動器 230 的電壓脈衝步進可能約 0.1V。

明確地說，根據本發明一具體實施例的驗證感測放大器控制器 240 可被配置成藉由於寫入驅動器 230 要被啟動時，根據輸入資料「DIN」來改變要提供給記憶體胞陣列 100 的寫入電流的數額以改變胞資料「SAI」的位準。驗證感測放大器控制器 240 可被配置成接收輸入/輸出線「SIO」的資料、驗證讀取訊號「VFRDEN」以及輸入資料「DIN」，以便提供胞資料「SAI」。稍後將詳細說明驗證感測放大器控制器 240。

驗證感測放大器 250 可被配置成利用感測參考電壓「VREF」（其係作為讀取作業的參考電壓）來放大該胞資料「SAI」的電壓，用以提供感測資料「SOB」。

更詳細言之，當寫入電流被施加至一預設記憶體胞時，驗證感測放大器 250 能夠藉由偵測依據被提供給該預設記憶體胞的直通電流而改變電壓的位準（也就是，胞資料「SAI」）來提供感測資料「SOB」。

就感測參考電壓「VREF」和胞資料「SAI」之間的關係來說，感測參考電壓「VREF」的位準會被設為在重置狀態中低於該胞資料「SAI」的位準。另外，感測參考電壓「VREF」的位準會被設為在設定狀態中高於該胞資料「SAI」的位準。因此，驗證感測放大器 250 可能會在重置狀態中放大該胞資料「SAI」，以便輸出具有高電壓位準的感測資料「SOB」。另外，驗證感測放大器 250 可能會在設定狀態中放大該胞資料「SAI」，以便輸出具有低電壓位準的感測資料「SOB」。

和先前技術不同的係，驗證感測放大器 250 會回應於驗證感測放大器控制器 240 的輸出，致使驗證感測放大器 250 能夠放大電壓（也就是，胞資料「SAI」），其係由實際被寫入記憶體胞陣列 100 中的資料（舉例來說，SIO 電壓位準）改變而來的，從而提供感測資料「SOB」。「被改變的資料」一詞代表當評估實際被寫入記憶體胞陣列 100 中的資料時受到最差狀況影響的資料。根據本發明一具體實施例的驗證感測放大器 250 能夠在嚴謹的條件下藉由使用該胞資料「SAI」來提供具有更明確位準的感測資料「SOB」。

讀取控制器 300 係一普通的讀取電路且可能包含一資

料感測放大器 310 與一資料輸出緩衝器 320。

資料感測放大器 310 可被配置成感測一訊號，其會在從該記憶體胞陣列 100 處被讀取之後載入輸入/輸出線「SIO」上，用以提供輸出資料「DOUT」。

資料輸出緩衝器 320 可被配置成緩衝該輸出資料「DOUT」，用以讓外部輸入/輸出觸墊 DQ 具備輸出資料「DOUT」。為達方便的目的，圖中所示的寫入控制器 200 與讀取控制器 300 的輸入/輸出線「SIO」使用分離的線路。不過，該等輸入/輸出線「SIO」亦可能為共同的輸入/輸出線。

如上述，和普通的非揮發性半導體記憶體電路不同的是，根據本發明一具體實施例的非揮發性半導體記憶體電路能夠依據輸入資料「DIN」來嚴謹地管控驗證感測放大器 250 的條件，致使阻值分布可以在預設的區段中於設定狀態與重置狀態之間改變。

第三圖為第二圖中的感測放大器控制器的細部電路圖。

參考第三圖，驗證感測放大器控制器 240 可能包含一分壓器 242 與一胞資料偵測器 244。

分壓器 242 可被配置成相依據輸入資料「DIN」的位準來提供彼此數值不同的全域感測電壓「VSAILD」。詳細言之，分壓器 242 可藉由考量要被寫入的來源資料（也就是，輸入資料「DIN」的位準）來提供具有新位準的全域感測電壓「VSAILD」。也就是，倘若輸入資料「DIN」為設定狀

態資料的話，分壓器 242 會讓全域感測電壓「VSAILD」的位準低於剛開始被預充電的位準。另外，倘若輸入資料「DIN」為重置狀態資料的話，分壓器 242 會讓全域感測電壓「VSAILD」的位準高於剛開始被預充電的位準。

分壓器 242 可能包含第一與第二 NMOS 電晶體 NM1 與 NM2，一第一 PMOS 電晶體 PM1，它們係充當切換裝置；以及複數個電阻器 R1 至 R4，它們係充當阻抗裝置。包含該阻抗裝置的分壓器 242 能夠穩定地提供電壓，因為分壓器 242 不會受到溫度變化和歪斜變化的影響。另外，分壓器 242 係以一對一的方式被提供給每一個輸入/輸出觸墊 DQ。據此，當相同的輸入/輸出觸墊 DQ 需要用到數個感測放大器時，通常僅會用到一個分壓器 242，因而可以減少因製程變化所造成的變異且不需要額外的面積。因此，可以改良面積效率。

詳細言之，彼此串聯的第一與第二電阻器 R1 與 R2 係以分壓器 242 的輸出節點「b」為基準反向於彼此串聯的第三與第四電阻器 R3 與 R4 被設置。第一電阻器 R1 係以節點「a」為基準反向於第二電阻器 R2 被設置，而第三電阻器 R3 係以節點「c」為基準反向於第四電阻器 R4 被設置。第一電阻器 R1 係被提供在感測放大器供應電壓「VPPSA」和第二電阻器 R2 之間。

第一 NMOS 電晶體 NM1 可能包含一閘極，其會接收輸入資料「DIN」；與節點「a」相連的一源極；以及與節點「b」相連的一汲極。

第一 PMOS 電晶體 PM1 可能包含一閘極，其會接收輸入資料「DIN」；與節點「c」相連的一源極；以及與節點「d」相連的一汲極。

根據上面配置，電流可根據第一 NMOS 電晶體 NM1 的啟動而透過充當阻抗裝置的第二電阻器 R2 或是充當切換裝置的第一 NMOS 電晶體 NM1 從節點「a」被提供至節點「b」。同樣地，電流可根據第一 PMOS 電晶體 PM1 的啟動而透過充當阻抗裝置的第四電阻器 R4 或是充當切換裝置的第一 PMOS 電晶體 PM1 從節點「c」被提供至節點「d」。

第二 NMOS 電晶體 NM2 可能包含一閘極，其係接收驗證讀取訊號「VFRDEN」；與節點「d」相連的一源極；以及與接地電壓「VSS」相連的一汲極。驗證讀取訊號「VFRDEN」會回應於一行主訊號（未顯示）在寫入作業期間被啟動。倘若驗證讀取訊號「VFRDEN」係在寫入作業期間被啟動一致能訊號的話，驗證讀取訊號「VFRDEN」便符合本發明的範疇。

胞資料偵測器 244 可被配置成回應於全域感測電壓「VSAILD」來轉換被施加至輸入/輸出線「SIO」的電流以提供該胞資料「SAI」。明確地說，根據本發明一具體實施例的胞資料偵測器 244 能夠依據全域感測電壓「VSAILD」的位準來改變電流的數額，從而提供電壓位準會依據電流數額改變的胞資料「SAI」。

胞資料偵測器 244 可能包含一第二 PMOS 電晶體 PM2 與一第三 NMOS 電晶體 NM3。

第二 PMOS 電晶體 PM2 可能包含一閘極，其會接收全域感測電壓「VSAILD」；一源極，其會接收感測放大器供應電壓「VPPSA」；以及與節點「e」相連的一汲極。

第三 NMOS 電晶體 NM3 可能包含一閘極，其會接收鉗止電壓「CLMBL」；與節點「e」相連的一源極；以及與輸入/輸出線「SIO」相連的一汲極。

第三 NMOS 電晶體 NM3 可控制輸入/輸出線「SIO」和另一電路（未顯示）之間的電連接。另外，第三 NMOS 電晶體 NM3 會回應於在讀取作業期間被啟動的鉗止電壓「CLMBL」而被導通。

下文將說明驗證感測放大器控制器 240 的操作。

首先說明的情況係驗證讀取訊號「VFRDEN」被啟動且輸入資料「DIN」在設定狀態中，也就是，輸入資料「DIN」具有低位準。

倘若收到具有低位準的輸入資料「DIN」的話，第一 PMOS 電晶體 PM1 便會導通。因此，電流會透過第一至第三電阻器 R1 至 R3 及作為切換裝置的第一 PMOS 電晶體 PM1 被施加。一般來說，該切換裝置的阻值可以忽略，因為阻值非常的低。於此情況中，全域感測電壓「VSAILD」會除以第一至第三電阻器 R1 至 R3 且可利用下面公式 1 來算出。

[公式 1]

$$\text{全域感測電壓(VSAILD)} = \left(\frac{R3}{R1 + R2 + R3} \right) * VPPSA$$

在初始讀取作業期間，當全域感測電壓「VSAILD」為約 1.8V 時，倘若輸入資料「DIN」具有低位準的話，第一至第三電阻器 R1 至 R3 的數值會被設為讓全域感測電壓「VSAILD」小於約 1.8V。因此，第二 PMOS 電晶體 PM2 能夠回應於位準低於預設位準的全域感測電壓「VSAILD」來供應較大數額的寫入電流流過輸入/輸出線「SIO」，致使該胞資料「SAI」的位準高於該預設位準。

輸入資料「DIN」於設定狀態中係在低阻值，所以，要被寫入的一節點的電壓(SAI)會變得很小。根據相關技術，設定狀態的輸入資料「DIN」可能會在低於必須被實際寫入資料位準的位準處被寫入。

不過，根據本發明一具體實施例，設定狀態中的輸入資料「DIN」能夠藉由提高被施加至第二圖之記憶體胞陣列 100 的電流的數額而提高胞資料「SAI」的位準。

[公式 2]

$$V = IR$$

在公式 2 中，V 表示胞資料「SAI」的位準，I 為寫入電流而 R 為阻值。

從公式 2 中可以看出，倘若寫入電流的數額高於初始設定的電流數額的話，胞資料「SAI」的位準便會提高。因此，倘若胞資料「SAI」經調制使得能夠提高胞資料「SAI」的位準的話，便可以升級設定資料的寫入條件。

相反地，接著說明的情況係驗證讀取訊號「VFRDEN」被啟動且輸入資料「DIN」在重置狀態中，也就是，輸入資

料「DIN」具有高位準。

倘若收到具有高位準的輸入資料「DIN」的話，第一 NMOS 電晶體 NM1 便會導通。因此，電流會透過第一電阻器 R1，作為切換裝置的第一 NMOS 電晶體 NM1，以及第三與第四電阻器 R3 與 R4 被施加。於此情況中，全域感測電壓「VSAILD」會除以第一、及第三與第四電阻器 R1、R3 與 R4 且可利用下面公式 3 來算出。

[公式 3]

$$\text{全域感測電壓(VSAILD)} = \left(\frac{R3 + R4}{R1 + R3 + R4} \right) * VPPSA$$

在初始讀取作業期間，當全域感測電壓「VSAILD」為約 1.8V 時，倘若輸入資料「DIN」具有高位準的話，全域感測電壓「VSAILD」的位準會高於該預設位準。

因此，第二 PMOS 電晶體 PM2 能夠回應於位準高於預設位準的全域感測電壓「VSAILD」來供應較小數額的寫入電流流過輸入/輸出線「SIO」，致使胞資料「SAI」的位準高於該預設位準。

輸入資料「DIN」於重置狀態中係在高阻值，所以，要被寫入一節點的電壓(SAI)會變得很大。根據相關技術，重置狀態的輸入資料「DIN」可能會在高於必須被實際寫入的資料之最小位準的位準處被寫入。

不過，根據本發明一具體實施例，於輸入資料「DIN」在重置狀態的情況中，藉由減少被施加至第二圖之記憶體

胞陣列 100 的電流的數額便會降低胞資料「SAI」的位準，使得重置資料無法輕易地被寫入。

接著，第二圖的驗證感測放大器 250 會感測具有已升級位準的胞資料「SAI」，用以提供感測資料「SOB」。倘若驗證感測放大器 250 接收且感測到具有最糟位準的資料要被寫入的話，便不可能會提供具有不清楚位準的感測資料「SOB」。

根據相關技術會出現一重疊區段，因為在驗證感測放大器 250 參考電壓「VREF」附近的電壓範圍處設定資料和重置資料會一起存在。因此，當在參考電壓「VREF」處讀取資料時，可能無法區分該資料的設定與重置狀態，使得會損及資料可靠度。

不過，根據本發明一具體實施例，驗證感測放大器 250 的參考電壓「VREF」係恆定的，但是要感測的胞資料「SAI」的位準卻具有劇烈變動的位準。

詳細言之，驗證感測放大器控制器 240 能夠依照輸入資料「DIN」的位準來改變被輸入至驗證感測放大器 250 胞資料「SAI」的輸入低電壓 V_{IL} 與輸入高電壓 V_{IH} 。因此，驗證感測放大器 250 會收到具有輸入低電壓 V_{IL} 與輸入高電壓 V_{IH} 的胞資料「SAI」，其會相依據輸入資料「DIN」的位準而改變。結果是，驗證感測放大器 250 能夠感測和參考電壓「VREF」具有預設電壓差的胞資料「SAI」，其不同於相關技術，致使能夠清楚地區分從驗證感測放大器 250 處輸出的感測資料「SOB」的位準。

第四圖為根據第二圖與第三圖的資料的阻值分布圖。

參考第四圖，X 軸代表阻值而 Y 軸代表胞的數量。

虛線「a」代表根據相關技術的設定資料狀態與重置資料狀態。從「a」中可以看出，設定狀態中的阻值很低且呈現一鐘形常態分布，重置狀態中的阻值很低且呈現鐘形常態分布。另外，設定資料狀態與重置資料狀態之間的讀取邊際「 $\Delta M1$ 」很小，所以，可能無法輕易地區分設定資料與重置資料。

不過，根據本發明一具體實施例，會依照設定資料與重置資料來強化寫入條件，且資料係在反覆驗證之後被寫入。因此，相較於相關技術，由實線「b」來表示的設定資料狀態與重置資料狀態已經被移動。

詳細言之，於設定資料的情況中，胞資料「SAI」的電壓會提高，使得設定資料無法輕易地被寫入。於重置資料的情況中，胞資料「SAI」的電壓會下降，使得重置資料無法輕易地被寫入。從「b」中可以看出，相較於相關技術，設定資料的最大阻值可能會下降而重置資料的最小阻值可能會提高。

因此，根據本發明具體實施例介於設定資料與重置資料之間的讀取邊際「 $\Delta M2$ 」大於相關技術。結果是，不會出現無法清楚區分的區段，從而改良可靠度。

上面已說明特定的具體實施例，應該瞭解的係，本文所述之具體實施例僅為範例。據此，本文所述之系統與方法並不限於所述之具體實施例。確切地說，本文所述之

系統與方法僅受限於配合上面說明與附圖之後面的申請專利範圍。

【圖式簡單說明】

從上面的詳細說明，配合附圖，會更清楚瞭解本發明標的的上述與其它態樣、特點及其它優點，其中：

第一圖為一般相變記憶體胞的電壓分布圖；

第二圖為根據本發明一具體實施例一非揮發性半導體記憶體電路一範例結構之一方塊圖；

第三圖為顯示第二圖中的感測放大器控制器的範例結構之一電路圖；以及

第四圖為根據第二圖與第三圖之相變記憶體胞的阻值分布圖。

【主要元件符號說明】

100	記憶體胞陣列
200	寫入控制器
210	資料輸入緩衝器
220	比較器
230	寫入驅動器
240	驗證感測放大器控制器
242	分壓器
244	胞資料偵測器
250	驗證感測放大器

260	鎖存單元
300	讀取控制器
310	資料感測放大器
320	資料輸出緩衝器
R1	電阻器
R2	電阻器
R3	電阻器
R4	電阻器
NM1	NMOS 電晶體
NM2	NMOS 電晶體
NM3	NMOS 電晶體
PM1	PMOS 電晶體
PM2	PMOS 電晶體
VPPSA	感測放大器供應電壓
VSS	接地電壓
a	節點
b	節點
c	節點
d	節點
e	節點
DQ	輸入/輸出觸墊

七、申請專利範圍：

1. 一種非揮發性半導體記憶體電路，其包括：

一記憶體胞陣列；以及

一驗證感測放大器控制器，其被配置成依據輸入資料的位準來控制接收外部輸入資料的切換裝置，致使藉由比較該輸入資料和被寫入該記憶體胞陣列中之胞資料來控制寫入作業時改變分布電壓，從而提供胞資料，

其中，該等切換裝置會根據該輸入資料的位準而被相異選定。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶體電路，其中，該驗證感測放大器控制器包含：

一分壓器，其被配置成依據該輸入資料的位準來提供彼此具有不同位準的全域感測電壓；以及

一胞資料偵測器，其被配置成回應於該全域感測電壓來偵測該記憶體胞陣列之直通電流的數額，從而提供該胞資料。

3. 如申請專利範圍第 2 項之非揮發性半導體記憶體電路，其中，該分壓器包含複數個切換裝置與複數個阻抗裝置，它們係以該胞資料被輸出經過的輸出節點為基準彼此反向設置，該等切換裝置彼此串聯且該等阻抗裝置彼此串聯。

4. 如申請專利範圍第 3 項之非揮發性半導體記憶體電路，其中，該分壓器會被配置成控制一電流路徑的阻值，致使依照該輸入資料之位準而導通的切換裝置會改變。

5. 如申請專利範圍第 2 項之非揮發性半導體記憶體電路，其

中，該分壓器被配置成倘若該輸入資料處於設定狀態中則對該輸入資料進行電壓分割用以提供具有第一位準的全域感測電壓，而倘若該輸入資料處於重置狀態中則對該輸入資料進行電壓分割用以提供具有第二位準的全域感測電壓。

6. 如申請專利範圍第 5 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。

7. 如申請專利範圍第 2 項之非揮發性半導體記憶體電路，其中，該胞資料偵測器會被配置成倘若該輸入資料處於設定狀態中則提供具有第二位準的胞資料，而倘若該輸入資料處於重置狀態中則提供具有第一位準的胞資料。

8. 如申請專利範圍第 7 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。

9. 一種非揮發性半導體記憶體電路，其包括：

一記憶體胞陣列，其包含一相變隨機存取記憶體(PRAM)胞；

一驗證感測放大器控制器，其被配置成調整來自與該記憶體胞陣列相連的輸入/輸出線之電壓的預設電壓，從而提供胞資料；以及

一驗證感測放大器，其被配置成感測該胞資料的位準，該胞資料的位準會依據在寫入模式中被施加至該記憶體胞的電流而改變，其中，該驗證感測放大器控制器的預設電壓的電壓分布速率係根據外部輸入資料的位準直接進行調整。

10. 如申請專利範圍第 9 項之非揮發性半導體記憶體電路，其中，該驗證感測放大器控制器被配置成依據外部輸入資料

的位準而藉由控制從一輸入/輸出線被施加至該記憶體胞的電流數額來改變該胞資料的電壓。

11. 如申請專利範圍第 10 項之非揮發性半導體記憶體電路，其中，該驗證感測放大器控制器包含：

一分壓器，其被配置成依照輸入資料的位準來提供彼此具有不同位準的全域感測電壓；以及

一胞資料偵測器，其被配置成回應於該全域感測電壓來偵測該記憶體胞之直通電流的數額，從而提供該胞資料。

12. 如申請專利範圍第 11 項之非揮發性半導體記憶體電路，其中，該分壓器包含彼此串聯的複數個切換裝置及彼此串聯的複數個阻抗裝置。

13. 如申請專利範圍第 12 項之非揮發性半導體記憶體電路，其中，該分壓器會配置成相依據該輸入資料的位準藉由控制用於分布電壓的切換裝置來改變分布電壓。

14. 如申請專利範圍第 11 項之非揮發性半導體記憶體電路，其中，該分壓器被配置成倘若該輸入資料處於設定狀態中則對該輸入資料進行電壓分割用以提供具有第一位準的全域感測電壓，而倘若該輸入資料處於重置狀態中則對該輸入資料進行電壓分割用以提供具有第二位準的全域感測電壓。

15. 如申請專利範圍第 14 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。

16. 如申請專利範圍第 11 項之非揮發性半導體記憶體電路，其中，該胞資料偵測器包含一切換裝置，其被配置成依據該

全域感測電壓的強度來控制被驅動電流的數額。

17. 如申請專利範圍第 16 項之非揮發性半導體記憶體電路，其中，該胞資料偵測器被配置成倘若該輸入資料處於設定狀態中則對該輸入資料進行電壓分割用以提供具有第一位準的全域感測電壓，而倘若該輸入資料處於重置狀態中則對該輸入資料進行電壓分割用以提供具有第二位準的全域感測電壓。
18. 如申請專利範圍第 17 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。
19. 如申請專利範圍第 9 項之非揮發性半導體記憶體電路，其中，該驗證感測放大器會配置成依據感測參考電壓來感測該胞資料，用以提供感測資料。
20. 如申請專利範圍第 19 項之非揮發性半導體記憶體電路，其進一步包括一比較器，其被配置成藉由比較該輸入資料與該感測資料來決定寫入作業。
21. 一種非揮發性半導體記憶體電路，其包括：
 - 一記憶體胞陣列；以及
 - 一寫入控制器，其被配置成比較外部輸入資料與感測資料並在依據充當目標位準的外部輸入資料位準來改變由該記憶體胞陣列中被感測之胞資料的位準時驗證該感測資料。
22. 如申請專利範圍第 21 項之非揮發性半導體記憶體電路，其中，該寫入控制器被配置成倘若該輸入資料處於設定狀態中則相較於一預設數值來提高該胞資料的輸入低電壓，而

倘若該輸入資料處於重置狀態中則相較於一預設數值來降低該胞資料的輸入高電壓。

23. 如申請專利範圍第 21 項之非揮發性半導體記憶體電路，其中，該寫入控制器會配置成藉由利用相依據該輸入資料之位準所產生的分布電壓來控制要被提供給該記憶體胞陣列的電流之數額。

24. 如申請專利範圍第 23 項之非揮發性半導體記憶體電路，其中，該寫入控制器被配置成藉由感測依據被施加至該記憶體胞陣列的電流而改變的胞資料之位準來驗證該輸入資料是否和該胞資料相符。

25. 一種非揮發性半導體記憶體電路，其包括：

- 一記憶體胞陣列；以及

- 一寫入控制器，其被配置成在藉由比較外部輸入資料和被寫入該記憶體胞陣列中的胞資料來控制寫入作業時，藉由依據該輸入資料之位準來調整分布電壓，以便根據控制施加於記憶胞陣列之寫入電流的數額來改變胞資料的電壓。

26. 如申請專利範圍第 25 項之非揮發性半導體記憶體電路，其中，該寫入控制器包含：

- 一驗證感測放大器控制器，其被配置成藉由依據該輸入資料之位準來控制會被提供給該記憶體胞陣列的寫入電流的數額來提供該胞資料；以及

- 一驗證感測放大器，其被配置成接收該胞資料與一感測參考電壓，以便提供感測資料。

27. 如申請專利範圍第 26 項之非揮發性半導體記憶體電路，其中，該驗證感測放大器控制器包含：

一分壓器，其被配置成藉由依據輸入資料的位準來控制分布電壓的強度以提供彼此具有不同位準的全域感測電壓；以及

一胞資料偵測器，其被配置成回應於該全域感測電壓來偵測被提供給該記憶體胞陣列的電流的數額，從而提供該胞資料。

28. 如申請專利範圍第 27 項之非揮發性半導體記憶體電路，其中，該分壓器被配置成倘若該輸入資料處於設定狀態中則對該輸入資料進行電壓分割用以提供具有第一位準的全域感測電壓，而倘若該輸入資料處於重置狀態中則對該輸入資料進行電壓分割用以提供具有第二位準的全域感測電壓。

29. 如申請專利範圍第 28 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。

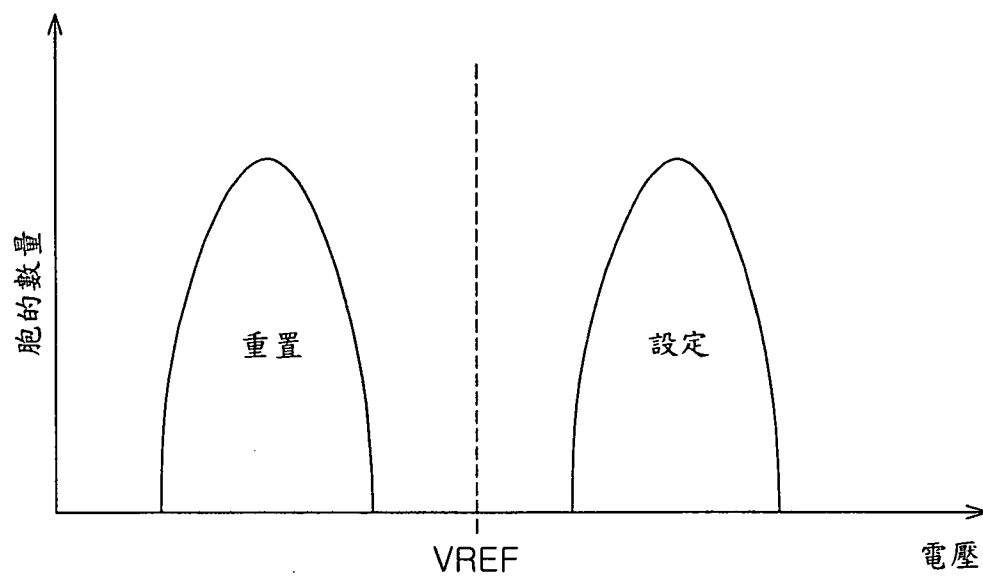
30. 如申請專利範圍第 27 項之非揮發性半導體記憶體電路，其中，該胞資料偵測器被配置成倘若該輸入資料處於設定狀態中則提供具有第二位準的胞資料，而倘若該輸入資料處於重置狀態中則提供具有第一位準的胞資料。

31. 如申請專利範圍第 30 項之非揮發性半導體記憶體電路，其中，該第一位準的電壓值小於該第二位準的電壓值。

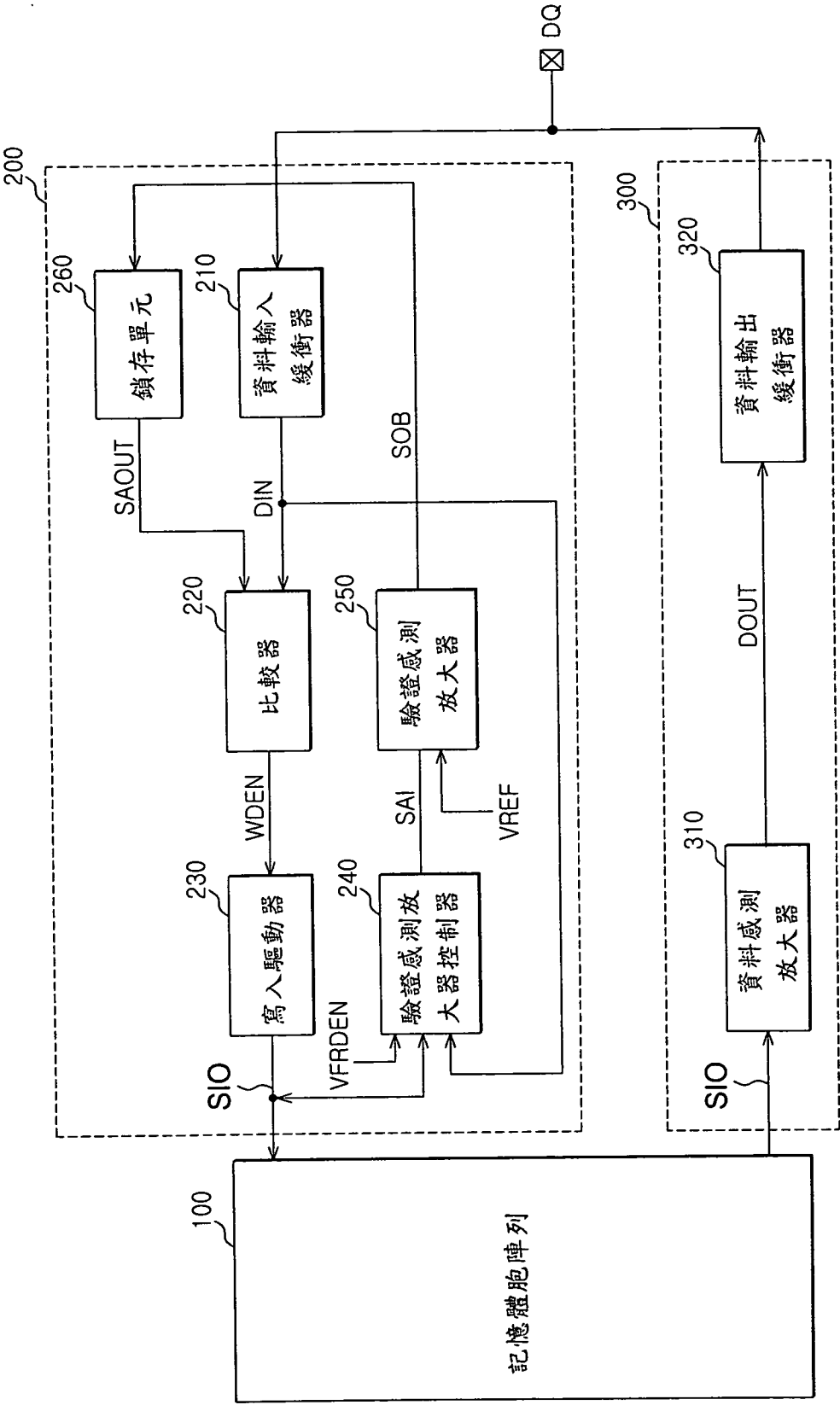
32. 如申請專利範圍第 25 項之非揮發性半導體記憶體電路，其中，該記憶體胞陣列包含一相變隨機存取記憶體(PRAM)

胞。

八、圖式：



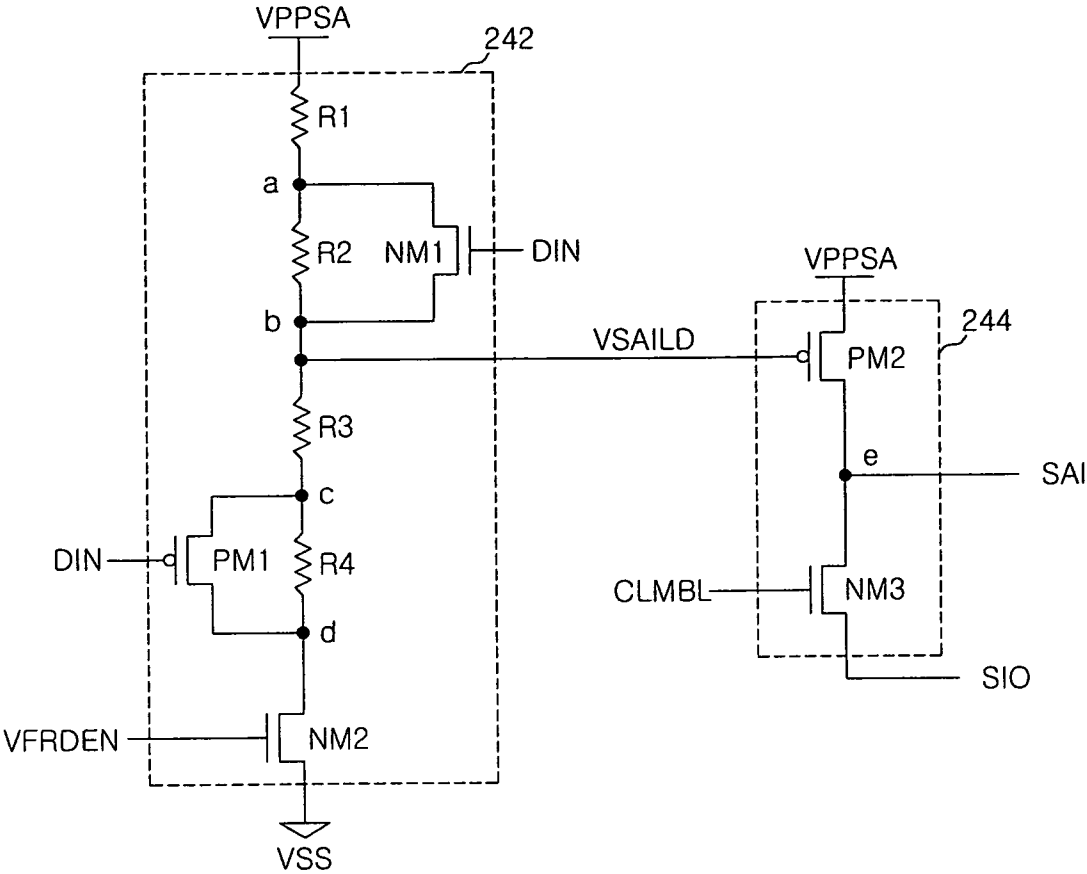
第一圖



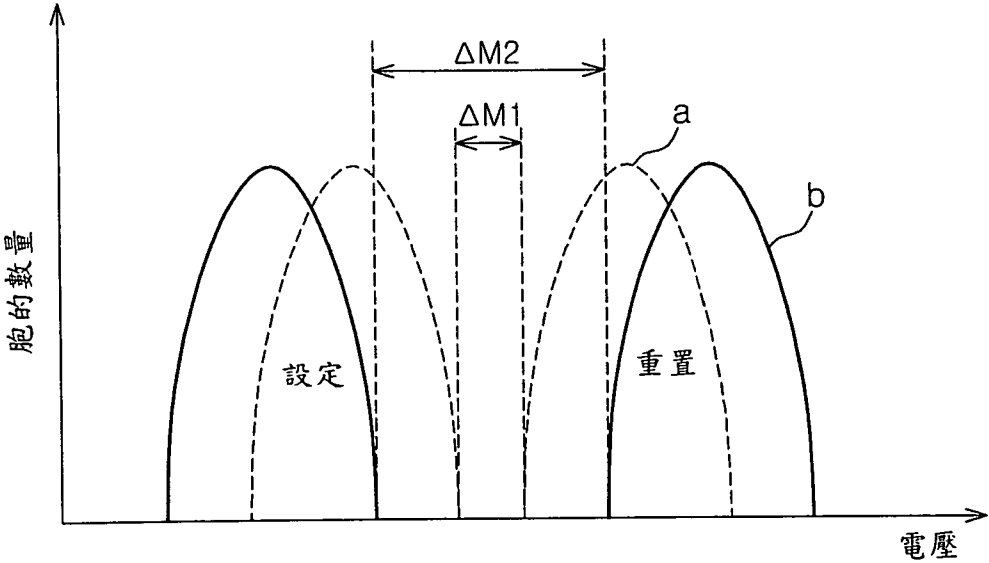
第二圖



240



第三圖



第四圖