

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年12月7日(2017.12.7)

【公開番号】特開2015-89126(P2015-89126A)

【公開日】平成27年5月7日(2015.5.7)

【年通号数】公開・登録公報2015-030

【出願番号】特願2014-217922(P2014-217922)

【国際特許分類】

H 04 B 1/10 (2006.01)

H 04 L 25/03 (2006.01)

H 03 M 1/74 (2006.01)

【F I】

H 04 B 1/10 L

H 04 L 25/03 C

H 03 M 1/74

【手続補正書】

【提出日】平成29年10月25日(2017.10.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のFET(電界効果トランジスタ)および第2のFETが差動対の構成で接続される、第1のFETおよび第2のFETを備える第1の差動増幅器と、

第1のDAC出力が前記第1のFETのバルク端子に接続される、第1のDAC出力を備える電圧モードデジタルアナログコンバータ(DAC)と、

前記DACに接続されるDAC電圧制限回路と、

を備え、

前記DAC電圧制限回路は、

前記DACの最大DAC出力電圧に等しい複製電圧を生成する複製回路と、

前記最大DAC出力電圧を制御する制御電圧を生成するフィードバック増幅器とを備え、この制御電圧は、前記複製電圧と、前記差動対の構成のテール部の電圧との差に比例する予測的決定フィードバックイコライゼーションを有する受信機。

【請求項2】

第1のFET(電界効果トランジスタ)および第2のFETが差動対の構成で接続される、第1のFETおよび第2のFETを備える第1の差動増幅器と、

第1のDAC出力が前記第1のFETのバルク端子に接続される、第1のDAC出力を備える電圧モードデジタルアナログコンバータ(DAC)と、

前記DACに接続されるDAC電圧制限回路と、

を備え、

前記DACは、

DAC抵抗器と、

複数の分岐と、

バイアス制御入力と、

を備え、

前記DAC電圧制限回路は、

前記第1の差動増幅器の共通ノードに接続される基準電圧入力と、
前記D A Cの複数の分岐のうちの一つの分岐のサイズが調節された複製を備え、且つ、
複製電圧出力を有する複製回路と、
を備える予測的決定フィードバックイコライゼーションを有する受信機。

【請求項3】

前記D A Cの複数の分岐のそれぞれは、分岐電流ソースを備えることを特徴とする請求項2に記載の受信機。

【請求項4】

前記D A Cの第1の分岐の分岐電流ソースは、第1のゲート幅を有するF E Tとして前記F E TのゲートがD A Cのバイアス制御入力に接続されるF E Tを備え、前記D A Cの複数の分岐のうちの残りの分岐の分岐電流ソースは、前記第1のゲート幅の2の累乗に増加するゲート幅を有するF E Tを備えることを特徴とする請求項3に記載の受信機。

【請求項5】

前記複製回路は、直列に接続された、電流ソース複製F E T、スイッチングトランジスタ複製F E Tおよび複製抵抗器を備えることを特徴とする請求項3に記載の受信機。

【請求項6】

前記D A Cの複数の分岐のそれぞれの分岐電流ソースはそれぞれのゲート幅を有するF E Tを備え、

前記複製抵抗器の抵抗は、kが複製サイズ調節要素であるとき、前記D A C抵抗器の抵抗のk倍であり、

前記電流ソース複製F E Tのゲート幅は、前記D A Cの複数の分岐の分岐電流ソースのゲート幅の和であることを特徴とする請求項5に記載の受信機。

【請求項7】

前記D A C電圧制限回路は、第1の入力および第2の入力を有し、前記第1の入力は複製電圧出力に接続され、前記第2の入力は基準電圧入力に接続されるフィードバック増幅器を備えることを特徴とする請求項5に記載の受信機。

【請求項8】

前記フィードバック増幅器は、前記第1の入力における電圧が前記第2の入力における電圧と実質的に等しく維持されるように構成されることを特徴とする請求項7に記載の受信機。

【請求項9】

前記フィードバック増幅器は出力を備え、前記出力は第1のバイアス制御F E Tのゲートに接続され、前記第1のバイアス制御F E Tは第2のバイアス制御F E Tと直列に接続され、前記第2のバイアス制御F E Tはダイオード接続されることを特徴とする請求項8に記載の受信機。

【請求項10】

前記第2のバイアス制御F E Tは電流ミラーにおいて基準装置として作動するように構成され、前記電流ソース複製F E Tおよび前記D A Cの分岐電流ソースのF E Tは電流ミラーにおけるミラー装置であることを特徴とする請求項9に記載の受信機。

【請求項11】

前記第1の差動増幅器の前記第1のF E Tおよび前記第2のF E Tはn-チャンネルF E Tであり、

前記第1のF E Tのソースは前記第1の差動増幅器の共通ノードに接続され、
前記第2のF E Tのソースは前記第1の差動増幅器の共通ノードに接続されることを特徴とする請求項10に記載の受信機。

【請求項12】

前記D A Cは第1のD A C出力および第2のD A C出力を備える差動D A Cであり、前記第2のD A C出力は前記第2のF E Tのバルク端子に接続されることを特徴とする請求項2に記載の受信機。

【請求項13】

前記 D A C の複数の分岐のそれぞれは、分岐電流ソースを備えることを特徴とする請求項 1 2 に記載の受信機。

【請求項 1 4】

前記 D A C の第 1 の分岐の前記分岐電流ソースは、第 1 のゲート幅を有する F E T として前記 F E T のゲートが前記 D A C のバイアス制御入力に接続される F E T を備え、前記 D A C の複数の分岐のうちの残りの分岐の分岐電流ソースは、前記第 1 のゲート幅の 2 の累乗で増加するゲート幅を有する F E T を備えることを特徴とする請求項 1 3 に記載の受信機。

【請求項 1 5】

前記複製回路は、直列に接続された、電流ソース複製 F E Tと、スイッチングトランジスタ複製 F E Tおよび複製抵抗器を備えることを特徴とする請求項 1 3 に記載の受信機。

【請求項 1 6】

前記 D A C の複数の分岐のそれぞれの分岐電流ソースは、それぞれのゲート幅を有する F E T を備え、

前記複製抵抗器の抵抗は、 k が複製サイズ調節要素であるとき、前記 D A C 抵抗器の抵抗の k 倍であり、

前記電流ソース複製 F E T のゲート幅は、前記 D A C の複数の分岐の分岐電流ソースのゲート幅の和であることを特徴とする請求項 1 5 に記載の受信機。

【請求項 1 7】

前記 D A C 電圧制限回路は第 1 の入力および第 2 の入力を有し、前記第 1 の入力は複製電圧出力に接続され、前記第 2 の入力は基準電圧入力に接続されるフィードバック增幅器を備えることを特徴とする請求項 1 5 に記載の受信機。

【請求項 1 8】

前記フィードバック增幅器は増幅器出力を備え、前記増幅器出力は第 1 のバイアス制御 F E T のゲートに接続され、前記第 1 のバイアス制御 F E T は第 2 のバイアス制御 F E T と直列に接続され、前記第 2 のバイアス制御 F E T はダイオード接続されることを特徴とする請求項 1 7 に記載の受信機。

【請求項 1 9】

第 1 の F E T および第 2 の F E T を備える第 2 の差動増幅器をさらに備え、前記第 2 の差動増幅器における前記第 1 の F E T および第 2 の F E T は異なる対の構成で接続されることを特徴とする請求項 1 2 に記載の受信機。

【請求項 2 0】

前記第 1 の D A C 出力は、前記第 2 の差動増幅器の第 2 の F E T のバルク端子に接続され、前記第 2 の D A C 出力は、前記第 2 の差動増幅器の第 1 の F E T のバルク端子に接続されることを特徴とする請求項 1 9 に記載の受信機。

【請求項 2 1】

デジタル出力を備えるタイミングコントローラと、

I C 入力、及び、 請求項 1 に記載の受信機を備えるドライバ集積回路 I C と、
を備え、

前記受信機の受信機入力が、前記 I C 入力に接続され、

前記タイミングコントローラの前記デジタル出力は、前記ドライバ I C の前記 I C 入力に接続されることを特徴とするディスプレイ。