

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 17/00

(45) 공고일자 1990년11월05일
(11) 공고번호 90-008186

(21) 출원번호	특1986-0006000	(65) 공개번호	특1987-0001602
(22) 출원일자	1986년07월22일	(43) 공개일자	1987년03월14일
(30) 우선권 주장	757,337 1985년07월22일 미국(US)		
(71) 출원인	제너럴 인스트루먼트 코포레이션 리차드 엠. 호프만 미합중국 뉴욕 10153 뉴욕 피프스 애브뉴 767		

(72) 발명자 크레이그 제이. 루르만
미합중국 뉴욕 11771 오이스터 베이아담스 스트리트 49
(74) 대리인 남상육, 남상선

심사관 : 정현영 (책자공보 제2095호)

(54) 가변 페이지 ROM

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

가변 페이지 ROM

[도면의 간단한 설명]

제1도는 8개의 페이지 구성으로 마스크 프로그램된 본 발명의 가변 페이지 ROM의 블록 다이어그램.

제2도는 4개의 페이지 구성으로 마스크 프로그램된 본 발명의 가변 페이지 ROM의 블록 다이어그램.

제3도는 단일 페이지 구성으로 마스크 프로그램된 본 발명의 가변 페이지 ROM의 블록 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

12 : 행 디코더	14 : 열 디코더
16 : 페이지 디코더	18 : 페이지 어드레스
20 : 게이트	22 : 전력다운회로
A : ROM	B : 데이터 전송회로
C : 입력기능 디코더	D : RAM
E : 입력기능 디코더	F : 칩 선택회로

P₀, P₁, P₂ : 페이지 어드레스신호

[발명의 상세한 설명]

본 발명은 ROM(read only memory)에 관한 것이며, 특히 마스크 프로그래머블 페이지 구성(mask programmable page configuration)을 가진 ROM에 대한 것이다.

ROM은 스위치나 트랜지스터와 같이 그들의 상태("ON" 또는 "OFF", 동작 또는 비동작)를 결정하기 위해 개별적으로 액세스되거나 읽혀질 수 있는 매트릭스 배열의 데이터기억 유니트로 구성되는 데이터 기억장치이다. 기억장치를 액세스하고 읽기위해서는 여러가지 주변회로가 필요하다. 이러한 회로는 어드레스 신호입력회로, 어드레스 신호 디코딩회로 그리고 데이터 전송회로를 포함한다.

어드레스 신호는 입력 버퍼의 어드레스 입력에 병렬로 보내진다. 예를들어, 만일 어드레스 입력신호가 17비트라면 입력버퍼는 각각이 어드레스 신호의 서로다른 비트를 수신하도록 연결되어 있는 17개의 어드레스 입력을 가질 것이다. 어드레스 회로는 행 어드레스 디코더와 열 어드레스 디코더를 포함하는 데 이 두개는 모두 입력 버퍼회로로부터 병렬로 입력을 수신한다. 이러한 입력에 따라 디코

더 회로는 매트릭스로부터 특별한 기억 유닛을 선택한다.

선택된 기억 유닛은 출력라인에서 고전압이나 저전압에 의해 표시된 상태를 결정하기 위해 읽혀진다. 각 열에 대해 하나씩 연결된 병렬 출력라인은 데이터 버스에 병렬 출력신호를 공급하는 출력 버퍼회로에 연결되어 있다.

데이터는 제작공정동안 기억장치에 프로그램된다. 서로 다른 응용을 위해서는 서로 다른 데이터가 기억장치에 프로그램되어야 하므로, 정보가 프로그램되는 동안의 단계를 제외하고는 제작공정은 주어진 형태의 모든 기억장치에 대해 동일하다.

ROM은 칩 표면을 적층(layering)하고 그 후 그 층들중 선택된 부분을 에칭 공정을 통해 반도체 칩상에 형성된다. 에칭될 부분은 이미 잘 알려진 공정을 사용하여 그 표면을 마스크함으로써 선택된다. 기억유닛 매트릭스는 마스크를 사용하여 프로그램되며 따라서 서로다른 마스크가 서로 다른 정보를 프로그램하는데 사용된다. 정보는 매트릭스의 교점(intersection)에서 장치의 작동 또는 비작동을 물리적으로 만들므로써 기억장치에 기억된다. 일단 프로그램되고 나면, 자외선을 사용하여 대량으로 지우거나 또는 개개의 유닛을 지우므로써 지워질 수 있고, 그리고 전자적으로 프로그램 가능한 기억장치와는 달리 변경될 수 없을 것이다.

서로다르게 프로그램되어 있는 ROM의 대량생산은 기억 매트릭스 및 주변회로의 구조가 그내에 프로그램될 정보에 관계없이 모든 주어진 형태의 기억장치에 대해 동일할 때만 가능하다. 그와는 달리, 개개의 프로그램에 대해 서로다른 구조가 개발되어야 한다면 제조원가의 상승을 초래한다.

ROM이 설계되어있을 때, 매트릭스 어레이의 구성과 주변회로의 구조는 양립할 수 있게 설계되어있다. 예를들면, 주어진 크기의 매트릭스 어레이는 특별한 방식으로 디코드되어야만 하는 주어진 수의 어드레스 입력을 필요로한다. 만일 기억 매트릭스의 크기나 구성(행 및 열의 수)이 변경된다면, 어드레스 회로와 입력회로도 그에 따라서 변경되어야만 할 것이다.

최근의 기술은 대용량의 기억장치를 제작가능하게 만들었다. 용량이 큰 기억장치일수록 유닛당 적은 공간만을 필요로하는 더욱 조밀하게 집적된 기억 유닛의 매트릭스 어레이를 갖는다. 그러한 매트릭스 어레이는 더 많은 수의 어드레스 입력을 요구한다. 예를들면, 어레이 용량을 4배로 하는데는 2배의 어드레스 입력을 요구한다.

만일 기억 어레이가 서브 어레이(sub-array)로 구성되고 그에 따라 어드레스화되어 있다면, 어드레스입력의 수는 용량의 상실없이 감소될 수 있다. 예를들면, 기억 유닛의 4K 어레이는 10어드레스 입력 즉, 행 디코더를 위해 5개, 열 디코더를 위해 5개의 어드레스 입력이 필요할 것이다. 16K 어레이는 두배의 어드레스 입력, 총 20개 즉, 행 디코더를 위해 10개, 열 디코더를 위해 10개의 어드레스 입력이 필요할 것이다. 그러나, 만일 16K 어레이를 각각이 어드레스될 수 있는 4개의 분리된 4K 서브-어레이로 고려한다면, 적당한 서브-어레이를 선택하기 위해 2개의 디지트코드와 두개의 어드레스 입력만이 필요하다. 따라서, 12개의 어드레스 입력만이 필요한데 즉, 필요한 행 및 열을 선택하는데 10개와 선택된 행 및 열이 존재하는 필요한 서브-어레이를 선택하는데 2개가 필요하다. 배열을 서브-어레이로 나누는 것을 어드레스 입력의 수를 감소시킬 수 있는 방법이다.

그러한 서브-어레이는 기억 유닛의 블록 또는 뱅크로 언급될 수 있지만 당업계에서는 흔히 "페이지(page)"라 부른다. 매트릭스 어레이를 페이지로 구성하는 과정을 "페이지화(pagination)"라 부른다. 다양한 페이지 구성을 갖는 RAM이 공지되어 있다. 그러나, 선택된 특정 페이지 구성은 사용할 수 있는 어드레스 입력의 수에 의존하고 있기 때문에, 서로다른 기억장치 설계 및 주변회로 형태가 서로다른 페이지 구성에 요구된다.

증가된 기억용량이란 부가적인 기억이 동일한 크기의 칩에서 얻을 수 있음을 의미한다. 예를들면, 현재의 8K ROM을 구식의 4K ROM 대신 사용할 수 있다. 그러나, 고정된 수의 어드레스 입력을 갖고 있는 종래 시스템에서는 만일 대용량의 칩이 앞서 사용된 기억장치 대신에 사용될 수 있다면 페이지화된 기억 어레이를 포함한 서로다른 ROM 설계가 필요하다.

고정된 수의 어드레스 입력을 갖고 있는 종래 시스템에 사용될 수 있도록 증가된 용량의 ROM의 좋은 예가 닐센(Nielsen)의 미국특허 제4,368,515호(issued January 11, 1983 entitled "Bank Switchable Memory System")에 나타나 있다. 그러나, 닐센의 회로는 각각의 페이지화를 위해 서로 다른 회로형태가 필요하다. 따라서, 서로다른 수의 어드레스 입력을 갖고 있는 서로다른 종래 시스템에 사용하기 위해서는 서로다른 회로로 설계되고 개발되어야만 한다.

반도체 제조의 관점으로보면, 여러가지 광범위한 응용에 사용될 수 있는 단일 ROM을 설계하고 제작하는 것이 유리하다. 그러나, 예전에 각각의 회로는 각 페이지화 형태 및 어드레스 입력수에 따라 설계되고 개발될 수 있었다. 일반적으로, 본 발명은 다양한 서로다른 페이지 구성중 선택된 하나를 제공하기 위해 그리고 그로인해 서로다른 수의 어드레스 입력을 수용하기 위해, 마스크 프로그램될 수 있는 단일 기본(basic)ROM을 사용하여 이러한 문제를 해결하였다. 이것은 동일한 기본회로 설계를 매우 다양한 응용에 사용할수 있으므로 경제적으로 큰 절약이며 적당한 페이지화 마스크를 사용함으로써 간단하다.

여러가지 종래 시스템에서 증가된 용량 기억장치로 사용될 수 있는 ROM의 설계상에는 어떤 문제가 발생한다. 서로다른 종래 시스템은 서로다른 수의 어드레스 입력을 갖는다. 어드레스 입력의 수는 변경될 수 없다. 따라서, 만일 ROM이 서로다른 종래 시스템에 사용되려면 ROM은 서로다른 수의 어드레스 입력을 수용할 수 있어야만 할 것이다.

각 기억 어레이 구성은 주어진 수의 어드레스 입력을 필요로 한다. 만일 이 모든 입력이 시스템으로부터의 규칙적인 행 및 열 어드레스 입력에 의해 공급될 수 있다면 어떤 페이지화도 필요치 않다. 그러나, 만일 필요한 수보다 적은 수의 입력이 규칙적인 어드레스 라인을 통해 시스템으로부터 입수될 수 있다면 페이지화는 페이지 어드레스 신호가 요구되는 것처럼 요구된다. 페이지 어드레스 신호에서의 필요한 비트수는 페이지 형태와 관계있다. 페이지 어드레스 신호가 규칙적이 어드레스 입력

에서 얻어질 수 없다면 ROM까지 및 그내에 페이지 어드레스 신호를 전송하기 위한 어떤 다른 방법이 필요하다.

본 발명에서, 페이지 어드레스 신호는 시스템의 마이크로프로세서에서 발생되어 데이터 버스로 인가된다. 제어신호가 존재하는 동안, 페이지 어드레스 신호 비트는 데이터 버스로부터 디코더 회로로 전송된다.

신호를 받은 후, 페이지 어드레스 신호 비트는 설계된 페이지에 있는 장소의 원하는 수를 읽기 위해 액세스 타임과 동일한 시간동안 ROM에 보존되어야만 하며 그 후 지워진다. 종래의 ROM은 어드레스 신호의 일시적 기억을 위한 설비도 갖추고 있지 않았다.

일반적으로, 본 발명은 페이지 구성을 정의하기 위해 마스크 프로그래머블 디코더를 사용한다. 마스크 프로그래머블 입력 버퍼회로는 사용되지 않은 행 및 열 어드레스 신호 통로를 차단하기 위해 사용된다. 페이지 어드레스 신호는 시스템에 의해 만들어져 데이터 버스에 전송된다. 이 신호는 제어 신호가 존재할 때 입력/출력 버퍼회로를 통해 데이터 버스로부터 디코더로 전송된다. 페이지 어드레스 신호는 RAM 형태를 취한 래치의 사용으로 디코더에 의해 일시적으로 기억된다.

따라서, 본 발명의 목적은 고정된 수의 어드레스 입력을 갖는 종래 시스템에 사용될 수 있는 증가된 용량의 ROM을 제공하는 것이다.

본 발명의 또다른 목적은 마스크 프로그래머블 페이지 형태를 갖는 증가된 용량의 ROM을 제공하는 것이다.

본 발명의 또다른 목적은 마스크 프로그래머블 어드레스 회로를 포함하고 있는 가변 페이지 ROM을 제공하는 것이다.

본 발명의 또다른 목적은 행 및 열 어드레스 입력을 분리시키기 위해 마스크 프로그램될 수 있는 입력 버퍼수단을 포함하고 있는 가변 페이지 ROM을 제공하는 것이다.

본 발명의 또다른 목적은 데이터 버스에 인가된 페이지 어드레스 신호가 데이터 전송회로를 통해 어드레스 회로로 전송되는 가변 페이지 ROM을 제공하고자 하는 것이다.

본 발명의 또다른 목적은 페이지 어드레스 신호를 일시적으로 기억하기 위한 수단을 포함하고 있는 가변페이지 ROM을 제공하는 것이다.

본 발명의 또다른 목적은 비교적 값싸게 제조할 수 있으며 종래의 제작기술을 사용하여 제작될 수 있는 가변 페이지 ROM을 제공하는 것이다.

본 발명의 한 양상에 따르면, ROM에는 데이터 기억수단의 매트릭스 어레이와, 어드레스 입력수단, 그리고 데이터 버스 수단으로 구성된다. 이들 수단은 어드레스 신호에 따라 개개의 데이터 기억수단을 어드레스하기 위한 매트릭스와 입력수단에 동작가능하게 연결되어 있다. 매트릭스에 동작가능하게 연결되어 있는 수단이 어드레스된 데이터 기억수단으로 부터 데이터 버스수단으로 데이터를 전송하기 위해 제공된다. 어드레스 수단은 어드레스 디코더 수단으로 구성되며 수개의 구성중 선택된 하나로 마스크 프로그램될 수 있다. 각각의 구성은 데이터 기억수단의 하나 또는 그 이상의 서브-어레이를 정의한다. 각각의 서브-어레이는 상기의 어드레스 신호에 따라 따로따로 어드레스 가능하게 된다.

어드레스 신호는 행 및 열 어드레스 신호와 서브-어레이 어드레스 신호를 포함한다. 서브-어레이 어드레스 신호는 데이터 버스에 수신된다. 데이터 전송수단은 제어신호에 응답하여 유효하며 데이터 버스수단과 어드레스 수단을 동작가능하게 연결해 주기위하여 제어신호에 응답하여 유효하게되는 수단을 포함하고 있다.

입력수단은 행 및 열 어드레스 신호를 수신하기에 적합한 어드레스 입력과 수단으로 구성되어 있으며, 정상적으로 동작할 수 있게 입력과 어드레스 수단을 연결시킨다. 입력수단은 다수의 구성중 하나로 마스크 프로그램할 수 있다. 각각의 구성은 어드레스 수단으로부터 입력중 선택된 것을 분리시킨다.

또, 어드레스 수단은 페이지 서브-어레이 어드레스 신호를 기억하기 위한 수단으로 구성되어 있다. 어드레스 신호 기억수단은 래치수단으로 구성되는 것이 바람직하다. 래치수단은 RAM으로 구성되는 것이 바람직하다.

본 발명의 또다른 양상에 따르면, ROM은 어드레스 입력수단과 어드레스 수단으로 구성된 것이 제공된다. 데이터 기억수단의 매트릭스 어레이가 제공된다. 데이터 전송수단과 데이터 버스수단 또한 제공된다. 어드레스 수단은 어드레스 입력수단과 매트릭스 사이에서 동작가능하게 연결된다. 데이터 전송수단은 매트릭스와 데이터 버스 수단사이에 연결되어 있다. 데이터 전송수단은 제어신호에 응답하여 유효하며 데이터 버스 수단상의 어드레스 신호를 어드레스 수단에 전송하기 위해 데이터 버스 수단과 어드레스 수단을 동작가능하게 연결하기 위한 수단으로 구성된다.

어드레스 수단은 마스크 프로그래머블 어드레스신호 디코더 수단으로 구성되는 것이 바람직하다. 또한, 어드레스 수단은 어드레스 신호 기억수단으로 구성된다. 어드레스 신호 기억수단은 RAM으로 구성되는 것이 바람직하다. 어드레스 기억수단은 데이터 전송수단에 작동가능하게 연결되어 있다.

어드레스 신호 디코더 수단은 서로다른 구성으로 프로그램될 수 있다. 각각의 구성은 어드레스 신호에 따라 따로따로 어드레스될 수 있는 하나이상의 서브-어레이로 데이터 기억수단을 편성한다. 각각의 구성은 동일한 크기의 서브-어레이로 데이터 기억수단을 편성하는 것이 바람직하다.

어드레스 입력수단은 정상적으로 동작할 수 있게 각각의 입력을 어드레스 수단에 연결하는 복수개의 어드레스 입력과 어드레스 수단으로 구성되는 것이 바람직하다. 입력수단은 서로다른 구성으로 마스크 프로그램될 수 있다. 각각의 구성은 어드레스 수단으로부터 입력중 선택된 것을 분리시킨다.

본 발명의 또다른 양상에 따르면, ROM은 어드레스 신호 입력수단과 어드레스 수단으로 구성된 것이 제공되어 있다. 데이터 기억수단의 매트릭스 어레이는 데이터 전송수단 및 데이터 버스 수단으로서 제공된다. 어드레스수단은 입력수단과 매트릭스 사이에 동작할 수 있게 연결되어 있다. 데이터 전송수단은 매트릭스와 데이터 버스사이에 동작할 수 있게 연결되어 있다. 어드레스 수단은 어드레스 신호 기억수단과 어드레스 신호 디코더수단으로 구성되는 것이 바람직하다. 어드레스 신호 기억수단은 어드레스 신호 디코더 수단을 위해 어드레스 신호를 수신하여 일시적으로 기억하기위해 연결되어 있다.

데이터 전송수단은 데이터 버스수단과 어드레스 신호 기억수단을 작동할 수 있게 연결하기 위한 수단으로 구성되는 것이 바람직하다. 또한, 이 수단은 입력수단과 어드레스 신호 기억수단을 연결하기 위해서도 제공되어 있다.

어드레스 신호 기억수단은 바람직하게는 RAM 형태를 한 래치수단으로 구성된다. 어드레스 신호 디코더 수단은 서로다른 구성으로 마스크 프로그램될 수 있는 부분으로 구성된다. 각각의 구성은 어드레스 신호에 따라 개별적으로 어드레스 될 수 있는 서브-어레이로 데이터 기억수단을 편성한다.

이하 첨부도면을 참조하여 본 발명을 상세히 설명한다.

본 발명은 기억장치의 매트릭스 어레이와 주변회로로 구성된 ROM회로에 관한 것이다. 주변회로는 어드레스회로와 데이터 전송회로를 포함한다. ROM회로는 마스크 프로그래밍을 통해 전자오락 및 정보 검색 시스템과 같이 서로 다르게 고정된 수의 어드레스 입력을 갖는 다양한 기존시스템에 사용하기에 적합하게 될 수있다. 디코더 회로와 입력 버퍼회로를 포함한 어드레스 회로는 서로다른 수의 어드레스 입력을 갖고 있는 종래 시스템에 적용할 수 있도록 매트릭스 어레이의 다양한 페이지 구성을 한정하도록 마스크 프로그램될 수 있다. 시스템은 지령신호가 존재할 때 데이터 버스에 페이지 어드레스 신호를 제공하기에 적합하다. 페이지 어드레스 신호는 데이터 전송회로를 통해 기억장치에 전송되며, 거기서 신호는 사용하는 동안 유지된다. 바람직하게 임시 기억장치는 RAM 형태를 취한 래치 회로로 구성된다.

제1, 2도 및 제3도는 세개의 서로다른 페이지 구성, 즉 각각 128K 비트로된 8개의 페이지, 각각 256K비트로된 4개의 페이지, 그리고 1M 비트의 단일 페이지로 마스크 프로그램된 본 발명의 회로의 블록 다이어그램이다. 그러나, 도시되어있는 페이지 구성은 매우 다양한 서로다른 페이지 구성의 일 예를 나타내며 본 발명에 대한 제한으로 간주되지 않음을 이해해야 할 것이다. 이러한 페이지 구성은 단지 설명을 목적으로 도시되어 있다.

각각의 도면에는 바람직하게는 CMOS 실리콘 게이트 공정을 사용해 제조된, 그리고 일반적으로(A)로 표시되어 있는 1KK 비트 매트릭스 어레이의 기억장치를 포함하고 있는 본 발명의 회로가 도시되어 있다. 어레이는 그 출력형태를 프로그램할 수 있도록 설계되어 있다. ROM(A)은 거기에 연결되어 있는, 그리고(B)로 표시되어 있는 데이터 전송회로를 통해 8-비트 또는 16-비트 출력워드를 만들수 있다. 데이터 전송회로(B)는 필요한만큼 출력버퍼를 포함하고 있으며 출력워드의 길이를 제어한다. 데이터 전송회로(B)는 데이터 버스(10)에 연결되어 있다. 데이터버스(10)는 ROM(A)으로부터 이 회로가 사용되고 있는 시스템의 마이크로프로세싱 유니트로 데이터를 액세스 하기위해 제공되어 있다. 데이터 버스(10)는 다음에 설명되어 있는 바와같이, 시스템의 마이크로프로세싱 유니트에 의해 만들어진 페이지 어드레스 신호를 위한 입력으로 동작한다.

ROM(A)에 있는 기억장치는 종래의 행 디코더(12), 종래의 열 디코더(14), 그리고 마스크 프로그래머블 페이지 디코더(16)를 포함하고 있는 어드레스 회로에 의해 어드레스된다. 예를들면, 행디코더(12)는 제1도에서 "0,1,2,3,4,5,6,7"로 표시되어 있는, ROM(A)에 있는 8개의 128K 페이지 각각에 병렬로 연결되어 있는 10개의 출력을 갖고 있다. 비슷하게, 열 디코더(14)는 수직으로 배열되어 있는 페이지를 형성하는 열의 세트에 병렬로 연결되어 있는 8개의 출력을 갖고 있다.

행 디코더(12)는 일반적으로(C)로 표시되어 있는 입력 버퍼회로의 출력으로부터 직접 입력을 수신한다. 열 디코더(14)는 일반적으로(D)로 표시되어 있는 RAM의 출력에 연결되어 있는 페이지 디코더(16)로 부터입력을 수신한다. RAM(D)은 데이터 전송회로(B)로 부터 페이지 어드레스 신호의 비트를 수신할 수 있도록 병렬라인(18)에 의해 데이터 전송회로에 연결되어 있다. 또한, 이것은 입력 버퍼회로(C)의 출력과 게이트(20)의 출력에 연결되어 있다. 게이트(20)는 일반적으로 (E)로 도시되어 있는 입력기능 디코더회로(input function decoder circuit)로 부터 지령(라이트 인에이بل) 신호

($\overline{WE}$)를 하나의 입력으로서 수신한다. 입력기능 디코더 회로(E)의 출력은 디코더(16)에도 연결되

어있다. 게이트(20)의 다른 입력은 입력 버퍼회로(C)에 대한 입력인 칩 인에이블 ($\overline{CE}$) 신호로 이것은 종래의 설계로된 전력 다운회로(22)에도 연결되어 있다. 게이트(20)는 ROM(A)의 선택되지 않은 페이지에 있는 모든 기억장치가 저 전력 모우드에 있도록 만든다. 회로(22)는 시스템에 있는 다른 회로의 전력상태를 제어한다.

예를들면, 입력 버퍼회로(C)는 $A_0 \cdots A_{16}$ 으로 도시되어 있는 17개의 어드레스 입력을 갖고있다. 또한,

이것은 칩 인에이블 ($\overline{CE}$) 수신하기 위한 입력과 마이크로프로세싱 유니트로 부터의 라이트 인에이

블 신호($\overline{WE}$)인 지령신호를 수신하기 위한 입력을 갖고 있다. 입력버퍼회로(C)는 페이지 구성에 따라 어드레스 입력 $A_0 \cdots A_{16}$ 의 선택된 하나의 통로를 차단하도록 마스크 프로그램될 수 있다. 단지 입력버퍼회로(C)와 페이지 디코더(16)이 ROM(A)의 페이지 구성을 한정하도록 마스크 프로그램될 필요가 있다. 다른 모든 요소는 페이지 구성에 관계없이 동일하다.

입력기능 디코더(E)의 출력은 데이터 전송회로(B)에 연결되어 있는 칩 선택회로(F)에 연결되어

있다. 칩 선택회로(F)는 데이터버스(10)에 있는 페이지 어드레스 신호를 명령신호 $(\overline{WE})$ 가 있을 때 병렬라인(18)에 전송시키도록 데이터 전송회로(B)를 제어한다.

제1도에 도시되어 있는 페이지 구성 즉, 각각 128K 비트를 갖고 있는 8개의 페이지를 얻기 위해서는, 디코더(16)는 종래의 3 : 8 디코더를 형성하도록 마스크 프로그램되고 이 세개의 입력은 데이터 버스(10)에 존재하고 병렬라인(18)에 의해서 데이터 전송회로(B)를 통해 RAM(D)에 전송되는

페이지 어드레스신호(P_0, P_1, P_2)의 세비트이다. RAM(D)는 명령신호 $(\overline{WE})$ 가 존재하는 동안 시스템에 의해 발생된 페이지 어드레스신호의 일시적인 기억을 보장하기 위해 사용된 슬로우 세트 업/홀드(slow set up/hold)RAM이다. RAM(D)은 다음 $(\overline{WE})$ 신호의 상승 에지(rising edge)까지는 페이지

어드레스 신호를 보유할 것이다. $(\overline{WE})$ 신호와 페이지 어드레스 신호(P_0, P_1, P_2)는 본 발명의 ROM 회로가 사용된 시스템의 마이크로 프로세싱 유닛에 의해 발생된다.

입력버퍼회로(C)는 A_{14}, A_{15}, A_{16} 으로 지시되어 있는 어드레스 입력의 3통로가 차단되도록 마스크 프로그램되어 있다. 따라서, 입력 버퍼회로(C)는 어드레스 입력 A_0-A_{13} 만을 디코더로 보낸다. A_0-A_{10} 는 행 디코더(12)에 대한 입력으로 제공된다. $A_{11}-A_{13}$ 은 RAM(D)에 대한 입력으로 제공되며, 디코더(16)를 통해 전송되고 디코더(16)의 출력을 따라 열 디코더(14)에 대한 입력을 형성한다. 열 디코더(14)의 출력은 적당한 페이지의 선택과 그 페이지에서의 적당한 열의 선택을 야기한다. 행 디코더(12)의 출력과 관련하여, 선택된 페이지의 적당한 장소가 액세스되며 그 내에 있는 데이터가 데이터 전송회로(B)로 공급된다.

각 페이지가 256K 비트를 갖는 4-페이지 구성을 위해 회로를 변경시키기 위해서는 페이지 디코더(16)는 두개로 분리된 종래의 디코더 회로 즉, 1 : 2 디코더(16a)와 2 : 4 디코더(16b)로 마스크 프로그램된다. 이 경우, 2-비트 페이지 어드레스 신호(P_0, P_1)만이 필요하다. 2-비트 페이지 어드레스 신호는 RAM(D)을 통과하여 2 : 4 디코더(16b)에 입력으로 제공된다. 이 구성은 제2도에 도시되어 있다.

입력 버퍼회로(C)는 어드레스입력 A_{15} 와 A_{16} 의 통로만을 차단하도록 마스크 프로그램되어 있다. 앞선 예에서와는 다르게, 어드레스 입력 A_{14} 의 경로는 차단되어있지 않다. 입력 A_0-A_{14} 은 디코더로 전송되는데, 이중 입력 A_0-A_{10} 은 행 디코더(12)로 인가되고 입력 $A_{11}-A_{14}$ 은 RAM(D)에 대한 입력을 제공한다. 입력(A_{14})은 1 : 2 디코더(16a)로 전송되고 0,1,2,3으로 지시되어 있는 네개의 페이지중 선택된 하나의 "A" 또는 "B" 부분을 선택하는데 사용된다. 입력 $A_{10}-A_{13}$ 에 따른 디코더(16a)와 디코더(16b)의 출력은 열 디코더(14)에 대한 입력으로 제공된다. 행 디코더(12)의 출력과 관련하여 열 디코더(14)의 출력은 적당한 페이지, 적당한 페이지부분(section), 적당한 열, 그리고 액세스될 장소의 적당한 행을 선택하도록 제공된다.

제3도에 도시되어 있는 바와같이, 본 발명의 회로는 1KK 비트를 갖는 단 페이지 ROM으로 사용하기 위해 마스크 프로그램될 수 있다. 모든 장소가 직접적으로 액세스될 수 있으므로 어떤 데이터를 액세스하는 데는 어떤 페이지도 필요치않다. 이 경우, 어떤 페이지징 신호도 데이터 버스(10)에 제공되지 않으므로 어떤것도 RAM(D)에 전송되지 않는다. 입력 버퍼에 대해 어드레스된 모든 입력 A_0-A_{16} 이 사용되며 모두가 디코더로 전송된다. 입력 A_0-A_{10} 은 행 디코더(12)에 제공되며 입력 $A_{11}-A_{16}$ 은 RAM(D)에 제공된다. RAM(D)은 결코 인에이블되지 않으며, 다만 종래의 3 : 8 디코더인 페이지 디코더(16)에 입력 $A_{11}-A_{16}$ 을 전송하는 기능만을 수행한다.

입력 A_{14}, A_{15} 와 A_{16} 은 페이지 디코더(16)에 대한 세입력을 형성한다. 페이지 디코더(16)의 출력과 함께 다른 입력 $A_{11}-A_{13}$ 은 열 디코더(14)에 대한 입력으로서 제공된다. 행 디코더(12)와 관련하여 열 디

코더(14)는 원하는 특별한 기억장치를 직접 액세스한다. 지령신호 $(\overline{WE})$ 는 회로가 페이지와 (pagination)됨이 없이 표준 ROM으로 동작하기 때문에 회로에 어떤 영향도 갖지 못한다.

본 발명의 회로가 어드레스 디코더 및 입력 버퍼 회로를 포함한 주변회로를 마스크 프로그래밍 함으로써 다양한 서로 다른 페이지네이션 모우드를 사용하기에 적합함을 알 수 있을 것이다. 어드레스 디코더는 종래의 디코더 구성중 선택된 하나를 형성하기 위해 마스크 프로그램되어 있다. 입력 버퍼 회로는 선택된 어드레스 입력통로를 차단하도록 마스크 프로그램되어 있다. 이것은 라이트인에이블 명령이 있을때 데이터 버스에 필요한 페이지 어드레스 신호를 만들기 위해 시스템을 수정함으로써 고정된 수의 어드레스 입력을 갖고 있는 다양한 종래 시스템에 본 발명의 회로를 사용할 수 있게 만든다.

페이지 구성의 마스크 프로그램 가능성은 별도로 하고서도, 본 발명의 ROM회로는 거기에서의 데이터 전송회로와 동일하며, 또한 통상의 데이터 출력기능을 차지하고도 페이지 어드레스 신호를 위한 입구(entrance)를 제공하며 동일한 것을 임시 기억회로를 통해 디코더로 전송한다. 바람직하게는 RAM 형태인 임시 기억회로의 존재는 종래의 ROM회로가 어드레스 신호를 일시적으로 기억하기 위한 어떤 설비도 갖고있지 않았으므로 그 자체가 ROM회로에서 새로운 것이다. 위와같은 기억회로는 특별한 페이지내 여러장소가 액세스될 때 페이지 선택이 유지될 수 있도록 본 발명에서 요구된다.

지금까지 본 발명의 바람직한 실시예가 설명을 목적으로 기술되었으나 본 발명이 여기에 국한된 것은 아니며, 본 기술분야에서 통상의 지식을 가진자라면 다음 청구범위에 기술되어 있는 것과 같은

본 발명의 요지를 벗어남이 없이도 많은 수정 및 변경이 가능할 것이다.

(57) 청구의 범위

청구항 1

데이터 기억수단으로된 매트릭스 어레이(A), 어드레스 입력수단(C), 데이터버스수단(10), 그리고 어드레스 신호에 따라 개개의 데이터 기억수단을 어드레싱 하기 위해 상기 입력수단(C) 및 매트릭스 어레이(A)에 동작 가능하게 연결되어 있는 수단(12, 14, 16, D)과, 어드레스된 기억수단으로부터 데이터 버스수단(10)으로 데이터를 전송하기위해 상기 매트릭스에 동작할 수 있게 연결되어 있는 수단(B)을 포함하고, 상기 어드레스수단(12, 14, 16, D)은 수개의 구성중 선택된 하나로 마스크 프로그램할 수 있는 어드레스 신호 페이지 디코더 수단(16)에 의해 특징지워지며, 하나 이상의 서브-어레이(0, 1, 2, 3, 4, 5, 6, 7)를 한정하는 상기 각각의 구성은 상기 어드레스 신호에 따라 개별적으로 어드레스될 수 있는 것을 특징으로 하는 ROM.

청구항 2

제1항에 있어서, 상기 어드레스 신호는 행(A_0-A_{10}) 및 열($A_{11}-A_{16}$) 어드레스 신호와 서브-어레이 어드레스 신호(P_0-P_2)로 구성되고, 이 서브-어레이 어드레스 신호가 상기 데이터 버스 수단(10)에 수신되는 것을 특징으로 하는 ROM.

청구항 3

제2항에 있어서, 상기 행(A_0-A_{10}) 및 열($A_{11}-A_{16}$) 어드레스 신호가 상기 어드레스 입력수단(C)에 인가되는 것을 특징으로 하는 ROM.

청구항 4

제2항에 있어서, 상기 어드레스 입력수단(C)이 행(A_0-A_{10}) 및 열($A_{11}-A_{16}$) 어드레스 신호를 수신하기 위한 어드레스 입력과, 상기 어드레스수단(12, 14, 16, D)과 상기 입력(A_0-A_{16})을 동작 가능하게 연결해주는 수단으로 구성되며, 상기 입력수단(C)은 복수개의 구성중 하나로 마스크 프로그램될 수 있고, 상기 구성 각각은 상기 어드레스 수단(12, 14, 16, D)으로부터 어드레스 입력(A_0-A_{16})중 선택된 것을 분리시키는 것을 특징으로 하는 ROM.

청구항 5

어드레스 입력수단(C) 및 어드레스 수단(12, 14, 16, D)과, 데이터 기억수단으로된 매트릭스 어레이(A)와, 데이터 전송수단(B)과, 그리고 데이터 버스 수단(10)을 포함하고, 상기 어드레스 수단(12, 14, 16, D)은 상기 어드레스 입력수단(C)과 매트릭스 어레이(A) 사이에서 동작 가능하게 연결되어 있으며, 상기 데이터 전송 수단(B)은 매트릭스 어레이(A)와 데이터 버스 수단(10) 사이에 동작할

수 있게 연결되어 있고, 상기 데이터 전송수단(B)은 제어신호 $(\overline{WE})$ 에 응답하여 유효하며 상기 데이터 버스수단(10)에 존재하는 어드레스 신호(P_0-P_2)를 상기 어드레스 수단(12, 14, 16, D)에 전송하기 위해 상기 데이터 버스 수단(10)과 어드레스수단(12, 14, 16, D)을 동작가능하게 연결해 주는 수단(I/O)에 의해 특징지워지는 ROM.

청구항 6

제5항에 있어서, 상기 어드레스 수단(12, 14, 16, D)이 마스크 프로그래머블 어드레스 신호 페이지 디코드수단(16)을 포함하고 있는 것을 특징으로 하는 ROM.

청구항 7

제6항에 있어서, 상기 어드레스 신호 페이지 디코드 수단(16)은 서로 다른 구성으로 마스크 프로그램될 수 있으며, 상기 구성 각각은 상기 데이터 기억수단을 상기 어드레스 신호(A_0-A_{16}), P_0-P_2)에 따라 개별적으로 어드레스될 수 있는 하나 또는 그 이상의 서브-어레이(0, 1, 2, 3, 4, 5, 6, 7)로 편성하는 것을 특징으로 하는 ROM.

청구항 8

제7항에 있어서, 상기 구성 각각은 데이터 기억수단(A)을 동일한 크기의 서브-어레이로 편성하는 것을 특징으로 하는 ROM.

청구항 9

제5항에 있어서, 상기 어드레스 입력수단(C)이 복수개의 어드레스 입력(A_0-A_{16})과 이 어드레스 입력 각각을 상기 어드레스 수단(12, 14, 16, D)에 동작 가능하게 연결해 주는 수단으로 구성되며, 상기 어드레스 입력수단(C)은 서로 다른 구성으로 마스크 프로그램될 수 있으며, 상기 구성 각각이 상기 어드레스 수단(12, 14, 16, D)으로부터 상기 어드레스입력(A_0-A_{16})중 선택된 것을 분리시키는 것을 특징으로 하는 ROM.

청구항 10

어드레스 입력수단(C)과, 어드레스 수단(12, 14, 16, D)과, 데이터 기억수단으로된 매트릭스 어레이(A)와, 데이터 전송수단(B)과, 그리고 데이터 버스 수단(10)으로 구성되며, 상기 어드레스 수단(12,

14, 16, D)은 상기 입력수단(C)과 매트릭스(A) 사이에서 동작 가능하게 연결되어 있으며, 상기 데이터 전송수단(B)은 매트릭스 어레이(A)와 데이터 버스수단(10) 사이에서 동작 가능하게 연결되어 있고, 상기 어드레스 수단(12, 14, 16, D)은 어드레스 신호 기억수단(D)과 어드레스 신호 페이지 디코드 수단(16)에 의해 특정지워지며, 상기 어드레스 신호 기억수단(D)이 어드레스 신호 페이지 디코드 수단(16)에 대한 어드레스 신호(P_0 - P_2)를 수신하여 일시적으로 기억하도록 연결되어 있는 것을 특징으로 하는 ROM.

청구항 11

제10항에 있어서, 상기 어드레스 신호 기억수단(D)이 래치수단으로 구성되는 것을 특징으로 하는 ROM.

청구항 12

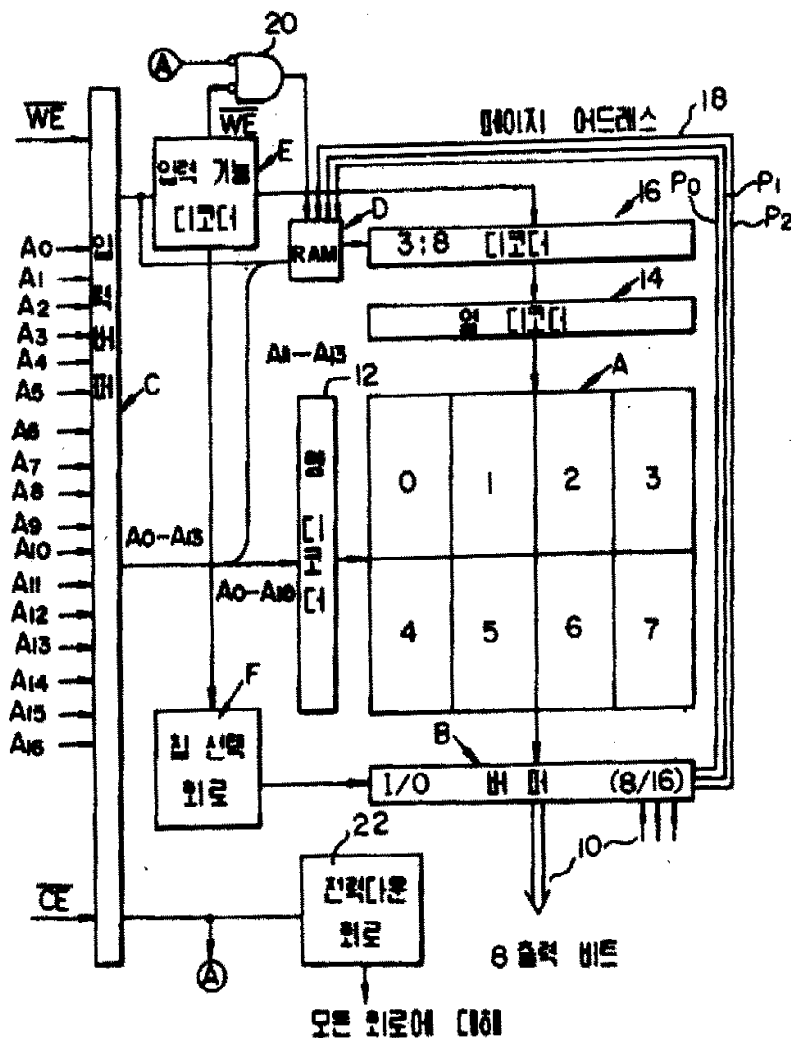
제10항에 있어서, 상기 어드레스 신호 기억수단(D)이 RAM으로 구성되는 것을 특징으로 하는 ROM.

청구항 13

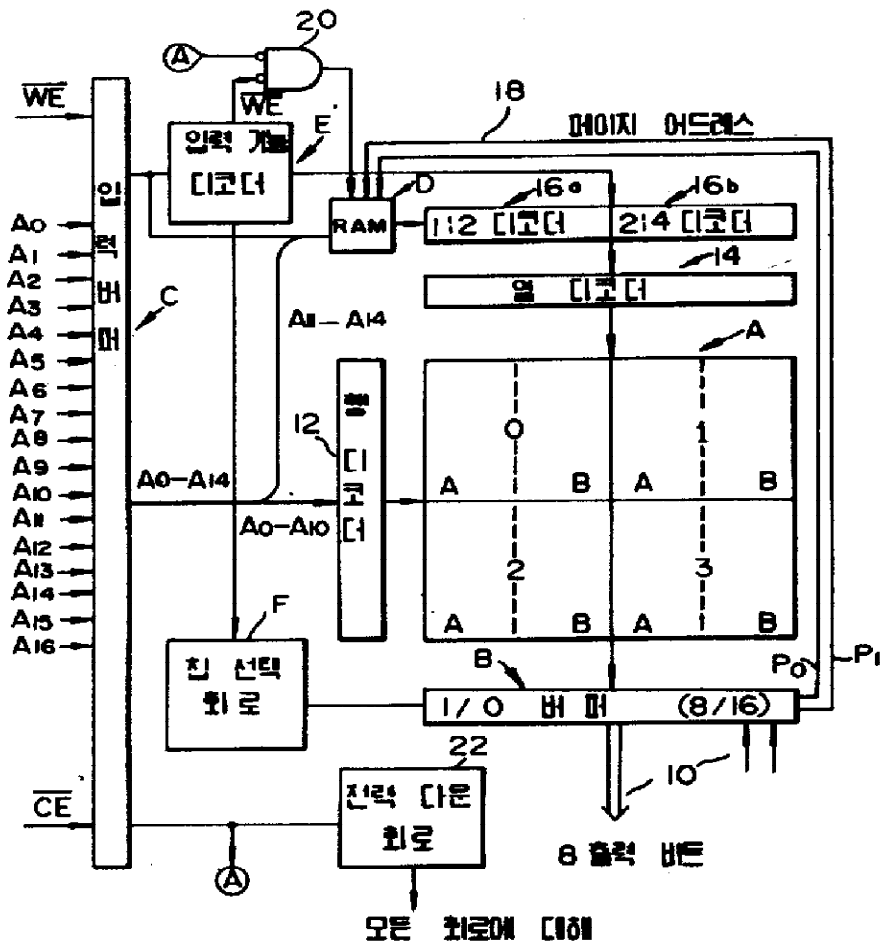
제10항에 있어서, 상기 어드레스 신호 페이지 디코드 수단(16)이 서로 다른 구성으로 마스크 프로그램될 수 있는 부분을 포함하고, 각각의 구성이 상기 데이터 기억수단(A)을 상기 어드레스 신호에 따라 개별적으로 어드레스될 수 있는 서브-어레이로 편성하는 것을 특징으로 하는 ROM.

도면

도면1



도면2



도면3

