

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2016-208023

(P2016-208023A)

(43) 公開日 平成28年12月8日 (2016. 12. 8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 6 C	3 K 1 0 7
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	4 M 1 1 8
H O 1 L 21/8234 (2006.01)	H O 1 L 29/78 6 1 7 N	5 F 0 4 8
H O 1 L 27/088 (2006.01)	H O 1 L 29/78 6 1 7 T	5 F 0 5 8
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 1 0 2 E	5 F 0 8 3
審査請求 未請求 請求項の数 8 O L (全 142 頁) 最終頁に続く		

(21) 出願番号	特願2016-80821 (P2016-80821)	(71) 出願人	000153878
(22) 出願日	平成28年4月14日 (2016. 4. 14)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2015-83163 (P2015-83163)		神奈川県厚木市長谷398番地
(32) 優先日	平成27年4月15日 (2015. 4. 15)	(72) 発明者	田中 哲弘
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2015-110541 (P2015-110541)		半導体エネルギー研究所内
(32) 優先日	平成27年5月29日 (2015. 5. 29)	(72) 発明者	一條 充弘
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	遠藤 俊弥
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	下村 明久
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

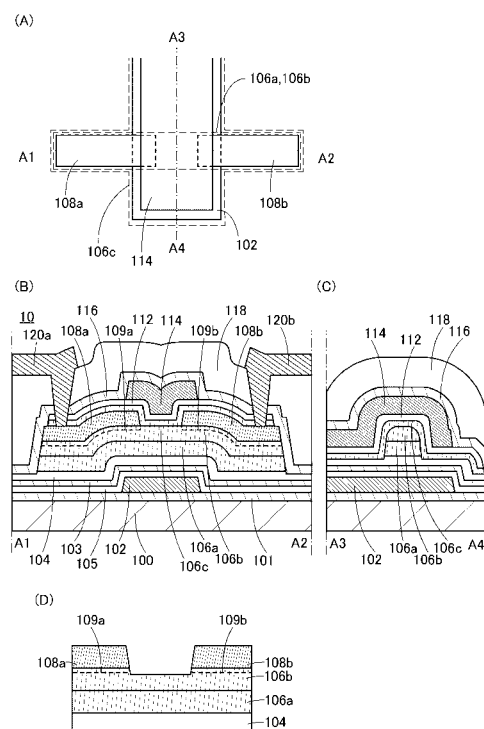
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 安定した電気特性を有するトランジスタを提供する。

【解決手段】 基板上に形成された第1の絶縁体と、第1の絶縁体の上に形成された第2の絶縁体と、第2の絶縁体の上面の少なくとも一部に接して形成された酸化半導体と、酸化半導体の上面の少なくとも一部に接して形成された第3の絶縁体と、酸化半導体と電気的に接続された第1の導電体及び第2の導電体と、第3の絶縁体の上に形成された第4の絶縁体と、第4の絶縁体の上に形成され、少なくとも一部が第1の導電体と第2の導電体の間に位置するように形成された第3の導電体と、第3の導電体の上に形成された第5の絶縁体と、を有し、第1の絶縁体はハロゲン元素を含む半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に形成された第 1 の絶縁体と、
前記第 1 の絶縁体の上に形成された第 2 の絶縁体と、
前記第 2 の絶縁体の上面の少なくとも一部に接して形成された酸化物半導体と、
前記酸化物半導体の上面の少なくとも一部に接して形成された第 3 の絶縁体と、
前記酸化物半導体と電氣的に接続された第 1 の導電体及び第 2 の導電体と、
前記第 3 の絶縁体の上に形成された第 4 の絶縁体と、
前記第 4 の絶縁体の上に形成され、少なくとも一部が前記第 1 の導電体と前記第 2 の導電体の間に位置するように形成された第 3 の導電体と、
前記第 3 の導電体の上に形成された第 5 の絶縁体と、を有し、
前記第 1 の絶縁体はハロゲン元素を含むことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、
前記第 1 の絶縁体の下に形成された第 6 の絶縁体を有し、
前記第 6 の絶縁体は、前記第 1 の絶縁体より水及び水素を透過させにくいことを特徴とする半導体装置。

【請求項 3】

請求項 2 において、
前記第 6 の絶縁体と前記第 1 の絶縁体の間に形成され、且つ少なくとも一部が前記酸化物半導体と重なる第 4 の導電体を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記第 1 の絶縁体に含まれる水は、昇温脱離ガス分析において、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下であることを特徴とする半導体装置。

【請求項 5】

請求項 3 において、
前記第 4 の導電体と前記第 1 の絶縁体の間に形成された第 7 の絶縁体を有し、
前記第 7 の絶縁体はハフニウムを含むことを特徴とする半導体装置。

【請求項 6】

請求項 5 において、
前記第 1 の絶縁体と第 7 の絶縁体の積層膜に含まれる水は、昇温脱離ガス分析において、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下であることを特徴とする半導体装置。

【請求項 7】

請求項 5 又は 6 のいずれかにおいて、
前記第 1 の絶縁体と第 7 の絶縁体の積層膜に含まれる水素は、昇温脱離ガス分析において、水素分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.2 \times 10^{15} \text{ molecules/cm}^2$ 以下であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、
前記ハロゲン元素は、フッ素、塩素または臭素のいずれかであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、トランジスタおよび半導体装置に関する。または、本発明は、例えば、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。ま

たは、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

【0005】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザー光処理を行うことで形成する方法が知られる。

【0006】

近年では、酸化物半導体（代表的にはIn-Ga-Zn酸化物）を用いたトランジスタの開発が活発化している。酸化物半導体の歴史は古く、1988年には、結晶In-Ga-Zn酸化物を半導体素子へ利用することが開示されている（特許文献1参照。）。また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献2参照。）。

【0007】

酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタ、および多結晶シリコンを用いたトランジスタとは異なる特徴を有する。例えば、酸化物半導体を用いたトランジスタを適用した表示装置は、消費電力が低いことが知られている。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開昭63-239117

【特許文献2】特表平11-505377

【発明の概要】

【発明が解決しようとする課題】

【0009】

安定した電気特性を有するトランジスタを提供することを課題の一とする。または、非導通時のリーク電流の小さいトランジスタを提供することを課題の一とする。または、高い周波数特性を有するトランジスタを提供することを課題の一とする。または、ノーマリ

10

20

30

40

50

ーオフの電気特性を有するトランジスタを提供することを課題の一とする。または、サブスレッショルドスイング値の小さいトランジスタを提供することを課題の一とする。または、信頼性の高いトランジスタを提供することを課題の一とする。

【0010】

または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

本発明の一態様は、基板上に形成された第1の絶縁体と、第1の絶縁体の上に形成された第2の絶縁体と、第2の絶縁体の上面の少なくとも一部に接して形成された酸化物半導体と、酸化物半導体の上面の少なくとも一部に接して形成された第3の絶縁体と、酸化物半導体と電氣的に接続された第1の導電体及び第2の導電体と、第3の絶縁体の上に形成された第4の絶縁体と、第4の絶縁体の上に形成され、少なくとも一部が第1の導電体と第2の導電体の間に位置するように形成された第3の導電体と、第3の導電体の上に形成された第5の絶縁体と、を有し、第1の絶縁体はハロゲン元素を含む半導体装置である。

【0013】

また、本発明の一態様は、上記の発明において、第1の絶縁体の下に形成された第6の絶縁体を有し、第6の絶縁体は、第1の絶縁体より水及び水素を透過させにくい半導体装置である。

【0014】

また、本発明の一態様は、上記の発明において、第6の絶縁体と第1の絶縁体の間に形成され、且つ少なくとも一部が酸化物半導体と重なる第4の導電体を有する半導体装置である。

【0015】

また、本発明の一態様は、上記の発明において、第1の絶縁体に含まれる水は、昇温脱離ガス分析において、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下である半導体装置である。

【0016】

また、本発明の一態様は、上記の発明において、第4の導電体と第1の絶縁体の間に形成された第7の絶縁体を有し、第7の絶縁体はハフニウムを含む半導体装置である。

【0017】

また、本発明の一態様は、上記の発明において、第1の絶縁体と第7の絶縁体の積層膜に含まれる水は、昇温脱離ガス分析において、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下である半導体装置である。

【0018】

また、本発明の一態様は、上記の発明において、第1の絶縁体と第7の絶縁体の積層膜に含まれる水素は、昇温脱離ガス分析において、水素分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.2 \times 10^{15} \text{ molecules/cm}^2$ 以下である半導体装置である。

【0019】

また、本発明の一態様は、上記の発明において、ハロゲン元素は、フッ素、塩素または

臭素のいずれかである半導体装置である。

【発明の効果】

【0020】

安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【0021】

または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

【0022】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0023】

【図1】本発明の一態様に係るトランジスタを説明する上面図および断面図。

【図2】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。

【図3】CAAC-OSの断面TEM像、ならびに平面TEM像およびその画像解析像。

【図4】nc-OSの電子回折パターンを示す図、およびnc-OSの断面TEM像。

【図5】a-like OSの断面TEM像。

【図6】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図7】本発明の一態様に係るトランジスタを説明する断面図。

【図8】本発明の一態様に係るトランジスタを説明する断面図。

【図9】本発明の一態様に係るトランジスタを説明する断面図。

【図10】本発明の一態様に係るトランジスタを説明する断面図。

【図11】本発明の一態様に係るトランジスタを説明する断面図。

【図12】本発明の一態様に係るトランジスタを説明する断面図。

【図13】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図14】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図15】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図16】成膜装置を説明する模式図および断面図。

【図17】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図18】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図19】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図20】本発明の一態様に係る製造装置を示す上面図。

【図21】本発明の一態様に係るチャンバーを示す上面図。

【図22】本発明の一態様に係るチャンバーを示す上面図。

【図23】本発明の一態様に係る半導体装置を示す回路図。

【図24】本発明の一態様に係る半導体装置を示す断面図。

【図25】本発明の一態様に係る半導体装置を示す断面図。

【図26】本発明の一態様に係る半導体装置を示す断面図。

【図27】本発明の一態様に係る記憶装置を示す回路図。

10

20

30

40

50

- 【図 28】本発明の一態様に係る半導体装置を示す断面図。
- 【図 29】本発明の一態様に係る半導体装置を示す断面図。
- 【図 30】本発明の一態様に係る半導体装置を示す断面図。
- 【図 31】本発明の一態様に係る半導体装置を示す回路図。
- 【図 32】本発明の一態様に係る半導体装置を示す断面図。
- 【図 33】本発明の一態様に係る半導体装置を示す断面図。
- 【図 34】本発明の一態様に係る半導体装置を示す断面図。
- 【図 35】本発明の一態様に係る半導体装置を示す上面図。
- 【図 36】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 37】本発明の一態様に係る半導体装置を示す断面図。 10
- 【図 38】本発明の一態様に係る半導体装置を示す断面図。
- 【図 39】本発明の一態様に係る半導体装置を示す斜視図および断面図。
- 【図 40】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 41】本発明の一態様に係る半導体装置を示す回路図。
- 【図 42】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
- 【図 43】本発明の一態様に係る半導体装置を示す回路図および断面図。
- 【図 44】本発明の一態様に係る電子機器を示す斜視図。
- 【図 45】実施例で測定した T D S 分析の結果のグラフ。
- 【図 46】実施例で測定した T D S 分析の結果のグラフ。
- 【図 47】実施例で測定した T D S 分析の結果のグラフ。 20
- 【図 48】実施例で測定した E S R 測定の結果のグラフ。
- 【図 49】実施例で測定した I d - V g 特性のグラフ。
- 【図 50】実施例で測定した s h i f t ばらつきのグラフ。
- 【図 51】実施例で測定したストレス試験の結果のグラフ。
- 【図 52】実施例で測定した成膜速度の結果のグラフ。
- 【図 53】実施例で測定した T D S 分析から水素の放出量を算出したグラフ。
- 【図 54】実施例で測定した T D S 分析から水の放出量を算出したグラフ。
- 【図 55】実施例で測定した T D S 分析の結果のグラフ。
- 【図 56】実施例で測定した T D S 分析の結果のグラフ。
- 【図 57】実施例で測定した T D S 分析の結果のグラフ。 30
- 【図 58】実施例で測定した T D S 分析の結果のグラフ。
- 【図 59】実施例で測定した S I M S 測定の結果のグラフ。
- 【図 60】実施例で測定した S I M S 測定の結果のグラフ。
- 【図 61】実施例で測定した X P S 測定の結果のグラフ。
- 【図 62】実施例で使用した A L D のレシピを示す図。
- 【図 63】実施例で測定した T D S 分析の結果のグラフ、及びグラフから算出した水の放出量を算出したグラフ。
- 【図 64】T D S 分析結果を示す図。
- 【図 65】T D S 分析結果より積算放出量を算出した図。
- 【図 66】T D S 分析結果を示す図。 40
- 【図 67】T D S 分析結果を示す図。
- 【図 68】T D S 分析結果を示す図。
- 【図 69】T D S 分析結果を示す図。
- 【図 70】T D S 分析結果より積算放出量を算出した図。
- 【図 71】T D S 分析結果より積算放出量を算出した図。
- 【図 72】T D S 分析結果より積算放出量を算出した図。
- 【図 73】T D S 分析結果より積算放出量を算出した図。
- 【図 74】酸化シリコンの結合状態を説明する図。
- 【図 75】加熱処理を説明する図。
- 【図 76】本発明の一態様に係る半導体装置を示す断面図。 50

【図 7 7】本発明の一態様に係る半導体装置を示す断面図。

【図 7 8】実施例で測定したストレス試験の結果のグラフ。

【図 7 9】実施例で測定した T D S 分析の結果のグラフ。

【図 8 0】実施例で測定した T D S 分析の結果のグラフ。

【図 8 1】実施例で測定した S I M S 分析の結果のグラフ。

【図 8 2】実施例で測定した H X - P E S 分析の結果のグラフ。

【図 8 3】実施例で測定した I d - V g 特性、しきい値電圧及び S h i f t のグラフ、及び本実施例で用いたトランジスタのモデルを示す図。

【発明を実施するための形態】

【0024】

10

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0025】

以下の実施の形態に示す構成は、実施の形態に示す他の構成に対して適宜、適用、組み合わせ、又は置き換えなどを行って、本発明の一態様とすることができる。

【0026】

20

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0027】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

【0028】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が 0 V であるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

30

【0029】

なお、第 1、第 2 として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0030】

40

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0031】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

50

【0032】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

10

【0033】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0034】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0035】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0036】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

40

【0037】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載し

50

た場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0038】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0039】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0040】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0041】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0042】

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置の構成について、図1乃至図12を用いて説明する。

【0043】

<トランジスタの構成>

以下では、本発明の一態様に係る半導体装置の一例としてトランジスタの構成について説明する。

【0044】

図1(A)乃至図1(C)を用いてトランジスタ10の構成について説明する。図1(A)はトランジスタ10の上面図である。図1(B)は図1(A)の一点鎖線A1-A2に対応する断面図であり、図1(C)は図1(A)の一点鎖線A3-A4に対応する断面図である。なお、一点鎖線A1-A2で示す領域では、トランジスタ10のチャネル長方向における構造を示しており、一点鎖線A3-A4で示す領域では、トランジスタ10のチャネル幅方向における構造を示している。なお、トランジスタのチャネル長方向とは、ソース(ソース領域またはソース電極)及びドレイン(ドレイン領域またはドレイン電極)間において、キャリアが移動する方向を意味し、チャネル幅方向は、基板と水平な面内において、チャネル長方向に対して垂直の方向を意味する。また、図1(A)において、絶縁体106a、半導体106b、絶縁体106cは、導電体108a、108bなどとはほぼ重なるように設けることができるが、上面図では見にくくなるため、絶縁体106a、半導体106b、絶縁体106cは少しずつ細い破線で表している。

【0045】

トランジスタ10は、基板100上に形成された絶縁体104と、絶縁体104の上に形成された絶縁体106aと、絶縁体106aの上面の少なくとも一部に接して形成された半導体106bと、半導体106bの上面の少なくとも一部に接して形成された絶縁体

10

20

30

40

50

106cと、半導体106bと電氣的に接続された導電体108a及び導電体108bと、絶縁体106cの上に形成された絶縁体112と、絶縁体112の上に形成され、少なくとも一部が導電体108aと導電体108bの間に位置するように形成された導電体114と、導電体114の上に形成された絶縁体116と、を有する。

【0046】

例えば、図1(A)乃至図1(C)に示すように、トランジスタ10は、基板100の上に形成された絶縁体101、導電体102、絶縁体105、絶縁体103及び絶縁体104と、絶縁体104の上に形成された絶縁体106a、半導体106b、絶縁体106c、と、半導体106bの上に形成された導電体108a、導電体108b、導電体110a及び導電体110bと、絶縁体106cの上に形成された絶縁体112と、絶縁体112の上に形成された導電体114と、導電体114の上に形成された絶縁体116、絶縁体118、導電体120a及び導電体120bと、を有する。

10

【0047】

ここで、絶縁体101、絶縁体103、絶縁体104、絶縁体105、絶縁体106a、絶縁体106c、絶縁体112、絶縁体116及び絶縁体118は、絶縁膜又は絶縁層ということもできる。また、導電体102、導電体108a、導電体108b、導電体110a、導電体110b、導電体114、導電体120aおよび導電体120bは、導電膜又は導電層ということもできる。また、半導体106bは、半導体膜又は半導体層ということもできる。

【0048】

なお、詳細は後述するが、絶縁体106aおよび絶縁体106cは、単独で用いる場合、導電体、半導体または絶縁体として機能させることができる物質を用いる場合がある。しかしながら、半導体106bと積層させてトランジスタを形成する場合、電子は半導体106b、半導体106bと絶縁体106aの界面近傍、および半導体106bと絶縁体106cの界面近傍を流れ、絶縁体106aおよび絶縁体106cは当該トランジスタのチャネルとして機能しない領域を有する。このため、本明細書などにおいては、絶縁体106aおよび絶縁体106cを導電体及び半導体と記載せず、絶縁体と記載するものとする。

20

【0049】

基板100上に形成された絶縁体101の上に導電体102が形成されている。導電体102の少なくとも一部は、絶縁体106a、半導体106b、絶縁体106c、と重なっている。導電体102の上に接して、導電体102を覆うように絶縁体105が形成されている。絶縁体105の上に絶縁体103が形成され、絶縁体103の上に絶縁体104が形成されている。

30

【0050】

絶縁体104の上に絶縁体106aが形成され、絶縁体106aの上面の少なくとも一部に接して半導体106bが形成される。図1(B)においては、絶縁体106a及び半導体106bの端部が概略一致するように絶縁体106a及び半導体106bが形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。

【0051】

半導体106bの上面の少なくとも一部に接して導電体108a及び導電体108bが形成されている。導電体108aと導電体108bは離間して形成されており、図1(A)に示すように導電体114を挟んで対向して形成されていることが好ましい。

40

【0052】

半導体106bの上面の少なくとも一部に接して絶縁体106cが形成される。絶縁体106cは、導電体108aと導電体108bに挟まれる領域において絶縁体106bと接することが好ましい。図1(B)において絶縁体106cは、導電体108a及び導電体108bの上面を概略覆うように形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。

【0053】

50

絶縁体106cの上に絶縁体112が形成される。絶縁体112の上に、導電体108aと導電体108bの間に重なるように導電体114が形成される。図1(B)において絶縁体112と絶縁体106cの端部が概略一致するように、絶縁体112と絶縁体106cが形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。

【0054】

導電体114及び絶縁体112の上に絶縁体116が形成され、絶縁体116の上に絶縁体118が形成される。絶縁体118の上に導電体120a及び導電体120bが形成されている。導電体120a及び導電体120bは、絶縁体106c、絶縁体112、絶縁体116及び絶縁体118に形成された開口を介して、導電体108a及び導電体108bと接続されている。

10

【0055】

なお、導電体114は、絶縁体112、絶縁体106c、絶縁体104、絶縁体103、絶縁体105などに形成された開口を介して導電体102と接続される構成としてもよい。

【0056】

<半導体>

以下、半導体106bの詳細な構成について説明する。

【0057】

なお、本項目においては、半導体106bとともに絶縁体106a、絶縁体106cの詳細な構成についても説明する。

20

【0058】

半導体106bは、例えば、インジウムを含む酸化物半導体である。半導体106bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体106bは、元素Mを含むと好ましい。元素Mは、好ましくは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHfを表すとする。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体106bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

30

【0059】

ただし、半導体106bは、インジウムを含む酸化物半導体に限定されない。半導体106bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0060】

例えば、絶縁体106aおよび絶縁体106cは、半導体106bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体106bを構成する酸素以外の元素一種以上、または二種以上から絶縁体106aおよび絶縁体106cが構成されるため、絶縁体106aと半導体106bとの界面、および半導体106bと絶縁体106cとの界面において、欠陥準位が形成されにくい。

40

【0061】

絶縁体106a、半導体106b及び絶縁体106cは、少なくともインジウムを含むと好ましい。なお、絶縁体106aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、半導体106bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%

50

より高く、Mが66 atomic %未満とする。また、絶縁体106cがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高くする。なお、絶縁体106cは、絶縁体106aと同種の酸化物を用いても構わない。ただし、絶縁体106aまたは／および絶縁体106cがインジウムを含まなくても構わない場合がある。例えば、絶縁体106aまたは／および絶縁体106cが酸化ガリウムまたはGa-Zn酸化物であっても構わない。なお、絶縁体106a、半導体106bおよび絶縁体106cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

【0062】

例えば、スパッタリング法を用いて成膜する場合、絶縁体106aまたは絶縁体106cに用いるターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:2:4、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:3、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:6:3、In:M:Zn=1:6:4、In:M:Zn=1:6:5、In:M:Zn=1:6:6、In:M:Zn=1:6:7、In:M:Zn=1:6:8、In:M:Zn=1:6:9、In:M:Zn=1:10:1等がある。また、絶縁体106aまたは絶縁体106cに用いるターゲットの金属元素の原子数比をM:Zn=10:1としてもよい。

【0063】

また、例えば、スパッタリング法を用いて成膜する場合、半導体106bに用いるターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:1.5、In:M:Zn=2:1:2.3、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1、In:M:Zn=5:1:7等がある。特に、スパッタリングターゲットとして、原子数比がIn:Ga:Zn=4:2:4.1を用いる場合、成膜される半導体106bの原子数比は、In:Ga:Zn=4:2:3近傍となる場合がある。

【0064】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、絶縁体106cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga/(In+Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0065】

半導体106bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体106bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。ここで、絶縁体106aのエネルギーギャップは、半導体106bのエネルギーギャップより大きい。また、絶縁体106cのエネルギーギャップは、半導体106bのエネルギーギャップより大きい。

【0066】

半導体106bは、絶縁体106aまたは絶縁体106cよりも電子親和力の大きい酸化物を用いる。例えば、半導体106bとして、絶縁体106aおよび絶縁体106cよりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。言い換えると、絶縁体106aまたは絶縁体106cの伝導帯下端のエネルギー準位は、半導体106bの伝導帯下端のエネルギー準位より真空準位に近い。

【0067】

このとき、ゲート電圧を印加すると、絶縁体106a、半導体106b及び絶縁体10

10

20

30

40

50

6 c のうち、電子親和力の大きい半導体 1 0 6 b にチャネルが形成される。なお、高いゲート電圧を印加すると、絶縁体 1 0 6 a の半導体 1 0 6 b との界面近傍、及び絶縁体 1 0 6 c の半導体 1 0 6 b との界面近傍においても電流が流れる場合がある。

【0068】

上記の通り、絶縁体 1 0 6 a および絶縁体 1 0 6 c は、単独で用いる場合、導電体、半導体または絶縁体として機能させることができる物質からなる。しかしながら、半導体 1 0 6 b と積層させてトランジスタを形成する場合、電子は半導体 1 0 6 b、半導体 1 0 6 b と絶縁体 1 0 6 a の界面近傍、および半導体 1 0 6 b と絶縁体 1 0 6 c の界面近傍を流れ、絶縁体 1 0 6 a および絶縁体 1 0 6 c は当該トランジスタのチャネルとして機能しない領域を有する。このため、本明細書などにおいては、絶縁体 1 0 6 a および絶縁体 1 0 6 c を半導体と記載せず、絶縁体と記載するものとする。なお、絶縁体 1 0 6 a および絶縁体 1 0 6 c を絶縁体と記載するのは、あくまで半導体 1 0 6 b と比較してトランジスタの機能上絶縁体に近い機能を有するためなので、絶縁体 1 0 6 a または絶縁体 1 0 6 c として、半導体 1 0 6 b に用いることができる物質を用いる場合もある。

【0069】

ここで、絶縁体 1 0 6 a と半導体 1 0 6 b との間には、絶縁体 1 0 6 a と半導体 1 0 6 b との混合領域を有する場合がある。また、半導体 1 0 6 b と絶縁体 1 0 6 c との間には、半導体 1 0 6 b と絶縁体 1 0 6 c との混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、絶縁体 1 0 6 a、半導体 1 0 6 b 及び絶縁体 1 0 6 c の積層膜は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる。なお、絶縁体 1 0 6 a と半導体 1 0 6 b、または絶縁体 1 0 6 c と半導体 1 0 6 b は、それぞれの界面を明確に判別できない場合がある。

【0070】

このとき、電子は、絶縁体 1 0 6 a 中及び絶縁体 1 0 6 c 中ではなく、半導体 1 0 6 b 中を主として移動する。上述したように、絶縁体 1 0 6 a と半導体 1 0 6 b との界面における欠陥準位密度、および半導体 1 0 6 b と絶縁体 1 0 6 c との界面における欠陥準位密度を低くすることによって、半導体 1 0 6 b 中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0071】

また、トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0072】

トランジスタのオン電流を高くするためには、例えば、半導体 1 0 6 b の上面または下面（被形成面、ここでは絶縁体 1 0 6 a の上面）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが 1nm 未満、好ましくは 0.6nm 未満、さらに好ましくは 0.5nm 未満、より好ましくは 0.4nm 未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Ra ともいう。）が 1nm 未満、好ましくは 0.6nm 未満、さらに好ましくは 0.5nm 未満、より好ましくは 0.4nm 未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-V ともいう。）が 10nm 未満、好ましくは 9nm 未満、さらに好ましくは 8nm 未満、より好ましくは 7nm 未満とすればよい。RMS 粗さ、Ra および P-V は、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システム SPA-500 などを用いて測定することができる。

【0073】

また、トランジスタのオン電流を高くするためには、絶縁体 1 0 6 c の厚さは小さいほど好ましい。絶縁体 1 0 6 c の厚さは、絶縁体 1 0 6 a の厚さより小さく、半導体 1 0 6 b の厚さより小さいことが好ましい。例えば、 10nm 未満、好ましくは 5nm 以下、さらに好ましくは 3nm 以下の領域を有する絶縁体 1 0 6 c とすればよい。一方、絶縁体 1

06cは、チャンネルの形成される半導体106bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、絶縁体106cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する絶縁体106cとすればよい。

【0074】

また、信頼性を高くするためには、絶縁体106aは厚いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する絶縁体106aとすればよい。絶縁体106aの厚さを、厚くすることで、隣接する絶縁体と絶縁体106aとの界面からチャンネルの形成される半導体106bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する絶縁体106aとすればよい。

【0075】

酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。したがって、半導体106bのシリコン濃度は低いほど好ましい。例えば、半導体106bと絶縁体106aとの間に、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）において、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。また、半導体106bと絶縁体106cとの間に、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。

【0076】

また、半導体106bの水素濃度を低減するために、絶縁体106aおよび絶縁体106cの水素濃度を低減すると好ましい。絶縁体106aおよび絶縁体106cは、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体106bの窒素濃度を低減するために、絶縁体106aおよび絶縁体106cの窒素濃度を低減すると好ましい。絶縁体106aおよび絶縁体106cは、SIMSにおいて、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

【0077】

本実施の形態に示す絶縁体106a、半導体106b及び絶縁体106c、特に半導体106bは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物半導体であり、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶことができる。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体にチャンネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、オフ電流が著しく小さく、チャネ

ル幅 W が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。

【0078】

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

【0079】

絶縁体106a、半導体106b及び絶縁体106cに含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。特に酸素欠損にトラップされた水素は、半導体のバンド構造に対して浅いドナー準位を形成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、絶縁体106a、半導体106b及び絶縁体106cは水素ができる限り低減されていることが好ましい。具体的には、絶縁体106a、半導体106b及び絶縁体106cにおいて、SIMS分析により得られる水素濃度を、 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下とする。

【0080】

絶縁体106a、半導体106b及び絶縁体106cにおいて、第14族元素の一つであるシリコンや炭素が含まれると、絶縁体106a、半導体106b及び絶縁体106cにおいて酸素欠損が増加し、n型化してしまう。このため、絶縁体106a、半導体106b及び絶縁体106cにおけるシリコンや炭素の濃度と、絶縁体106a、半導体106b及び絶縁体106cとの界面近傍のシリコンや炭素の濃度（SIMS分析により得られる濃度）を、 $2 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{atoms/cm}^3$ 以下とする。

【0081】

また、絶縁体106a、半導体106b及び絶縁体106cにおいて、SIMS分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、絶縁体106a、半導体106b及び絶縁体106cのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0082】

また、絶縁体106a、半導体106b及び絶縁体106cに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下にすることが好ましい。

10

20

30

40

50

【0083】

ここで、図1(D)に絶縁体106a及び半導体106bの中央近傍の拡大断面図を示す。図1(B)及び(D)に示すように、半導体106b又は絶縁体106cなどの導電体108a又は導電体108bと接する領域(図1(B)及び図1(D)では点線で表示)に低抵抗領域109a及び低抵抗領域109bが形成されることがある。低抵抗領域109a及び低抵抗領域109bは、主に、半導体106bが接した導電体108a又は導電体108bに酸素を引き抜かれる、または導電体108a又は導電体108bに含まれる導電材料が半導体106b中の元素と結合することにより形成される。このような低抵抗領域109a及び低抵抗領域109bが形成されることにより、導電体108a又は導電体108bと半導体106bとの接触抵抗を低減することが可能となるのでトランジスタ10のオン電流を増大させることができる。

【0084】

また、図示してはいないが、絶縁体106aと導電体108a又は導電体108bとが接する領域においても低抵抗領域が形成されることもある。また、以降の図面においても同様の点線は低抵抗領域を指し示すものとする。

【0085】

また、図1(D)に示すように、半導体106bは、導電体108aと導電体108bの間に導電体108a及び導電体108bと重なった領域より膜厚の薄い領域を有することがある。これは、導電体108a及び導電体108bを形成する際に、半導体106bの上面の一部を除去することにより形成される。半導体106bの上面には、導電体108a及び導電体108bとなる導電体を成膜した際に、低抵抗領域109a及び109bと同様の抵抗の低い領域が形成される場合がある。このように、半導体106bの上面の導電体108aと導電体108bの間に位置する領域を除去することにより、半導体106bの上面の抵抗が低い領域にチャンネルが形成されることを防ぐことができる。また、以降の図面において、拡大図などで膜厚の薄い領域を示さない場合でも、同様の膜厚の薄い領域が形成されている場合がある。

【0086】

なお、上述の絶縁体106a、半導体106b及び絶縁体106cの3層構造は一例である。例えば、絶縁体106aまたは絶縁体106cのいずれか一方を設けない2層構造としてもよい。また、絶縁体106aまたは絶縁体106cの両方を設けない単層構造としてもよい。または、絶縁体106a、半導体106b及び絶縁体106cに加えて1層以上を有するn層構造(nは4以上の整数)としても構わない。なお、追加する層として、絶縁体106a、半導体106bまたは絶縁体106cのいずれかに用いることができる材料を用いればよい。

【0087】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0088】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

【0089】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0090】

10

20

30

40

50

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0091】

逆の見方をすると、安定な酸化物半導体を完全な非晶質（completely amorphous）酸化物半導体とは呼べない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆（ボイドともいう。）を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

10

【0092】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0093】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

【0094】

CAAC-OSをX線回折（XRD：X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図2（A）に示すように回折角（2θ）が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面（被形成面ともいう。）、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

20

【0095】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（110）面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行っても、図2（B）に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してφスキャンした場合、図2（C）に示すように（110）面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0096】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図2（D）に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図2（E）に示す。図2（E）より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図2（E）における第1リングは、InGaZnO₄の結晶の（010）面および（100）面などに起因すると考え

40

50

られる。また、図2(E)における第2リングは(110)面などに起因すると考えられる。

【0097】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-Osの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0098】

図3(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0099】

図3(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CANc(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-Osの被形成面または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

【0100】

また、図3(B)および図3(C)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図3(D)および図3(E)は、それぞれ図3(B)および図3(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図3(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0101】

図3(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0102】

図3(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示し、格子配列の向きを破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-Osが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0103】

以上に示すように、CAAC-Osは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-Osを、CAAC crystal (c-axis-aligned a-b-plane-anchored crystal) を有する酸化物半導体と称することもできる。

【0104】

CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0105】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0106】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0107】

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³ 未満、好ましくは 1×10^{11} /cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であり、 1×10^{-9} 個/cm³ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0108】

<nc-Os>

次に、nc-Osについて説明する。

【0109】

nc-OsをXRDによって解析した場合について説明する。例えば、nc-Osに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-Osの結晶は配向性を有さない。

【0110】

また、例えば、InGaZnO₄の結晶を有するnc-Osを薄片化し、厚さが34 nmの領域に対し、被形成面に平行にプローブ径が50 nmの電子線を入射させると、図4（A）に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1 nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図4（B）に示す。図4（B）より、リング状の領域内に複数のスポットが観測される。したがって、nc-Osは、プローブ径が50 nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1 nmの電子線を入射させることでは秩序性が確認される。

【0111】

また、厚さが10 nm未満の領域に対し、プローブ径が1 nmの電子線を入射させると、図4（C）に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10 nm未満の範囲において、nc-Osが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

10

20

30

40

50

【0112】

図4(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

10

【0113】

このように、nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0114】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

20

【0115】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0116】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

30

【0117】

図5に、a-like OSの高分解能断面TEM像を示す。ここで、図5(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図5(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図5(A)および図5(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0118】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

40

【0119】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0120】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0121】

50

なお、 InGaZnO_4 の結晶の単位格子は、 $\text{In}-\text{O}$ 層を 3 層有し、また $\text{Ga}-\text{Zn}-\text{O}$ 層を 6 層有する、計 9 層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (009) 面の格子面間隔 (d 値ともいう。) と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。したがって、以下では、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 InGaZnO_4 の結晶部と見なした。なお、格子縞は、 InGaZnO_4 の結晶の $a-b$ 面に対応する。

【0122】

図 6 は、各試料の結晶部 (22 箇所から 30 箇所) の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図 6 より、 $a\text{-like OS}$ は、TEM 像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図 6 より、TEM による観察初期においては 1.2 nm 程度の大きさだった結晶部 (初期核ともいう。) が、電子 (e^-) の累積照射量が $4.2 \times 10^8 e^-/\text{nm}^2$ においては 1.9 nm 程度の大きさまで成長していることがわかる。一方、 $nc\text{-OS}$ および $CAC\text{-OS}$ は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図 6 より、電子の累積照射量によらず、 $nc\text{-OS}$ および $CAC\text{-OS}$ の結晶部の大きさは、それぞれ 1.3 nm 程度および 1.8 nm 程度であることがわかる。なお、電子線照射および TEM の観察は、日立透過電子顕微鏡 H-9000NAR を用いた。電子線照射条件は、加速電圧を 300 kV 、電流密度を $6.7 \times 10^5 e^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を 230 nm とした。

【0123】

このように、 $a\text{-like OS}$ は、電子照射によって結晶部の成長が見られる場合がある。一方、 $nc\text{-OS}$ および $CAC\text{-OS}$ は、電子照射による結晶部の成長がほとんど見られない。即ち、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAC\text{-OS}$ と比べて、不安定な構造であることがわかる。

【0124】

また、鬆を有するため、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAC\text{-OS}$ と比べて密度の低い構造である。具体的には、 $a\text{-like OS}$ の密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満となる。また、 $nc\text{-OS}$ の密度および $CAC\text{-OS}$ の密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満となる。単結晶の密度の 78% 未満となる酸化物半導体は、成膜すること自体が困難である。

【0125】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 $a\text{-like OS}$ の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 $nc\text{-OS}$ の密度および $CAC\text{-OS}$ の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0126】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0127】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 $a\text{-like OS}$ 、 $nc\text{-OS}$ 、 $CAC\text{-OS}$ のうち、二種以上を有する積層膜であってもよい。

【0128】

<基板、絶縁体、導電体>

以下に、トランジスタ10の半導体以外の各構成要素について詳細な説明を行う。

【0129】

基板100は、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0130】

また、基板100として、トランジスタ作製時の加熱処理に耐えうる可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板100として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板100が伸縮性を有してもよい。また、基板100は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板100の厚さは、例えば、5 μm 以上700 μm 以下、好ましくは10 μm 以上500 μm 以下、さらに好ましくは15 μm 以上300 μm 以下とする。基板100を薄くすると、半導体装置を軽量化することができる。また、基板100を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板100上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0131】

可とう性基板である基板100としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板100は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板100としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板100として好適である。

【0132】

絶縁体101は、水素又は水をブロックする機能を有する絶縁体を用いる。絶縁体106a、半導体106b、絶縁体106c近傍に設けられる絶縁体中の水素や水は、酸化物半導体としても機能する絶縁体106a、半導体106b、絶縁体106c中にキャリアを生成する要因の一つとなる。これによりトランジスタ10の信頼性が低下するおそれがある。特に基板100としてスイッチ素子などのシリコン系半導体素子を設けた基板を用いる場合、当該半導体素子のダングリングボンドを終端するために水素が用いられ、当該水素がトランジスタ10まで拡散するおそれがある。これに対して水素又は水をブロックする機能を有する絶縁体101を設けることによりトランジスタ10の下層から水素又は

水が拡散するのを抑制し、トランジスタ10の信頼性を向上させることができる。絶縁体101は、絶縁体105又は絶縁体104より水素または水を透過させにくいことが好ましい。

【0133】

また、絶縁体101は酸素をブロックする機能も有することが好ましい。絶縁体101が絶縁体104から拡散する酸素をブロックすることにより、絶縁体104から絶縁体106a、半導体106b、絶縁体106cに効果的に酸素を供給することができる。

【0134】

絶縁体101としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。これらを絶縁体101として用いることにより、酸素、水素又は水の拡散をブロックする効果を示す絶縁膜として機能することができる。また、絶縁体101としては、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。これらを絶縁体101として用いることにより、水素、水の拡散をブロックする効果を示す絶縁膜として機能することができる。なお、本明細書等において、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものを指し、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多いものを指す。

【0135】

導電体102は、導電体108aと導電体108bに挟まれる領域において、少なくとも一部が半導体106bと重なることが好ましい。導電体102は、トランジスタ10のバックゲートとして機能する。このような導電体102を設けることにより、トランジスタ10のしきい値電圧の制御を行うことができる。しきい値電圧の制御を行うことによって、トランジスタ10のゲート（導電体114）に印加された電圧が低い、例えば印加された電圧が0V以下のときに、トランジスタ10が導通状態となることを防ぐことができる。つまり、トランジスタ10の電気特性を、よりノーマリーオフの方向にシフトさせることが容易になる。

【0136】

導電体102としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0137】

絶縁体105は導電体102を覆うように設けられる。絶縁体105は、後述する絶縁体104または絶縁体112と同様の絶縁体を用いることができる。

【0138】

絶縁体103は絶縁体105を覆うように設けられる。絶縁体103は、酸素をブロックする機能を有することが好ましい。このような絶縁体103を設けることにより絶縁体104から導電体102が酸素を引き抜くことを防ぐことができる。これにより、絶縁体104から絶縁体106a、半導体106b、絶縁体106cに効果的に酸素を供給することができる。また、絶縁体103の被覆性を高くすることにより、より絶縁体104から引き抜かれる酸素をより低減し、絶縁体104から絶縁体106a、半導体106b、絶縁体106cに、より効果的に酸素を供給することができる。

【0139】

絶縁体103としては、ホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物を用いる。好ましくは、酸化ハフニウムまたは酸化アルミニウムを用いる。

【0140】

なお、絶縁体105、絶縁体103及び絶縁体104において、絶縁体103が電子捕獲領域を有すると好ましい。絶縁体105および絶縁体104が電子の放出を抑制する機能を有するとき、絶縁体103に捕獲された電子は、負の固定電荷のように振舞う。したがって、絶縁体103に電子を注入することにより、トランジスタ10のしきい値電圧を変化させることができる。絶縁体103への電子の注入は、導電体102にプラスまたはマイナスの電位を印加することで行うことができる。

【0141】

また、導電体102に電位を印加する時間、または／および印加する電位によって、電子の注入量を調整することができるため、トランジスタのしきい値電圧を所望の値とすることができる。導電体102に印加する電位は、絶縁体105においてトンネル電流が流れる程度とすればよく、例えば、20V以上60V以下、好ましくは24V以上50V以下、さらに好ましくは30V以上45V以下の電位を印加すればよい。電位の印加時間は、例えば、0.1秒以上、20秒以下、好ましくは0.2秒以上10秒以下の範囲とすればよい。

10

【0142】

また、絶縁体103中に含まれる水素または水が少ないことが好ましい。例えば、絶縁体103は、昇温脱離ガス分光法分析(TDS分析)にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水分子の脱離量が 1.0×10^{13} molecules/cm²以上 1.0×10^{16} molecules/cm²以下、さら

20

【0143】

絶縁体104は、膜中に含まれる水または水素の量が少ないことが好ましい。また、絶縁体104は過剰酸素を有する絶縁体であることが好ましい。例えば、絶縁体104としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体104としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。好ましくは、酸化シリコンまたは酸化窒化シリコンを用いる。

30

【0144】

絶縁体104中に含まれる水または水素の量は、少ないことが好ましい。例えば、絶縁体104は、TDS分析にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水分子の脱離量が 1.0×10^{13} molecules/cm²以上 1.4×10^{16} molecules/cm²以下、さらに 1.0×10^{13} molecules/cm²以上 4.0×10^{15} molecules/cm²以下、さらに 1.0×10^{13} molecules/cm²以上 2.0×10^{15} molecules/cm²以下となる

40

【0145】

上述の通り、水、水素などの不純物は、絶縁体106a、半導体106b及び絶縁体106c、特に半導体106bにおいて、欠陥準位を形成し、トランジスタの電気特性を変

50

動させる要因となる。このため、絶縁体106a、半導体106b及び絶縁体106cの下に設けられている、絶縁体104中の水または水素量を低減することにより、絶縁体104から水、水素などが半導体106bなどに供給されて欠陥準位が形成されることを、低減できる。このように欠陥準位密度が低減された酸化半導体を用いることにより、安定した電気特性を有するトランジスタを提供することができる。

【0146】

詳細は後述するが、絶縁体104、絶縁体106a、半導体106b及び絶縁体106cなどにおいては、脱水化、脱水素化、または酸素欠損低減などのために、加熱処理を行う必要がある。しかしながら、高温の加熱処理を行うことにより、絶縁体104より下の層が劣化する恐れがある。特に、本実施の形態に示すトランジスタ10を、半導体106bとは異なる半導体（例えば、シリコンなど）を活性層とする半導体素子層の上に積層して形成する場合、当該加熱処理によって、半導体素子層に含まれる、各種素子、配線などが損傷または変質する恐れがある。

10

【0147】

例えば、シリコン基板上に半導体素子層を形成する場合、素子の微細化を図るため、各素子の低抵抗化が求められる。例えば、配線材料として抵抗率の低いCu配線を形成する、トランジスタのソース領域及びド레인領域の形成のために、当該領域にニッケルシリサイドを設けるなどが挙げられる。しかしながら、Cu配線もニッケルシリサイドも耐熱性が低いという特徴を持つ。例えば、Cu配線の高温熱処理により、ボイドやヒロックが形成される、またはCuが拡散するなどの劣化が発生する。また、ニッケルシリサイドの高温熱処理により、シリサイド領域が拡張されトランジスタのソース領域とド레인領域が短絡するなどの劣化が発生する。

20

【0148】

このため、上記の加熱処理は、下層の半導体素子層を劣化させない温度範囲で行う必要がある。しかしながら、成膜時の絶縁体104に多量の水、水素が含まれている場合、下層の半導体素子層を劣化させない温度範囲で加熱処理を行っても、絶縁体104から水、水素などを十分に除去することができない。さらに、絶縁体106a、半導体106b及び絶縁体106cの成膜後に同様の温度範囲で加熱処理を行うと、絶縁体104から水、水素などが半導体106bなどに供給されて欠陥準位が形成されてしまう。

【0149】

これに対して、本実施の形態に示す絶縁体104は、上記のように水、水素の含有量が低減されているため、比較的低温（例えば、350℃以上445℃以下程度の温度範囲）の加熱で十分に水、水素などを除去することができる。さらに、絶縁体106a、半導体106b及び絶縁体106cの成膜後に同様の温度範囲で加熱処理を行っても、絶縁体104に含まれる水、水素などが十分に低減されているので、半導体106bなどに欠陥準位が形成されるのを抑制することができる。

30

【0150】

絶縁体104の成膜は、比較的低温で高品質の膜が得られるPECVD法を用いて成膜するのが好ましい。しかしながら、例えば、酸化シリコン膜などをPECVD法で成膜する場合、原料ガスとしてシリコン水素化物などが用いられることが多く、成膜時に絶縁体104中に水素、水などが導入されてしまう。そのため、本実施の形態に示す絶縁体104の成膜は、原料ガスとしてハロゲン化ケイ素を用いて行うことが好ましい。ここで、ハロゲン化ケイ素としては、例えば、 SiF_4 （四フッ化ケイ素）、 SiCl_4 （四塩化ケイ素）、 SiHCl_3 （三塩化ケイ素）、 SiH_2Cl_2 （ジクロルシラン）または SiBr_4 （四臭化ケイ素）などを用いることができる。

40

【0151】

絶縁体104の成膜に、原料ガスとしてハロゲン化ケイ素を用いることにより、絶縁体104中にハロゲンが含まれる場合がある。また、絶縁体104の成分とハロゲンが共有結合を形成する場合がある。例えば、 SiF_4 を原料ガスとして絶縁体104を成膜した場合、絶縁体104中に、フッ素が含まれ、 $\text{Si}-\text{F}$ の共有結合が形成される場合がある

50

。ここで、SiFの共有結合を有する絶縁体104は、X線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)を用いた評価で685.4eV以上687.5eV以下の範囲にスペクトルのピークを有することがある。

【0152】

また、絶縁体104の成膜に、原料ガスとしてハロゲン化ケイ素を用いる場合、ハロゲン化ケイ素に加えてシリコン水素化物を加えてもよい。これにより、シリコン水素化物だけを原料ガスにした場合より絶縁体104中の水素、水の含有量を減らし、且つハロゲン化ケイ素だけを原料ガスとした場合より成膜速度の向上を図ることができる。例えば、SiF₄とSiH₄を原料ガスとして絶縁体104の成膜を行えばよい。なお、SiF₄とSiH₄の流量の割合は、絶縁体104中の水、水素の含有量と成膜速度を考慮して適宜設定すればよい。絶縁体104の成膜方法の詳細については後述する。

10

【0153】

また、絶縁体104だけでなく、絶縁体101と絶縁体106aの間に設けられる絶縁体の積層膜(本実施の形態においては、絶縁体105、絶縁体103及び絶縁体104の積層膜)に含まれる水、または水素の量が少ないことが好ましい。上述のように、絶縁体101を水、水素をブロックする機能を有する絶縁体とすると、絶縁体106a、半導体106bとなる酸化物を成膜するときに、当該酸化物に供給される水、水素は、絶縁体105、絶縁体103及び絶縁体104に含まれるものである。このため、絶縁体106a、半導体106bとなる酸化物を成膜するときに、絶縁体105、絶縁体103及び絶縁体104の積層膜に含まれる水、または水素の量が十分少なければ、絶縁体106a、半導体106bに水または水素が供給されるのを低減することができる。

20

【0154】

例えば、絶縁体105、絶縁体103及び絶縁体104の積層膜は、TDS分析にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $4.0 \times 10^{15} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $2.0 \times 10^{15} \text{ molecules/cm}^2$ 以下となることが好ましい。また、TDS分析にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水素分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.2 \times 10^{15} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $9.0 \times 10^{14} \text{ molecules/cm}^2$ 以下となることが好ましい。なお、TDS分析を用いた分子の放出量の測定方法の詳細については、後述する。

30

【0155】

また、このような、水、水素が低減された絶縁体は絶縁体104だけでなく、他の絶縁体に用いてもよい。例えば、絶縁体105に用いてもよいし、後述する、絶縁体112、絶縁体118に用いてもよい。また、水素又は水に対するブロック性を満たすならば、絶縁体101、絶縁体116などに用いてもよい。また、絶縁体101より下に半導体素子層又は配線層などを設ける場合、当該半導体素子層または配線層の層間絶縁膜として用いてもよい。また、絶縁体118の上に半導体素子層又は配線層などを設ける場合、当該半導体素子層または配線層の層間絶縁膜として用いてもよい。

40

【0156】

また、絶縁体104は過剰酸素を有する絶縁体であることが好ましい。このような絶縁体104を設けることにより、絶縁体104から絶縁体106a、半導体106b、絶縁体106cに酸素を供給することができる。当該酸素により、酸化物半導体である絶縁体106a、半導体106b、絶縁体106cの欠陥となる酸素欠損を低減することができる。これにより、絶縁体106a、半導体106b、絶縁体106cを欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。

【0157】

50

なお、本明細書などにおいて、過剰酸素とは、例えば、化学量論的組成を超えて含まれる酸素をいう。または、過剰酸素とは、例えば、加熱することで当該過剰酸素が含まれる膜又は層から放出される酸素をいう。過剰酸素は、例えば、膜や層の内部を移動することができる。過剰酸素の移動は、膜や層の原子間を移動する場合や、膜や層を構成する酸素と置き換わりながら玉突きの移動する場合などがある。

【0158】

過剰酸素を有する絶縁体104は、TDS分析にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、酸素分子の脱離量が $1.0 \times 10^{14} \text{ molecules/cm}^2$ 以上 $1.0 \times 10^{16} \text{ molecules/cm}^2$ 以下、より好ましくは、 $1.0 \times 10^{15} \text{ molecules/cm}^2$ 以上 $5.0 \times 10^{15} \text{ molecules/cm}^2$ 以下となる。

10

【0159】

TDS分析を用いた分子の放出量の測定方法について、酸素の放出量を例として、以下に説明する。

【0160】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0161】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

20

【0162】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha$$

【0163】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定する。

30

【0164】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

40

【0165】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0166】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴法(ESR: Electron Spin Resonance)にて、g値が2.01近傍に非対称の信号を有することもある。

【0167】

50

また、絶縁体104は、基板100からの不純物の拡散を防止する機能を有してもよい。

【0168】

また、上述の通り半導体106bの上面又は下面は平坦性が高いことが好ましい。このため、絶縁体104の上面に化学機械研磨（CMP：Chemical Mechanical Polishing）法などによって平坦化処理を行って平坦性の向上を図ってもよい。

【0169】

導電体108a及び導電体108bは、それぞれトランジスタ10のソース電極またはドレイン電極のいずれかとして機能する。

10

【0170】

導電体108a及び導電体108bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0171】

ここで、導電体108a及び108bの下面が絶縁体104の上面と接しないことが好ましい。例えば、図1（B）に示すように、導電体108a及び導電体108bの下面が半導体106bの上面のみに接して形成されていればよい。このような構成にすることにより、導電体108a及び導電体108bの下面において、絶縁体104から酸素を引き抜くことが抑制できる。これにより、導電体108a及び導電体108bの一部が酸化して抵抗率が増大することを抑制し、且つ絶縁体104から絶縁体106a、半導体106bおよび絶縁体106cに効果的に酸素を供給することができる。

20

【0172】

また、導電体108a及び108bは、導電体114と重ならない領域において、少なくとも一部が絶縁体106cを介して絶縁体112と重なることが好ましい。例えば、図1（B）に示すように、導電体108a及び導電体108bの上面の大部分を絶縁体106cで覆う構成にすればよい。このような構成にすることにより、導電体108a及び導電体108bの上面において、絶縁体112から酸素を引き抜くことが抑制できる。これにより、導電体108a及び導電体108bの一部が酸化して抵抗率が増大することを抑制し、且つ絶縁体112から絶縁体106a、半導体106bおよび絶縁体106cに効果的に酸素を供給することができる。

30

【0173】

絶縁体112は、トランジスタ10のゲート絶縁膜として機能する。絶縁体112は、絶縁体104と同様に過剰酸素を有する絶縁体としてもよい。このような絶縁体112を設けることにより、絶縁体112から絶縁体106a、半導体106b、絶縁体106cに酸素を供給することができる。

40

【0174】

絶縁体112としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体112としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0175】

導電体114はトランジスタ10のゲート電極として機能する。導電体114としては

50

、導電体102として用いることができる導電体を用いればよい。

【0176】

ここで、図1(C)に示すように、導電体102および導電体114の電界によって、半導体106bを電気的に取り囲むことができる(導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。)。そのため、半導体106bの全体(上面、下面および側面)にチャンネルが形成される。s-channel構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流(オン電流)を高くすることができる。

【0177】

なお、トランジスタがs-channel構造を有する場合、半導体106bの側面にもチャンネルが形成される。したがって、半導体106bが厚いほどチャンネル領域は大きくなる。即ち、半導体106bが厚いほど、トランジスタのオン電流を高くすることができる。また、半導体106bが厚いほど、キャリアの制御性の高い領域の割合が増えるため、サブスレッショルドスイング値を小さくすることができる。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは30nm以上、より好ましくは50nm以上の厚さの領域を有する半導体106bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体106bとすればよい。

【0178】

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

【0179】

絶縁体116は、トランジスタ10の保護絶縁膜として機能する。ここで絶縁体116の膜厚としては、例えば5nm以上、又は20nm以上とすることができる。また、絶縁体116は少なくとも一部が絶縁体104の上面又は絶縁体112の上面と接して形成されることが好ましい。

【0180】

絶縁体116としては、例えば、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体116は酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロックする効果を有することが好ましい。このような絶縁体としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0181】

ここで絶縁体116の成膜は、スパッタリング法を用いて行うことが好ましく、酸素を含む雰囲気下でスパッタリング法を用いて行うことがより好ましい。スパッタリング法で絶縁体116の成膜をおこなうことにより、成膜と同時に絶縁体104又は絶縁体112の表面(絶縁体116成膜後は絶縁体104又は絶縁体112と絶縁体116の界面)近傍に酸素が添加される。

10

20

30

40

50

【0182】

絶縁体116は、絶縁体104及び絶縁体112より酸素を透過させにくい絶縁体であり、酸素をブロックする機能を有することが好ましい。このような絶縁体116を設けることにより、絶縁体104及び絶縁体112から絶縁体106a、半導体106b及び絶縁体106cに酸素を供給する際に、当該酸素が絶縁体116の上方に外部放出されてしまうことを防ぐことができる。

【0183】

なお、酸化アルミニウムは、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁体116に適用するのに好ましい。

【0184】

また、絶縁体116は、上述の絶縁体106aまたは絶縁体106cとして用いることができる酸化物を用いることもできる。これらの酸化物はスパッタリング法を用いて比較的容易に成膜できるので、絶縁体104及び絶縁体112に効果的に酸素を添加することができる。このような絶縁体116としては、Inを含む酸化絶縁物を用いることが好ましく、例えば、In-Al酸化物、In-Ga酸化物、In-Ga-Zn酸化物を用いればよい。Inを含む酸化絶縁物はスパッタリング法で成膜する際に発生するパーティクル数が少ないので、絶縁体116として用いるのに好適である。

【0185】

絶縁体118は、層間絶縁膜として機能する。絶縁体118としては、絶縁体105として用いることができる絶縁体を用いればよい。

【0186】

導電体120a及び導電体120bは、トランジスタ10のソース電極またはドレイン電極に電氣的に接続された配線として機能する。導電体120a及び導電体120bとしては、導電体108a及び導電体108bとして用いることができる導電体を用いればよい。

【0187】

以上のような構成とすることにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【0188】

<トランジスタの変形例>

以下、トランジスタ10の変形例について図7乃至図12を用いて説明する。なお、図7乃至図12は、図1(B)及び図1(C)と同様に、トランジスタのチャネル長方向の断面図とトランジスタのチャネル幅方向の断面図になる。

【0189】

図7(A)(B)に示すトランジスタ12は、絶縁体105が形成されていない点においてトランジスタ10と異なる。これにより、導電体102は絶縁体101と絶縁体103に囲われて設けられる。ここで、絶縁体101及び絶縁体103が酸素をブロックする機能を有することが好ましい。このような構成とすることにより、絶縁体104などから酸素を引き抜かれて導電体102が酸化することを防ぐことができる。これにより、導電体102の一部が酸化して抵抗率が増大することを抑制し、且つ絶縁体106a、半導体106b、絶縁体106cに効果的に酸素を供給することができる。

【0190】

図7(C)(D)に示すトランジスタ14は、絶縁体103、絶縁体105が形成されていない点においてトランジスタ10と異なる。これにより、絶縁体104が導電体102を覆うように設けられる。ここで、絶縁体101が酸素をブロックする機能を有することが好ましい。このような構成とすることにより、絶縁体104から絶縁体106a、半

10

20

30

40

50

導体106b、絶縁体106cに酸素を供給するときに、絶縁体104中に拡散した酸素が絶縁体104より下層に拡散することを防ぐことができる。これにより、絶縁体106a、半導体106b、絶縁体106cに効果的に酸素を供給することができる。

【0191】

また、トランジスタ14において、導電体102としては、Ru、窒化チタン、タングステンシリサイド、白金、イリジウム、酸化ルテニウム、酸化イリジウムなどの耐酸化性の強い導電体を用いればよい。このような構成とすることにより、絶縁体104の成膜雰囲気に含まれるフッ素などのハロゲンに対して、導電体102が強い耐酸化性を有するので、酸化されることを抑制することができる。

【0192】

図8(A)(B)に示すトランジスタ16は、導電体102、絶縁体103、絶縁体105が形成されていない点においてトランジスタ10と異なる。ここで、絶縁体101が酸素をブロックする機能を有することが好ましい。このような構成とすることにより、絶縁体104から絶縁体106a、半導体106b、絶縁体106cに酸素を供給するときに、絶縁体104中に拡散した酸素が絶縁体104より下層に拡散することを防ぐことができる。これにより、絶縁体106a、半導体106b、絶縁体106cに効果的に酸素を供給することができる。

【0193】

図8(C)(D)に示すトランジスタ18は、導電体102に代わって導電体102aの上に導電体102bが設けられる積層構造としている点において、トランジスタ14と異なる。導電体102aとしては、導電体102として用いることができる導電体を用いればよく、導電体102bとしては、Ru、窒化チタン、タングステンシリサイド、白金、イリジウム、酸化ルテニウム、酸化イリジウムなどの耐酸化性の強い導電体を用いればよい。このような構成とすることにより、絶縁体104の成膜雰囲気に含まれるフッ素などのハロゲンに対して、導電体102bが強い耐酸化性を有するので、導電体102aが酸化されることを抑制することができる。

【0194】

図9(A)(B)に示すトランジスタ20は、絶縁体107が絶縁体101上に設けられており、絶縁体107中の開口に導電体102が埋め込まれている点において、トランジスタ10と異なる。ここで、絶縁体107としては、絶縁体105として用いることができる絶縁体を用いればよい。また、絶縁体107及び導電体102の上面は、CMP法などによって平坦化処理を行って平坦性の向上を図ることが好ましい。これにより、バックゲートとして機能する導電体102を設けても、半導体106bを形成する面の平坦性が損なわれないため、キャリアの移動度を向上させ、トランジスタ20のオン電流を増大させることができる。また、導電体102の形状に起因する絶縁体104表面の段差がなくなることにより、導電体108a、108bのドレインとして機能するものと導電体102との間で、絶縁体104の段差部を介して発生するリーク電流を低減することができる。これによりトランジスタ20のオフ電流を低減することができる。

【0195】

図10(A)(B)に示すトランジスタ22は、導電体108a、導電体108b及び絶縁体104の上を覆って絶縁体117が形成され、絶縁体117に半導体106bに達する開口が設けられ、当該開口に絶縁体106c、絶縁体112、導電体114が埋め込まれるように設けられている点において、トランジスタ20と異なる。また、当該開口によって、導電体108aと導電体108bは、離間させられている。トランジスタ22は、ゲート電極として機能する導電体114が、絶縁体117などによって形成される開口部を埋めるように自己整合(self align)的に形成されるので、TGSA-s-channel FET(Trench Gate Self Align-s-channel FET)と呼ぶこともできる。

【0196】

ここで、絶縁体117は、絶縁体104に用いることができる絶縁体を用いて形成すれ

10

20

30

40

50

ばよい。また、絶縁体 117 の上面はCMP法などによって平坦化すればよい。

【0197】

ここで、上記絶縁体 104 と同様に絶縁体 117 を成膜する際に SiF_4 などのハロゲン化ケイ素を用いると、フッ素などのハロゲンが絶縁体 117 中に含まれる。これにより熱処理時に絶縁体 117 中の酸素がフッ素と置換して酸素が脱離する。脱離した酸素が絶縁体 106a、半導体 106b に供給される構成としてもよい。また、フッ素などのハロゲンを絶縁体 117 中に含ませて絶縁体 117 を比誘電率が 3.5 未満、より好ましくは 3 未満の low-k 膜として機能させることが好ましい。絶縁体 117 をこのような構成とすることにより、さらに寄生容量を低減することができる。

【0198】

トランジスタ 22 では、導電体 108a と導電体 114 の間に絶縁体 117、絶縁体 106c 及び絶縁体 112 が設けられる。また、導電体 108b と導電体 114 の間に絶縁体 117、絶縁体 106c 及び絶縁体 112 が設けられる。よって、導電体 108a の上面と導電体 114 の下面の間の距離、及び導電体 108b の上面と導電体 114 の下面の間の距離を、絶縁体 117 の膜厚の分だけ広げることができる。これにより、導電体 114 と導電体 108a または導電体 108b が重なる領域に発生する寄生容量を低減することができる。寄生容量を低減することにより、トランジスタのスイッチング速度を向上させることができるので、高い周波数特性を有するトランジスタを提供することができる。

【0199】

図 10 (C) (D) に示すトランジスタ 24 は、絶縁体 117、絶縁体 106c、絶縁体 112 及び導電体 114 の上面が概略一致しており、平坦に設けられている点において、トランジスタ 22 と異なる。これは、絶縁体 117、絶縁体 106c、絶縁体 112 及び導電体 114 の上面をCMP法などによって平坦化すればよい。

【0200】

これにより、導電体 114 と導電体 108a または導電体 108b が重なる領域がほぼ形成されなくなるので、トランジスタ 24 のゲートソース間、及びゲートドレイン間に発生する寄生容量を低減することができる。寄生容量を低減することにより、トランジスタのスイッチング速度を向上させることができるので、高い周波数特性を有するトランジスタを提供することができる。

【0201】

図 11 (A) (B) に示すトランジスタ 29 は、絶縁体 107 が絶縁体 101 上に設けられており、絶縁体 107 中の開口に導電体 102 が埋め込まれている点において、トランジスタ 24 と異なる。また、絶縁体 106c が、絶縁体 106a および半導体 106b を覆っている点においても、トランジスタ 24 と異なる。トランジスタ 29 は、絶縁体 117 の開口部の側面に絶縁体 106c が設けられない。そのため、絶縁体 117 の開口部における導電体 114 のチャンネル長方向の長さを、トランジスタ 24 などよりも長くすることができる。

【0202】

なお、トランジスタ 29 において、導電体 108a および導電体 108b の上面および側面には、それぞれ金属酸化物 111a および金属酸化物 111b が設けられている。金属酸化物 111a および金属酸化物 111b は、導電体 108a および導電体 108b の上面よりも側面において厚く形成される場合がある。これは、導電体 108a および導電体 108b の上面と側面とで、金属酸化物 111a および金属酸化物 111b の形成される工程が異なることに起因する。

【0203】

金属酸化物 111a および金属酸化物 111b は、例えば、絶縁体 117 の成膜時、絶縁体 112 の成膜時、またはプラズマ処理などのいずれか一以上の工程によって、導電体 108a および導電体 108b が酸化することで形成される。その場合、金属酸化物 111a および金属酸化物 111b は、導電体 108a および導電体 108b を構成する元素を有する酸化物となる。

10

20

30

40

50

【0204】

導電体108aおよび金属酸化物111aを併せた体積は、金属酸化物111a形成前の導電体108aの体積よりも大きくなる場合がある。同様に、導電体108bおよび金属酸化物111bを併せた体積は、金属酸化物111b形成前の導電体108bの体積よりも大きくなる場合がある。

【0205】

導電体108aおよび導電体108bの上面および側面に、それぞれ金属酸化物111aおよび金属酸化物111bが設けられることによって、トランジスタ29は、ドレイン電極端部における電界集中が緩和される構造となる。したがって、トランジスタ29を、信頼性が高く、短チャネル効果が小さいトランジスタとすることができる。

10

【0206】

ただし、金属酸化物111aおよび金属酸化物111bは、トランジスタ29の場合だけに限定されない。例えば、他のトランジスタが金属酸化物111aおよび金属酸化物111bを有していても構わない。

【0207】

図12(A)(B)に示すトランジスタ26は、導電体108a及び導電体108bが設けられていない点、及び導電体114及び絶縁体112の端部側面が概略一致して設けられている点において、トランジスタ20と異なる。上記のトランジスタ10などはトランジスタ製造工程において、ソース領域又はドレイン領域として機能する低抵抗領域109a、109bをゲートとして機能する導電体114の形成前に形成する、*gate last*方式である。これに対して、トランジスタ26はトランジスタ製造工程において、ソース領域又はドレイン領域として機能する低抵抗領域109a、109bをゲートとして機能する導電体114の形成後に形成する、*gate first*方式である。

20

【0208】

トランジスタ26において、低抵抗領域109a及び低抵抗領域109bは、絶縁体116に含まれる元素の少なくとも一が含まれる。低抵抗領域109a及び低抵抗領域109bの一部が、半導体106bの導電体114と重なる領域（チャネル形成領域）と概略接するか、当該領域の一部と重なることが好ましい。

【0209】

また、低抵抗領域109a及び低抵抗領域109bは、絶縁体116に含まれる元素が添加されているため、半導体106bの低抵抗領域109a及び低抵抗領域109bを除く領域（例えば、半導体106bの導電体114と重なる領域）よりも、SIMS分析により得られる当該元素の濃度が高くなる。

30

【0210】

低抵抗領域109a及び低抵抗領域109bに添加される元素としては、例えば、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタングステンなどが好ましい。これらの元素は、比較的酸化物を形成しやすく、当該酸化物は半導体または絶縁体として機能しうるため、絶縁体106a、半導体106bまたは絶縁体106cに添加元素として好適である。例えば、低抵抗領域109a及び低抵抗領域109bに上記の元素が $1 \times 10^{14} \text{ molecules/cm}^2$ 以上 $2 \times 10^{16} \text{ molecules/cm}^2$ 以下含まれることが好ましい。また、絶縁体106cにおける低抵抗領域109aと低抵抗領域109bは、絶縁体106cの低抵抗領域109a及び低抵抗領域109bではない領域（例えば、絶縁体106cの導電体114と重なる領域）より、上述の元素の濃度が高い。

40

【0211】

また、低抵抗領域109a及び低抵抗領域109bは、窒素を含ませることによりn型化させることができるので、半導体106bの低抵抗領域109a及び低抵抗領域109bを除く領域（例えば、半導体106bの導電体114と重なる領域）よりも、SIMS

50

分析により得られる窒素濃度が高くなる。

【0212】

このような低抵抗領域109a及び低抵抗領域109bが形成されることにより、導電体108a又は導電体108bと絶縁体106a、半導体106b又は絶縁体106cとの接触抵抗を低減することが可能となるのでトランジスタ10のオン電流を増大させることができる。

【0213】

また、トランジスタ26では、半導体106bが絶縁体106a及び絶縁体106cによって包み込まれるように設けられている。よって、半導体106bの端部側面、特にチャンネル幅方向の端部側面近傍が、絶縁体106a及び絶縁体106cと接して設けられている。これにより、半導体106bの端部側面近傍において、絶縁体106a又は絶縁体106cとの間に連続接合が形成され、欠陥準位密度が低減される。よって、低抵抗領域109a及び低抵抗領域109bを設けることによりオン電流が流れやすくなっても、半導体106bのチャンネル幅方向の端部側面が寄生チャンネルとならず、安定した電気特性を得ることができる。

【0214】

図12(C)(D)に示すトランジスタ28は、絶縁体112及び導電体114が設けられていない点において、トランジスタ10と異なる。つまり、トランジスタ28は、所謂ボトムゲート型のトランジスタである。

【0215】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせ用いることができる。

【0216】

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置の作製方法について、図13乃至図19を用いて説明する。

【0217】

<トランジスタの作製方法>

以下において、図13乃至図15を用いてトランジスタ10の作製方法について説明する。

【0218】

まずは、基板100を準備する。基板100に用いる基板としては上述の基板を用いればよい。

【0219】

次に、絶縁体101を成膜する。絶縁体101としては上述の絶縁体を用いればよい。

【0220】

絶縁体101の成膜は、スパッタリング法、化学気相成長(CVD:Chemical Vapor Deposition)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法またはパルスレーザ堆積(PLD:Pulsed Laser Deposition)法、原子層堆積(ALD:Atomic Layer Deposition)法などを用いて行うことができる。

【0221】

次に、導電体102となる導電体を成膜する。導電体102となる導電体としては、上述の導電体を用いることができる。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0222】

次に、導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体102を形成する(図13(A)(B)参照。)。なお、単にレジストを形成するという場合、レジストの下に反射防止層を形成する場合も含まれる。

【0223】

レジストは、対象物をエッチングなどによって加工した後で除去する。レジストの除去には、プラズマ処理または／およびウェットエッチングを用いる。なお、プラズマ処理としては、プラズマアッシングが好適である。レジストなどの除去が不十分な場合、0.001 volume %以上1 volume %以下の濃度のフッ化水素酸または／およびオゾン水などによって取り残したレジストなどを除去しても構わない。

【0224】

次に、絶縁体105を成膜する。絶縁体105としては上述の絶縁体を用いればよい。絶縁体105の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、絶縁体105中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行ってもよい。例えば、トランジスタ10より下に半導体素子層が設けられている場合に比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱してもよい。

10

【0225】

また、後述する絶縁体104と同様の方法を用いてPECVD法で成膜することにより、絶縁体105に含まれる水、または水素を低減してもよい。

【0226】

次に、絶縁体103を成膜する。絶縁体103としては上述の絶縁体を用いればよい。絶縁体103の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、絶縁体103中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行ってもよい。例えば、トランジスタ10より下に半導体素子層が設けられている場合に比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱してもよい。

20

【0227】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0228】

PECVD法は、比較的低温で高品質の膜が得られる。また、TCVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いないTCVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、TCVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

30

【0229】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

40

【0230】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。またこれにより、成膜した膜にピンホールなどが形成されにくくなる。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

50

【0231】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0232】

従来のCVD法を利用した成膜装置は、成膜の際、反応のための原料ガスの1種または複数種がチャンバーに同時に供給される。ALD法を利用した成膜装置は、反応のための原料ガス（プリカーサとも呼ぶ）と反応剤として機能するガス（リアクタントとも呼ぶ）を交互にチャンバーに導入し、これらのガスの導入を繰り返すことで成膜を行う。なお、導入ガスの切り替えは、例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて行うことができる。

【0233】

例えば、以下のような手順で成膜を行う。まず、プリカーサをチャンバーに導入し、基板表面にプリカーサを吸着させる（第1ステップ）。ここで、プリカーサが基板表面に吸着することにより、表面化学反応の自己停止機構が作用し、基板上のプリカーサの層の上にさらにプリカーサが吸着することはない。なお、表面化学反応の自己停止機構が作用する基板温度の適正範囲をALD Windowとも呼ぶ。ALD Windowは、プリカーサの温度特性、蒸気圧、分解温度などによって決まる。次に、不活性ガス（アルゴン、或いは窒素など）などをチャンバーに導入し、余剰なプリカーサや反応生成物などをチャンバーから排出する（第2ステップ）。また、不活性ガスを導入する代わりに真空排気によって、余剰なプリカーサや反応生成物などをチャンバーから排出してもよい。次に、リアクタント（例えば、酸化剤（ H_2O 、 O_3 など））をチャンバーに導入し、基板表面吸着したプリカーサと反応させて、膜の構成分子を基板に吸着させたままプリカーサの一部を除去する（第3ステップ）。次に、不活性ガスの導入または真空排気によって、余剰なリアクタントや反応生成物などをチャンバーから排出する（第4ステップ）。

【0234】

なお、第3ステップにおけるリアクタントの導入と、第4ステップにおける不活性ガスの導入を複数回繰り返し行ってもよい。つまり、第1ステップ、第2ステップの後に、第3ステップ、第4ステップ、第3ステップ、第4ステップ…、と第3ステップと第4ステップを繰り返し行ってもよい。

【0235】

例えば、第3ステップで酸化剤として O_3 を導入し、第4ステップで N_2 パージを行い、この工程を複数回繰り返してもよい。

【0236】

また、第3ステップと第4ステップを繰り返す場合、必ずしも同じ種類のリアクタントの導入を繰り返す必要はない。例えば、1回目の第3ステップで酸化剤として H_2O を用い、2回目以降の第3ステップで酸化剤として O_3 を用いてもよい。

【0237】

このようにして、チャンバー内で酸化剤の導入と不活性ガスの導入（または真空排気）を短時間で複数回繰り返すことで、基板表面に吸着したプリカーサから、余分な水素原子などをより確実に取り除き、チャンバーの外に排除することができる。また、酸化剤の種類を2種類に増やすことにより、基板表面に吸着したプリカーサから、余分な水素原子などをより多く取り除くことができる。このように、成膜中に水素原子が膜中に取り込まれないようにすることにより成膜した絶縁体 103 などに含まれる水、水素などを低減することができる。

【0238】

このような方法を用いることにより、絶縁体103を、TDS分析にて100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.0 \times 10^{16} \text{ molecules/cm}^2$ 以下、さらに好ましくは $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $3.0 \times 10^{15} \text{ molecules/cm}^2$ 以下となる絶縁体とすることができる。

【0239】

このようにして、基板表面に第1の単一層を成膜することができ、第1乃至第4ステップを再び行うことで、第1の単一層の上に第2の単一層を積層することができる。第1乃至第4ステップを、ガス導入を制御しつつ、膜が所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

10

【0240】

ALD法は、熱エネルギーを用いてプリカーサを反応させて行う成膜方法である。さらに、上記のリアクタントの反応において、プラズマを用いてリアクタントをラジカル状態として処理を行うALD法をプラズマALD法と呼ぶことがある。またこれに対して、プリカーサ及びリアクタントの反応を熱エネルギーで行うALD法を熱ALD法と呼ぶことがある。

【0241】

ALD法は、極めて薄い膜を均一な膜厚で成膜することができる。また、凹凸を有する面に対しても、表面被覆率が高い。

20

【0242】

また、プラズマALD法により成膜することで、熱ALD法に比べてさらに低温での成膜が可能となる。プラズマALD法は、例えば、100度以下でも成膜速度を低下させずに成膜することができる。また、プラズマALD法では、酸化剤だけでなく、窒素ガスなど多くのリアクタントを用いることができるので、酸化物だけでなく、窒化物、フッ化物、金属など多くの種類の膜を成膜することができる。

【0243】

また、プラズマALD法を行う場合には、ICP (Inductively Coupled Plasma) などのように基板から離れた状態でプラズマを発生させることもできる。このようにプラズマを発生させることにより、プラズマダメージを抑えることができる。

30

【0244】

ここで、ALD法を用いて成膜することが可能な装置の一例として、成膜装置1000の構成について、図16(A)及び図16(B)を用いて説明する。図16(A)は、マルチチャンバー型の成膜装置1000の模式図であり、図16(B)は、成膜装置1000に用いることができるALD装置の断面図である。

【0245】

《成膜装置の構成例》

成膜装置1000は、搬入室1002と、搬出室1004と、搬送室1006と、成膜室1008と、成膜室1009と、成膜室1010と、搬送アーム1014と、を有する。ここで、搬入室1002、搬出室1004、成膜室1008乃至1010は、搬送室1006と接続されている。これにより、成膜室1008乃至1010において大気に曝すことなく、連続成膜を行うことができ、膜中に不純物が混入するのを防ぐことができる。

40

【0246】

なお、搬入室1002、搬出室1004、搬送室1006、成膜室1008乃至1010は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填しておくことが好ましく、減圧を維持させることが望ましい。

【0247】

また、成膜室1008乃至1010には、ALD装置を用いることができる。また、成

50

膜室1008乃至1010のいずれかにALD装置以外の成膜装置を用いる構成としてもよい。成膜室1008乃至1010に用いる成膜装置としては、例えば、スパッタリング装置、PECVD装置、TCVD装置、MOCVD装置などがある。

【0248】

例えば、成膜室1008乃至1010に、ALD装置とPECVD装置を設ける構成とすることで、図1(B)(C)に示すトランジスタ10の酸化シリコンからなる絶縁体105をPECVD法で成膜し、酸化ハフニウムからなる絶縁体103をALD法で成膜し、ハロゲンを含む酸化シリコンからなる絶縁体104をPECVD法で成膜することができる。一連の成膜は膜を大気に曝すことなく、連続で行われるので、膜中に不純物が混入することなく成膜を行うことができる。

10

【0249】

また、成膜装置1000は、搬入室1002、搬出室1004、成膜室1008乃至1010を有する構成としているが、本発明はこれに限られるものではない。成膜装置1000の成膜室を4個以上にする構成としてもよいし、熱処理やプラズマ処理を行うための処理室を追加する構成としてもよい。また、成膜装置1000は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

【0250】

《ALD装置》

次に、成膜装置1000に用いることができるALD装置の構成について説明する。ALD装置は、成膜室(チャンバー1020)と、原料供給部1021a、1021bと、流量制御器である高速バルブ1022a、1022bと、原料導入口1023a、1023bと、原料排出口1024と、排気装置1025を有する。チャンバー1020内に設置される原料導入口1023a、1023bは供給管やバルブを介して原料供給部1021a、1021bとそれぞれ接続されており、原料排出口1024は、排出管やバルブや圧力調整器を介して排気装置1025と接続されている。

20

【0251】

また、図16(B)に示すようにチャンバー1020にプラズマ発生装置1028を接続することにより、熱ALD法に加えて、プラズマALD法で成膜を行うことができる。プラズマALD法では、低温でも成膜レートを落とさず成膜ができるので、成膜効率の低い枚葉式の成膜装置で用いるとよい。

30

【0252】

チャンバー内部にはヒータを備えた基板ホルダ1026があり、その基板ホルダ1026上に被成膜させる基板1030を配置する。

【0253】

原料供給部1021a、1021bでは、気化器や加熱手段などによって固体の原料や液体の原料から原料ガスを形成する。または、原料供給部1021a、1021bは、気体の原料ガスを供給する構成としてもよい。

【0254】

また、原料供給部1021a、1021bを2つ設けている例を示しているが特に限定されず、3つ以上設けてもよい。また、高速バルブ1022a、1022bは時間で精密に制御することができ、原料ガスと不活性ガスのいずれか一方を供給する構成となっている。高速バルブ1022a、1022bは原料ガスの流量制御器であり、かつ、不活性ガスの流量制御器とも言える。

40

【0255】

図16(B)に示す成膜装置では、基板1030を基板ホルダ1026上に搬入し、チャンバー1020を密閉状態とした後、基板ホルダ1026のヒータ加熱により基板1030を所望の温度(例えば、80℃以上、100℃以上または150℃以上)とし、原料ガスの供給と、排気装置1025による排気と、不活性ガスの供給と、排気装置1025による排気とを繰り返すことで薄膜を基板表面に形成する。

【0256】

50

図16(B)に示す成膜装置では、原料供給部1021a、1021bで用いる原料（揮発性有機金属化合物など）を適宜選択することにより、ハフニウム、アルミニウム、タantal、ジルコニウム等から選択された一種以上の元素を含む酸化物（複合酸化物も含む）を含んで構成される絶縁層を成膜することができる。具体的には、酸化ハフニウムを含んで構成される絶縁層、酸化アルミニウムを含んで構成される絶縁層、ハフニウムシリケートを含んで構成される絶縁層、またはアルミニウムシリケートを含んで構成される絶縁層などを成膜することができる。また、原料供給部1021a、1021bで用いる原料（揮発性有機金属化合物など）を適宜選択することにより、タングステン層、チタン層などの金属層や、窒化チタン層などの窒化物層などの薄膜を成膜することもできる。

【0257】

10

例えば、ALD装置により酸化ハフニウム層を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。この場合、原料供給部1021aから供給する第1の原料ガスがTDMAHであり、原料供給部1021bから供給する第2の原料ガスがオゾンとなる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0258】

20

ALD装置により酸化アルミニウム層を形成する場合には、溶媒とアルミニウム前駆体化合物（TMA：トリメチルアルミニウムなど）を含む液体を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。この場合、原料供給部1021aから供給する第1の原料ガスがTMAであり、原料供給部1021bから供給する第2の原料ガスが H_2O となる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチルー3，5-ヘプタンジオナート）などがある。

【0259】

なお、ALD装置によりタングステン層を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン層を形成し、その後、 WF_6 ガスと H_2 ガスを順次繰り返し導入してタングステン層を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。これらのガスは、マスフローコントローラによって制御する装置構成としてもよい。

30

【0260】

次に、絶縁体104を成膜する（図13(C)(D)参照）。絶縁体104としては上述の絶縁体を用いればよい。絶縁体104の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0261】

絶縁体104の成膜は、CVD法を用いて行うことが好ましく、特にPECVD法を用いて行うことが好ましい。

40

【0262】

絶縁体104をPECVD法で成膜する場合、原料ガスとしては、水素を含まない又は水素の含有量が少ない物質を用いることが好ましく、例えば、ハロゲン化物を用いることが好ましい。例えば、絶縁体104として酸化シリコン又は酸化窒化シリコンを成膜する場合、原料ガスとしてハロゲン化ケイ素を用いることが好ましく、例えば、 SiF_4 （四フッ化ケイ素）、 $SiCl_4$ （四塩化ケイ素）、 $SiHCl_3$ （三塩化ケイ素）、 SiH_2Cl_2 （ジクロルシラン）または $SiBr_4$ （四臭化ケイ素）などを用いることができる。

【0263】

絶縁体104をPECVD法で成膜する際、酸化性ガス（例えば N_2O など）を導入し

50

て成膜を行う。上記ハロゲン化ケイ素は SiH_4 と比較すると反応性が低いため、酸化性ガスが絶縁体103に作用しやすい。これにより、絶縁体103中に含まれる水又は水素が当該酸化性ガスによって脱離され、絶縁体103中に含まれる水、水素量の低減を図ることができる可能性がある。

【0264】

また、絶縁体104の成膜に、原料ガスとしてハロゲン化ケイ素を用いる場合、ハロゲン化ケイ素に加えてシリコン水素化物を加えてもよい。これにより、シリコン水素化物だけを原料ガスにした場合より絶縁体104中の水素、水の含有量を減らし、且つハロゲン化ケイ素だけを原料ガスとした場合より成膜速度の向上を図ることができる。例えば、 SiF_4 と SiH_4 を原料ガスとして絶縁体104の成膜を行えばよい。例えば、 SiH_4 の流量を 1 sccm より大きく 10 sccm 未満、より好ましくは、 2 sccm 以上 4 sccm 以下とすることにより、絶縁体104中の水、水素の含有量と成膜速度の両方を比較的良好に得ることができる。ただし、 SiF_4 及び SiH_4 の流量の割合は、絶縁体104中の水、水素の含有量と成膜速度を考慮して適宜設定することができる。

【0265】

また、絶縁体104中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行うことが好ましい。例えば、トランジスタ10より下に半導体素子層が設けられている場合に比較的低い温度範囲（例えば、 350°C 以上 445°C 以下程度の温度範囲）で加熱しても、下記に示す方法で絶縁体104を成膜することにより、十分に水、水素などを除去することができる。

【0266】

また、基板に絶縁体104を成膜する前に、 SiH_4 をチャンバーに導入することにより、フッ素を含む酸化シリコンを成膜することが難しい酸化ハフニウム膜上にも、比較的容易にフッ素を含む酸化シリコンを成膜することができる。

【0267】

このような方法を用いることにより、絶縁体104を、TDS分析にて、 100°C 以上 700°C 以下または 100°C 以上 500°C 以下の表面温度の範囲で、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $4.0 \times 10^{15} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $2.0 \times 10^{15} \text{ molecules/cm}^2$ 以下となる絶縁体とすることができる。また、絶縁体104を、TDS分析にて、 100°C 以上 700°C 以下または 100°C 以上 500°C 以下の表面温度の範囲で、水素分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.2 \times 10^{15} \text{ molecules/cm}^2$ 以下、さらに $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $9.0 \times 10^{14} \text{ molecules/cm}^2$ 以下となる絶縁体とすることができる。

【0268】

また、後で形成する半導体106bの上面又は下面は平坦性が高いことが好ましい。このため、絶縁体104の上面にCMP処理などの平坦化処理を行って平坦性の向上を図ってもよい。

【0269】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体105、絶縁体103及び絶縁体104中の水、または水素をさらに低減させることができる。また、絶縁体104に過剰酸素を有せしめることができる場合がある。加熱処理は、 250°C 以上 650°C 以下、好ましくは 450°C 以上 600°C 以下、さらに好ましくは 520°C 以上 570°C 以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上もしくは 10% 以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、 1% 以上または 10% 以上含む雰囲気で行った加熱処理を行ってもよい。加熱処理によって、絶縁体126a及び半導体126bの結晶性を高める

ことや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるR T A装置を用いることもできる。R T A装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

【0270】

なお、トランジスタ10より下に半導体素子層が設けられている場合、比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱することができる。例えば、絶縁体105、絶縁体103及び絶縁体104の成膜時の基板加熱温度のいずれかのうち最も高い加熱温度以下とすることが好ましい。

【0271】

次に、絶縁体126aを成膜する。絶縁体126aとしては上述の絶縁体106aとして用いることができる絶縁体または半導体などを用いればよい。絶縁体126aの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0272】

次に、半導体126bを成膜する。半導体126bとしては上述の半導体106bとして用いることができる半導体を用いればよい。半導体126bの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。なお、絶縁体126aの成膜と、半導体126bの成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0273】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体126a、半導体126bの水素濃度を低減させることができる場合がある。また、絶縁体126a及び半導体126bの酸素欠損を低減させることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行った加熱処理を行ってもよい。加熱処理によって、絶縁体126a及び半導体126bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるR T A装置を用いることもできる。R T A装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。絶縁体126a及び半導体126bとしてCAAC-Osを用いる場合、加熱処理を行うことで、ピーク強度が高くなり、半値全幅が小さくなる。即ち、加熱処理によってCAAC-Osの結晶性が高くなる。

【0274】

なお、トランジスタ10より下に半導体素子層が設けられている場合、比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱することができる。例えば、絶縁体105、絶縁体103及び絶縁体104の成膜時の基板加熱温度、または絶縁体104成膜後の加熱処理の温度、のいずれかのうち最も高い加熱温度以下とすることが好ましい。上記に示す方法で絶縁体104を成膜することにより絶縁体104中の水、水素などを十分除去できているので、絶縁体126a及び半導体126bに水又は水素が供給されるのを十分低減することができる。

【0275】

当該加熱処理により、絶縁体104から絶縁体126a、及び半導体126bに酸素を供給することができる。絶縁体104に対して加熱処理を行うことにより、極めて容易に酸素を絶縁体126a及び半導体126bに供給することができる。

【0276】

ここで、絶縁体103は、酸素をブロックするバリア膜として機能する。絶縁体103が絶縁体104の下に設けられていることにより、絶縁体104中に拡散した酸素が絶縁体104より下層に拡散することを防ぐことができる。

【0277】

このように絶縁体126a及び半導体126bに酸素を供給し、酸素欠損を低減させることにより、欠陥準位密度の低い、高純度真性または実質的に高純度真性な酸化物半導体とすることができる。

【0278】

また、高密度プラズマ処理などを行ってもよい。高密度プラズマは、マイクロ波を用いて生成すればよい。高密度プラズマ処理では、例えば、酸素、亜酸化窒素などの酸化性ガスを用いればよい。または、酸化性ガスと、He、Ar、Kr、Xeなどの希ガスと、の混合ガスを用いてもよい。高密度プラズマ処理において、基板にバイアスを印加してもよい。これにより、プラズマ中の酸素イオンなどを基板側に引き込むことができる。高密度プラズマ処理は基板を加熱しながら行ってもよい。例えば、上記加熱処理の代わりに高密度プラズマ処理を行う場合、上記加熱処理の温度より低温で同様の効果を得ることができる。高密度プラズマ処理は、絶縁体126aの成膜前に行ってもよいし、絶縁体112の成膜後に行ってもよいし、絶縁体116の成膜後などに行ってもよい。

10

【0279】

次に、導電体128を成膜する（図13（E）（F）参照。）。導電体128としては上述の導電体108a及び導電体108bとして用いることができる導電体を用いればよい。導電体128の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0280】

次に、導電体128上にレジストなどを形成し、該レジストなどを用いて加工し、導電体108a及び導電体108bを形成する。

20

【0281】

次に、半導体126b上にレジストなどを形成し、該レジストなど、導電体108a及び導電体108bを用いて加工し、絶縁体106a及び半導体106bを形成する（図13（G）（H）参照。）。

【0282】

また、ここで、半導体106bの導電体108a及び導電体108bと接する領域において、低抵抗領域109a及び低抵抗領域109bが形成されることがある。また、半導体106bは、導電体108aと導電体108bの間に導電体108a及び導電体108bと重なった領域より膜厚の薄い領域を有することがある。これは、導電体108a及び導電体108bを形成する際に、半導体106bの上面の一部を除去することにより形成される。

30

【0283】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体104、絶縁体103及び絶縁体105、絶縁体106a及び半導体106b中の水、または水素をさらに低減させることができる。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気で行ってもよい。また、酸化性ガスを含む雰囲気で行ってもよい。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。RTA装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

40

【0284】

なお、トランジスタ10より下に半導体素子層が設けられている場合、下層の半導体素子層を劣化させないように、比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱することが好ましい。

【0285】

ここで、成膜時の絶縁体104に多量の水、水素が含まれている場合、下層の半導体素

50

子層を劣化させない温度範囲で加熱処理を行っても、絶縁体104から水、水素などを十分に除去することができないおそれがある。さらに、絶縁体106cの成膜後に同様の温度範囲で加熱処理を行うと、絶縁体104から水、水素などが半導体106bなどに供給されて欠陥準位が形成されるおそれがある。

【0286】

これに対して、上記のように、絶縁体106a及び半導体106bを形成し、絶縁体104の表面が露出されている段階で熱処理を行うことにより、絶縁体106a及び半導体106bに水、水素が供給されるのを抑制しながら、絶縁体104、絶縁体103及び絶縁体105中の水、または水素をさらに低減させることができる。絶縁体104、絶縁体103及び絶縁体105中の水、または水素をさらに低減させることにより、比較的低温（例えば、350℃以上445℃以下程度の温度範囲）の加熱で十分に水、水素などを除去することができ、半導体106bなどに欠陥準位が形成されることを抑制することができる。このようにして信頼性の高いトランジスタを提供することができる。

10

【0287】

また、上述の絶縁体106a及び半導体106bを形成する際に、水素および炭素などの不純物を含むエッチングガスなどを用いる場合、絶縁体106a及び半導体106bなどに水素および炭素などの不純物を取り込まれる場合がある。このように絶縁体106a及び半導体106bの形成後にさらに熱処理を行うことにより、エッチングの際に取り込まれた水素および炭素などの不純物を脱離させることができる。

20

【0288】

また、熱処理の代わりに上述の高密度プラズマ処理を行ってもよいし、熱処理の後で上述の高密度プラズマ処理を行ってもよい。これにより、半導体106bなどにおいて、取り込まれた水素および炭素などの不純物を脱離させ、酸素欠損を酸素で埋めることができる。

【0289】

なお、導電体128を形成した後、絶縁体126a、半導体126b、導電体128を一括して加工し、絶縁体106aと、半導体106bと、及び半導体106bと重畳する形状の導電体と、を形成し、半導体106bと重畳する形状の導電体をさらに加工して導電体108a及び導電体108bを形成してもよい。

【0290】

次に、絶縁体126cを成膜する。絶縁体126cとしては上述の絶縁体106cとして用いることができる絶縁体または半導体などを用いればよい。絶縁体126cの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。絶縁体126cの成膜の前に、半導体106b、導電体108aおよび導電体108bの表面をエッチングしても構わない。例えば、希ガスを含むプラズマを用いてエッチングすることができる。その後、大気に暴露することなく連続で絶縁体126cを成膜することにより、半導体106b、導電体108aおよび導電体108bと、絶縁体106cと、の界面への不純物の混入を低減することができる。膜と膜との界面などに存在する不純物は、膜中の不純物よりも拡散しやすい場合がある。そのため、該不純物の混入を低減することにより、トランジスタに安定した電気特性を付与することができる。

40

【0291】

次に、絶縁体132を成膜する。絶縁体132としては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体132の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。なお、絶縁体126cの成膜と、絶縁体132の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0292】

次に、導電体134を成膜する（図14（A）（B）参照。）。導電体134としては、上述の導電体114として用いることができる導電体を用いればよい。導電体134の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて

50

行うことができる。なお、絶縁体 1 3 2 の成膜と、導電体 1 3 4 の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0293】

次に、導電体 1 3 4 上にレジストなどを形成し、該レジストなどを用いて加工し、導電体 1 1 4 を形成する。

【0294】

次に、導電体 1 1 4 及び絶縁体 1 3 2 上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体 1 0 6 c 及び絶縁体 1 1 2 を形成する（図 1 4 (C) (D) 参照。）
。なお、このとき、後に形成する導電体 1 2 0 a 及び導電体 1 2 0 b が導電体 1 0 8 a 及び導電体 1 0 8 b と接する領域を露出するように絶縁体 1 0 6 c 及び絶縁体 1 1 2 を形成してもよい。

10

【0295】

次に、絶縁体 1 1 6 を成膜する（図 1 4 (E) (F) 参照。）
。絶縁体 1 1 6 としては上述の絶縁体を用いればよい。絶縁体 1 1 6 の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

【0296】

ここで、絶縁体 1 1 6 として、酸化アルミニウムなどの酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けることが好ましい。

【0297】

絶縁体 1 1 6 の成膜は、プラズマを用いて行うことが好ましく、スパッタリング法を用いて行うことがより好ましく、酸素を含む雰囲気下でスパッタリング法を用いて行うことがさらに好ましい。

20

【0298】

スパッタリング法としては、スパッタ用電源に直流電源を用いる DC (Direct Current) スパッタリング法、さらにパルス的にバイアスを与えるパルス DC スパッタ法、スパッタ用電源に高周波電源を用いる RF (Radio Frequency) スパッタリング法を用いてもよい。また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法、成膜中に基板にも電圧をかけるバイアススパッタリング法、反応性ガス雰囲気で行う反応性スパッタリング法などを用いてもよい。また、上述の PESP 又は VDSP を用いてもよい。なお、スパッタリングの酸素ガス流量や成膜電力は、酸素の添加量などに応じて適宜決定すればよい。

30

【0299】

スパッタリング法で絶縁体 1 1 6 の成膜をおこなうことにより、成膜と同時に絶縁体 1 0 4 又は絶縁体 1 1 2 の表面（絶縁体 1 1 6 成膜後は絶縁体 1 0 4 又は絶縁体 1 1 2 と絶縁体 1 1 6 の界面）近傍に酸素が添加される。ここで、酸素は、例えば、酸素ラジカルとして絶縁体 1 0 4 又は絶縁体 1 1 2 に添加されるが、酸素が添加されるときの状態はこれに限定されない。酸素は、酸素原子、又は酸素イオンなどの状態で絶縁体 1 0 4 又は絶縁体 1 1 2 に添加されてもよい。なお、酸素の添加に伴い、絶縁体 1 0 4 又は絶縁体 1 1 2 中に酸素が化学量論的組成を超えて含まれる場合があり、このときの酸素を過剰酸素と呼ぶこともできる。

40

【0300】

次に、加熱処理を行うことが好ましい（図 1 5 (A) (B) 参照）。加熱処理を行うことにより、絶縁体 1 0 4 又は絶縁体 1 1 2 に添加した酸素を拡散させ、絶縁体 1 0 6 a、半導体 1 0 6 b、絶縁体 1 0 6 c に供給することができる。加熱処理は、250℃以上 650℃以下、好ましくは 350℃以上 450℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを 10ppm 以上、1% 以上もしくは 10% 以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。加熱処理は、ランプ加熱による RTA 装置を用いることもできる。

【0301】

50

また、当該加熱処理は、半導体 1 2 6 b 成膜後の加熱処理よりも低い温度が好ましい。半導体 1 2 6 b 成膜後の加熱処理との温度差は、20℃以上150℃以下、好ましくは40℃以上100℃以下とする。これにより、絶縁体 1 0 4 などから余分に過剰酸素（酸素）が放出することを抑えることができる。なお、絶縁体 1 1 8 成膜後の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合（例えば絶縁体 1 1 8 の成膜で同等の加熱が行われる場合）、行わなくてもよい場合がある。

【0302】

当該加熱処理により、上記絶縁体 1 1 6 の成膜により、絶縁体 1 0 4 及び絶縁体 1 1 2 中に添加された酸素（以下、酸素 1 8 6 とする）を絶縁体 1 0 4 又は絶縁体 1 1 2 中に拡散させる（図 1 5（A）（B）参照）。絶縁体 1 1 6 は、絶縁体 1 0 4 又は絶縁体 1 1 2 より酸素を透過させにくい絶縁体であり、酸素をブロックするバリア膜として機能する。このような絶縁体 1 1 6 が絶縁体 1 0 4 又は絶縁体 1 1 2 上に形成されているので、絶縁体 1 0 4 又は絶縁体 1 1 2 中を拡散する酸素 1 8 6 が絶縁体 1 0 4 又は絶縁体 1 1 2 の上方に拡散せず、絶縁体 1 0 4 又は絶縁体 1 1 2 を主に横方向又は下方向に拡散していく。

【0303】

絶縁体 1 0 4 又は絶縁体 1 1 2 中を拡散する酸素 1 8 6 は、絶縁体 1 0 6 a、絶縁体 1 0 6 c 及び半導体 1 0 6 b に供給される。このとき、酸素をブロックする機能を有する絶縁体 1 0 3 が絶縁体 1 0 4 の下に設けられていることにより、絶縁体 1 0 4 中に拡散した酸素 1 8 6 が絶縁体 1 0 4 より下層に拡散することを防ぐことができる。

【0304】

このようにして、絶縁体 1 0 6 a、絶縁体 1 0 6 c 及び半導体 1 0 6 b、特に半導体 1 0 6 b でチャンネルが形成される領域に酸素 1 8 6 を効果的に供給することができる。このように絶縁体 1 0 6 a、絶縁体 1 0 6 c 及び半導体 1 0 6 b に酸素を供給し、酸素欠損を低減させることにより、欠陥準位密度の低い、高純度真性または実質的に高純度真性な酸化物半導体とすることができる。

【0305】

なお、絶縁体 1 1 6 成膜後の加熱処理は、絶縁体 1 1 6 成膜後ならばいつ行ってもよい。例えば、絶縁体 1 1 8 の形成後に行ってもよいし、導電体 1 2 0 a 及び 1 2 0 b の形成後に行ってもよい。

【0306】

次に、絶縁体 1 1 8 を成膜する。絶縁体 1 1 8 としては上述の絶縁体を用いればよい。絶縁体 1 1 8 の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0307】

次に、絶縁体 1 1 8 上にレジストなどを形成し、絶縁体 1 1 8、絶縁体 1 1 6、絶縁体 1 1 2 及び絶縁体 1 0 6 c に開口を形成する。それから、導電体 1 2 0 a 及び導電体 1 2 0 b となる導電体を成膜する。導電体 1 2 0 a 及び導電体 1 2 0 b となる導電体としては、上述の導電体を用いることができる。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0308】

次に、導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体 1 2 0 a 及び導電体 1 2 0 b を形成する（図 1 5（C）（D）参照。）。

【0309】

以上の工程により、本発明の一態様に係るトランジスタを作製することができる。

【0310】

以下において、図 1 7 乃至図 1 9 を用いてトランジスタ 2 9 の作製方法について説明する。なお、トランジスタ 2 9 の作製方法については、適宜上述したトランジスタの作製方法を参酌することができる。

【0311】

まずは、基板 1 0 0 を準備する。基板 1 0 0 に用いる基板としては上述の基板を用いれ

10

20

30

40

50

ばよい。

【0312】

次に、絶縁体101を成膜する。絶縁体101としては上述の絶縁体を用いればよい。

【0313】

次に、絶縁体107となる絶縁体を成膜する。絶縁体としては上述の絶縁体を用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0314】

次に、絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、開口部を有する絶縁体107を形成する。

【0315】

次に、導電体102となる導電体を成膜する。導電体102となる導電体としては、上述の導電体を用いることができる。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0316】

次に、絶縁体107が露出するまで導電体を研磨し、導電体102を形成する（図17（A）（B）参照。）。研磨は、CMP処理などによって行うことができる。

【0317】

次に、絶縁体105を成膜する。絶縁体105としては上述の絶縁体を用いればよい。絶縁体105の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、絶縁体105中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行ってもよい。例えば、トランジスタ29より下に半導体素子層が設けられている場合に比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱してもよい。

【0318】

また、前述した絶縁体104と同様の方法を用いてPECVD法で成膜することにより、絶縁体105に含まれる水、または水素を低減してもよい。

【0319】

次に、絶縁体103を成膜する。絶縁体103としては上述の絶縁体を用いればよい。絶縁体103の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、絶縁体103中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行ってもよい。例えば、トランジスタ10より下に半導体素子層が設けられている場合に比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱してもよい。

【0320】

次に、絶縁体104を成膜する（図17（C）（D）参照。）。絶縁体104としては上述の絶縁体を用いればよい。絶縁体104の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0321】

また、後で形成する半導体106bの上面又は下面は平坦性が高いことが好ましい。このため、絶縁体104の上面にCMP処理などの平坦化処理を行って平坦性の向上を図ってもよい。

【0322】

次に、加熱処理を行うことが好ましい。

【0323】

次に、絶縁体106aとなる絶縁体を成膜する。絶縁体としては上述の絶縁体106aとして用いることができる絶縁体または半導体などを用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0324】

次に、半導体 106b となる半導体を成膜する。半導体としては上述の半導体 106b として用いることができる半導体を用いればよい。半導体の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。なお、絶縁体の成膜と、半導体の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0325】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体 105、絶縁体 103 及び絶縁体 104 中の水、または水素をさらに低減させることができる。また、絶縁体 104 に過剰酸素を有せしめることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行った加熱処理を行ってもよい。加熱処理によって、絶縁体 106a となる絶縁体、半導体 106b となる半導体の結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱による RTA 装置を用いることもできる。RTA 装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

【0326】

なお、トランジスタ 10 より下に半導体素子層が設けられている場合、比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱することができる。例えば、絶縁体 105、絶縁体 103 及び絶縁体 104 の成膜時の基板加熱温度のいずれかのうち最も高い加熱温度以下とすることが好ましい。

【0327】

ここで、上記絶縁体 104 を成膜する際に、SiF₄ などのハロゲン化ケイ素を用いると、フッ素などのハロゲンが絶縁体 104 中に含まれる。上記熱処理時に絶縁体 104 中の酸素がフッ素と置換して、酸素が放出され（SiO + F → SiF + O）、絶縁体 106a となる絶縁体、半導体 106b となる半導体に供給されていると推察することができる。以下にそのメカニズムを説明する。

【0328】

<フッ素を有する酸化シリコン>

以下では、過剰酸素を有する絶縁体の一例であるフッ素を有する酸化シリコンについて、図 74 を用いて説明する。

【0329】

シリコン 1 原子につき、酸素 2 原子を有する酸化シリコン（SiO₂）を仮定する。図 74（A）に示すように、1 個のシリコン原子は 4 個の酸素原子と結合している。また、1 個の酸素原子は 2 個のシリコン原子と結合している。

【0330】

酸化シリコン中にフッ素原子が 2 個入ると、2 個のシリコン原子と結合していた 1 個の酸素原子の結合が切れる（…Si—O—Si… + 2F → …Si— —O— —Si… + 2F）。そして、フッ素原子と、酸素原子との結合の切れたシリコン原子と、が結合する（…Si— —O— —Si… + 2F → …Si—F F—Si… + O）。このとき、結合の切れた酸素原子は過剰酸素となる（図 74（B）参照。）。40

【0331】

酸化シリコンに含まれる過剰酸素によって、酸化物半導体の酸素欠損を低減することができる。酸化物半導体の酸素欠損は正孔トラップなどとなる。したがって、酸化シリコンが過剰酸素を有することで、トランジスタに安定した電気特性を付与することができる。

【0332】

このように、酸化シリコンにフッ素が入ることにより、過剰酸素の生成が起こる。なお、酸化物半導体中の酸素欠損を低減することに過剰酸素が消費された場合、酸化シリコン 50

の酸素はフッ素が入る前よりも少なくなる。

【0333】

トランジスタに安定した電気特性を付与し、ノーマリーオフの電気特性に近づけるためには、過剰酸素を十分な量とすればよい。

【0334】

＜加熱処理について＞

ここで、加熱処理を行う際に用いることのできる炉の制御方法について、図75を用いて説明する。なお、説明に用いる加熱処理の雰囲気は一例であるため、適宜変更してもよい。

【0335】

10

図75(A)は、雰囲気を切り替えて2回の加熱処理を行った例である。まず、炉に被処理物を入れる。次に、炉に窒素ガスを入れ、第1の温度にする。次に、第2の温度まで1時間で昇温する。次に、第2の温度で1時間保持する。次に、第3の温度まで1時間で降温する。次に、炉に窒素ガスおよび酸素ガスを入れる。次に、第3の温度で1時間保持する。次に、第4の温度まで1時間で昇温する。次に、第4の温度で1時間保持する。次に、第5の温度まで1時間で降温する。次に、炉から被処理物を取り出す。

【0336】

なお、第1の温度、第3の温度および第5の温度は、被処理物の出し入れが可能な温度範囲（例えば、50℃以上200℃以下）である。第1の温度、第3の温度および第5の温度が低すぎると、降温するための時間が長くなるため生産性が低くなる場合がある。また、第1の温度および第5の温度が高すぎると、被処理物の出し入れの際に被処理物の損傷が起こる場合がある。なお、第2の温度および第4の温度は、それぞれの雰囲気における加熱処理の最大温度（例えば、250℃以上650℃以下）である。本明細書において、加熱処理を行った時間と記載した場合、それぞれの雰囲気において最大温度で保持した時間を示す。

20

【0337】

図75(A)に示す方法では、2種の雰囲気において加熱処理を各1時間行う場合、合計7時間を要することがわかる。

【0338】

図75(B)は、雰囲気を切り替えずに1回の加熱処理を行った例である。まず、炉に被処理物を入れる。次に、炉に超乾燥空気(CDA: Clean Dry Air)を入れ、第6の温度にする。CDAとは、水の含有量が20ppm以下、1ppm以下または10ppb以下の空気である。次に、第7の温度まで1時間で昇温する。次に、第7の温度で2時間保持する。次に、第8の温度まで1時間で降温する。次に、炉から被処理物を取り出す。

30

【0339】

なお、第6の温度および第8の温度は、被処理物の出し入れが可能な温度範囲である。なお、第7の温度は、それぞれの雰囲気における加熱処理の最大温度である。

【0340】

図75(B)に示す方法では、1種の雰囲気において加熱処理を2時間行う場合、合計4時間を要することがわかる。

40

【0341】

図75(C)は、雰囲気を切り替えて1回の加熱処理を行った例である。まず、炉に被処理物を入れる。次に、炉に窒素ガスを入れ、第9の温度にする。次に、第10の温度まで1時間で昇温する。次に、第10の温度で1時間保持する。次に、炉にCDAを入れる。次に、第10の温度で1時間保持する。次に、第11の温度まで1時間で降温する。次に、炉から被処理物を取り出す。

【0342】

なお、第9の温度および第11の温度は、被処理物の出し入れが可能な温度範囲である。なお、第10の温度は、それぞれの雰囲気における加熱処理の最大温度である。

50

【0343】

図75(C)に示す方法では、2種の雰囲気において加熱処理を2時間行う場合、合計4時間を要することがわかる。

【0344】

なお、図75(B)および図75(C)に示すような方法で加熱処理を行うことで、図75(A)よりも加熱処理の時間を短縮することができる。その結果、半導体装置の生産性を高くすることができる。

【0345】

次に、半導体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体106a及び半導体106bを形成する(図17(E)(F)参照。)

10

【0346】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体105、絶縁体103及び絶縁体104中の水、または水素をさらに低減させることができる。また、絶縁体104に過剰酸素を有せしめることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行った方がよい。加熱処理によって、絶縁体106aとなる絶縁体、半導体106bとなる半導体の結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。RTA装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

20

【0347】

なお、トランジスタ10より下に半導体素子層が設けられている場合、比較的低い温度範囲(例えば、350℃以上445℃以下程度の温度範囲)で加熱することができる。例えば、絶縁体105、絶縁体103及び絶縁体104の成膜時の基板加熱温度のいずれかのうち最も高い加熱温度以下とすることが好ましい。

【0348】

次に、絶縁体106cを成膜する(図17(G)(H)参照。)。絶縁体106cとしては上述の絶縁体106cとして用いることができる絶縁体または半導体などを用いればよい。絶縁体106cの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

30

【0349】

次に、導電体108aおよび導電体108bとなる導電体を成膜する。導電体としては上述の導電体108a及び導電体108bとして用いることができる導電体を用いればよい。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0350】

また、ここで、半導体106bおよび絶縁体106cの、導電体108となる導電体の近傍の領域において、低抵抗領域109が形成されることがある。

40

【0351】

次に、導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体108を形成する。

【0352】

次に、絶縁体110となる絶縁体113を成膜する。絶縁体113としては上述の絶縁体110として用いることができる絶縁体を用いればよい。絶縁体113の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0353】

50

絶縁体 113 を成膜する際、導電体 108 の上面および側面の一部が酸化し、金属酸化物 111 が形成される場合がある（図 18（A）（B）参照。）。

【0354】

次に、絶縁体 113 上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体 110、金属酸化物 111a、金属酸化物 111b、導電体 108a および導電体 108b を形成する（図 18（C）（D）参照。）。

【0355】

次に、高密度プラズマ処理を行ってもよい。高密度プラズマ処理は、酸素雰囲気で行うと好ましい。酸素雰囲気とは、酸素原子を有する気体雰囲気であり、酸素、オゾンまたは窒素酸化物（一酸化窒素、二酸化窒素、一酸化二窒素、三酸化二窒素、四酸化二窒素、五酸化二窒素など）雰囲気をいう。また、酸素雰囲気において、窒素、または希ガス（ヘリウム、アルゴンなど）の不活性気体が含まれてもよい。このように酸素雰囲気での高密度プラズマ処理を行うことによって、例えば炭素、水素などを脱離させることができる。また、酸素雰囲気での高密度プラズマ処理を行うことによって、被処理物から炭化水素などの有機化合物も脱離させやすい。

【0356】

また、高密度プラズマ処理の前後にアニール処理を行ってもよい。なお、プラズマの密度を高くするためには、十分な量のガスを流すことが好ましい場合がある。ガスの量が十分でないと、ラジカルの生成速度よりも失活速度が高くなる場合がある。例えば、ガスを 100 sccm 以上、300 sccm 以上または 800 sccm 以上流すと好ましい場合がある。

【0357】

高密度プラズマ処理は、例えば、周波数 0.3 GHz 以上 3.0 GHz 以下、0.7 GHz 以上 1.1 GHz 以下、または 2.2 GHz 以上 2.8 GHz 以下（代表的には 2.45 GHz）の高周波発生器を用いて発生させたマイクロ波を用いればよい。また、処理圧力を 10 Pa 以上 5000 Pa 以下、好ましくは 200 Pa 以上 1500 Pa 以下、さらに好ましくは 300 Pa 以上 1000 Pa 以下、基板温度を 100 °C 以上 600 °C 以下（代表的には 400 °C）とし、酸素とアルゴンとの混合ガスを用いて行うことができる。

【0358】

高密度プラズマは、例えば 2.45 GHz のマイクロ波を用いることによって生成され、電子密度が $1 \times 10^{11} / \text{cm}^3$ 以上 $1 \times 10^{13} / \text{cm}^3$ 以下、電子温度が 2 eV 以下、またはイオンエネルギーが 5 eV 以下を有すると好ましい。このような高密度プラズマ処理は、ラジカルの運動エネルギーが小さく、従来のプラズマ処理と比較してプラズマによるダメージが少ない。そのため、欠陥の少ない膜を形成することができる。マイクロ波を発生するアンテナから被処理物までの距離は 5 mm 以上 120 mm 以下、好ましくは 20 mm 以上 60 mm 以下とするといよい。

【0359】

または、基板側に RF（Radio Frequency）バイアスを印加するプラズマ電源を有してもよい。RF バイアスの周波数は、例えば 13.56 MHz または 27.12 MHz などを用いればよい。高密度プラズマを用いることより高密度の酸素イオンを生成することができ、基板側に RF バイアスを印加することで高密度プラズマによって生成された酸素イオンを効率よく被処理物に導くことができる。また、アスペクト比の高い開口部の内部などにも効率よく酸素イオンを導くことができる。そのため、基板バイアスを印加しながら、高密度プラズマ処理を行うことが好ましい。

【0360】

また、高密度プラズマ処理の後、大気に暴露することなく連続してアニール処理を行ってもよい。また、高密度プラズマ処理は、アニール処理の後、大気に暴露することなく連続して行ってもよい。高密度プラズマ処理と、アニール処理と、を連続して行うことによって、処理の間で不純物が混入することを抑制できる。また、酸素雰囲気での高密度プラズマ処理を行った後、アニール処理を行うことによって、被処理物へ添加された酸素のうち

、酸素欠損の補償に使用されなかった不要な酸素を脱離させることができる。また、上記アニール処理は、例えばランプアニールなどにより行えばよい。

【0361】

また、高密度プラズマ処理の処理時間は、30秒以上120分以下、1分以上90分以下、2分以上30分以下、または3分以上15分以下とすると好ましい。

【0362】

また、アニール処理は、250℃以上800℃以下、300℃以上700℃以下または400℃以上600℃以下の処理時間は、30秒以上120分以下、1分以上90分以下、2分以上30分以下、または3分以上15分以下とすると好ましい。

【0363】

高密度プラズマ処理または／およびアニール処理を行うことによって、半導体106bのチャンネル形成領域となる領域の欠陥準位を低減することができる。即ち、チャンネル形成領域を高純度真性とすることができる。その際に、低抵抗領域109の一部も高抵抗化し、低抵抗領域109aおよび低抵抗領域109bに分離される。また、導電体108aおよび導電体108bの側面には、金属酸化物111aおよび金属酸化物111bが形成される（図18（E）（F）参照）。

【0364】

次に、絶縁体132を成膜する。絶縁体132としては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体132の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。なお、絶縁体126cの成膜と、絶縁体132の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0365】

次に、導電体134を成膜する（図19（A）（B）参照。）。導電体134としては、上述の導電体114として用いることができる導電体を用いればよい。導電体134の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。なお、絶縁体132の成膜と、導電体134の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

【0366】

次に、導電体134、絶縁体132、及び絶縁体113を絶縁体113が露出するまで研磨することで、導電体114、絶縁体112および絶縁体110を形成する（図19（C）（D）参照。）。導電体114および絶縁体112は、それぞれトランジスタ29のゲート電極およびゲート絶縁体としての機能を有する。上述した方法によって、導電体114および絶縁体112を自己整合的に形成することができる。

【0367】

次に、絶縁体116を成膜する（図19（E）（F）参照。）。絶縁体116としては上述の絶縁体を用いればよい。絶縁体116の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0368】

次に、加熱処理を行うことが好ましい。

【0369】

以上の工程により、本発明の一態様に係るトランジスタを作製することができる。

【0370】

本実施の形態に示す方法を用いてトランジスタを作製することにより、半導体106bなどに水、水素などが供給されるのを抑制することができる。これにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供するこ

10

20

30

40

50

とができる。

【0371】

さらに、本実施の形態に示す方法を用いてトランジスタを作製することにより、比較的低い温度範囲の加熱処理で、半導体106bなどに水、水素などが供給されるのを抑制することができるので、当該トランジスタの下層などに、半導体素子層または配線層などを形成していても、高温で劣化させることなく、当該トランジスタの作製を行うことができる。

【0372】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0373】

(実施の形態3)

<製造装置>

以下では、本発明の一態様に係る高密度プラズマ処理を行う製造装置について説明する。

【0374】

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図20、図21および図22を用いて説明する。

【0375】

図20は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、チャンバー2706aと、チャンバー2706bと、チャンバー2706cと、チャンバー2706dと、を有する。

【0376】

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、チャンバー2706a、チャンバー2706b、チャンバー2706cおよびチャンバー2706dと接続する。

【0377】

なお、各室の接続部にはゲートバルブGVが設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702には搬送ロボット2763aが設けられており、搬送室2704には搬送ロボット2763bが設けられている。搬送ロボット2763aおよび搬送ロボット2763bによって、製造装置2700内で基板を搬送することができる。

【0378】

搬送室2704および各チャンバー2706a乃至2706dの背圧(全圧)は、例えば、 1×10^{-4} Pa以下、好ましくは 3×10^{-5} Pa以下、さらに好ましくは 1×10^{-5} Pa以下とする。また、搬送室2704および各チャンバー2706a乃至2706dの質量電荷比(m/z)が18である気体分子(原子)の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバー2706a乃至2706dの m/z が28である気体分子(原子)の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバー2706a乃至2706dの m/z が44である気体分子(原子

）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。

【0379】

なお、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d 内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-mass とともいう。）Quilee CGM-051 を用いればよい。

【0380】

また、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d は、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d のリークレートは、 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 18 である気体分子（原子）のリークレートが $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 28 である気体分子（原子）のリークレートが $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 44 である気体分子（原子）のリークレートが $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。

【0381】

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

【0382】

例えば、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットは O リングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

【0383】

また、製造装置 2700 を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の部材を鉄、クロムまたはニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムまたはニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。

【0384】

または、前述の製造装置 2700 の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

【0385】

製造装置 2700 の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

【0386】

搬送室 2704 および各チャンバー 2706 a 乃至 2706 d に存在する吸着物は、内壁などに吸着しているために搬送室 2704 および各チャンバー 2706 a 乃至 2706 d の圧力に影響しないが、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はない

ものの、排気能力の高いポンプを用いて、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d に存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100℃ 以上 450℃ 以下で行えばよい。このとき、不活性ガスを搬送室 2704 および各チャンバー 2706 a 乃至 2706 d に導入しながら吸着物の除去を行うと、排気するだけでは脱離にくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

10

【0387】

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室 2704 および各チャンバー 2706 a 乃至 2706 d 内の圧力を高め、一定時間経過後に再び搬送室 2704 および各チャンバー 2706 a 乃至 2706 d を排気する処理を行うと好ましい。加熱したガスの導入により搬送室 2704 および各チャンバー 2706 a 乃至 2706 d 内の吸着物を脱離させることができ、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d 内に存在する不純物を低減することができる。なお、この処理は 2 回以上 30 回以下、好ましくは 5 回以上 15 回以下の範囲で繰り返し行うと効果的である。具体的には、温度が 40℃ 以上 400℃ 以下、好ましくは 50℃ 以上 200℃ 以下である不活性ガスまたは酸素などを導入することで搬送室 2704 および各チャンバー 2706 a 乃至 2706 d 内の圧力を 0.1 Pa 以上 10 kPa 以下、好ましくは 1 Pa 以上 1 kPa 以下、さらに好ましくは 5 Pa 以上 100 Pa 以下とし、圧力を保つ期間を 1 分以上 300 分以下、好ましくは 5 分以上 120 分以下とすればよい。その後、搬送室 2704 および各チャンバー 2706 a 乃至 2706 d を 5 分以上 300 分以下、好ましくは 10 分以上 120 分以下の期間排気する。

20

【0388】

次に、チャンバー 2706 b およびチャンバー 2706 c について図 21 に示す断面模式図を用いて説明する。

【0389】

チャンバー 2706 b およびチャンバー 2706 c は、例えば、被処理物に高密度プラズマ処理を行うことが可能なチャンバーである。なお、チャンバー 2706 b と、チャンバー 2706 c と、は高密度プラズマ処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

30

【0390】

チャンバー 2706 b およびチャンバー 2706 c は、スロットアンテナ板 2808 と、誘電体板 2809 と、基板ステージ 2812 と、排気口 2819 と、を有する。また、チャンバー 2706 b およびチャンバー 2706 c の外などには、ガス供給源 2801 と、バルブ 2802 と、高周波発生器 2803 と、導波管 2804 と、モード変換器 2805 と、ガス管 2806 と、導波管 2807 と、マッチングボックス 2815 と、高周波電源 2816 と、真空ポンプ 2817 と、バルブ 2818 と、が設けられる。

40

【0391】

高周波発生器 2803 は、導波管 2804 を介してモード変換器 2805 と接続している。モード変換器 2805 は、導波管 2807 を介してスロットアンテナ板 2808 に接続している。スロットアンテナ板 2808 は、誘電体板 2809 と接して配置される。また、ガス供給源 2801 は、バルブ 2802 を介してモード変換器 2805 に接続している。そして、モード変換器 2805、導波管 2807 および誘電体板 2809 を通るガス管 2806 によって、チャンバー 2706 b およびチャンバー 2706 c にガスが送られる。また、真空ポンプ 2817 は、バルブ 2818 および排気口 2819 を介して、チャンバー 2706 b およびチャンバー 2706 c からガスなどを排気する機能を有する。また、高周波電源 2816 は、マッチングボックス 2815 を介して基板ステージ 2812

50

に接続している。

【0392】

基板ステージ2812は、基板2811を保持する機能を有する。例えば、基板2811を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源2816から電力を供給される電極としての機能を有する。また、内部に加熱機構2813を有し、基板2811を加熱する機能を有する。

【0393】

真空ポンプ2817としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリメーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ2817に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

10

【0394】

また、加熱機構2813としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) またはLRTA (Lamp Rapid Thermal Annealing) などのRTA (Rapid Thermal Annealing) を用いることができる。GRTAは、高温のガスを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。

20

【0395】

また、ガス供給源2801は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が -80°C 以下、好ましくは -100°C 以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いればよい。

【0396】

誘電体板2809としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板2809の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板2809は、後述する高密度プラズマ2810の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

30

【0397】

高周波発生器2803では、例えば、 0.3GHz 以上 3.0GHz 以下、 0.7GHz 以上 1.1GHz 以下、または 2.2GHz 以上 2.8GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器2803で発生させたマイクロ波は、導波管2804を介してモード変換器2805に伝わる。モード変換器2805では、TEモードとして伝わったマイクロ波がTEMモードに変換される。そして、マイクロ波は、導波管2807を介してスロットアンテナ板2808に伝わる。スロットアンテナ板2808は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板2809を通過する。そして、誘電体板2809の下方に電界を生じさせ、高密度プラズマ2810を生成することができる。高密度プラズマ2810には、ガス供給源2801から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルまたは窒素ラジカルなどが存在する。

40

【0398】

このとき、高密度プラズマ2810で生成されたイオンおよびラジカルによって、基板2811上の膜などを改質することができる。なお、高周波電源2816を用いて、基板2811側にバイアスを印加すると好ましい場合がある。高周波電源2816には、例え

50

ば、13.56MHz、27.12MHzなどの周波数のRF(Radio Frequency)電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ2810中のイオンを基板2811上の膜などの開口部の奥まで効率よく到達させることができる。

【0399】

例えば、チャンバー2706bでは、ガス供給源2801から酸素を導入することで高密度プラズマ2810を用いた酸素ラジカル処理を行い、チャンバー2706cでは、ガス供給源2801から窒素を導入することで高密度プラズマ2810を用いた窒素ラジカル処理を行うことができる。

【0400】

次に、チャンバー2706aおよびチャンバー2706dについて図22に示す断面模式図を用いて説明する。

【0401】

チャンバー2706aおよびチャンバー2706dは、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー2706aと、チャンバー2706dと、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

【0402】

チャンバー2706aおよびチャンバー2706dは、一または複数のランプ2820と、基板ステージ2825と、ガス導入口2823と、排気口2830と、を有する。また、チャンバー2706aおよびチャンバー2706dの外などには、ガス供給源2821と、バルブ2822と、真空ポンプ2828と、バルブ2829と、が設けられる。

【0403】

ガス供給源2821は、バルブ2822を介してガス導入口2823に接続している。真空ポンプ2828は、バルブ2829を介して排気口2830に接続している。ランプ2820は、基板ステージ2825と向かい合って配置されている。基板ステージ2825は、基板2824を保持する機能を有する。また、基板ステージ2825は、内部に加熱機構2826を有し、基板2824を加熱する機能を有する。

【0404】

ランプ2820としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長10nm以上2500nm以下、500nm以上2000nm以下、または40nm以上340nm以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

【0405】

例えば、ランプ2820としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

【0406】

例えば、ランプ2820から放射される電磁波は、その一部または全部が基板2824に吸収されることで基板2824上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板2824を加熱しながら行くと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

【0407】

または、例えば、ランプ2820から放射される電磁波によって、基板ステージ2825を発熱させ、基板2824を加熱してもよい。その場合、基板ステージ2825の内部に加熱機構2826を有さなくてもよい。

【0408】

真空ポンプ2828は、真空ポンプ2817についての記載を参照する。また、加熱機構2826は、加熱機構2813についての記載を参照する。また、ガス供給源2821は、ガス供給源2801についての記載を参照する。

10

20

30

40

50

【0409】

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

【0410】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0411】

(実施の形態4)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

10

<回路>

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0412】

<CMOSインバータ>

図23(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

【0413】

<半導体装置の構造>

20

図24は、図23(A)に対応する半導体装置の断面図である。図24に示す半導体装置は、トランジスタ2200と、トランジスタ2100と、を有する。また、トランジスタ2100は、トランジスタ2200の上方に配置する。なお、トランジスタ2100として、図9(A)(B)に示したトランジスタ20を用いた例を示しているが、本発明の一態様に係る半導体装置は、これに限定されるものではない。上述の実施の形態において記載したトランジスタをトランジスタ2100として用いることができる。よって、トランジスタ2100については、適宜上述したトランジスタについての記載を参酌する。

【0414】

図24に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

30

【0415】

トランジスタ2200において、領域472aおよび領域472bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472aと領域472bとの間の導通・非導通を制御することができる。

【0416】

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などを用いればよい。好ましくは、半導体基板450として単結晶シリコン基板を用いる。

40

【0417】

半導体基板450は、n型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ2200となる領域には、n型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

【0418】

50

半導体基板 450 の上面は、(110) 面を有することが好ましい。こうすることで、トランジスタ 2200 のオン特性を向上させることができる。

【0419】

領域 472 a および領域 472 b は、p 型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ 2200 は p チャネル型トランジスタを構成する。

【0420】

なお、トランジスタ 2200 は、領域 460 などによって隣接するトランジスタと分離される。領域 460 は、絶縁性を有する領域である。

【0421】

図 24 に示す半導体装置は、絶縁体 464 と、絶縁体 466 と、絶縁体 468 と、導電体 480 a と、導電体 480 b と、導電体 480 c と、導電体 478 a と、導電体 478 b と、導電体 478 c と、導電体 476 a と、導電体 476 b と、導電体 474 a と、導電体 474 b と、導電体 474 c と、導電体 496 a と、導電体 496 b と、導電体 496 c と、導電体 496 d と、導電体 498 a と、導電体 498 b と、導電体 498 c と、絶縁体 489 と、絶縁体 490 と、絶縁体 491 と、絶縁体 492 と、絶縁体 493 と、絶縁体 494 と、を有する。

【0422】

絶縁体 464 は、トランジスタ 2200 上に配置する。また、絶縁体 466 は、絶縁体 464 上に配置する。また、絶縁体 468 は、絶縁体 466 上に配置する。また、絶縁体 489 は、絶縁体 468 上に配置する。また、トランジスタ 2100 は、絶縁体 489 上に配置する。また、絶縁体 493 は、トランジスタ 2100 上に配置する。また、絶縁体 494 は、絶縁体 493 上に配置する。

【0423】

絶縁体 464 は、領域 472 a に達する開口部と、領域 472 b に達する開口部と、導電体 454 に達する開口部と、を有する。また、開口部には、それぞれ導電体 480 a、導電体 480 b または導電体 480 c が埋め込まれている。

【0424】

また、絶縁体 466 は、導電体 480 a に達する開口部と、導電体 480 b に達する開口部と、導電体 480 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 478 a、導電体 478 b または導電体 478 c が埋め込まれている。

【0425】

また、絶縁体 468 は、導電体 478 b に達する開口部と、導電体 478 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 476 a または導電体 476 b が埋め込まれている。

【0426】

また、絶縁体 489 は、トランジスタ 2100 のチャネル形成領域と重なる開口部と、導電体 476 a に達する開口部と、導電体 476 b に達する開口部と、を有する。また、開口部には、それぞれ導電体 474 a、導電体 474 b または導電体 474 c が埋め込まれている。

【0427】

導電体 474 a は、トランジスタ 2100 のゲート電極としての機能を有しても構わない。または、例えば、導電体 474 a に一定の電位を印加することで、トランジスタ 2100 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 474 a とトランジスタ 2100 のゲート電極としての機能を有する導電体 504 とを電氣的に接続しても構わない。こうすることで、トランジスタ 2100 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 2100 の飽和領域における電気特性を安定にすることができる。なお、導電体 474 a は上記実施の形態の導電体 102 に相当するため、詳細については導電体 102 の記載を参照することができる。

【0428】

また、絶縁体 490 は、導電体 474 b に達する開口部と、導電体 474 c に達する開口部と、を有する。なお、絶縁体 490 は上記実施の形態の絶縁体 103 に相当するため、詳細については絶縁体 103 の記載を参酌することができる。上記実施の形態に記載したように、開口部を除いて導電体 474 a 乃至 474 c の上を覆うように絶縁体 490 を設けることにより、絶縁体 491 から導電体 474 a 乃至 474 c が酸素を引き抜くことを防ぐことができる。これにより、絶縁体 491 からトランジスタ 2100 の酸化物半導体に効果的に酸素を供給することができる。

【0429】

また、絶縁体 491 は、導電体 474 b に達する開口部と、導電体 474 c に達する開口部と、を有する。なお、絶縁体 491 は上記実施の形態の絶縁体 104 に相当するため、詳細については絶縁体 104 の記載を参酌することができる。

10

【0430】

上記実施の形態に示したように、絶縁体 491 の水、水素の含有量を低減することにより、トランジスタ 2100 の酸化物半導体に欠陥準位が形成されるのを抑制することができる。これにより、トランジスタ 2100 の電気特性を安定させることができる。

【0431】

また、このような、水、水素が低減された絶縁体は絶縁体 491 だけでなく、他の絶縁体に用いてもよい。例えば、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 などに用いてもよい。

【0432】

また、図 24 においては、トランジスタ 20 における絶縁体 105、絶縁体 101 に相当する絶縁体を図示していないが、もちろんこれらを設ける構成としてもよい。例えば、絶縁体 468 と絶縁体 489 の間に絶縁体 101 に相当する絶縁体を設けてもよいし、絶縁体 489 と絶縁体 490 の間に絶縁体 105 に相当する絶縁体を設けてもよい。特に、絶縁体 468 と絶縁体 489 の間に絶縁体 101 に相当する、水、水素などをブロックする機能を有する絶縁体を設け、上記のように絶縁体 491 の水、水素の含有量を低減することにより、トランジスタ 2100 の酸化物半導体に欠陥準位が形成されるのをさらに抑制することができる。

20

【0433】

また、絶縁体 492 は、トランジスタ 2100 のソース電極またはドレイン電極の一方である導電体 516 b を通って、導電体 474 b に達する開口部と、トランジスタ 2100 のソース電極またはドレイン電極の他方である導電体 516 a に達する開口部と、トランジスタ 2100 のゲート電極である導電体 504 に達する開口部と、導電体 474 c に達する開口部と、を有する。なお、絶縁体 492 は上記実施の形態の絶縁体 116 に相当するため、詳細については絶縁体 116 の記載を参酌することができる。

30

【0434】

また、絶縁体 493 は、トランジスタ 2100 のソース電極またはドレイン電極の一方である導電体 516 b を通って、導電体 474 b に達する開口部と、トランジスタ 2100 のソース電極またはドレイン電極の他方である導電体 516 a に達する開口部と、トランジスタ 2100 のゲート電極である導電体 504 に達する開口部と、導電体 474 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 496 a、導電体 496 b、導電体 496 c または導電体 496 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 2100 などの構成要素のいずれかが有する開口部を介する場合がある。

40

【0435】

また、絶縁体 494 は、導電体 496 a に達する開口部と、導電体 496 b および導電体 496 d に達する開口部と、導電体 496 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 498 a、導電体 498 b または導電体 498 c が埋め込まれている。

【0436】

50

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 および絶縁体 494 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0437】

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 または絶縁体 494 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 2100 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 2100 の電気特性を安定にすることができる。

10

【0438】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0439】

導電体 480a、導電体 480b、導電体 480c、導電体 478a、導電体 478b、導電体 478c、導電体 476a、導電体 476b、導電体 474a、導電体 474b、導電体 474c、導電体 496a、導電体 496b、導電体 496c、導電体 496d、導電体 498a、導電体 498b および導電体 498c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

20

【0440】

なお、図 25 に示す半導体装置は、図 24 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 25 に示す半導体装置については、図 24 に示した半導体装置の記載を参酌する。具体的には、図 25 に示す半導体装置は、トランジスタ 2200 が Fin 型である場合を示している。トランジスタ 2200 を Fin 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 2200 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 2200 のオフ特性を向上させることができる。

30

【0441】

また、図 26 に示す半導体装置は、図 24 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 26 に示す半導体装置については、図 24 に示した半導体装置の記載を参酌する。具体的には、図 26 に示す半導体装置は、トランジスタ 2200 が SOI 基板である半導体基板 450 に設けられた場合を示している。図 26 には、絶縁体 452 によって領域 456 が半導体基板 450 と分離されている構造を示す。半導体基板 450 として SOI 基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ 2200 のオフ特性を向上させることができる。なお、絶縁体 452 は、半導体基板 450 を絶縁体化させることによって形成することができる。例えば、絶縁体 452 としては、酸化シリコンを用いることができる。

40

【0442】

図 24 乃至図 26 に示した半導体装置は、半導体基板を用いて p チャネル型トランジスタを作製し、その上方に n チャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、n チャネル型トランジスタと、p チャネル型トランジスタとを同一の半導体基板を用いて作製し

50

た場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、pチャネル型トランジスタは、LDD (Lightly Doped Drain) 領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、nチャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

【0443】

<CMOSアナログスイッチ>

また図23(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、

10

【0444】

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図27に示す。

【0445】

図27(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述のトランジスタ2100と同様のトランジスタを用

20

【0446】

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0447】

図27(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

30

【0448】

図27(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

40

【0449】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される(保持)。

50

【0450】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0451】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

【0452】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

【0453】

なお、上記においては、2種類の電荷をノードFGに保持する例について示したが、本発明に係る半導体装置はこれに限られるものではない。例えば、半導体装置のノードFGに3種類以上の電荷を保持できる構成としてもよい。このような構成とすることにより、当該半導体装置を多値化して記憶容量の増大を図ることができる。

【0454】

<記憶装置1の構造>

図28は、図27(A)に対応する半導体装置の断面図である。図28に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図24に示したトランジスタ2200についての記載を参照する。なお、図24では、トランジスタ2200がpチャンネル型トランジスタである場合について説明したが、トランジスタ3200がnチャンネル型トランジスタであっても構わない。

【0455】

図28に示すトランジスタ3200は、半導体基板450を用いたトランジスタである。トランジスタ3200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

【0456】

図28に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、導電

体 4 8 0 a と、導電体 4 8 0 b と、導電体 4 8 0 c と、導電体 4 7 8 a と、導電体 4 7 8 b と、導電体 4 7 8 c と、導電体 4 7 6 a と、導電体 4 7 6 b と、導電体 4 7 4 a と、導電体 4 7 4 b と、導電体 4 7 4 c と、導電体 4 9 6 a と、導電体 4 9 6 b と、導電体 4 9 6 c と、導電体 4 9 6 d と、導電体 4 9 8 a と、導電体 4 9 8 b と、導電体 4 9 8 c と、絶縁体 4 8 9 と、絶縁体 4 9 0 と、絶縁体 4 9 1 と、絶縁体 4 9 2 と、絶縁体 4 9 3 と、絶縁体 4 9 4 と、を有する。

【0 4 5 7】

絶縁体 4 6 4 は、トランジスタ 3 2 0 0 上に配置する。また、絶縁体 4 6 6 は、絶縁体 4 6 4 上に配置する。また、絶縁体 4 6 8 は、絶縁体 4 6 6 上に配置する。また、絶縁体 4 8 9 は、絶縁体 4 6 8 上に配置する。また、トランジスタ 3 3 0 0 は、絶縁体 4 8 9 上に配置する。また、絶縁体 4 9 3 は、トランジスタ 3 3 0 0 上に配置する。また、絶縁体 4 9 4 は、絶縁体 4 9 3 上に配置する。

10

【0 4 5 8】

絶縁体 4 6 4 は、領域 4 7 2 a に達する開口部と、領域 4 7 2 b に達する開口部と、導電体 4 5 4 に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 8 0 a、導電体 4 8 0 b または導電体 4 8 0 c が埋め込まれている。

【0 4 5 9】

また、絶縁体 4 6 6 は、導電体 4 8 0 a に達する開口部と、導電体 4 8 0 b に達する開口部と、導電体 4 8 0 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 8 a、導電体 4 7 8 b または導電体 4 7 8 c が埋め込まれている。

20

【0 4 6 0】

また、絶縁体 4 6 8 は、導電体 4 7 8 b に達する開口部と、導電体 4 7 8 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 6 a または導電体 4 7 6 b が埋め込まれている。

【0 4 6 1】

また、絶縁体 4 8 9 は、トランジスタ 3 3 0 0 のチャネル形成領域と重なる開口部と、導電体 4 7 6 a に達する開口部と、導電体 4 7 6 b に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 4 a、導電体 4 7 4 b または導電体 4 7 4 c が埋め込まれている。

【0 4 6 2】

導電体 4 7 4 a は、トランジスタ 3 3 0 0 のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体 4 7 4 a に一定の電位を印加することで、トランジスタ 3 3 0 0 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 4 7 4 a とトランジスタ 3 3 0 0 のトップゲート電極である導電体 5 0 4 とを電氣的に接続しても構わない。こうすることで、トランジスタ 3 3 0 0 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 3 3 0 0 の飽和領域における電気特性を安定にすることができる。

30

【0 4 6 3】

また、絶縁体 4 9 0 は、導電体 4 7 4 b に達する開口部と、導電体 4 7 4 c に達する開口部と、を有する。なお、絶縁体 4 9 0 は上記実施の形態の絶縁体 1 0 3 に相当するため、詳細については絶縁体 1 0 3 の記載を参酌することができる。上記実施の形態に記載したように、開口部を除いて導電体 4 7 4 a 乃至 4 7 4 c の上を覆うように絶縁体 4 9 0 を設けることにより、絶縁体 4 9 1 から導電体 4 7 4 a 乃至 4 7 4 c が酸素を引き抜くことを防ぐことができる。これにより、絶縁体 4 9 1 からトランジスタ 3 3 0 0 の酸化物半導体に効果的に酸素を供給することができる。

40

【0 4 6 4】

また、絶縁体 4 9 1 は、導電体 4 7 4 b に達する開口部と、導電体 4 7 4 c に達する開口部と、を有する。なお、絶縁体 4 9 1 は上記実施の形態の絶縁体 1 0 4 に相当するため、詳細については絶縁体 1 0 4 の記載を参酌することができる。

【0 4 6 5】

50

上記実施の形態に示したように、絶縁体 491 の水、水素の含有量を低減することにより、トランジスタ 2100 の酸化物半導体に欠陥準位が形成されるのを抑制することができる。これにより、トランジスタ 2100 の電気特性を安定させることができる。

【0466】

また、このような、水、水素が低減された絶縁体は絶縁体 491 だけでなく、他の絶縁体に用いてもよい。例えば、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 などに用いてもよい。

【0467】

また、図 24 においては、トランジスタ 20 における絶縁体 105、絶縁体 101 に相当する絶縁体を図示していないが、もちろんこれら設ける構成としてもよい。例えば、絶縁体 468 と絶縁体 489 の間に絶縁体 101 に相当する絶縁体を設けてもよいし、絶縁体 489 と絶縁体 490 の間に絶縁体 105 に相当する絶縁体を設けてもよい。特に、絶縁体 468 と絶縁体 489 の間に絶縁体 101 に相当する、水、水素などをブロックする機能を有する絶縁体を設け、上記のように絶縁体 491 の水、水素の含有量を低減することにより、トランジスタ 3300 の酸化物半導体に欠陥準位が形成されるのをさらに抑制することができる。

【0468】

また、絶縁体 492 は、トランジスタ 3300 のソース電極またはドレイン電極の一方である導電体 516b を通って、導電体 474b に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a と絶縁体 511 を介して重なる導電体 514 に達する開口部と、トランジスタ 3300 のゲート電極である導電体 504 に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a を通って、導電体 474c に達する開口部と、を有する。なお、絶縁体 492 は上記実施の形態の絶縁体 116 に相当するため、詳細については絶縁体 116 の記載を参酌することができる。

【0469】

また、絶縁体 493 は、トランジスタ 3300 のソース電極またはドレイン電極の一方である導電体 516b を通って、導電体 474b に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a と絶縁体 511 を介して重なる導電体 514 に達する開口部と、トランジスタ 3300 のゲート電極である導電体 504 に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a を通って、導電体 474c に達する開口部と、を有する。また、開口部には、それぞれ導電体 496a、導電体 496b、導電体 496c または導電体 496d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 3300 などの構成要素のいずれかが有する開口部を介する場合がある。

【0470】

また、絶縁体 494 は、導電体 496a に達する開口部と、導電体 496b に達する開口部と、導電体 496c に達する開口部と、を有する。また、開口部には、それぞれ導電体 498a、導電体 498b または導電体 498c が埋め込まれている。

【0471】

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 または絶縁体 494 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 3300 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 3300 の電気特性を安定にすることができる。

【0472】

トランジスタ 3200 のソースまたはドレインは、導電体 480b と、導電体 478b と、導電体 476a と、導電体 474b と、導電体 496c と、を介してトランジスタ 3300 のソース電極またはドレイン電極の一方である導電体 516b と電氣的に接続する。また、トランジスタ 3200 のゲート電極である導電体 454 は、導電体 480c と、

導電体 478c と、導電体 476b と、導電体 474c と、導電体 496d と、を介してトランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a と電氣的に接続する。

【0473】

容量素子 3400 は、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電体 516a と、導電体 514 と、絶縁体 511 と、を有する。なお、絶縁体 511 は、トランジスタ 3300 のゲート絶縁体として機能する絶縁体と同一工程を経て形成できるため、生産性を高めることができて好ましい場合がある。また、導電体 514 として、トランジスタ 3300 のゲート電極として機能する導電体 504 と同一工程を経て形成した層を用いると、生産性を高めることができて好ましい場合がある。

10

【0474】

そのほかの構造については、適宜図 24 などについての記載を参酌することができる。

【0475】

なお、図 29 に示す半導体装置は、図 28 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。よって、図 29 に示す半導体装置については、図 28 に示した半導体装置の記載を参酌する。具体的には、図 29 に示す半導体装置は、トランジスタ 3200 が Fin 型である場合を示している。Fin 型であるトランジスタ 3200 については、図 25 に示したトランジスタ 2200 の記載を参照する。なお、図 25 では、トランジスタ 2200 が p チャンネル型トランジスタである場合について説明したが、トランジスタ 3200 が n チャンネル型トランジスタであっても構わない。

20

【0476】

また、図 30 に示す半導体装置は、図 28 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。よって、図 30 に示す半導体装置については、図 28 に示した半導体装置の記載を参酌する。具体的には、図 30 に示す半導体装置は、トランジスタ 3200 が SOI 基板である半導体基板 450 に設けられた場合を示している。SOI 基板である半導体基板 450 に設けられたトランジスタ 3200 については、図 26 に示したトランジスタ 2200 の記載を参照する。なお、図 26 では、トランジスタ 2200 が p チャンネル型トランジスタである場合について説明したが、トランジスタ 3200 が n チャンネル型トランジスタであっても構わない。

【0477】

30

<記憶装置 2>

図 27 (B) に示す半導体装置は、トランジスタ 3200 を有さない点で図 27 (A) に示した半導体装置と異なる。この場合も図 27 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0478】

図 27 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 3300 が導通状態になると、浮遊状態である第 3 の配線 3003 と容量素子 3400 とが導通し、第 3 の配線 3003 と容量素子 3400 の間で電荷が再分配される。その結果、第 3 の配線 3003 の電位が変化する。第 3 の配線 3003 の電位の変化量は、容量素子 3400 の電極の一方の電位（または容量素子 3400 に蓄積された電荷）によって、異なる値をとる。

40

【0479】

例えば、容量素子 3400 の電極の一方の電位を V 、容量素子 3400 の容量を C 、第 3 の配線 3003 が有する容量成分を CB 、電荷が再分配される前の第 3 の配線 3003 の電位を $VB0$ とすると、電荷が再分配された後の第 3 の配線 3003 の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の電極の一方の電位が $V1$ と $V0$ ($V1 > V0$) の 2 つの状態をとるとすると、電位 $V1$ を保持している場合の第 3 の配線 3003 の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位 $V0$ を保持している場合の第 3 の配線 3003 の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

50

【0480】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0481】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0482】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0483】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0484】

<記憶装置3>

図27(A)に示す半導体装置（記憶装置）の変形例について、図31に示す回路図を用いて説明する。

【0485】

図31に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ3200と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ3300と同様のトランジスタを用いることができる。なお、図31に示す半導体装置は、図31では図示を省略したが、マトリクス状に複数設けられる。図31に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号又は電位に従って、データ電圧の書き込み、読み出しを制御することができる。

【0486】

トランジスタ4100のソース又はドレインの一方は、配線4003に接続される。トランジスタ4100のソース又はドレインの他方は、配線4001に接続される。なお図31では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

【0487】

図31に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソース又はドレインの一方、容量素子4600の一方の電極、及びトランジスタ4200のソース又はドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソース又はドレインの他方、トランジスタ4300のソース又はドレインの一方、及び容量素子4500の一方の電極の間で電荷を保持する。

【0488】

トランジスタ4300のソース又はドレインの他方は、配線4003に接続される。ト

ランジスタ4400のソース又はドレインの他方は、配線4001に接続される。ランジスタ4400のゲートは、配線4005に接続される。ランジスタ4200のゲートは、配線4006に接続される。ランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

【0489】

ランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いランジスタが用いられることが好適である。オフ電流が少ないランジスタとしては、チャネル形成領域に酸化物半導体を有するランジスタ（OSランジスタ）であることが好ましい。OSランジスタは、オフ電流が低い、シリコンを有するランジスタと重ねて作製できる等の利点がある。なお図31では、ランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

10

【0490】

ランジスタ4200及びランジスタ4300と、ランジスタ4400とは、酸化物半導体を用いたランジスタであっても別層に設けることが好ましい。すなわち、図31に示す半導体装置は、図31に示すように、ランジスタ4100を有する第1の層4021と、ランジスタ4200及びランジスタ4300を有する第2の層4022と、ランジスタ4400を有する第3の層4023と、で構成されることが好ましい。ランジスタを有する層を積層して設けることで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

20

【0491】

次いで、図31に示す半導体装置への情報の書き込み動作について説明する。

【0492】

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG1に接続されるデータ保持部に書きこむデータ電圧を V_{D1} とし、ランジスタ4100の閾値電圧を V_{th} とする。

【0493】

書き込み動作1では、配線4003を V_{D1} とし、配線4001を接地電位とした後に、電氣的に浮遊状態とする。また配線4005、4006をハイレベルにする。また配線4007乃至4009をローレベルにする。すると、電氣的に浮遊状態にあるノードFG2の電位が上昇し、ランジスタ4100に電流が流れる。電流が流れることで、配線4001の電位が上昇する。またランジスタ4400、ランジスタ4200が導通状態となる。そのため、配線4001の電位の上昇につれて、ノードFG1、FG2の電位が上昇する。ノードFG2の電位が上昇し、ランジスタ4100でゲートとソースとの間の電圧（ V_{gs} ）がランジスタ4100の閾値電圧 V_{th} になると、ランジスタ4100を流れる電流が小さくなる。そのため、配線4001、ノードFG1、FG2の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1} - V_{th}$ 」で一定となる。

30

40

【0494】

つまり、配線4003に与えた V_{D1} は、ランジスタ4100に電流が流れることで、配線4001に与えられ、ノードFG1、FG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D1} - V_{th}$ 」となると、ランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。

【0495】

次に、ノードFG2に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作2とよぶ。）について説明する。なお、ノードFG2に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

【0496】

50

書き込み動作2では、配線4001を V_{D2} とし、配線4003を接地電位とした後に、電氣的に浮遊状態とする。また配線4007をハイレベルにする。また配線4005、4006、4008、4009をローレベルにする。トランジスタ4300を導通状態として配線4003をローレベルにする。そのため、ノードFG2の電位もローレベルにまで低下し、トランジスタ4100に電流が流れる。電流が流れることで、配線4003の電位が上昇する。またトランジスタ4300が導通状態となる。そのため、配線4003の電位の上昇につれて、ノードFG2の電位が上昇する。ノードFG2の電位が上昇し、トランジスタ4100で V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。そのため、配線4003、ノードFG2の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2} - V_{th}$ 」で一定となる。

10

【0497】

つまり、配線4001に与えた V_{D2} は、トランジスタ4100に電流が流れることで、配線4003に与えられ、ノードFG2の電位が上昇する。電位の上昇によって、ノードFG2の電位が「 $V_{D2} - V_{th}$ 」となると、トランジスタ4100の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノードFG1の電位は、トランジスタ4200、4400共に非導通状態であり、書き込み動作1で書きこんだ「 $V_{D1} - V_{th}$ 」が保持される。

【0498】

図31に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線4009をハイレベルにして、ノードFG1、FG2の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

20

【0499】

以上説明したノードFG1、FG2へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で4ビットのデータを保持する場合、16値の「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を取り得る。

【0500】

次いで、図31に示す半導体装置からの情報の読み出し動作について説明する。

30

【0501】

最初に、ノードFG2に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作1とよぶ。）について説明する。

【0502】

読み出し動作1では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009をローレベルとして、電氣的に浮遊状態にあるノードFG2の電位を「 $V_{D2} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D2} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D2} 」となる。この配線4003の電位は、ノードFG2に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG2に接続されるデータ保持部のデータを取得する。

40

【0503】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D2} 」となる。トラ

50

ンジスタ4100では、ノードFG2の「 $V_{D2} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作2で書きこんだ「 V_{D2} 」が読み出される。

【0504】

ノードFG2に接続されるデータ保持部のデータを取得したら、トランジスタ4300を導通状態として、ノードFG2の「 $V_{D2} - V_{th}$ 」を放電させる。

【0505】

次に、ノードFG1に保持される電荷をノードFG2に分配し、ノードFG1に接続されるデータ保持部のデータ電圧を、ノードFG2に接続されるデータ保持部に移す。ここで、配線4001、4003をローレベルとする。配線4006をハイレベルにする。また、配線4005、配線4007乃至4009をローレベルにする。トランジスタ4200が導通状態となることで、ノードFG1の電荷が、ノードFG2との間で分配される。

【0506】

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D1} - V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

【0507】

次に、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

【0508】

読み出し動作2では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電氣的に浮遊状態にあるノードFG2を電位「 $V_{D1} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D1} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作である。

【0509】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D1} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D1} 」が読み出される。

【0510】

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1及びノードFG2にそれぞれ4ビット（16値）のデータを保持することで計8ビット（256値）のデータを保持することができる。また、図31においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面

10

20

30

40

50

積を増大させず記憶容量の増加を図ることができる。

【0511】

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができる。

【0512】

また、図32に図31に対応する半導体装置の断面図を示す。図32に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここで、トランジスタ4100は第1の層4021に形成され、トランジスタ4200、4300、及び容量素子4500は第2の層4022に形成され、トランジスタ4400及び容量素子4600は第3の層4023に形成される。

10

【0513】

ここで、トランジスタ4200乃至4400としてはトランジスタ3300の記載を、トランジスタ4100としてはトランジスタ3200の記載を参酌することができる。また、その他の配線、絶縁体等についても適宜図28の記載を参酌することができる。

【0514】

なお、図28に示す半導体装置の容量素子3400では導電層を基板に対して平行に設けて容量を形成する構成としたが、容量素子4500、4600では、トレンチ状に導電層を設けて、容量を形成する構成としている。このような構成とすることで、同じ占有面積であっても大きい容量値を確保することができる。

20

【0515】

<記憶装置4>

図27(C)に示す半導体装置は、トランジスタ3500、第6の配線3006を有する点で図27(A)に示した半導体装置と異なる。この場合も図27(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。また、トランジスタ3500としては上記のトランジスタ3200と同様のトランジスタを用いればよい。

【0516】

第6の配線3006は、トランジスタ3500のゲートと電氣的に接続され、トランジスタ3500のソース、ドレインの一方はトランジスタ3200のドレインと電氣的に接続され、トランジスタ3500のソース、ドレインの他方は第3の配線3003と電氣的に接続される。

30

【0517】

図33は、図27(C)に示す半導体装置の断面図の一例を示す。図34は、図33に示すB1-B2方向と概略垂直なB3-B4方向の断面の一例を示す。図33及び図34に示す、図27(C)に示す半導体装置は、層1627乃至層1631の5つの層を有する。層1627はトランジスタ3200、トランジスタ3500、トランジスタ3600を有する。層1628及び層1629はトランジスタ3300を有する。

40

【0518】

層1627は、基板1400と、基板1400上のトランジスタ3200、トランジスタ3500、トランジスタ3600と、トランジスタ3200等の上の絶縁体1464と、プラグ1541等のプラグを有する。プラグ1541等は例えばトランジスタ3200等のゲート電極、ソース電極またはドレイン電極等に接続する。プラグ1541は、絶縁体1464を埋めるように形成されることが好ましい。

【0519】

トランジスタ3200、トランジスタ3500、トランジスタ3600については、トランジスタ2200の記載を参酌することができる。

【0520】

50

絶縁体 1464 として例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0521】

絶縁体 1464 はスパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）、MBE 法、ALD 法、または PLD 法などにより形成することができる。特に、当該絶縁体を CVD 法、好ましくはプラズマ CVD 法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。

【0522】

また、絶縁体 1464 として、炭化窒化シリコン (silicon carbonitride)、酸化炭化シリコン (silicon oxycarbide) などを用いることができる。また、USG (Undoped Silicate Glass)、BPSG (Boron Phosphorus Silicate Glass)、BSG (Borosilicate Glass) 等を用いることができる。USG、BPSG 等は、常圧 CVD 法を用いて形成すればよい。また、例えば、HSQ (水素シルセスキオキサン) 等を塗布法を用いて形成してもよい。

【0523】

絶縁体 1464 は単層でもよく、複数の材料を積層して用いてもよい。

【0524】

ここで、図 33 には絶縁体 1464 を絶縁体 1464a と、絶縁体 1464a 上の絶縁体 1464b との 2 層とする例を示す。

【0525】

絶縁体 1464a は、トランジスタ 3200 の領域 1476、トランジスタ 3200 等のゲートとして機能する導電体 1454 等との密着性や、被覆性がよいことが好ましい。

【0526】

絶縁体 1464a の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで絶縁体 1464a は水素を有すると好ましい場合がある。絶縁体 1464a が水素を有することにより、基板 1400 が有する欠陥等を低減し、トランジスタ 3200 等の特性を向上させる場合がある。例えば基板 1400 としてシリコンを有する材料を用いた場合には、水素によりシリコンのダングリングボンド等の欠陥を終端することができる。

【0527】

ここで導電体 1454 等の絶縁体 1464a の下の導電体と、導電体 1511 等の絶縁体 1464b 上に形成される導電体との間に形成される寄生容量は小さいことが好ましい。よって、絶縁体 1464b は誘電率が低いことが好ましい。絶縁体 1464b は、トランジスタ 3200 などのゲート絶縁体として機能する絶縁体 1462 よりも誘電率が低いことが好ましい。また、絶縁体 1464b は、絶縁体 1464a よりも誘電率が低いことが好ましい。例えば、絶縁体 1464b の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 1464b の比誘電率は、絶縁体 1464a の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。

【0528】

ここで一例として、絶縁体 1464a に窒化シリコンを、絶縁体 1464b に USG を用いることができる。

【0529】

ここで、絶縁体 1464a および絶縁体 1581a 等に窒化シリコンや、炭化窒化シリコンなどの銅の透過性の低い材料を用いることにより、導電体 1511 等に銅を用いた場合に、絶縁体 1464a および絶縁体 1581a 等の上下の層への銅の拡散を抑制できる場合がある。

【0530】

また、例えば導電体1511aに覆われていない導電体1511bの上面から、絶縁体1584等を介して上層に銅などの不純物が拡散する可能性がある。よって、導電体1511b上の絶縁体1584は、銅などの不純物の透過性が低い材料を用いることが好ましい。例えば、絶縁体1584を、絶縁体1581aおよび絶縁体1581bの積層構造のように積層構造とすればよい。

【0531】

層1628は、絶縁体1581と、絶縁体1581上の絶縁体1584と、絶縁体1584上の絶縁体1571と、絶縁体1571上の絶縁体1585と、を有する。また、絶縁体1464上の導電体1511等と、導電体1511等に接続するプラグ1543等と、絶縁体1571上の導電体1513と、を有する。導電体1511は絶縁体1581に埋め込まれるように形成されることが好ましい。プラグ1543等は絶縁体1584および絶縁体1571に埋め込まれるように形成されることが好ましい。導電体1513は、絶縁体1585に埋め込まれるように形成されることが好ましい。

【0532】

また、層1628は、導電体1413を有してもよい。導電体1413は、絶縁体1585に埋め込まれるように形成されることが好ましい。

【0533】

絶縁体1584および絶縁体1585として例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0534】

絶縁体1584および絶縁体1585は、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法、またはPLD法などにより形成することができる。特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。さらにテトラエトキシシラン（TEOS： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）を成膜ガスとして用いて成膜することが好ましく、加熱しながら成膜することがより好ましい。このように絶縁体1584、絶縁体1585などを成膜することにより、膜中の水素濃度を低減することができる。なお、加熱する場合、比較的低い温度範囲（例えば、350℃以上445℃以下程度の温度範囲）で加熱することが好ましい。また、このように膜中の水素濃度を低減した絶縁体を他の層間絶縁膜として用いてもよい。

【0535】

なおプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0536】

また、1584および絶縁体1585として、炭化シリコン、炭化窒化シリコン（silicon carbonitride）、酸化炭化シリコン（silicon oxycarbide）などを用いることができる。また、USG（Undoped Silicate Glass）、BPSG（Boron Phosphorus Silicate Glass）、BSG（Borosilicate Glass）等を用いることができる。USG、BPSG等は、常圧CVD法を用いて形成すればよい。また、例えば、HSQ（水素シルセスキオキサン）等を塗布法を用いて形成してもよい。

【0537】

絶縁体1584および絶縁体1585は単層でもよく、複数の材料を積層して用いてもよい。

【0538】

絶縁体1581は複数の層を積層して形成してもよい。例えば図33に示すように、絶縁体1581は絶縁体1581aと、絶縁体1581a上の絶縁体1581bの2層としてもよい。

【0539】

またプラグ1543は、絶縁体1571上に凸部を有する。

【0540】

導電体1511、導電体1513、導電体1413、プラグ1543等として、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。例えば、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、ニオブ、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。また、窒化タングステン、窒化モリブデン、窒化チタンなどの金属窒化物を用いることができる。

【0541】

ここで、導電体1511、導電体1513等の導電体は図27(C)に示す半導体装置の配線として機能することが好ましい。よって、これらの導電体を、配線、あるいは配線層と呼ぶ場合がある。また、これらの導電体間は、プラグ1543等のプラグで接続されることが好ましい。

【0542】

絶縁体1581は、絶縁体1464の記載を参照すればよい。また、絶縁体1581は単層でもよく、複数の材料を積層して用いてもよい。ここで、図33には絶縁体1581を絶縁体1581aと、絶縁体1581a上の絶縁体1581bとの2層とする例を示す。絶縁体1581aおよび絶縁体1581bに用いることのできる材料や、形成方法についてはそれぞれ、絶縁体1464aおよび絶縁体1464bに用いることのできる材料や形成方法の記載を参照することができる。

【0543】

絶縁体1581aの一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、図27(C)に示す半導体装置が有する半導体素子、例えばトランジスタ3300等において、水素が該半導体素子に拡散することにより該半導体素子の特性が低下する場合がある。よって絶縁体1581aとして水素の脱離量が少ない膜を用いることが好ましい。水素の脱離量は、例えば昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))などを用いて分析することができる。絶縁体1581aの水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素原子に換算した脱離量が例えば $5 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以下である。または、絶縁体1581aは、水素原子に換算した脱離量は、絶縁膜の面積あたりで例えば $5 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $2 \times 10^{15} \text{ atoms/cm}^2$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0544】

また、このような水素の脱離量が少ない窒化シリコンは、絶縁体1581aだけでなく、図33に示す絶縁体1581aより上の層の絶縁体に用いてもよい。また、上記窒化シリコンに代えて、上記実施の形態に示す、水素、水が低減された絶縁体104と同様の絶縁体を用いてもよい。

【0545】

また絶縁体1581bは、絶縁体1581aよりも誘電率が低いことが好ましい。例えば、絶縁体1581bの比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体1581bの比誘電率は、絶縁体1581aの比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。

【0546】

絶縁体1571は不純物の透過性が低い絶縁性材料を用いて形成することが好ましい。例えば、絶縁体1571は酸素の透過性が低いことが好ましい。また例えば、絶縁体1571は水素の透過性が低いことが好ましい。また例えば、絶縁体1571は水の透過性が低いことが好ましい。

【0547】

絶縁体 1571 として例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (S r T i O₃) または (B a, S r) T i O₃ (B S T)、窒化シリコン等を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウム、酸化ガリウムを添加してもよい。またはこれらの絶縁体を窒化処理して酸化窒化物としてもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

【0548】

また、絶縁体 1571 として例えば、炭化シリコン、炭化窒化シリコン、酸化炭化シリコンなどを用いてもよい。

【0549】

絶縁体 1571 は水や水素の透過性が低い材料の層に、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

【0550】

ここで例えば、図 27 (C) に示す半導体装置が絶縁体 1571 を有することにより、導電体 1513、導電体 1413 等が有する元素が、絶縁体 1571 およびその下層 (絶縁体 1584、絶縁体 1581、層 1627 等) へ拡散することを抑制できる。

【0551】

ここで絶縁体 1571 の誘電率が絶縁体 1584 よりも高い場合には、絶縁体 1571 の膜厚は絶縁体 1584 の膜厚よりも小さいことが好ましい。ここで絶縁体 1584 の比誘電率は例えば、絶縁体 1571 の比誘電率の好ましくは 0.7 倍以下、より好ましくは 0.6 倍以下である。また例えば、絶縁体 1571 の膜厚は好ましくは 5 nm 以上 200 nm 以下、より好ましくは 5 nm 以上 60 nm 以下であり、絶縁体 1584 の膜厚は好ましくは 30 nm 以上 800 nm 以下、より好ましくは 50 nm 以上 500 nm 以下である。また、例えば絶縁体 1571 の膜厚は絶縁体 1584 の膜厚の 3 分の 1 以下であることが好ましい。

【0552】

層 1629 は、トランジスタ 3300 と、プラグ 1544 およびプラグ 1544 b 等のプラグと、を有する。プラグ 1544 およびプラグ 1544 b 等のプラグは、層 1628 が有する導電体 1513 や、トランジスタ 3300 が有するゲート電極、ソース電極またはドレイン電極と接続する。トランジスタ 3300 の構成は上記トランジスタ 20、トランジスタ 2100 などの記載を参照することができる。

【0553】

トランジスタ 3300 は、導電体 1413、絶縁体 1571 a、絶縁体 1402、導電体 1416 a、導電体 1416 b、導電体 1404、絶縁体 1408、絶縁体 1591 を有している。導電体 1413 は導電体 102、絶縁体 1571 a は絶縁体 103、絶縁体 1402 は絶縁体 104、導電体 1416 a は導電体 108 a、導電体 1416 b は導電体 108 b、導電体 1404 は導電体 114、絶縁体 1408 は絶縁体 116、絶縁体 1591 は絶縁体 118 を参照することができる。

【0554】

また、図 76 及び図 77 に示すように、トランジスタ 20 における絶縁体 105 に相当する絶縁体 1402 a を設ける構成としてもよい。なお、図 76 及び図 77 は、図 33 及び図 34 に対応しており、絶縁体 1402 a が設けられている点においてのみ図 33 及び図 34 と異なる。例えば、絶縁体 1585 と絶縁体 1571 a の間に絶縁体 1402 a を設けてもよい。ここで、絶縁体 1402 a、絶縁体 1571 a 及び絶縁体 1402 において、絶縁体 1571 a が電子捕獲領域を有すると好ましい。絶縁体 1402 a および絶縁体 1402 が電子の放出を抑制する機能を有するとき、絶縁体 1571 a に捕獲された電

10

20

30

40

50

子は、負の固定電荷のように振舞う。したがって、絶縁体1571aに電子を注入することにより、トランジスタ3300のしきい値電圧を変化させることができる。絶縁体1571aへの電子の注入は、導電体1413にプラスまたはマイナスの電位を印加することで行うことができる。

【0555】

また、導電体1413に電位を印加する時間、または／および印加する電位によって、電子の注入量を調整することができるため、トランジスタのしきい値電圧を所望の値とすることができる。導電体1413に印加する電位は、絶縁体1402aにおいてトンネル電流が流れる程度とすればよく、例えば、20V以上60V以下、好ましくは24V以上50V以下、さらに好ましくは30V以上45V以下の電位を印加すればよい。電位の印加時間は、例えば、0.1秒以上、20秒以下、好ましくは0.2秒以上10秒以下の範囲とすればよい。

10

【0556】

上記実施の形態と同様に、絶縁体1571とトランジスタ20の絶縁体106aに相当する絶縁体の間に設けられる絶縁体の積層膜（本実施の形態においては、絶縁体1585、絶縁体1402a、絶縁体1571a、絶縁体1402の積層膜）に含まれる水、または水素の量が少ないことが好ましい。上述のように、絶縁体1571を水、水素をブロックする機能を有する絶縁体とすると、トランジスタ20の絶縁体106a及び半導体106bとなる酸化物を成膜するときに、当該酸化物に供給される水、水素は、絶縁体1585、絶縁体1402a、絶縁体1571a、絶縁体1402に含まれるものである。このため、当該酸化物を成膜するときに、絶縁体1585、絶縁体1402a、絶縁体1571a及び絶縁体1402の積層膜、その中でも特に絶縁体1402に含まれる水、または水素の量が十分少なければ、当該酸化物に水または水素が供給されるのを低減することができる。

20

【0557】

また、導電体1416aおよび導電体1416bは、その上面に接して形成されるプラグ1544bが有する元素の透過性が低い材料を有することが好ましい。

【0558】

また、導電体1416aおよび導電体1416bを積層膜としてもよい。ここで一例として、導電体1416aおよび導電体1416bを第1の層および第2の層の積層とする。ここで酸化物半導体層の上に第1の層を形成し、第1の層上に第2の層を形成する。第1の層として例えばタングステンを用い、第2の層として例えば窒化タンタルを用いる。ここでプラグ1544b等として例えば銅を用いる。銅は抵抗が小さく、プラグや配線等の導電体として用いることが好ましい。一方、銅は拡散しやすく、トランジスタの半導体層やゲート絶縁膜等へ拡散することによりトランジスタ特性を低下させる場合がある。ここで導電体1416aおよび導電体1416bが窒化タンタルを有することにより、プラグ1544b等が有する銅が酸化物半導体層へ拡散することを抑制できる場合がある。

30

【0559】

本発明の一態様の図27(C)に示す半導体装置は、プラグや配線等が半導体素子の特性低下を招く元素および化合物を有する場合に、該元素や化合物が半導体素子へ拡散することを抑制する構造を有することが好ましい。

40

【0560】

層1630は、絶縁体1592と、導電体1514等の導電体と、プラグ1545等のプラグと、を有する。プラグ1545等は、導電体1514等の導電体と接続する。

【0561】

層1631は、容量素子3400と、を有する。容量素子3400は、導電体1516と、導電体1517と、絶縁体1572と、を有する。絶縁体1572は、導電体1516と導電体1517で挟まれる領域を有する。また、層1631は、絶縁体1594と、導電体1517上のプラグ1547を有することが好ましい。プラグ1547は絶縁体1594に埋め込まれるように形成されることが好ましい。また、層1631は、層163

50

0が有するプラグに接続する導電体1516bと、導電体1516b上のプラグ1547bを有することが好ましい。

【0562】

また層1631は、プラグ1547やプラグ1547bに接続する、配線層を有してもよい。図33に示す例では、配線層はプラグ1547やプラグ1547bに接続する導電体1518等と、導電体1518上のプラグ1548と、絶縁体1595と、プラグ1548上の導電体1519と、導電体1519上の絶縁体1599とを有する。プラグ1548は絶縁体1595に埋め込まれるように形成されることが好ましい。また、絶縁体1599は、導電体1519上に開口部を有する。

【0563】

10

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0564】

(実施の形態5)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の一例について説明する。

【0565】

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

【0566】

20

図35(A)は、本発明の一態様に係る撮像装置200の例を示す平面図である。撮像装置200は、画素部210と、画素部210を駆動するための周辺回路260と、周辺回路270、周辺回路280と、周辺回路290と、を有する。画素部210は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素211を有する。周辺回路260、周辺回路270、周辺回路280および周辺回路290は、それぞれ複数の画素211に接続し、複数の画素211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路260、周辺回路270、周辺回路280および周辺回路290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路260は周辺回路の一部といえる。

【0567】

30

また、撮像装置200は、光源291を有することが好ましい。光源291は、検出光P1を放射することができる。

【0568】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路は、画素部210を形成する基板上に形成してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路260、周辺回路270、周辺回路280および周辺回路290のいずれか一以上を省略してもよい。

【0569】

40

また、図35(B)に示すように、撮像装置200が有する画素部210において、画素211を傾けて配置してもよい。画素211を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置200における撮像の品質をより高めることができる。

【0570】

<画素の構成例1>

撮像装置200が有する1つの画素211を複数の副画素212で構成し、それぞれの副画素212に特定の波長帯域の光を透過するフィルタ(カラーフィルタ)を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0571】

図36(A)は、カラー画像を取得するための画素211の一例を示す平面図である。

50

図36(A)に示す画素211は、赤(R)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212R」ともいう)、緑(G)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212G」ともいう)および青(B)の波長帯域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212B」ともいう)を有する。副画素212は、フォトセンサとして機能させることができる。

【0572】

副画素212(副画素212R、副画素212G、および副画素212B)は、配線231、配線247、配線248、配線249、配線250と電氣的に接続される。また、副画素212R、副画素212G、および副画素212Bは、それぞれが独立した配線253に接続している。また、本明細書等において、例えばn行目の画素211に接続された配線248および配線249を、それぞれ配線248[n]および配線249[n]と記載する。また、例えばm列目の画素211に接続された配線253を、配線253[m]と記載する。なお、図36(A)において、m列目の画素211が有する副画素212Rに接続する配線253を配線253[m]R、副画素212Gに接続する配線253を配線253[m]G、および副画素212Bに接続する配線253を配線253[m]Bと記載している。副画素212は、上記配線を介して周辺回路と電氣的に接続される。

【0573】

また、撮像装置200は、隣接する画素211の、同じ波長帯域の光を透過するカラーフィルタが設けられた副画素212同士がスイッチを介して電氣的に接続する構成を有する。図36(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素211が有する副画素212と、該画素211に隣接するn+1行m列に配置された画素211が有する副画素212の接続例を示す。図36(B)において、n行m列に配置された副画素212Rと、n+1行m列に配置された副画素212Rがスイッチ201を介して接続されている。また、n行m列に配置された副画素212Gと、n+1行m列に配置された副画素212Gがスイッチ202を介して接続されている。また、n行m列に配置された副画素212Bと、n+1行m列に配置された副画素212Bがスイッチ203を介して接続されている。

【0574】

なお、副画素212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素211に3種類の異なる波長帯域の光を検出する副画素212を設けることで、フルカラー画像を取得することができる。

【0575】

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素212に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素212に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。1つの画素211に4種類の異なる波長帯域の光を検出する副画素212を設けることで、取得した画像の色の再現性をさらに高めることができる。

【0576】

また、例えば、図36(A)において、赤の波長帯域の光を検出する副画素212、緑の波長帯域の光を検出する副画素212、および青の波長帯域の光を検出する副画素212の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

【0577】

なお、画素211に設ける副画素212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長帯域の光を検出する副画素212を2つ以上設けることで、冗長性を高め、

撮像装置 200 の信頼性を高めることができる。

【0578】

また、可視光を吸収または反射して、赤外光を透過する IR (IR: Infrared) フィルタを用いることで、赤外光を検出する撮像装置 200 を実現することができる。

【0579】

また、ND (ND: Neutral Density) フィルタ (減光フィルタ) を用いることで、光電変換素子 (受光素子) に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なる ND フィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

【0580】

また、前述したフィルタ以外に、画素 211 にレンズを設けてもよい。ここで、図 37 の断面図を用いて、画素 211、フィルタ 254、レンズ 255 の配置例を説明する。レンズ 255 を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図 37 (A) に示すように、画素 211 に形成したレンズ 255、フィルタ 254 (フィルタ 254 R、フィルタ 254 G および フィルタ 254 B)、および画素回路 230 等を通して光 256 を光電変換素子 220 に入射させる構造とすることができる。

【0581】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光 256 の一部が配線 257 の一部によって遮光されてしまうことがある。したがって、図 37 (B) に示すように光電変換素子 220 側にレンズ 255 およびフィルタ 254 を配置して、光電変換素子 220 が光 256 を効率良く受光させる構造が好ましい。光電変換素子 220 側から光 256 を光電変換素子 220 に入射させることで、検出感度の高い撮像装置 200 を提供することができる。

【0582】

図 37 に示す光電変換素子 220 として、pn 型接合または pin 型の接合が形成された光電変換素子を用いてもよい。

【0583】

また、光電変換素子 220 を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0584】

例えば、光電変換素子 220 にセレンを用いると、可視光や、紫外光、赤外光に加えて、X 線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子 220 を実現できる。

【0585】

ここで、撮像装置 200 が有する 1 つの画素 211 は、図 36 に示す副画素 212 に加えて、第 1 のフィルタを有する副画素 212 を有してもよい。

【0586】

<画素の構成例 2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0587】

図 38 (A)、図 38 (B) は、撮像装置を構成する素子の断面図である。図 38 (A) に示す撮像装置は、シリコン基板 300 に設けられたシリコンを用いたトランジスタ 351、トランジスタ 351 上に積層して配置された酸化物半導体を用いたトランジスタ 352 およびトランジスタ 353、ならびにシリコン基板 300 に設けられたフォトダイオード 360 を含む。各トランジスタおよびフォトダイオード 360 は、種々のプラグ 370 および配線 371 と電氣的な接続を有する。また、フォトダイオード 360 のアノード 361 は、低抵抗領域 363 を介してプラグ 370 と電氣的に接続を有する。

【0588】

また撮像装置は、シリコン基板300に設けられたトランジスタ351およびフォトダイオード360を有する層310と、層310と接して設けられ、配線371を有する層320と、層320と接して設けられ、トランジスタ352およびトランジスタ353を有する層330と、層330と接して設けられ、配線372および配線373を有する層340を備えている。

【0589】

なお図38(A)の断面図の一例では、シリコン基板300において、トランジスタ351が形成された面とは逆側の面にフォトダイオード360の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができ、高開口率の画素を形成することができる。なお、フォトダイオード360の受光面をトランジスタ351が形成された面と同じとすることもできる。

10

【0590】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0591】

なおシリコンを用いたトランジスタのみを用いて画素を構成する場合には、層330を省略すればよい。層330を省略した断面図の一例を図38(B)に示す。

【0592】

20

なお、シリコン基板300は、SOI基板であってもよい。また、シリコン基板300に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

【0593】

ここで、トランジスタ351およびフォトダイオード360を有する層310と、トランジスタ352およびトランジスタ353を有する層330と、の間には絶縁体380が設けられる。ただし、絶縁体380の位置は限定されない。

【0594】

30

トランジスタ351のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ351の信頼性を向上させる効果がある。一方、トランジスタ352およびトランジスタ353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ352およびトランジスタ353などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体380を設けることが好ましい。絶縁体380より下層に水素を閉じ込めることで、トランジスタ351の信頼性を向上させることができる。さらに、絶縁体380より下層から、絶縁体380より上層に水素が拡散することを抑制できるため、トランジスタ352およびトランジスタ353などの信頼性を向上させることができる。

40

【0595】

絶縁体380としては、例えば、酸素または水素をブロックする機能を有する絶縁体を用いる。

【0596】

また、図38(A)の断面図において、層310に設けるフォトダイオード360と、層330に設けるトランジスタとを重ねるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0597】

また、図39(A1)および図39(B1)に示すように、撮像装置の一部または全部を湾曲させてもよい。図39(A1)は、撮像装置を同図中の一点鎖線X1-X2の方向

50

に湾曲させた状態を示している。図39(A2)は、図39(A1)中の一点鎖線X1-X2で示した部位の断面図である。図39(A3)は、図39(A1)中の一点鎖線Y1-Y2で示した部位の断面図である。

【0598】

図39(B1)は、撮像装置を同図中の一点鎖線X3-X4の方向に湾曲させ、かつ、同図中の一点鎖線Y3-Y4の方向に湾曲させた状態を示している。図39(B2)は、図39(B1)中の一点鎖線X3-X4で示した部位の断面図である。図39(B3)は、図39(B1)中の一点鎖線Y3-Y4で示した部位の断面図である。

【0599】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

10

【0600】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0601】

(実施の形態6)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

20

【0602】

<CPUの構成>

図40は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0603】

図40に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図40に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図40に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

30

【0604】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

40

【0605】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のア

50

ドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0606】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0607】

図40に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0608】

図40に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0609】

図41は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0610】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0611】

スイッチ1203は、一導電型（例えば、nチャネル型）のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213の導通状態または非導通状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

【0612】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極の

うちの一方、およびトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電氣的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

10

20

【0613】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0614】

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

30

【0615】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図41では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0616】

なお、図41では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

40

【0617】

また、図41において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素

50

子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる膜または基板1190にチャネルが形成されるトランジスタとすることもできる。

【0618】

図41における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0619】

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0620】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【0621】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0622】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208に保持された信号によって、トランジスタ1210の導通状態、または非導通状態が切り替わり、その状態に応じて信号を回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0623】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0624】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP（Digital Signal Processor）、カスタムLSI、PLD（Programmable Logic Device）等のLSI、RF（Radio Frequency）デバイスにも応用可能である。

【0625】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0626】

（実施の形態7）

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した表示装置

10

20

30

40

50

について、図４２および図４３を用いて説明する。

【０６２７】

<表示装置の構成>

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機ＥＬ（Ｅｌｅｃｔｒｏｌｕｍｉｎｅｓｃｅｎｃｅ）、有機ＥＬなどを含む。以下では、表示装置の一例としてＥＬ素子を用いた表示装置（ＥＬ表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【０６２８】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むＩＣなどを実装した状態にあるモジュールとを含む。

【０６２９】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えばＦＰＣ、ＴＣＰが取り付けられたモジュール、ＴＣＰの先にプリント配線板を有するモジュールまたは表示素子にＣＯＧ方式によりＩＣ（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【０６３０】

図４２は、本発明の一態様に係るＥＬ表示装置の一例である。図４２（Ａ）に、ＥＬ表示装置の画素の回路図を示す。図４２（Ｂ）は、ＥＬ表示装置全体を示す上面図である。また、図４２（Ｃ）は、図４２（Ｂ）の一点鎖線Ｍ－Ｎの一部に対応するＭ－Ｎ断面である。

【０６３１】

図４２（Ａ）は、ＥＬ表示装置に用いられる画素の回路図の一例である。

【０６３２】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【０６３３】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【０６３４】

図４２（Ａ）に示すＥＬ表示装置は、スイッチ素子７４３と、トランジスタ７４１と、容量素子７４２と、発光素子７１９と、を有する。

【０６３５】

なお、図４２（Ａ）などは、回路構成の一例であるため、さらに、トランジスタを追加

10

20

30

40

50

することが可能である。逆に、図 4 2 (A) の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0636】

トランジスタ 7 4 1 のゲートはスイッチ素子 7 4 3 の一端および容量素子 7 4 2 の一方の電極と電氣的に接続される。トランジスタ 7 4 1 のソースは容量素子 7 4 2 の他方の電極と電氣的に接続され、発光素子 7 1 9 の一方の電極と電氣的に接続される。トランジスタ 7 4 1 のドレインは電源電位 V D D が与えられる。スイッチ素子 7 4 3 の他端は信号線 7 4 4 と電氣的に接続される。発光素子 7 1 9 の他方の電極は定電位が与えられる。なお、定電位は接地電位 G N D またはそれより小さい電位とする。

【0637】

スイッチ素子 7 4 3 としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い E L 表示装置とすることができる。また、スイッチ素子 7 4 3 として、トランジスタ 7 4 1 と同一工程を経て作製されたトランジスタを用いると、E L 表示装置の生産性を高めることができる。なお、トランジスタ 7 4 1 または／およびスイッチ素子 7 4 3 としては、例えば、上述したトランジスタを適用することができる。

【0638】

図 4 2 (B) は、E L 表示装置の上面図である。E L 表示装置は、基板 7 0 0 と、基板 7 5 0 と、シール材 7 3 4 と、駆動回路 7 3 5 と、駆動回路 7 3 6 と、画素 7 3 7 と、F P C 7 3 2 と、を有する。シール材 7 3 4 は、画素 7 3 7、駆動回路 7 3 5 および駆動回路 7 3 6 を囲むように基板 7 0 0 と基板 7 5 0 との間に配置される。なお、駆動回路 7 3 5 または／および駆動回路 7 3 6 をシール材 7 3 4 の外側に配置しても構わない。

【0639】

図 4 2 (C) は、図 4 2 (B) の一点鎖線 M - N の一部に対応する E L 表示装置の断面図である。

【0640】

図 4 2 (C) には、トランジスタ 7 4 1 として、基板 7 0 0 上の導電体 7 0 4 a と、導電体 7 0 4 a 上の絶縁体 7 1 2 a と、絶縁体 7 1 2 a 上の絶縁体 7 1 2 b と、絶縁体 7 1 2 b 上にあり導電体 7 0 4 a と重なる半導体 7 0 6 a および半導体 7 0 6 b と、半導体 7 0 6 a および半導体 7 0 6 b と接する導電体 7 1 6 a および導電体 7 1 6 b と、半導体 7 0 6 b 上、導電体 7 1 6 a 上および導電体 7 1 6 b 上の絶縁体 7 1 8 a と、絶縁体 7 1 8 a 上の絶縁体 7 1 8 b と、絶縁体 7 1 8 b 上の絶縁体 7 1 8 c と、絶縁体 7 1 8 c 上にあり半導体 7 0 6 b と重なる導電体 7 1 4 a と、を有する構造を示す。なお、トランジスタ 7 4 1 の構造は一例であり、図 4 2 (C) に示す構造と異なる構造であっても構わない。

【0641】

したがって、図 4 2 (C) に示すトランジスタ 7 4 1 において、導電体 7 0 4 a はゲート電極としての機能を有し、絶縁体 7 1 2 a および絶縁体 7 1 2 b はゲート絶縁体としての機能を有し、導電体 7 1 6 a はソース電極としての機能を有し、導電体 7 1 6 b はドレイン電極としての機能を有し、絶縁体 7 1 8 a、絶縁体 7 1 8 b および絶縁体 7 1 8 c はゲート絶縁体としての機能を有し、導電体 7 1 4 a はゲート電極としての機能を有する。なお、半導体 7 0 6 a、7 0 6 b は、光が当たることで電気特性が変動する場合がある。したがって、導電体 7 0 4 a、導電体 7 1 6 a、導電体 7 1 6 b、導電体 7 1 4 a のいずれか一以上が遮光性を有すると好ましい。

【0642】

なお、絶縁体 7 1 8 a および絶縁体 7 1 8 b の界面を破線で表したが、これは両者の境界が明確でない場合があることを示す。例えば、絶縁体 7 1 8 a および絶縁体 7 1 8 b として、同種の絶縁体を用いた場合、観察手法によっては両者の区別が付かない場合がある。

【0643】

図 4 2 (C) には、容量素子 7 4 2 として、基板上の導電体 7 0 4 b と、導電体 7 0 4

10

20

30

40

50

b上の絶縁体712aと、絶縁体712a上の絶縁体712bと、絶縁体712b上にあり導電体704bと重なる導電体716aと、導電体716a上の絶縁体718aと、絶縁体718a上の絶縁体718bと、絶縁体718b上の絶縁体718cと、絶縁体718c上にあり導電体716aと重なる導電体714bと、を有し、導電体716aおよび導電体714bの重なる領域で、絶縁体718aおよび絶縁体718bの一部が除去されている構造を示す。

【0644】

容量素子742において、導電体704bおよび導電体714bは一方の電極として機能し、導電体716aは他方の電極として機能する。

【0645】

したがって、容量素子742は、トランジスタ741と共通する膜を用いて作製することができる。また、導電体704aおよび導電体704bを同種の導電体とすると好ましい。その場合、導電体704aおよび導電体704bは、同一工程を経て形成することができる。また、導電体714aおよび導電体714bを同種の導電体とすると好ましい。その場合、導電体714aおよび導電体714bは、同一工程を経て形成することができる。

【0646】

図42(C)に示す容量素子742は、占有面積当たりの容量が大きい容量素子である。したがって、図42(C)は表示品位の高いEL表示装置である。なお、図42(C)に示す容量素子742は、導電体716aおよび導電体714bの重なる領域を薄くするため、絶縁体718aおよび絶縁体718bの一部が除去された構造を有するが、本発明の一態様に係る容量素子はこれに限定されるものではない。例えば、導電体716aおよび導電体714bの重なる領域を薄くするため、絶縁体718cの一部が除去された構造を有しても構わない。

【0647】

トランジスタ741および容量素子742上には、絶縁体720が配置される。ここで、絶縁体720は、トランジスタ741のソース電極として機能する導電体716aに達する開口部を有してもよい。絶縁体720上には、導電体781が配置される。導電体781は、絶縁体720の開口部を介してトランジスタ741と電氣的に接続してもよい。

【0648】

導電体781上には、導電体781に達する開口部を有する隔壁784が配置される。隔壁784上には、隔壁784の開口部で導電体781と接する発光層782が配置される。発光層782上には、導電体783が配置される。導電体781、発光層782および導電体783の重なる領域が、発光素子719となる。

【0649】

ここまでは、EL表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0650】

図43(A)は、液晶表示装置の画素の構成例を示す回路図である。図43に示す画素は、トランジスタ751と、容量素子752と、一对の電極間に液晶の充填された素子(液晶素子)753とを有する。

【0651】

トランジスタ751では、ソース、ドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

【0652】

容量素子752では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0653】

液晶素子753では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお

10

20

30

40

50

、上述した容量素子752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0654】

なお、液晶表示装置も、上面図はEL表示装置と同様として説明する。図42(B)の一点鎖線M-Nに対応する液晶表示装置の断面図を図43(B)に示す。図43(B)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ751を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0655】

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図43(B)には、図42(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

【0656】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0657】

トランジスタ751および容量素子752上には、絶縁体721が配置される。ここで、絶縁体721は、トランジスタ751に達する開口部を有する。絶縁体721上には、導電体791が配置される。導電体791は、絶縁体721の開口部を介してトランジスタ751と電氣的に接続する。

【0658】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

【0659】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0660】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、白色、赤色、緑色または青色などの発光ダイオード(LED: Light Emitting Diode)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイパネル(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的

作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。

【0661】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)またはSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

10

【0662】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

20

【0663】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0664】

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

30

【0665】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図44に示す。

40

【0666】

図44(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図44(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されな

50

い。

【0667】

図44(B)は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【0668】

図44(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0669】

図44(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

20

【0670】

図44(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

【0671】

図44(F)は自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

30

【0672】

なお、本実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

40

【実施例1】

【0673】

本実施例では、シリコン基板上に、酸化シリコン膜、酸化ハフニウム膜、フッ素を含む

50

酸化シリコン膜を積層した試料を作製し、TDS及びESRを用いて分析した結果について説明する。TDSの評価では、フッ素を含む酸化シリコン膜を成膜するときの基板温度をそれぞれ、350℃、400℃、445℃として、3種類の試料1A乃至試料1Cを作製して評価を行った。さらにESRの評価では、試料1A乃至試料1Cと同じ構造の試料に対して、熱処理を行わない試料1A-1乃至試料1C-1、410℃で熱処理を行った試料1A-2乃至試料1C-2、490℃で熱処理を行った試料1A-3乃至試料1C-3、550℃で熱処理を行った試料1A-4乃至試料1C-4、を作製して評価を行った。

【0674】

TDSの評価に用いた試料の作製方法について説明する。まず、シリコンウェハを熱酸化し、シリコンウェハ表面に100nmの酸化シリコン膜を形成した。熱酸化の条件は950℃で4時間であり、熱酸化の雰囲気は、3体積% HClを含む酸素雰囲気とした。

【0675】

次に、酸化シリコン膜上にALD法を用いて20nmの酸化ハフニウム膜を成膜した。ALD法による成膜では、基板温度を200℃とし、テトラキスジメチルアミドハフニウム(TDMAH)を含む固体を気化させた原料ガスと、酸化剤としてO₃ガスを用いた。

【0676】

次に、酸化ハフニウム膜上にPECVD法を用いて30nmのフッ素を含む酸化シリコン膜を成膜した。フッ素を含む酸化シリコン膜の成膜前に、SiH₄を200sccmで20秒流す前処理を行った。成膜条件は、成膜ガスとしてSiF₄を1.5sccm、N₂Oを1000sccm、Arを1000sccm用い、RF電源周波数を60MHz、RF電源パワーを800Wとし、成膜圧力を133Paとした。そして、試料1Aでは基板温度を350℃とし、試料1Bでは基板温度を400℃とし、試料1Cでは基板温度を445℃とした。

【0677】

以上のようにして作製した試料1A乃至1Cに、TDS分析を行った結果を図45、図46、図47に示す。なお、当該TDS分析においては、水素分子に相当する質量電荷比 $m/z = 2$ の放出量と、水分子に相当する質量電荷比 $m/z = 18$ の放出量と、フッ素原子に相当する質量電荷比 $m/z = 19$ の放出量と、酸素分子に相当する質量電荷比 $m/z = 32$ の放出量と、を測定した。図45(A)、図46(A)及び図47(A)に水素の測定結果を、図45(B)、図46(B)及び図47(B)に水の測定結果を、図45(C)、図46(C)及び図47(C)にフッ素の測定結果を、図45(D)、図46(D)及び図47(D)に酸素の測定結果を示す。図45乃至図47で横軸は基板の加熱温度[℃]をとり、縦軸はそれぞれの質量電荷比の放出量に比例する強度をとる。

【0678】

また、図45(A)、(B)、(D)、図46(A)、(B)、(D)、図47(A)、(B)、(D)に示すプロファイルから算出される、試料1A乃至試料1Cの水素分子、水分子、酸素分子の放出量を表1に示す。なお、水素分子、水分子、酸素分子の放出量は、TDSプロファイルのバックグラウンドの値を最小値として算出した。また、フッ素を含む酸化シリコンの代わりに、PECVD法でSiH₄を用いて基板温度を400℃として酸化シリコンを成膜した参考例1と、PECVD法でSiH₄を用いて基板温度を500℃として酸化シリコンを成膜した参考例2についても、それぞれの分子の放出量を掲載している。

【0679】

【表 1】

	試料1A	試料1B	試料1C	参考例1	参考例2
水素[molecule/cm ²]	1.20E+15	8.58E+14	8.23E+14	1.18E+15	7.03E+14
水[molecule/cm ²]	1.78E+15	1.23E+15	1.08E+15	1.42E+16	3.19E+15
酸素[molecule/cm ²]	8.33E+13	7.02E+13	8.72E+13	1.50E+14	5.41E+13

【0680】

10

表 1 などに示すように、試料 1 A では、水素分子放出量が $1.20 \times 10^{15} \text{ molecules/cm}^2$ となり、水分子放出量が $1.78 \times 10^{15} \text{ molecules/cm}^2$ となった。試料 1 B では、水素分子放出量が $8.58 \times 10^{14} \text{ molecules/cm}^2$ となり、水分子放出量が $1.23 \times 10^{15} \text{ molecules/cm}^2$ となった。試料 1 C では、水素分子放出量が $8.23 \times 10^{14} \text{ molecules/cm}^2$ となり、水分子放出量が $1.08 \times 10^{15} \text{ molecules/cm}^2$ となった。

【0681】

ここで、基板温度を 400°C として酸化シリコンを成膜した参考例 1 では、水素分子放出量が $1.18 \times 10^{15} \text{ molecules/cm}^2$ となり、水分子放出量が $1.42 \times 10^{16} \text{ molecules/cm}^2$ となった。これに対して、基板温度を 500°C として酸化シリコンを成膜した参考例 2 では、水素分子放出量が $7.03 \times 10^{14} \text{ molecules/cm}^2$ となり、水分子放出量が $3.19 \times 10^{15} \text{ molecules/cm}^2$ となった。このように、基板温度 500°C の参考例 2 では、基板温度 400°C の参考例 1 より水素、水の分子放出量、特に水の分子放出量をかなり抑制することができている。

20

【0682】

試料 1 A 乃至試料 1 C では、基板温度 350°C 乃至 445°C としたにも関わらず、基板温度 500°C の参考例 2 より良好な水分子放出量になった。特に基板温度 400°C の参考例 1 と比較すると、試料 1 A 乃至試料 1 C の水分子放出量は 10 分の 1 程度に、もしくはそれ以上に抑制されており、非常に顕著な効果が見られた。水素分子放出量については、試料 1 A が基板温度 400°C の参考例 1 と同程度であったが、試料 1 B 及び試料 1 C は基板温度 500°C の参考例 2 と同程度であった。ただし、水素分子放出量については参考例 1 と参考例 2 を比較しても水分子放出量ほど大きな差は見られなかった。

30

【0683】

このように、本実施例に示す方法を用いて作製した試料 1 A 乃至試料 1 C は、基板温度 350°C 乃至 445°C の比較的低温の条件で成膜したにも関わらず、基板温度 500°C の条件で成膜した参考例 2 と同程度に不純物である水又は水素を低減することができた。

【0684】

以上より、例えば、先の実施の形態に示すトランジスタにおいて、酸化物半導体の下面に接して設けられ、ゲート絶縁膜として機能する、絶縁体 105、絶縁体 103、絶縁体 104 の積層膜において、TDS 分析における水素分子の脱離量は、 $1.2 \times 10^{15} \text{ molecules/cm}^2$ 以下とすることが好ましく、 $9.0 \times 10^{14} \text{ molecules/cm}^2$ 以下とすることがより好ましい。同様に、当該積層膜において、TDS 分析における水分子の脱離量は、 $1.4 \times 10^{16} \text{ molecules/cm}^2$ 以下とすることが好ましく、 $4.0 \times 10^{15} \text{ molecules/cm}^2$ 以下とすることがより好ましく、 $2.0 \times 10^{15} \text{ molecules/cm}^2$ 以下とすることがより好ましい。

40

【0685】

なお、本実施例においては絶縁体 105、絶縁体 103、絶縁体 104 の積層膜を試料としており、試料 1 A 乃至試料 1 C の水分子放出量、水素分子放出量は、絶縁体 104 から放出された量に加えて、絶縁体 105 及び絶縁体 103 から放出され絶縁体 104 を貫

50

通した量である。よって、絶縁体 104 単膜で評価した場合、絶縁体 104 の水分子放出量、水素分子放出量について、本実施例の積層膜と同程度もしくはそれ以下であることが推測される。

【0686】

上述の通り、試料 1 A 乃至試料 1 C に示す構造の積層膜は、基板温度 350℃乃至 445℃という比較的低い温度で PECVD 法を用いて成膜することができる。そして、このように成膜した積層膜においても、上記の通り十分に水、水素などを低減することができる。

【0687】

なお、表 1 などで示されるように、試料 1 A 乃至試料 1 C は、TDS 分析において、酸素分子の放出が見られる。よって、試料 1 A 乃至試料 1 C に示す構造の積層膜を酸化物半導体の下に設けることにより、当該酸化物半導体に酸素を供給することができる。熱処理時にフッ素を含む酸化シリコン中の酸素がフッ素と置換して、酸素が放出されている ($\text{SiO} + \text{F} \rightarrow \text{SiF} + \text{O}$) と推察することができる。

【0688】

なお、試料 1 A 乃至試料 1 C に示す構造の積層膜では、図 45 (C)、46 (C)、図 47 (C) に示すように、TDS 分析において、フッ素の放出が見られる。

【0689】

次に、ESR の評価に用いた試料の作製方法について説明する。まず、上記試料 1 A と同様の構造である試料 1 A-1 乃至試料 1 A-4 を準備した。同様に、上記試料 1 B と同様の構造である試料 1 B-1 乃至試料 1 B-4 を準備した。同様に、上記試料 1 C と同様の構造である試料 1 C-1 乃至試料 1 C-4 を準備した。

【0690】

次に、試料 1 A-2、1 B-2、1 C-2 に、酸素雰囲気下で 410℃1 時間の加熱処理を行った。また、試料 1 A-3、1 B-3、1 C-3 に、酸素雰囲気下で 490℃1 時間の加熱処理を行った。試料 1 A-4、1 B-4、1 C-4 に、酸素雰囲気下で 550℃1 時間の加熱処理を行った。なお、試料 1 A-1、1 B-1、1 C-1 には加熱処理を行わなかった。

【0691】

以上のようにして作製した試料に、ESR 分析を行った結果を図 48 に示す。ESR 分析は、測定温度 10 K、マイクロ波電力 0.1 mW、周波数 9.56 GHz として測定を行った。

【0692】

本実施例では、上述の構造の積層膜中に、上記実施の形態に記載した NO_2 が含まれるか、ESR 分析を用いて評価した。酸化シリコン中に NO_2 が含まれると、100 K 以下の ESR において g 値が 2.037 以上 2.039 以下の第 1 の吸収線、g 値が 2.001 以上 2.003 以下の第 2 の吸収線、および g 値が 1.964 以上 1.966 以下の第 3 の吸収線を有するシグナルが観測される場合がある。なお、第 1 の吸収線および第 2 の吸収線の間隔、ならびに第 2 の吸収線および第 3 の吸収線の間隔は、X バンドの ESR 測定において約 5 mT となる。したがって、窒素酸化物の少ない酸化シリコンは、 NO_2 に起因するスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 未満となる。

【0693】

図 48 で横軸は各種試料に対応し、縦軸は上記第 1 乃至第 3 の吸収線に対応するシグナルのスピン密度 [spins/cm^3] ををとる。

【0694】

図 48 に示す通り、全ての試料で第 1 乃至第 3 の吸収線に対応するシグナルのスピンの密度は大変低く、ほとんど NO_2 は存在しないとみなすことができる。また、試料 1 A-1、試料 1 B-1、試料 1 C-1、試料 1 C-4 以外の試料では、スピン密度が検出下限より下となっているので、酸素雰囲気下における加熱処理により、さらに積層膜中の NO_2 を低減できる傾向が見られる。

【0695】

このように、本実施例に示す試料と同じ構造の積層膜を、例えば、上記実施の形態に示すトランジスタの絶縁体105、絶縁体103、絶縁体104として用いることにより、絶縁体中の NO_2 が低減されるため、当該トランジスタに安定した電気特性を与えることができる。

【実施例2】

【0696】

本実施例では、本発明の一態様に係るトランジスタとして、酸化物半導体の下面に接して設けられ、ゲート絶縁膜として機能する積層膜を、水素の含有量を低減して、試料2Aを作製した。また、比較例として、当該積層膜の水素の含有量の低減を図っていない試料2Bを作製した。そして、試料2A及び試料2Bのトランジスタの電気特性と信頼性について評価を行った。

【0697】

なお、トランジスタの構成については、図1などを参照することができ、トランジスタの作製方法については、図13乃至図15などを参照することができる。

【0698】

まず、基板100として、厚さが100nmの酸化シリコンと、厚さが280nmの窒化酸化シリコンと、厚さが300nmの酸化シリコンと、厚さが300nmの酸化シリコンと、がこの順に積層されたシリコン基板を準備した。

【0699】

次に、絶縁体101として、スパッタリング法によって厚さが50nmの酸化アルミニウムを成膜した。

【0700】

次に、スパッタリング法によって厚さが150nmのタングステンを成膜した。次に、タングステン上にレジストを形成し、該レジストを用いて加工し、導電体102を形成した。

【0701】

次に、絶縁体105として、PECVD法によって厚さが10nmの酸化シリコンを成膜した。

【0702】

次に、絶縁体103として、ALD法によって厚さが20nmの酸化ハフニウムを成膜した。ALD法による成膜では、基板温度を200℃とし、テトラキスジメチルアミドハフニウム(TDMAH)を含む固体を気化させた原料ガスと、酸化剤として O_3 ガスを用いた。

【0703】

次に、絶縁体104として、PECVD法を用いて厚さが30nmの酸化シリコンを成膜した。ここで、試料2Aでは絶縁体104として、成膜ガスに SiF_4 を用いてフッ素を含む酸化シリコンを成膜し、試料2Bでは絶縁体104として、成膜ガスに SiH_4 を用いて酸化シリコンを成膜した。

【0704】

試料2Aでは、フッ素を含む酸化シリコン膜の成膜前に、 SiH_4 を200sccmで20秒流す前処理を行った。試料2Aの絶縁体104の成膜条件は、成膜ガスとして SiF_4 を1.5sccm、 N_2O を1000sccm、Arを1000sccm用い、RF電源周波数を60MHz、RF電源パワーを800Wとし、成膜圧力を133Paとし、基板温度を400℃とした。

【0705】

試料2Bの絶縁体104の成膜条件は、成膜ガスとして SiH_4 を1sccm、 N_2O を800sccm用い、RF電源周波数を60MHz、RF電源パワーを150Wとし、成膜圧力を40Paとし、基板温度を400℃とした。

【0706】

次に、酸素雰囲気下で410℃1時間の加熱処理を行った。

【0707】

次に、絶縁体106aとなる酸化物として、DCスパッタリング法によって厚さが40nmのIn-Ga-Zn酸化物を成膜した。なお、In-Ga-Zn酸化物の成膜には、In:Ga:Zn=1:3:4〔原子数比〕ターゲットを用い、成膜ガスとしてアルゴンガス40sccmおよび酸素ガス5sccmを用い、成膜圧力を0.7Pa（キャノンアネルバ製ミニチュアゲージMG-2によって計測した。）とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットー基板間距離を60mmとした。

【0708】

次に、半導体106bとなる酸化物として、DCスパッタリング法によって厚さが20nmのIn-Ga-Zn酸化物を成膜した。なお、In-Ga-Zn酸化物の成膜には、In:Ga:Zn=1:1:1〔原子数比〕ターゲットを用い、成膜ガスとしてアルゴンガス30sccmおよび酸素ガス15sccmを用い、成膜圧力を0.7Pa（キャノンアネルバ製ミニチュアゲージMG-2によって計測した。）とし、成膜電力を500Wとし、基板温度を300℃とし、ターゲットー基板間距離を60mmとした。

【0709】

次に、窒素雰囲気下で400℃1時間の加熱処理を行い、さらに酸素雰囲気下で400℃1時間の加熱処理を行った。

【0710】

次に、導電体108a、108bとなる導電体として、DCスパッタリング法によって厚さが50nmのタンゲステンを成膜した。

【0711】

次に、当該導電体上にレジストを形成し、該レジストを用いて加工し、導電体108aおよび導電体108bを形成した。

【0712】

次に、レジスト、導電体108aおよび導電体108bを用いて、上記酸化物を加工し、絶縁体106a及び半導体106bを形成した。

【0713】

次に、絶縁体106cとなる酸化物として、DCスパッタリング法によって厚さが5nmのIn-Ga-Zn酸化物を成膜した。なお、In-Ga-Zn酸化物の成膜には、In:Ga:Zn=1:3:2〔原子数比〕ターゲットを用い、成膜ガスとしてアルゴンガス30sccmおよび酸素ガス15sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットー基板間距離を60mmとした。

【0714】

次に、絶縁体112となる酸化窒化物として、PECVD法によって厚さが13nmの酸化窒化シリコンを成膜した。

【0715】

次に、導電体114となる導電体として、DCスパッタリング法によって厚さが30nmの窒化チタンと、厚さが135nmのタンゲステンと、をこの順に成膜した。次に、当該導電体上にレジストを形成し、該レジストを用いて加工し、導電体114を形成した。

【0716】

次に、レジストを用いて、上記酸化物及び酸化窒化物を加工し、絶縁体106c及び絶縁体112を形成した。

【0717】

次に、絶縁体116として、RFスパッタリング法によって厚さが140nmの酸化アルミニウムを成膜した。なお、成膜ガスとしてアルゴンガス25sccmおよび酸素ガス25sccmを用い、成膜圧力を0.4Paとし、成膜電力を2500Wとし、基板温度を250℃とし、ターゲットー基板間距離を60mmとした。

【0718】

10

20

30

40

50

次に、酸素雰囲気下で400℃1時間の加熱処理を行った。

【0719】

次に、PECVD法によって厚さが300nmの酸化窒化シリコンを成膜した。

【0720】

次に、DCスパッタリング法によって厚さが50nmのチタンと、厚さが200nmのアルミニウムと、厚さが50nmのチタンと、をこの順に成膜した。次にこの膜をレジストを用いて加工して導電体120a及び導電体120bを形成した。

【0721】

以上のようにして、チャネル長Lが0.18μm、チャネル幅Wが0.27μmのトランジスタを作製した。

【0722】

試料2A及び試料2BについてId-Vg特性（ドレイン電流-ゲート電圧特性）を測定した。Id-Vg特性の測定は、バックゲート電圧を0Vの条件で行った。他の測定条件は、ドレイン電圧を0.1Vまたは1.8Vとし、ゲート電圧を-3.0Vから3.0Vまで0.1Vステップで掃引させた。

【0723】

試料2A及び試料2BのId-Vg特性の測定結果を図49（A）及び図49（B）に示す。図49（A）及び図49（B）は、横軸にゲート電圧Vg[V]、左側の縦軸にドレイン電流Id[A]、右側の縦軸に電界効果移動度μFE[cm²/Vs]をとる。また、図49（A）及び図49（B）において、ドレイン電流を実線で示し、電界効果移動度を破線で示している。

【0724】

SiH₄を用いて絶縁体104を成膜し、膜中に多くの水分子、水素分子が含まれる試料2Bでは、図49（B）に示すように、トランジスタ特性にばらつきが見られ、全体的にドレイン電流の立ち上がりのゲート電圧がマイナス側にシフトしていた。これに対して、SiF₄を用いて絶縁体104を成膜し、膜中の水分子、水素分子を低減した試料2Aは、図49（A）に示すように、良好な電気特性を示している。試料2Aでは、バックゲート電圧0V、ドレイン電圧Vd=0.1Vにおいて、電界効果移動度も3.5cm²/Vsと良好な値であり、サブスレッショルドスイング値（S値）も124.2mV/decと良好な値であった。

【0725】

次に、試料2Aのトランジスタのしきい値電圧VthおよびShiftを算出する。

【0726】

ここで、本明細書におけるしきい値電圧及びShiftについて説明する。しきい値電圧は、ゲート電圧Vg[V]を横軸、ドレイン電流の平方根Id^{1/2}[A]を縦軸としてプロットしたVg-Id曲線において、曲線上の傾きが最大である点における接線と、Id^{1/2}=0の直線（すなわちVg軸）との交点におけるゲート電圧と定義する。なお、ここでは、ドレイン電圧Vd=1.8Vとして、しきい値電圧を算出する。

【0727】

また、Id-Vg特性におけるドレイン電流の立ち上がりのゲート電圧をShiftと呼ぶ。本明細書におけるShiftは、ゲート電圧Vg[V]を横軸、ドレイン電流Id[A]の対数を縦軸としてプロットしたVg-Id曲線において、曲線上の傾きが最大である点における接線と、Id=1.0×10⁻¹²[A]の直線との交点におけるゲート電圧と定義する。なお、ここではドレイン電圧Vd=1.8Vとして、Shiftを算出する。

【0728】

試料2Aにおいて、バックゲート電圧0Vでは、トランジスタのしきい値電圧は1.13V、Shiftは0.17Vであり、トランジスタはバックゲート電圧0Vでもノーマリーオフの電気特性を示している。

【0729】

ここで、試料 2 A の絶縁体 1 0 5、絶縁体 1 0 3 及び絶縁体 1 0 4 の積層膜は、実施例 1 の試料 1 A と、試料 2 B の絶縁体 1 0 5、絶縁体 1 0 3 及び絶縁体 1 0 4 の積層膜は、実施例 1 の参考例 1 と対応させて作製している。よって、絶縁体 1 0 5、絶縁体 1 0 3 及び絶縁体 1 0 4 の積層膜の水分子又は水素分子の放出量、特に水分子の放出量を、上記実施例に記載した範囲とすることにより、良好なトランジスタ特性が得られることが示された。さらに、当該トランジスタの作製工程における加熱温度は 4 0 0 °C 程度であったが、良好なトランジスタ特性が得られることが示された。

【0730】

以上の結果から、酸化物半導体の下面に接して設けられる絶縁体 1 0 4 を、P E C V D 法において SiF_4 を用いて成膜し、絶縁体 1 0 4 中の水、水素などを低減することにより、絶縁体 1 0 4 から水、水素などが半導体 1 0 6 b などに供給されて欠陥準位が形成されるのを低減できることが示唆される。このように欠陥準位密度が低減された酸化物半導体を用いることにより、安定した電気特性を有するトランジスタを提供することができる。

10

【0731】

次に、試料 2 A の作製における、絶縁体 1 0 4 成膜後の加熱処理の温度と、半導体 1 0 6 b となる酸化物を成膜した後の加熱処理の温度を条件分けして試料 2 A-1 乃至試料 2 A-3 を作製し、作製した各基板の面内 2 5 点において、 Shift のばらつきについて調べた。ここで、試料 2 A-1 では、絶縁体 1 0 4 成膜後の加熱処理の温度を 5 5 0 °C とし、半導体 1 0 6 b となる酸化物を成膜した後の加熱処理の温度を 5 5 0 °C とした。また、試料 2 A-2 では、絶縁体 1 0 4 成膜後の加熱処理の温度を 4 9 0 °C とし、半導体 1 0 6 b となる酸化物を成膜した後の加熱処理の温度を 4 5 0 °C とした。また、試料 2 A-3 では、絶縁体 1 0 4 成膜後の加熱処理の温度を 4 1 0 °C とし、半導体 1 0 6 b となる酸化物を成膜した後の加熱処理の温度を 4 0 0 °C とした。つまり、試料 2 A-3 は、上記試料 2 A と同じ条件で熱処理を行った。

20

【0732】

結果を図 5 0 に示す。図 5 0 は、横軸は試料 2 A-1 乃至試料 2 A-3 を示しており、縦軸は Shift [V] をとる。

【0733】

図 5 0 に示すように、試料 2 A-1 乃至試料 2 A-3 は全て基板面内での Shift のばらつきが小さい。特に試料 2 A と同じく熱処理の温度が比較的小さい試料 2 A-3 も、熱処理の温度が高い試料 2 A-1、試料 2 A-2 と同程度の Shift のばらつきであった。

30

【0734】

次に、各種ストレス試験に対する試料 2 A の電気特性の変動を測定した。

【0735】

図 5 1 (A) にプラスゲート B T (Bias-Temperature) ストレス試験の結果を示す。なお、以下のストレス試験では基板温度 1 5 0 °C で行う。プラスゲート B T ストレス試験では、まず、バックゲート電圧を 0 V、ドレイン電圧を 0.1 V または 1.8 V とし、ゲート電圧を -3.0 V から 3.0 V まで 0.1 V ステップで掃引させることでストレス試験前の I_d-V_g 特性を測定する。次に、ドレイン電圧を 0 V、バックゲート電圧を 0 V とし、ゲート電圧として 3.3 V を 1 時間印加してストレス試験後の I_d-V_g 特性を測定した。なお、測定は、ストレス印加後、1 0 0 秒、3 0 0 秒、6 0 0 秒、1 0 0 0 秒、3 0 分、1 時間後に行い、以下においては、ストレス印加後 1 時間後の値を記載している。図 5 1 (A) に示すように、1 時間のプラスゲート B T ストレス試験前後の Shift の変動値 (ΔShift) は小さく、0.19 V であった。

40

【0736】

また、同様の条件で、ストレス印加後、6 0 0 秒、1 時間、5 時間、1 2 時間後に測定を行った、プラスゲート B T ストレス試験の結果を、図 7 8 (A) に示す。1 2 時間後に測定した ΔShift は 0.29 V であり、1 時間後に測定した ΔShift より若干大

50

きくなっていた。

【0737】

図51(B)にマイナスゲートBTストレス試験の結果を示す。なお、以下のストレス試験では基板温度150℃で行う。マイナスゲートBTストレス試験では、まず、バックゲート電圧を0V、ドレイン電圧を0.1Vまたは1.8Vとし、ゲート電圧を-3.0Vから3.0Vまで0.1Vステップで掃引させることでストレス試験前の I_d-V_g 特性を測定する。次に、ドレイン電圧を0V、バックゲート電圧を0Vとし、ゲート電圧として-3.3Vを1時間印加してストレス試験後の I_d-V_g 特性を測定した。なお、測定は、ストレス印加後、100秒、300秒、600秒、1000秒、30分、1時間後に行い、以下においては、ストレス印加後1時間後の値を記載している。図51(B)に示すように、1時間のマイナスゲートBTストレス試験前後の $\Delta Shift$ は小さく、0.13Vであった。

10

【0738】

また、同様の条件で、ストレス印加後、600秒、1時間、5時間、12時間後に測定を行った、マイナスゲートBTストレス試験の結果を、図78(B)に示す。12時間後に測定した $\Delta Shift$ は0.15Vであり、1時間後に測定した $\Delta Shift$ とほぼ変わらなかった。

【0739】

図51(C)にプラスドレインBTストレス試験の結果を示す。なお、以下のストレス試験では基板温度150℃で行う。プラスドレインBTストレス試験では、まず、バックゲート電圧を0V、ドレイン電圧を0.1Vまたは1.8Vとし、ゲート電圧を-3.0Vから3.0Vまで0.1Vステップで掃引させることでストレス試験前の I_d-V_g 特性を測定する。次に、ゲート電圧を0V、バックゲート電圧を0Vとし、ドレイン電圧として1.8Vを1時間印加してストレス試験後の I_d-V_g 特性を測定した。なお、測定は、ストレス印加後、100秒、300秒、600秒、1000秒、30分、1時間後に行い、以下においては、ストレス印加後1時間後の値を記載している。図51(C)に示すように、1時間のプラスドレインBTストレス試験前後の $\Delta Shift$ は小さく、0.01Vであった。

20

【0740】

また、同様の条件で、ストレス印加後、600秒、1時間、5時間、12時間後に測定を行った、プラスドレインBTストレス試験の結果を、図78(C)に示す。12時間後に測定した $\Delta Shift$ は-0.01であり、1時間後に測定した $\Delta Shift$ とほぼ変わらなかった。

30

【0741】

図51(D)にマイナスバックゲートBTストレス試験の結果を示す。なお、以下のストレス試験では基板温度150℃で行う。マイナスバックゲートBTストレス試験では、まず、バックゲート電圧を-5V、ドレイン電圧を0.1Vまたは1.8Vとし、ゲート電圧を-3.0Vから3.0Vまで0.1Vステップで掃引させることでストレス試験前の I_d-V_g 特性を測定する。次に、ドレイン電圧を0V、ゲート電圧を0Vとし、バックゲート電圧として-5Vを1時間印加してストレス試験後の I_d-V_g 特性を測定した。なお、測定は、ストレス印加後、100秒、300秒、600秒、1000秒、30分、1時間後に行い、以下においては、ストレス印加後1時間後の値を記載している。図51(D)に示すように、1時間のマイナスバックゲートBTストレス試験前後の $\Delta Shift$ は小さく、0.02Vであった。

40

【0742】

また、同様の条件で、ストレス印加後、600秒、1時間、5時間、12時間後に測定を行った、マイナスバックゲートBTストレス試験の結果を、図78(D)に示す。12時間後に測定した $\Delta Shift$ は0.05Vであり、1時間後に測定した $\Delta Shift$ とほぼ変わらなかった。

【0743】

50

以上に示すように、酸化物半導体の下面に接して設けられる絶縁体104を、PECVD法において SiF_4 を用いて成膜し、絶縁体104中の水、水素などを低減しても、各種ストレス試験によるトランジスタの電気特性の変動は小さかった。よって、本実施例に示す構成とすることにより、信頼性の高いトランジスタを提供することができる。

【0744】

また、試料2Aの絶縁体105、絶縁体103及び絶縁体104の積層膜は、実施例1の試料1Aと、試料2Bの絶縁体105、絶縁体103及び絶縁体104の積層膜は、実施例1の参考例1と対応させて作製している。よって、絶縁体105、絶縁体103及び絶縁体104の積層膜の水分子又は水素分子の放出量、特に水分子の放出量を、上記実施例1に記載した範囲とすることにより、トランジスタの信頼性が良好になることが示された。さらに、当該トランジスタの作製工程における加熱温度は400℃程度であったが、良好なトランジスタ特性が得られることが示された。

【実施例3】

【0745】

本実施例では、シリコン基板上に、酸化シリコン膜を成膜し、その上に SiH_4 と SiF_4 を導入してフッ素を含む酸化シリコン膜を成膜した試料を作製し、TDS及びSIMSを用いて分析した結果について説明する。本実施例においては、試料3A-1乃至試料3A-8として SiF_4 を流量1.5sccmで固定し、 SiH_4 の流量を条件分けした試料を作製した。また、試料3B-1乃至試料3B-8として SiF_4 を流量10sccmで固定し、 SiH_4 の流量を条件分けした試料を作製した。

【0746】

試料3A-1乃至試料3A-8、試料3B-1乃至試料3B-8の作製方法について説明する。まず、シリコンウェハを熱酸化し、シリコンウェハ表面に100nmの酸化シリコン膜を形成した。熱酸化の条件は950℃で4時間であり、熱酸化の雰囲気は、3体積% HCl を含む酸素雰囲気とした。

【0747】

次に、酸化シリコン膜上にPECVD法を用いて300nmのフッ素を含む酸化シリコン膜を成膜した。成膜条件は、成膜ガスとして N_2O を1000sccm、 Ar を1000sccm用い、RF電源周波数を60MHz、RF電源パワーを800Wとし、成膜圧力を133Pa、基板温度を400℃とした。そして、試料3A-1乃至試料3A-8においては SiF_4 を1.5sccmとし、試料3B-1乃至試料3B-8においては SiF_4 を10sccmとした。さらに、試料3A-1及び試料3B-1では SiH_4 を0sccm、試料3A-2及び試料3B-2では SiH_4 を0.2sccm、試料3A-3及び試料3B-3では SiH_4 を1sccm、試料3A-4及び試料3B-4では SiH_4 を2sccm、試料3A-5及び試料3B-5では SiH_4 を4sccm、試料3A-6及び試料3B-6では SiH_4 を8sccm、試料3A-7及び試料3B-7では SiH_4 を10sccm、試料3A-8及び試料3B-8では SiH_4 を20sccm、とした。

【0748】

以上のようにして作製した試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8についてフッ素を含む酸化シリコン膜の成膜速度を算出した結果を図52に示す。図52で横軸はそれぞれの試料における SiH_4 の流量[sccm]をとり、縦軸はそれぞれの試料における成膜速度[nm/min]をとる。

【0749】

図52に示す通り、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8において、 SiH_4 流量を増加させることにより、成膜速度が増加する傾向が見える。ただし、 SiH_4 の流量が同じ試料で比較すると、試料3B-1乃至試料3B-8の方が試料3A-1乃至試料3A-8より成膜速度が若干大きくなっていた。この成膜速度の差は、 SiH_4 の流量が大きくなるにつれて顕著になっていた。

【0750】

試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 に、TDS 分析を行った結果を図 5 5 乃至図 5 8 に示す。なお、当該 TDS 分析においては、水素分子に相当する質量電荷比 $m/z = 2$ の放出量と、水分子に相当する質量電荷比 $m/z = 18$ の放出量を測定した。試料 3 A-1 乃至試料 3 A-8 の TDS 評価については、図 5 5 (A) 乃至 (H) に水素の測定結果を、図 5 6 (A) 乃至 (H) に水の測定結果を示す。試料 3 B-1 乃至試料 3 B-8 の TDS 評価については、図 5 7 (A) 乃至 (H) に水素の測定結果を、図 5 8 (A) 乃至 (H) に水の測定結果を示す。図 5 5 乃至図 5 8 で横軸は基板の加熱温度 $[\text{°C}]$ をとり、縦軸はそれぞれの質量電荷比の放出量に比例する強度をとる。

【0751】

また、図 5 5 及び図 5 7 に示す水素の測定結果から算出される、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 における水素分子の放出量を図 5 3 に示す。ここで、図 5 3 (A) では、横軸はそれぞれの試料における SiH_4 の流量 $[\text{sccm}]$ をとり、縦軸はそれぞれの水素分子の放出量 $[\text{molecules}/\text{cm}^2]$ をとる。図 5 3 (B) では、横軸はそれぞれの試料における成膜速度 $[\text{nm}/\text{min}]$ をとり、縦軸はそれぞれの水素分子の放出量 $[\text{molecules}/\text{cm}^2]$ をとる。

【0752】

また、図 5 6 及び図 5 8 に示す水の測定結果から算出される、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 における水分子の放出量を図 5 4 に示す。ここで、図 5 4 (A) では、横軸はそれぞれの試料における SiH_4 の流量 $[\text{sccm}]$ をとり、縦軸はそれぞれの水分子の放出量 $[\text{molecules}/\text{cm}^2]$ をとる。図 5 4 (B) では、横軸はそれぞれの試料における成膜速度 $[\text{nm}/\text{min}]$ をとり、縦軸はそれぞれの水分子の放出量 $[\text{molecules}/\text{cm}^2]$ をとる。

【0753】

図 5 3 (A) (B) 及び図 5 4 (A) (B) に示すように、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 において、 SiH_4 流量を増加させる又は成膜速度を増加させることにより、水素、水ともに放出量が増加している傾向が見られる。それに対して、図 5 3 (A) (B) 及び図 5 4 (A) (B) において、試料 3 A-1 乃至試料 3 A-8 と、試料 3 B-1 乃至試料 3 B-8 と、を比較してもグラフの傾向に有意差は見られず、 SiF_4 の流量による大きな傾向の違いはないようであった。

【0754】

水素については図 5 5 及び図 5 7 に示すように、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 において、いずれの温度においてもプロファイルに大きなピークは見られず、放出量もかなり少なかった。

【0755】

また、水については図 5 6 及び図 5 8 に示すように、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 において、基板温度 100°C 近傍においてプロファイルに大きなピークが見られ、水の放出が確認できた。また、試料 3 A-1 乃至試料 3 A-8、及び試料 3 B-1 乃至試料 3 B-8 において、 SiH_4 の流量が大きくなると、より高温域のピークの裾が基板温度 400°C 近傍から立ち上がり始めていることが確認できた。

【0756】

図 5 4 (A) に示すように、 SiH_4 の流量が少ない試料 3 B-1 乃至試料 3 B-4 において、水分子放出量がかなり大きくなっている。これに対して、図 5 8 (A) 乃至 (D) に示す試料 3 B-1 乃至 3 B-8 の水分子放出量を見ると、いずれも基板温度 100°C 近傍に非常に大きなピークが見られる。つまり、試料 3 B-1 乃至試料 3 B-4 における水分子放出量の大きな要因はこの 100°C 近傍のピークに対応する水分子と考えられる。当該ピークに対応する水分子は基板温度 100°C 程度で基板加熱することにより除去することができるので、 100°C 程度の基板加熱により試料 3 B-1 乃至試料 3 B-4 における水分子放出量を大きく低減することができる。

【0757】

以上のように、 SiH_4 の流量に依存する、フッ素を含む酸化シリコン膜の成膜速度と、膜中に含まれる水素、水の含有量は、トレードオフの関係となることが示された。例えば、図52及び図54(A)に示すように、 SiH_4 の流量を1 s c c mより大きく10 s c c m未満、より好ましくは、2 s c c m以上4 s c c m以下とすることにより、絶縁体104中の水、水素の含有量と成膜速度の両方を比較的良好に得ることができる。ただし、 SiH_4 の流量の割合は、フッ素を含む酸化シリコン膜中の水、水素の含有量と、成膜速度と、を考慮して適宜設定することが好ましい。

【0758】

次に、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8にSSDP-SIMS分析を行ってH、F、Nを検出した結果を図59及び図60に示す。なお、図59及び図60では、各試料において、酸化シリコン膜とフッ素を含む酸化シリコン膜の界面の50 nm上から当該界面の100 nm上までの範囲で検出された各元素の濃度の平均値をグラフに表している。図59に試料3A-1乃至試料3A-8の結果を示し、図59(A)はHの検出結果を、図59(B)はFの検出結果を、図59(C)はNの検出結果を示す。また、図60に試料3B-1乃至試料3B-8の結果を示し、図60(A)はHの検出結果を、図60(B)はFの検出結果を、図60(C)はNの検出結果を示す。図59及び図60で横軸はそれぞれの試料における SiH_4 の流量[s c c m]をとり、縦軸はそれぞれの試料における上記の平均の濃度[at o m s / c m³]をとる。なお、SIMS測定は、アルバック・ファイ社製四重極型質量分析装置(ADEPT1010特型)を用いた。

【0759】

図59(A)及び図60(A)に示すように、本SIMS測定においても、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8において、 SiH_4 の流量の増加に伴い水素濃度が増加する傾向が見られた。また、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8において、全体的に水素濃度は 1×10^{20} at o m s / c m³乃至 1×10^{21} at o m s / c m³の範囲内であり、大きな増大は見られなかった。

【0760】

図59(B)及び図60(B)に示すように、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8において、 SiH_4 の流量の増加に伴いフッ素濃度が減少する傾向が見られた。試料3A-1乃至試料3A-8ではフッ素濃度は 1×10^{20} at o m s / c m³乃至 1×10^{21} at o m s / c m³程度の範囲であるのに対して、試料3B-1乃至試料3B-8ではフッ素濃度は 1×10^{21} at o m s / c m³乃至 1×10^{22} at o m s / c m³程度の範囲であり、 SiF_4 の流量の増加に伴い、膜中のフッ素濃度も大きくなっていった。

【0761】

また、図59(C)及び図60(C)に示すように、試料3A-1乃至試料3A-8、及び試料3B-1乃至試料3B-8において、窒素濃度は SiH_4 の流量の増加に伴う明確な傾向は見られなかった。 SiH_4 の流量が小さい領域では試料3A-1乃至試料3A-8と、試料3B-1乃至試料3B-8で傾向が異なり、 SiH_4 の流量が大きい領域では、試料3A-1乃至試料3A-8と、試料3B-1乃至試料3B-8とでほぼ同等の濃度であった。

【0762】

また、本実施例においては、シリコン基板上に、酸化シリコン膜、酸化窒化シリコン膜、酸化ハフニウム膜、フッ素を含む酸化シリコン膜を積層した試料を作製し、X線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)を用いた評価も行った。XPSの評価では、比較例として最表面にPECVD法を用いて酸化シリコンを成膜した試料3C-1と、最表面にPECVD法を用いてフッ素を含む酸化シリコンを成膜した試料3C-2と、最表面にPECVD法を用いて、0.2 s c c mの SiH_4 を含む成膜ガスでフッ素を含む酸化シリコンを成膜した試料3C-3と、最

表面にPECVD法を用いて、4 s c c mのSiH₄を含む成膜ガスでフッ素を含む酸化シリコンを成膜した試料3C-4と、を作製した。

【0763】

XPSの評価に用いた試料の作製方法について説明する。まず、シリコンウェハを熱酸化し、シリコンウェハ表面に100 nmの酸化シリコン膜を形成した。熱酸化の条件は950℃で4時間であり、熱酸化の雰囲気は、3体積% HClを含む酸素雰囲気とした。

【0764】

次に、酸化シリコン膜上に、PECVD法を用いて基板温度を400℃として10 nmの酸化窒化シリコン膜を成膜した。

【0765】

次に、酸化窒化シリコン膜上に、ALD法を用いて20 nmの酸化ハフニウム膜を成膜した。ALD法による成膜では、基板温度を200℃とし、テトラキスジメチルアミドハフニウム(TDMAH)を含む固体を気化させた原料ガスと、酸化剤としてO₃ガスを用いた。

【0766】

次に、酸化ハフニウム膜上にPECVD法を用いて30 nmのフッ素を含む酸化シリコン膜を成膜した。なお、試料3C-1は比較例としてPECVD法を用いて、基板温度500℃で酸化シリコン膜を成膜した。

【0767】

試料3C-2乃至試料3C-4では、フッ素を含む酸化シリコン膜の成膜前に、SiH₄を200 s c c mで20秒流す前処理を行った。成膜条件は、成膜ガスとしてSiF₄を1.5 s c c m、N₂Oを1000 s c c m、Arを1000 s c c m用い、RF電源周波数を60 MHz、RF電源パワーを800 Wとし、成膜圧力を133 Pa、基板温度を400℃とした。そして、試料3C-3ではさらに0.2 s c c mのSiH₄を加えた成膜ガスを用い、試料3C-4ではさらに4 s c c mのSiH₄を加えた成膜ガスを用いた。

【0768】

以上のようにして作製した試料3C-1乃至3C-4に、XPS分析を行った結果を図61に示す。図61(A)はSiの2p軌道に対応するスペクトルを表し、図61(B)はOの1s軌道に対応するスペクトルを表し、図61(C)はFの1s軌道に対応するスペクトルを表す。図61で横軸は結合エネルギー[eV]をとり、縦軸はスペクトル強度を表す。また、表2に試料3C-1乃至試料3C-4における、Si、O、C、Fの組成[atomic%]を表す。

【0769】

【表2】

	Si	O	C	F
試料3C-1[atomic%]	29.0	61.9	9.0	-
試料3C-2[atomic%]	29.1	59.1	8.5	3.3
試料3C-3[atomic%]	29.1	59.3	8.0	3.6
試料3C-4[atomic%]	29.3	62.5	7.9	0.3

【0770】

図61(A)(B)に示すように、試料3C-1乃至試料3C-4において、シリコン及び酸素の量については大きな差は見られなかった。ただし、酸素とフッ素について見ると、表2に示すように、成膜ガス中におけるSiH₄の流量が小さくなり、相対的にSiF₄の流量が大きくなるにつれて、フッ素の組成が大きくなり、それに対応して酸素の組成が小さくなっている。

【0771】

また、図 6 1 (C) に示すように、成膜ガス中における SiF_4 の流量が相対的に大きい試料 3 C-2 及び試料 3 C-3 においては、F の 1 s 軌道は大きなピークを表している。このピークは、 SiF の共有結合 (685.4 eV 以上 687.5 eV 以下、中央値は 686.5 eV) の範囲に含まれており、試料 3 C-2 及び試料 3 C-3 の表面において SiF の共有結合が形成されていることを示している。

【実施例 4】

【0772】

本実施例では、シリコン基板上に ALD 法または MOCVD 法を用いて酸化ハフニウム膜を成膜した試料を作製し、TDS を用いて分析した結果について説明する。本実施例では、3 種類の試料 4 A 乃至試料 4 C を作製した。試料 4 A は、ALD 法を用いて TDMAH を含むガスと O_3 の 2 種類のガスで成膜を行い、試料 4 B は、ALD 法を用いて TDMAH を含むガスと O_3 と H_2O の 3 種類のガスで成膜を行い、試料 4 C は、MOCVD 法を用いて成膜を行った。

【0773】

以下、試料 4 A 乃至試料 4 C の作製方法について説明する。

【0774】

試料 4 A では、シリコン基板上に ALD 法を用いて 20 nm の酸化ハフニウム膜を成膜した。ALD 法による成膜では、基板温度を 200 °C とし、TDMAH を含む固体を気化させた原料ガスと、酸化剤として O_3 ガスを用いた。試料 4 A の成膜ガスのタイミングチャートを図 6 2 (A) に示す。

【0775】

図 6 2 (A) に示すように、試料 4 A の成膜では、まず、 O_3 によるチャンバーのパージを行う。 O_3 パージは、0.025 秒の O_3 の導入を 20 回繰り返し行った。次に TDMAH を含む固体を気化させた原料ガスを 0.5 秒導入し、45 秒 N_2 でパージし、 O_3 を 0.1 秒導入し、25 秒 N_2 でパージした。以下、TDMAH 導入、 N_2 パージ、 O_3 導入、 N_2 パージを 1 サイクルとして、20 nm の膜厚が得られるまで当該サイクルを繰り返した。

【0776】

試料 4 B では、シリコン基板上に ALD 法を用いて 20 nm の酸化ハフニウム膜を成膜した。ALD 法による成膜では、基板温度を 200 °C とし、TDMAH を含む固体を気化させた原料ガスと、酸化剤として O_3 及び H_2O の 3 種類の成膜ガスを用いた。試料 4 B の成膜ガスのタイミングチャートを図 6 2 (B) に示す。

【0777】

図 6 2 (B) に示すように、試料 4 B の成膜では、TDMAH を含む固体を気化させた原料ガスを 0.5 秒導入し、45 秒 N_2 でパージし、 H_2O を 0.03 秒導入し、5 秒 N_2 でパージした。さらに O_3 を 0.1 秒導入し、5 秒 N_2 でパージし、この O_3 の導入と N_2 パージを 10 回繰り返した。以下、TDMAH 導入、 N_2 パージ、 H_2O 導入、 N_2 パージ、 O_3 導入及び N_2 パージ 10 回、を 1 サイクルとして、20 nm の膜厚が得られるまで当該サイクルを繰り返した。

【0778】

試料 4 C では、シリコン基板上に MOCVD 法を用いて 20 nm の酸化ハフニウム膜を成膜した。試料 4 C の成膜では、テトラキス (エチルメチルアミノ) ハフニウム (TEMAH) をエチルシクロヘキサン (ECH) 中に 0.1 mol/l の濃度で溶かした溶液を流量 0.1 sccm で気化室に供給し、当該気化室からチャンバー内に TEMAH を含むガスを導入した。他の成膜条件は、他の成膜ガスとして O_2 を 1000 sccm、Ar を 1800 sccm、 N_2 を 1080 sccm 用い、成膜圧力を 1000 Pa、基板温度を 400 °C とした。

【0779】

以上のようにして作製した試料 4 A 乃至 4 C に、TDS 分析を行った結果を図 6 3 (A) に示す。なお、当該 TDS 分析においては、水分子に相当する質量電荷比 $m/z = 18$

10

20

30

40

50

の放出量を測定した。図 6 3 (A) で横軸は基板の加熱温度 [°C] をとり、縦軸はそれぞれの質量電荷比の放出量に比例する強度をとる。

【0780】

また、図 6 3 (A) に示すプロファイルから算出される、試料 4 A 乃至試料 4 C の水分子の放出量を図 6 3 (B) に示す。図 6 3 (B) で横軸は各種試料を示し、縦軸はそれぞれの水分子の放出量 [m o l e c u l e s / c m ²] をとる。

【0781】

図 6 3 (A) 及び図 6 3 (B) に示すように、試料 4 B 及び試料 4 C で、水分子の放出量を試料 4 A の約 4 分の 1 程度にすることができた。ここで、試料 4 A の水分子の放出量は 1.1×10^{16} m o l e c u l e s / c m ² であり、試料 4 B の水分子の放出量は 2.8×10^{15} m o l e c u l e s / c m ² であり、試料 4 C の水分子の放出量は 2.5×10^{15} m o l e c u l e s / c m ² であった。このように、試料 4 B 及び試料 4 C では、T D S 分析で測定した水分子の脱離量が、先の実施の形態で示したように、 1.0×10^{13} m o l e c u l e s / c m ² 以上 1.0×10^{16} m o l e c u l e s / c m ² 以下の範囲を満たし、さらに 1.0×10^{13} m o l e c u l e s / c m ² 以上 3.0×10^{15} m o l e c u l e s / c m ² 以下の範囲も満たした。

【0782】

試料 4 B においては、酸化剤として機能する O₃ の導入と N₂ パージを短時間で複数回繰り返すことで、基板表面に吸着した T E M A H から、余分な水素原子などをより確実に取り除き、チャンバーの外に排除することができる。また、酸化剤の種類を O₃ と H₂O の 2 種類に増やすことにより、基板表面に吸着した T E M A H から、余分な水素原子などをより多く取り除くことができると推察される。このように、成膜中に水素原子が膜中に取り込まれないようにすることにより成膜した酸化ハフニウム膜に含まれる水を低減することができる。

【0783】

また、試料 4 C においては、A L D W i n d o w の温度範囲で成膜を行う試料 4 A と比較して、比較的容易に高温（例えば、200 °C 以上）で成膜を行うことができるため、容易に膜中の水素、水を低減することができると推察される。

【0784】

このように、A L D 法または M O C V D 法を用いて膜中の水素、水が低減された酸化ハフニウム膜を作製することができる。

【実施例 5】

【0785】

本実施例では、窒化シリコン膜の成膜条件と、窒化シリコン膜からの水素および水の脱離量の関係について、T D S 分析により評価を行った。

【0786】

< 成膜フロー >

窒化シリコンの成膜のフローについて説明する。成膜には P E C V D 法を用いる。

【0787】

まず、成膜を行うための準備を行う。準備は、ステップ S 0 0 1 およびステップ S 0 0 2 からなる。ステップ S 0 0 1 として、チャンバーのクリーニングを行う。クリーニングを行うことにより、例えばチャンバーの内壁などに成膜された膜を除去することができる。クリーニングのガスとして N F₃ ガスを用い、R F 電源を用いて電圧を印加して行う。次に、ステップ S 0 0 2 として、P r e - c o a t i n g として、膜厚 0.89 μm の成膜を行う。

【0788】

次に、試料の成膜を行う。試料の成膜はステップ S 1 0 1 乃至ステップ S 1 0 6 よりなる。ステップ S 1 0 1 乃至ステップ S 1 0 6 については後述する。第 1 の試料の成膜を行った後、第 2 の試料、第 3 の試料、と複数の試料について、順次成膜を行い、累積の処理膜厚が所定の量、ここでは 20 μm に達したら、再度ステップ S 0 0 1 乃至ステップ S 0

02を行う。

【0789】

試料の成膜について、詳細を述べる。試料の成膜として、ステップS101乃至ステップS106を行った。ステップS101乃至ステップS106において、基板温度は400℃とした。

【0790】

ステップS101として、RF電源をオフとし、APC (Auto Pressure Controller) をオフとし、電極間距離を17mmとし、ガスとしてシランを用い、2分間処理を行った。シランの流量は800sccmとした。ここでステップS101を「シランフラッシュ (Silane Flush)」と呼ぶ場合がある。

10

【0791】

次いで、ステップS102として、RF電源をオフとし、圧力、電極間距離、およびガス流量をステップS103で用いる条件と同じ条件に設定し、ガス流量と圧力を安定させるために20秒間処理を行った。

【0792】

次いで、ステップS103として、RF電源の電力、圧力、電極間距離、およびガス流量を後述する条件に設定し、窒化シリコン膜の成膜を行った。ここで、ステップS103の処理時間は、所望の膜厚に合わせて決めればよい。

【0793】

次いで、ステップS104として、RF電源をオフとし、圧力を133Paとし、電極間距離を15mmとし、ガスとして窒素を用い、15秒間処理を行った。窒素の流量を2000sccmとした。

20

【0794】

次いで、ステップS105として、RF電源の電力を10Wとし、圧力を133Paとし、電極間距離を15mmとし、ガスとして窒素を用い、1分間処理を行った。窒素の流量を2000sccmとした。

【0795】

次いで、ステップS106として、RF電源をオフとし、圧力を133Paとし、電極間距離を65mmとして基板を基板搬送位置に移動させ、ガスとしてアルゴンを用い、20秒間処理を行った。アルゴンの流量を250sccmとした。

30

【0796】

<試料の作製>

次に、PECVD法を用いて窒化シリコン膜の成膜を行う場合に、成膜フローと得られる窒化シリコン膜の水素及び水の放出量の関係を調査した。

【0797】

まず、126.6mm角、厚さ0.7mmのp型シリコンウェハを準備した。次に、シリコンウェハに対して、熱酸化により厚さ100nmの酸化シリコン膜を形成した。次に、ウェハの分断を行い、35mm角の大きさに分断された試料を4つ準備した (試料A01乃至試料A04とする)。

【0798】

次に、酸化シリコン膜上に、PECVD法を用いて、厚さ100nmの窒化シリコンを成膜した。

40

【0799】

試料A01および試料A02については、上述のステップS101乃至ステップS106を行って、窒化シリコンを成膜した (with S101/S104/S105)。

【0800】

試料A03および試料A04については上述のステップS102を行い、その後ステップS103を行い、その後ステップS106を行って、窒化シリコンを成膜した (w/o S101/S104/S105)。

【0801】

50

ここでステップ S 1 0 3 において、R F 電源の電力を 9 0 0 W とし、圧力を 4 0 P a とし、電極間距離を 1 7 m m とし、ガスとして、シラン、窒素およびアンモニアを用いた。また、シランの流量を 2 0 s c c m、窒素の流量を 5 0 0 s c c m、アンモニアの流量を 1 0 s c c m とした。

【0802】

なお、試料 A 0 1 および試料 A 0 3 を成膜する直前のチャンバーの累積膜厚は、約 0. 9 μ m であった。また、試料 A 0 2 および試料 A 0 4 を成膜する直前のチャンバーの累積膜厚は、約 2. 8 μ m であった。

【0803】

< T D S 分析 >

次に、作製した試料 A 0 1 乃至試料 A 0 4 に対して、T D S 測定を行った。なお、T D S 測定を行う際に試料 A 0 1 乃至試料 A 0 4 は 1 c m 角に分断した。

【0804】

試料 A 0 1 および試料 A 0 3 の T D S 分析を図 6 4 に示す。図 6 4 (A) は質量電荷比である m/z が 2 (H_2 など) の結果を、図 6 4 (B) は m/z が 1 8 (H_2O など) の結果を示す。また、試料 A 0 1 乃至試料 A 0 4 について、T D S 分析結果を全温度範囲について積算して算出した放出量を図 6 5 に示す。ここで図 6 5 においては、 $m/z = 2$ の結果は全て水素に、 $m/z = 1 8$ の結果は全て水に、起因すると仮定している。

【0805】

図 6 4、図 6 5 より、ステップ S 1 0 1、S 1 0 4 および S 1 0 5 を行った試料 A 0 1 および A 0 2 では、水素の放出量を低く抑えられることがわかった。得られた水素放出量はともに $2. 0 \times 10^{15}$ m o l e c u l e s / c m ² 以下であった。ステップ S 1 0 1 (S i l a n e F l u s h) が水素の放出の抑制に寄与する可能性が考えられる。

【0806】

また、累積膜厚が厚くなるのに伴い、ステップ S 1 0 1、S 1 0 4 および S 1 0 5 を行なわなかった条件においても水素量が低減し、試料 A 0 4 の水素放出量は $9. 0 \times 10^{15}$ m o l e c u l e s / c m ² であった。

【実施例 6】

【0807】

本実施例では、窒化シリコン膜からの水素および水の脱離量について、T D S 分析により評価を行った。

【0808】

< 試料の作製 >

以下に試料の作製方法について説明する。まず、1 2 6. 6 m m 角の p 型シリコンウェハを 2 枚準備した。次に、それぞれのシリコンウェハに対して、熱酸化により厚さ 1 0 0 n m の酸化シリコン膜を形成した。その後、酸化膜を形成した 2 枚のシリコンウェハをそれぞれ分断した。2 枚のウェハから、3 5 m m 角の大きさに分断された試料を 1 7 個作製した。得られた 1 7 個の 3 5 m m 角の試料を、試料 B 0 1 乃至試料 B 1 7 とする。

【0809】

次に、試料 B 0 1 乃至試料 B 1 7 のそれぞれに対し、酸化シリコン膜上に厚さ 1 0 0 n m の窒化シリコン膜を成膜した。成膜には、P E C V D 法を用いた。成膜には実施例 5 に示したステップ S 1 0 1 乃至ステップ S 1 0 6 を用いた。

【0810】

以下に試料 B 0 1 乃至試料 B 1 7 について、ステップ S 1 0 3 に用いる条件について説明する。基板温度を 4 0 0 $^{\circ}$ C とした。R F 電源の周波数は 2 7 M H z とした。電極間の距離は 1 7 m m とした。窒素の流量は 5 0 0 s c c m とした。シランの流量を A [s c c m]、アンモニアの流量を B [s c c m]、R F 電源の電力を C [W]、成膜時の圧力を D [P a] とした。以下に、試料 B 0 1 乃至試料 B 1 7 の成膜に用いた A 乃至 D の値を記載する。

【0811】

10

20

30

40

50

試料 B 0 1 の条件を記載する。電力 C を 9 0 0 [W] とし、圧力 D を 4 0 [Pa] とし、アンモニアの流量 B を 1 0 [sccm] とした。シランの流量 A は 2 0 [sccm] とした。

【0812】

試料 B 0 2 乃至試料 B 0 5 は、試料 B 0 1 の条件に対してシラン流量を振った条件とした。試料 B 0 2 乃至試料 B 0 5 の成膜条件を記載する。シランの流量 A [sccm] は、試料 B 0 2 は 1 2、試料 B 0 3 は 1 6、試料 B 0 4 は 2 4、試料 B 0 5 は 2 8 とした。電力 C を 9 0 0 [W] とし、圧力 D を 4 0 [Pa] とし、アンモニアの流量 B を 1 0 [sccm] とした。

【0813】

試料 B 0 6 乃至試料 B 0 9 は、試料 B 0 1 の条件に対してアンモニア流量を振った条件とした。試料 B 0 6 乃至試料 B 0 9 の成膜条件を記載する。アンモニアの流量 B [sccm] は、試料 B 0 6 は 0、試料 B 0 7 は 2 0、試料 B 0 8 は 3 0、試料 B 0 9 は 4 0 とした。電力 C を 9 0 0 [W] とし、圧力 D を 4 0 [Pa] とし、シランの流量 A を 2 0 [sccm] とした。

【0814】

試料 B 1 0 乃至試料 B 1 3 は、試料 B 0 1 の条件に対して電力を振った条件とした。試料 B 1 0 乃至試料 B 1 3 の成膜条件を記載する。電力 C [W] は、試料 B 1 0 は 6 0 0、試料 B 1 1 は 7 0 0、試料 B 1 2 は 8 0 0、試料 B 1 3 は 1 0 0 0 とした。圧力 D を 4 0 [Pa] とし、シランの流量 A を 2 0 [sccm] とし、アンモニアの流量 B を 1 0 [sccm] とした。

【0815】

試料 B 1 4 乃至試料 B 1 7 は、試料 B 0 1 の条件に対して圧力を振った条件とした。試料 B 1 4 乃至試料 B 1 7 の成膜条件を記載する。圧力 D [Pa] は、試料 B 1 4 は 3 0、試料 B 1 5 は 5 0、試料 B 1 6 は 1 0 0、試料 B 1 7 は 1 5 0 とした。電力 C を 9 0 0 [W] とし、シランの流量 A を 2 0 [sccm] とし、アンモニアの流量 B を 1 0 [sccm] とした。

【0816】

以上の工程により、窒化シリコン膜が成膜された試料 B 0 1 乃至試料 B 1 7 を得た。

【0817】

< T D S 分析 >

次に、作製した試料 B 0 1 乃至試料 B 1 7 に対して、T D S 測定を行った。なお、T D S 測定を行う際に試料 B 0 1 乃至試料 B 1 7 は 1 cm 角に分断した。

【0818】

シラン流量の条件振りを行った結果として、試料 B 0 1 乃至試料 B 0 5 の T D S 分析を図 6 6 に示す。図 6 6 (A) は質量電荷比である m/z が 2 (H_2 など) の結果を、図 6 6 (B) は m/z が 1 8 (H_2O など) の結果を示す。図中の数字はシラン流量を示す。

【0819】

アンモニア流量の条件振りを行った結果として、試料 B 0 1、および試料 B 0 6 乃至試料 B 0 9 の T D S 分析を図 6 7 に示す。図 6 7 (A) は m/z が 2 (H_2 など) の結果を、図 6 7 (B) は m/z が 1 8 (H_2O など) の結果を示す。図中の数字はアンモニア流量を示す。

【0820】

R F 電源の電力の条件振りを行った結果として、試料 B 0 1、および試料 B 1 0 乃至試料 B 1 3 の T D S 分析を図 6 8 に示す。図 6 8 (A) は m/z が 2 (H_2 など) の結果を、図 6 8 (B) は m/z が 1 8 (H_2O など) の結果を示す。図中の数字は電力の値を示す。

【0821】

成膜圧力の条件振りを行った結果として、試料 B 0 1、および試料 B 1 4 乃至試料 B 1 7 の T D S 分析を図 6 9 に示す。図 6 9 (A) は m/z が 2 (H_2 など) の結果を、図 6

10

20

30

40

50

9 (B) は m/z が 18 (H_2O など) の結果を示す。図中の数字は圧力の値を示す。

【0822】

図70 (A)、図71 (A)、図72 (A) および図73 (A) には、図66 (A)、図67 (A)、図68 (A) および図69 (A) の TDS 分析結果を全温度範囲について積算して算出した放出量を示す。図70 (A)、図71 (A)、図72 (A) および図73 (A) の横軸はそれぞれシラン流量、アンモニア流量、圧力、および電力である。ここでは、 $m/z = 2$ の結果は全て水素に起因すると仮定している。

【0823】

図70 (B)、図71 (B)、図72 (B) および図73 (B) には、図66 (B)、図67 (B)、図68 (B) および図69 (B) の TDS 分析結果を全温度範囲について積算して算出した放出量を示す。図70 (B)、図71 (B)、図72 (B) および図73 (B) の横軸はそれぞれシラン流量、アンモニア流量、圧力、および電力である。ここでは、 $m/z = 18$ の結果は全て水に起因すると仮定している。

【0824】

[$m/z = 2$ の結果]

まず、 $m/z = 2$ の結果について説明する。図66 (A) および図70 (A) より、シラン流量が 12 sccm の条件に対して、16 sccm 以上の条件では、水素分子の放出が開始される温度が高くなり、水素分子の放出量が減少する傾向がみられた。図67 (A) および図71 (A) より、水素分子の放出量はアンモニア流量の条件に強く依存しており、0 sccm で水素分子の放出量が最も小さく、アンモニア流量の増加に伴い水素分子の放出量が増加する傾向がみられた。0 sccm における水素分子の放出量は $1.3 \times 10^{15} \text{ molecules/cm}^2$ であった。図68 (A)、図69 (A)、図72 (A) および図73 (A) より、水素分子の放出量は、RF 電源の電力および成膜圧力への依存性が小さいことが示唆された。以上より、窒化シリコンにおいて、成膜時のシランの流量を 16 sccm 以上とすることにより水素分子の放出の開始温度を高くできることが示唆された。また、アンモニア流量を小さくすることにより、水素分子の放出が抑制されることが示唆された。

【0825】

[$m/z = 18$ の結果]

次に、 $m/z = 18$ の結果について説明する。図66 (B) より、シラン流量が 28 sccm の条件において 300 °C 近傍で若干の水分子の放出増加がみられた。図67 (B) より、アンモニア流量が 40 sccm の条件において、300 °C 近傍で若干の水分子の放出増加がみられた。図68 (B) より、電力が 700 W の条件において、300 °C 近傍において水分子の放出量の顕著な増加がみられ、800 W 以上では水分子の放出量が抑えられた。800 W 以上の電力において水分子の放出が抑制できる可能性がある。図72 (B) より、800 W の電力における水分子の放出量の積算値は、 $4.2 \times 10^{14} \text{ molecules/cm}^2$ と低い値を得ることができた。

【実施例7】

【0826】

本実施例では、シリコン基板上に窒化シリコン膜を成膜した試料7Aと、シリコン基板上に酸化シリコン膜を成膜した試料7Bを作製し、TDS分析した結果について説明する。

【0827】

TDS の評価に用いた試料の作製方法について説明する。試料7Aでは、シリコンウェハ上に PECVD 法を用いて 50 nm の窒化シリコンを成膜した。成膜条件は、成膜ガスとして SiH_4 を 20 sccm、 NH_3 を 10 sccm、 N_2 を 500 sccm 用い、RF 電源周波数を 27 MHz、RF 電源パワーを 900 W とし、成膜圧力を 40 Pa、基板温度を 400 °C とした。

【0828】

また、試料7Bでは、シリコンウェハ上に PECVD 法を用いて 50 nm の酸化シリコ

10

20

30

40

50

ンを成膜した。成膜条件は、成膜ガスとして、テトラエトキシシラン (TEOS: Si (OC₂H₅)₄) を 15 sccm、O₂ を 750 sccm 用い、RF 電源周波数を 27 MHz、RF 電源パワーを 300 W とし、成膜圧力を 100 Pa、基板温度を 400 °C とした。

【0829】

以上のようにして作製した試料 7 A 及び試料 7 B に、TDS 分析を行った結果を図 7 9 及び図 8 0 に示す。なお、当該 TDS 分析においては、水素分子に相当する質量電荷比 $m/z = 2$ の放出量と、水分子に相当する質量電荷比 $m/z = 18$ の放出量を測定した。図 7 9 (A) 及び図 8 0 (A) に水素の測定結果を、図 7 9 (B) 及び図 8 0 (B) に水の測定結果を示す。図 7 9 及び図 8 0 で横軸は基板の加熱温度 [°C] をとり、縦軸はそれぞれの質量電荷比の放出量に比例する強度をとる。

10

【0830】

また、図 7 9 及び図 8 0 に示すプロファイルから算出される、試料 7 A 及び試料 7 B の水素分子及び水分子の放出量を算出した。その結果、試料 7 A では、水素分子の放出量が $1.7 \times 10^{15} \text{ molecules/cm}^2$ となり、水分子放出量が $6.3 \times 10^{14} \text{ molecules/cm}^2$ となった。また、試料 7 B では、水素分子の放出量が $1.3 \times 10^{15} \text{ molecules/cm}^2$ となり、水分子放出量が $2.1 \times 10^{15} \text{ molecules/cm}^2$ となった。このように、試料 7 A 及び試料 7 B に含まれる、水素分子、水分子は比較的少なかった。

【0831】

20

図 7 9 (A) 及び図 8 0 (A) (B) に示すように、基板温度 400 °C 以下では、水素分子及び水分子のプロファイルに大きなピークは見られない。また、図 7 9 (B) では基板温度 400 °C 以下で水分子のプロファイルにピークが見られるが、全体的にピーク強度が小さい。このため、上記実施の形態に示す、絶縁体 104 成膜時の基板加熱温度 (例えば、350 °C 以上 445 °C 以下程度の温度) では、本実施例に示す窒化シリコン膜及び酸化シリコン膜から放出される水素又は水は少ないことが推測される。よって、本実施例に示す窒化シリコン膜及び酸化シリコン膜は、上記実施の形態に示す絶縁体 104 より下層に設けても、絶縁体 104 の成膜時または成膜後の熱処理で、水素または水などの不純物を酸化物半導体にほとんど供給することはない。

【0832】

30

このため、例えば試料 7 A の窒化シリコン膜は、上記実施の形態で図 3 3 及び図 3 4 に示す絶縁体 1581a などに、水素拡散抑制膜として設けることができる。また、例えば試料 7 B の酸化シリコン膜は、上記実施の形態で図 3 3 及び図 3 4 に示す絶縁体 1584 などに、層間絶縁膜として設けることができる。

【実施例 8】

【0833】

本実施例では、シリコン基板上に In-Ga-Zn 酸化物を成膜し、当該酸化物の一部をエッチングしてから熱処理を行った試料を作製し、SIMS 及び硬 X 線光電子分光 (Hard X-ray Photoelectron Spectroscopy: HX-PES)、を用いて分析した結果について説明する。

40

【0834】

最初に、SIMS 分析に用いた試料の作製方法について説明する。SIMS 分析では、試料 8 A 乃至試料 8 H の計 8 サンプルを作製した。

【0835】

まず、シリコンウェハ上に DC スパッタリング法を用いて厚さが 100 nm の In-Ga-Zn 酸化物を成膜した。なお、In-Ga-Zn 酸化物の成膜には、In:Ga:Zn = 1:1:1 [原子数比] ターゲットを用いており、以下当該酸化物を、In-Ga-Zn 酸化物 (111) と呼ぶ場合がある。また、成膜ガスとしてアルゴンガス 30 sccm および酸素ガス 15 sccm を用い、成膜圧力を 0.7 Pa (キャノンアネルバ製ミニチュアゲージ MG-2 によって計測した。) とし、成膜電力を 500 W とし、基板温度を

50

300℃とし、ターゲット－基板間距離を60mmとした。

【0836】

次に、試料8B乃至試料8Hについて、窒素雰囲気下で450℃1時間の加熱処理を行い、さらに酸素雰囲気下で450℃1時間の加熱処理を行った。

【0837】

次に、試料8B乃至試料8Hについて、In-Ga-Zn酸化物(111)にICPドライエッチング法を用いて、約20nm膜厚を削減した。In-Ga-Zn酸化物(111)のエッチングは、ICPドライエッチング法により3ステップで行った。1stステップの処理条件は、圧力を1.2Pa、RF電源の電力を上部側1000W、下側を400W、エッチングガスをメタン20sccm、アルゴン80sccm、処理時間を53secとした。2ndステップの処理条件は、圧力を5.2Pa、RF電源の電力を上部側500W、下側を50W、エッチングガスを酸素200sccm、処理時間を3secとした。3rdステップの処理条件は、圧力を2.6Pa、RF電源の電力を上部側500W、下側を50W、エッチングガスを酸素200sccm、処理時間を60secとした。

10

【0838】

次に、試料8C乃至試料8Eについて、窒素雰囲気下で1時間の加熱処理を行い、試料8F乃至試料8Hについて、酸素雰囲気下で1時間の加熱処理を行った。ここで、試料8C及び試料8Fは300℃で加熱処理を行い、試料8D及び試料8Gは350℃で加熱処理を行い、試料8E及び試料8Hは400℃で加熱処理を行った。

20

【0839】

つまり、試料8AはIn-Ga-Zn酸化物(111)成膜まで行ったサンプルであり、試料8BはIn-Ga-Zn酸化物(111)のエッチングまで行ったサンプルであり、試料8C乃至8Eはエッチング後の窒素雰囲気下で加熱処理を行ったサンプルであり、試料8F乃至8Hはエッチング後の酸素雰囲気下で加熱処理を行ったサンプルである。

【0840】

以上のようにして作製した試料8A乃至試料8Hに、SIMS分析を行った結果を図81(A)(B)に示す。図81(A)は試料8A乃至8Eのグラフであり、図81(B)は試料8A、8B及び8F乃至8Hのグラフである。図81(A)(B)で横軸はDepth(In-Ga-Zn酸化物(111)の表面を基準とする深さ)[nm]をとり、縦軸は水素濃度[atoms/cm³]をとる。なお、当該SIMS分析は、In-Ga-Zn酸化物(111)の表面(Depth:0nm)からシリコンウェハの方向に向かって分析を進めており、In-Ga-Zn酸化物(111)の表面から深さ60nmまでが定量範囲になる。また、SIMS測定は、アルバック・ファイ社製四重極型質量分析装置(ADEPT1010特型)を用いた。

30

【0841】

図81(A)(B)に示すように、試料8Aでは水素濃度がかなりバックグラウンドに近い値を示している。これに対して、試料8Bでは、In-Ga-Zn酸化物(111)の表面近傍で水素濃度が 1×10^{22} atoms/cm³程度になり、表面から50nm程度より深い領域で試料8Aと同程度の水素濃度になっている。このように試料8Bでは、表面から50nm程度の深さまで水素が拡散している様子が見られる。この水素は、試料8Bを作製する際のエッチングガスに用いられたメタンに起因することが推測される。

40

【0842】

また、図81(A)に示すように、試料8C乃至試料8Eでは、試料8Bと比較して、少なくともIn-Ga-Zn酸化物(111)の表面から深さ30nm程度までの領域において、水素濃度が低減している。これは、エッチングによってIn-Ga-Zn酸化物(111)中に拡散した水素が、その後の窒素雰囲気下の加熱処理によって脱離させられたことを示唆している。

【0843】

ただし、300℃で加熱処理した試料8Cは水素濃度が 1×10^{20} atoms/cm

50

³ 程度であり、350℃で加熱処理した試料8Dは水素濃度が 1.2×10^{19} atoms/cm³ 程度となっている。これに対して400℃で加熱処理した試料8Eは、ほぼ試料8Aと同程度の水素濃度となっている。これは、試料8C及び試料8Dでは、加熱温度が低いために、In-Ga-Zn酸化物(111)中の酸素欠損のサイトにおいて水素のトラップと脱離が競合して膜中の水素濃度が平衡状態になってしまっていると推測される。さらに、窒素雰囲気下での加熱処理中は、酸素が脱離して酸素欠損が増加するため、より酸素欠損のサイトにトラップされる水素原子の量が増加することになる。

【0844】

また、図81(B)に示すように、試料8F乃至試料8Hでは、試料8Bと比較して、少なくともIn-Ga-Zn酸化物(111)の表面から深さ40nm程度までの領域において、水素濃度が低減している。これは、エッチングによってIn-Ga-Zn酸化物(111)中に拡散した水素が、その後の酸素雰囲気での加熱処理によって脱離させられたことを示唆している。

【0845】

ただし、300℃で加熱処理した試料8Fは水素濃度が 1.1×10^{19} atoms/cm³ 程度となっている。これに対して350℃で加熱処理した試料8G、及び400℃で加熱処理した試料8Hは、ほぼ試料8Aと同程度の水素濃度となっている。これは、試料8Fでは、加熱温度が低いために、In-Ga-Zn酸化物(111)中の酸素欠損のサイトにおいて水素のトラップと脱離が競合して膜中の水素濃度が平衡状態になってしまっていると推測される。

【0846】

ここで、酸素雰囲気での加熱処理した試料8F乃至試料8Hは、窒素雰囲気での加熱した試料8C乃至8Eと比較して、低い温度での加熱処理でもより水素濃度を低減できている。これは、試料8F乃至試料8Hでは、酸素雰囲気での加熱処理することによって酸素を供給して酸素欠損を低減することができるため、加熱処理中に酸素欠損にトラップされる水素の量を低減することができるためと考えられる。

【0847】

次に、HX-PES分析の結果について説明する。HX-PES分析に用いた試料は、試料8Aと同様の方法で作製した試料8Iと、試料8Bと同様の方法で作製した試料8Jと、試料8Gと同様の方法で作製した試料8Kの計3サンプルである。

【0848】

試料8I乃至試料8KにHX-PES分析を行った結果を図82に示す。図82において、横軸は結合エネルギー[eV]を示し、縦軸は信号の強度(任意単位)をとる。なお、図82に示すデータはAuのフェルミ準位を元に定量化しており、横軸0eVはIn-Ga-Zn酸化物(111)のフェルミ準位に近いエネルギーである。また、横軸の0eV乃至3.2eVの領域がIn-Ga-Zn酸化物(111)のエネルギーギャップに対応する。

【0849】

図82に示すように、試料8Iに対して試料8Jは0eV乃至3.2eVの領域において信号の強度が大きい。試料8Jのグラフは、2.8eV近傍と0乃至0.5eVの領域にピークを持っている。上記の通り、0eV乃至3.2eVの領域はIn-Ga-Zn酸化物(111)のエネルギーギャップに対応しているので、2.8eV近傍と0乃至0.5eV近傍のピークを持つ試料8Jはエネルギーギャップ内に欠陥準位が形成されていることになる。なお、上記のピーク位置などは、例えば、グラフの解析方法によって値が変化する場合がある。

【0850】

試料8Jの2.8eV近傍のピークは、エネルギーギャップの深い準位に位置し、In-Ga-Zn酸化物(111)の酸素欠損に対応する欠陥準位と推測される。また、試料8Jの0乃至0.5eVの領域のピークは、エネルギーギャップの浅い準位に位置し、In-Ga-Zn酸化物(111)の酸素欠損にトラップされた水素に対応する欠陥準位と

10

20

30

40

50

推測される。このように、上記のエッチングを行った In-Ga-Zn 酸化物 (111) 中には、酸素欠損及び、酸素欠損にトラップされた水素が形成されることが示された。

【0851】

これに対して、エッチング後に酸素雰囲気中で加熱処理を行った試料 8 K は、ほぼ試料 8 I と同じ形状のグラフであり、試料 8 J で見られた 2.8 eV 近傍と 0 乃至 0.5 eV の領域のピークも明らかに低減している。ただし、試料 8 K においても、2.8 eV 近傍のピークは若干現れており、その部分において試料 8 I より信号の強度が若干強くなっている。このように、上記エッチングにより In-Ga-Zn 酸化物 (111) 中に形成された酸素欠損、及び酸素欠損にトラップされた水素は、加熱処理によって低減されることが示された。

10

【0852】

以上から、上記実施の形態において、半導体 106 b をパターン形成した後で、熱処理を行うことにより、半導体 106 b 中に拡散した水素を脱離させることができることが示された。これにより、水素などが半導体 106 b 中に拡散して欠陥準位が形成されることを低減できる。このように欠陥準位密度が低減された酸化物半導体を用いることにより、安定した電気特性を有するトランジスタを提供することができる。

【実施例 9】

【0853】

本実施例では、絶縁体 103 に電子捕獲領域を有するトランジスタとして、試料 9 A 及び試料 9 B を作製し、絶縁体 103 に電子を注入することにより変化する当該トランジスタのしきい値電圧について評価した。

20

【0854】

なお、トランジスタの構成については、図 9 などを参照することができ、トランジスタの作製方法については、図 13 乃至図 15 などを参照することができる。

【0855】

まず、基板 100 として、厚さが 100 nm の酸化シリコンと、厚さが 280 nm の窒化酸化シリコンと、厚さが 300 nm の酸化シリコンと、厚さが 300 nm の酸化シリコンと、がこの順に積層されたシリコン基板を準備した。

【0856】

次に、絶縁体 101 として、スパッタリング法によって厚さが 35 nm の酸化アルミニウムを成膜した。

30

【0857】

次に、PECVD 法によって厚さが 150 nm の酸化シリコンを成膜した。当該酸化シリコン上にレジストを形成し、該レジストを用いて加工し、絶縁体 107 を形成した。

【0858】

次に CVD 法によって厚さが 5 nm の窒化チタンを成膜し、その上に厚さが 250 nm のタングステン进行成膜した。それから、CMP 処理を行って、絶縁体 107 に埋め込むように導電体 102 を形成した。

【0859】

次に、絶縁体 105 として、PECVD 法によって厚さが 10 nm の酸化シリコンを成膜した。成膜条件は、成膜ガスとして SiH_4 を 1 sccm、 N_2O を 800 sccm 用い、RF 電源周波数を 60 MHz、RF 電源パワーを 150 W とし、成膜圧力を 40 Pa とし、基板温度を 500 °C とした。

40

【0860】

次に、絶縁体 103 として、ALD 法によって厚さが 20 nm の酸化ハフニウムを成膜した。ALD 法による成膜では、基板温度を 200 °C とし、テトラキスジメチルアミドハフニウム (TDMAH) を含む固体を気化させた原料ガスと、酸化剤として O_3 ガスを用いた。

【0861】

次に、絶縁体 104 として、PECVD 法を用いて厚さが 30 nm の酸化シリコンを成

50

膜した。成膜条件は、成膜ガスとして SiH_4 を 1 sccm 、 N_2O を 800 sccm 用い、RF 電源周波数を 60 MHz 、RF 電源パワーを 150 W とし、成膜圧力を 40 Pa とし、基板温度を 500°C とした。

【0862】

次に、酸素雰囲気下で 490°C 1 時間の加熱処理を行った。

【0863】

次に、絶縁体 106a となる酸化物として、DC スパッタリング法によって厚さが 20 nm の In-Ga-Zn 酸化物を成膜した。なお、 In-Ga-Zn 酸化物の成膜には、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] ターゲットを用い、成膜ガスとしてアルゴンガス 40 sccm および酸素ガス 5 sccm を用い、成膜圧力を 0.7 Pa (キャノンネルバ製ミニチュアゲージ MG-2 によって計測した。) とし、成膜電力を 500 W とし、基板温度を 200°C とし、ターゲットー基板間距離を 60 mm とした。

10

【0864】

次に、半導体 106b となる酸化物として、DC スパッタリング法によって厚さが 15 nm の In-Ga-Zn 酸化物を成膜した。なお、 In-Ga-Zn 酸化物の成膜には、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] ターゲットを用い、成膜ガスとしてアルゴンガス 30 sccm および酸素ガス 15 sccm を用い、成膜圧力を 0.7 Pa (キャノンネルバ製ミニチュアゲージ MG-2 によって計測した。) とし、成膜電力を 500 W とし、基板温度を 300°C とし、ターゲットー基板間距離を 60 mm とした。

【0865】

20

次に、窒素雰囲気下で 450°C 1 時間の加熱処理を行い、さらに酸素雰囲気下で 450°C 1 時間の加熱処理を行った。

【0866】

次に、導電体 108a、108b となる導電体として、DC スパッタリング法によって厚さが 20 nm のタングステンを成膜した。

【0867】

次に、当該導電体上にレジストを形成し、当該レジストを用いて加工し、絶縁体 106a、半導体 106b、および島状の導電体を形成した。

【0868】

次に、当該島状の導電体上にレジストを形成し、当該レジストを用いて加工し、導電体 108a 及び導電体 108b を形成した。

30

【0869】

次に、絶縁体 106c となる酸化物として、DC スパッタリング法によって厚さが 5 nm の In-Ga-Zn 酸化物を成膜した。なお、 In-Ga-Zn 酸化物の成膜には、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ [原子数比] ターゲットを用い、成膜ガスとしてアルゴンガス 30 sccm および酸素ガス 15 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200°C とし、ターゲットー基板間距離を 60 mm とした。

【0870】

次に、絶縁体 112 となる酸化窒化物として、PECVD 法によって厚さが 10 nm の酸化窒化シリコンを成膜した。

40

【0871】

次に、導電体 114 となる導電体として、DC スパッタリング法によって厚さが 10 nm の窒化チタンと、厚さが 30 nm のタングステンを、をこの順に成膜した。次に、当該導電体上にレジストを形成し、該レジストを用いて加工し、導電体 114 を形成した。

【0872】

次に、レジストを用いて、上記酸化物及び酸化窒化物を加工し、絶縁体 106c 及び絶縁体 112 を形成した。

【0873】

次に、絶縁体 116 として、RF スパッタリング法によって厚さが 40 nm の酸化アル

50

ミニウムを成膜した。なお、成膜ガスとしてアルゴンガス 25 s c c m および酸素ガス 25 s c c m を用い、成膜圧力を 0.4 Pa とし、成膜電力を 2500 W とし、基板温度を 250 °C とし、ターゲット－基板間距離を 60 mm とした。

【0874】

次に、酸素雰囲気下で 400 °C 1 時間の加熱処理を行った。

【0875】

次に、PECVD 法によって厚さが 150 nm の酸化窒化シリコンを成膜した。

【0876】

次に、DCスパッタリング法によって厚さが 50 nm のチタンと、厚さが 200 nm のアルミニウムと、厚さが 50 nm のチタンと、をこの順に成膜した。次にこの膜をレジストを用いて加工して導電体 120 a 及び導電体 120 b を形成した。

【0877】

以上の工程によって、試料 9 A として、チャネル長 L が 64 nm、チャネル幅 W が 51 nm のトランジスタを作製した。また、同様の方法を用いて試料 9 B として、チャネル長 L が 43 nm、チャネル幅 W が 44 nm のトランジスタを作製した。

【0878】

本実施例では、図 83 (E) に示すように、試料 9 A 及び試料 9 B について、バックゲート（導電体 102）に電位を印加して絶縁体 103 に電子の注入を行って、トランジスタのしきい値電圧を変化させる。ここで、バックゲート電圧 $V_{bg} = 40$ V、ドレイン電圧 $V_d = 0$ V、ソース電圧 $= 0$ V、トップゲート（導電体 114）電圧 $V_g = 0$ V として絶縁体 103 への電子の注入を行った。なお、バックゲート電圧の印加時間は、0 秒、0.4 秒、0.8 秒、1.2 秒、1.6 秒、2.0 秒及び 2.4 秒とし、それぞれの電子注入条件において、 $I_d - V_g$ 特性を測定した。 $I_d - V_g$ 特性の測定は、バックゲート電圧を 0 V とし、ドレイン電圧を 1.8 V とし、ゲート電圧を -3.0 V から 3.0 V まで 0.1 V ステップで掃引させた。

【0879】

試料 9 A 及び試料 9 B の $I_d - V_g$ 特性の測定結果を図 83 (A) 及び図 83 (C) に示す。図 83 (A) 及び図 83 (C) は、横軸にゲート電圧 V_g [V]、縦軸にドレイン電流 I_d [A] をとる。また、図 83 (A) のグラフから算出した試料 9 A のしきい値電圧 V_{th} 及び $Shif t$ を図 83 (B) に示す。同様に、図 83 (C) のグラフから算出した試料 9 B のしきい値電圧 V_{th} 及び $Shif t$ を図 83 (D) に示す。

【0880】

図 83 (A) 乃至 (D) に示すように、試料 9 A 及び試料 9 B において、バックゲートに電位を印加して絶縁体 103 に電子を注入することによって、しきい値電圧が変化することが示された。さらに、バックゲートへの電圧の印加時間によって、しきい値電圧を調整できることがわかった。

【符号の説明】

【0881】

10 トランジスタ
12 トランジスタ
14 トランジスタ
16 トランジスタ
18 トランジスタ
20 トランジスタ
22 トランジスタ
24 トランジスタ
26 トランジスタ
28 トランジスタ
29 トランジスタ
100 基板

10

20

30

40

50

1 0 1	絶縁体	
1 0 2	導電体	
1 0 2 a	導電体	
1 0 2 b	導電体	
1 0 3	絶縁体	
1 0 4	絶縁体	
1 0 5	絶縁体	
1 0 6 a	絶縁体	
1 0 6 b	半導体	
1 0 6 c	絶縁体	10
1 0 7	絶縁体	
1 0 8	導電体	
1 0 8 a	導電体	
1 0 8 b	導電体	
1 0 9	低抵抗領域	
1 0 9 a	低抵抗領域	
1 0 9 b	低抵抗領域	
1 1 0	絶縁体	
1 1 0 a	導電体	
1 1 0 b	導電体	20
1 1 1	金属酸化物	
1 1 1 a	金属酸化物	
1 1 1 b	金属酸化物	
1 1 2	絶縁体	
1 1 3	絶縁体	
1 1 4	導電体	
1 1 6	絶縁体	
1 1 7	絶縁体	
1 1 8	絶縁体	
1 2 0 a	導電体	30
1 2 0 b	導電体	
1 2 6 a	絶縁体	
1 2 6 b	半導体	
1 2 6 c	絶縁体	
1 2 8	導電体	
1 3 2	絶縁体	
1 3 4	導電体	
1 8 6	酸素	
2 0 0	撮像装置	
2 0 1	スイッチ	40
2 0 2	スイッチ	
2 0 3	スイッチ	
2 1 0	画素部	
2 1 1	画素	
2 1 2	副画素	
2 1 2 B	副画素	
2 1 2 G	副画素	
2 1 2 R	副画素	
2 2 0	光電変換素子	
2 3 0	画素回路	50

2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	
2 5 4	フィルタ	
2 5 4 B	フィルタ	
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	10
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	
2 9 0	周辺回路	
2 9 1	光源	
3 0 0	シリコン基板	
3 1 0	層	20
3 2 0	層	
3 3 0	層	
3 4 0	層	
3 5 1	トランジスタ	
3 5 2	トランジスタ	
3 5 3	トランジスタ	
3 6 0	フォトダイオード	
3 6 1	アノード	
3 6 3	低抵抗領域	
3 7 0	プラグ	30
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
3 8 0	絶縁体	
4 5 0	半導体基板	
4 5 2	絶縁体	
4 5 4	導電体	
4 5 6	領域	
4 6 0	領域	
4 6 2	絶縁体	40
4 6 4	絶縁体	
4 6 6	絶縁体	
4 6 8	絶縁体	
4 7 2 a	領域	
4 7 2 b	領域	
4 7 4 a	導電体	
4 7 4 b	導電体	
4 7 4 c	導電体	
4 7 6 a	導電体	
4 7 6 b	導電体	50

4 7 8 a	導電体	
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 8 9	絶縁体	
4 9 0	絶縁体	
4 9 1	絶縁体	
4 9 2	絶縁体	10
4 9 3	絶縁体	
4 9 4	絶縁体	
4 9 6 a	導電体	
4 9 6 b	導電体	
4 9 6 c	導電体	
4 9 6 d	導電体	
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
5 0 4	導電体	20
5 1 1	絶縁体	
5 1 4	導電体	
5 1 6 a	導電体	
5 1 6 b	導電体	
7 0 0	基板	
7 0 4 a	導電体	
7 0 4 b	導電体	
7 0 6 a	半導体	
7 0 6 b	半導体	
7 1 2 a	絶縁体	30
7 1 2 b	絶縁体	
7 1 4 a	導電体	
7 1 4 b	導電体	
7 1 6 a	導電体	
7 1 6 b	導電体	
7 1 8 a	絶縁体	
7 1 8 b	絶縁体	
7 1 8 c	絶縁体	
7 1 9	発光素子	
7 2 0	絶縁体	40
7 2 1	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	50

7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	10
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	
9 0 1	筐体	20
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	30
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	40
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	50

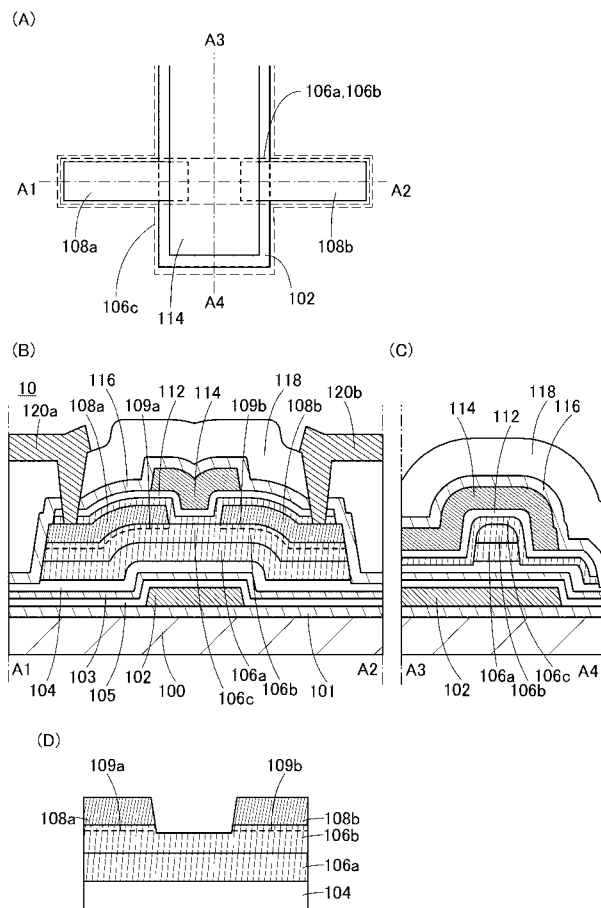
1 0 0 0	成膜装置	
1 0 0 2	搬入室	
1 0 0 4	搬出室	
1 0 0 6	搬送室	
1 0 0 8	成膜室	
1 0 0 9	成膜室	
1 0 1 0	成膜室	
1 0 1 4	搬送アーム	
1 0 2 0	チャンバー	
1 0 2 1 a	原料供給部	10
1 0 2 1 b	原料供給部	
1 0 2 2 a	高速バルブ	
1 0 2 2 b	高速バルブ	
1 0 2 3 a	原料導入口	
1 0 2 3 b	原料導入口	
1 0 2 4	原料排出口	
1 0 2 5	排気装置	
1 0 2 6	基板ホルダ	
1 0 2 8	プラズマ発生装置	
1 0 3 0	基板	20
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	30
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	40
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
1 4 0 0	基板	
1 4 0 2	絶縁体	
1 4 0 2 a	絶縁体	
1 4 0 4	導電体	
1 4 0 8	絶縁体	
1 4 1 3	導電体	50

1 4 1 6 a	導電体	
1 4 1 6 b	導電体	
1 4 5 4	導電体	
1 4 6 2	絶縁体	
1 4 6 4	絶縁体	
1 4 6 4 a	絶縁体	
1 4 6 4 b	絶縁体	
1 4 7 6	領域	
1 5 1 1	導電体	
1 5 1 1 a	導電体	10
1 5 1 1 b	導電体	
1 5 1 3	導電体	
1 5 1 4	導電体	
1 5 1 6	導電体	
1 5 1 6 b	導電体	
1 5 1 7	導電体	
1 5 1 8	導電体	
1 5 1 9	導電体	
1 5 4 1	プラグ	
1 5 4 3	プラグ	20
1 5 4 4	プラグ	
1 5 4 4 b	プラグ	
1 5 4 5	プラグ	
1 5 4 7	プラグ	
1 5 4 7 b	プラグ	
1 5 4 8	プラグ	
1 5 7 1	絶縁体	
1 5 7 1 a	絶縁体	
1 5 8 1	絶縁体	
1 5 8 1 a	絶縁体	30
1 5 8 1 b	絶縁体	
1 5 8 4	絶縁体	
1 5 8 5	絶縁体	
1 5 9 1	絶縁体	
1 5 9 2	絶縁体	
1 5 9 4	絶縁体	
1 5 9 5	絶縁体	
1 5 9 9	絶縁体	
1 6 2 7	層	
1 6 2 8	層	40
1 6 2 9	層	
1 6 3 0	層	
1 6 3 1	層	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 7 0 0	製造装置	
2 7 0 1	大気側基板供給室	
2 7 0 2	大気側基板搬送室	
2 7 0 3 a	ロードロック室	
2 7 0 3 b	アンロードロック室	50

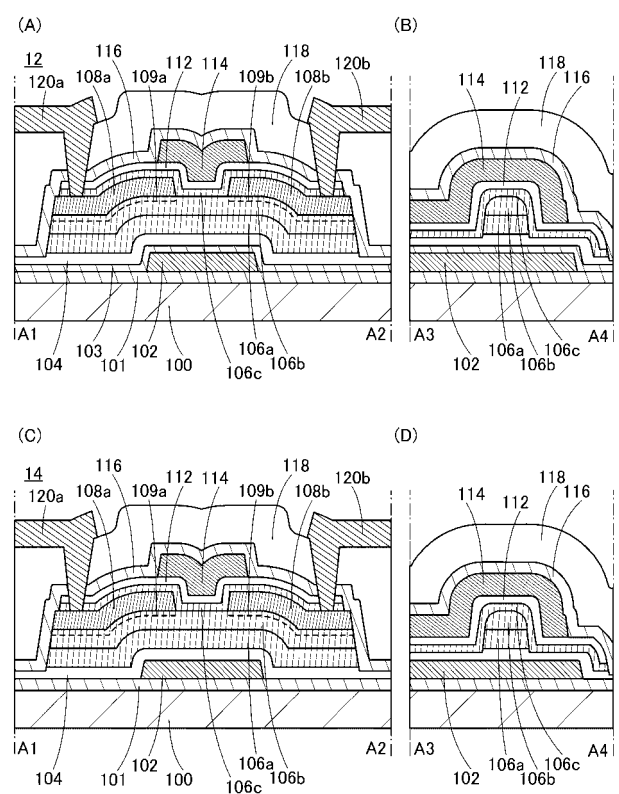
2 7 0 4	搬送室	
2 7 0 6 a	チャンバー	
2 7 0 6 b	チャンバー	
2 7 0 6 c	チャンバー	
2 7 0 6 d	チャンバー	
2 7 6 1	カセットポート	
2 7 6 2	アライメントポート	
2 7 6 3 a	搬送ロボット	
2 7 6 3 b	搬送ロボット	
2 8 0 1	ガス供給源	10
2 8 0 2	バルブ	
2 8 0 3	高周波発生器	
2 8 0 4	導波管	
2 8 0 5	モード変換器	
2 8 0 6	ガス管	
2 8 0 7	導波管	
2 8 0 8	スロットアンテナ板	
2 8 0 9	誘電体板	
2 8 1 0	高密度プラズマ	
2 8 1 1	基板	20
2 8 1 2	基板ステージ	
2 8 1 3	加熱機構	
2 8 1 5	マッチングボックス	
2 8 1 6	高周波電源	
2 8 1 7	真空ポンプ	
2 8 1 8	バルブ	
2 8 1 9	排気口	
2 8 2 0	ランプ	
2 8 2 1	ガス供給源	
2 8 2 2	バルブ	30
2 8 2 3	ガス導入口	
2 8 2 4	基板	
2 8 2 5	基板ステージ	
2 8 2 6	加熱機構	
2 8 2 8	真空ポンプ	
2 8 2 9	バルブ	
2 8 3 0	排気口	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	40
3 0 0 4	配線	
3 0 0 5	配線	
3 0 0 6	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
3 5 0 0	トランジスタ	
3 6 0 0	トランジスタ	
4 0 0 1	配線	
4 0 0 3	配線	50

4 0 0 5	配線
4 0 0 6	配線
4 0 0 7	配線
4 0 0 8	配線
4 0 0 9	配線
4 0 2 1	層
4 0 2 2	層
4 0 2 3	層
4 1 0 0	トランジスタ
4 2 0 0	トランジスタ
4 3 0 0	トランジスタ
4 4 0 0	トランジスタ
4 5 0 0	容量素子
4 6 0 0	容量素子

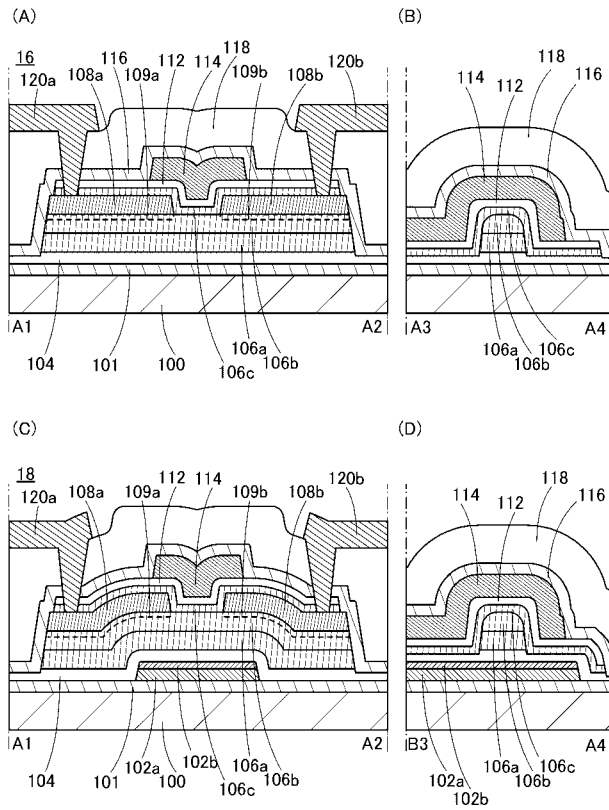
【図 1】



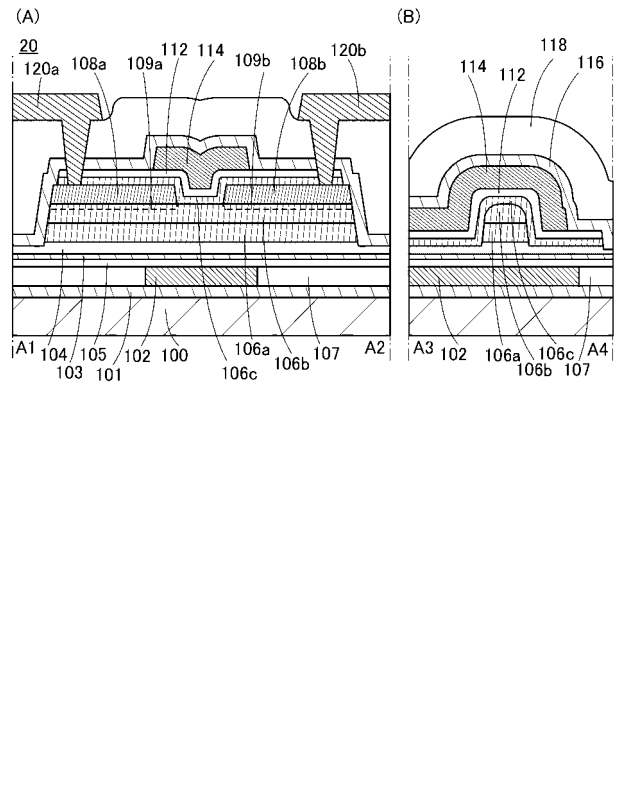
【図 7】



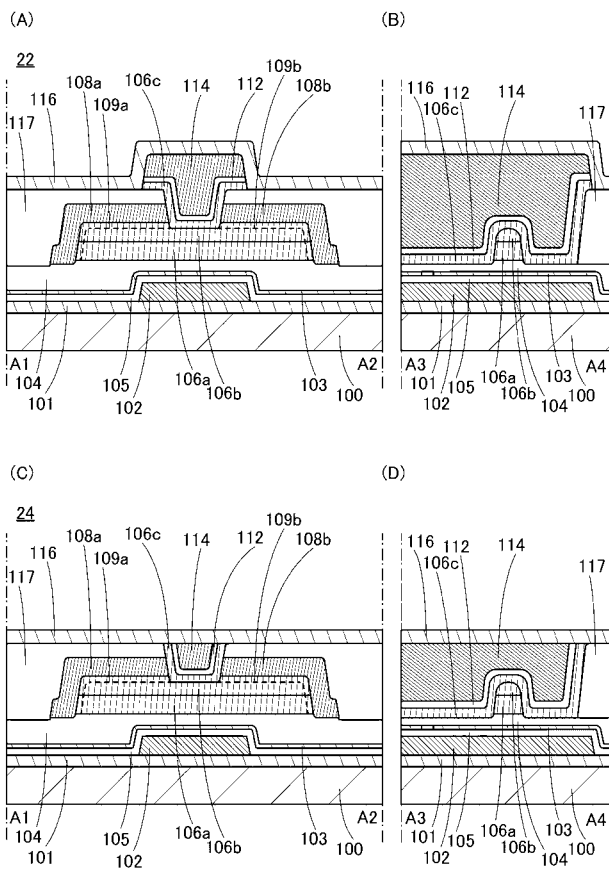
【図 8】



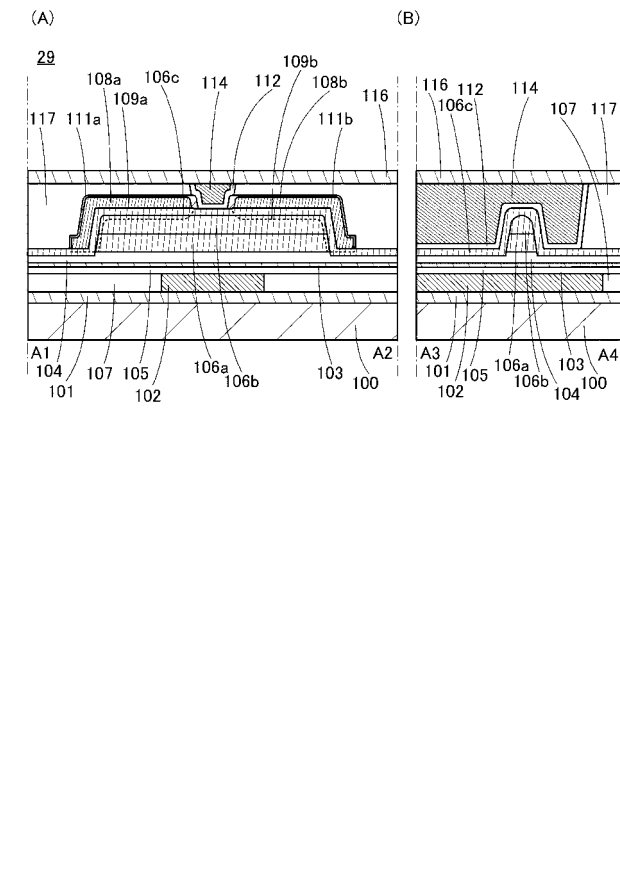
【図 9】



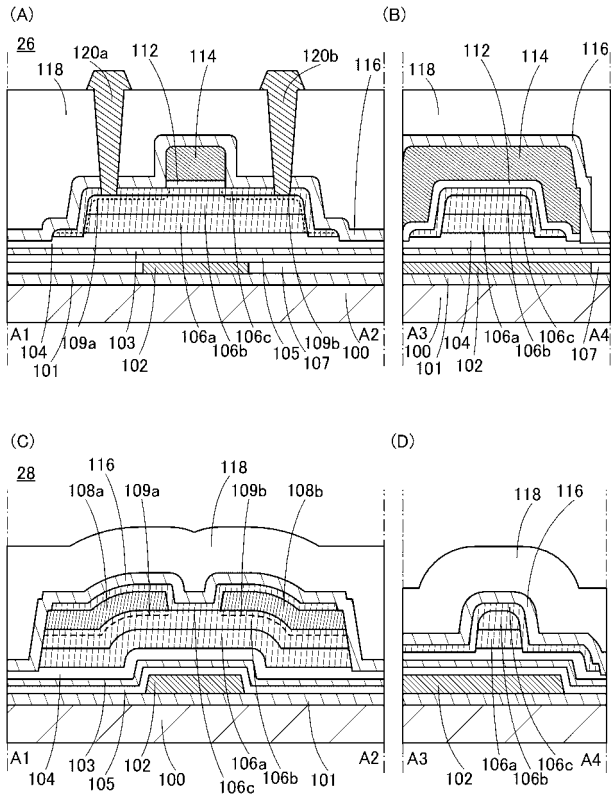
【図 10】



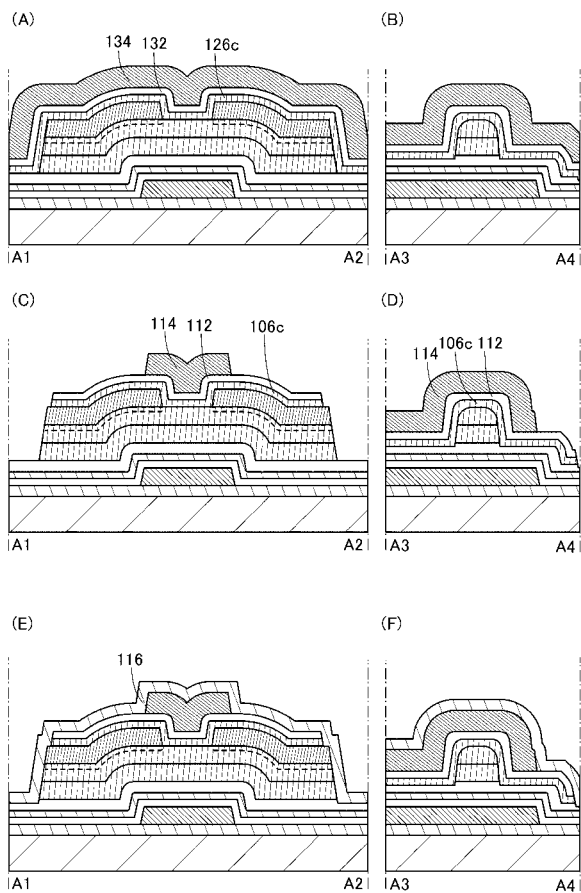
【図 11】



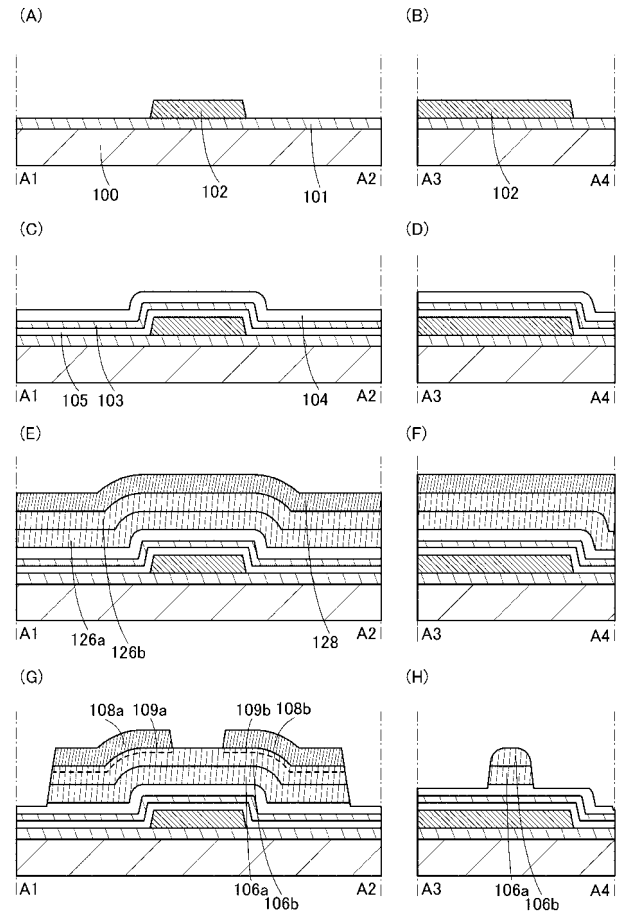
【図 1 2】



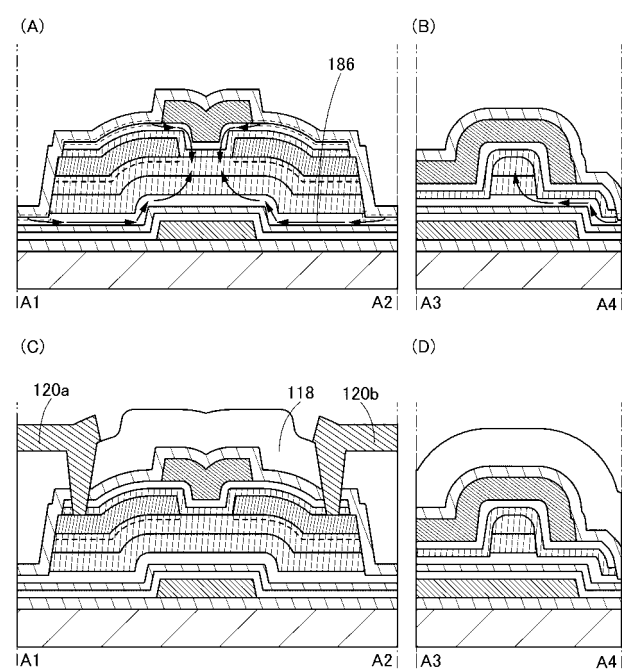
【図 1 4】



【図 1 3】

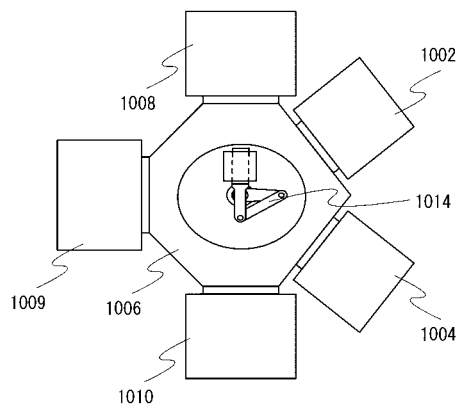


【図 1 5】

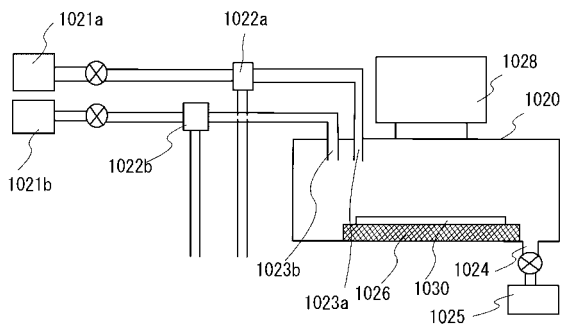


【図 16】

(A) 1000

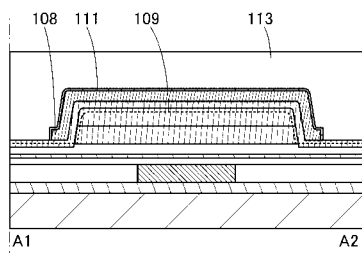


(B)

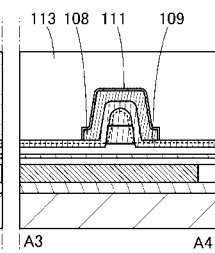


【図 18】

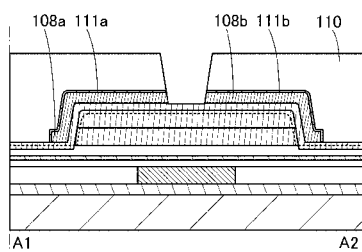
(A)



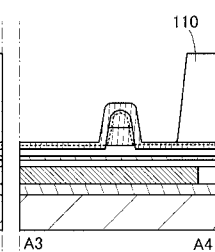
(B)



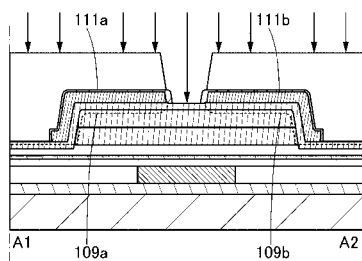
(C)



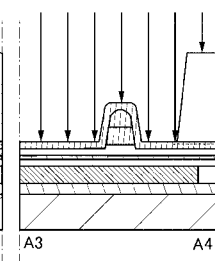
(D)



(E)

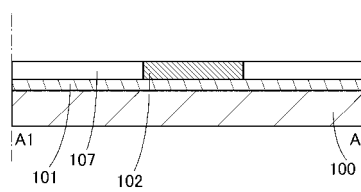


(F)

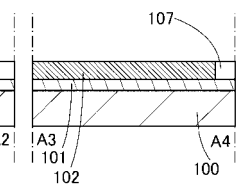


【図 17】

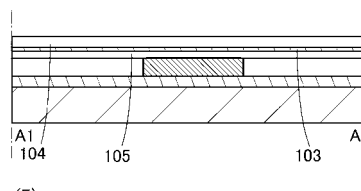
(A)



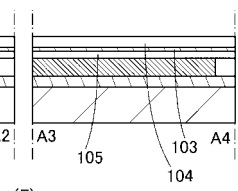
(B)



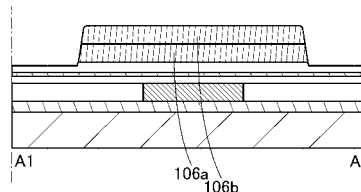
(C)



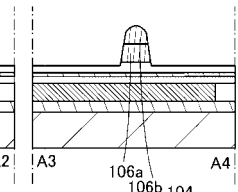
(D)



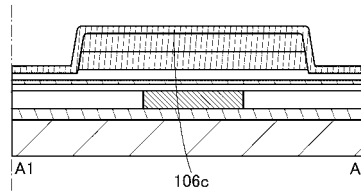
(E)



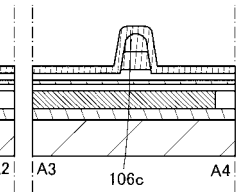
(F)



(G)

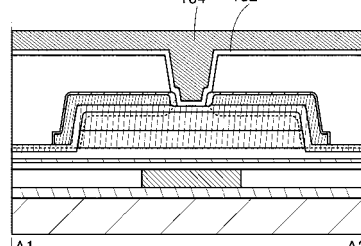


(H)

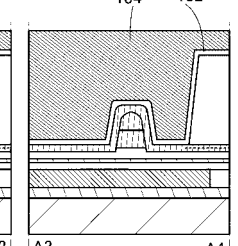


【図 19】

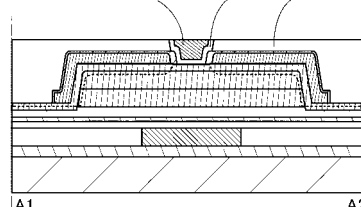
(A)



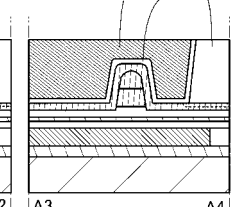
(B)



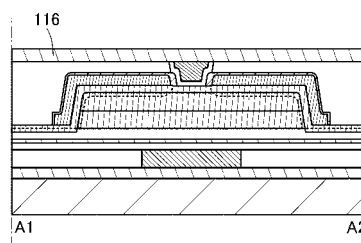
(C)



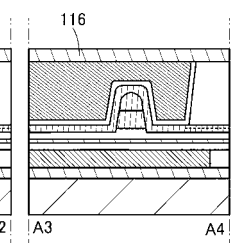
(D)



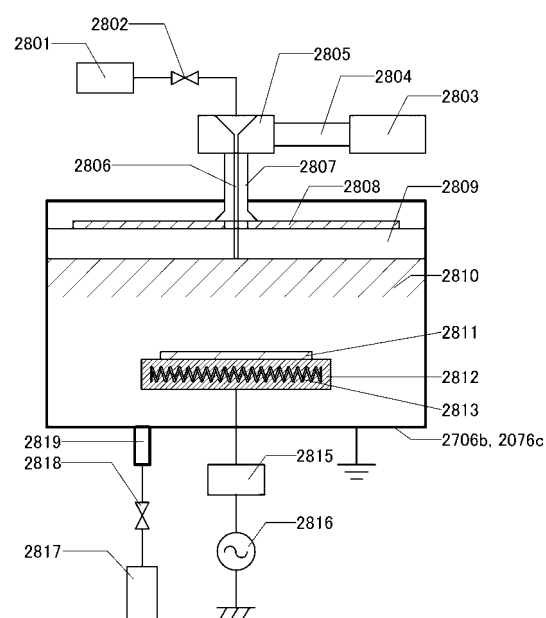
(E)



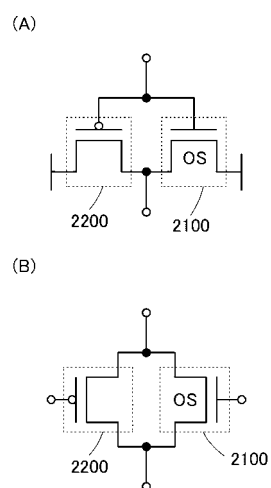
(F)



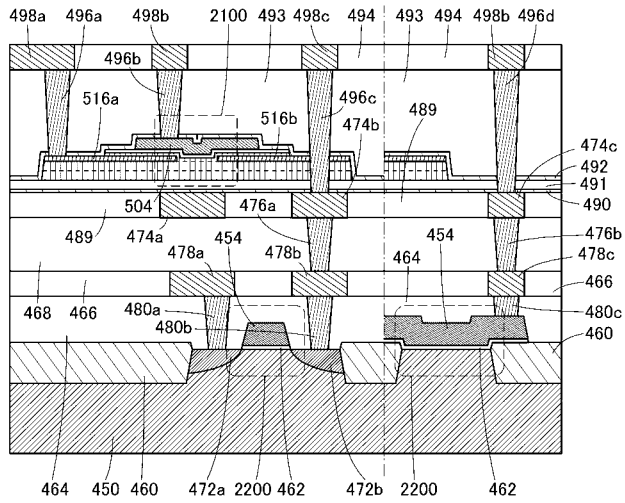
【図 2 1】



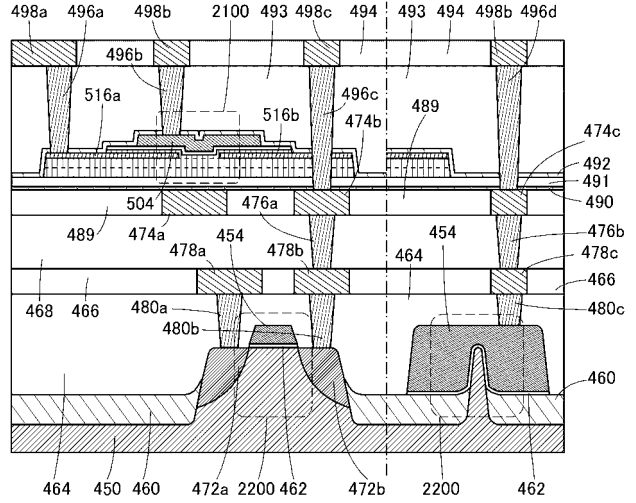
【 図 2 3 】



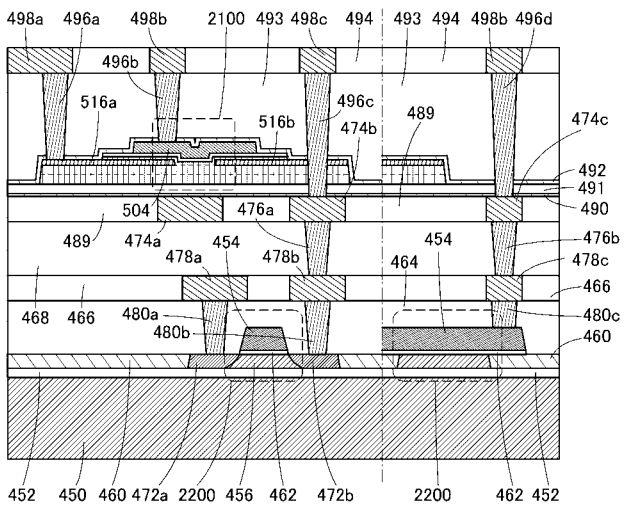
【図 24】



【図 25】

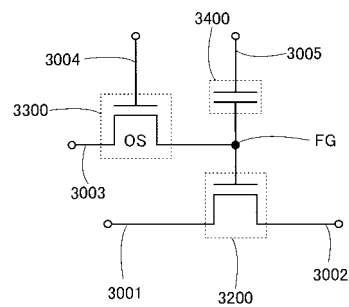


【図 26】

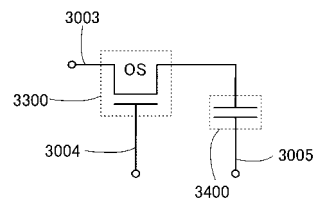


【図 27】

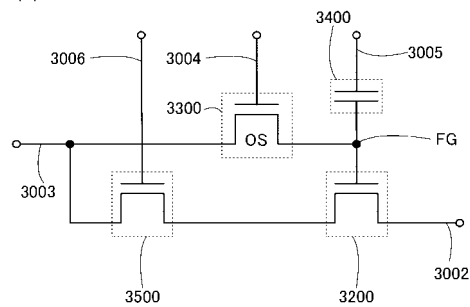
(A)



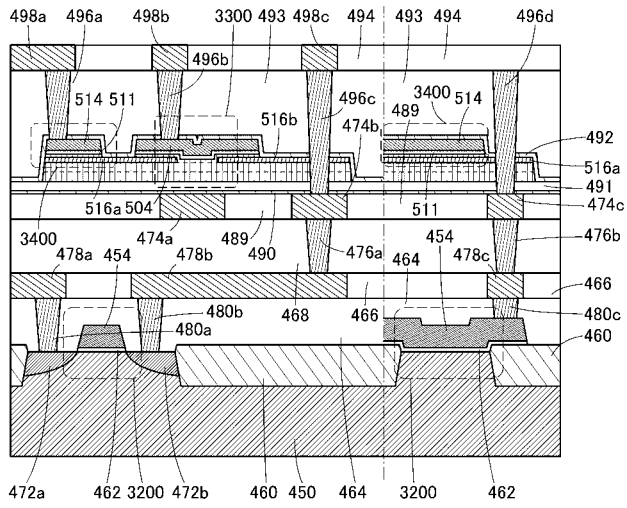
(B)



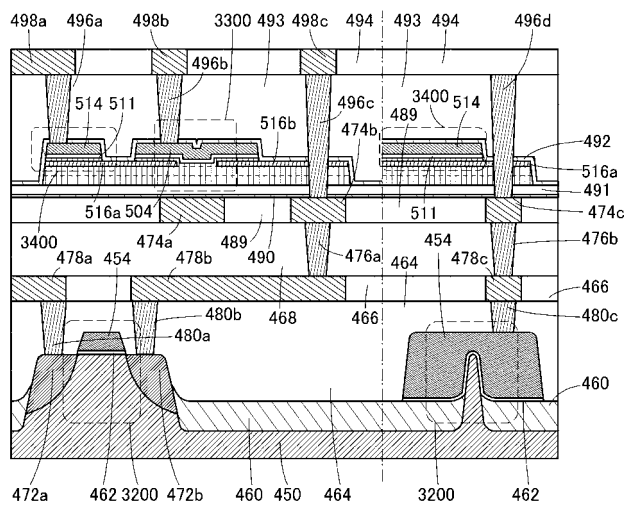
(C)



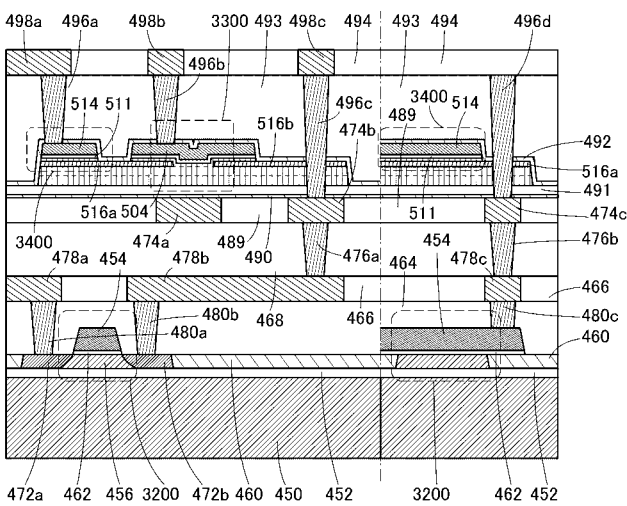
【図 28】



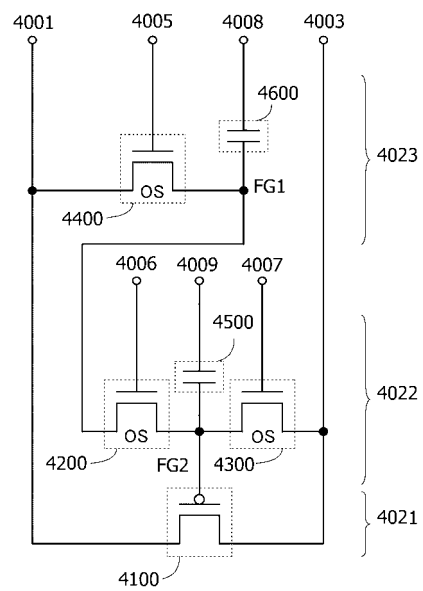
【 図 2 9 】



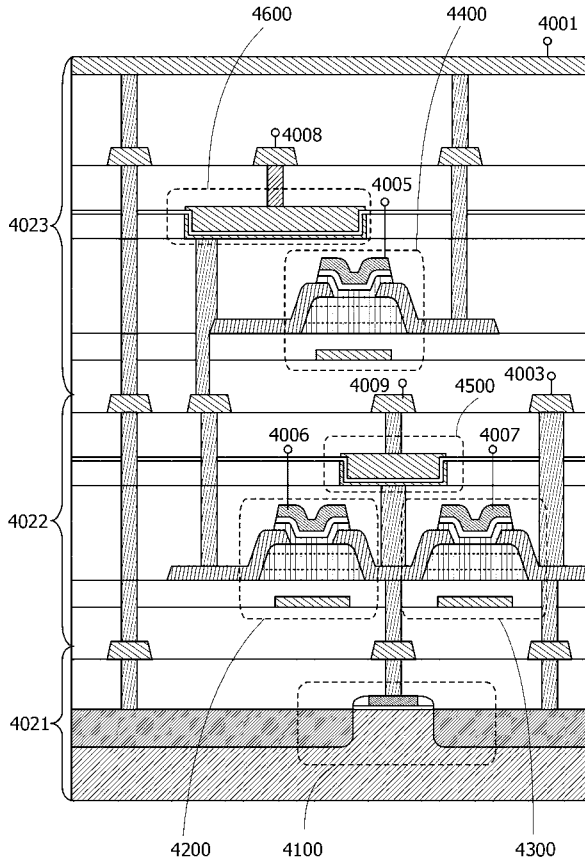
【图 30】



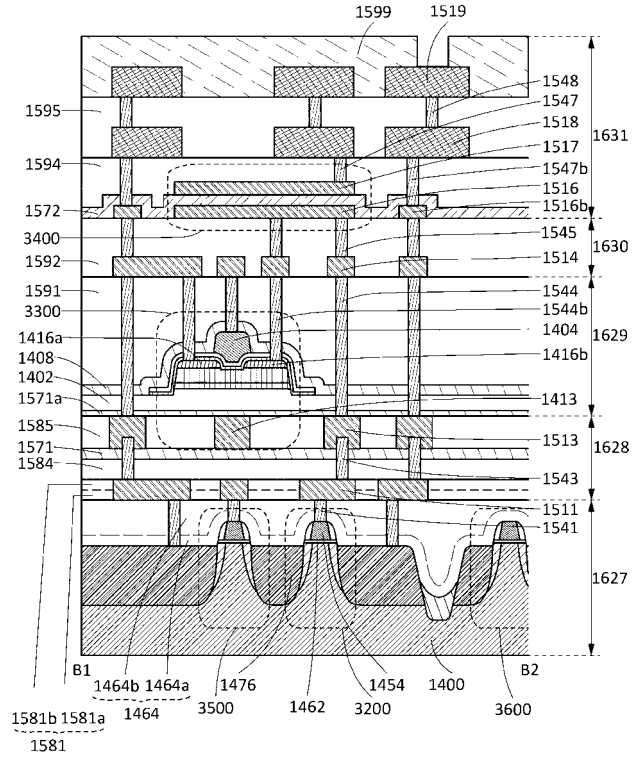
【图 3 1】



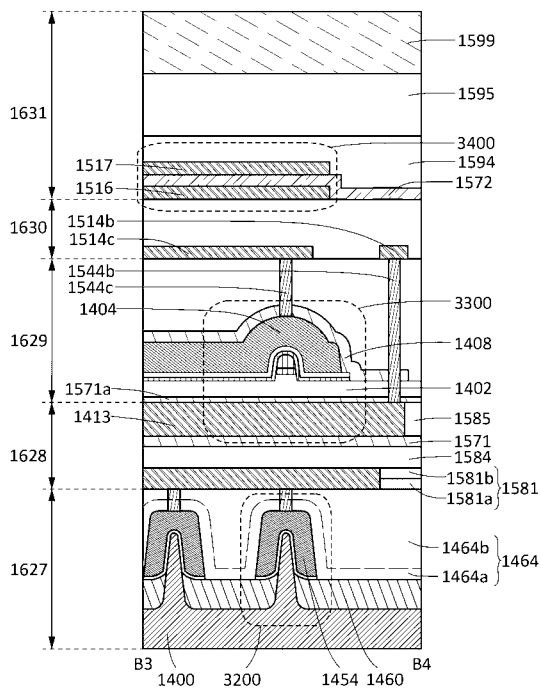
【図 3 2】



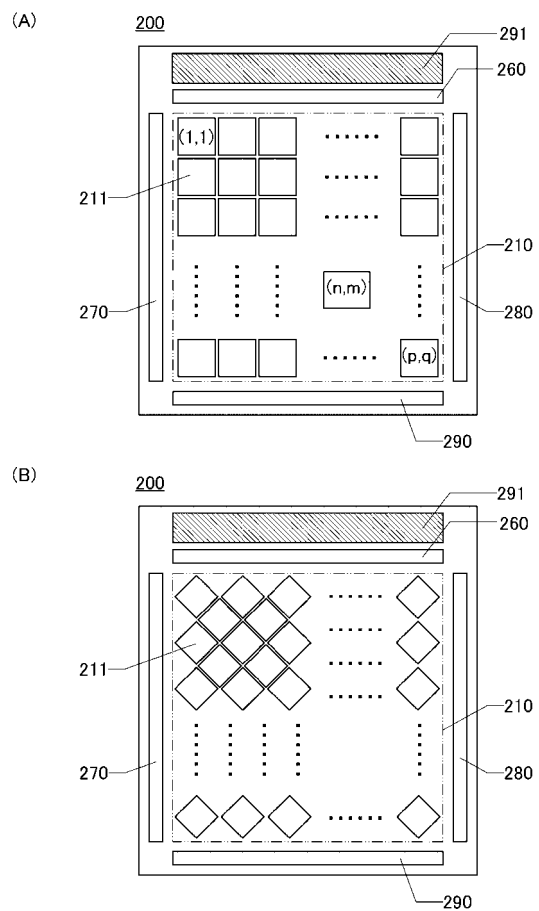
【図 3 3】



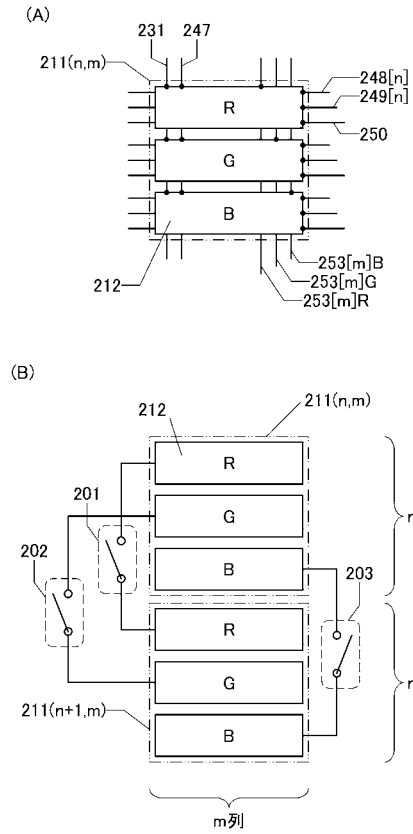
【図 3 4】



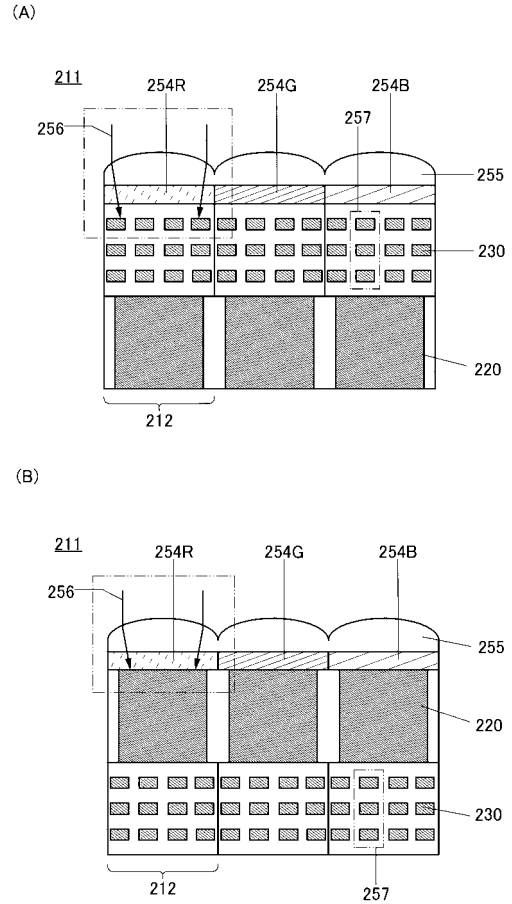
【図 3 5】



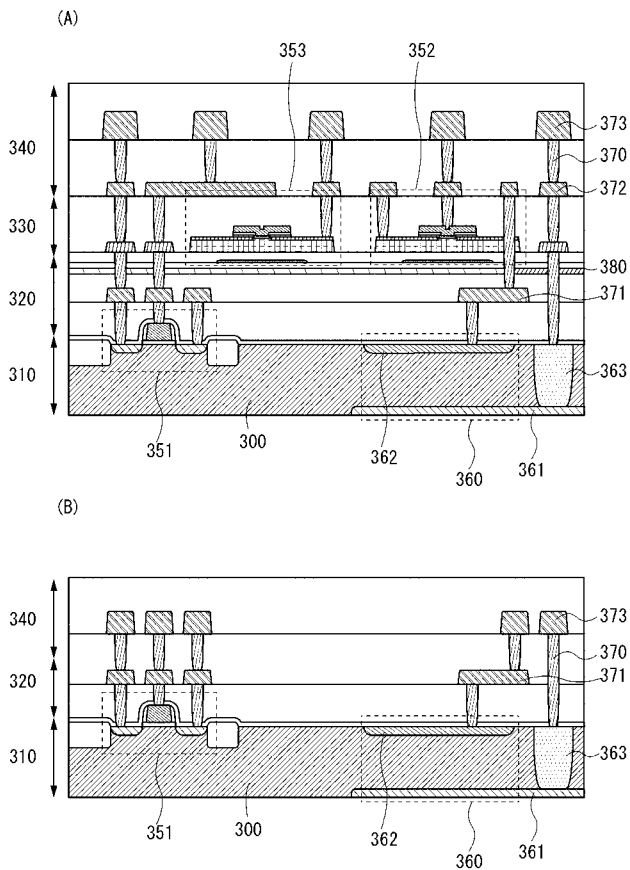
【図 3 6】



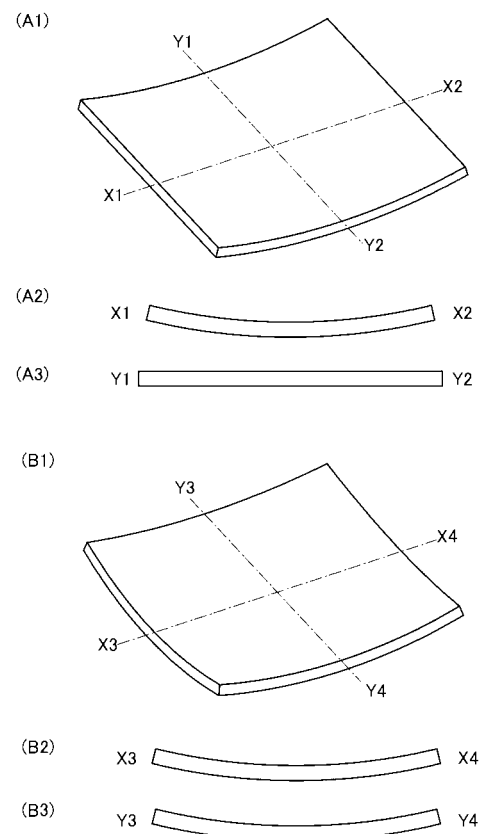
【図 3 7】



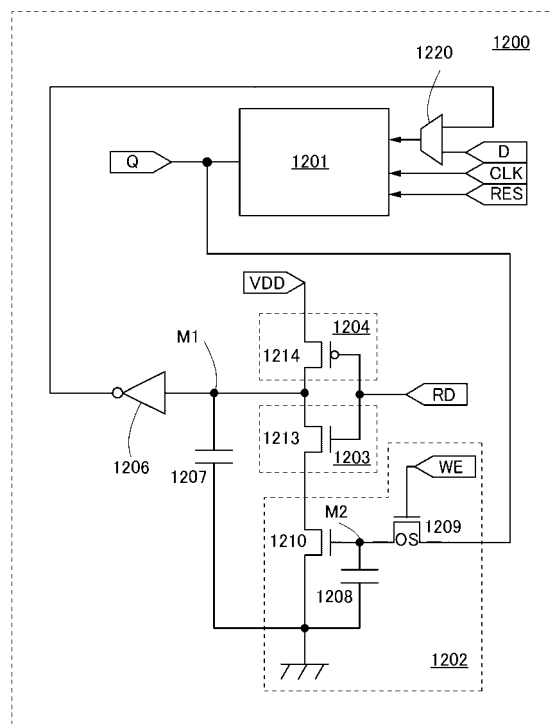
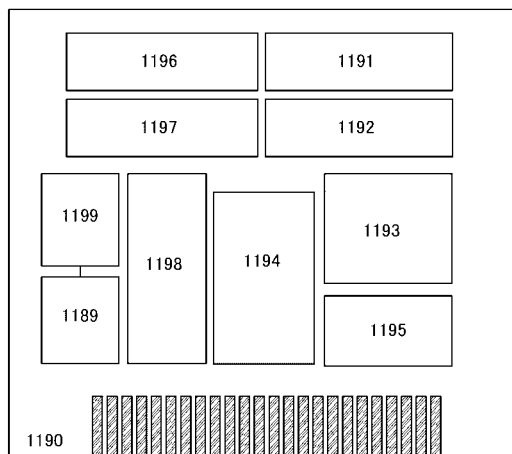
【図 3 8】



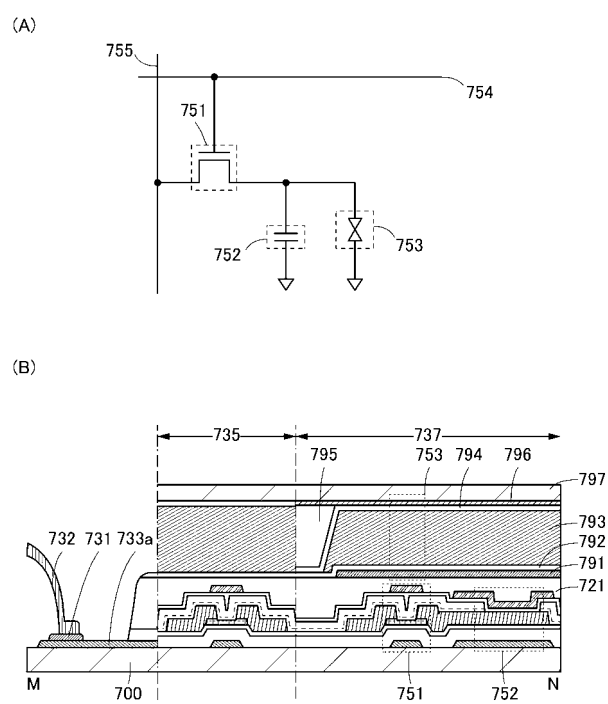
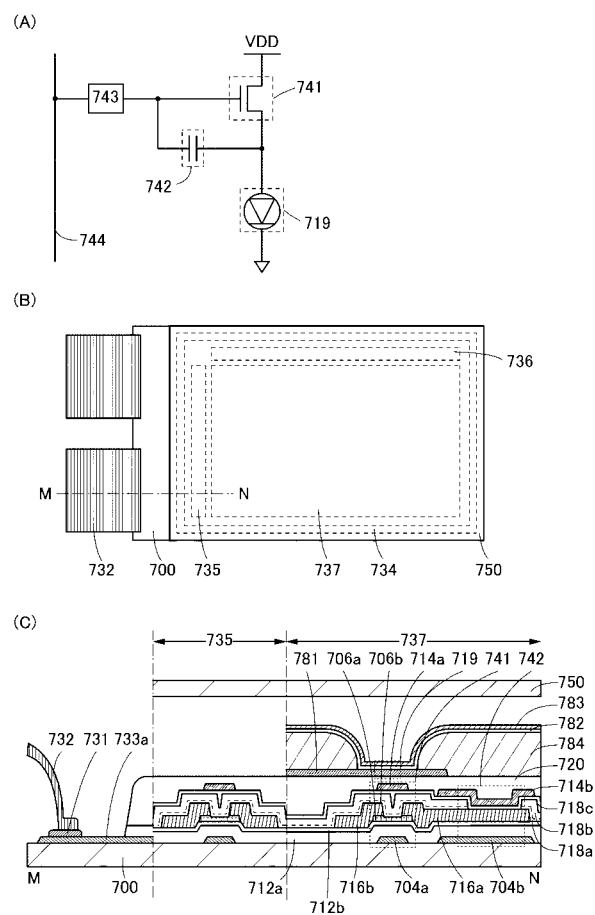
【図 3 9】



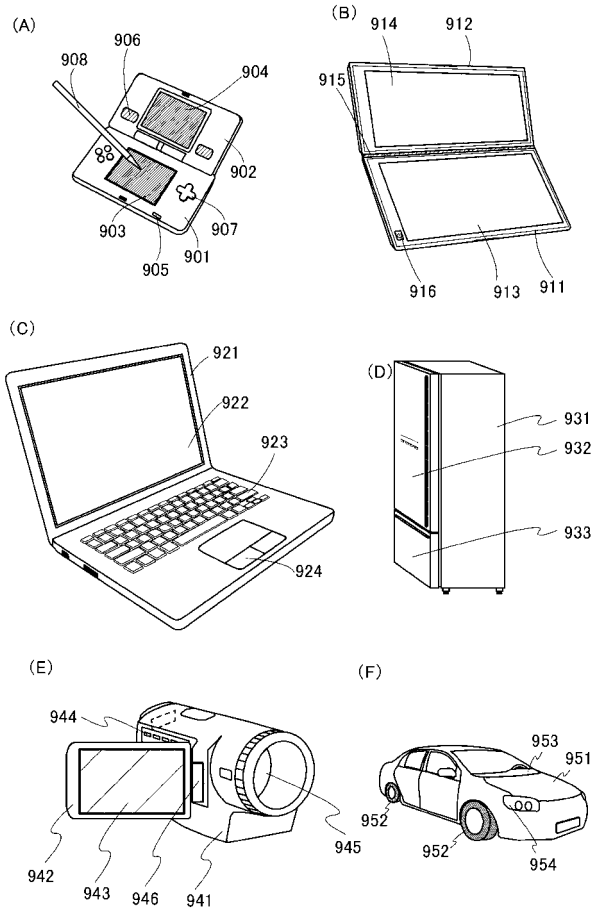
【図 4 1】



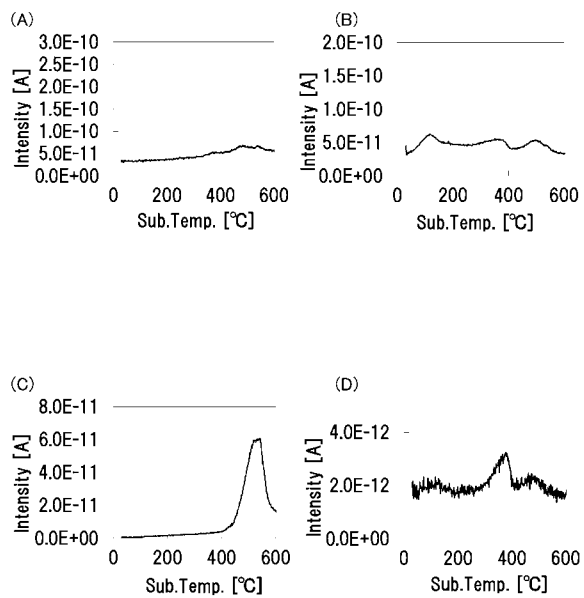
【図 4 3】



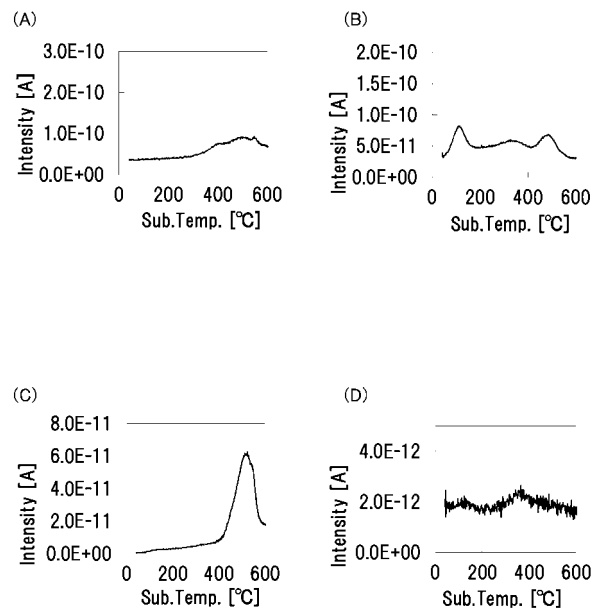
【図 4 4】



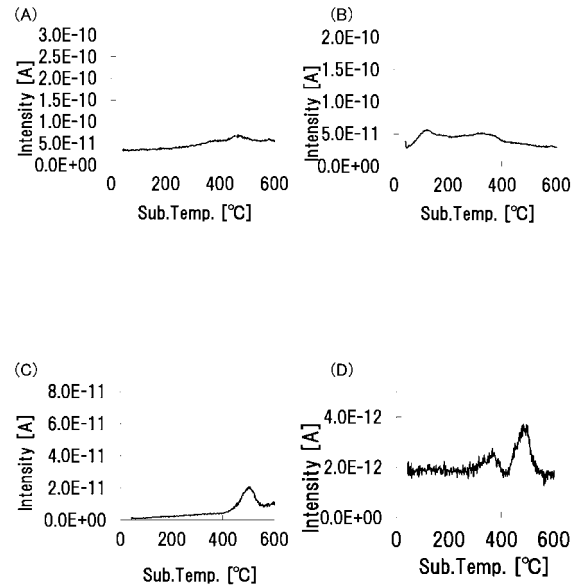
【図 4 6】



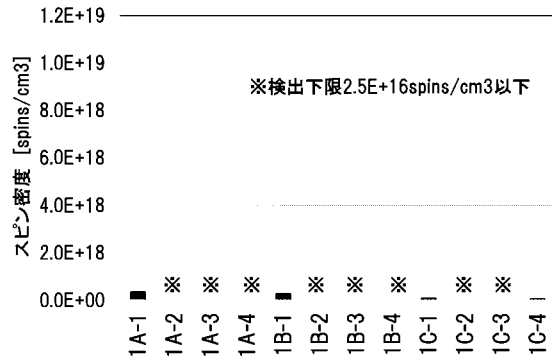
【図 4 5】



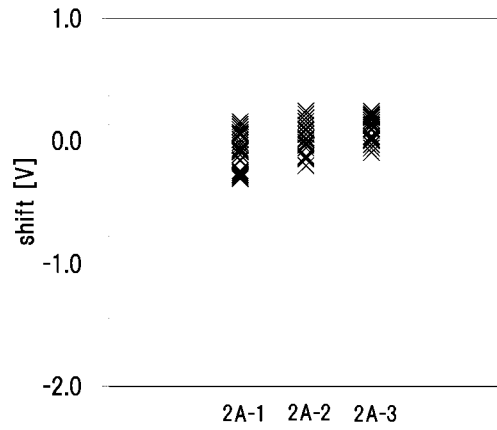
【図 4 7】



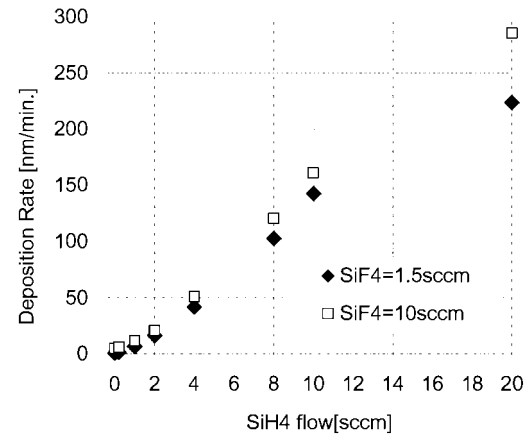
【図 4 8】



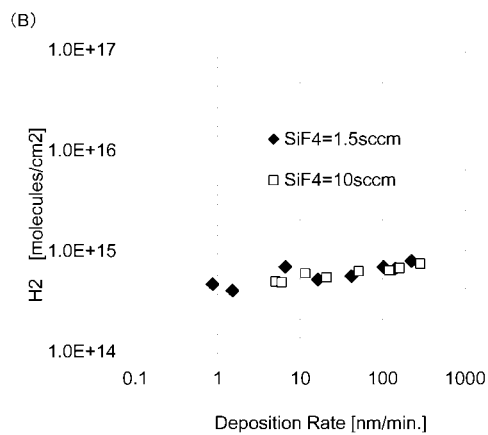
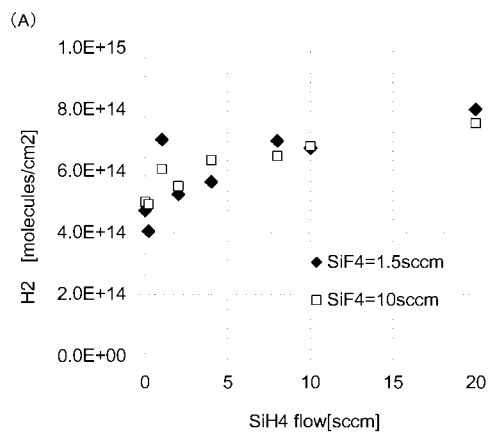
【図 5 0】



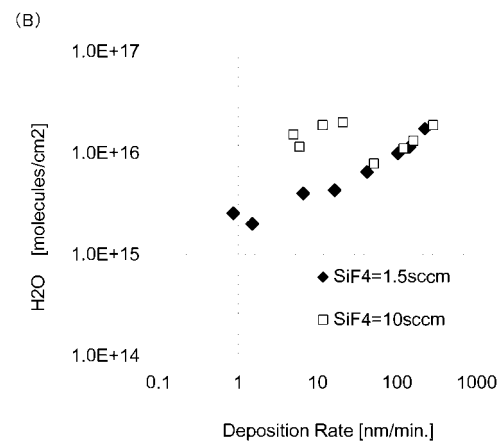
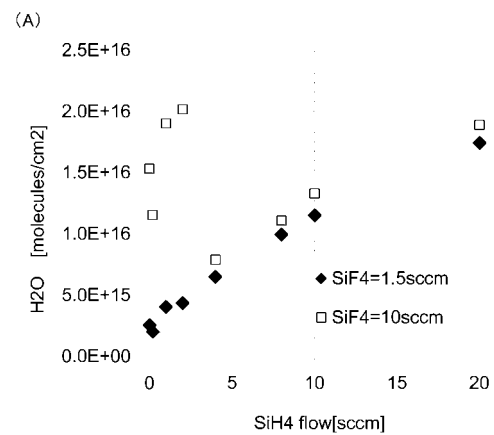
【図 5 2】



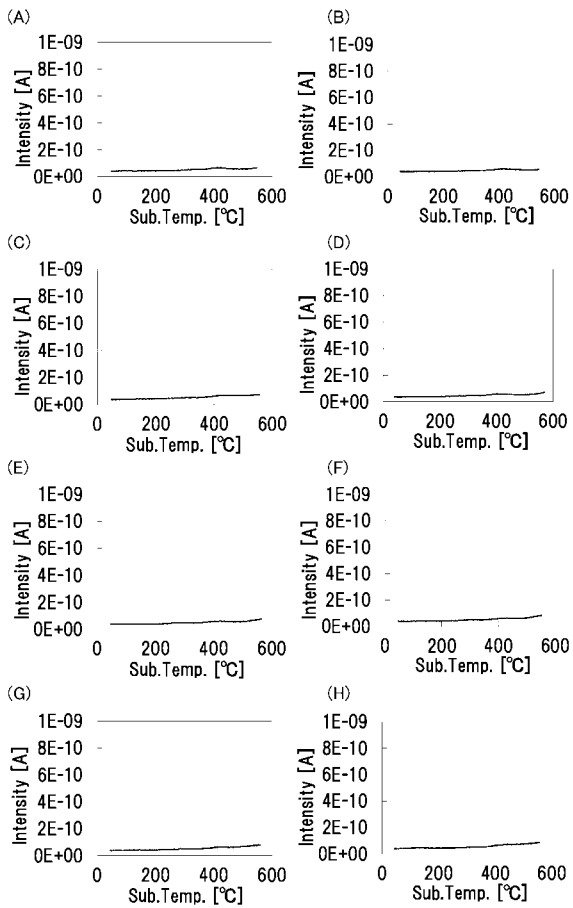
【図 5 3】



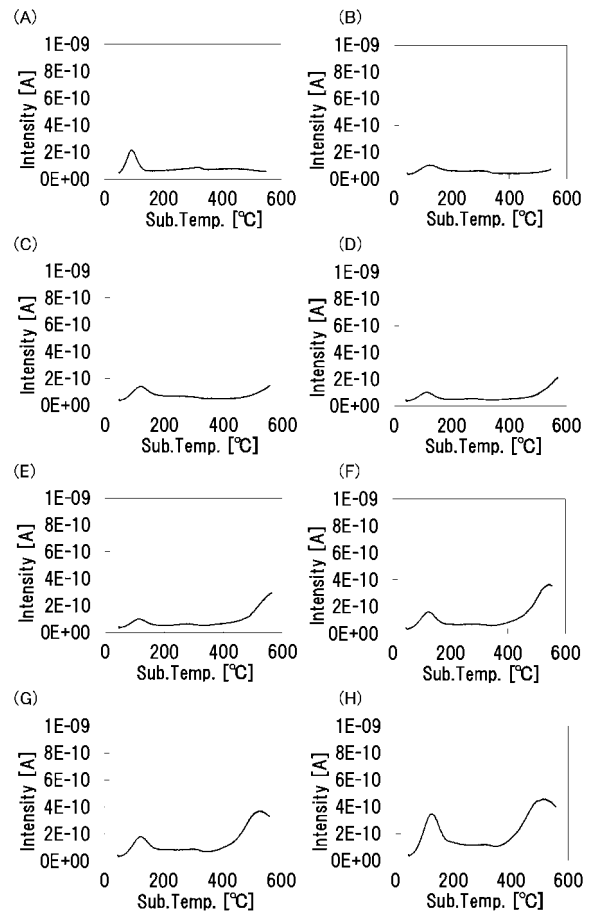
【図 5 4】



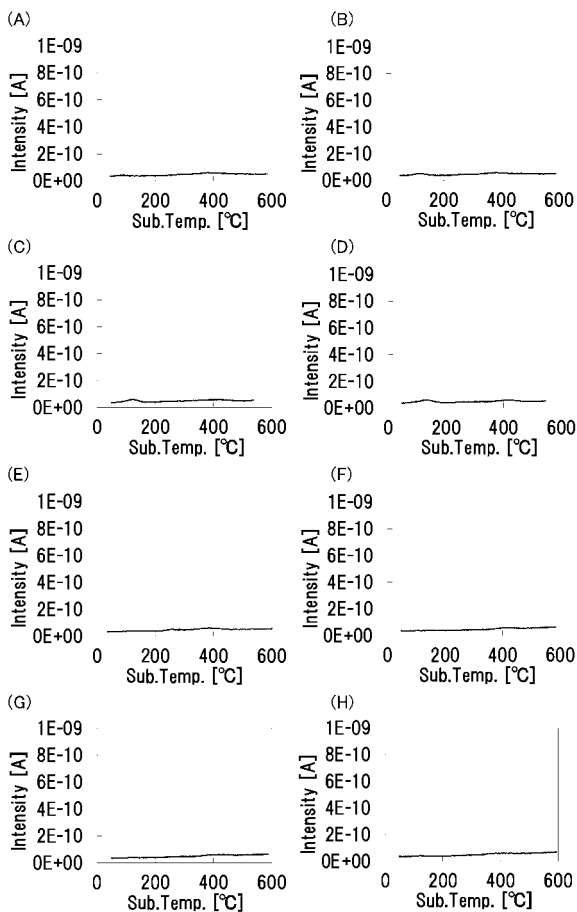
【図 5 5】



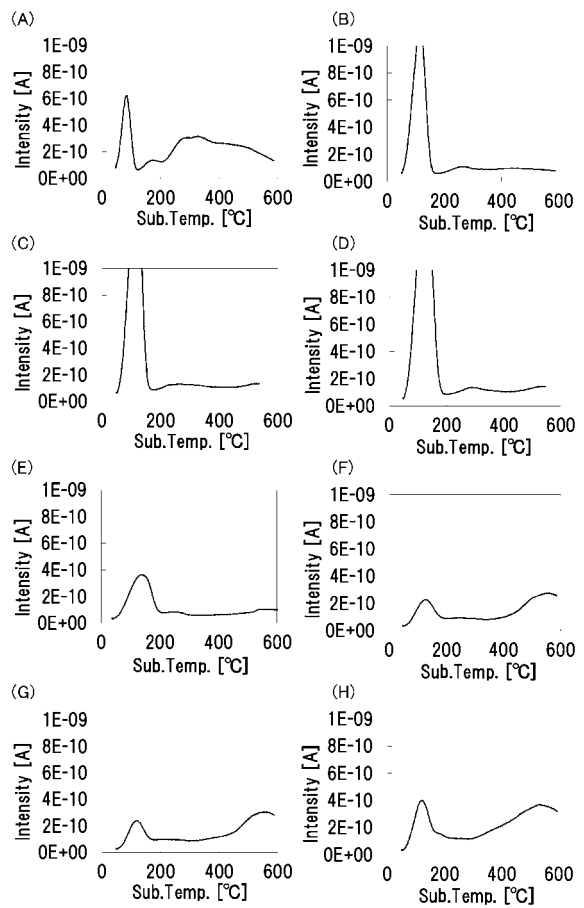
【図 5 6】



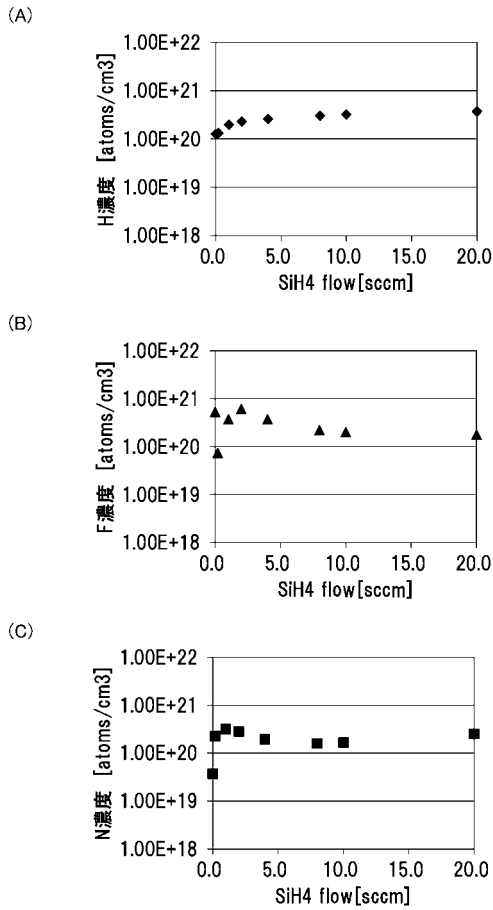
【図 5 7】



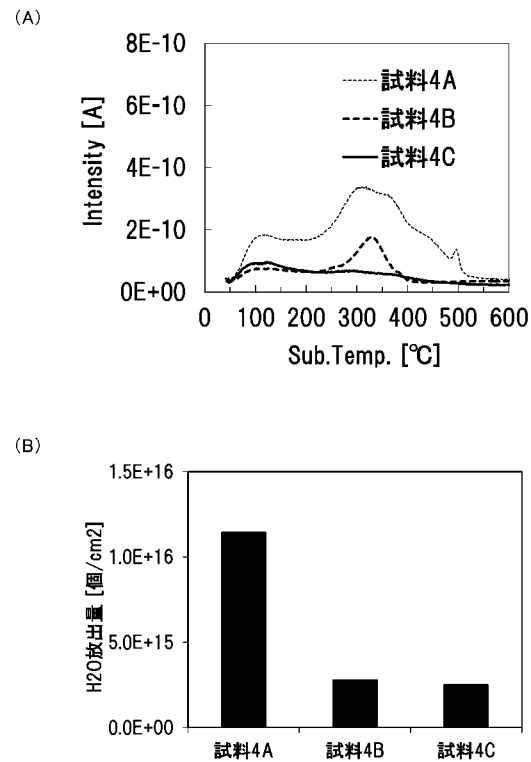
【図 5 8】



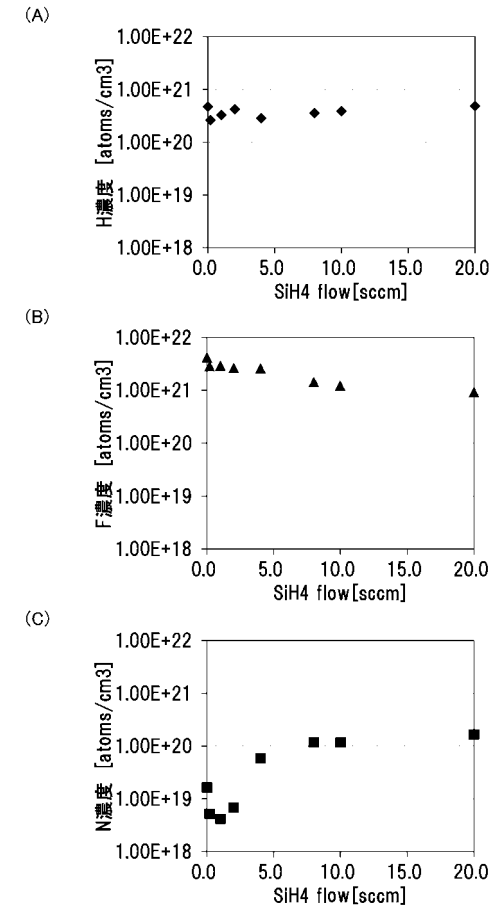
【図 59】



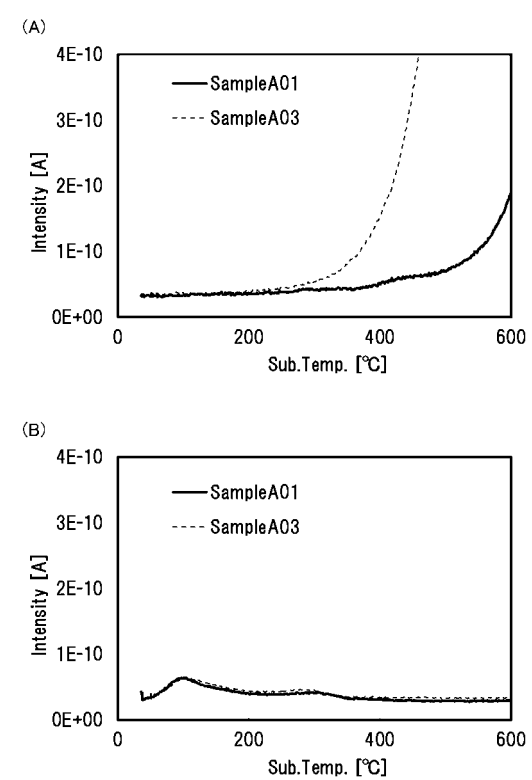
【図 63】



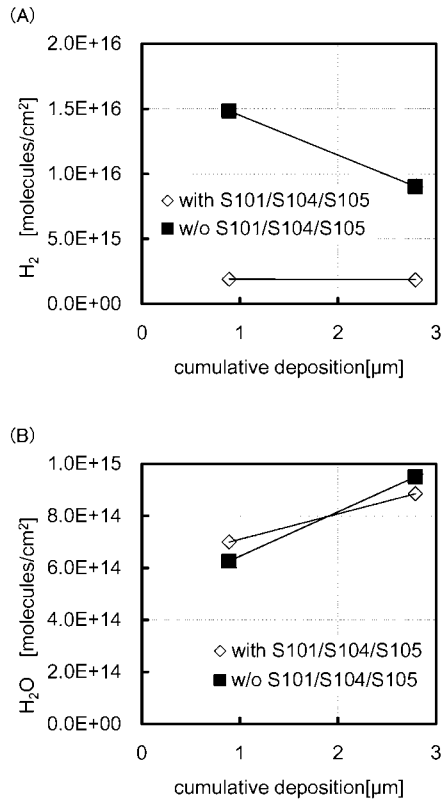
【図 60】



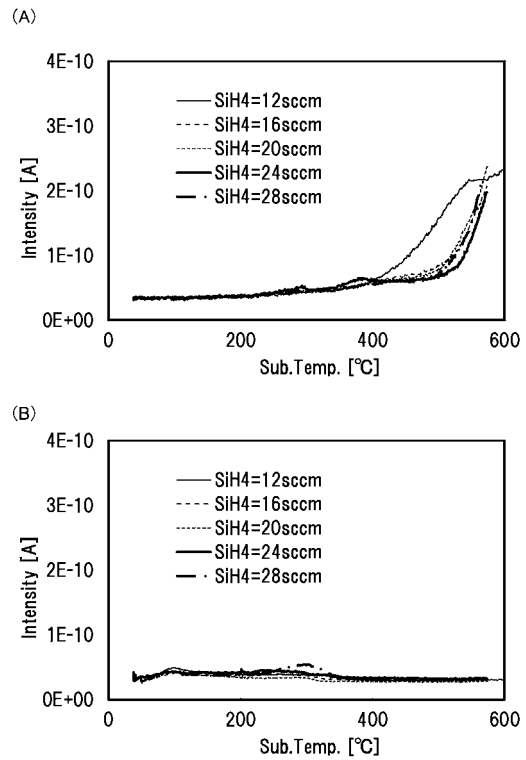
【図 64】



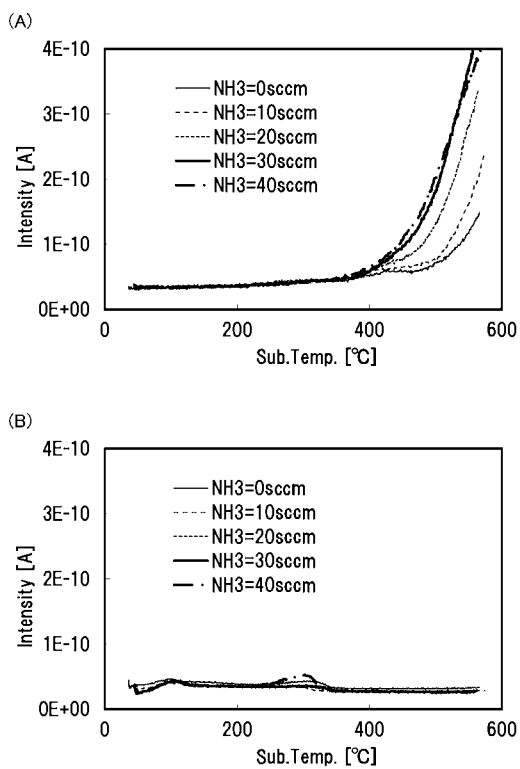
【図 6 5】



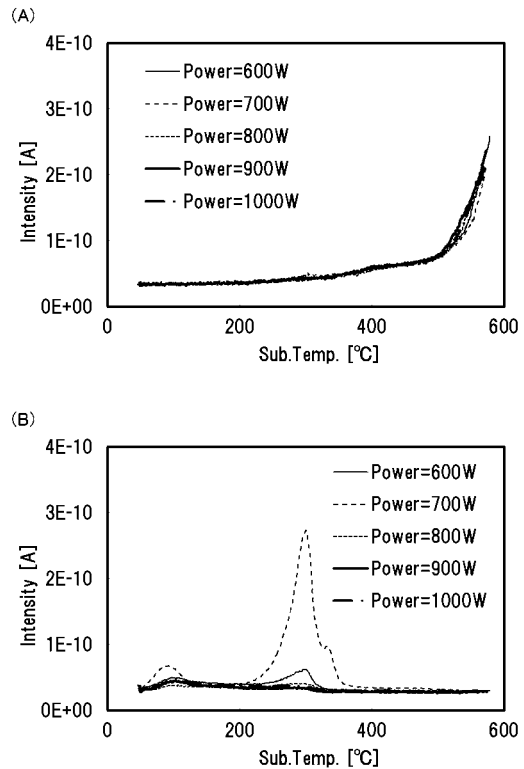
【図 6 6】



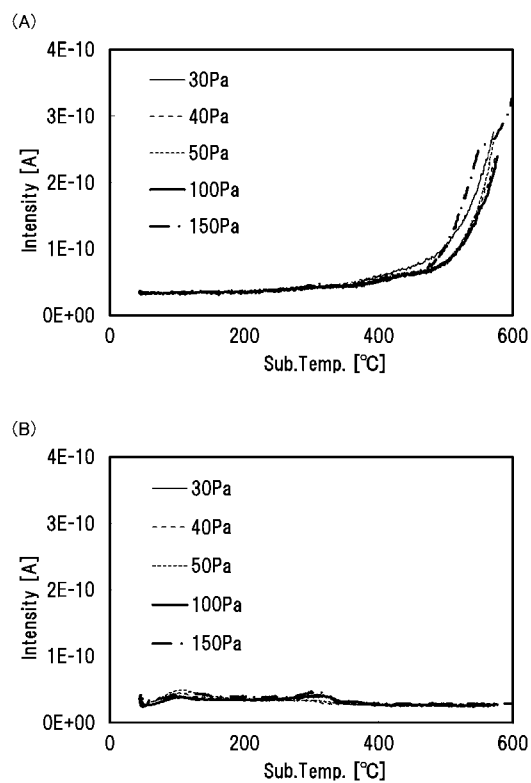
【図 6 7】



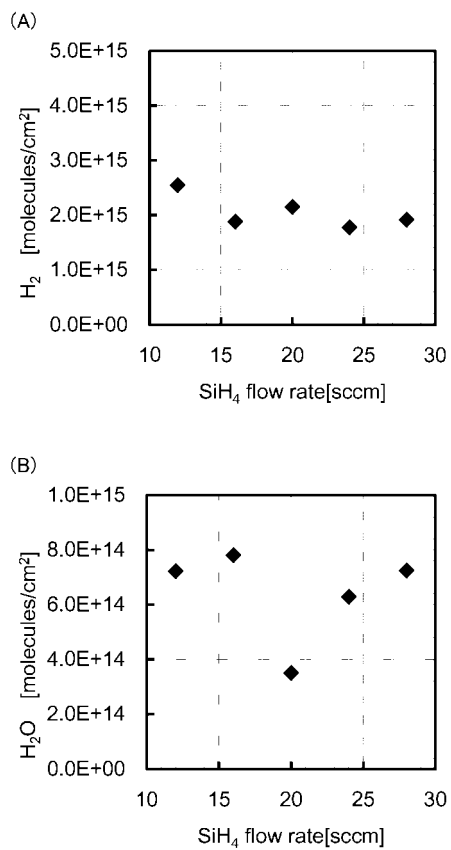
【図 6 8】



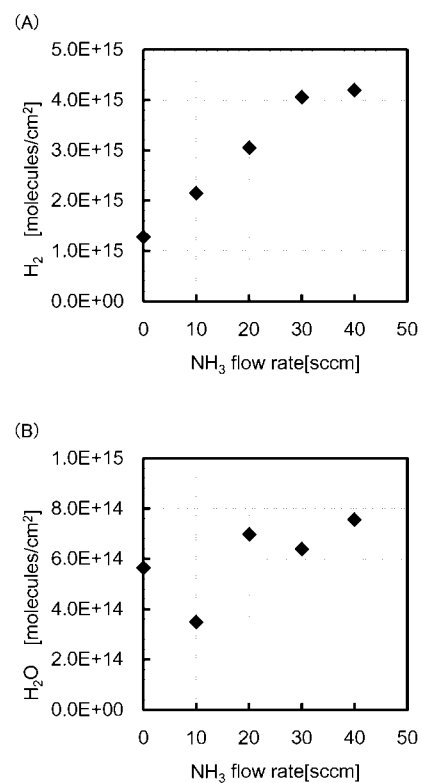
【図 69】



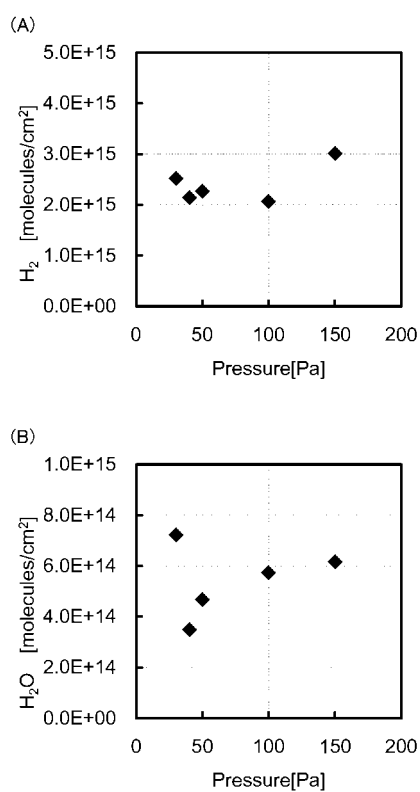
【図 70】



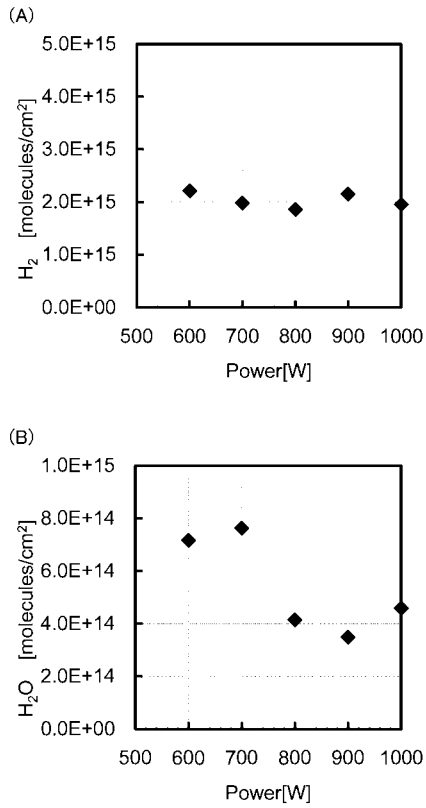
【図 71】



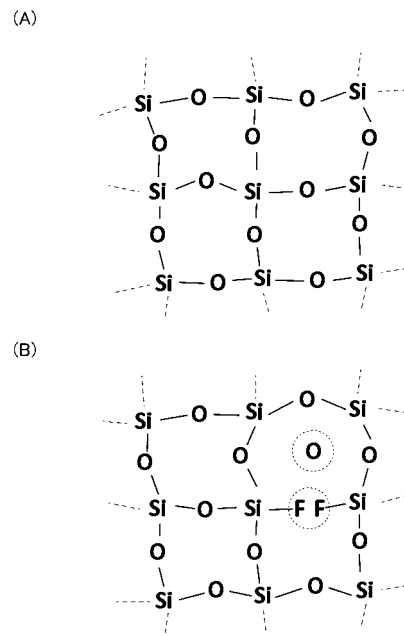
【図 72】



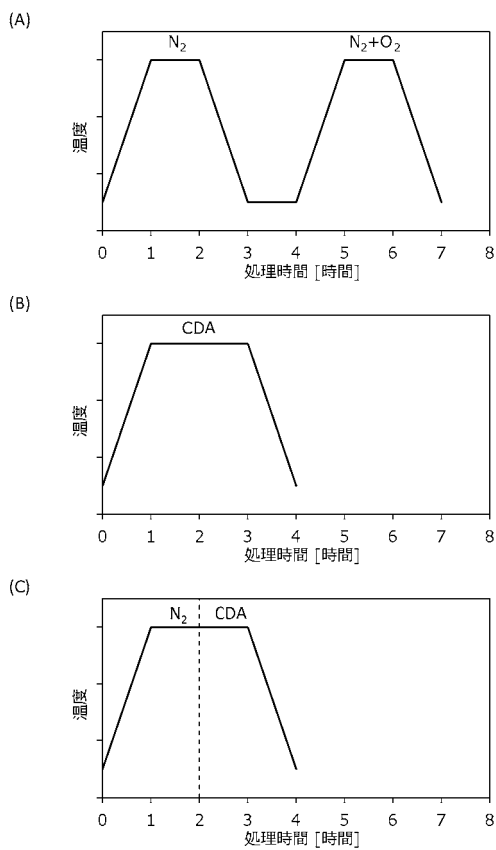
【図 7 3】



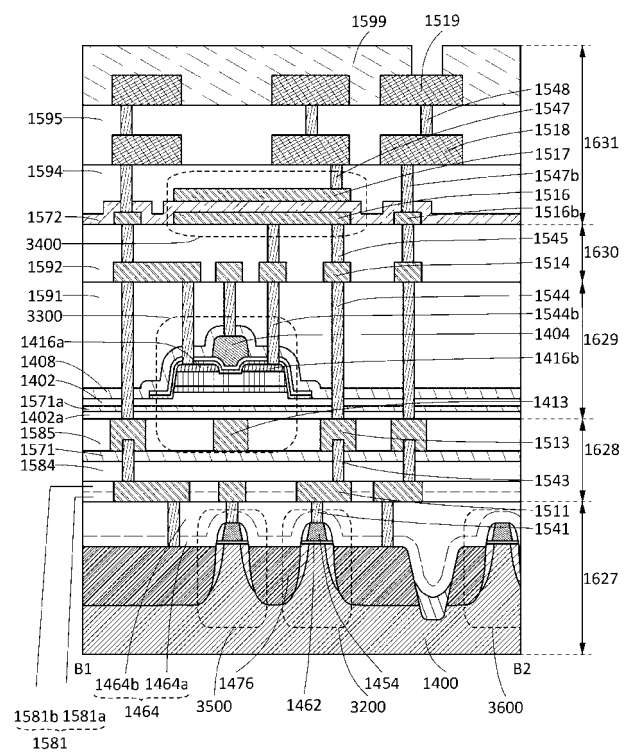
【図 7 4】



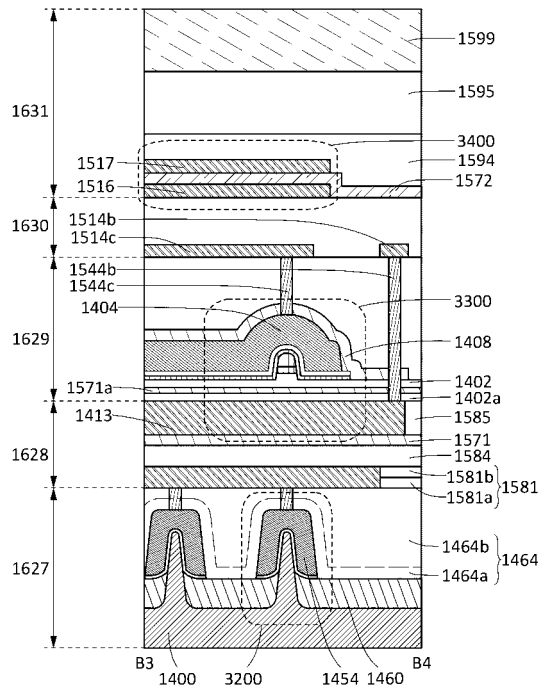
【図 7 5】



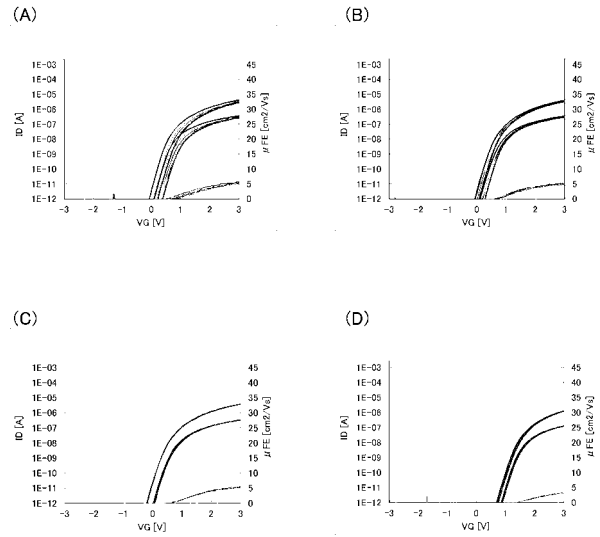
【図 7 6】



【図 77】

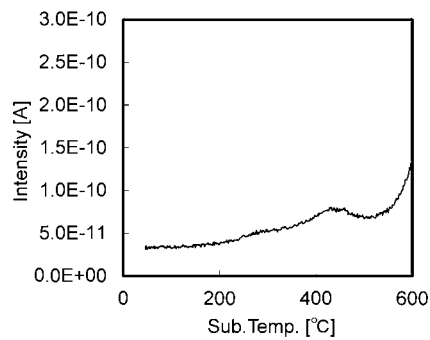


【図 78】

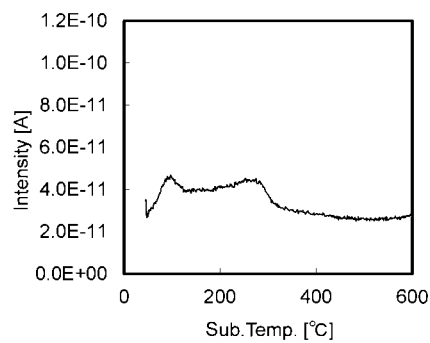


【図 79】

(A)

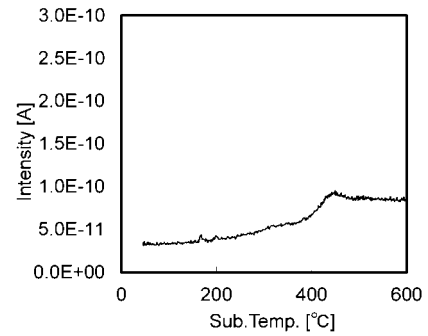


(B)

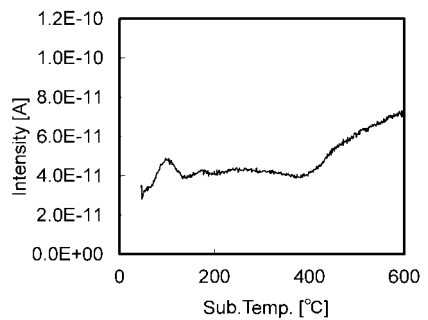


【図 80】

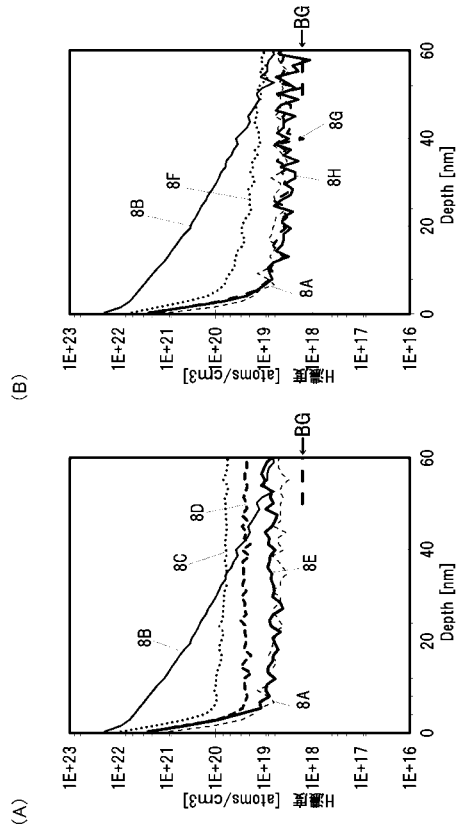
(A)



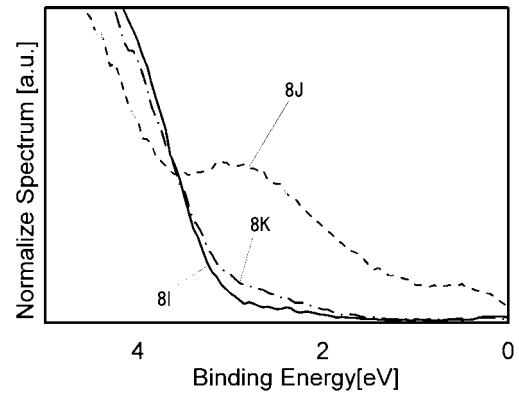
(B)



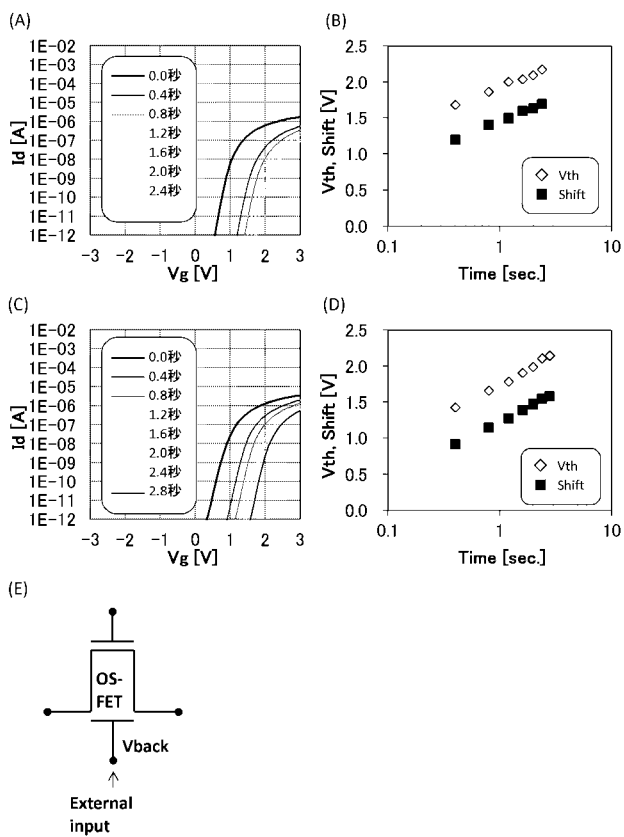
【図 8 1】



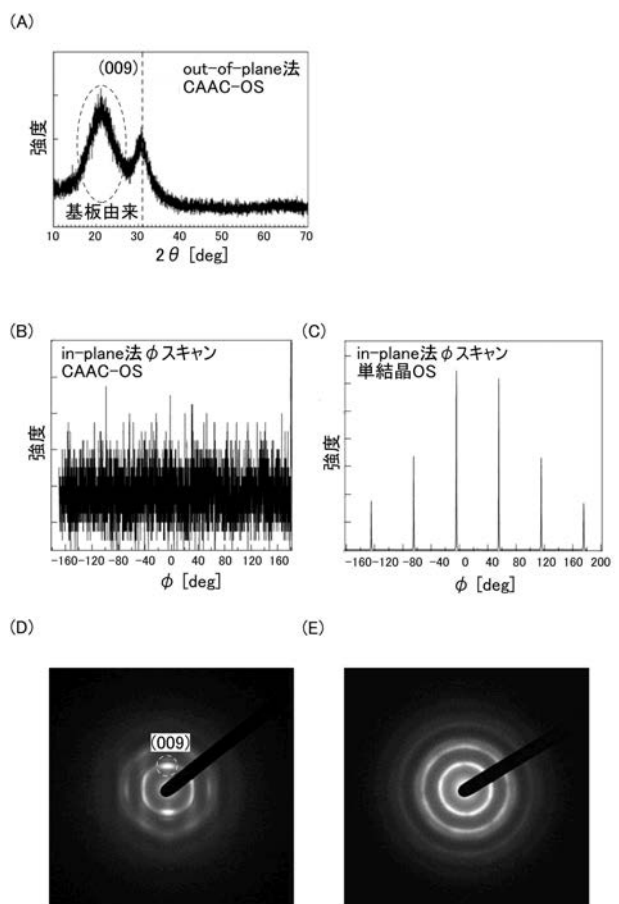
【図 8 2】



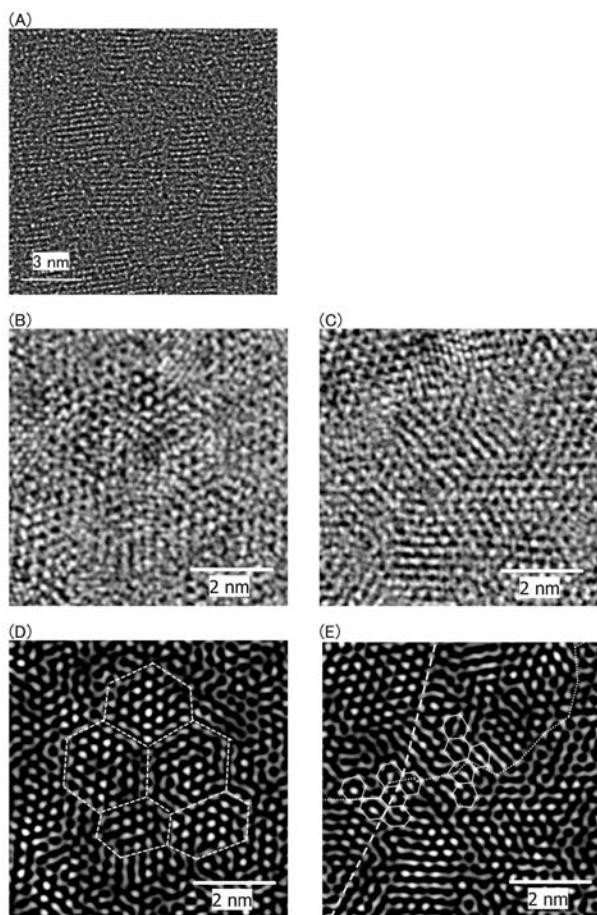
【図 8 3】



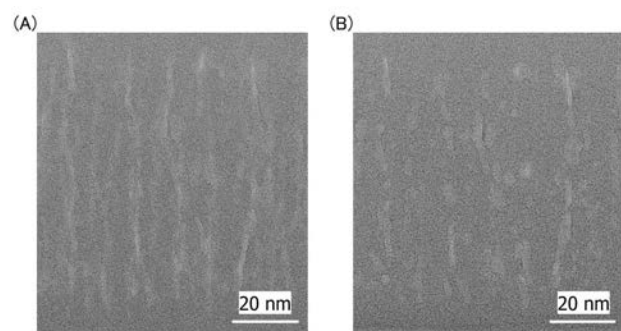
【図 2】



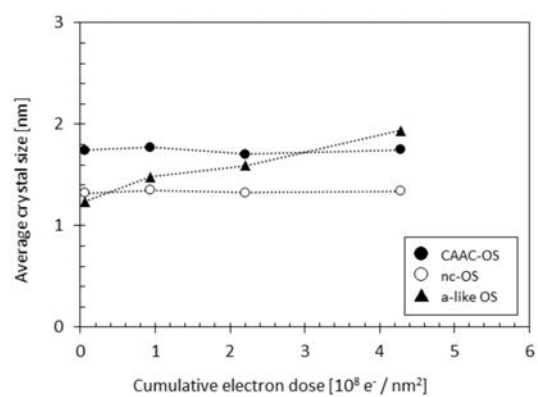
【図 3】



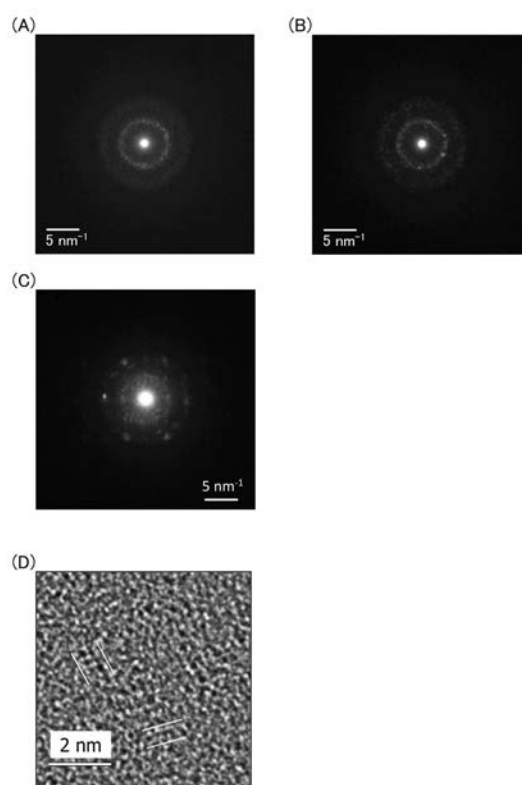
【図 5】



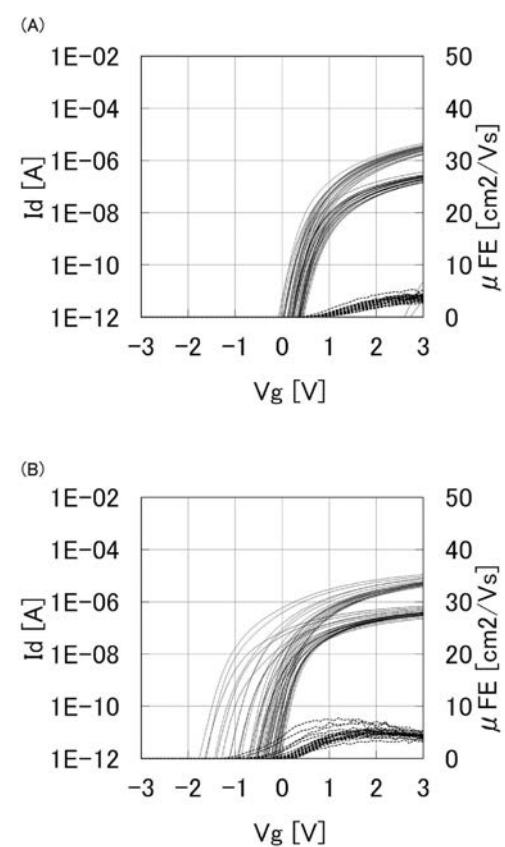
【図 6】



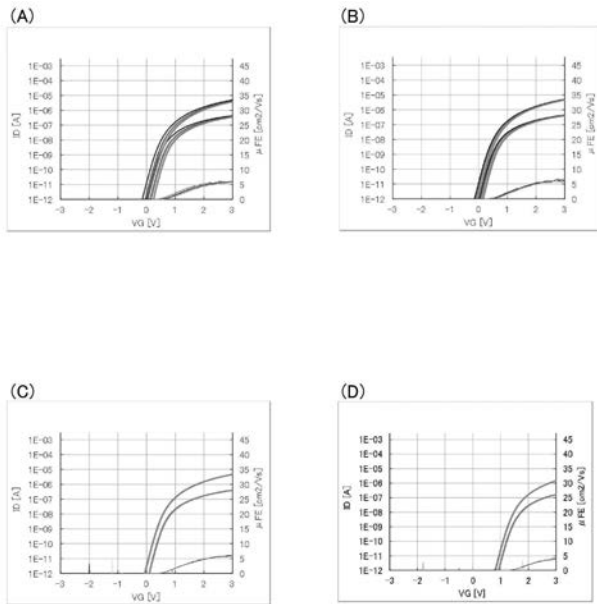
【図 4】



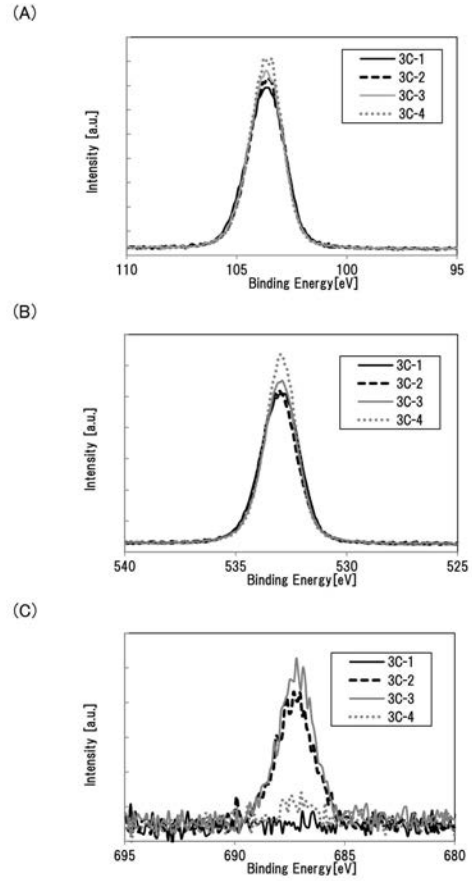
【図 4 9】



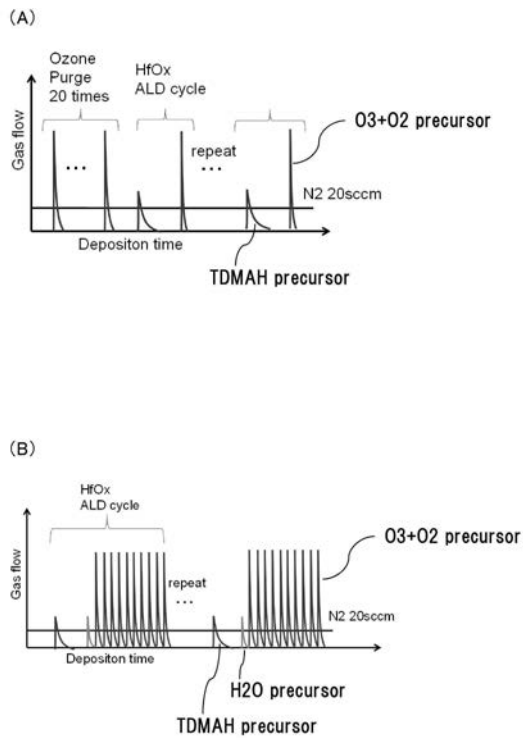
【図 5 1】



【図 6 1】



【図 6 2】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L</i> 27/092 (2006.01)	<i>H 0 1 L</i> 27/08 3 2 1 G	5 F 1 1 0
<i>H 0 1 L</i> 27/146 (2006.01)	<i>H 0 1 L</i> 27/14 A	
<i>H 0 1 L</i> 21/8242 (2006.01)	<i>H 0 1 L</i> 27/10 3 2 1	
<i>H 0 1 L</i> 27/108 (2006.01)	<i>H 0 1 L</i> 27/10 6 7 1 C	
<i>H 0 1 L</i> 27/28 (2006.01)	<i>H 0 1 L</i> 27/10 6 2 1 Z	
<i>H 0 1 L</i> 51/05 (2006.01)	<i>H 0 1 L</i> 27/10 6 7 1 Z	
<i>H 0 1 L</i> 21/316 (2006.01)	<i>H 0 1 L</i> 27/10 4 4 9	
<i>H 0 1 L</i> 51/50 (2006.01)	<i>H 0 1 L</i> 21/316 X	
<i>H 0 5 B</i> 33/14 (2006.01)	<i>H 0 1 L</i> 21/316 Y	
	<i>H 0 5 B</i> 33/14 A	
	<i>H 0 5 B</i> 33/14 Z	

- (72)発明者 恵木 勇司
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 手塚 祐朗
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム (参考) 3K107 AA01 AA05 BB01 BB02 CC11 CC21 EE04
 4M118 AB01 BA14 CA03 FA06 FA07 FA33 FB13 GA02 GA04 GC07
 GC08 GC14 GD04 GD07
 5F048 AB01 AB03 AB04 AC01 AC04 AC10 BA01 BA14 BA16 BA19
 BA20 BB02 BB03 BB09 BB11 BB14 BB16 BC18 BD10 BF07
 BF11 BF15 BF16 BG06 BG11 CB01 CB03 CB04 CB08
 5F058 BC02 BC03 BC04 BD02 BD04 BD05 BD06 BF07 BF14 BF23
 BF24 BF37 BH01 BJ01 BJ03
 5F083 AD02 AD06 AD21 AD69 FZ07 GA01 GA06 GA11 GA21 GA25
 HA02 HA06 JA02 JA03 JA04 JA05 JA06 JA19 JA35 JA36
 JA37 JA38 JA39 JA40 JA42 JA43 JA53 JA56 JA60 LA21
 MA06 MA16 MA19 NA01 PR07 PR21 PR22 PR25 PR33 PR34
 PR40
 5F110 AA02 AA07 BB01 BB03 BB06 BB11 CC01 CC02 CC07 CC10
 DD01 DD02 DD03 DD04 DD05 DD08 DD12 DD14 DD15 EE01
 EE02 EE03 EE04 EE06 EE07 EE14 EE30 EE43 EE44 EE45
 FF01 FF02 FF03 FF04 FF05 FF07 FF10 FF27 FF28 FF29
 FF30 FF35 FF36 GG01 GG06 GG13 GG14 GG15 GG16 GG17
 GG19 GG24 GG28 GG29 GG33 GG34 GG35 GG42 GG43 GG44
 GG58 HJ02 HJ04 HJ30 HK01 HK02 HK03 HK04 HK06 HK07
 HK09 HK21 HK32 HK33 HK34 HK42 HL01 HL02 HL03 HL04
 HL06 HL07 HL11 HL22 HL23 HL24 NN03 NN04 NN05 NN22
 NN23 NN24 NN33 NN34 NN35 NN39 NN40 NN72 NN73 QQ09
 QQ11 QQ19