



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0141735
(43) 공개일자 2016년12월09일

- (51) 국제특허분류(Int. Cl.)
G06F 12/0862 (2016.01) G06F 12/0864 (2016.01)
G06F 12/0875 (2016.01) G06F 12/128 (2016.01)
- (52) CPC특허분류
G06F 12/0862 (2013.01)
G06F 12/0864 (2013.01)
- (21) 출원번호 10-2016-7027328
- (22) 출원일자(국제) 2015년04월02일
심사청구일자 없음
- (85) 번역문제출일자 2016년09월30일
- (86) 국제출원번호 PCT/US2015/024030
- (87) 국제공개번호 WO 2015/153855
국제공개일자 2015년10월08일
- (30) 우선권주장
14/245,356 2014년04월04일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 별명자
케인, 3세, 하롤드, 웨이드
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
팔프라만, 테이비드, 존
미국 53705 위스콘신 매디슨 아파트먼트 4 브러프스트리트 3102
- (74) 대리인
특허법인 남앤드남

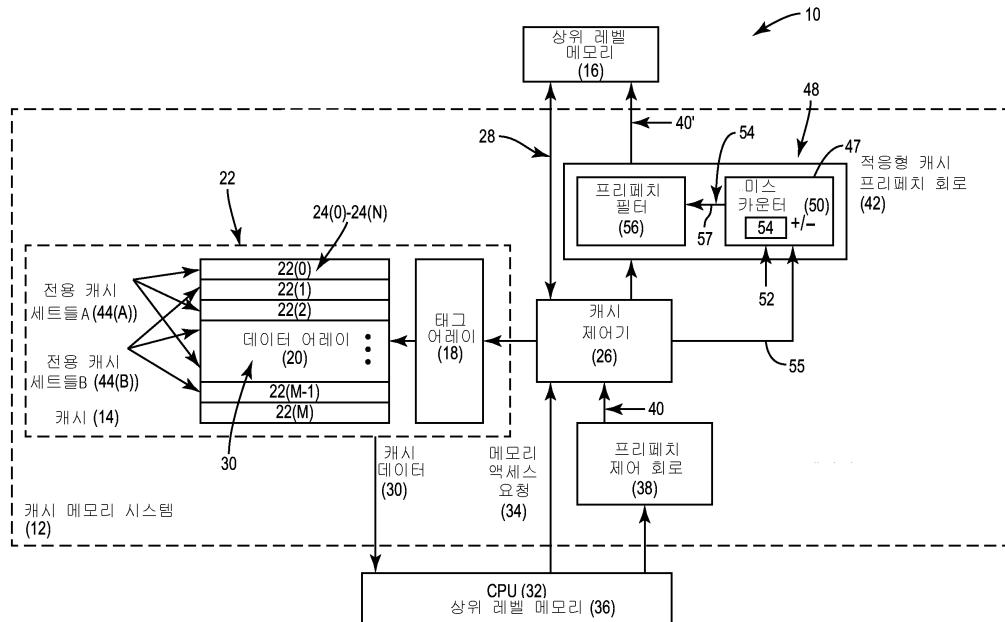
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 캐시 오염을 감소시키기 위해서 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초한 적응형 캐시 프리페칭

(57) 요 약

캐시 오염을 감소시키기 위한 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭이 개시된다. 하나의 양상에서, 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로가 제공된다. 적응형 캐시 프리페치 회로는 상기 캐시 내의 전용 캐시 세트들에 적용되는 경합 전용 프리페치 정책(뒷면에 계속)

대 표 도 - 도1



들에 기초하여, 대체 정책으로서 어떤 프리페치 정책을 사용할 것인지를 결정하도록 구성된다. 각각의 전용 캐시 세트는 주어진 전용 캐시 세트에 대한 대체 정책으로서 사용되는 연관된 전용 프리페치 정책을 가진다. 전용 캐시 세트들 각각으로의 액세스들에 대한 캐시 미스들은 상기 적응형 캐시 프리페치 회로에 의해 트래킹된다. 적응형 캐시 프리페치 회로는 캐시 오염을 감소시키기 위해서 그것의 각각의 전용 캐시 세트들에 더 적은 캐시 미스들을 발생시켰던 상기 전용 프리페치 정책을 사용하여 상기 캐시 내의 다른 팔로워(즉, 비-전용) 캐시 세트들에 프리페치 정책을 적용시키도록 구성될 수 있다.

(52) CPC특허분류

G06F 12/0875 (2013.01)

G06F 12/128 (2013.01)

G06F 2212/283 (2013.01)

G06F 2212/602 (2013.01)

G06F 2212/6024 (2013.01)

G06F 2212/6046 (2013.01)

Y02B 60/1225 (2013.01)

명세서

청구범위

청구항 1

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로로서,

적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 적어도 하나의 미스 상태를 업데이트하도록 구성되는 미스 트래킹 회로; 및

상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하도록 구성되는 프리페치 필터를 포함하는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 2

제 1 항에 있어서,

상기 프리페치 필터는 상기 캐시로 하여금 채워지게 하도록 프리페치 제어 회로에 의해 발행되는 프리페치 요청에 적용될 상기 프리페치 정책을 선택하도록 추가로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 3

제 1 항에 있어서,

상기 적어도 하나의 제 1 전용 프리페치 정책은 제 1 전용 프리페치 정책으로 구성되고,

상기 적어도 하나의 제 2 전용 프리페치 정책은 제 2 전용 프리페치 정책으로 구성되고,

상기 프리페치 필터는 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책 및 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 4

제 3 항에 있어서,

상기 제 1 전용 프리페치 정책은 네버(never) 프리페치 정책으로 구성되고,

상기 제 2 전용 프리페치 정책은 올웨이즈(always) 프리페치 정책으로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 5

제 1 항에 있어서,

상기 미스 트래킹 회로는 적어도 하나의 미스 카운터로 구성되고,

상기 적어도 하나의 미스 상태는 적어도 하나의 미스 카운트로 구성되고,

상기 적어도 하나의 미스 카운터는 상기 적어도 하나의 제 1 전용 캐시 세트 및 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 적어도 하나의

미스 카운트를 업데이트하도록 구성되고,

상기 프리페치 필터는 상기 적어도 하나의 미스 카운터의 상기 적어도 하나의 미스 카운트에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책 및 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 6

제 1 항에 있어서,

상기 미스 트래킹 회로는 미스 포화 표시자(miss saturation indicator)로 구성되고,

상기 적어도 하나의 미스 상태는 미스 상태로 구성되고,

상기 미스 포화 표시자는 상기 적어도 하나의 제 1 전용 캐시 세트 및 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 미스 상태를 업데이트하도록 구성되고,

상기 프리페치 필터는 상기 미스 포화 표시자의 상기 미스 상태에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책 및 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 7

제 6 항에 있어서,

상기 미스 포화 표시자는 미스 포화 카운터로 구성되고,

상기 미스 상태는 미스 포화 카운트로 구성되고,

상기 미스 포화 카운터는 상기 적어도 하나의 제 1 전용 캐시 세트 및 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 미스 포화 카운트를 업데이트하도록 구성되고,

상기 프리페치 필터는 상기 미스 포화 카운터의 상기 미스 포화 카운트에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책 및 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 8

제 7 항에 있어서,

상기 미스 포화 카운터는,

상기 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여, 상기 미스 포화 카운트를 증분시키거나 또는 감소시킴으로써 상기 미스 포화 카운트를 업데이트하고;

상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 상기 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여, 각각 상기 미스 포화 카운트를 증분시키거나 또는 감소시킴으로써 상기 미스 포화 카운트를 업데이트하도록 구성됨으로써,

상기 미스 포화 카운트를 업데이트하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 9

제 1 항에 있어서,

상기 미스 트래킹 회로는 각각이 미스 상태를 포함하는 복수의 미스 표시자들로 구성되고,

상기 복수의 미스 표시자들 각각은 상기 적어도 하나의 제 1 전용 캐시 세트와 상기 적어도 하나의 제 2 전용 캐시 세트 사이의 전용 캐시 세트와 연관되고,

상기 복수의 미스 표시자들은 각각, 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트와 상기 적어도 하나의 제 2 전용 캐시 세트 사이의 상기 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 연관된 미스 상태를 업데이트하도록 추가로 구성되고,

상기 프리페치 필터는 상기 복수의 미스 표시자들에서의 상기 적어도 하나의 미스 상태의 비교에 기초하여, 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 10

제 1 항에 있어서,

상기 프리페치 필터는 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택적으로 선택하지 않도록 추가로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 11

제 7 항에 있어서,

상기 프리페치 필터는 상기 미스 포화 카운터의 상기 미스 포화 카운트에서의 적어도 하나의 유효 비트(significant bit)에 기초하여, 상기 프리페치 제어 회로에 의해 발생되는 상기 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택적으로 선택하지 않도록 추가로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 12

제 1 항에 있어서,

상기 프리페치 필터는 상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 적어도 하나의 제 2 전용 프리페치 정책을 항상 선택하지 않도록 추가로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 13

제 1 항에 있어서,

상기 프리페치 필터는,

상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 적어도 하나의 제 2 전용 프리페치 정책이 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여, 프리페치 제어 회로에 의해 발생되는 프리페치 요청에 적용되어야 하는지 여부를 확률적으로 결정하고; 그리고

확률적 결정에 기초하여, 상기 프리페치 제어 회로에 의해 발생되는 상기 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 적어도 하나의 제 2 전용 프리페치 정책을 선택하도록 추가로 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 14

제 1 항에 있어서,

상기 캐시는 하나 또는 그 초과의 캐시 엔트리들을 저장하도록 각각 구성되는 복수의 캐시 세트들을 포함하고,

상기 복수의 캐시 세트들은,

상기 적어도 하나의 제 1 전용 프리페치 정책에 기초하여 프리페칭된 캐시 데이터를 수신하도록 구성되는 상기 적어도 하나의 제 1 전용 캐시 세트;

상기 적어도 하나의 제 2 전용 프리페치 정책에 기초하여 상기 프리페칭된 캐시 데이터를 수신하도록 구성되는 상기 적어도 하나의 제 2 전용 캐시 세트; 및

상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 적어도 하나의 제 2 전용 프리페치 정책에 기초하여 상기 프리페칭된 캐시 데이터를 수신하도록 구성되는 적어도 하나의 팔로워 캐시 세트를 포함하고,

캐시 제어기는 메모리 어드레스를 포함하는 메모리 액세스 요청을 수신하고, 상기 메모리 어드레스에 대응하는 캐시 엔트리가 상기 캐시에 포함되는지 여부를 결정하도록 구성되고,

프리페치 제어 회로는 상기 프리페칭된 캐시 데이터를 상기 프리페치 정책에 따라 상기 캐시 내의 상기 복수의 캐시 세트들로 프리페칭하기 위해서 프리페치 요청을 발행하도록 구성되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 15

제 14 항에 있어서,

상기 프리페치 필터는 상기 캐시 제어기 외부에 배치되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 16

제 14 항에 있어서,

상기 캐시 제어기는 상기 프리페치 필터를 포함하는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 17

제 1 항에 있어서,

집적 회로(IC)에 배치되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 18

제 1 항에 있어서,

셋탑 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 테스크탑 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, DVD(digital video disc) 플레이어 및 휴대용 디지털 비디오 플레이어로 구성되는 그룹으로부터 선택되는 디바이스에 통합되는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 19

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로로서,

적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 적어도 하나의 미스 상태 수단을 업데이트하기 위한 미스 트래킹 수단; 및

상기 미스 트래킹 수단의 상기 적어도 하나의 미스 상태 수단에 기초하여 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하기 위한 프리페치 필터 수단을 포함하는,

캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로.

청구항 20

전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭의 방법으로서,

캐시에서 어드레싱될 메모리 어드레스를 포함하는 메모리 액세스 요청을 수신하는 단계;

상기 메모리 어드레스에 대응하는 상기 캐시 내의 복수의 캐시 엔트리들 사이의 액세스되는 캐시 엔트리가 상기 캐시에 포함되는지 여부를 결정함으로써 상기 메모리 액세스 요청이 캐시 미스인지 여부를 결정하는 단계;

적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 미스 트래킹 회로의 적어도 하나의 미스 상태를 업데이트하는 단계;

캐시 데이터를 상기 캐시 내의 복수의 캐시 세트들 사이의 팔로워 캐시 세트 내의 캐시 엔트리로 프리페칭하기 위해서 프리페치 요청을 발행하는 단계;

상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여, 상기 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하는 단계; 및

선택된 프리페치 정책에 기초하여 상기 팔로워 캐시 세트 내의 상기 캐시 엔트리로 프리페칭된 캐시 데이터를 채우는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 21

제 20 항에 있어서,

상기 미스 트래킹 회로를 업데이트하는 단계는,

상기 액세스되는 캐시 엔트리로부터 네버 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트로 발생하는 상기 캐시 미스에 기초하여 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트하는 단계; 및

상기 액세스되는 캐시 엔트리로부터 올웨이즈 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 2 전용 캐시 세트로 발생하는 상기 캐시 미스에 기초하여 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트하는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 22

제 20 항에 있어서,

상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트하는 단계는 상기 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 상기 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기

적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 적어도 하나의 미스 카운터의 적어도 하나의 미스 카운트를 업데이트하는 단계를 포함하고,

상기 프리페치 정책을 선택하는 단계는 상기 적어도 하나의 미스 카운터의 상기 적어도 하나의 미스 카운트에 기초하여, 상기 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 23

제 22 항에 있어서,

상기 적어도 하나의 미스 카운터의 상기 적어도 하나의 미스 카운트를 업데이트하는 단계는, 상기 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 상기 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 적어도 하나의 미스 포화 카운터의 적어도 하나의 미스 포화 카운트를 업데이트하는 단계를 포함하고,

상기 프리페치 정책을 선택하는 단계는 상기 적어도 하나의 미스 포화 카운터의 상기 적어도 하나의 미스 포화 카운트에 기초하여, 상기 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 상기 프리페치 정책을 선택하는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 24

제 23 항에 있어서,

상기 적어도 하나의 미스 포화 카운터의 상기 적어도 하나의 미스 포화 카운트를 업데이트하는 단계는,

상기 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 적어도 하나의 미스 포화 카운터의 상기 적어도 하나의 미스 포화 카운트를 증분시키거나 또는 감소시키는 단계; 및

상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 상기 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 2 전용 캐시 세트 내의 상기 액세스되는 캐시 엔트리로부터 발생하는 상기 캐시 미스에 기초하여 상기 적어도 하나의 미스 포화 카운터의 상기 적어도 하나의 미스 포화 카운트를 각각 증분시키거나 또는 감소시키는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 25

제 20 항에 있어서,

상기 선택된 프리페치 정책으로서 상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 선택된 프리페치 정책으로서 상기 적어도 하나의 제 2 전용 프리페치 정책을 무시하는 단계를 더 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 26

제 20 항에 있어서,

상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 적어도 하나의 제 2 전용 프리페치 정책이 상기 선택된 프리페치 정책으로서 선택되어야 하는지 여부를 확률적으로 결정하는 단계를 더 포함하고,

상기 프리페칭된 캐시 데이터를 채우는 단계는 확률적으로 결정된 프리페치 정책에 기초하여 상기 팔로워 캐시 세트 내의 상기 캐시 엔트리에 상기 프리페칭된 캐시 데이터를 채우는 단계를 포함하는,

전용 캐시 세트들에서의 전용 프리페치 정책들의 경합에 기초하는 적응형 캐시 프리페칭의 방법.

청구항 27

컴퓨터 실행가능한 명령들을 저장하는 비-일시적 컴퓨터 관독가능한 매체로서,

상기 컴퓨터 실행가능한 명령들은, 프로세서-기반 적응형 캐시 프리페치 회로로 하여금,

적어도 하나의 제 1 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 상기 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 상기 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 미스 트래킹 회로의 적어도 하나의 미스 상태를 업데이트하고; 그리고

상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태에 기초하여, 상기 캐시로 하여금 채워지게 하기 위해서 프리페치 제어 회로에 의해 발행되는 프리페치 요청에 적용될 상기 적어도 하나의 제 1 전용 프리페치 정책과 상기 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택함으로써, 캐시 데이터를 캐시로 프리페칭하게 하는,

비-일시적 컴퓨터 관독가능한 매체.

청구항 28

제 27 항에 있어서,

상기 프로세서-기반 적응형 캐시 프리페치 회로로 하여금,

상기 액세스되는 캐시 엔트리로부터 네버 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 1 전용 캐시 세트로 발생하는 상기 캐시 미스에 기초하여 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트하고; 그리고

상기 액세스되는 캐시 엔트리로부터 올웨이즈 프리페치 정책이 적용되는 상기 캐시 내의 상기 적어도 하나의 제 2 전용 캐시 세트로 발생하는 상기 캐시 미스에 기초하여 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트함으로써, 상기 미스 트래킹 회로의 상기 적어도 하나의 미스 상태를 업데이트함으로써 캐시 데이터를 상기 캐시로 프리페칭하게 하는 상기 컴퓨터 실행가능한 명령들을 저장하는,

비-일시적 컴퓨터 관독가능한 매체.

청구항 29

제 27 항에 있어서,

상기 프로세서-기반 적응형 캐시 프리페치 회로로 하여금,

상기 선택된 프리페치 정책으로서 상기 적어도 하나의 제 1 전용 프리페치 정책 또는 상기 선택된 프리페치 정책으로서 상기 적어도 하나의 제 2 전용 프리페치 정책을 무시함으로써 캐시 데이터를 상기 캐시로 프리페칭하게 하는 상기 컴퓨터 실행가능한 명령들을 저장하는,

비-일시적 컴퓨터 관독가능한 매체.

발명의 설명

기술 분야

[0001] 본 출원은 2014년 4월 4일자로 출원된 "ADAPTIVE CACHE PREFETCHING BASED ON COMPETING DEDICATED PREFETCH POLICIES IN DEDICATED CACHE SETS TO REDUCE CACHE POLLUTION"이라는 명칭의 미국 특허 출원 일련번호 제14/245,356호에 대한 우선권을 주장하며, 상기 출원은 그 전체 내용이 인용에 의해 본원에 포함된다.

[0002] 본 개시 내용의 기술은 일반적으로 컴퓨터 시스템들에서 제공되는 캐시 메모리에 관한 것으로, 더 구체적으로, 캐시 미스들을 감소시키기 위해서 캐시 라인들을 캐시 메모리로 프리페칭하는 것에 관한 것이다.

배경 기술

- [0003] [0003] 메모리 셀은 "메모리"로 또한 알려진 컴퓨터 데이터 저장의 기본 빌딩 블록이다. 컴퓨터 시스템은 메모리로부터 데이터를 판독하거나 또는 메모리에 데이터를 기록할 수 있다. 메모리는 예로서 CPU(central processing unit) 시스템 내의 캐시 메모리를 제공하는데 사용될 수 있다. 단지 "캐시"로 또한 지칭될 수 있는 캐시 메모리는 메모리 액세스 레이턴시를 감소시키기 위해서 메인 메모리 또는 상위 레벨 캐시 메모리에서의 빈번하게 액세스되는 메모리 어드레스들에 저장되는 데이터의 카피들을 저장하는 더 소형이고 더 빠른 메모리이다. 따라서, 캐시는 메모리 액세스 시간들을 감소시키기 위해서 CPU에 의해 사용될 수 있다. 예를 들어, 캐시는 더 빠른 명령 실행을 위해서 CPU에 의해 폐칭되는 명령들을 저장하는데 사용될 수 있다. 또 다른 예로서, 캐시는 더 빠른 데이터 액세스를 위해서 CPU에 의해 폐칭될 데이터를 저장하는데 사용될 수 있다.
- [0004] [0004] 캐시는 태그 어레이 및 데이터 어레이로 구성된다. 태그 어레이는 "태그들"로 또한 알려진 어드레스들을 포함한다. 태그들은 인덱스들을 데이터 어레이에서의 데이터 저장 위치들에 제공한다. 태그 어레이에서의 태그 및 데이터 어레이에서의 태그의 인덱스에 저장되는 데이터는 "캐시 라인" 또는 "캐시 엔트리"로 또한 알려진다. 메모리 액세스 요청의 일부로서 캐시로의 인덱스로서 제공되는 메모리 어드레스 또는 이의 부분이 태그 어레이에서의 태그와 매칭하면, 이것은 "캐시 히트"로 알려진다. 캐시 히트는 매칭 태그의 인덱스에 포함되는 데이터 어레이에서의 데이터가 메인 메모리 및/또는 상위 레벨 캐시에서의 요청되는 메모리 어드레스에 대응하는 데이터를 포함한다는 것을 의미한다. 메인 메모리 또는 더 큰 메모리 액세스 레이턴시를 가지는 상위 레벨 캐시 메모리에 액세스하여야 하는 것과는 대조적으로, 매칭 태그의 인덱스에서의 데이터 어레이에 포함되는 데이터는 메모리 액세스 요청을 위해서 사용될 수 있다. 그러나, 메모리 액세스 요청에 대한 인덱스가 태그 어레이에서의 태그와 매칭하지 않으면 또는 그렇지 않으면 캐시 라인이 무효하다면, 이것은 "캐시 미스"로 알려진다. 캐시 미스에서, 데이터 어레이는 메모리 액세스 요청을 만족시킬 수 있는 데이터를 포함하지 않는 것으로 간주된다.
- [0005] [0005] 캐시에서의 캐시 미스들은 다양한 컴퓨터 시스템들 상에서 실행되는 많은 애플리케이션들에 대한 성능 저하의 실질적 원인이다. 캐시 미스들의 수를 감소시키기 위해서, 컴퓨터 시스템들은 프리페처(prefetcher)로 또한 알려진 프리페처 엔진을 이용할 수 있다. 프리페처는 추후 메모리 액세스들을 예측하기 위해서 컴퓨터 시스템에서 메모리 액세스 패턴들을 검출하도록 구성될 수 있다. 이 예측들을 사용하여, 프리페처는 캐시 라인들을 캐시로 추측적으로(speculatively) 프리로딩하기 위해서 상위 레벨 메모리로의 요청들을 수행할 것이다. 따라서, 이 캐시 라인들이 필요한 경우, 이 캐시 라인들은 캐시에 이미 존재하고, 결과로서 어떠한 캐시 미스 패널티도 발생되지 않는다.
- [0006] [0006] 많은 애플리케이션들이 프리페칭으로부터 이익을 얻지만, 일부 애플리케이션들은 예측이 어려운 메모리 액세스 패턴들을 가진다. 결과적으로, 이 애플리케이션들에 대한 프리페칭을 가능하게 하는 것은 성능을 상당히 감소시킬 수 있다. 이 경우들에서, 프리페처는 애플리케이션에 의해 결코 사용될 수 없는 캐시에 채워지도록 캐시 라인들에 요청할 수 있다. 추가로, 캐시 내의 프리페칭된 캐시 라인들에 대한 룸을 생성하기 위해서, 유용한 캐시 라인들이, 그 다음, 대체될 수 있다. 프리페칭된 캐시 라인이 미리 대체된 캐시 라인이 액세스되기 이전에 후속적으로 액세스되지 않으면, 캐시 미스는 미리 대체된 캐시 라인으로의 액세스를 위해서 생성된다. 이 시나리오에서의 캐시 미스는 프리페처 동작에 의해 효과적으로 야기되었다. 추후-액세스되는 캐시 라인을 비-참조 프리페칭된 캐시 라인으로 대체하는 프로세스는 "캐시 오염"으로 지칭된다. 캐시 오염은 성능을 감소시키는 캐시 미스 레이트를 증가시킬 수 있다.
- [0007] [0007] 다양한 캐시 데이터 대체 정책들("프리페처 정책들"로 지칭됨)은 캐시 라인들을 캐시로 프리페칭하는 결과로서 캐시 오염을 제한하려고 시도하기 위해서 존재한다. 예를 들어, 하나의 캐시 프리페처 정책(프리페처 정책)은 캐시로의 프리페처에 의해 프리페칭되는 캐시 라인들의 수를 동적으로 조정하기 위해서 프리페처 정확성, 레이트니스(lateness) 및 오염 레벨과 같은 다양한 메트릭들을 트래킹한다. 그러나, 이러한 메트릭들을 트래킹하는 것은 컴퓨터 시스템에서 여분의 하드웨어 오버헤드를 요청한다. 예를 들어, 참조 비트는 캐시에서의 캐시 웨이마다 추가될 수 있고 그리고/또는 블룸 필터는 캐시에서 이용될 수 있다. 또 다른 캐시 프리페처 정책은 캐시 오염을 제한하기 위해서, 단지 원하는 타임프레임에서 액세스되지 않은 캐시 내의 데드 캐시 라인들을 프리페칭된 캐시 데이터로 대체한다. 따라서, 유용한 데이터를 포함하는, 데드 라인들이 아닌 캐시 라인들은 캐시 미스들을 감소시키기 위해서 캐시로부터 퇴거(evict)되지 않는다. 그러나, 이 데드 라인의 유일한 대체 캐시 프리페처 정책은 캐시 내의 캐시 라인으로의 액세스들의 타이밍을 트래킹하기 위해서 하드웨어 오버헤드를 추가한다.
- [0008] [0008] 따라서, 전력 소비를 증가시킬 수 있는 실질적 추가 하드웨어 오버헤드를 프리페칭하고 발생시키는 성능

이익들의 감소없이, 캐시에서 캐시 오염을 제한하는 캐시 데이터의 프리페칭을 제공하는 것이 바람직하다.

발명의 내용

[0009]

[0009] 상세한 설명에서 개시되는 양상들은 캐시 오염을 감소시키기 위해서 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭을 포함한다. 하나의 양상에서, 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로가 제공된다. 캐시에 대한 최적의 대체 정책을 결정하려는 시도 대신에, 적응형 캐시 프리페치 회로는 캐시 내의 전용 캐시 세트들에 적용되는 경합 전용 프리페치 정책들의 결과에 기초하여, 어떤 프리페치 정책을 사용할 것인지를 결정하도록 구성된다. 이와 관련하여, 캐시 내의 캐시 세트들의 서브세트는 "전용" 캐시 세트들인 것으로 할당된다. 다른 비-전용 캐시 세트들은 "팔로워" 캐시 세트들이다. 각각의 전용 캐시 세트는 주어진 전용 캐시 세트에 대한 연관된 전용 프리페치 정책을 가진다. 전용 캐시 세트들 각각으로의 액세스들에 대한 캐시 미스들은 적응형 캐시 프리페치 회로에 의해 트래킹된다. 적응형 캐시 프리페치 회로는 그것의 각각의 전용 캐시 세트들에 더 적은 캐시 미스들을 발생시켰던 전용 프리페치 정책을 사용하여 캐시 내의 다른 팔로워 캐시 세트들에 프리페치 정책을 적용시키도록 구성될 수 있다. 예를 들어, 하나의 전용 프리페치 정책은 네버(never) 프리페치에 대한 것일 수 있고, 또 다른 전용 프리페치 정책은 캐시에 대한 듀얼링(dueling) 전용 프리페치 정책들을 제공하기 위한 올웨이즈(always) 프리페치에 대한 것일 수 있다. 이러한 방식에서, 캐시 오염이 감소될 수 있는데, 그 이유는 캐시 내의 전용 캐시 세트들로의 실제 캐시 미스 결과들이, 전용 프리페치 정책이 팔로워 캐시 세트들에 대한 프리페치 정책으로서 사용되는 경우 캐시에서 더 적은 캐시 오염을 야기할 것임에 대한 더 양호한 표시일 수 있기 때문이다. 감소된 캐시 오염은 증가된 성능, 감소된 메모리 경합 및 캐시에 의한 더 적은 전력 소비를 초래할 수 있다.

[0010]

[0010] 이와 관련하여, 하나의 양상에서, 캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로가 제공된다. 적응형 캐시 프리페치 회로는 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 적어도 하나의 미스 상태를 업데이트하도록 구성되는 미스 트래킹 회로를 포함한다. 하나의 예에서, 미스 트래킹 회로는 적어도 하나의 제 1 및 제 2 전용 캐시 세트를 둘 다에 대해 캐시 미스들을 트래킹하기 위해서 단일 미스 상태로서 적어도 하나의 미스 상태를 제공할 수 있다. 또 다른 예로서, 미스 트래킹 회로는 적어도 하나의 제 1 및 제 2 전용 캐시 세트들 각각에 대해 캐시 미스들을 개별적으로 트래킹하기 위해서 적어도 하나의 제 1 및 제 2 전용 캐시 세트들 각각에 대한 별개의 미스 상태들을 포함할 수 있다. 적응형 캐시 프리페치 회로는 프리페치 필터를 더 포함한다. 프리페치 필터는 미스 트래킹 회로의 적어도 하나의 미스 상태에 기초하여 적어도 하나의 제 1 전용 프리페치 정책과 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하도록 구성된다.

[0011]

[0011] 또 다른 양상에서, 캐시 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로가 제공된다. 적응형 캐시 프리페치 회로는 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 적어도 하나의 미스 상태 수단을 업데이트하기 위한 미스 트래킹 수단을 포함한다. 적응형 캐시 프리페치 회로는 또한, 미스 트래킹 수단의 적어도 하나의 미스 상태 수단에 기초하여 적어도 하나의 제 1 전용 프리페치 정책과 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하기 위한 프리페치 필터 수단을 포함한다.

[0012]

[0012] 또 다른 양상에서, 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭의 방법이 제공된다. 방법은 캐시에서 어드레싱될 메모리 어드레스를 포함하는 메모리 액세스 요청을 수신하는 단계를 포함한다. 방법은 또한, 메모리 어드레스에 대응하는 캐시 내의 복수의 캐시 엔트리들 사이의 액세스되는 캐시 엔트리가 캐시에 포함되는지 여부를 결정함으로써 메모리 액세스 요청이 캐시 미스인지 여부를 결정하는 단계를 포함한다. 방법은 또한, 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 미스 트래킹 회로의 적어도 하나의 미스 상태를 업데이트하는 단계를 포함한다. 방법은 또한, 캐시 데이터를 캐시 내의 복수의 캐시 세트들 사이의 팔로워 캐시 세트 내의 캐시 엔트리로 프리페칭하기 위해서 프리페치 요청을 발행하는 단계를 포함한다. 방법은 또한, 미스 트래킹 회로의 적어도 하나의

미스 상태에 기초하여, 프리페치 요청에 적용될 적어도 하나의 제 1 전용 프리페치 정책과 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택하는 단계를 포함한다. 방법은 또한, 선택된 프리페치 정책에 기초하여, 팔로워 캐시 세트 내의 캐시 엔트리로 프리페칭된 캐시 데이터를 채우는 단계를 포함한다.

[0013] 또 다른 양상에서, 프로세서-기반 적응형 캐시 프리페치 회로로 하여금 캐시 데이터를 캐시로 프리페칭하게 하는 컴퓨터 실행가능한 명령들을 저장하는 비-일시적 컴퓨터 판독가능한 매체가 제공된다. 컴퓨터 실행 가능한 명령들은, 프로세서-기반 적응형 캐시 프리페치 회로로 하여금, 적어도 하나의 제 1 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 1 전용 캐시 세트, 및 적어도 하나의 제 1 전용 프리페치 정책과 상이한 적어도 하나의 제 2 전용 프리페치 정책이 적용되는 캐시 내의 적어도 하나의 제 2 전용 캐시 세트 내의 액세스되는 캐시 엔트리로부터 발생하는 캐시 미스에 기초하여 미스 트래킹 회로의 적어도 하나의 미스 상태를 업데이트함으로써 캐시 데이터를 캐시로 프리페칭하게 한다. 컴퓨터 실행가능한 명령들은 또한, 프로세서-기반 적응형 캐시 프리페치 회로로 하여금, 미스 트래킹 회로의 적어도 하나의 미스 상태에 기초하여, 캐시로 하여금 채워지게 하기 위해서 프리페치 제어 회로에 의해 발생되는 프리페치 요청에 적용될 적어도 하나의 제 1 전용 프리페치 정책과 적어도 하나의 제 2 전용 프리페치 정책 사이에서 프리페치 정책을 선택함으로써, 캐시 데이터를 캐시로 프리페칭하게 한다.

도면의 간단한 설명

[0014] 도 1은, 캐시, 및 캐시 오염을 감소시키기 위해서 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하여 캐시 엔트리들을 프리페칭하도록 구성되는 예시적 적응형 캐시 프리페치 회로를 포함하는 예시적 캐시 메모리 시스템의 개략도이다.

[0015] 도 2는, 도 1의 캐시 메모리 시스템의 캐시에서 제공되는 데이터 어레이의 개략도이고, 여기서, 캐시는 캐시 데이터를 각각의 전용 캐시 세트로 프리페칭하는데 사용되는 전용 프리페치 정책과 각각 연관된 복수의 전용 캐시 세트를 및 복수의 팔로워 캐시 세트들로 구성된다.

[0016] 도 3a는, 주어진 전용 프리페치 정책이 적용되었던 캐시 내의 전용 캐시 세트가 액세스되는 경우 캐시 미스가 발생하는지의 여부에 기초하여 미스 트래킹 회로에서의 미스 상태(들)를 업데이트하기 위한 예시적 프로세스를 예시하는 흐름도이다.

[0017] 도 3b는, 전용 캐시 세트들 사이에서의 경합을 트래킹하는 미스 표시자(들)의 미스 상태(들)에 기초하여 데이터를 팔로워 캐시 세트들로 프리페칭하기 위해서 전용 캐시 세트들로 프리페칭하는데 사용되는 전용 프리페치 정책들 사이에서 선택된 프리페치 정책을 사용하는 적응형 캐시 프리페칭을 위한 예시적 프로세스를 예시하는 흐름도이다.

[0018] 도 4는, 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭이 제공되는 경우 도 1의 캐시 메모리 시스템 내의 캐시로의 예시적 프리페칭 성능을 예시하는 그래프이다.

[0019] 도 5는 캐시, 캐시로의 액세스들을 제어하도록 구성되는 캐시 제어기, 및 캐시 제어기 내에서 제공되고, 캐시 오염을 감소시키기 위해서 데이터를 전용 캐시 세트들로 프리페칭하는데 사용되는 경합 전용 프리페치 정책들에 기초하여, 프리페칭된 캐시 엔트리들에 프리페치 정책을 적용시키도록 구성되는 예시적 프리페치 필터를 포함하는 예시적인 대안적 캐시 메모리 시스템의 개략도이다.

[0020] 도 6a는, 도 5의 캐시 메모리 시스템에서 제공될 수 있는 예시적 캐시의 개략도이고, 여기서, 캐시는 복수의 팔로워 캐시 세트들 및 주어진 전용 캐시 세트에 대한 연관된 전용 프리페치 정책을 각각 가지는 복수의 전용 캐시 세트들로 구성된다.

[0021] 도 6b는, 도 5의 캐시 내의 각각의 전용 캐시 세트로의 캐시 미스들에 기초하여 복수의 미스 카운트들을 업데이트하도록 구성되는 예시적인 대안적 미스 카운터의 개략도이다.

[0022] 도 7은, 도 1의 캐시 메모리 시스템을 포함할 수 있는 예시적 프로세서-기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이제, 도시되는 도면들을 참조하면, 본 개시 내용의 몇몇 예시적 양상들이 설명된다. "예시적"이라는 단어는 본원에서 "예, 예시 또는 예증으로서 제공되는"의 의미로 사용된다. "예시적"으로서 본원에서 설명되는 임의의 양상이 반드시 다른 양상들보다 선호되거나 또는 유리한 것으로 해석되는 것은 아니다.

[0016]

[0024] 상세한 설명에서 개시되는 양상들은 캐시 오염을 감소시키기 위해서 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하는 적응형 캐시 프리페칭을 포함한다. 하나의 양상에서, 데이터를 캐시로 프리페칭하기 위한 적응형 캐시 프리페치 회로가 제공된다. 캐시에 대한 최적의 대체 정책을 결정하려는 시도 대신에, 적응형 캐시 프리페치 회로는 캐시 내의 전용 캐시 세트들에 적용되는 경합 전용 프리페치 정책들의 결과에 기초하여 프리페치 정책을 결정하도록 구성된다. 이와 관련하여, 캐시 내의 캐시 세트들의 서브세트는 "전용" 캐시 세트들인 것으로 할당된다. 다른 비-전용 캐시 세트들은 "팔로워" 캐시 세트들이다. 각각의 전용 캐시 세트는 주어진 전용 캐시 세트에 대한 연관된 전용 프리페치 정책을 가진다. 전용 캐시 세트들 각각으로의 액세스들에 대한 캐시 미스들은 적응형 캐시 프리페치 회로에 의해 트래킹된다. 적응형 캐시 프리페치 회로는 그것의 각각의 전용 캐시 세트들에 더 적은 캐시 미스들을 발생시켰던 전용 프리페치 정책을 사용하여 캐시 내의 다른 팔로워 캐시 세트들에 프리페치 정책을 적용시키도록 구성될 수 있다. 예를 들어, 하나의 전용 프리페치 정책은 네버 프리페치에 대한 것일 수 있고, 또 다른 전용 프리페치 정책은 캐시에 대한 듀얼링 전용 프리페치 정책들을 제공하기 위한 올웨이즈 프리페치에 대한 것일 수 있다. 이러한 방식에서, 캐시 오염이 감소될 수 있는데, 그 이유는 캐시 내의 전용 캐시 세트들로의 실제 캐시 미스 결과들이, 프리페치 정책이 팔로워 캐시 세트들에 대한 프리페치 정책으로서 사용되는 경우 캐시에서 더 적은 캐시 오염을 야기할 것임에 대한 더 양호한 표시일 수 있기 때문이다. 감소된 캐시 오염은 증가된 성능, 감소된 메모리 경합 및 캐시에 의한 더 적은 전력 소비를 초래할 수 있다.

[0017]

[0025] 이와 관련하여, 도 1은 예시적 캐시 메모리 시스템(12)을 포함하는 예시적 컴퓨터 시스템(10)이다. 전용 캐시 세트들에서의 경합 전용 프리페치 정책들에 기초하여 캐시 메모리 시스템(12)에서 이용되는 적응형 캐시 프리페치 필터링을 논의하기 이전에, 예시적 캐시 메모리 시스템(12)이 먼저 설명된다.

[0018]

[0026] 이와 관련하여, 도 1의 캐시 메모리 시스템(12)은 캐시(14)를 포함한다. 캐시(14)는 상위 레벨 메모리(16)로부터의 캐시(14)로 로딩되는 캐싱되는 데이터를 저장하도록 구성되는 메모리이다. 예들로서, 상위 레벨 메모리(16)는 상위 레벨 캐시 또는 메인 메모리일 수 있다. 이 예에서, 캐시(14)는 세트-연관적 캐시이다. 캐시(14)는 태그 어레이(18) 및 데이터 어레이(20)를 포함한다. 데이터 어레이(20)는 복수의 캐시 세트들(22(0)-22(M))을 포함하고, 여기서, ' $M+1$ '은 캐시 세트들(22)의 수와 동일하다. 하나의 예로서, 1,024개의 캐시 세트들(22(0)-22(1023))은 데이터 어레이(20)에서 제공될 수 있다. 복수의 캐시 세트들(22(0)-22(M)) 각각은 하나 또는 그 초과의 캐시 엔트리들(24(0)-24(N))에 캐시 데이터를 저장하도록 구성되고, 여기서, ' $N+1$ '은 캐시 세트(22)당 캐시 엔트리들(24)의 수와 동일하다. 캐시 제어기(26)는 또한, 캐시 메모리 시스템(12)에서 제공된다. 캐시 제어기(26)는 상위 레벨 메모리(16)로부터 데이터 어레이(20)로 캐시 데이터를 채우도록 구성된다. 예를 들어, 캐시 제어기(26)는 데이터 어레이(20)에 저장될 상위 레벨 메모리(16)로부터 주어진 메모리 어드레스에 저장되는 데이터에 대응하는 데이터(28)를 수신하도록 구성된다. 수신되는 데이터(28)는 메모리 어드레스에 따른 데이터 어레이(20) 내의 캐시 엔트리(24(0)-24(N))에 캐시 데이터(30)로서 저장된다. 이러한 방식에서, CPU(central processing unit)(32)는 상위 레벨 메모리(16)로부터 캐시 데이터(30)를 획득하여야 하는 것과는 대조적으로, 캐시(14)에 저장되는 캐시 데이터(30)에 액세스할 수 있다.

[0019]

[0027] 도 1을 계속 참조하면, 캐시 제어기(26)는 또한, CPU(32) 또는 하위 레벨 메모리(36)로부터 메모리 액세스 요청(34)을 수신하도록 구성된다. 캐시 제어기(26)는 메모리 액세스 요청(34)에서 메모리 어드레스를 사용하여 캐시(14) 내의 태그 어레이(18)를 인덱싱한다. 메모리 어드레스에 의해 인덱싱되는 태그 어레이(18)에서의 인덱스에 저장되는 태그가 메모리 액세스 요청(34)에서의 메모리 어드레스와 매칭하고, 태그가 유효하면, 캐시 히트가 발생한다. 이것은 메모리 액세스 요청(34)의 메모리 어드레스에 대응하는 캐시 데이터(30)가 데이터 어레이(20) 내의 캐시 엔트리(24(0)-24(N))에 포함된다는 것을 의미한다. 이에 대한 응답으로, 캐시 제어기(26)는 메모리 액세스 요청(34)의 메모리 어드레스에 대응하는 인덱싱되는 캐시 데이터(30)로 하여금 CPU(32) 또는 하위 레벨 메모리(36)로 다시 제공되게 한다. 캐시 미스가 발생하면, 캐시 제어기(26)는 캐시 데이터(30)를 CPU(32) 또는 하위 레벨 메모리(36)에 제공하지 않는다.

[0020]

[0028] 캐시(14)에서 발생하는 캐시 미스들은 캐시 메모리 시스템(12)의 성능 저하의 원인이다. 캐시 메모리 시스템(12)에서의 캐스 미스들의 수를 감소시키기 위해서, 프리페치 제어 회로(38)는 캐시 메모리 시스템(12)에서 제공된다. 프리페치 제어 회로(38)는 추후 메모리 액세스들을 예측하기 위해서 CPU(32) 또는 하위 레벨 메모리(36)에 의해 메모리 액세스 패턴들을 검출하도록 구성될 수 있다. 이 예측들을 사용하여, 프리페치 제어 회로(38)는 캐시 엔트리들(24(0)-24(N))에 저장되는 기존 캐시 데이터를 대체하기 위해서 캐시 데이터를 캐시(14) 내의 캐시 엔트리들(24(0)-24(N))로 추축적으로 프리로딩하도록 캐시 제어기(26)에 대한 프리페치(즉, 대체) 정책에 기초하여 프리페치 요청(40)을 수행할 수 있다. 따라서, 가까운 미래에 필요한 것으로 추측적으로

예측되는 캐시 데이터가 요청되는 경우, 캐시 데이터는 캐시(14) 내의 캐시 엔트리(24(0)-24(N))에 이미 존재된다. 따라서, 결과로서 어떠한 캐시 미스 페널티도 발생되지 않는다. 그러나, 캐시 데이터를 캐시(14)로 프리페칭하는 것은 또한, 프리페칭된 캐시 데이터 이전에 캐시(14) 내에서의 대체되는 캐시 데이터가 필요한 경우 캐시 오염을 야기할 수 있다.

[0021] [0029] 도 1의 캐시(14)에 대한 최적의 프리페치 정책을 결정하려는 시도 대신에, 적응형 캐시 프리페치 회로(42)가 캐시 메모리 시스템(12)에서 제공된다. 아래에서 더 상세하게 논의될 바와 같이, 적응형 캐시 프리페치 회로(42)는 캐시(14) 내의 전용 캐시 세트들에 적용되는 경합 전용 프리페치 정책들의 결과에 기초하여 어떤 프리페치 정책을 사용할 것인지를 결정하도록 구성된다.

[0022] [0030] 이와 관련하여, 도 2는 도 1의 캐시 메모리 시스템(12)의 캐시(14)에서 제공되는 데이터 어레이(20)를 예시한다. 본원에서 예시되는 바와 같이, 데이터 어레이(20)는 복수의 캐시 세트들(22(0)-22(M))을 포함한다. 그러나, 데이터 어레이(20) 내의 캐시 세트들(22(0)-22(M))의 특정 서브세트는 전용 캐시 세트들(44)로서 지정된다. 이 예에서, 캐시 세트들(22(0)-22(M)) 사이의 특정 캐시 세트들은 전용 캐시 세트들(44(A))로서 지정된다. 표기 A는 제 1 전용 프리페치 정책(A)이 데이터(28)를 캐시 데이터(30)로서 전용 캐시 세트들(44(A))로 프리페칭하기 위해서 캐시 제어기(26)에 의해 사용된다는 것을 지정한다. 캐시 세트들(22(0)-22(M)) 사이의 다른 캐시 세트들은 전용 캐시 세트들(44(B))로서 지정된다. 표기 B는 제 1 전용 프리페치 정책(A)과 상이한 제 2 전용 프리페치 정책(B)이 데이터(28)를 캐시 데이터(30)로서 전용 캐시 세트들(44(B))로 프리페칭하기 위해서 캐시 제어기(26)에 의해 사용된다는 것을 지정한다. 캐시 세트들(22(0)-22(M)) 사이의 다른 비-전용 캐시 세트들은 팔로워 캐시 세트들(46)로서 지정된다. 전용 캐시 세트들(44(A), 44(B)) 각각으로의 액세스들에 대한 캐시 미스들은 적응형 캐시 프리페치 회로(42)에 의해 트래킹된다. 적응형 캐시 프리페치 회로(42)는 전용 캐시 세트들(44(A), 44(B))로 하여금 액세스되는 경우 더 적은 캐시 미스들을 발생시키게 하였던 전용 프리페치 정책(A 또는 B)을 사용하여 캐시 세트들(22(0)-22(M)) 사이의 다른 팔로워 캐시 세트들(46)에 프리페치 정책을 적용시키도록 구성된다. 다시 말해서, 도 2의 데이터 어레이(20) 내의 전용 캐시 세트들(44(A), 44(B))은 서로 경합하여 세팅된다. 이러한 방식에서, 캐시 오염은 감소될 수 있는데, 그 이유는 그들 각각의 전용 프리페치 정책(A 또는 B)과 프리페칭되었던 전용 캐시 세트들(44(A), 44(B)) 각각과 연관된 실제 캐시 미스 결과들이 캐시 세트들(22(0)-22(M)) 사이의 팔로워 캐시 세트들(46)에 대한 프리페치 정책으로서 사용되는 경우 프리페치 정책이 캐시(14)에서 더 적은 캐시 오염을 야기할 것임에 대한 더 양호한 표시일 수 있기 때문이다. 감소된 캐시 오염은 증가된 성능, 감소된 메모리 경합 및 캐시 메모리 시스템(12) 내의 캐시(14)에 의한 더 적은 전력 소비를 초래할 수 있다.

[0023] [0031] 도 1 및 도 2에 대해 아래에서 더 상세하게 논의될 바와 같이, 전용 캐시 세트들(44(A), 44(B)) 내의 캐시 엔트리들(24(0)-24(N))로의 액세스들로부터 발생하는 캐시 미스들은 도 1의 캐시 메모리 시스템(12) 내의 미스 트래킹 회로(47)에서 트래킹된다. 이 예에서, 미스 트래킹 회로(47)는 프리페치 정책을 결정하기 위해서 전용 캐시 세트들(44(A), 44(B))로의 액세스들로부터 발생하는 캐시 미스들을 트래킹하도록 구성된다. 이 예에서, 미스 트래킹 회로(47)는 미스 카운터(50)의 형태로 제공되는 미스 표시자(48)를 포함한다. 미스 카운터(50)는 미스 상태(52)에 기초하여, 전용 캐시 세트들(44(A), 44(B))로의 액세스들로부터 발생하는 캐시 미스들을 트래킹하도록 구성된다. 이 예에서, 미스 상태(52)는 미스 카운트(54)의 형태로 제공된다. 이 예에서, 미스 카운터(50)는 단일 미스 포화 카운터이다. 그러나, 아래에서 논의되는 다른 양상들에서, 별개의 미스 카운터(50)는 전용 캐시 세트들(44(A), 44(B)) 각각에 대해 캐시 미스들을 개별적으로 트래킹하기 위해서 전용 캐시 세트들(44(A), 44(B)) 각각에 대해 제공될 수 있다. 도 1의 미스 카운터(50)는 제 1 전용 프리페치 정책(A)이 적용되는 제 1 전용 캐시 세트(44(A)) 내의 액세스되는 캐시 엔트리(24(0)-24(N))로부터 발생하는 캐시 히트/미스 라인(55) 상에서 캐시 제어기(26)에 의해 보고되는 캐시 미스에 기초하여 미스 카운트(54)를 업데이트하도록 구성된다. 미스 카운터(50)는 또한, 제 2 전용 프리페치 정책(B)이 적용되는 제 2 전용 캐시 세트(44(B)) 내의 액세스되는 캐시 엔트리(24(0)-24(N))로부터 발생하는 캐시 미스에 기초하여 미스 카운트(54)를 업데이트하도록 구성된다.

[0024] [0032] 도 1을 계속 참조하면, 적응형 캐시 프리페치 회로(42)에서 제공되는 프리페치 필터(56)는 미스 카운터(50)의 미스 카운트(54)에 기초하여 제 1 전용 프리페치 정책(A)과 제 2 전용 프리페치 정책(B) 사이에서 프리페치 정책을 선택하도록 구성된다. 이 예에서, 미스 카운터(50)는 전용 캐시 세트들(44(A), 44(B)) 중 하나로의 액세스를 위해서 캐시 미스가 발생하는 경우 충분하고, 전용 캐시 세트들(44(B), 44(A)) 중 다른 하나로의 액세스를 위해 캐시 미스가 발생하는 경우 감소하도록 구성되거나, 또는 그 반대가 되도록 구성되는 미스 포화 카운터이다. 전용 캐시 세트들(44(A), 44(B)) 각각에 대해 별개의 미스 카운터를 제공하는 것이 가능하고 옵션

으로서 본원에서 고려되지만, 미스 카운터(50)로서 미스 포화 캐시 세트들(44(A), 44(B)) 각각에 대해 별개의 미스 카운터를 제공하는 것에 대한 더 낮은 비용의 대안일 수 있다. 미스 카운터(50)는 시간이 지남에 따라 액세스되는 경우 어떤 전용 캐시 세트들(44(A), 44(B))이 더 적은 캐시 미스들을 발생시키는지를 트래킹한다. 프리페치 필터(56)는 팔로워 캐시 세트들(46)에 대한 프리페치 정책으로서 사용될 더 적은 캐시 미스들을 발생시켰던 전용 캐시 세트들(44(A), 44(B))에 대응하는 전용 프리페치 정책(A 또는 B)을 선택하기 위해서 미스 카운트 라인(57) 상에서 미스 카운터(50)를 수신한다. 이 예에서, 프리페치 필터(56)는 캐시 제어기(26)로부터 프리페치 요청(40)을 수신한다. 프리페치 필터(56)는 프리페치 요청(40')으로서 캐시 제어기(26)로부터 수신되는 프리페치 요청(40)에 대한 미스 카운터(50)에 기초하여, 선택된 전용 프리페치 정책(A 또는 B)을 적용시킨다.

[0025] [0033] 이 예에서, 도 1 및 도 2의 데이터 어레이(20)에서 이용되는 단지 두(2)개의 전용 프리페치 정책들(A 및 B)이 존재하기 때문에, 도 2의 데이터 어레이(20) 내의 전용 캐시 세트들(44(A), 44(B))은 듀얼링 전용 캐시 세트들이라고 할 수 있다. 그러나, 전용 프리페치 정책을 통해 각각 지정되는 두(2)개 초과의 타입들의 전용 캐시 세트들(44)이 프리페치 필터(56)가 두(2)개 초과의 전용 프리페치 정책들로부터 선택하게 허용하도록 제공될 수 있다는 점이 주목된다. 도 2에서, 프리페치 정책(A)과 연관된 'Q'개수의 전용 캐시 세트들(44(A)(1)-44(A)(Q))이 존재하고, 데이터 어레이(20)에 도시되는 프리페치 정책(B)과 연관된 'Q'개수의 전용 캐시 세트들(44(B)(1)-44(B)(Q))이 존재한다. 예를 들어, 도 2의 데이터 어레이(20)가 1,024개의 캐시 세트들(22)(즉, 22(0)-22(M), 여기서, 'M'은 1023과 동일함)을 포함하였다면, 삼십이(32)개의 캐시 세트들(22(0)-22(1023))은 전용 캐시 세트들 44(A)로서 지정될 수 있고, 삼십이(32)개의 캐시 세트들(22(0)-22(1023))은 전용 캐시 세트들(44(B))로서 지정될 수 있다. 이 예에서, 'Q'는 삼십이(32)와 동일할 것이다. 이것은 팔로워 캐시 세트들(46)로서 구백육십(960)개의 캐시 세트들(22(0)-22(M))을 남길 것이다. 동일한 수의 전용 캐시 세트들(44)이 각각의 전용 프리페치 정책(A 및 B)에 전용되도록 요구되지 않는다는 점이 주목된다.

[0026] [0034] 각각의 전용 캐시 세트들(44(A), 44(B))로의 액세스들은 더 자주 발생할 수 있기 때문에, 전용 캐시 세트들(44)로서 데이터 어레이(20) 내의 더 큰 수의 캐시 세트들(22(0)-22(M))을 지정하는 것은 더 자주 업데이트 될 경합 전용 프리페치 정책들(A 및 B)에 대해 제공될 수 있다. 그러나, 전용 캐시 세트들(44)로서 지정되는 데이터 어레이(20) 내의 더 큰 수의 캐시 세트들(22(0)-22(M))을 지정하는 것은 또한, 경합 프리페치 정책(A 또는 B)이 적용될 수 있는 캐시 세트들(22(0)-22(M)) 사이의 팔로워 캐시 세트들(46)의 수를 제한한다. 전용 캐시 세트들(44(A), 44(B))로서 선택되는 캐시 세트들(22(0)-22(M))의 수뿐만 아니라, 데이터 어레이(20) 내의 전용 캐시 세트들(44(A) 및 44(B))의 위치는 데이터 어레이(20) 내의 캐시 세트들(22(0)-22(M))로의 액세스들의 분배를 확률적으로 결정하기 위해서 샘플링과 같은 설계 고려사항들에 기초하여 선택될 수 있다.

[0027] [0035] 추가로, 전용 프리페치 정책들(A 및 B)은, 프리페치 정책들(A 및 B)이 상이한 프리페치 정책들인 한, 원하는 임의의 프리페치 정책들로서 제공될 수 있다. 그렇지 않으면, 동일한 프리페치 정책은 팔로워 캐시 세트들(46)에 적용될 것이고, 적응형 캐시 프리페치 회로(42)를 이용하지 않고 모든 캐시 세트들(22(0)-22(M))에 대한 단일 프리페치 정책을 사용하는 것보다 캐시 오염을 감소시키기 위한 기회를 가지지 않을 것이다. 예를 들어, 데이터(28)를 전용 캐시 세트들(44(A)(1)-44(A)(Q))로 프리페치하는데 사용되는 프리페치 정책(A)은 네버 프리페치에 대한 것일 수 있는 반면, 프리페치 정책(B)은 전용 캐시 세트들(44(B)(1)-44(B)(Q))로의 데이터(28)에 대한 올웨이즈 프리페치에 대한 것일 수 있다.

[0028] [0036] 전용 캐시 세트들(44(A), 44(B))에서의 경합 전용 프리페치 정책들에 기초하여 도 1의 캐시 메모리 시스템(12) 상에서 수행되는 적응형 프리페치를 추가로 설명하기 위해서, 도 3a 및 도 3b가 제공된다. 도 3a는 전용 캐시 세트(44(A), 44(B))의 경합을 트래킹하기 위해서 캐시(14) 내의 전용 캐시 세트(44(A), 44(B))가 액세스되는 경우 캐시 미스가 발생하는지 여부에 기초하여 미스 카운터(50)의 미스 카운트(54)를 업데이트하기 위한 예시적 프로세스(60)의 흐름도이다. 도 3b는 전용 캐시 세트들(44(A), 44(B)) 사이의 경합을 트래킹하는 미스 카운터(50)의 미스 카운트(54)에 기초하여 데이터(28)를 캐시(14) 내의 팔로워 캐시 세트들(46)로 프리페치하기 위해서, 전용 프리페치 정책들(A, B) 사이에서 선택된 프리페치 정책을 사용하는 적응형 캐시 프리페치를 위한 예시적 프로세스(80)의 흐름도이다. 프로세스들(60, 80) 둘 다는 도 1의 캐시 메모리 시스템(12)을 참조하여 설명될 것이다.

[0029] [0037] 도 3a를 참조하면, 캐시(14)의 캐시 제어기(26)는 캐시(14)에서 어드레싱될 메모리 어드레스를 포함하는 메모리 액세스 요청(34)을 수신한다(블록(62)). 캐시 제어기(26)는 메모리 액세스 요청(34)의 메모리 어드레스에 대응하는 캐시(14) 내의 캐시 엔트리들(24(0)-24(N)) 사이의 액세스되는 캐시 엔트리(24)가 캐시(14)의 데이터 어레이(20)에 포함되는지 여부를 결정하기 위해서 태그 어레이(18)를 참고한다(consult)(블록(64)). 메모리

액세스 요청(34)의 메모리 어드레스가 캐시(14)의 데이터 어레이(20)에 포함되면, 캐시 히트를 의미하는 것(meaning)이 발생하고(판정(66)), 미스 카운터(50)의 미스 카운트(54)가 업데이트되지 않고(블록(66)), 프로세스가 종료된다(블록(68)). 그러나, 메모리 액세스 요청(34)이 캐시(14) 내의 데이터 어레이(20)에 포함되지 않으면(판정(66)), 캐시 미스를 의미하는 것이 발생하고, 캐시 제어기(26)는 캐시 미스를 적응형 캐시 프리페치 회로(42)에 통신한다. 캐시 미스가 전용 캐시 세트(44(A) 또는 44(B))에 대한 것이면(판정(70)), 미스 카운터(50)의 미스 카운트(54)는 액세스되는 캐시 엔트리(24)로부터 전용 캐시 세트(44(A), 44(B))로 발생하는 캐시 미스에 기초하여 업데이트되고(블록(72, 74)), 프로세스가 종료된다(블록(68)). 예를 들어, 미스 카운터(50)의 미스 카운트(54)는 캐시 엔트리(24)로부터 발생하는 캐시 미스가 전용 캐시 세트(44(A))에서 발생하였을 경우 중분될 수 있고, 액세스되는 캐시 엔트리(24)로부터 발생하는 캐시 미스가 전용 캐시 세트(44(B))에서 발생하였을 경우 감소될 수 있다. 따라서, 도 3a의 이 예시적 프로세스(60)는 전용 캐시 세트(44(B))로의 캐시 미스들의 경합을 트래킹하기 위해서 미스 카운터(50)의 미스 카운트(54)를 유지한다. 캐시 미스가 전용 캐시 세트(44(A) 또는 44(B))에 대한 것이 아니라면(판정(70)), 미스 카운트(54)는 업데이트되지 않고, 프로세스가 종료된다(블록(68)).

[0030] 위에서 논의된 바와 같이, 도 3b의 프로세스(80)는 미스 카운터(50)의 미스 카운트(54)에 기초하여, 전용 캐시 세트(44(A), 44(B))와 연관된 전용 프리페치 정책들(A, B) 사이에서 선택되는 프리페치 정책을 사용하여 데이터(28)를 캐시(14)로 프리페칭하는데 사용된다. 이와 관련하여, 프리페치 요청(40)은 데이터(28)를 캐시(14) 내의 캐시 세트들(22(0)-22(M)) 사이에서 액세스되는 캐시 세트(22) 내의 캐시 엔트리(24)로 프리페칭하기 위해서 CPU(32) 또는 하위 레벨 메모리(36)에 의해 발행된다(블록(82)). 적응형 캐시 프리페치 회로(42)의 프리페치 필터(56)는 캐시 제어기(26)로부터 수신되는 정보에 기초하여, 액세스되는 캐시 세트(22)가 전용 캐시 세트(44(A), 44(B))인지 여부를 결정한다(판정(84)). 액세스되는 캐시 세트(22)가 전용 캐시 세트(44(A), 44(B))이면(판정(84)), 프리페치 필터(56)에 의해 적용되는 프리페치 정책은 액세스되는 특정 전용 캐시 세트(44(A), 44(B))와 연관된 각각의 전용 프리페치 정책(A 또는 B)이다(블록(88)). 그러나, 액세스되는 캐시 세트(22)가 전용 캐시 세트(44(A), 44(B))가 아니지만(판정(84)) 대신에 팔로워 캐시 세트(46)이면, 프리페치 필터(56)는 미스 카운터(50)의 미스 카운트(54)에 기초하여, 프리페치 요청(40)에 적용될 전용 프리페치 정책들(A 또는 B)로부터 프리페치 정책을 선택한다(블록(86)). 예를 들어, 미스 카운트(54)가 전용 캐시 세트(44(A))가 액세스되는 경우 전용 캐시 세트(44(B))보다 더 적은 캐시 미스들을 발생시켰음을 표시하면, 프리페치 필터(56)는 팔로워 캐시 세트(46)에 대한 프리페치 요청(40)에 대해 사용될 프리페치 정책(A)을 선택할 수 있다. 또한, 블록(86)에서, 추가적 또는 대안적 특징으로서, 캐시 프리페치 회로(42)의 프리페치 필터(56)는 또한, 제 2 전용 프리페치 정책(B)의 제 1 전용 프리페치 정책(A)이 미스 카운트에 기초하여, 프리페치 요청(40)에 적용되어야 하는지 여부를 확률적으로 결정하도록 제어될 수 있다. 어느 경우든, 액세스되는 캐시 세트(22)가 전용 캐시 세트(44(A), 44(B))이든 아니면 팔로워 캐시 세트(46)이든 간에, 프리페치 필터(56)에 의해 적용되는 선택된 프리페치 정책이 액세스되는 캐시 세트(22)의 캐시 엔트리(24)에 프리페칭된 캐시 데이터(30)를 채우는데(블록(90)) 사용되고, 프로세스가 종료된다(블록(92)).

[0031] 위에서 논의된 바와 같이, 전용 프리페치 정책(A) 또는 전용 프리페치 정책(B)을 바이모달 방식으로(bimodally) 선택하기 위해서 고정 임계치에 미스 카운트(54)를 적용시키는 것보다는, 미스 카운트(54)는 미스 카운트(54)의 크기에 기초하여, 전용 프리페치 정책(A) 또는 전용 프리페치 정책(B)을 사용할 것인지 여부를 선택할 확률을 제어하는데 사용될 수 있다. 예를 들어, 미스 카운트(54)의 큰 값은 전용 프리페치 정책(A)을 선택할 높은 가능성(그리고 반대로, 전용 프리페치 정책(B)을 선택할 낮은 가능성)을 표시하는데 사용될 수 있다. 미스 카운트(54)의 작은 값은 전용 프리페치 정책(A)을 선택할 낮은 가능성(그리고 반대로, 전용 프리페치 정책(B)의 높은 가능성)을 표시하는데 사용될 수 있다. 예로서, 이러한 확률적 함수는 미스 카운트(54)와 비교될 랜덤 정수를 생성함으로써 구현될 수 있다. 예를 들어, 미스 카운트(54)가 육(6) 비트 카운터를 사용하여 구현되면, 랜덤한 6-비트 정수가 생성되어 미스 카운트(54)와 비교된다. 미스 카운트(54)가 랜덤하게 생성되는 정수보다 적거나 또는 그와 동일하면, 전용 프리페치 정책(A)이 사용되고; 그렇지 않으면, 전용 프리페치 정책(B)이 사용된다.

[0040] 도 4는 적응형 캐시 프리페칭이 적응형 캐시 프리페치 회로(42)에 의해 수행되는 경우, 도 1의 캐시 메모리 시스템(12)의 캐시(14)로의 예시적 프리페칭 성능을 예시하는 그래프(94)이다. 이와 관련하여, 캐시 오염(96)은 Y-축 상에서 도시된다. 캐시 오염(96)의 상위 레벨은 그래프(94)의 Y-축 상에서 더 높은 진폭으로 도시된다. 캐시 오염(96)은 네버(never) 프리페치 정책(100)만을 사용하여, 올웨이즈(always) 프리페치 정책(102)만을 사용하여 그리고 위에서 논의된 적응형 캐시 프리페치 회로(42)에 의해 제공되는 바와 같은 프리페치 듀얼링 정책(104)을 사용하여 X-축 상에 도시되는 바와 같이, 예시적 애플리케이션들(98(1)-98(X))에 대해 벤치마킹

된다. 도시되는 바와 같이, 적응형 캐시 프리페치 회로(42)에 의해 제공되는 바와 같이 프리페치 듀얼링 정책(104)을 이용하는 캐시 오염(96)은 네버 프리페치 정책(100)만을 또는 올웨이즈 프리페치 정책(102)만을 사용하는 것에 대해 대부분의 애플리케이션들(98(1)-98(X))에 대한 더 적은 캐시 오염(96)(즉, 더 낮은 진폭 캐시 오염(96))을 초래한다.

[0033]

[0041] 추가로, 도 3a 및 도 3b의 예시적 프로세스들에서의 도 1의 적응형 캐시 프리페치 회로(42)의 동작이 선택적으로 디스에이블되도록 구성될 수 있다는 점이 주목된다. 예를 들어, 도 1의 적응형 캐시 프리페치 회로(42)는 도 3b의 블록(86)에서 제 1 전용 프리페치 정책(A)과 제 2 전용 프리페치 정책(B) 사이에서 프리페치 정책을 선택하지 않도록 구성될 수 있다. 대신에, 프리페치 요청(40)에 대해 제공되거나 또는 프리페치 요청(40)과 연관된 디폴트 프리페치 정책 또는 프리페치 정책은 데이터(28)를 팔로워 캐시 세트(46)로 프리페치하기 위해서 사용될 것이다. 예를 들어, 인에이블/디스에이블 특징은 인에이블/디스에이블 비트로서 지정되는 미스 카운트(54)의 비트에 기초하여 제어될 수 있다. 예를 들어, 미스 카운트(54)의 최상위 비트는 적응형 캐시 프리페치 인에이블/디스에이블 비트로서 지정될 수 있다. 미스 카운터(50)는 캐시 제어기(26)로부터의 명령에 기초하여 미스 카운트(54)의 인에이블/디스에이블 비트를 세팅하도록 구성될 수 있다. 적응형 캐시 프리페치 회로(42)는 미스 카운트(54)에 기초하여, 프리페치 필터(56)가 프리페치 요청(40)에 전용 프리페치 정책을 적용시켜야 하는지 여부를 결정하기 위해서 미스 카운터(50)로부터 미스 카운트(54)를 수신하는 것의 일부로서 해당 인에이블/디스에이블 비트를 리뷰하도록 구성될 수 있다. 유사하게, 표시자는, 원하는 경우 프리페치 필터(54)가 전용 프리페치 정책들(A, B) 중 하나를 사용해서는 안 됨을 표시하기 위해서 적응형 캐시 프리페치 회로(42)에서 제공될 수 있다.

[0034]

[0042] 도 1에서, 적응형 캐시 프리페치 회로(42)는 캐시 메모리 시스템(12) 내의 캐시 제어기(26) 외부에 제공된다. 위에서 논의된 바와 같이, 적응형 캐시 프리페치 회로(42)는 프리페치들에 대한 전용 프리페치 정책들(A 또는 B) 사이에서 선택된 프리페치 정책을 캐시 세트들(22(0)-22(M)) 사이의 팔로워 캐시 세트들(46)에 적용시키기 위해서 프리페치 요청(40)을 수신한다. 그러나, 도 1의 적응형 캐시 프리페치 회로(42)의 기능은 또한, 캐시 제어기(26) 내에서 제공되거나 또는 캐시 제어기(26)에서 구축될 수 있다. 추가로, 미스 트래킹 회로(47)는 또한, 캐시 제어기(26) 내에서 제공될 수 있다. 이와 관련하여, 도 5는 대안적 캐시 메모리 시스템(12(1))을 포함하는 대안적 컴퓨터 시스템(10(1))을 예시한다. 도 1의 캐시 메모리 시스템(12)과 도 5의 캐시 메모리 시스템(12(1)) 사이에 공통인 컴포넌트들은 공통 엘리먼트 번호들로 도시되며, 따라서, 여기서 재설명되지 않을 것이다. 이 양상에서, 도 1의 적응형 캐시 프리페치 회로(42)의 기능을 포함하는 대안적 캐시 제어기(26(1))가 제공된다. 캐시 제어기(26(1)) 외부에 있는 것으로 도시되는 미스 카운터(50)가 제공되지만, 미스 카운터(50)는 또한, 캐시 제어기(26(1)) 내에 포함될 수 있다.

[0035]

[0043] 추가로, 위에서 논의된 도 1 및 도 2의 데이터 어레이(20) 내의 복수의 캐시 세트들(22(0)-22(M)) 사이의 캐시 세트들(22)은 전용 캐시 세트들(44(A), 44(B))로서 지정되었지만 – 미스 카운터(50)는 미스 포화 카운터였음 –, 이러한 것은 제한되지 않는다는 점이 주목된다. 예를 들어, 데이터 어레이(20) 내의 복수의 캐시 세트들(22(0)-22(M)) 사이의 두(2)개 초과의 탑입들의 캐시 세트들(22)은 전용 캐시 세트들(44)로서 지정될 수 있다. 이것은 적응형 캐시 프리페치 회로(42)에 의해 적용될 수 있는 두(2)개 초과의 전용 프리페치 정책들을 제공하도록 요구될 수 있다. 이러한 경우, 도 1 및 도 5의 캐시 메모리 시스템들(12, 12(1))에서 각각 제공되는 바와 같이 단일 미스 카운터(50)를 사용하는 것 대신에, 다수의 미스 카운터들은 두(2)개 초과의 전용 캐시 세트들(44) 각각에 대한 캐시 미스들을 개별적으로 트래킹하도록 제공될 수 있다.

[0036]

[0044] 이와 관련하여, 도 6a는 두(2)개 초과의 탑입들의 전용 캐시 세트들(44)을 가지는 캐시 메모리 시스템들(12, 12(1)) 내의 데이터 어레이(20)의 도면이다. 도 6a의 데이터 어레이(20)에서, 세(3)개의 탑입들의 전용 캐시 세트들(44(A), 44(B) 및 44(C))이 존재하고, 여기서, 전용 프리페치 정책(A, B, 및 C)은 각각 전용 캐시 세트들(44(A), 44(B), 44(C)) 각각과 연관된다. 추가로, 전용 캐시 세트(44) 내에서 지정되는 캐시 세트들(22)의 수는 달라질 수 있다. 예를 들어, 전용 캐시 세트들(44(A), 44(B))은 각각 'Q'개수의 캐시 세트들(22)(즉, 44(A)(1)-44(A)(Q) 및 44(B)(1)-44(B)(Q))을 포함한다. 그러나, 전용 캐시 세트(44(C))는 'R'개수의 캐시 세트들(22)(즉, 44(C)(1)-44(C)(R))을 포함한다. 이러한 방식에서, 적응형 캐시 프리페치 회로(42)는 전용 캐시 세트들(44(A), 44(B) 및 44(C))에 대한 트래킹된 캐시 미스들의 경합에 기초하여 캐시 세트들(22(0)-22(M)) 사이의 팔로워 캐시 세트들(46)로 프리페치하기 위한 전용 프리페치 정책(A, B 또는 C) 중 임의의 것을 적용시킬 수 있다.

[0037]

[0045] 도 6b는 대안적 미스 카운터(50(1))의 형태로 대안적 미스 표시자(48(1))를 가지는 대안적 미스 트래킹 회로(47(1))를 예시한다. 미스 카운터(50(1))는 도 6a의 전용 캐시 세트들(44(A), 44(B) 및 44(C))에 대한 캐

시 미스들을 트래킹하도록 구성된다. 이 양상에서, 단지 두(2)개의 타입들의 전용 캐시 세트들(44(A), 44(B))이 존재하지 않기 때문에, 각각의 경합 전용 캐시 세트(44(A), 44(B), 44(C))에 대한 미스 카운트(54(1))를 트래킹하기 위해서 추가 미스 카운터들이 필요하다. 이러한 점에서, 미스 카운터(50(1))는 복수의 미스 카운트들(54(1)-54(D))로 구성되고, 여기서, 'D'는 도 6a의 데이터 어레이(20) 내의 전용 캐시 세트들(44(A), 44(B), 44(C))로서 제공되는 캐시 세트들(22(0)-22(M)) 사이의 캐시 세트들(22)의 총 수이다. 이러한 방식에서, 프리페치 필터(56)는 데이터(28)를 데이터 어레이(20)의 팔로워 캐시 세트들(46)로 프리페칭하기 위해서 전용 프리페치 정책들(A, B 및 C) 사이에서 어떤 전용 프리페치 정책을 사용할 것인지를 결정하기 위해서 미스 카운터(50(1)) 내의 미스 카운트들(54(1)-54(D)) 각각을 비교할 수 있다.

[0038] [0046] 본원에서 개시되는 양상들에 따른 적응되는 캐시 프리페치 회로들 및/또는 캐시 메모리 시스템들은 임의의 프로세서-기반 디바이스에서 제공되거나 또는 그 내부에 통합될 수 있다. 제한없이, 예들은 셋탑 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크탑 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, DVD(digital video disc) 플레이어 및 휴대용 디지털 비디오 플레이어를 포함한다.

[0039] [0047] 이와 관련하여, 도 7은 도 1 및 도 5의 캐시 메모리 시스템들(12, 12(1)) 및/또는 적응형 캐시 프리페치 회로들(42, 42(1))을 이용할 수 있는 프로세서-기반 시스템(110)의 예를 예시한다. 이 예에서, 프로세서-기반 시스템(110)은 하나 또는 그 초과의 CPU들(112)을 포함하고, 이를 각각은 하나 또는 그 초과의 프로세서들(114)을 포함한다. CPU(들)(112)는 마스터 디바이스일 수 있다. CPU(들)(112)는, 일시적으로 저장되는 데이터로의 고속 액세스를 위해서 프로세서(들)(114)에 커플링된 캐시 메모리 시스템(12 또는 12(1))을 포함할 수 있다. CPU(들)(112)는 시스템 버스(116)에 커플링되며, 프로세서-기반 시스템(110)에 포함되는 마스터 및 슬레이브 디바이스들을 상호커플링시킬 수 있다. 잘 알려진 바와 같이, CPU(들)(112)는 시스템 버스(116) 상에서 어드레스, 제어 및 데이터 정보를 교환함으로써 이러한 다른 디바이스들과 통신한다. 예를 들어, CPU(들)(112)는 슬레이브 디바이스의 예로서 메모리 제어기(118)로 버스 트랜잭션 요청들을 통신할 수 있다. 도 7에 예시되지 않지만, 다수의 시스템 버스들(116)이 제공될 수 있으며, 여기서, 각각의 시스템 버스(116)는 상이한 패브릭을 구성한다.

[0040] [0048] 다른 마스터 및 슬레이브 디바이스들은 시스템 버스(116)에 연결될 수 있다. 도 7에 예시되는 바와 같이, 이 디바이스들은 예들로서 메모리 시스템(120), 하나 또는 그 초과의 입력 디바이스들(122), 하나 또는 그 초과의 출력 디바이스들(124), 하나 또는 그 초과의 네트워크 인터페이스 디바이스들(126) 및 하나 또는 그 초과의 디스플레이 제어기들(128)을 포함할 수 있다. 입력 디바이스(들)(122)는 입력 키들, 스위치들, 음성 프로세서들 등을 포함하는(그러나, 이들에 제한되는 것은 아님) 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(124)는 오디오, 비디오, 다른 시각적 표시자들 등을 포함하는(그러나, 이들에 제한되는 것은 아님) 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(126)는 네트워크(130)로의 그리고 네트워크(130)로부터의 데이터의 교환을 허용하도록 구성되는 임의의 디바이스들일 수 있다. 네트워크(130)는 유선 또는 무선 네트워크, 사설 또는 공공 네트워크, LAN(local area network), WLAN(wide local area network) 및 인터넷을 포함하는(그러나, 이들에 제한되는 것은 아님) 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(126)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0041] [0049] CPU(들)(112)는 또한, 하나 또는 그 초과의 디스플레이들(132)에 전송된 정보를 제어하기 위해서 시스템 버스(116) 상에서 디스플레이 제어기(들)(128)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(128)는 하나 또는 그 초과의 비디오 프로세서들(134)을 통해 디스플레이될 정보를 디스플레이(들)(132)에 전송하고, 이는 디스플레이(들)(132)에 적합한 포맷으로 디스플레이될 정보를 프로세싱한다. 디스플레이(들)(132)는 CRT(cathode ray tube), LCD(liquid crystal display), 플라즈마 디스플레이 등을 포함하는(그러나, 이들에 제한되는 것이 아님) 임의의 타입의 디스플레이를 포함할 수 있다.

[0042] [0050] 당업자들은, 본원에서 개시되는 양상들과 관련하여 설명되는 다양한 예시적 로직 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터 판독가능한 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이 둘의 결합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 본원에서 개시되는 메모리는 임의의 타입 및 크기의 메모리일 수 있으며, 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이 상호교환가능성을 명확하게 예시하기 위해서, 다양한 예시적 컴포넌트들, 블록

들, 모듈들, 회로들 및 단계들이 일반적으로 그들의 기능적 관점에서 위에서 설명되었다. 이러한 기능이 어떻게 구현되는지는 전체 시스템 상에 부과되는 특정 애플리케이션, 설계 선택들 및/또는 설계 제약들에 의존한다. 당업자들은 설명되는 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 이러한 구현 결정들이 본 개시 내용의 범위로부터의 이탈을 야기하게 하는 것으로 해석되어서는 안 된다.

[0043] [0051] 본원에서 개시되는 양상들과 관련하여 설명되는 다양한 예시적 로직 블록들, 모듈들 및 회로들은 프로세서, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 또는 다른 프로그램가능한 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에서 설명되는 기능들을 수행하도록 설계되는 이들의 임의의 결합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어, DSP 및 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과의 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수 있다.

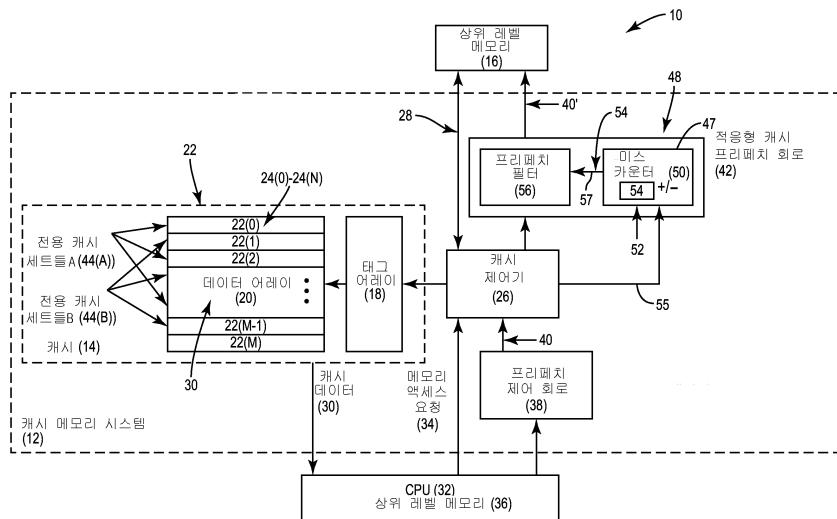
[0044] [0052] 본원에서 개시되는 양상들은 하드웨어로 그리고 하드웨어에 저장된 명령들로 구현될 수 있고, 예를 들어, RAM(Random Access Memory), 플래시 메모리, ROM(Read Only Memory), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 레지스터들, 하드 디스크, 이동식(removable) 디스크, CD-ROM 또는 당해 기술 분야에 공지되는 임의의 다른 형태의 컴퓨터 판독가능한 매체에 상주할 수 있다. 예시적 저장 매체는 프로세서가 저장 매체로부터 정보를 판독하고 그리고 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격국에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격국, 기지국 또는 서버에서 별개의 컴포넌트들로서 상주할 수 있다.

[0045] [0053] 또한, 본원에서의 예시적 양상들 중 임의의 것에서 설명되는 동작 단계들은 예들 및 논의를 제공하기 위해서 설명된다는 점이 주목된다. 설명되는 동작들은 예시되는 시퀀스들 외의 다수의 상이한 시퀀스들로 수행될 수 있다. 게다가, 단일 동작 단계에서 설명되는 동작들은 실제로 다수의 상이한 단계들로 수행될 수 있다. 추가적으로, 예시적 양상들에서 논의되는 하나 또는 그 초과의 동작 단계들은 결합될 수 있다. 흐름도 도면들에서 예시되는 동작 단계들에 당업자에게 쉽게 명백할 바와 같이 다수의 상이한 수정들이 이루어질 수 있다는 것이 이해될 것이다. 당업자들은 또한, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광 필드들 또는 광 입자들 또는 이들의 임의의 결합으로 표현될 수 있다.

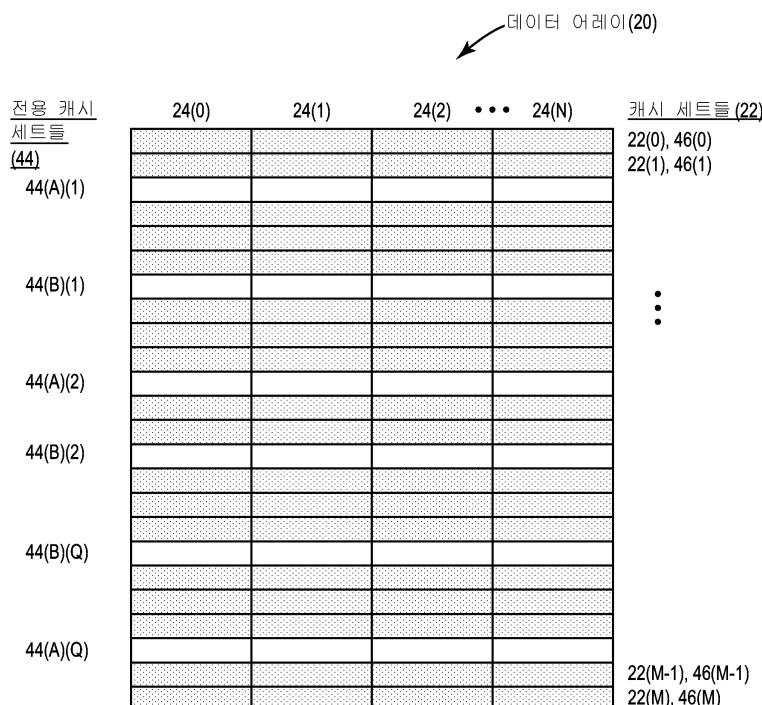
[0046] [0054] 본 개시 내용의 이전 설명은 임의의 당업자가 본 개시 내용을 실시하거나 또는 사용하는 것을 가능하게 하도록 제공된다. 본 개시 내용에 대한 다양한 수정들은 당업자들에게 쉽게 명백할 것이고, 본원에서 정의되는 일반적인 원리들은 본 개시 내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시 내용은 본원에서 설명되는 예들 및 설계들에 제한되는 것으로 의도된 것이 아니라, 본원에서 개시되는 원리를 및 신규한 특징들과 일치하는 가장 넓은 범위를 따를 것이다.

도면

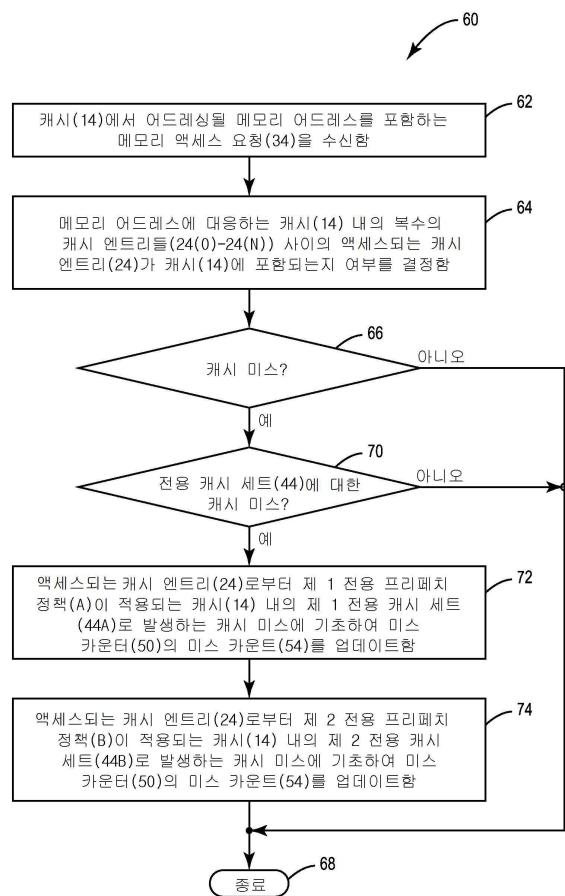
도면1



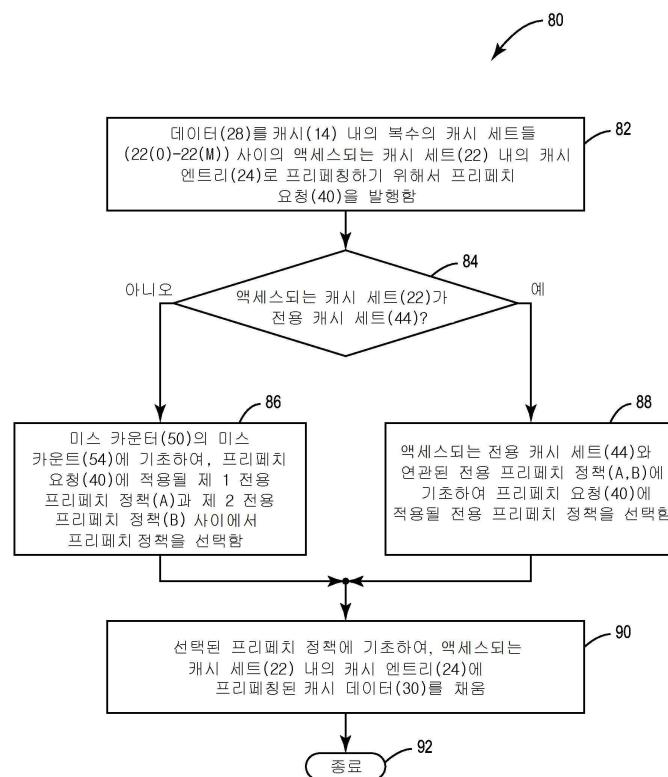
도면2



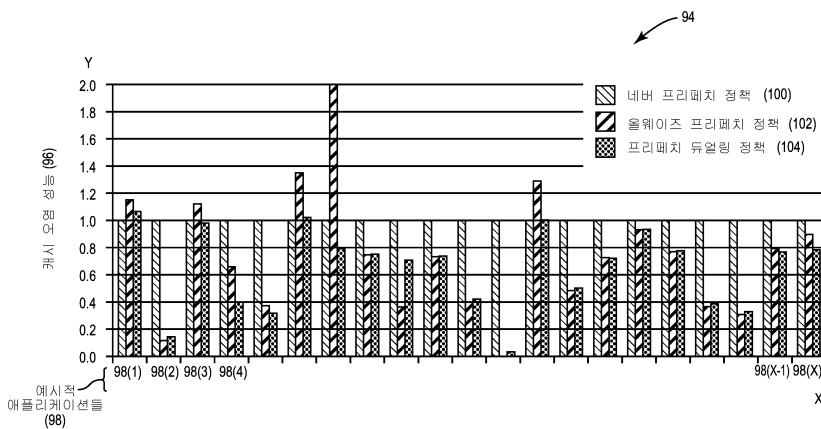
도면3a



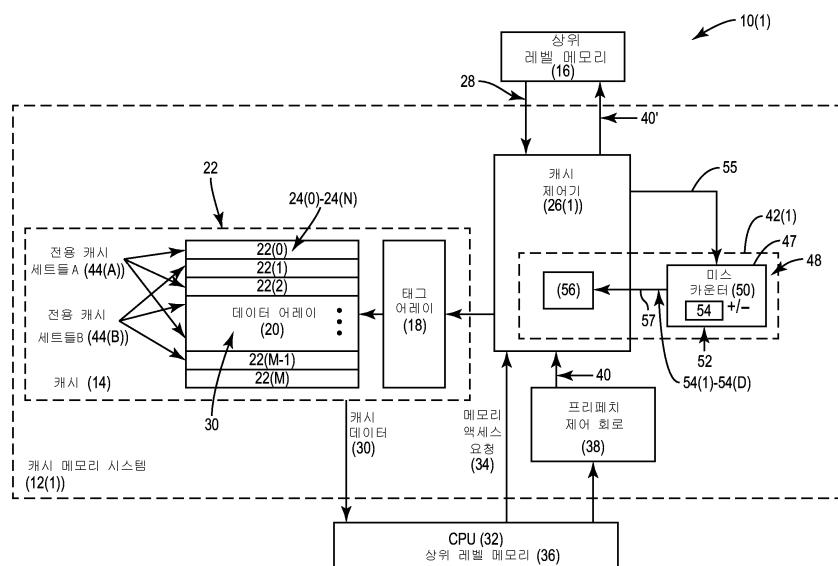
도면3b



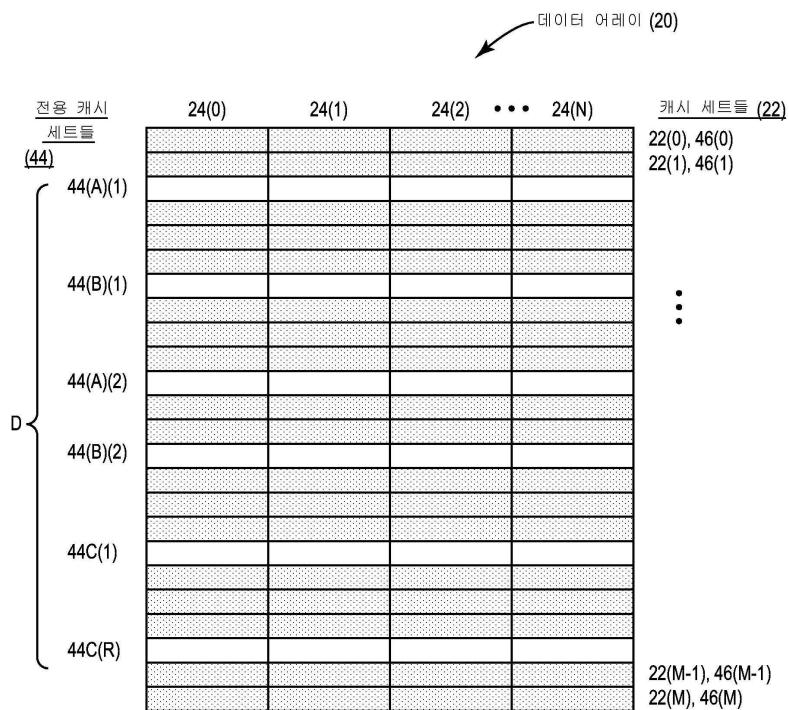
도면4



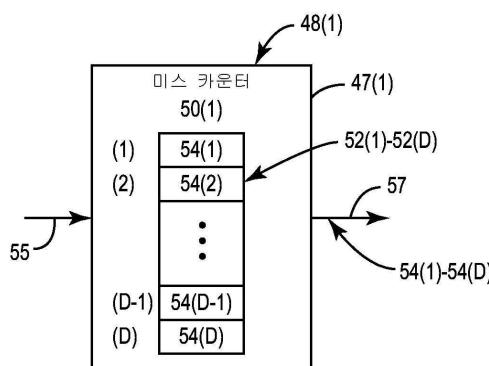
도면5



도면6a



도면6b



도면7

