

96年10月12日修 正替換頁

公告本

# 發明專利說明書

中文說明書替換頁(96年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94143902

※ 申請日期：94/12/12

※IPC 分類：G06F 11/28  
(2006.01)

## 一、發明名稱：(中文/英文)

用以程式化記憶體裝置之參考單元的系統及方法

SYSTEM AND METHOD FOR PROGRAMING REFERENCE CELLS IN MEMORY  
DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商愛特梅爾公司

ATMEL CORPORATION

代表人：(中文/英文)

派屈克 路坦斯

REUTENS, PATRICK

住居所或營業所地址：(中文/英文)

美國加州聖荷西市果園道 2325 號

2325 ORCHARD PARKWAY, SAN JOSE, CA 95131, U. S. A.

國 籍：(中文/英文)

美國 / USA

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

(1) 羅倫佐 貝達利達 / Lorenzo Bedarida

(2) 賽門 巴托里 / Simone Bartoli

(3) 史蒂芬諾 瑟里哥 / Stefano Surico

(4) 馬西米里耶諾 弗魯里歐 / Massimiliano Frulio

國 籍：(中文/英文)

(1)~(4) 義大利 / Italy

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 義大利；2004/12/23；MI 2004 A 002473

2. 美國；2005/03/24；11/089,268

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

使用在一記憶體裝置中之一內嵌式電路以取代一外部測試裝置來實施耗時工作(例如：在參考單元之設定期間的電壓驗證)。一外部測試裝置程式化將至少一參考單元程式化至一預定值。該內嵌式電路使用該外部裝置所程式化之單元做為一比較參考以程式化額外參考單元。

## 六、英文發明摘要：

An embedded circuit in a memory device is used in place of an external test device to perform time-consuming tasks such as voltage verification during the setting of reference cells. An external test device programs at least one reference cell to a predetermined value. The embedded circuit uses the cell programmed by the external device as a comparative reference to program additional reference cells.

七、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於記憶體裝置及特別地是有關於一種程式化在一快閃記憶體裝置中之參考單元的系統及方法。

### 【先前技術】

一典型快閃記憶體裝置包括一用於資料之儲存的記憶體單元陣列、一用以處理資料之輸入、輸出及儲存的控制電路及一用以提供一組參考標準之參考單元陣列，每一參考標準具有一已由一外部電壓設定機器所精確設定之臨界電壓。

一典型快閃記憶體單元係藉由造成從靠近汲極之通道區域至該浮動閘極的熱電子注入來程式化。一快閃記憶體單元之抹除係藉由浮動閘極與源極間或浮動閘極與基板間之富勒－諾得漢穿隧（Fowler-Nordheim tunneling）來實施。一快閃單元之程式化或抹除導致在該程式化或抹除單元中之一非揮發性臨界電壓  $V_t$ 。

在一像記憶體讀取、程式化、抹除或驗證之快閃記憶體操作期間，將一已選擇記憶體單元之狀態與該參考陣列中之針對該所實施的操作而程式化之一參考單元的狀態做比較。例如：要確定是否已適當地程式化或抹除一特定記憶體單元，將該參考陣列中之一參考單元的臨界電壓與一記憶體單元之臨界電壓做比較。使用一位於該控制電路中之感測電路來實施該記憶體單元與該參考單元間之電壓比較。

該參考單元陣列通常係由一組參考單元所構成，每一參考單元具有一適用於一特定記憶體操作之預先程式化臨界電壓  $V_t$ 。目前，該等參考單元之程式化通常係藉由一外部測試裝置來實施。在該參考單元程式化程序期間，該外部裝置機器傳送一串列之程式化脈衝至該參考單元以引起熱電子注入。然後，測量或讀取該參考單元之臨界電壓  $V_t$  以確定是否已達到一期望臨界電壓  $V_t$ 。如果  $V_t$  低於該期望值，則傳送更多程式化脈衝至該參考單元。重複此程式化/抹除及/或讀取程序，直到達到該期望臨界電壓為止。

該參考單元之程式化、讀取及抹除的重複程序係非常花費時間的。該程式之大部分時間密集部分係有關於該讀取步驟，其中將一電壓施加至每一參考單元之閘極及汲極以及藉由使用一直接記憶體存取(DMA)法之測量裝置來測量該結果電流。例如：在達成一精確電壓前，在一測試及設定程序期間一參考單元通常花費至少 10 個 DMA 讀取及每一 DMA 讀取可能花費至少 50ms。因此，單一參考單元之設定所花費的最小時間為 500ms。較高精確度需要更多 DMA 讀取，以及在一些範例中，一高精確參考之設定所花費的時間可能為一普通單元之 10 倍。隨著對多層裝置之需求的增加(該多層裝置需要在大範圍之臨界電壓  $V_t$  內設定的多個參考單元)，該參考單元測試及設定時間變得非常的長。對於具有雙工作特徵之裝置而言，參考單元之數目顯著地增加及該參考單元測試及設定時間可能變成高到無法接收之程度。因此，可期望具有一種用以測試及設

定參考單元之可顯著地減少總測試及設定時間的系統及方法。

Hollmer 之發明名稱為「用於快閃單元感測中之程式化/抹除參考單元的內嵌式方法」的美國專利第 6,418,054 號教示一種使用內部電路以設定在 UV(紫外線)感光或 UV 可抹除 EPROM 中之參考單元的方法。此等內部取得之參考標準或許可用於某些記憶體裝置。然而，這些內部參考設定機制易受記憶體晶片本身之內部變化的影響及因此它們不適用於需要高精確參考標準之應用。此應用之一範例為一多層記憶體單元裝置，其需要一固定範圍之具有非常小容差的多層臨界電壓分佈。因此，亦可期望具有一可提供一組高精確參考臨界之參考設定系統。

#### 【發明內容】

在此描述一種程式化記憶體參考單元之系統及方法，其使用一像快閃記憶體或 EEPROM 之記憶體裝置的一內嵌式或內部控制電路以實施一單元程式化程序之時間消耗部分的某些部分。

參考圖 1，將一外部測試裝置或其它程式化裝置耦接至一記憶體裝置。顯示該外部測試裝置 1 所實施之動作及一內部控制電路 2 所實施之動作。當程式化在該記憶體裝置中之單元時，藉由供應電源及初始化該外部測試裝置所可能使用之任何參數以開始(步驟 23)該程序。例如：如果一記憶體裝置係一積體電路，則該外部測試裝置可以是一耦接至該記憶體裝置之接腳或接觸墊的電路。接下來，在步

驟 24 中，該外部測試裝置程式化在該記憶體裝置中之至少一參考單元至一精確值（例如：一臨界電壓值  $V_t$  或一電流值  $I_g$ ）。

以下將該外部測試裝置所程式化之參考單元稱為「重要單元(golden cells)」。將在該快閃記憶體裝置中之其它「非重要(non-golden)」參考單元稱為「參考單元」。一旦該測試裝置已完成所需數目之重要單元的程式化，該測試器不程式化在該記憶體裝置中之任何剩餘單元。將使用該（等）重要單元做為一比較標準以設定其它額外參考單元。

在已設定至少一重要單元之後，該外部測試裝置或其它裝置指示（步驟 25）一在該記憶體裝置中所嵌入之內部控制電路開始設定其它參考單元。例如：設定一鎖存器或可以傳送一命令至該內部控制電路，以表示該外部裝置已完成至少一重要單元之程式化及該內部控制電路現在應開始設定或程式化其它內部控制參考單元。接下來，藉由該內部控制電路連續地程式化（步驟 26）該等參考單元，或者在另一情況中，可以藉由在該記憶體裝置內部之多組電路同時程式化該等參考單元。然後，該內部控制電路反覆地程式化及將該等已程式化參考單元與該等重要單元中之至少一重要單元比較。

當已藉由該內部控制電路設定所需數目之參考單元時，完成該參考單元程式化操作，以及該內部控制電路停止該參考單元程式化操作（步驟 27）。該內部控制電路所



實施之反覆程式化及比較操作使該外部測試裝置免於程式化在該記憶體裝置中之所有所需數目的參考單元之工作。

### 【實施方式】

參考圖 2，快閃記憶體裝置 10 具有一記憶體單元陣列 12。該記憶體單元陣列 12 係由複數個快閃記憶體單元(未顯示)所構成。藉由一內部控制電路 14 實施在該記憶體單元陣列 12 中之參考記憶體單元的程式化、讀取及抹除。該內部控制電路 14 包含用於不同記憶存取功能之執行的狀態機邏輯電路(未顯示)、用於該等記憶體單元之讀取的複數個感測電路(未顯示)、用於記憶體單元之適當選擇的複數個定址邏輯單元及用於資料之輸入及輸出的複數個輸入/輸出邏輯單元(未顯示)。在記憶體單元之讀取期間，一組參考單元 20 提供用以與該記憶體單元陣列中之其它記憶體單元比較之標準參考。

一重要單元(golden cell)22 提供一精確、最佳及預定參考或絕對臨界值，其可用以設定或程式化至少一額外參考單元。一外部測試裝置 16 連接至一重要單元 22，該重要單元 22 將在稍後程式化至少另一參考單元時用以做為一標準比較單元。

在一具體例中，該外部測試裝置 16 藉由重複傳送程式化脈衝至至少一重要單元 22 及然後使用一直接記憶體存取(DMA)法以測量一結果臨界電壓的步驟來程式化該重要單元 22 至一特定臨界電壓。可使用受控程式化/抹除脈衝

來設定一臨界電壓以完全程式化/抹除該重要單元 22。因為 DMA 測量係一用以測量該臨界電壓之精確方法，所以使用此建立一重要電壓(golden voltage)之步驟以建立一用以在稍後設定一組額外參考單元 20 之精確參考。

在該外部測試裝置 16(使用一啟始程式化電壓、程式化脈衝、脈衝間之步驟及電壓驗證)已設定所需數目之重要單元後，該外部測試裝置 16 不設定該等其它額外參考單元 20。接下來，該外部測試裝置 16 指示該內部控制電路 14 可以開始設定至少一內部參考單元 20。例如：該外部測試裝置 16 可以提供一命令至該內部控制電路 14 或設定一鎖存器或線至一預定邏輯值。在該外部測試裝置 16 已提命令該內部控制電路 14 開始操作後，該外部測試裝置 16 不再設定任何參考單元 20。然後，該內部控制電路 14 使用至少一已程式化重要單元 22 做為一標準比較參考以設定或程式化在該記憶體裝置中之至少一參考單元 20。可以從在該記憶體裝置 10 中所嵌入之該組參考單元 20 選擇所要設定的內部參考單元 20 以及可以個別(一次一個)或同時程式化所選擇之內部參考單元 20。

可以使用一目標電壓臨界或藉由使用一目標電流設定手段  $I_m$  來改變一參考單元以獲得一目標臨界值  $V_m$ 。在一具體例中，該內部控制電路實施該重要單元 22 與一單一參考單元 20 間之電流比較。在替代具體例中，可以驗證多個參考單元電流及將其與一預先程式化重要單元做比較。

參考圖 4A，可以藉由程式化一單一參考單元或連續地

一個接一個地程式化多個參考單元以實施一已選擇參考單元 55 之電壓臨界設定程序的一具體例。為了程式化一單一參考單元，只需要一單一感測電路 58 及一單一指標線 59。特別地，對於一臨界設定方法而言，可以設定已選擇比例裝置，以致於一重要單元 50 與一已選擇參考單元 55 間之電流比例等於 1。感測放大器將針對每一參考單元 55 驗證：

$$I_{\text{ref-cell}}(\text{具有 } V_{\text{gateci}}=V_{\text{thi}})=I_{\text{golden\_cell}}(\text{具有 } V_{\text{gateg}}=V_{\text{tg}})$$

其中  $V_{\text{thi}}$  係該要被設定之參考單元的目標臨界，以及  $V_{\text{tg}}$  係該重要單元之臨界。並且，在一已選擇參考單元 55 之設定期間，一重要單元 50 之閘極電壓可以不同於該已選擇參考電壓 55 之閘極電壓。

在一參考單元設定程序之一具體例中，如圖 3 所示，藉由該內部控制電路啟動一示範性演算法 200 來實施一連串之步驟以設定在該組參考單元 20 中之每一參考單元的臨界電壓。在一具體例中，該內部控制電路 14 中之緩衝器(未顯示)載有一組在  $V_{\text{refl}}$  至  $V_{\text{refm}}$  範圍內之期望臨界電壓值，其中變量  $m$  係提及所要設定之對應參考單元的數目。

在該演算法 200 之開始時，將一用以追蹤參考單元之數目的計數器重置(步驟 30)成為一初始值。例如：可以在每一程式化例行程序之開始時將該計數器重置成為 1 以表示在該組參考單元 20 中之第一參考單元要被程式化。根據該第一參考單元之目標臨界電壓  $V_1$ ，將一啟始程式化電

壓值載入(步驟 32)一位於該內部控制電路 14 中之程式化電路。

可以使用一內部控制電路來驗證(步驟 34)該第一參考單元之臨界電壓，其中該內部控制電路相似於用以感測標準記憶體單元之內部控制電路。該操作藉由比較(步驟 36)一特定參考單元之測量臨界電壓與該目標單元臨界電壓值  $V_1$  以使該參考單元與一預設重要單元相配。

如果該第一參考單元之測量臨界電壓不符合該目標臨界電壓值  $V_1$ ，則該演算法進行將閘極電壓增加至比先前所施加之電壓高的數值(例如：從 4.0 伏特至 4.125 伏特，高有 0.125 伏特)以及傳送一額外程式化脈衝至該第一參考單元(步驟 40)。然後，再次驗證(步驟 34)該第一參考單元之臨界電壓。一旦達到該目標臨界電壓，該參考單元被適當地程式化。如果該第一參考單元之測量臨界電壓符合在該緩衝器中所儲存的目標臨界電壓值  $V_1$ ，則該演算法進行檢查是否要程式化更多參考單元。

如果尚未程式化或設定最後參考單元，則遞增(步驟 44)該單元計數器及然後程式化下一參考單元。如果已程式化最後參考單元，則確定(步驟 42)已達到最後計算，以及終止(完成)該臨界電壓設定演算法。

在一替代具體例中，可以實施一參考單元之驗證及比較操作。通常，可以使用一目標電流  $I_m$  改變該參考單元之臨界以獲得一目標臨界值  $V_m$  來設定該參考單元。相似於圖 3 中之步驟，可以藉由實施一參考單元與一重要單元間之電

流比較以執行用以驗證(步驟 34)一臨界設定之步驟及隨後步驟 36-44。

在另一具體例中，使用一電流設定方法，一內部控制電路以一字元線供應電壓實施該重要單元 22 與每一參考單元 20 間之電流比較(步驟 36)以設定在每一參考單元 20 中之期望臨界值。通常，將測量該重要單元電流  $I_g$  及使用一已選擇或預定字元線供應電壓將其與參考單元電流做比較(步驟 36)。將使用一特定閘極電壓  $V_g$  以測量該參考單元電流。然而，可以使用其它電壓參考。

在該外部測試裝置 16 預先程式化一重要單元 22 後，可以使用一內部控制電路 14 設定一參考單元 20。使用電壓臨界  $V_{tg}$  或單元電流以將參考單元 20 特性與該已程式化重要單元 22 做比較。

(在該臨界參考設定程序中)使用一電流  $I_{th}$  以界定一電壓臨界並不需要使  $I_{th}$  等於在該電流參考設定中所使用之重要電流(golden current)。通常藉由一外部測試裝置 16 預先程式化一重要單元 22 至一已界定電壓臨界  $V_{tg}$ 。將該重要單元 22 之一特定電壓臨界  $V_{tg}$  相關聯於一特定電流臨界  $I_{th}$ ，其中該特定電流臨界  $I_{th}$  係被選擇以界定一單元之電壓臨界值。通常，如果當該重要單元之閘極為  $V_{tg}$  時，該重要單元吸取一預先選擇電流( $I_{th}$ )，則將該重要單元界定成具有臨界  $V_{tg}$ 。此用以界定一電壓臨界之電流  $I_{th}$  通常為一非常低電流(例如： $1\mu A$  至  $2\mu A$ )。可以使用  $1\mu A$   $I_{th}$  電流來選擇該電流值以界定一電壓快閃臨界，以便只當該重

要單元在閘極電壓為 2 伏特時汲取  $1\mu\text{A}$  時，該重要單元可具有 2 伏特之臨界。可選擇地在一電流參考設定方法中，界定一  $I_g$ (閘極)電流比較及將其設定為一已選擇固定閘極電壓值(通常等於讀取模式閘極電壓)。當該重要單元之閘極等於一讀取閘極值  $V_{xr}$  時，可以使用已選擇電壓參數(例如:20 微安)來界定該重要電流比較  $I_g$ 。可以藉由該外部測試裝置 16 將該  $V_{xr}$  值預先程式化於一重要單元 22 中。

進一步參考圖 3，可以在一重要單元 22 電流  $I_g$ (或者  $I_g$  之倍數或小部分)與一單一參考單元電流  $I_{refM}$  之間做比較，同時將在一載入程式化值(步驟 32)暫存器中所儲存之一預定電壓( $V_{TrM}$ )施加至該重要單元 22 之閘極(顯示於圖 2 中)及一參考單元 20 之閘極(顯示於圖 2 中)。在針對一特定參考單元完成計數器重置(步驟 30)及載入(步驟 32)一程式化電流值之步驟後，對該參考單元 20 實施一電流驗證(步驟 34)，接著實施該重要單元電流  $I_g$ (或者  $I_g$  之倍數或小部分)與該參考單元電流  $I_{refM}$  間之比較(步驟 36)。如果  $I_{refM} > I_g$ (或者  $I_g$  之倍數或小部分)，則針對該參考單元所設定之期望已程式化臨界係不能令人滿意的，因此必須改變該期望已程式化臨界。在一具體例中，傳送(步驟 40)額外調整脈衝，直到發生該重要單元電流  $I_g$ (或者  $I_g$  之倍數或小部分)等於該參考單元電流  $I_{refM}$  之期望條件為止。該參考單元將持續被程式化(或抹除)，直到該參考單元中之電流臨界等於該重要單元中之電流臨界(或者  $I_g$  之倍數或小部分)為止。

在一具體例中，該外部測試裝置 16 在一特定讀取電壓  $V_{\text{read}}$  下程式化該重要單元 22 至一特定電流值  $I_{\text{current}}$ 。繼續參考圖 3，將一特定參考單元電流  $I_{\text{refM}}$  載入(步驟 30)該程式化數值暫存器。當該參考單元閘極等於該重要單元 22 之讀取電壓  $V_{\text{read}}$  時，此電流值為該期望參考單元電流。

在另一具體例中，可以設定參考單元電流  $I_{\text{refM}}$  成為一重要單元電流  $I_g$  之小部分或倍數。例如：當施加一讀取電壓  $V_{\text{read}}(V_{\text{xr}})$  至該重要單元 22 之閘極時，可以將該重要單元 22 設定成用以汲取  $I_g$ 。該內部控制電路 14 亦可針對該參考單元電流  $I_{\text{refi}}$  配置一比例係數  $R_i$ ，以便該重要單元閘極與參考單元閘極兩者為  $V_{\text{xr}}$  時， $I_{\text{refi}} = I_g R_i$ 。

圖 4A 之一示範性電路實施一重要單元 50 與至少一參考單元 55 間之電流驗證及/或比較。將一驗證控制閘極電壓  $V_{\text{xr}}$  施加至至少一重要單元 50。將相同值之閘極電壓施加至至少一參考單元 55。將該閘極電壓施加至至少一字元線。通常，在該電流臨界方法中該重要單元閘極電壓  $V_{\text{gs}}$  及該參考單元閘極電壓將等於一讀取電壓  $V_{\text{read}}$ 。

一感測電路 58 監控該重要單元 50 之汲極電流及至少一參考單元 55 之汲極電流。該感測電路 58 比較該重要單元汲極電流與至少一參考單元 55 之汲極電流。如果該重要單元 50 之電流值與至少一參考單元之電流值(或比例，見下面描述)匹配，則該感測電路 58 將在一指標線 59 上提供一有關於該匹配參考之信號以表示該等電流值彼此匹配。參考圖 3，如果該等電流值(或者倍數或小部分)沒有

匹配，則將傳送(步驟 40)一程式脈衝至尚未與一目標電流匹配之至少一參考單元 20，直到該等電流值與該等目標電流匹配為止。

參考圖 4B，每一參考單元 55<sub>1</sub>-55<sub>M</sub>可以使用至少一比例(係數值  $R_1$ 、 $R_2$ 、 $\dots$   $R_M$ )，以便使用一電流方法以同時設定多個參考單元：

$$I_{refM}(\text{具有 } V_{gate}=V_{xr})=I_g(\text{具有 } V_{gate}=V_{xr})^*R_M。$$

對於每一參考單元而言：

$$I_{ref1}(\text{具有 } V_{gate}=V_{xr})=I_g(\text{具有 } V_{gate}=V_{xr})^*R_1$$

$$I_{ref2}(\text{具有 } V_{gate}=V_{xr})=I_g(\text{具有 } V_{gate}=V_{xr})^*R_2$$

以便對於第  $i$  個參考單元而言：

$$I_{refi}(\text{具有 } V_{gate}=V_{xr})=I_g(\text{具有 } V_{gate}=V_{xr})^*R_i。$$

其中  $R_1$ 、 $\dots$   $R_M$  係該期望比例係數。

在一具體例中，對於一單一參考單元而言，將  $R_i$  設定為 1，以及該參考單元電流相同於該重要單元電流  $I_{gold}$ 。在設定多個單元之另一具體例中，針對一已選擇數目之參考單元設定比例電路 52，以便設定目標輸出電流  $I_gR_1$ 、 $I_gR_2$ 、 $\dots$   $I_gR_M$ 。使用  $M$ (多)個數目之感測電路 58 來感測電流  $R_i^*I_{golden\_cell}$  以同時設定  $M$  個參考。在一具體例中，當設定多個參考單元時，每一感測放大器將在已適當程式化每一單元時(例如：藉由雙態觸變一指標線 59)提供一指示，其中該指標線 59 係用於每一個被設定之參考單元。在一具體例中，如果沒有正確地設定所有參考單元，則只將下一程式脈衝施加至這些沒有被正確設定之參考單元。當已



正確地設定所有選定參考單元時，結束一參考單元設定程序。將該係數施加至複數個參考單元 55<sub>i</sub>-55<sub>M</sub> 以允許在一單一電流比較操作中一單一重要單元 50 可與多個參考單元 55<sub>i</sub>-55<sub>M</sub> 做比較。該比例係數值  $R_i$  可以將一分數乘至或施加至每一參考單元 55 之電流值。

例如：可以在一操作中以施加至至少一比例裝置 52<sub>i</sub> 至 52<sub>M</sub> 之比例係數  $R_i$  測量 32 個參考單元 55。在每一參考單元 55(i) 中之電流等於電流  $I_g$  (在該重要單元中) 除以該對應參考係數  $R_i$ ，以便  $I_{ref\_cell(i)} = I_{golden\_cell} / R_i = I_g / R_i$ 。例如：具有 5.5 伏特之讀取閘極電壓及 20 微安之重要單元電流  $I_g$  ( $V_{gateg} = V_{xr}$ ) 以及具有比例係數  $R_i = 2$ ，當該參考單元(i)之閘極  $V_{gateri} = V_{xr}$  時，該參考單元(i)應該具有 10 微安之期望電流，然而當具有比例係數  $R_j = 4$  之參考單元 j 的閘極  $V_{gaterj} = V_{xr}$  時，該參考單元 j 應該具有 5 微安之期望電流。

參考圖 5，當實施一驗證或讀取操作時，一驗證電壓  $V_{verify}$  101 大於該等參考單元之任何臨界電壓  $V_{th\_refm}$  110 及 120。當比較單元時，如果一參考單元之電壓臨界  $V_{th\_ref1}$  110 低於另一參考單元之電壓臨界  $V_{th\_ref2}$  120，則該第一參考單元之電流  $I_{ref1}$  111 將高於該第二參考單元之電流  $I_{ref2}$  121。在此理想情況中，當抹除及程式化時，每一參考單元將維持相同電壓及電流之變化，以及在一讀取或驗證操作期間使用一驗證電壓  $V_{verify}$  101 將可提供可靠結果。當改變任何一參考單元之臨界電壓時，一參考單元將跟隨另一參考單元之臨界電壓及電流，以及可以使用任何

參考單元正確地抹除、程式化或讀取一般記憶體單元。

具有相同增益之參考單元提供在一記憶體裝置中之所有參考單元的均勻效能。期望避免該等參考單元間之不同增益，然而，很難使所有參考單元與在一記憶體陣列中之一般記憶體單元的增益匹配。增益之分佈及臨界之分佈係記憶體陣列製程之正常結果。參考單元之增益的失配減少可允許正確地讀取在一記憶體陣列中之一特定一般記憶體單元的邏輯值之電流容差。

參考圖 6，當實施一驗證操作時，一驗證電壓  $V_{\text{verify}}$  201 大於該等參考單元之臨界電壓  $V_{\text{th\_refm}}$  210 及 220。當比較具不同增益之單元時，如果一參考單元之電壓臨界  $V_{\text{th\_ref1}}$  210 低於另一參考單元之電壓臨界  $V_{\text{th\_ref2}}$  220，則在一驗證操作期間該第一參考單元之電流  $I_{\text{ref1}}$  211 可能小於該第二參考單元之電流  $I_{\text{ref2}}$  221。該等參考單元之增益間的差異可能造成不正確讀取或驗證值。例如：如果使用  $V_{\text{verify}}$  做為一讀取或驗證電壓及使用  $V_{\text{th\_ref2}}$  220 之電流-電流線做為一參考，則一具有關聯於  $V_{\text{th\_ref1}}$  210 之電壓電流特性的單元將因  $I_{\text{ref1}} < I_{\text{ref2}}$  而被讀成邏輯值 0 以取代預定邏輯值 1。在此情況中，使用一超過  $V^*$  230 之驗證電壓將產生一過窄之參考單元容差及可能不正確地讀取另一單元之邏輯值。要改善可靠度，可將一重要單元精確地設定至一特定電流值以減少因該等參考單元之增益的差異所造成的讀取失敗。例如：如果當  $V_{\text{gate}} = V_{\text{verify}}$  時，將該重要單元及參考單元設定至一等於  $I_{\text{ref2}}$  221 之電流值，則將設定一

具有  $V_{thref1}$  210 之特性的參考單元的電壓-電流線，以便當  $V_{gate}=V_{verify}$  時，參考單元  $V_{th\_ref1}$  210 及  $V_{th\_ref2}$  220 之電壓-電流線將在  $I_{ref2}$  221 處相交，因而改善參考單元容差及改善一讀取或驗證操作之可靠度。因此，如果使用一電流方法來設定該等參考單元，則當讀取在一般記憶體單元中所儲存之邏輯值時，將增加該記憶體陣列之可靠度。

在上述揭示中，本發明使外部測試裝置 16 免於必須程式化在該記憶體裝置 10 中之所有參考單元 20。要描述本發明所達成之時間節省，假設  $M$  係所要設定之參考單元的數目及  $C_i$  代表第  $i$  個參考單元，其中  $1 \leq i \leq M$ 。 $C_r$  代表該重要單元， $N$  係用以設定每一單元之程式化脈衝的平均數目， $T_{set\_Cr}$  係用以設定該重要單元之總時間，以及  $T_{set\_Ci}$  係用以設定第  $i$  個參考單元之總時間。在使用一外部測試裝置以測試所有參考單元之傳統方法，該總時間 ( $T_{tot\_test\_device}$ ) 為：

$$T_{tot\_test\_device} = M \cdot N \cdot (T_{prog} + T_{DMA})$$

其中  $T_{prog}$  係用以傳送一程式化脈衝之時間，以及  $T_{DMA}$  係從該外部測試裝置之動態記憶體存取的時間。假設  $T_{DMA} = 50ms$ ， $T_{prog} = 1ms$ ， $M = 20$ ，以及  $N = 10$ ，則  $T_{tot\_test\_device}$  約為 10 秒。在另外情況中，具有本發明之內部控制電路所實施的驗證程序，

$$T_{set\_Cr} = N \cdot (T_{prog} + T_{DMA})$$

$$T_{set\_Ci} = N \cdot (T_{prog} + T_{ver\_emb})$$

其中  $T_{ver\_emb}$  為使用一內部控制電路以驗證臨界電壓之

時間， $T_{ver\_emb}$  相對於 50ms 至 100ms 之  $T_{DMA}$  係可忽略的。用以設定在該記憶體裝置中之所有參考單元的總時間  $T_{tot\_emb}$  為：

$$T_{tot\_emb} = T_{set\_Cr} + M \cdot T_{set\_Ci}$$

根據  $T_{DMA}=50ms$ 、 $T_{prog}=1ms$ 、 $M=20$  及  $N=10$  之相同假設，現在  $T_{tot\_emb}$  只有約 0.5 秒。結果，大大地減少該外部測試裝置程式化在該記憶體裝置中之所有參考單元的總時間。此外，因為可允許程式化多個記憶體裝置（例如：藉由一測試裝置同時程式化多個晶粒），所以可因同時測試之晶粒的數目而加倍節省時間。

將可了解到上述說明係意欲描述用而非限定用。熟習該項技藝者將認知本發明可在所附請求項之精神及範圍內實施修飾及改變。所描述之本發明的具體例可以包括一特定特徵、結構或特性，然而並非每一具體例必需包括所述之特定特徵、結構或特性。雖然所重複使用之措辭「在一具體例中」可以是相同具體例，但是沒有必要是提及相同的具體例。熟習該項技藝者在研讀上述說明時將明顯易知許多其它具體例。例如：在本發明上面所揭露之具體例中，具有一用以實施該等非重要單元之電壓驗證的內部控制電路。然而，亦可使用多個內部控制電路及可在相同時間程式化多個參考單元。因而，將該說明視為描述用而非限定用。因此，應該以該等所附請求項及該等請求項所賦予之均等物的全部範圍來決定本發明之範圍。

#### 【圖式簡單說明】

圖 1 係顯示本發明之一般程序的流程圖。

圖 2 係顯示本發明之一具體例的方塊圖。

圖 3 係顯示一用以依據本發明程式化複數個參考單元之演算法的流程圖。

圖 4A、B 係一可用以實施圖 3 所述之流程圖的示範性電路。

圖 5 描述兩個示範性參考單元之理想電壓與電流特性。

圖 6 描述兩個示範性參考單元之實際電壓與電流特性。

# 【主要元件符號說明】

|     |         |
|-----|---------|
| 10  | 快閃記憶體裝置 |
| 12  | 記憶體單元陣列 |
| 14  | 內部控制電路  |
| 16  | 外部測試裝置  |
| 20  | 參考單元    |
| 22  | 重要單元    |
| 50  | 重要單元    |
| 52  | 比例電路    |
| 55  | 已選擇參考單元 |
| 58  | 感測電路    |
| 59  | 指標線     |
| 101 | 驗證電壓    |
| 110 | 臨界電壓    |
| 111 | 電流      |
| 120 | 臨界電壓    |

|   |     |         |
|---|-----|---------|
| . | 121 | 電 流     |
| . | 210 | 臨 界 電 壓 |
| . | 211 | 電 流     |
| · | 220 | 臨 界 電 壓 |
| : | 221 | 電 流     |

## 十、申請專利範圍：

1.一種用以程式化記憶體裝置之參考單元的系統，該系統包括：

複數個參考單元及一內部電路，嵌入且耦接至該記憶體裝置；

一測試裝置，耦接至該記憶體裝置，該測試裝置係配置用以程式化至少一第一參考單元至一預定值，俾使當一特定讀取電壓被施加至該單元之閘極時該至少一第一參考單元提供一特定電流  $I_g$ ；以及

該內部電路係配置用以使用第一參考單元做為一比較標準，以設定該複數個參考單元中之至少一其他參考單元至特定值，其中該內部電路包含一比例電路，該比例電路耦接至該至少一第一參考單元及該複數個其他參考單元每一者之感測電路，該比例電路經配置以提供一電流  $I_g^* R_i$  至該感測電路以與一由該至少一其他參考單元所提供之電流  $I_{refi}$  做比較，俾使當該特定讀取電壓施加時，  
 $I_{refi} = I_g^* R_i$ 。

2.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中該等特定值係以比例係數  $R_i$  儲存在至少一緩衝器中。

3.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中該內部電路係配置用以一次程式化一個參考單元。

4.如申請專利範圍第 1 項之用以程式化記憶體裝置之參

考單元的系統，其中該內部電路係配置用以同時程式化參考單元。

5.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中複數個該記憶體裝置係藉由該測試裝置來同時程式化。

6.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中該測試裝置係從外部耦接至該記憶體裝置。

7.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中該測試裝置係配置用以傳送一啟始命令至該內部電路，以開始設定該複數個參考單元中之至少一參考單元。

8.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中參考單元之程式化的實施係用以減少總程式化時間。

9.如申請專利範圍第 1 項之用以程式化記憶體裝置之參考單元的系統，其中該測試裝置係配置用以藉由重複傳送一程式化脈衝至該至少一參考單元及然後藉由該內部電路執行之電流比較驗證該至少一其他參考單元之臨界電壓的步驟，以程式化該至少一參考單元。

10.如申請專利範圍第 9 項之用以程式化記憶體裝置之參考單元的系統，其中該測試裝置係配置用以使用一動態記憶體存取方法來執行該程式化操作或該驗證操作。

11.如申請專利範圍第 1 項之用以程式化記憶體裝置之



參考單元的系統，其中該感測電路將流經該測試裝置所設定之一第一參考單元的電流  $I_g$  與流經至少一其它參考單元之電流  $I_{refi}$  做比較。

12.如申請專利範圍第 11 項之用以程式化記憶體裝置之參考單元的系統，其中該內部電路將流經至該少一其他參考單元之電流  $I_{refi}$  設定成等於( $R_i=1$ )流經該測試裝置所設定之一第一參考單元的電流  $I_g$ 。

13.如申請專利範圍第 11 項之用以程式化記憶體裝置之參考單元的系統，其中該內部電路將流經至該少一其他參考單元之電流  $I_{refi}$  設定為流經該測試裝置所設定之一第一參考單元的電流  $I_g$  之一部分( $R_i < 1$ )。

14.如申請專利範圍第 11 項之用以程式化記憶體裝置之參考單元的系統，其中該內部電路將流經該至少一其他參考單元之電流  $I_{refi}$  設定為流經該測試裝置所設定之一第一參考單元的電流  $I_g$  之倍數( $R_i > 1$ )。

15.一種用以程式化記憶體裝置之參考單元的方法，該方法包括：

使用一測試裝置以將嵌入在該記憶體裝置中之至少一第一參考單元程式化至一預定值，俾使當一特定讀取電壓被施加至該單元之閘極時該至少一第一參考單元提供一特定電流  $I_g$ ；以及

只使用嵌入在該記憶體裝置中之一內部電路，以程式化嵌入在該記憶體裝置中之複數個額外參考單元，該內部電路比較從每一額外參考單元來的一電流  $I_{refi}$  及藉由該內部

電路中之比例電路從一第一參考單元獲得之一電流  $I_g \cdot R_i$ ，且設定該等額外參考單元使當該特定讀取電壓施加時， $I_{refi} = I_g \cdot R_i$ 。

16.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中該內嵌式電路將用以程式化該複數個額外參考單元之特定值以比例係數  $R_i$  儲存於至少一緩衝器中。

17.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中藉由該內嵌式電路以一次一個方式來程式化該複數個額外參考單元。

18.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中藉由該內嵌式電路來同時程式化該複數個額外參考單元。

19.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中同時在複數個記憶體裝置上實施以一測試裝置對至少一參考單元之程式化。

20.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中該測試裝置係從外部耦接至該記憶體裝置。

21.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中該測試裝置係配置用以傳送一啟始命令至該內嵌式電路，以開始設定該複數個額外參考單元中之至少一參考單元。

22.如申請專利範圍第 15 項之用以程式化記憶體裝置之

參考單元的方法，其中實施複數個額外參考單元之程式化以減少總程式化時間。

23.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中該測試裝置藉由傳送一程式化脈衝至該至少一額外參考單元來程式化該至少一額外參考單元，以及藉由該內部電路執行之電流比較驗證該第一參考單元之臨界電壓。

24.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中程式化複數個額外參考單元之步驟進一步包括：

從該內嵌式電路傳送一或多個程式化脈衝至該複數個額外參考單元；以及

該內嵌式電路再次檢查在該複數個額外參考單元之至少一參考單元中的電壓臨界，直到  $I_{refi} = I_g \cdot R_i$ 。

25.如申請專利範圍第 15 項之用以程式化記憶體裝置之參考單元的方法，其中該內嵌式內部電路將流經至少一額外參考單元之電流  $I_{refi}$  設定成等於  $(R_i=1)$  流經該測試裝置所程式化之一第一參考單元的電流  $I_g$ 。

26.如申請專利範圍第 16 項之用以程式化記憶體裝置之參考單元的方法，其中該內嵌式內部電路將流經至少一額外參考單元之電流  $I_{refi}$  設定成為流經該測試裝置所程式化之一第一參考單元的電流  $I_g$  之一部分  $(R_i < 1)$ 。

27.如申請專利範圍第 16 項之用以程式化記憶體裝置之參考單元的方法，其中該內嵌式內部電路將流經至少一額

外參考單元之電流  $I_{refi}$  設定成為流經該測試裝置所程式化之一第一參考單元的電流  $I_g$  之倍數 ( $R_i > 1$ )。

十一、圖式：

1/6

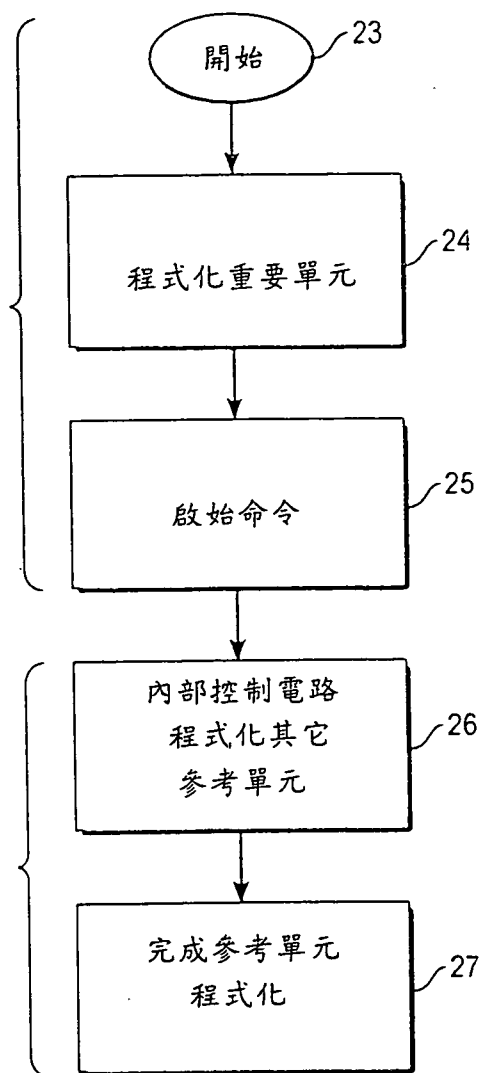


圖 1

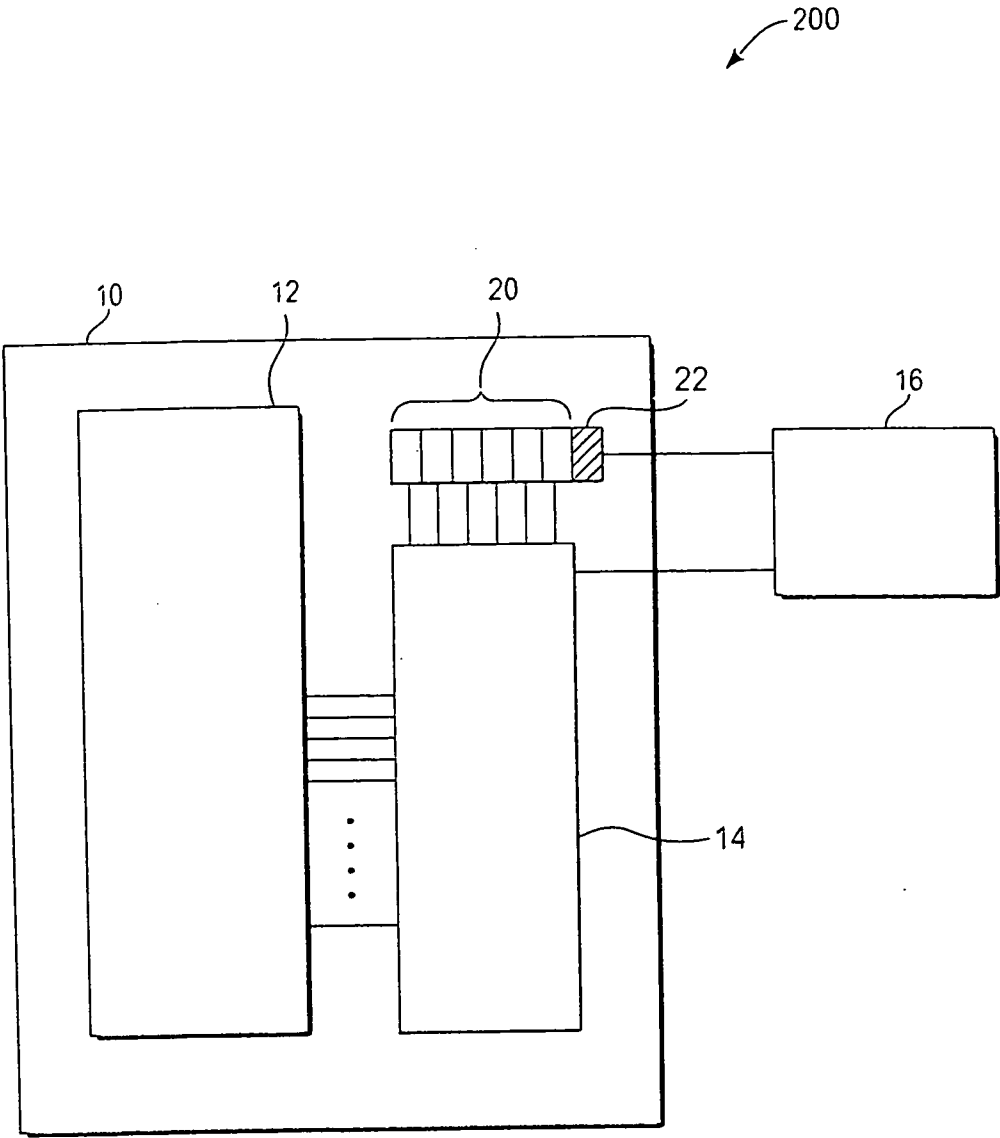


圖 2

101年10月22日修正替換頁

200

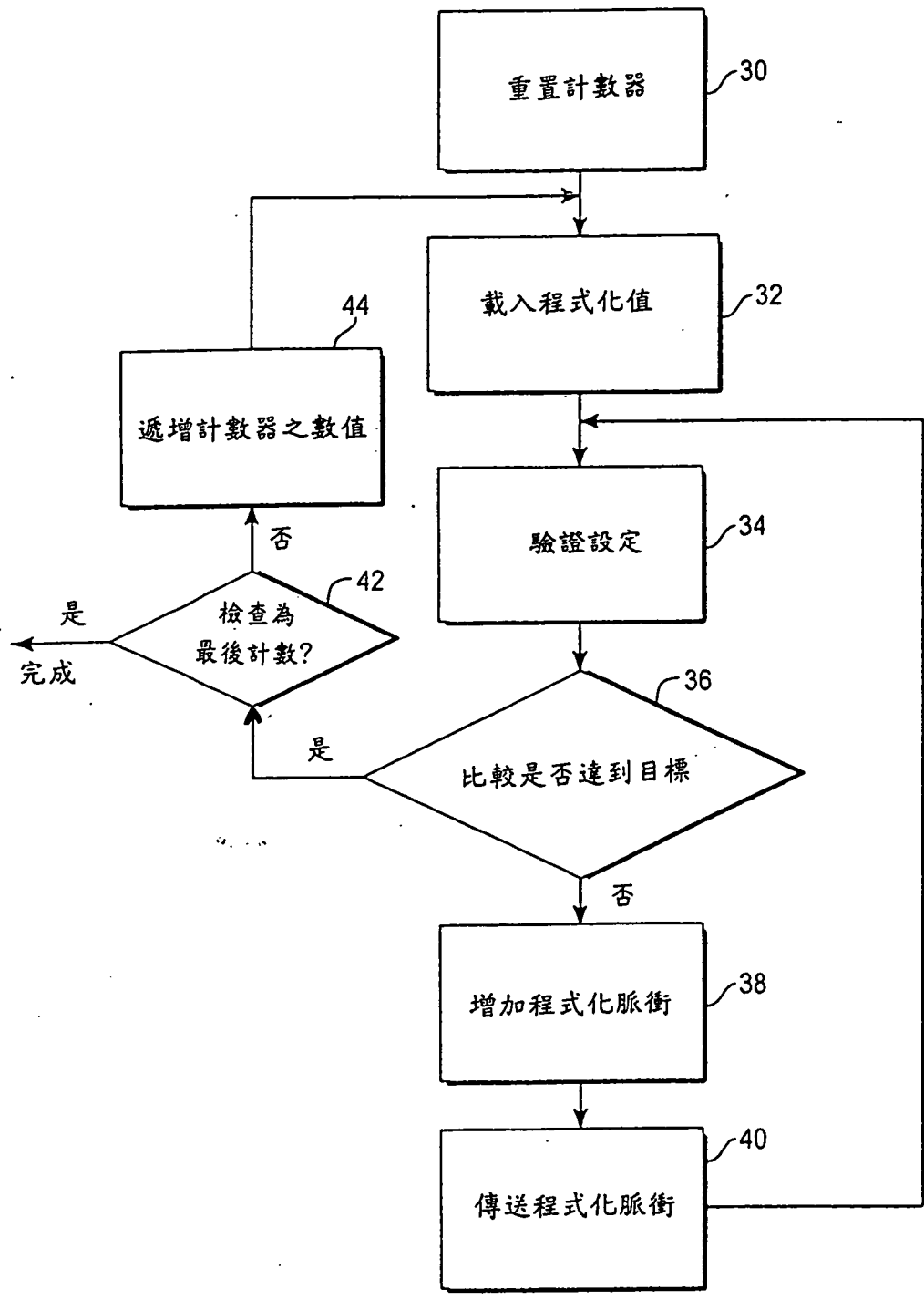


圖 3

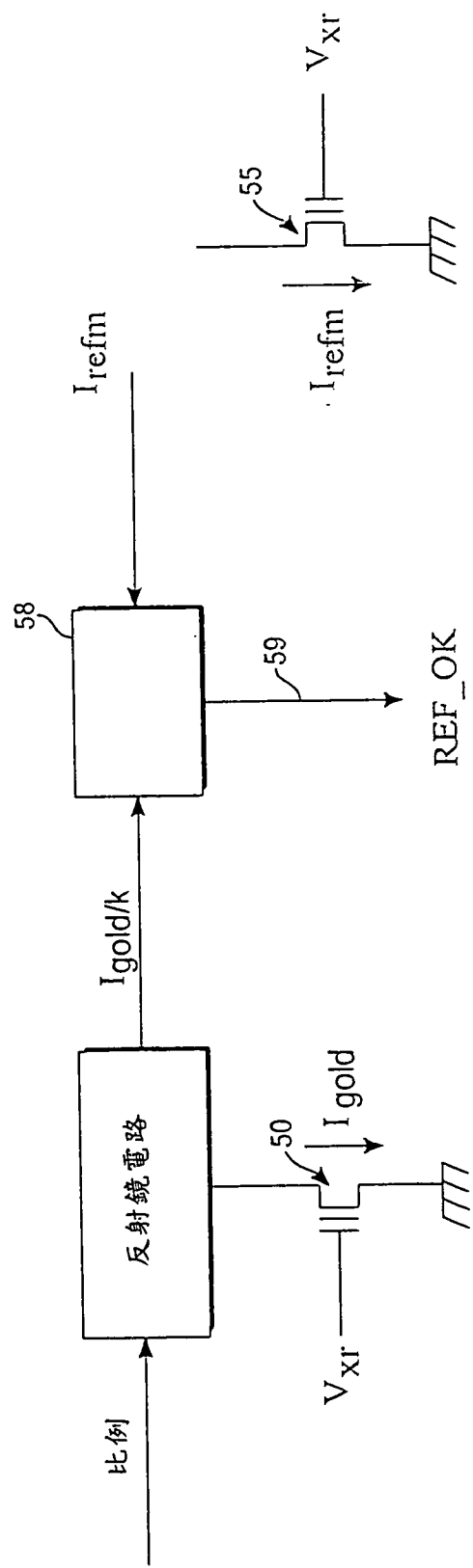
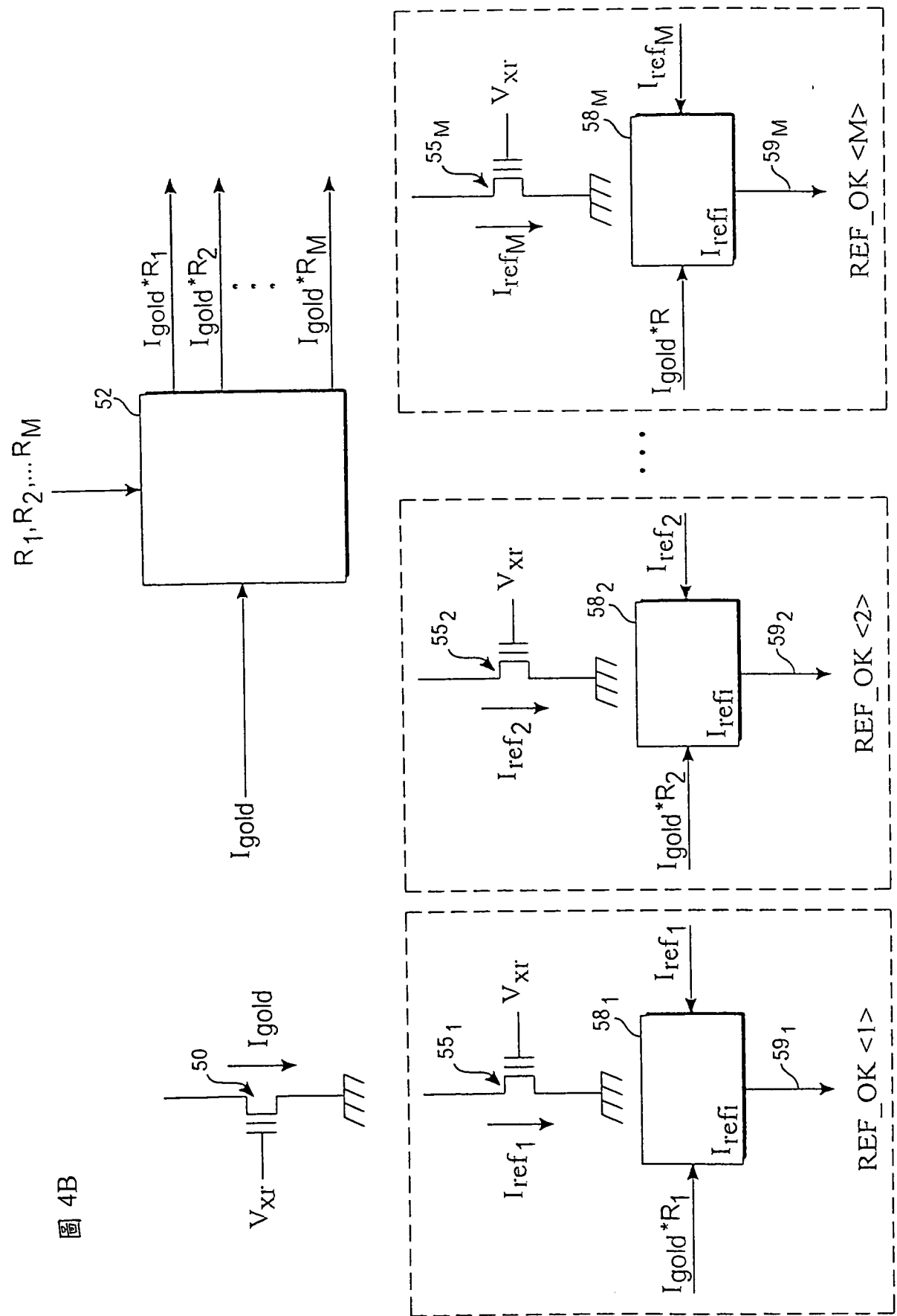


圖 4A



圖 4B



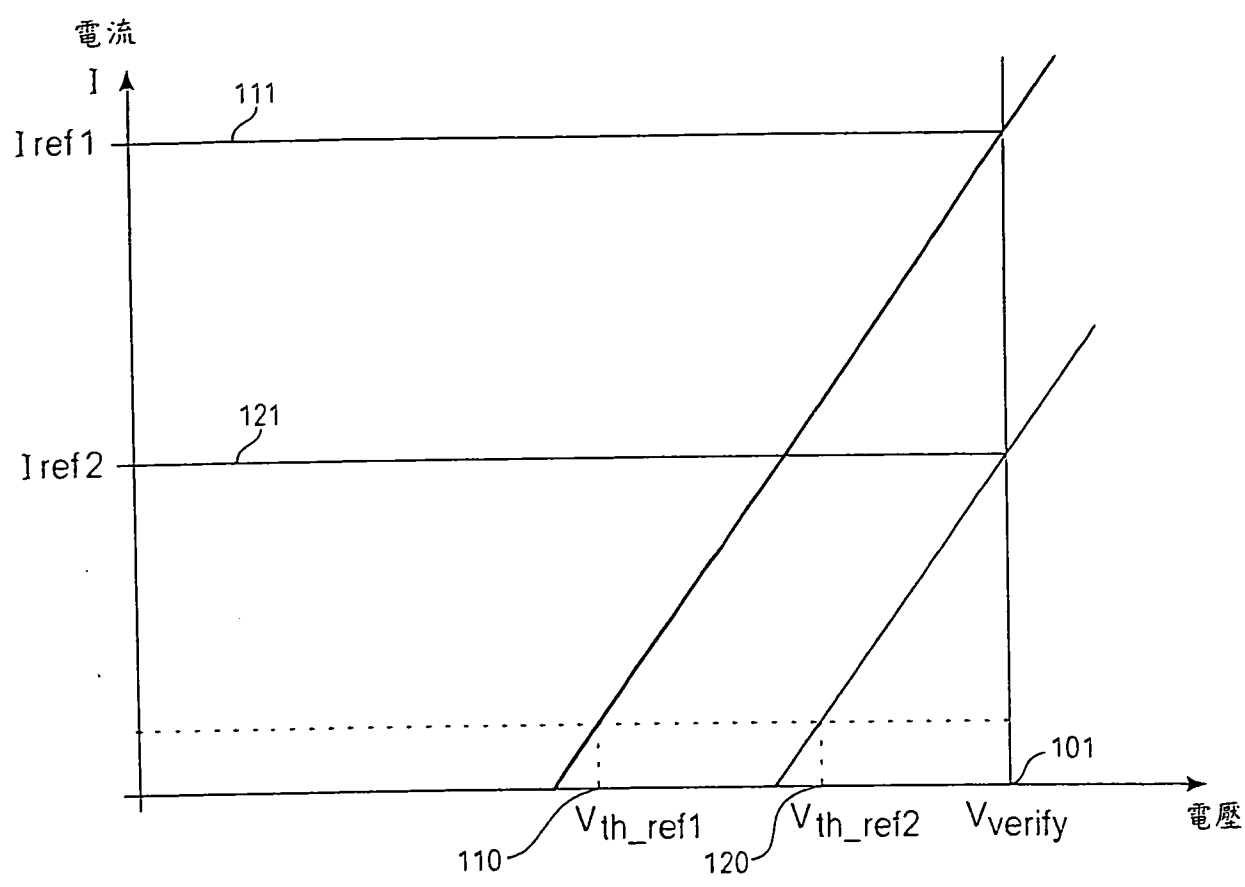


圖 5

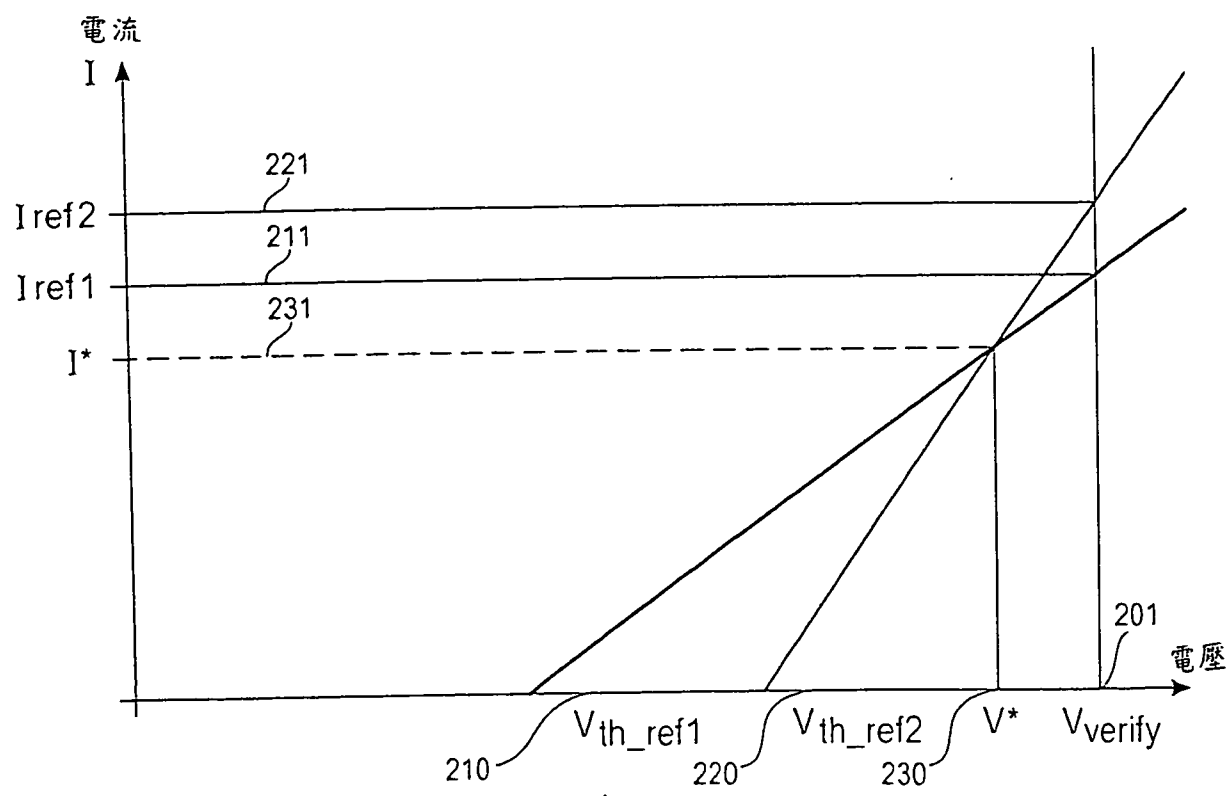


圖 6