

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-57222

(P2010-57222A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

K

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2008-217068 (P2008-217068)
 (22) 出願日 平成20年8月26日 (2008. 8. 26)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100137523
 弁理士 出口 智也

最終頁に続く

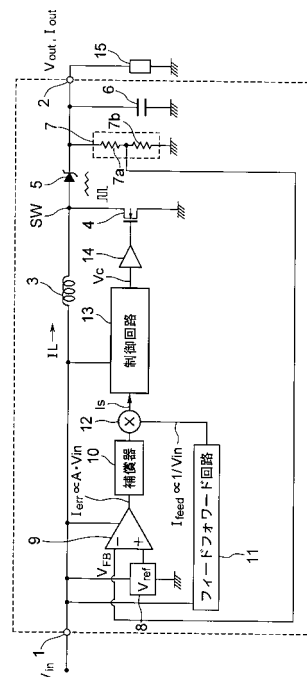
(54) 【発明の名称】 DC/DCコンバータ

(57) 【要約】

【課題】出力電圧に対する入力電圧の影響を低減することが可能なDC/DCコンバータを提供する。

【解決手段】昇圧型のDC/DCコンバータであって、出力端子と接地との間に接続され、出力電圧を分圧した分圧電圧を出力する分圧回路と、入力電圧に基づいて基準電圧を生成する基準電圧生成回路と、分圧電圧と基準電圧とが入力され、分圧電圧と基準電圧との差に応じた第1の信号を出力するエラーアンプと、入力電圧を検知し、この入力電圧に反比例した電流に応じた第2の信号を出力するフィードフォワード回路と、第1の信号と第2の信号とを乗算し、得られた第3の信号を出力する乗算器と、第3の信号に基づいて、分圧電圧と基準電圧とが等しくなるように、スイッチングトランジスタのオン/オフを制御するための制御信号を出力する制御回路と、を備える。

【選択図】図2



【特許請求の範囲】

【請求項 1】

昇圧型の DC / DC コンバータであって、
入力電圧が入力される入力端子と、
出力電圧を出力する出力端子と、
前記入力端子に一端が接続されたインダクタと、
前記インダクタの他端と接地との間に接続されたスイッチングトランジスタと、
前記インダクタの他端にアノードが接続され、前記出力端子にカソードが接続されたダイオードと、
前記出力端子と前記接地との間に接続されたコンデンサと、
前記出力端子と前記接地との間に接続され、前記出力電圧を分圧した分圧電圧を出力する分圧回路と、
前記入力電圧に基づいて基準電圧を生成する基準電圧生成回路と、
前記分圧電圧と前記基準電圧とが入力され、前記分圧電圧と前記基準電圧との差に応じた第 1 の信号を出力するエラーアンプと、
前記入力電圧を検知し、この入力電圧に反比例した電流に応じた第 2 の信号を出力するフィードフォワード回路と、
前記第 1 の信号と前記第 2 の信号とを乗算し、得られた第 3 の信号を出力する乗算器と、
前記第 3 の信号に基づいて、前記分圧電圧と前記基準電圧とが等しくなるように、前記スイッチングトランジスタのオン / オフを制御するための制御信号を出力する制御回路と、
を備える
ことを特徴とする DC / DC コンバータ。

10

20

【請求項 2】

前記第 1 の信号の位相を調整する補償回路を、さらに備えることを特徴とする請求項 1 に記載の DC / DC コンバータ。

【請求項 3】

前記フィードフォワード回路は、
前記入力端子に一端が接続された第 1 の定電流源と、
前記第 1 の定電流源の他端と接地との間に接続された第 1 のトランジスタと、
前記入力端子に一端が接続され、前記第 1 のトランジスタの制御電極に他端が接続され、
前記第 1 のトランジスタと同一導電型の第 2 のトランジスタと、
前記第 2 のトランジスタの他端と接地との間に接続された第 2 の定電流源と、
前記入力端子に一端が接続され、前記第 1 のトランジスタの一端に制御電極が接続され、
前記第 1 のトランジスタと同一導電型の第 3 のトランジスタと、
前記入力端子に一端が接続された抵抗素子と、
前記抵抗素子の他端と前記接地との間に接続された第 4 のトランジスタと、
前記第 3 のトランジスタの他端と前記接地との間に接続され、前記第 4 のトランジスタに流れる電流をミラーした電流が流れる第 5 のトランジスタと、
前記第 2 の信号を出力するための信号端子と、
前記信号端子と前記接地との間に接続され、前記第 3 のトランジスタの他端に制御電極が接続された第 6 のトランジスタと、を有する
ことを特徴とする請求項 1 または 2 に記載の DC / DC コンバータ。

30

40

【請求項 4】

反転型の DC / DC コンバータであって、
入力電圧が入力される入力端子と、
出力電圧を出力する出力端子と、
前記入力端子に一端が接続されたスイッチングトランジスタと、
前記スイッチングトランジスタの他端と接地との間に接続されたインダクタと、
前記スイッチングトランジスタの他端にカソードが接続され、前記出力端子にアノード

50

が接続されたダイオードと、

前記出力端子と前記接地との間に接続されたコンデンサと、

前記出力端子と前記接地との間に接続され、前記出力電圧を分圧した分圧電圧を出力する分圧回路と、

前記入力電圧に基づいて基準電圧を生成する基準電圧生成回路と、

前記分圧電圧と前記基準電圧とが入力され、前記分圧電圧と前記基準電圧との差に応じた第 1 の信号を出力するエラーアンプと、

前記入力電圧を検知し、この入力電圧に反比例した電流に応じた第 2 の信号を出力するフィードフォワード回路と、

前記第 1 の信号と前記第 2 の信号とを乗算し、得られた第 3 の信号を出力する乗算器と

10

、
前記第 3 の信号に基づいて、前記分圧電圧と前記基準電圧とが等しくなるように、前記スイッチングトランジスタのオン/オフを制御するための制御信号を出力する制御回路と、
を備える

ことを特徴とする DC / DC コンバータ。

【請求項 5】

前記第 1 の信号の位相を調整する補償回路を、さらに備えることを特徴とする請求項 4 に記載の DC / DC コンバータ。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、出力電圧を制御する DC / DC コンバータに関するものである。

【背景技術】

【0002】

従来の DC / DC コンバータには、インダクタを用いて入力電圧を昇圧し出力するものがある（例えば、特許文献 1 参照。）。

【0003】

この従来の DC / DC コンバータは、スイッチングトランジスタがオンのときに、インダクタンスにエネルギーを蓄え、該スイッチングトランジスタがオフのときに、エネルギーを入力電圧に重畳させて出力に取り出す。そのため、入力電圧より出力電圧を高く取り出すことが可能な回路となっている。

30

【0004】

ここで、出力電流は、該インダクタから供給される電流によって決まり、出力電流の変化で出力電圧が決まる。

【0005】

また、出力電圧から分圧抵抗で分圧された分圧電圧がエラーアンプの入力にフィードバックされる。該分圧電圧と、入力電圧から生成した基準電圧とが同じ電圧になるように、ドライバから出力した信号でスイッチング素子を制御する。

【0006】

これにより、出力電圧が一定になるように制御される。このように、出力電圧は、分圧抵抗と基準電圧によって決定される。

40

【特許文献 1】特開 2005 - 218166 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、出力電圧に対する入力電圧の影響を低減することが可能な DC / DC コンバータを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様に係る実施例に従った DC / DC コンバータは、

50

昇圧型のＤＣ／ＤＣコンバータであって、
入力電圧が入力される入力端子と、
出力電圧を出力する出力端子と、
前記入力端子に一端が接続されたインダクタと、
前記インダクタの他端と接地との間に接続されたスイッチングトランジスタと、
前記インダクタの他端にアノードが接続され、前記出力端子にカソードが接続されたダイオードと、
前記出力端子と前記接地との間に接続されたコンデンサと、
前記出力端子と前記接地との間に接続され、前記出力電圧を分圧した分圧電圧を出力する分圧回路と、
前記入力電圧に基づいて基準電圧を生成する基準電圧生成回路と、
前記分圧電圧と前記基準電圧とが入力され、前記分圧電圧と前記基準電圧との差に応じた第１の信号を出力するエラーアンプと、
前記入力電圧を検知し、この入力電圧に反比例した電流に応じた第２の信号を出力するフィードフォワード回路と、
前記第１の信号と前記第２の信号とを乗算し、得られた第３の信号を出力する乗算器と、
前記第３の信号に基づいて、前記分圧電圧と前記基準電圧とが等しくなるように、前記スイッチングトランジスタのオン／オフを制御するための制御信号を出力する制御回路と、
を備えることを特徴とする。

10

20

【０００９】

本発明の他の態様に係る実施例に従ったＤＣ／ＤＣコンバータは、
反転型のＤＣ／ＤＣコンバータであって、
入力電圧が入力される入力端子と、
出力電圧を出力する出力端子と、
前記入力端子に一端が接続されたスイッチングトランジスタと、
前記スイッチングトランジスタの他端と接地との間に接続されたインダクタと、
前記スイッチングトランジスタの他端にカソードが接続され、前記出力端子にアノードが接続されたダイオードと、
前記出力端子と前記接地との間に接続されたコンデンサと、
前記出力端子と前記接地との間に接続され、前記出力電圧を分圧した分圧電圧を出力する分圧回路と、
前記入力電圧に基づいて基準電圧を生成する基準電圧生成回路と、
前記分圧電圧と前記基準電圧とが入力され、前記分圧電圧と前記基準電圧との差に応じた第１の信号を出力するエラーアンプと、
前記入力電圧を検知し、この入力電圧に反比例した電流に応じた第２の信号を出力するフィードフォワード回路と、
前記第１の信号と前記第２の信号とを乗算し、得られた第３の信号を出力する乗算器と、
前記第３の信号に基づいて、前記分圧電圧と前記基準電圧とが等しくなるように、前記スイッチングトランジスタのオン／オフを制御するための制御信号を出力する制御回路と、
を備えることを特徴とする。

30

40

【発明の効果】**【００１０】**

本発明のＤＣ／ＤＣコンバータによれば、出力電圧に対する入力電圧の影響を低減することができる。

【発明を実施するための最良の形態】**【００１１】****【比較例】****【００１２】**

50

ここで、既述の従来の昇圧型の D C / D C コンバータを比較例として、その特性について検討する。

【 0 0 1 3 】

図 1 は、比較例の昇圧型の D C / D C コンバータのスイッチングトランジスタのゲートに印加される電圧 S W の変化と、このインダクタに流れる電流 I L の変化を示す図である。

【 0 0 1 4 】

図 1 に示すように、スイッチングトランジスタがオンするとインダクタに電流が流れてエネルギーが蓄えられる。このときの電流 I L の変化は、式 (1) のように表される。

【 数 1 】

$$\frac{dI_L}{dt} = \frac{V_{in}}{L} \quad \dots (1)$$

【 0 0 1 5 】

スイッチングトランジスタがオフするとインダクタに蓄えられていたエネルギーが出力される。このときの電流 I L の変化は、式 (2) のように表される。

【 数 2 】

$$\frac{dI_L}{dt} = \frac{V_{out} - V_{in}}{L} \quad \dots (2)$$

【 0 0 1 6 】

インダクタに流れた電流量 I t o t a l (X + Y) のうち実際に出力電流 I o u t とし出力端子 2 に出力されるのは、スイッチングトランジスタがオフしたときの電流量 Y となる。

【 0 0 1 7 】

このように、スイッチングトランジスタがオン / オフする 2 つの状態の電流 I L の変化が上述の式 (1) 、 (2) のように表される。したがって、スイッチングトランジスタがオン / オフする割合 r o n : r o f f は、式 (3) のように表される。

$$r o n : r o f f = (V_{out} - V_{in}) : V_{in} \quad \dots (3)$$

【 0 0 1 8 】

これにより、以下の式 (4) ~ (6) が成り立つ。

【 数 3 】

$$I_{out} = I_{total} \times \frac{V_{in}}{V_{out} - V_{in} + V_{in}} = I_{total} \times \frac{V_{in}}{V_{out}} \quad \dots (4)$$

$$V_{out} = \frac{I_{total}}{I_{out}} \times V_{in} \quad \dots (5)$$

$$V_{out} \propto A \times V_{in} \quad \dots (6)$$

【 0 0 1 9 】

したがって、式 (4) ~ (6) に示すように、出力電流 I o u t (出力電圧 V o u t) は、入力電圧 V i n に比例した関係になる。なお、この式 (4) で求められる I o u t は、スイッチングトランジスタが 1 回 オン / オフしている期間に、出力端子から出力される電流の平均値である。

【 0 0 2 0 】

10

20

30

40

50

さらに、エラーアンプに入力される基準電圧は、入力電圧 V_{in} から生成される。このため、基準電圧も入力電圧 V_{in} に比例した影響を受けてしまう。

【0021】

エラーアンプの入力である基準電圧 V_{ref} と分圧電圧 V_{FB} は、どちらとも V_{in} の影響を受ける。このため、エラーアンプの出力も出力電圧 V_{in} に比例することになる。

【0022】

このように、出力電流が変化すると出力電圧も変化してしまうため、出力電圧は入力電圧に比例した影響を受ける。そして、出力電圧は入力電圧の突然の変化に対して大きな影響を受ける。このとき、エラーアンプはレギュレーションを維持しようと制御する。しかし、出力電圧の変化が大きすぎるためエラーアンプの反応が追いつかず、出力電圧の $Line Transient$ 特性は大きく悪化し、出力電圧のリプルが大きくなる。

【0023】

以上のように、比較例の DC/DC コンバータでは、入力電圧が変化すると出力電圧に大きなオーバーシュートやリングングが生じてしまうという問題があった。

【0024】

そこで、本発明では、出力電圧に対する入力電圧の影響を低減することが可能な DC/DC コンバータを提案する。

【0025】

以下、本発明に係る各実施例について図面に基づいて説明する。

【実施例 1】

【0026】

本実施例 1 では、特に、昇圧型の DC/DC コンバータの一例について説明する。

【0027】

図 2 は、本発明の一態様である実施例 1 に係る DC/DC コンバータ 100 の構成の一例を示す回路図である。

【0028】

図 2 に示すように、 DC/DC コンバータ 100 は、入力端子 1 と、出力端子 2 と、インダクタ 3 と、スイッチングトランジスタ 4 と、ダイオード 5 と、コンデンサ 6 と、分圧回路 7 と、基準電圧生成回路 8 と、エラーアンプ 9 と、補償回路 10 と、フィードフォワード回路 11 と、乗算器 12 と、制御回路 13 と、ドライバ 14 と、を備える。

【0029】

入力端子 1 は、直流電源（図示せず）に接続され、入力電圧 V_{in} が入力されるようになっている。

【0030】

出力端子 2 は、負荷 15 に接続され、この負荷 15 に出力電圧 V_{out} を出力（供給）するようになっている。

【0031】

インダクタ 3 は、入力端子 1 に一端が接続されている。

【0032】

スイッチングトランジスタ 4 は、インダクタ 3 の他端と接地 GND との間に接続されている。このスイッチングトランジスタ 4 は、ここでは、 $nMOS$ トランジスタである。なお、このスイッチングトランジスタ 4 には、必要に応じて、信号の極性を適宜設定することにより、 $pMOS$ トランジスタやバイポーラトランジスタを用いてもよい。

【0033】

ダイオード 5 は、インダクタ 3 の他端にアノードが接続され、カソードが出力端子 2 に接続されている。

【0034】

コンデンサ 6 は、出力端子 2 と接地 GND との間に接続されている。このコンデンサ 6 が充電されることにより出力端子 2 の電圧 V_{out} が上昇し、一方、コンデンサ 6 が放電されることにより出力端子 2 の電圧 V_{out} が下降する。

【 0 0 3 5 】

分圧回路 7 は、出力端子 2 と接地 GND との間に接続されている。この分圧回路 7 は、出力電圧 V_{out} を分圧した分圧電圧 V_{FR} を出力するようになっている。

【 0 0 3 6 】

この分圧回路 7 は、出力端子 2 に一端が接続された第 1 の分圧抵抗 7 a と、この第 1 の分圧抵抗 7 a の他端と接地 GND との間に接続された第 2 の分圧抵抗 7 b と、を有する。すなわち、分圧回路 7 は、これらの第 1、第 2 の分圧抵抗 7 a、7 b の分圧比で出力電圧 V_{out} を分圧した分圧電圧 V_{FR} を出力する。

【 0 0 3 7 】

基準電圧生成回路 8 は、入力端子 1 と接地 GND との間に接続されている。この基準電圧生成回路 8 は、入力電圧 V_{in} に基づいて基準電圧 V_{ref} を生成するようになっている。

【 0 0 3 8 】

エラーアンプ 9 は、分圧電圧 V_{FB} と前記基準電圧とが入力され、前記分圧電圧と前記基準電圧との差に応じた第 1 の信号 I_{err} を出力するようになっている。

【 0 0 3 9 】

補償回路 10 は、第 1 の信号 I_{err} の位相を調整するようになっている。

【 0 0 4 0 】

フィードフォワード回路 11 は、入力電圧 V_{in} を検知し、この入力電圧 V_{in} に反比例した電流に応じた第 2 の信号 I_{feed} を出力するようになっている。ここでは、第 2 の信号 I_{feed} は、電流 I_{c3} と等価な信号である。

【 0 0 4 1 】

乗算器 12 は、第 1 の信号 I_{err} と第 2 の信号 I_{feed} とを乗算し、得られた第 3 の信号 I_s を出力するようになっている。

【 0 0 4 2 】

制御回路 13 は、第 3 の信号 I_s に基づいて、分圧電圧 V_{FB} と基準電圧 V_{ref} とが等しくなるように、スイッチングトランジスタ 4 のオン/オフを制御するための制御信号 V_c を出力するようになっている。例えば、制御回路 13 は、第 3 の信号 I_s のレベルが基準レベルよりも高くなったら、スイッチングトランジスタ 4 をオンする期間を長くし、また、第 3 の信号 I_s のレベルが基準レベルよりも低くなったら、スイッチングトランジスタ 4 をオンする期間を短くする。

【 0 0 4 3 】

ドライバ 14 は、制御回路 13 が出力した制御信号 V_c を増幅してスイッチングトランジスタ 4 のゲートに印加するようになっている。

【 0 0 4 4 】

ここで、図 3 は、図 2 に示す DC/DC コンバータ 100 のフィードフォワード回路 11 の回路構成の一例を示す図である。

【 0 0 4 5 】

図 3 に示すように、フィードフォワード回路 11 は、第 1 の定電流源 11 a と、第 1 のトランジスタ 11 b と、第 2 のトランジスタ 11 c と、第 2 の定電流源 11 d と、第 3 のトランジスタ 11 e と、抵抗素子 11 f と、第 4 のトランジスタ 11 g と、第 5 のトランジスタ 11 h と、信号端子 11 i と、第 6 のトランジスタ 11 j と、を有する。

【 0 0 4 6 】

第 1 の定電流源 11 a は、入力端子 1 に一端が接続されている。

【 0 0 4 7 】

第 1 のトランジスタ 11 b は、NPN 型バイポーラトランジスタである。この第 1 のトランジスタ 11 b は、第 1 の定電流源 11 a の他端と接地 GND との間に接続されている。この第 1 のトランジスタ 11 b には、電流 I_{c0} が流れるようになっている。

【 0 0 4 8 】

第 2 のトランジスタ 11 c は、第 1 のトランジスタ 11 b と同一導電型の NPN 型バイ

10

20

30

40

50

ポーラトランジスタである。この第2のトランジスタ11cは、入力端子1に一端（コレクタ）が接続され、第1のトランジスタ11bの制御電極（ベース）に他端（エミッタ）が接続されている。この第2のトランジスタ11cには、電流 I_{c1} が流れるようになっている。

【0049】

第2の定電流源11dは、第2のトランジスタ11cの他端（エミッタ）と接地GNDとの間に接続されている。

【0050】

第3のトランジスタ11eは、第1のトランジスタ11bと同一導電型のNPN型バイポーラトランジスタである。この第3のトランジスタ11eは、入力端子1に一端（コレクタ）が接続され、第1のトランジスタ11bの一端（コレクタ）に制御電極（ベース）が接続されている。

10

【0051】

抵抗素子11fは、入力端子1に一端が接続されている。この抵抗素子11fには、入力電圧 V_{in} に比例した電流 I_r が流れるようになっている。

【0052】

第4のトランジスタ11gは、例えば、NPN型バイポーラトランジスタである。この第4のトランジスタ11gは、抵抗素子11fの他端と接地GNDとの間に接続されている。また、第4のトランジスタ11gは、ダイオード接続されている。

【0053】

20

第5のトランジスタ11hは、例えば、NPN型バイポーラトランジスタである。この第5のトランジスタ11hは、第3のトランジスタ11eの他端（エミッタ）と接地GNDとの間に接続されている。

【0054】

すなわち、第4のトランジスタ11gと第5のトランジスタ11hとは、ミラー回路を構成する。これにより、第5のトランジスタ11hには、第4のトランジスタ11gに流れる電流 I_r をミラーした電流 I_{c2} が流れる。

【0055】

これにより、電流 I_{c2} は、入力電圧 V_{in} に比例することになる。

【0056】

30

また、信号端子11iは、乗算器12の入力に接続されており、第2の信号 I_{feed} を出力するようになっている。

【0057】

第6のトランジスタ11jは、例えば、NPN型バイポーラトランジスタである。この第6のトランジスタ11jは、信号端子11iと接地GNDとの間に接続され、第3のトランジスタ11eの他端（エミッタ）に制御電極（ベース）が接続されている。

【0058】

この第6のトランジスタ11jには、後述のように、電流 I_{c2} に反比例する電流 I_{c3} が流れるようになっている。この電流 I_{c3} が、第2の信号 I_{feed} に相当する。

【0059】

40

ここで、上記構成を有するDC/DCコンバータ100の出力特性について検討する。

【0060】

まず、フィードフォワード回路11の第1～第3、第6のトランジスタ11b、11c、11e、11jのベース・エミッタ間電圧の関係は、式(7)のように表される。

【数4】

$$V_{BE0} + V_{BE1} = V_{BE2} + V_{BE3} \quad \dots (7)$$

【0061】

一般的に、ベース電圧 V_{BE} は、式(8)のように表される。なお、式(8)において、 q は単位電子電荷であり、 k はボルツマン定数であり、 t は絶対温度である。

50

【数 5】

$$V_{BE} = \frac{kt}{q} \log \left(\frac{I_c}{I_s} \right) \quad \dots (8)$$

【0062】

したがって、式(7)、式(8)より、電流 $I_{c0} \sim I_{c3}$ の関係は、以下の式(9)のように表される。

【数 6】

$$I_{c0} \times I_{c1} = I_{c2} \times I_{c3} \quad \dots (9)$$

10

【0063】

この式(9)を変形することにより、電流 I_{c3} は、式(10)のように表される。

【数 7】

$$I_{c3} = \frac{I_{c0} \times I_{c1}}{I_{c2}} \quad \dots (10)$$

【0064】

既述のように、電流 I_r は、入力電圧 V_{in} に比例する。したがって、第4、第5のトランジスタ11g、11hのカレントミラーにより、電流 I_{c2} は、入力電圧 V_{in} に比例した電流となる。

20

【0065】

電流 I_{c0} 、 I_{c1} は定電流であるので、式(10)より、電流 I_{c3} は、入力電圧 V_{in} に反比例した電流となる。

【0066】

ここで、図4Aは、図2に示すDC/DCコンバータ100の入力端子1に入力される入力電圧 V_{in} の波形を示す図である。また、図4Bは、図2に示すDC/DCコンバータ100のフィードフォワード回路11に流れる電流 I_{c2} の波形を示す図である。また、図4Cは、図2に示すDC/DCコンバータ100のフィードフォワード回路11に流れる電流 I_{c3} の波形を示す図である。

30

【0067】

図4Aないし図4Cに示すように、電流 I_{c3} は、入力電圧 V_{in} (すなわち、電流 I_{c2}) に対して反比例するシミュレート結果が得られた。

【0068】

既述のように、フィードフォワード回路11は、入力電圧 V_{in} を検知し、この入力電圧 V_{in} に反比例した電流 I_{c3} に応じた第2の信号 I_{feed} を出力するようになっている。また、ここでは、第2の信号 I_{feed} は、電流 I_{c3} と等価な信号である。

【0069】

そして、既述のように乗算器12により、入力電圧 V_{in} に反比例した信号 I_{feed} がエラーアンプの出力に乗算され、乗算された結果が信号 I_s となる。この信号 I_s は、入力電圧 V_{in} の既述の影響が相殺されている。この信号 I_s に基づいて、制御回路13は、スイッチングトランジスタ4を制御することになる。

40

【0070】

すなわち、既述の式(6)の右辺に、入力電圧 V_{in} に反比例する項が乗算される形となり、入力電圧 V_{in} が打ち消される。これにより、DC/DCコンバータ100は、出力電流 I_{out} (出力電圧 V_{out}) が V_{in} の影響を受けない状態にすることが可能となる。

【0071】

ここで、図5Aは、図2に示すDC/DCコンバータ100の入力電圧 V_{in} の波形を

50

示す図である。また、図 5 B は、図 2 に示す D C / D C コンバータ 1 0 0 のインダクタ 3 に流れる電流の波形を示す図である。また、図 5 C は、図 2 に示す D C / D C コンバータ 1 0 0 の出力電圧 V_{out} の波形を示す図である。

【 0 0 7 2 】

図 5 A ないし図 5 C に示すように、入力電圧 V_{in} を 3 . 7 V から 3 . 2 V に 5 0 μ 秒かけて変化させたときの出力電圧 V_{out} の変化（オーバーシュート）が、6 . 8 m V となっている。なお、同様の条件で、比較例の構成では、出力電圧 V_{out} の変化（オーバーシュート）が、2 6 0 m V であった。

【 0 0 7 3 】

このように、本実施例 1 に係る D C / D C コンバータ 1 0 0 は、入力電圧 V_{in} を急激に変化した場合でも、比較例よりも $L i n e T r a n s i e n t$ 特性が大きく改善され、オーバーシュートが小さくなっている。

【 0 0 7 4 】

以上のように、本実施例に係る D C / D C コンバータによれば、出力電圧に対する入力電圧の影響を低減することができる。

【実施例 2】

【 0 0 7 5 】

実施例 1 では、昇圧型の D C / D C コンバータの一例について説明した。

【 0 0 7 6 】

ここで、本発明は、反転型の D C / D C コンバータにも適用することができる。

【 0 0 7 7 】

この反転型の D C / D C コンバータは、スイッチングトランジスタをオンするとインダクタにエネルギーが蓄えられる。そして、この D C / D C コンバータは、スイッチングトランジスタをオフすると蓄えられていたエネルギーを流そうとして出力端子に接続されたコンデンサ・ダイオードを通して電流が流れ出力コンデンサに電荷がチャージされる。このとき、出力コンデンサの接地側が正となるため、出力に負の電圧を出力することが可能となる。

【 0 0 7 8 】

ここで、図 6 は、比較例となる反転型の D C / D C コンバータのスイッチングトランジスタのゲートに印加される電圧 $S W$ の変化と、このインダクタに流れる電流 I_L の変化を示す図である。

【 0 0 7 9 】

既述のように、スイッチングトランジスタがオンするとインダクタにエネルギーが蓄えられる。このときの電流 I_L の変化は、式 (1 1) のように表される。

【数 8】

$$\frac{dI_L}{dt} = \frac{V_{in}}{L} \quad \dots (11)$$

【 0 0 8 0 】

そして、スイッチングトランジスタがオフすると蓄えられていたエネルギーが出力される。このときの電流 I_L の変化は、式 (1 2) のように表される。

【数 9】

$$\frac{dI_L}{dt} = \frac{V_{out}}{L} \quad \dots (12)$$

【 0 0 8 1 】

また、昇圧型と同様に、インダクタに流れた電流量 $I_{total} (X + Y)$ のうち実際に出力電流 I_{out} として出力端子 2 に出力されるのは、スイッチングトランジスタがオフしたときの電流量 Y となる。

【 0 0 8 2 】

10

20

30

40

50

このように、スイッチングトランジスタがオン／オフする２つの状態の電流 I_L の変化が上述の式 (1 1)、(1 2) のように表される。したがって、スイッチングトランジスタがオン／オフする割合 $r_{on} : r_{off}$ は、式 (3) のように表される。

$$r_{on} : r_{off} = V_{out} : V_{in} \quad \cdots (13)$$

【 0 0 8 3 】

これにより、以下の式 (1 4) ~ (1 6) が成り立つ。

【 数 1 0 】

$$I_{out} = I_{total} \times \frac{V_{in}}{V_{out} + V_{in}} \quad \cdots (14) \quad 10$$

$$V_{out} = \frac{I_{total}}{I_{out}} \times V_{in} - V_{in} \quad \cdots (15)$$

$$V_{out} \propto A \times V_{in} - 1 = (A - 1) \times V_{in} \quad \cdots (16) \quad 20$$

【 0 0 8 4 】

したがって、式 (1 4) ~ (1 6) に示すように、出力電流 I_{out} (出力電圧 V_{out}) は、入力電圧 V_{in} に比例した関係になる。なお、この式 (1 4) で求められる I_{out} は、スイッチングトランジスタが 1 回 オン／オフしている期間に、出力端子から出力される電流の平均値である。

【 0 0 8 5 】

これにより、昇圧型の DC / DC コンバータと同様に、反転型の DC / DC コンバータでも、入力電圧が変化すると出力電圧に大きなオーバーシュートやリングングが生じてしまう。

【 0 0 8 6 】

そこで、本実施例 2 では、出力電圧に対する入力電圧の影響を低減することが可能な反転型の DC / DC コンバータの一例について説明する。

【 0 0 8 7 】

図 7 は、本発明の一態様である実施例 2 に係る DC / DC コンバータ 2 0 0 の構成の一例を示す回路図である。

【 0 0 8 8 】

図 7 に示すように、DC / DC コンバータ 2 0 0 は、入力端子 1 と、出力端子 2 と、インダクタ 3 a と、スイッチングトランジスタ 4 a と、ダイオード 5 a と、コンデンサ 6 と、分圧回路 7 と、基準電圧生成回路 8 と、エラーアンプ 9 と、補償回路 1 0 と、フィードフォワード回路 1 1 と、乗算器 1 2 と、制御回路 1 3 と、ドライバ 1 4 と、を備える。

【 0 0 8 9 】

なお、図 7 に示す反転型の DC / DC コンバータ 2 0 0 は、図 2 に示す昇圧型の DC / DC コンバータ 1 0 0 と比較して、インダクタ 3 a、スイッチングトランジスタ 4 a、および、ダイオード 5 a の構成・接続関係が異なる以外は、同様の構成である。

【 0 0 9 0 】

スイッチングトランジスタ 4 a は、入力端子 1 に一端 (ソース) 接続されている。このスイッチングトランジスタ 4 a は、ここでは、p MOS トランジスタである。なお、このスイッチングトランジスタ 4 a には、必要に応じて、信号の極性を適宜設定することにより、n MOS トランジスタやバイポーラトランジスタを用いてもよい。

【 0 0 9 1 】

インダクタ 3 a は、スイッチングトランジスタ 4 a の他端（ドレイン）と接地 GND との間に接続されている。

【0092】

ダイオード 5 a は、スイッチングトランジスタ 4 a の他端（ドレイン）にカソードが接続され、出力端子 2 にアノード接続されている。

【0093】

制御回路 13 は、第 3 の信号 I_s に基づいて、分圧電圧 V_{FB} と基準電圧 V_{ref} とが等しくなるように、スイッチングトランジスタ 4 a のオン／オフを制御するための制御信号 V_c を出力するようになっている。例えば、制御回路 13 は、第 3 の信号 I_s のレベルが基準レベルよりも高くなったら、スイッチングトランジスタ 4 a をオンする期間を長くし、また、第 3 の信号 I_s のレベルが基準レベルよりも低くなったら、スイッチングトランジスタ 4 a をオンする期間を短くする。

【0094】

ドライバ 14 は、制御回路 13 が出力した制御信号 V_c を増幅してスイッチングトランジスタ 4 a のゲートに印加するようになっている。

【0095】

ここで、上記構成を有する反転型の DC / DC コンバータ 100 の出力特性は、既述の昇圧型の DC / DC コンバータと同様である。

【0096】

すなわち、実施例 1 と同様に、フィードフォワード回路 11 は、入力電圧 V_{in} を検知し、この入力電圧 V_{in} に反比例した電流 I_{c3} に応じた第 2 の信号 I_{feed} を出力するようになっている。

【0097】

そして、既述のように乗算器 12 により、入力電圧 V_{in} に反比例した信号 I_{feed} がエラーアンプの出力に乗算され、乗算された結果が信号 I_s となる。この信号 I_s は、入力電圧 V_{in} の既述の影響が相殺されている。この信号 I_s に基づいて、制御回路 13 は、スイッチングトランジスタ 4 を制御することになる。

【0098】

すなわち、実施例 1 と同様に、DC / DC コンバータ 200 は、出力電流 I_{out} （出力電圧 V_{out} ）が V_{in} の影響を受けない状態にすることが可能となる。

【0099】

以上のように、本実施例に係る DC / DC コンバータによれば、出力電圧に対する入力電圧の影響を低減することができる。

【0100】

なお、以上の各実施例においては、フィードフォワード回路 11 を構成するトランジスタを NPN 型バイポーラトランジスタで構成した場合について説明した。

【0101】

しかし、フィードフォワード回路 11 を構成するトランジスタを PNP 型バイポーラトランジスタや、MOS トランジスタで構成してもよい。

【図面の簡単な説明】

【0102】

【図 1】比較例の昇圧型の DC / DC コンバータのスイッチングトランジスタのゲートに印加される電圧 SW の変化と、このインダクタに流れる電流 I_L の変化とを示す図である。

【図 2】本発明の一態様である実施例 1 に係る DC / DC コンバータ 100 の構成の一例を示す回路図である。

【図 3】図 2 に示す DC / DC コンバータ 100 のフィードフォワード回路 11 の回路構成の一例を示す図である。

【図 4 A】図 2 に示す DC / DC コンバータ 100 の入力端子 1 に入力される入力電圧 V_{in} の波形を示す図である。

10

20

30

40

50

【図 4 B】図 2 に示す DC / DC コンバータ 100 のフィードフォワード回路 11 に流れる電流 I_{c2} の波形を示す図である。

【図 4 C】図 2 に示す DC / DC コンバータ 100 のフィードフォワード回路 11 に流れる電流 I_{c3} の波形を示す図である。

【図 5 A】図 2 に示す DC / DC コンバータ 100 の入力電圧 V_{in} の波形を示す図である。

【図 5 B】図 2 に示す DC / DC コンバータ 100 のインダクタ 3 に流れる電流の波形を示す図である。

【図 5 C】図 2 に示す DC / DC コンバータ 100 の出力電圧 V_{out} の波形を示す図である。

10

【図 6】比較例となる反転型の DC / DC コンバータのスイッチングトランジスタのゲートに印加される電圧 SW の変化と、このインダクタに流れる電流 I_L の変化を示す図である。

【図 7】本発明の一態様である実施例 2 に係る DC / DC コンバータ 200 の構成の一例を示す回路図である。

【符号の説明】

【0103】

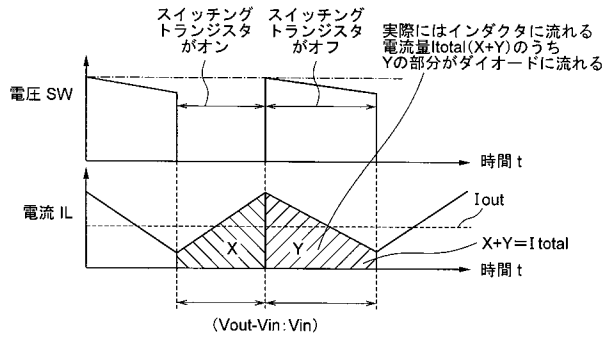
- 1 入力端子
- 2 出力端子
- 3 インダクタ
- 4 スwitchングトランジスタ
- 5 ダイオード
- 6 コンデンサ
- 7 分圧回路
- 7 a 第 1 の分圧抵抗
- 7 b 第 2 の分圧抵抗
- 8 基準電圧生成回路
- 9 エラーアンプ
- 10 補償回路
- 11 フィードフォワード回路
- 11 a 第 1 の定電流源
- 11 b 第 1 のトランジスタ
- 11 c 第 2 のトランジスタ
- 11 d 第 2 の定電流源
- 11 e 第 3 のトランジスタ
- 11 f 抵抗素子
- 11 g 第 4 のトランジスタ
- 11 h 第 5 のトランジスタ
- 11 i 信号端子
- 11 j 第 6 のトランジスタ
- 12 乗算器
- 13 制御回路
- 14 ドライバ
- 15 負荷
- 100、200 DC / DC コンバータ

20

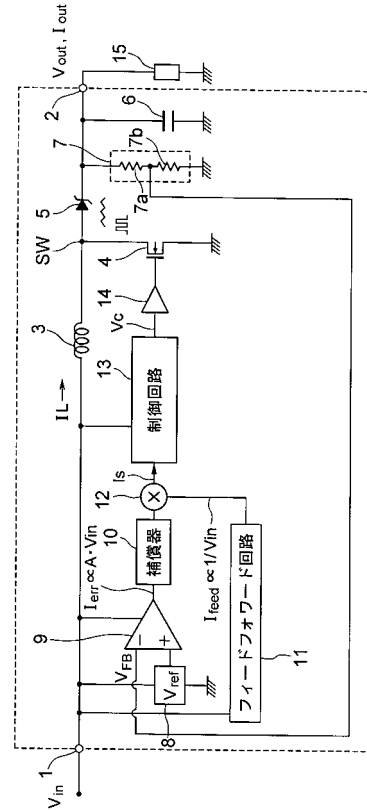
30

40

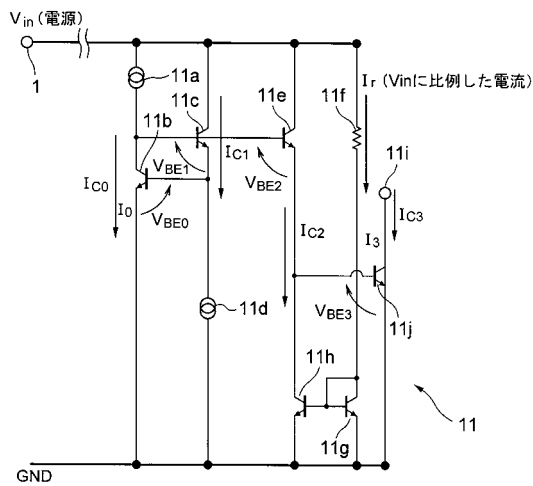
【図 1】



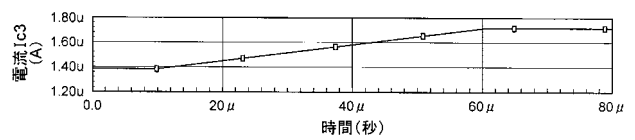
【図 2】



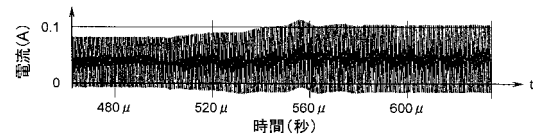
【図 3】



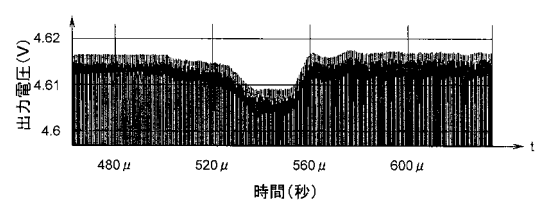
【図 4 C】



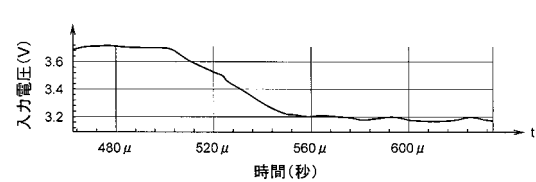
【図 5 A】



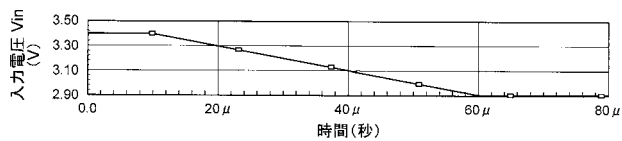
【図 5 B】



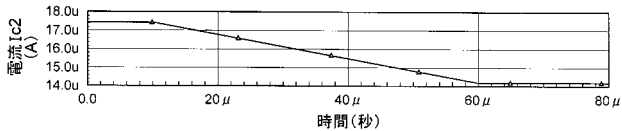
【図 5 C】



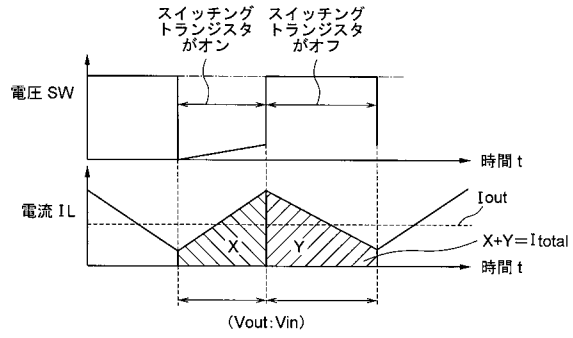
【図 4 A】



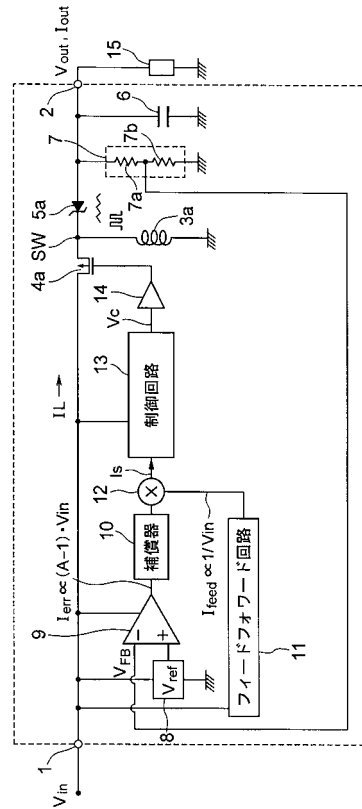
【図 4 B】



【図 6】



【図 7】



フロントページの続き

(72)発明者 大 塚 正 臣
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

(72)発明者 東 海 陽 一
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

(72)発明者 谷 藤 亮
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5H730 AS04 BB14 DD04 EE57 EE59 FD01 FD11 FF01 FG01