(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월25일
(11) 등록번호 10-1423083
(24) 등록일자 2014년07월18일

(51) 국제특허분류(Int. Cl.)
H04N 19/00 (2014.01)
(21) 출원번호 10-2013-0005013
(22) 출원일자 2013년01월16일
심사청구일자 2013년01월16일
(56) 선행기술조사문헌
JP2008243092 A*
KR1020110118598 A*
KR1020110114429 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
류광기
대전광역시 유성구 동서대로 125 한밭대학교 정보통신공학과
한금희
대전광역시 유성구 동서대로 125 한밭대학교 정보통신공학과
(74) 대리인
김정수

전체 청구항 수 : 총 9 항 심사관 : 김영태

(54) 발명의 명칭 **ＨＥＶＣ 복호기용 역변환기 설계 방법**

(57) 요 약

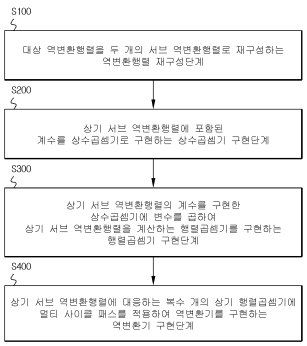
본 발명은 HEVC 복호기용 역변환기 설계 방법에 관한 것으로, 보다 상세하게는 HEVC의 복호화 효율을 향상시키면서, 낮은 주파수에서 고화질의 영상을 제공할 수 있도록 함은 물론, 연산의 복잡도를 낮추어 하드웨어의 크기를 최소화할 수 있도록 한 것이다.

특히, 본 발명은 HEVC의 복호화에 이용되는 32×32 역변환행렬을 두 개의 16×16 행렬로 재구성하고, 재구성된 행렬을 쉬프트연산기와 덧셈연산기를 이용하여 계산하도록 하며, 멀티 사이클 패스를 적용하여 하드웨어를 설계함으로써, 하드웨어의 크기를 최소화하고 낮은 주파수에서도 복효화 효율을 크게 향상시킬 수 있다.

또한, 본 발명은 32×32 역변환행렬 뿐만 아니라 16×16, 8×8 등의 역변환행렬에도 적용이 가능함은 물론, HEVC의 부호화에도 적용할 수 있으며, 영상처리를 위한 다양한 임베디드 시스템에도 용이하게 적용할 수 있다.

따라서, 영상처리분야, 특히 HEVC을 이용한 고해상도 동영상처리분야는 물론, 이와 유사 내지 연관된 분야에서 신뢰성 및 경쟁력을 향상시킬 수 있다.

대 표 도 - 도5



특허청구의 범위

청구항 1

대상 역변환행렬을 두 개의 서브 역변환행렬로 재구성하는 역변환행렬 재구성단계;

상기 서브 역변환행렬에 포함된 계수를 상수곱셈기로 구현하는 상수곱셈기 구현단계;

상기 서브 역변환행렬의 계수를 구현한 상수곱셈기에 변수를 곱하여 상기 서브 역변환행렬을 계산하는 행렬곱셈기를 구현하는 행렬곱셈기 구현단계; 및

상기 서브 역변환행렬에 대응하는 복수 개의 상기 행렬곱셈기에 멀티 사이클 패스를 적용하여 역변환기를 구현하는 역변환기 구현 단계;를 포함하고,

상기 대상 역변환행렬이 N×N행렬일 경우, 상기 서브 역변환행렬은 N/2×N/2행렬인 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 2

제 1항에 있어서,

상기 대상 역변환행렬은,

역변환기의 동작주파수를 결정하는 역변환행렬을 포함하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 대상 역변환행렬은 상하 또는 좌우 대칭 구조를 이루며,

상기 두 개의 서브 역변환행렬 중 어느 하나는,

상기 대상 역변환행렬의 대칭 구조 중 어느 한 쪽의 절반 영역을 선택하고, 선택영역의 열 또는 행의 홀수번째를 추출하여 재구성되고,

상기 두 개의 서브 역변환행렬 중 다른 하나는,

상기 선택영역의 열 또는 행의 짝수번째를 추출하여 재구성하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 5

제 1항에 있어서,

상기 대상 역변환행렬은 32×32행렬을 포함하고, 상기 서브 역변환행렬은 16×16행렬을 포함하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 6

제 5항에 있어서,

상기 대상 역변환행렬은,

상부의 16개 행과 하부 16개 행이 대칭구조를 이루며,

홀수번째 열은 동일한 부호에 크기가 같은 동부호대칭구조를 이루고,

짝수번재 열은 부호가 반대이고 크기가 같은 역부호대칭구조를 이루며,

상기 두 개의 서브 역변환행렬 중 어느 하나는,

동부호대칭구조의 상부 16개 행을 추출하여 재구성되고,

상기 두 개의 서브 역변환행렬 중 다른 하나는,

역부호대칭구조의 상부 16개 행을 추출하여 재구성하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 7

제 1항에 있어서,

상기 상수곱셈기 구현단계는,

상기 계수를 2의 제곱승으로 표현하여 곱셈기로 구현하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 8

제 7항에 있어서,

상기 상수곱셈기는,

쉬프트연산기와 덧셈연산기으로 구성되는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 9

제 8항에 있어서,

상기 행렬곱셈기 구현단계는,

상기 서브 역변환행렬의 행(Row)별 계수를 구현한 상수곱셈기에 변수를 곱하여 상기 서브 역변환행렬의 행별로 구현된 로우(Row)곱셈기를 포함하여 상기 행렬곱셈기를 구현하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

청구항 10

제 9항에 있어서,

상기 역변환기 구현 단계는,

매 클럭마다 상기 상수곱셈기가 이용되도록 멀티 사이클 패스를 적용하여 구성하는 것을 특징으로 하는 HEVC 복호기용 역변환기 설계 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 HEVC 복호기용 역변환기 설계 방법에 관한 것으로서, 보다 상세하게는 HEVC의 복호화 효율을 향상시키면서, 낮은 주파수에서 고화질의 영상을 제공할 수 있도록 함은 물론, 연산의 복잡도를 낮추어 하드웨어의 크기를 최소화할 수 있도록 한 것이다.

배 경 기 술

[0002] 다양한 영상 이미지의 크기 변환 기법들 중 이산여현변환(DCT : Discrete Cosine Transform)을 이용한 방법이 우수한 성능을 나타내고 있으며, 이러한 이산여현변환(DCT)은 MPEG-1, MPEG-2, MPEG-4, H.263 등의 동영상 코덱에서도 이용되고 있어 호환성이 우수한 장점이 있다.

[0003] 이산여현변환(DCT)은 입력된 아날로그 오리지널 영상을 수학적으로 정의된 이산여현변환 과정을 거쳐 저주파와 고주파의 주파수 성분으로 분해하는 변환기술이다.

[0004] 한편, 최근 영상처리 기술이 빠르게 발전하고 고해상도 TV와 스마트폰의 보급 등 멀티미디어 서비스가 대중화되면서, 고해상도, 고품질에 대한 소비자의 기대치가 증가하고 있다.

[0005] 따라서, FHD(Full High-Definition), UHD(Ultra High-Definition)와 같은 고해상도 영상을 지원할 수 있는 새로운 영상 압축 표준인 HEVC(High Efficiency Video Coding)의 개발이 요구되고 있다.

[0006] HEVC는 ITU-T/VCEG와 ISO-IEC/MPEG가 공동으로 설립한 JCT-VC(Joint Collaborative Team on Video Coding)에서 개발 중인 차세대 영상 압축 표준으로, 기존의 영상 압축 표준인 H.264/AVC와 거의 유사하나, 압축률을 더 높이기 위한 노력이 진행되고 있다.

[0007] 일반적으로, 압축 효율을 향상시키기 위해서는 연산이 복잡해지고 하드웨어의 크기가 커지게 되는데, H.264/AVC가 4×4와 8×8의 화소 단위 변환을 사용하는 것에 비해, HEVC는 4×4, 8×8, 16×16, 32×32의 다양한 화소 단위 변환을 사용하기 때문에, 상대적으로 복잡도가 높고 하드웨어 설계 시 크기가 상당히 증가하는 문제점이 발생한다.

[0008] 따라서, 현재 HEVC는 H.264/AVC에 비해 2배 이상 향상된 압축효율을 제공하면서도, 하드웨어의 복잡도를 낮추는 것을 목표로 현재 표준화를 진행 중에 있다.

[0009] 특히, HEVC는 FHD, UHD 영상뿐만 아니라 3D 방송 및 이동 통신망에서도 현재보다 낮은 주파수로 고화질의 영상을 제공하는 것을 목표로 하고 있으며, 현재 부호화 및 복호화 효율을 높이기 위해 다양한 기술을 채택하고자 하고 있다.

[0010] 이와 같은 요구에 따라, 현재 다양한 기술들이 개발되고 있으며, 대한민국 공개특허공보 제10-2012-0016989호 "영상 부호화 방법 및 장치, 그리고 복호화 방법 및 장치"(이하, 선행기술이라 함)에서도 부호화 및 복호화의 효율을 높이기 위한 방법이 제시되어 있다.

[0011] 그러나, 선행기술에서도 낮은 주파수로 고화질의 영상을 제공하거나, 연산의 복잡도를 낮추어 하드웨어의 크기를 최소화할 수 있는 방법들에 대해서는 나타나 있지 않다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 대한민국 공개특허공보 제10-2012-0016989호 "영상 부호화 방법 및 장치, 그리고 복호화 방법 및 장치"

발명의 내용

해결하려는 과제

[0013] 본 발명은 상기와 같은 요구에 의해 개발된 것으로, HEVC의 복호화 효율을 향상시키면서, 낮은 주파수에서 고화질의 영상을 제공할 수 있도록 함은 물론, 연산의 복잡도를 낮추어 하드웨어의 크기를 최소화할 수 있도록 할 수 있는 HEVC 복호기용 역변환기 설계 방법을 제공하는데 목적이 있다.

[0014] 특히, 본 발명은 HEVC의 복호화에 이용되는 32×32 역변환행렬을 두 개의 16×16 행렬로 재구성하고, 재구성된 행렬을 이용하여 복호화함으로써, 전체적인 연산량을 크게 감소시킬 수 있는 HEVC 복호기용 역변환기 설계 방법을 제공하는데 목적이 있다.

[0015] 또한, 본 발명은 재구성된 행렬을 계산하는 곱셈기를 쉬프트연산기와 덧셈연산기로 구현함으로써, 하드웨어의 크기를 최소화할 수 있는 HEVC 복호기용 역변환기 설계 방법을 제공하는데 목적이 있다.

[0016] 또한, 본 발명은 재구성된 행렬을 계산함에 있어, 멀티 사이클 패스를 적용하여 하드웨어를 설계함으로써, 낮은 주파수에서도 동일한 내지 향상된 연산량을 처리할 수 있는 HEVC 복호기용 역변환기 설계 방법을 제공하는데 목적이 있다.

과제의 해결 수단

[0017] 상기와 같은 목적을 달성하기 위해서, 본 발명에 따른 HEVC 복호기용 역변환기 설계 방법은, 대상 역변환행렬을 두 개의 서브 역변환행렬로 재구성하는 역변환행렬 재구성단계; 상기 서브 역변환행렬에 포함된 계수를 상수곱셈기로 구현하는 상수곱셈기 구현단계; 상기 서브 역변환행렬의 계수를 구현한 상수곱셈기에 변수를 곱하여 상기 서브 역변환행렬을 계산하는 행렬곱셈기를 구현하는 행렬곱셈기 구현단계; 및 상기 서브 역변환행렬에 대응하는 복수 개의 상기 행렬곱셈기에 멀티 사이클 패스를 적용하여 역변환기를 구현하는 역변환기 구현단계를 포함한다.

[0018] 또한, 상기 대상 역변환행렬은, 역변환기의 동작주파수를 결정하는 역변환행렬을 포함할 수 있다.

[0019] 또한, 상기 대상 역변환행렬이 N×N행렬일 경우, 상기 서브 역변환행렬은 N/2×N/2행렬일 수 있다.

[0020] 또한, 상기 대상 역변환행렬은 상하 또는 좌우 대칭 구조를 이루며, 상기 두 개의 서브 역변환행렬 중 어느 하나는, 상기 대상 역변환행렬의 대칭 구조 중 어느 한 쪽의 절반 영역을 선택하고, 선택영역의 열 또는 행의 홀수번째를 추출하여 재구성되고, 상기 두 개의 서브 역변환행렬 중 다른 하나는, 상기 선택영역의 열 또는 행의 짝수번째를 추출하여 재구성할 수 있다.

[0021] 또한, 상기 대상 역변환행렬은 32×32행렬을 포함하고, 상기 서브 역변환행렬은 16×16행렬을 포함할 수 있다.

[0022] 또한, 상기 대상 역변환행렬은, 상부의 16개 행과 하부 16개 행이 대칭구조를 이루며, 홀수번째 열은 동일한 부호에 크기가 같은 동부호대칭구조를 이루고, 짝수번째 열은 부호가 반대이고 크기가 같은 역부호대칭구조를 이루며, 상기 두 개의 서브 역변환행렬 중 어느 하나는, 동부호대칭구조의 상부 16개 행을 추출하여 재구성되고, 상기 두 개의 서브 역변환행렬 중 다른 하나는, 역부호대칭구조의 상부 16개 행을 추출하여 재구성할 수 있다.

[0023] 또한, 상기 상수곱셈기 구현단계는, 상기 계수를 2의 제곱승으로 표현하여 곱셈기로 구현할 수 있다.

[0024] 또한, 상기 상수곱셈기는, 쉬프트연산기와 덧셈연산기으로 구성될 수 있다.

[0025] 또한, 상기 행렬곱셈기 구현단계는, 상기 서브 역변환행렬의 행(Row)별 계수를 구현한 상수곱셈기에 변수를 곱하여 상기 서브 역변환행렬의 행별로 구현된 로우(Row)곱셈기를 포함하여 상기 행렬곱셈기를 구현할 수 있다.

[0026] 또한, 상기 역변환기 구현 단계는, 매 클럭마다 상기 상수곱셈기가 이용되도록 멀티 사이클 패스를 적용하여 구성할 수 있다.

발명의 효과

[0027] 상기와 같은 해결수단에 의해, 본 발명은 HEVC의 복호화에 이용되는 32×32 역변환행렬을 두 개의 16×16 행렬로 재구성하여 전체 곱셈 횟수를 감소시킴으로써, 전체적인 연산량을 크게 감소시킬 수 있는 효과가 있다.

[0028] 또한, 본 발명은 쉬프트연산기와 덧셈연산기로 구성된 상수곱셈기를 이용하여 행렬의 계수와 변수의 곱셈을 처리하도록 함으로써, 연산에서 요구되는 게이트의 수를 최소화하고 전체 하드웨어의 크기를 크게 감소시킬 수 있

는 효과가 있다.

[0029] 또한, 본 발명은 연산 과정 중 여분의 사이클을 이용하여, 병목현상이 발생하는 곱셈기의 연산 과정을 멀티 사이클 패스로 설계함으로써, 동일한 데이터를 낮은 주파수에서 처리할 수 있도록 하는 장점이 있다.

[0030] 또한, 본 발명은 32×32 역변환행렬 뿐만 아니라 16×16, 8×8 등의 역변환행렬에도 적용이 가능함은 물론, HEVC의 부호화에도 적용할 수 있는 장점이 있다.

[0031] 결과적으로, 본 발명은 HEVC의 복호화 효율을 향상시킴은 물론, HEVC의 부호화 효율도 향상시킬 수 있으며, 낮은 주파수에서 고화질의 영상을 제공할 수 있고, 하드웨어의 크기를 최소화할 수 있어 영상처리를 위한 다양한 임베디드 시스템에도 용이하게 적용할 수 있는 장점이 있다.

[0032] 따라서, 영상처리분야, 특히 HEVC을 이용한 고해상도 동영상처리분야는 물론, 이와 유사 내지 연관된 분야에서 신뢰성 및 경쟁력을 향상시킬 수 있다.

도면의 간단한 설명

[0033] 도 1은 HEVC의 부호화 구조와 부호화 단위(CU)의 크기를 결정하는 방법을 설명하는 도면이다.

도 2는 도 1에 의해 결정된 부호화 구조의 예를 나타낸 도면이다.

도 3은 HEVC의 부호화 단위(CU), 예측단위(PU) 및 변환단위(TU)의 관계를 설명하는 도면이다.

도 4는 HEVC의 역변환행렬에 대한 계수관계를 설명하는 도면이다.

도 5는 본 발명에 의한 HEVC 복호기용 역변환기 설계 방법의 예를 설명하는 흐름도이다.

도 6은 도 5의 단계 'S100'에 대한 예를 설명하는 도면이다.

도 7은 도 5의 단계 'S300'에 대한 예를 설명하는 도면이다.

도 8은 도 5의 단계 'S400'에 대한 예를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명에 따른 HEVC 복호기용 역변환기 설계 방법에 대한 예는 다양하게 적용할 수 있으며, 이하에서는 첨부된 도면을 참조하여 가장 바람직한 실시 예에 대해 설명하기로 한다.

[0035] 도 1은 HEVC의 부호화 구조와 부호화 단위(CU)의 크기를 결정하는 방법을 설명하는 도면이다.

[0036] 도 1을 참조하면, HEVC에서는 도 1의 (a)에 나타난 바와 같이 압축효율을 향상시키기 위하여, 데이터의 변환 및 양자화에 사용되는 변환블록의 크기를 4×4에서 32×32까지 가변적으로 사용할 수 있다. 예를 들어, LCU(Largest Coding Unit)를 기본으로 하여, 영상이 복잡한 영역은 작은 CU(Coding Unit)로 세분화하여 분할할 수 있다. 이러한 CU의 분할은, 부호화측에서 해당 영상의 특성에 따라 결정하며, 압축효율과 화질 측면을 고려하여 결정될 수 있다.

[0037] 또한, CU는 4개의 영역으로 세분화할 수 있으며, 부호화측에서 결정된 분할정보에 따라 세분화의 깊이(Depth)가 설정될 수 있다. 도 1의 (b)에서, 아래첨자는 세분화 깊이를 나타낸 것이고, 세분화된 영역은 각각 인덱스(0,1,2,3,)를 부여하여 구분하였다.

[0038] 도 2는 도 1에 의해 결정된 부호화 구조의 예를 나타낸 도면이다.

[0039] 도 2에 나타난 LCU는, 전체 영역을 CU_0, CU_1, CU_2, CU_3으로 세분화하고, CU_1은 CU_{20}, CU_{21}, CU_{22}, CU_{23}으로 세분화하였으며, $CU_2$3은 CU_{30}, CU_{31}, CU_{32}, CU_{33}으로 세분화하였음을 알 수 있다. 다시 말해, 세분화의 정도(깊이)에 따라 영역의 크기가 작아지며, 분할된 영역의 인덱스는 좌측상단에서 시작하여 우측 및 하부 방향 순으로 부여하였다.

[0040] 이와 같이 분할된 CU는 다양한 크기의 TU(변환단위)로 변환될 수 있다.

[0041] 도 3은 HEVC의 부호화 단위(CU), 예측단위(PU) 및 변환단위(TU)의 관계를 설명하는 도면이다.

[0042] 도 3을 참조하면, 도 1에 의해 도 2와 같이 분할된 부호화 단위(CU)는 세분화 깊이에 무관하게 예측단위(PU) 및 변환단위(TU)로 이용될 수 있다. 다시 말해, CU_10, CU_20, CU_30, CU_31 등이 각각 예측단위(PU) 및 변환단위(TU)로 이용될 수 있다.

[0043] 또한, 예측단위(PU)는 2개 또는 4개로 분할될 수 있으며, 변환단위(TU)는 부호화 단위(CU)와 동일한 방식으로 세분화될 수 있다.

[0044] 그리고, 변환단위(TU)는 그 크기에 따라 4×4, 8×8, 16×16, 32×32 역변환행렬로 구성될 수 있으며, 각 역변환행렬의 계수는 도 4에 나타난 바와 같다.

[0045] 도 4는 HEVC의 역변환행렬에 대한 계수관계를 설명하는 도면이다.

[0046] 도 4를 참조하면, 4×4 역변환행렬의 계수는 8×8 역변환행렬에 포함되고, 8×8 역변환행렬의 계수는 16×16 역변환행렬에 포함되며, 16×16 역변환행렬의 계수는 32×32 역변환행렬에 포함될 수 있다.

[0047] 다시 말해, 4×4, 8×8, 16×16의 역변환행렬은 32×32 역변환행렬의 부분집합을 이루며, 32×32 역변환행렬이 전체 동작주파수를 결정하는 최종 역할을 하므로, 본 발명에서는 32×32 역변환 블록의 구현을 중심으로 설명하기로 한다.

[0048] 도 5는 본 발명에 의한 HEVC 복호기용 역변환기 설계 방법의 예를 설명하는 흐름도이다.

[0049] 도 5를 참조하면, 대상 역변환행렬을 두 개의 서브 역변환행렬로 재구성한다(단계 S100). 여기서, 대상 역변환행렬은 본 발명에 의해 설계되는 역변환기의 동작주파수를 결정하는 역변환행렬을 포함할 수 있다. 또한, 대상 역변환행렬이 N×N행렬일 경우, 상기 서브 역변환행렬은 N/2×N/2행렬로 설정할 수 있다.

[0050] HEVC에서, 대상 역변환행렬은 그 계수들이 상하 대칭 구조를 이루며, 이 경우, 상기 두 개의 서브 역변환행렬 중 어느 하나는 상기 대상 역변환행렬의 대칭 구조 중 어느 한 쪽의 절반 영역을 선택하고, 선택영역의 열 또는 행의 홀수번째를 추출하여 재구성되고, 다른 하나의 서브 역변환행렬은 선택영역의 열 또는 행의 짝수번째를 추출하여 재구성할 수 있다. 물론, 대상 역변환행렬은 그 계수들이 좌우 대칭 구조를 이루는 경우에도 동일하게 적용될 수 있다.

[0051] 서브 역변환행렬이 재구성되면, 서브 역변환행렬에 포함된 계수를 상수곱셈기로 구현하고(단계 S200), 해당 서브 역변환행렬의 계수를 구현한 상수곱셈기에 변수를 곱하여 서브 역변환행렬을 계산하는 행렬곱셈기를 구현한다(단계 S300).

[0052] 이후, 서브 역변환행렬에 대응하는 복수 개의 행렬곱셈기에 대하여 멀티 사이클 패스를 적용하여 역변환기를 구현한다(단계 S400).

[0053] 이하에서는, 도 5에 나타난 단계 'S100' 내지 단계 'S400'에 대하여, 동작 주파수를 결정하는 32×32 역변환행렬을 대상 역변환행렬로 하여, HEVC 복호기용 역변환기 설계 방법에 대하여 구체적으로 살펴보기로 한다.

[0054] 도 6은 도 5의 단계 'S100'에 대한 예를 설명하는 도면이다.

[0055] 도 4에 나타난 계수들로 구성되는 대상 역변환행렬은, 도 6의 (a)와 같이 32×32행렬이 구성될 수 있으며, 서브 역변환행렬은 도 6의 (b)와 같이 16×16행렬로 구성될 수 있다.

[0056] HEVC의 경우, 32×32 역변환행렬은 상부와 하부가 대칭되는 구조로 이루어진다. 보다 구체적으로는, 32×32 역변환행렬의 상부에 위치하는 16개 행과 하부에 위치하는 16개 행이 대칭되는 특성이 있다.

[0057] 또한, 대칭되는 계수들을 살펴보면, 대칭되는 계수들간의 크기(절대값)는 서로 동일하며, 홀수번째 열은 동일한 부호를 갖고 짝수번째 열은 반대부호를 갖는다. 이러한 특성은, Chen 알고리즘의 DCT 연산에 따라 발생하게 된다.

[0058] 따라서, 도 6의 (a)와 같은 32×32의 대상 역변환행렬에서, 도 6의 (b)와 같이 동부호대칭구조의 상부 16개 행을 추출하여 어느 하나의 서브 역변환행렬이 재구성되고, 역부호대칭구조의 상부 16개 행을 추출하여 다른 하나의 서브 역변환행렬이 재구성될 수 있다(단계 S100).

[0059] 상기와 같이 16×16의 서브 역변환행렬이 결정되면, 서브 역변환행렬을 계산하기 위한 행렬곱셈기를 설계할 수 있다.

[0060] 일반적으로 사용하는 곱셈기는 임의의 변수와 변수의 입력을 전제로 하여 구성된다. 따라서, 각각의 변수가 임

의의 입력 숫자에 대하여 대응해야 하기 때문에 범용성을 갖추기 위해서는 하드웨어의 크기도 커지고 계산에 소요되는 시간도 증가할 수 밖에 없다.

[0061] 이때, 곱셈기의 입력 중 하나가 상수일 경우에는 상수를 2의 제곱승을 이용하여 표현할 수 있으며, 2의 제곱승은 하드웨어로 구현 시 시프트 로직으로 처리할 수 있기 때문에 연산량을 줄일 수 있다.

[0062] 결과적으로, 전체 상수와 변수의 곱셈기는 제한된 시프트연산기와 덧셈연산기로만 이루어지고 그 만큼 하드웨어의 면적(크기)과 동작 속도를 향상시킬 수 있다.

[0063] 수학식 1 내지 수학식 3은 상수와 변수의 곱셈의 예를 나타낸다.

[0064] (수학식 1)

[0065] $$89 = 2^6 + 2^4 + 2^3 + 1$$

[0066] (수학식 2)

[0067] $$89 \times x = (2^6 + 2^4 + 2^3 + 1) \times x$$

[0068] (수학식 3)

[0069] $$89 \times x = (2^6 \times x) + (2^4 \times x) + (2^3 \times x) + x$$

[0070] 따라서, 본 발명에서는 수학식 1 내지 수학식 3과 같이, 16×16의 서브 역변환행렬의 각 계수를 상수로 하여 2의 제곱승으로 표현한 후, 시프트연산기와 덧셈연산기로만 이루어진 상수곱셈기를 구현할 수 있다(단계 S200).

[0071] 도 7은 도 5의 단계 'S300'에 대한 예를 설명하는 도면이다.

[0072] 도 7을 참조하면, 16×16의 서브 역변환행렬과 변수의 곱셈을 표현함에 있어서, 서브 역변환행렬의 행(Row)별 계수를 변수와 곱하는 방식으로 표현하여 해당 서브 역변환행렬을 계산하는 행렬곱셈기를 구현할 수 있다(단계 S300).

[0073] 보다 상세하게는, 16×16의 서브 역변환행렬의 행(Row)별 계수를 구현한 상수곱셈기에 변수를 곱하여, 서브 역변환행렬의 행별로 구현된 로우(Row)곱셈기를 구현하고, 이러한 로우(Row)곱셈기에 의해 행렬곱셈기를 구현할 수 있다.

[0074] 한편, 상수곱셈기를 이용할 경우 고유한 개개의 상수를 곱하기 위해서 별도의 곱셈기가 필요하기 때문에, 행렬연산을 위해서는 행렬을 구성하는 상수의 종류만큼 곱셈기가 필요하게 된다.

[0075] 다시 말해, 본 발명에서 구현하는 행렬의 경우를 적용시키면, 32×32 행렬은 도 4에 나타난 바와 같이 32개의 계수로 이루어지므로, 재구성된 16×16 행렬 1개를 계산하기 위해서는 총 32개의 상수곱셈기가 필요하게 된다.

[0076] 일반적인 경우의 변수곱셈기를 적용할 경우 16개가 필요한 것에 비교하면 2배의 곱셈기가 소요되지만, 시프트연산기와 덧셈연산기로만 이루어진 상수곱셈기의 크기가 더 작기 때문에, 하드웨어의 전체 크기는 상수곱셈기의 경우가 더 작아지게 된다.

[0077] 도 8은 도 5의 단계 'S400'에 대한 예를 설명하는 도면이다.

[0078] 도 8에서, (a)는 단일 사이클 동작 모드(Single cycle operating mode)에서 데이터처리한 결과를 나타낸 것으로, 점선부분과 같이 연산동작을 수행하지 않는 시간이 발생하게 된다.

[0079] 다시 말해, 실시간 처리를 위한 단위 시간당 데이터량은 일정하기 때문에 도 8의 (a)와 같이 주어진 데이터를 처리하고도 시간이 남을 수 있다.

[0080] 곱셈 연산이 전체 블록에서 동작 주파수를 결정하는 가장 시간이 많이 걸리는 부분임을 고려하면, 이와 같은 여분의 시간을 활용하여, 전체 데이터의 처리를 보다 효율적으로 수행할 수 있다.

[0081] 따라서, 본 발명에서는 도 8의 (b)와 같이, 매 클럭마다 상기 상수곱셈기가 이용되도록 멀티 사이클 패스를 적용하여 역변환기를 구현함으로써(단계 S400), 동일한 양의 데이터를 처리할 경우, 상대적으로 보다 낮은 주파수에서 동작시킬 수 있다.

[0082] 이상에서는 본 발명에 의한 설계 방법에 대하여, 이산여현역변환(IDCT : Inverse Discrete Cosine Transform)

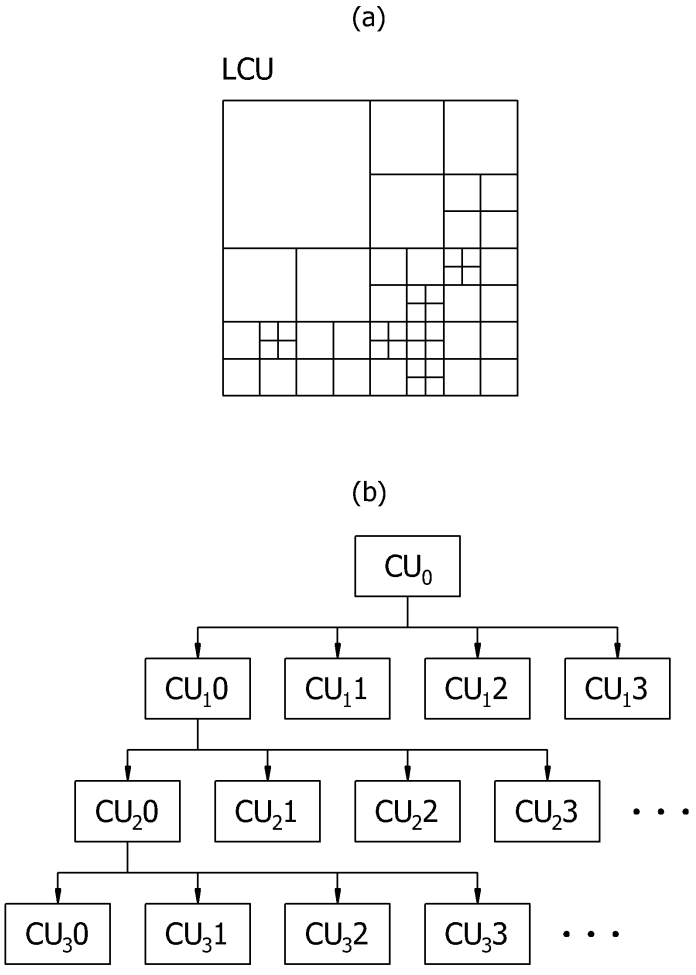
을 중심으로 설명하였으나, 이산여현변환(DCT : Discrete Cosine Transform)에서도 동일 내지 유사하게 적용될 수 있음은 물론이다.

[0083] 이상에서 본 발명에 의한 HEVC 복호기용 역변환기 설계 방법에 대하여 설명하였다. 이러한 본 발명의 기술적 구성은 본 발명이 속하는 기술분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

[0084] 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며, 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 전술한 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지는 것이므로, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

도면1

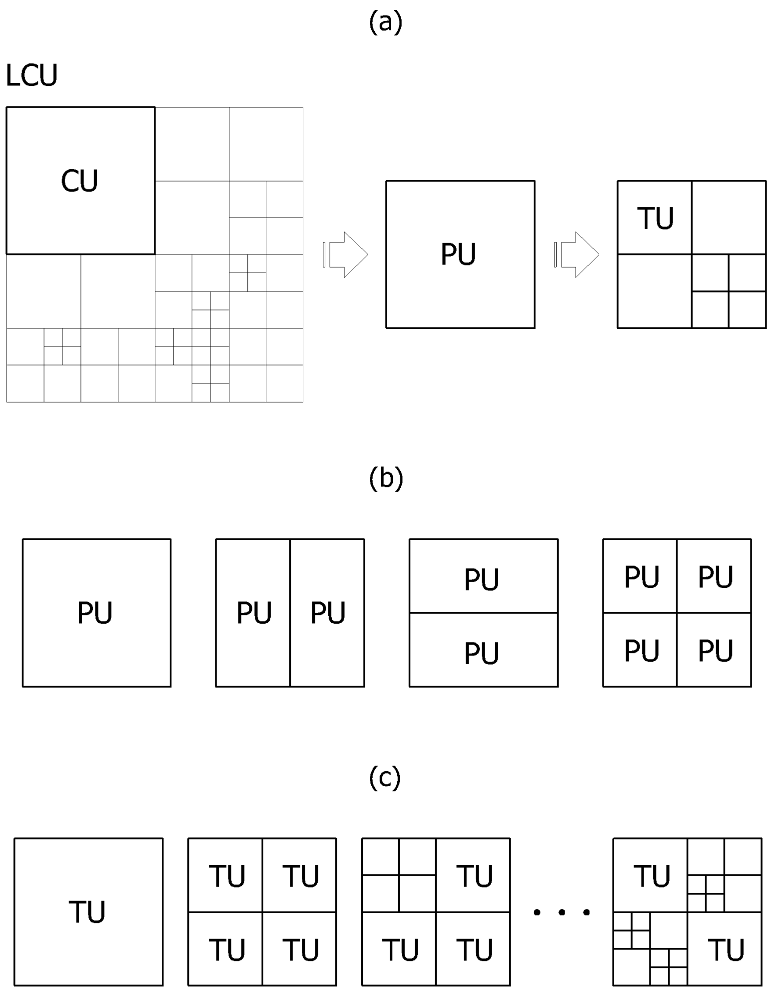


도면2

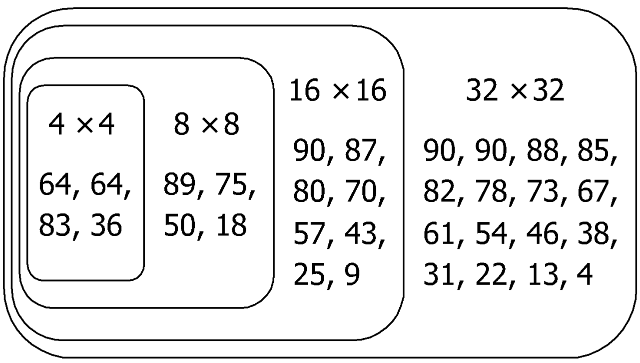
LCU

<table>
<tr><td colspan="4" rowspan="2">$CU_1 0$</td><td colspan="2">$CU_2 0$</td><td colspan="2">$CU_2 1$</td></tr>
<tr><td rowspan="2">$CU_2 2$</td><td>$CU_3 0$</td><td>$CU_3 1$</td></tr>
<tr><td colspan="2" rowspan="2">$CU_2 0$</td><td colspan="2" rowspan="2">$CU_2 1$</td><td rowspan="2">$CU_2 0$</td><td>$CU_3 2$</td><td>$CU_3 3$</td></tr>
<tr><td>$CU_3 0$</td><td>$CU_3 1$</td></tr>
<tr><td>$CU_3 0$</td><td>$CU_3 1$</td><td>$CU_3 0$</td><td>$CU_3 1$</td><td rowspan="2">$CU_2 2$</td><td>$CU_3 2$</td><td>$CU_3 3$</td></tr>
<tr><td>$CU_3 2$</td><td>$CU_3 3$</td><td>$CU_3 2$</td><td>$CU_3 3$</td><td>$CU_3 0$</td><td>$CU_3 1$</td></tr>
<tr><td colspan="4"></td><td colspan="2"></td><td>$CU_3 2$</td><td>$CU_3 3$</td></tr>
</table>

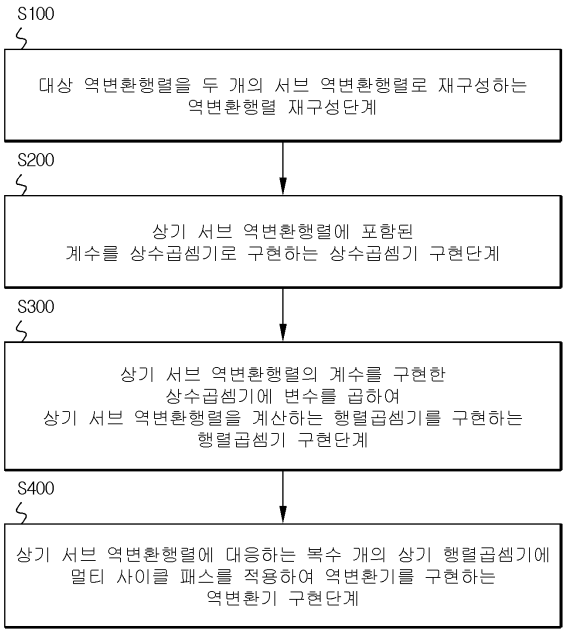
도면3


(a)
LCU
CU
PU
TU
(b)
PU
PU PU
PU PU
PU PU PU PU
(c)
TU
TU TU TU TU
TU TU TU
TU TU

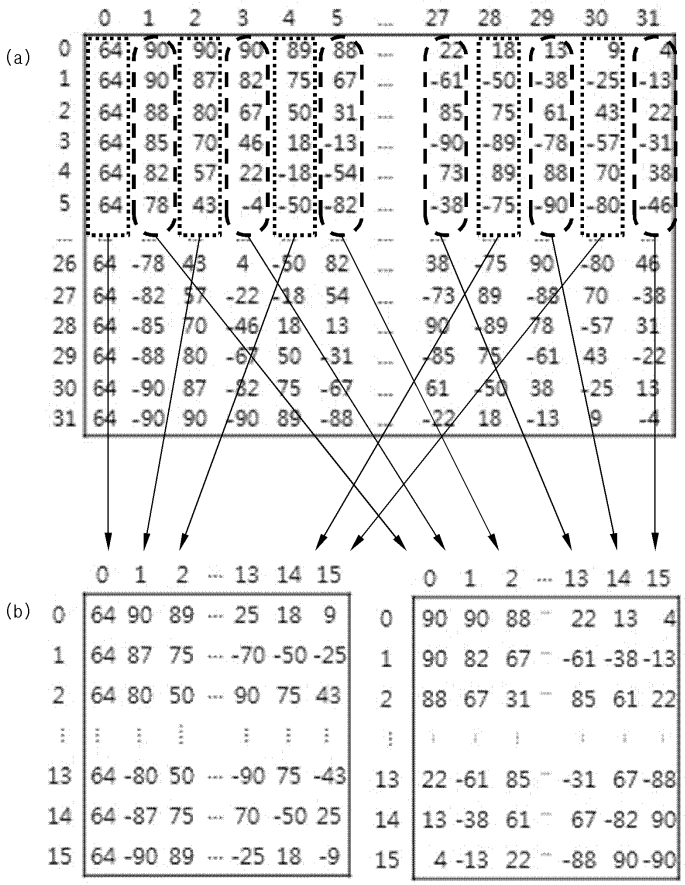
도면4


4×4
64, 64, 83, 36
8×8
89, 75, 50, 18
16×16
90, 87, 80, 70, 57, 43, 25, 9
32×32
90, 90, 88, 85, 82, 78, 73, 67, 61, 54, 46, 38, 31, 22, 13, 4

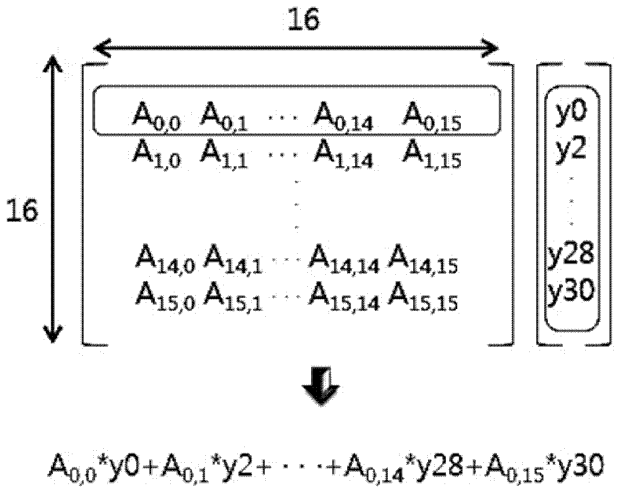
도면5


S100
대상 역변환행렬을 두 개의 서브 역변환행렬로 재구성하는
역변환행렬 재구성단계
S200
상기 서브 역변환행렬에 포함된
계수를 상수곱셈기로 구현하는 상수곱셈기 구현단계
S300
상기 서브 역변환행렬의 계수를 구현한
상수곱셈기에 변수를 곱하여
상기 서브 역변환행렬을 계산하는 행렬곱셈기를 구현하는
행렬곱셈기 구현단계
S400
상기 서브 역변환행렬에 대응하는 복수 개의 상기 행렬곱셈기에
멀티 사이클 패스를 적용하여 역변환기를 구현하는
역변환기 구현단계

도면6

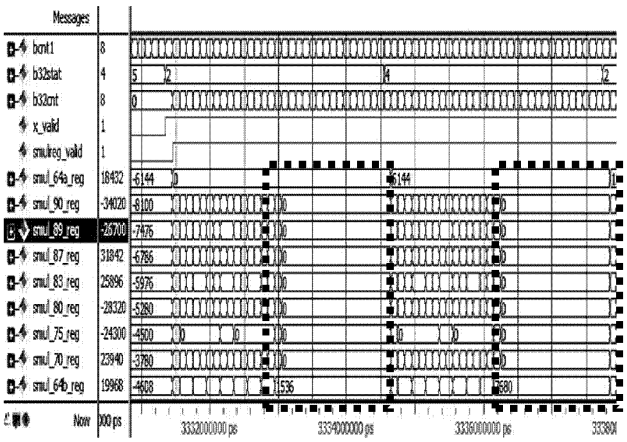


도면7

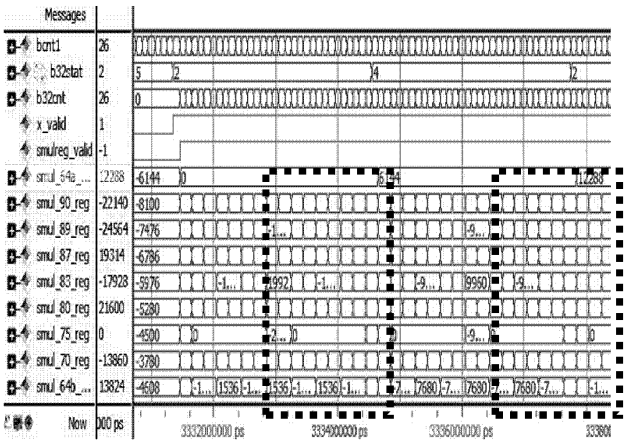


도면8

(a)


Messages
bcnt1
b32stat
b32cnt
x_valid
smulreg_valid
smul_64a_reg
smul_90_reg
smul_89_reg
smul_87_reg
smul_83_reg
smul_80_reg
smul_75_reg
smul_70_reg
smul_64b_reg
Now
333200000 ps
333400000 ps
333600000 ps

(b)


Messages
bcnt1
b32stat
b32cnt
x_valid
smulreg_valid
smul_64a_...
smul_90_reg
smul_89_reg
smul_87_reg
smul_83_reg
smul_80_reg
smul_75_reg
smul_70_reg
smul_64b_...
Now
3332000000 ps
3334000000 ps
3336000000 ps