

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 19/094

H03K 19/00



[12] 发明专利说明书

[21] ZL 专利号 99807967.7

[45] 授权公告日 2004 年 6 月 9 日

[11] 授权公告号 CN 1153349C

[22] 申请日 1999.5.21 [21] 申请号 99807967.7

[30] 优先权

[32] 1998.5.29 [33] US [31] 09/086,869

[86] 国际申请 PCT/US1999/011349 1999.5.21

[87] 国际公布 WO1999/063669 英 1999.12.9

[85] 进入国家阶段日期 2000.12.27

[71] 专利权人 埃德加·丹尼·奥尔森

地址 美国加利福尼亚

[72] 发明人 埃德加·丹尼·奥尔森

审查员 杨蕊

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

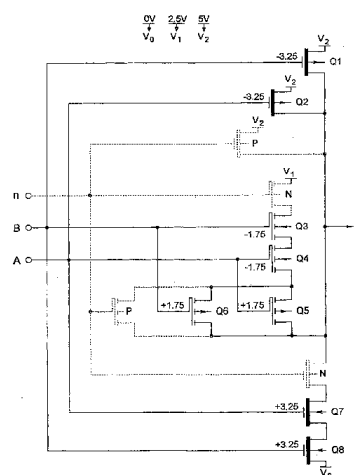
代理人 王以平

权利要求书 7 页 说明书 95 页 附图 112 页

[54] 发明名称 多值逻辑电路体系结构:补充对称逻辑电路结构

[57] 摘要

用于多值逻辑的电路结构和结果电路。该电路结构允许设计和制造 n 位的任何 r 值逻辑功能,其中 r 是大于 1 的整数,而 n 是大于 0 的整数。这种结构称为补充对称逻辑电路结构(SUS-LOC)。在结合 SUS-LOC 的电路中,实现唯一地传送电路响应和输出的电路分支。对于有些电路,并且由于开关元件的操作特性,必须结合附加电路元件或级,以防止“反向偏置”。SUS-LOC 是全有源的。仅有源元件执行逻辑合成,并且那些不直接涉及逻辑合成的元件,例如晶体管和/或其他无源元件,归类于电路保护的任务。用已知技术、材料和设备,能完成用 SUS-LOC 结构的限定所设计的 r 值、多值或多值逻辑电路的制造。



1. 一种用于多值逻辑的一位信号处理电路，其特征在于，包括：
一个输入和一个输出；

一个第一终端分支，把所述输入与所述输出耦合，所述第一终端分支对于第一组的唯一输入信号，传导第一输出信号；

一个第二终端分支，把所述输入与所述输出耦合，所述第二终端分支对于第二组的唯一输入信号，传导第二输出信号；和

一个中间分支，把所述输入与所述输出耦合，所述中间分支对于第三组的唯一输入信号，传导第三输出信号；从而

为多值逻辑信号处理提供一种一位逻辑功能。

2. 根据权利要求 1 所述的用于多值逻辑的一位信号处理电路，其特征在于，还包括：

一个附加级，所述附加级防止该用于多值逻辑的一位信号处理电路的至少一个分支的反向偏置。

3. 一种用于多值逻辑的多位信号处理电路，其特征在于，包括：
第一和第二输入；

一个输出；

一个第一复合分支，把所述第一和第二输入与所述输出耦合，所述第一复合分支对于第一组的唯一输入信号，传导第一输出信号；和

一个第二复合分支，把所述第一和第二输入与所述输出耦合，所述第二复合分支对于第二组的唯一输入信号，传导第二输出信号；从而

为多值逻辑信号处理提供一种多位逻辑功能。

4. 根据权利要求 3 所述的用于多值逻辑的多位信号处理电路，其特征在于，所述第一复合分支还包括：

一个附加级，所述附加级防止所述第一复合分支的至少一个开关的反向偏置。

5. 一种用于多值逻辑的信息信号处理电路，其特征在于，包括：

一个第一开关,所述第一开关与一个第一源电压耦合,并且具有一个第一开关输入和一个第一开关输出,当施加在所述第一开关输入上的输入信号电压与所述第一源电压足以相差第一阈值电压时,所述第一开关把所述第一源电压传送到所述第一开关输出;和

一个第二开关,所述第二开关与所述第一开关耦合,所述第二开关与一个第二源电压耦合,并且具有一个与所述第一开关输入耦合的第二开关输入和一个与所述第一开关输出耦合的第二开关输出,当施加在所述第二开关输入上的所述输入信号电压与所述第二源电压足以相差第二阈值电压时,所述第二开关把所述第二源电压传送到所述第二开关输出;从而

通过适当地选择所述第一开关,所述第一开关要求的所述第一阈值电压,所述第二开关,和所述第二开关要求的所述第二阈值电压,该信息信号处理电路响应所述输入信号电压,控制所述第一源电压或所述第二源电压的传送,从而实现一种多值逻辑电路。

6. 根据权利要求 5 所述的用于多值逻辑的信息信号处理电路,其特征在于,还包括:

所述第一源电压加所述第一阈值电压,叠加所述第二源电压加所述第二阈值电压,以提供连续输出。

7. 根据权利要求 5 所述的用于多值逻辑的信息信号处理电路,其特征在于,所述第一开关包括 N 沟道 FET。

8. 根据权利要求 5 所述的用于多值逻辑的信息信号处理电路,其特征在于,所述第二开关包括 P 沟道 FET。

9. 一种用于多值逻辑的信息信号处理电路,其特征在于,包括:

一个第一 N 沟道 FET 开关,所述第一开关与一个第一源电压耦合,并且具有一个第一开关输入和一个第一开关输出,当施加在所述第一开关输入上的输入信号电压与所述第一源电压足以相差第一阈值电压时,所述第一开关把所述第一源电压传送到所述第一开关输出;

一个第二 P 沟道 FET 开关,所述第二开关与一个第二源电压耦合,并且具有一个与所述第一开关输入耦合的第二开关输入,和一个

与所述第一开关输出耦合的第二开关输出，当施加在所述第二开关输入上的所述输入信号电压与所述第二源电压足以相差第二阈值电压时，所述第二开关把所述第二源电压传送到所述第二开关输出；和所述第一源电压加所述第一阈值电压，叠加所述第二源电压加所述第二阈值电压，以提供连续输出；从而

通过适当地选择所述第一开关，所述第一开关要求的所述第一阈值电压，所述第二开关，和所述第二开关要求的所述第二阈值电压，该信息信号处理电路响应所述输入信号电压，控制所述第一源电压或所述第二源电压的传送，从而实现一种多值逻辑电路。

10. 一种用于处理具有三个或多个电平的信号的多值逻辑信号处理电路，其特征在于，包括：

一个第一输入；

一个输出；

一个第一终端分支，与所述第一输入和所述输出耦合，所述第一终端分支响应所述第一输入传送的第一逻辑电平的输入信号，传送第一输出信号；

一个第二终端分支，与所述第一输入和所述输出耦合，所述第二终端分支响应所述第一输入传送的第二逻辑电平的输入信号，传送第二输出信号；

当所述第一输入传送所述第二逻辑电平信号时，所述第一终端分支不传送所述第一输出信号；以及

当所述第一输入传送所述第一逻辑电平信号时，所述第二终端分支不传送所述第二输出信号；从而

该信号处理电路对输入信号执行逻辑操作，所述输入信号控制所述输出信号。

11. 根据权利要求 10 所述的多值逻辑信号处理电路，其特征在于，还包括：

一个第一中间分支，与所述第一输入和所述输出耦合，所述第一中间分支响应所述第一输入传送的第三逻辑电平的输入信号，传送第

三输出信号;

12. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第一终端分支包括 P 沟道耗尽型 FET, 从而所述第一终端分支响应所述第一逻辑电平信号, 传送所述第一输出信号, 所述第一逻辑电平低于所述第一输出信号加一个栅阈值。

13. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第一终端分支包括 P 沟道增强型 FET, 从而所述第一终端分支响应所述第一逻辑电平信号, 传送所述第一输出信号, 所述第一逻辑电平低于所述第一输出信号减一个栅阈值。

14. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第二终端分支包括 N 沟道耗尽型 FET, 从而所述第二终端分支响应所述第二逻辑电平信号, 传送所述第二输出信号, 所述第二逻辑电平高于所述第二输出信号减一个栅阈值。

15. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第二终端分支包括 N 沟道增强型 FET, 从而所述第二终端分支响应所述第二逻辑电平信号, 传送所述第二输出信号, 所述第二逻辑电平高于所述第二输出信号加一个栅阈值。

16. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第一终端分支包括一个单 FET。

17. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 所述第二终端分支包括一个单 FET。

18. 根据权利要求 11 所述的多值逻辑信号处理电路, 其特征在于, 还包括:

一个第二输出;

一个第三终端分支, 与所述第二输入和所述输出耦合, 所述第三终端分支响应所述第二输入传送的逻辑电平信号, 传送第四输出信号;

一个第四终端分支, 与所述第二输入和所述输出耦合, 所述第四终端分支响应所述第二输入传送的逻辑电平信号, 传送第五输出信号;
从而

对所述第一和第二输入传送的输入信号执行多值逻辑操作。

19. 根据权利要求 18 的多值逻辑信号处理电路，其特征在于，还包括：

一个第二中间分支，与所述第二输入和所述输出耦合，所述第二中间分支响应所述第二输入传送的逻辑电平信号，传送第六输出信号。

20. 根据权利要求 19 所述的多值逻辑信号处理电路，其中所述第二中间分支包括多个 IGFET 对，各 IGFET 对限定一个输入信号的唯一带宽，对于该唯一带宽各所述 IGFET 对传送信号。

21. 根据权利要求 20 所述的多值逻辑信号处理电路，其特征在于，还包括：

一个附加级，所述附加级防止该多值逻辑信号处理电路的至少一个分支的反向偏置。

22. 根据权利要求 11 所述的多值逻辑信号处理电路，其特征在于，所述第一中间分支包括：

一个第一中间 FET，与所述第一输入和所述输出耦合；和
一个第二中间 FET，与所述第一输入和所述输出耦合。

23. 根据权利要求 22 所述的多值逻辑信号处理电路，其特征在于，还包括：

所述第一中间 FET 具有栅极、源极和漏极，并且限定一个上限值，在这个值之上所述第一中间分支不传送所述第三输出信号；

所述第二中间 FET 具有栅极、源极和漏极，并且限定一个下限值，在这个值之下所述第一中间分支不传送所述第三输出信号；

所述第一中间 FET 栅极与所述第一输入和所述第二中间 FET 的所述栅极耦合；

所述第一中间 FET 漏极与所述第二中间 IGFET 的所述源极耦合；以及

所述第二中间 FET 漏极与所述输出耦合。

24. 根据权利要求 23 所述的多值逻辑信号处理电路，其特征在于，

所述第一中间 FET 是 P 沟道耗尽型 IGFET; 以及

所述第二中间 FET 是 N 沟道增强型 IGFET。

25. 根据权利要求 23 所述的多值逻辑信号处理电路, 其特征在于,

所述第一中间 FET 是 P 沟道增强型 IGFET; 以及

所述第二中间 FET 是 N 沟道耗尽型 IGFET。

26. 根据权利要求 23 所述的多值逻辑信号处理电路, 其特征在于,

所述第一中间 FET 是 P 沟道耗尽型 IGFET; 以及

所述第二中间 FET 是 N 沟道耗尽型 IGFET。

27. 一种用于处理具有三个或多个电平的信号的多值逻辑信号处理电路, 包括:

一个第一输入;

一个第二输入

一个输出;

一个第一终端分支, 与所述第一输入和所述输出耦合, 所述第一终端分支响应所述第一输入传送的第一逻辑电平的输入信号, 传送第一输出信号;

一个第二终端分支, 与所述第一输入和所述输出耦合, 所述第二终端分支响应所述第一输入传送的第二逻辑电平的输入信号, 传送第二输出信号;

一个第三终端分支, 与所述第二输入和所述输出耦合, 所述第三终端分支响应所述第二输入传送的第三逻辑电平的输入信号, 传送第三输出信号;

一个第四终端分支, 与所述第二输入和所述输出耦合, 所述第四终端分支响应所述第二输入传送的第四逻辑电平的输入信号, 传送第四输出信号;

所述第一和第三终端分支形成一个第一复合分支, 它能够传送第一复合输出信号;

所述第二和第四终端分支形成一个第二复合分支，它能够传输第二复合输出信号；

当所述第一和第二输入分别传送所述第一和第三逻辑电平信号时，所述第一复合分支仅传送所述第一复合输出信号；

当所述第一和第二输入分别传送所述第二和第四逻辑电平信号时，所述第二复合分支仅传送所述第二复合输出信号；从而

提供一种多位多值逻辑电路，它响应唯一的的第一和第二输入逻辑信号，提供唯一的输出逻辑信号。

28. 根据权利要求 27 所述的用于处理具有三个或多个电平的多值逻辑信号处理电路，其特征在于，从 CGOR, CGAND, CEQ, CSIGMA, GOR, GAND, EQ, SIGMA 和 XGOR 所组成的组中，选择该多值逻辑信号处理电路。

多值逻辑电路体系结构：补充对称逻辑电路结构

本发明涉及电子电路，用于产生、存储和传送信息，更具体地说，涉及能这样做的电子电路，它通过以任何选择的数字系统，特别是三进制（基于数字三）来表示这样的信息，以提供多值逻辑。

计算机特别是个人计算机现今相当普通。这样的计算机的发展历史和结构有许多文件证明，并且可以通过教科书、论文和其他书写源容易得到。这里给出简短介绍，作为这里所述本发明的背景。

由于晶体管和基于芯片的微电路的到来，信息日益地用电子形式表示。信息的电子表示非常强大，因为信息不再束于用于传送信息的特定单个物件（虽然它可能束于特定介质）。例如，图书存储信息以印刷文字物理地附于页面上。书中文字不能容易地从一本书转印或复制到另一本书。相反，计算机和其他电子数据机器（这里一般地称为“计算机”）用电压存储它们的信息，这样的信息能非常快速和容易地复制和/或传送到其他计算机。

而且，计算机能由也是电子存储的指令对它们的存储数据/信息操作。这些指令的序列是“计算机程序”，它们创建为执行一定的指令集。这样的序列可以容易地对相同或不同的数据/信息集重复。在最近十五年内，计算机程序的灵活性和能力增加到这样程度，其中现用程序超过几百万字节（几兆字节）长，并且其中在环境中（例如在虚拟现实）移动物体的图形表示日益得到应用。

今天的计算机的重大优点之一是它们操作的速度。现用微型计算机能以 200 兆赫（MHz）或更高的速度操作，并且它们能每秒执行数百万条指令。随着时间的推移，越来越高的操作速度变得更容易得到，并且价格越来越低。由于更强大和更灵活软件的尺寸增加对硬件有更高的性能要求，所以现代计算机要求这样的速度。最终，计算机的速

度由单个电路的响应时间和电路密度极限确定，在该电路密度极限下无附加电路能适合单位空间。电路响应时间越快，并且电路密度越大，计算机就越好和越快。然而，现今电路所能增加的电路响应和密度有极限。这些限制阻止了增加计算机的实用性和速度的种种努力。

为了使用和操纵对信息进行存储、传送和操作的电压，计算机使用预定方式的逻辑电路。当前，大多数逻辑电路基于二进制数字系统，以便传送和操纵信息。这样做的理由可能是历史原因，因为早期晶体管化逻辑电路是基于数据存储的“接通-断开”类型。也就是说，“接通”状态或有电压表示一个值(“1”)，而“断开”或没有电压表示另一个值(“0”)。先前逻辑电路结构包括：ECL、TTL、DTL、RTL、NMOS、PMOS 和 COS-MOS 或 CMOS，这些逻辑电路结构对合成二进制逻辑的电路的制造寻址。

在提交二进制电路时，计算机工业利用了晶体管的基本操作状态。晶体管或通过晶体管传送电压和电流，或防止这样的传送，以两种基本状态操作。然而，通过提交二进制逻辑，计算机工业对计算机速度和实用性强加不必要的限制。

二进制逻辑限制了计算机速度，因为它是最小密集和最精致方式，其中信息能数字地表示。不象普通使用的十进制数字系统，它能以任何十进制位表示十个数中的任何一个，二进制数字系统仅能以二进制位表示两个数中的任何一个。例如，数一百在十进制数字系统中仅要求三个数字，即“100”。然而，在二进制数字系统中，数一百表示为“1100100”($2^6+2^5+2^2=64+32+4$)。在二进制中，数字“100”表示数四。在十进制中取三个数字位则在二进制中取七位，数字位增加超过100%。

虽然基于数十的数字系统便于现代使用，但是其他数字系统在过去得到使用。数六十构成用于古代闪族人和巴比伦的数字系统的基础。数二十构成玛雅人数字系统的基础。可能构成为人所用的数字系统的方便基础不一定构成为计算机所用的方便基础。机械和结构约束规定什么数字系统最方便。不幸的是，应用基于二进制的逻辑电路，现代

计算机不能适应结合和使用什么数字系统可能最为有利。

因此，二进制逻辑要求更多的物理空间，并且必须以小于最优的速度操作。提供例如以基于数三、四或五等的最优数字系统操作的计算机逻辑电路，将是非常有利的，以便逻辑操作能更为快速和有效地进行。这样的最优数字系统可能取决于计算机(或有关电路)所置于的使用。

以前，有很少电路能够直接合成基于二之外的数字系统的信息表示逻辑系统。可能有的电路主要是三进制(基于数三(3))，并且被动地加负载，禁止了它们用于计算机的最终实用性。而且，这些电路中的大多数仅仅是晶体管，它们使用两个或多个二进制输入，以仅产生 n 值输出中的一个数字，反之亦然(n 是任何选择数)。这样的晶体管没有使用在大于二的数字系统中表示信息所固有的能力。此外，这样的晶体管不能以对称和有效方式使用，以便构成一种计算机，这种计算机实现一种基于数字的逻辑系统，这种逻辑系统不是基于数二的逻辑系统。

虽然转换电路是功能性的，但是它在成本和尺寸两方面受到极端限制。而且，对禁止二进制和/或 n 值状态的探测和消除进一步增加了这样的成本和尺寸。

最近，Intel 公司宣布了闪存器的可用性，使存储介质使用两个以上状态，表明在市场上多值逻辑电路的商业生存能力。

本 SUS-LOG 的发明人先前曾取得一种三稳多谐振荡器的专利权，这种三稳多谐振荡器用于产生三个信号电平，这三个信号电平用于三进制数据系统。这个专利是 1991 年 2 月 5 日发布给 Olson 的 U.S. Patent No. 4,990,796，这里通过本参考引入。该三稳多谐振荡器仅使用增强型绝缘栅场效应晶体管(IGFET)和电阻元件，以完成其信号目标。无耗尽型 IGFET 使用。这样的耗尽型 IGFET 在开放市场下明显地一般难以得到，并且一般对大多数电路设计来说不存在。

以下文件反映了本技术：

U.S. Patent No.	Inventor	Issue Date	Title
5,572,629	Choi	05 Nov 96	High Performance Fuzzy Logic Processing Method
5,563,530	Frazier et al.	08 Oct 96	Multi-Function Resonant Tunneling Logic Gate and Method of Performing Binary and Multi-valued Logic
5,559,734	Saito	24 Sep 96	Multiple Voltage Memory
5,548,549	Ong	20 Aug 96	Method and Device for Improved Programming Threshold Voltage Distribution in Electrically Programmable Read Only Memory Array
5,519,393	Brandestini	21 May 96	Absolute Digital Position Encoder With Multiple Sensors Per Track
5,512,764	Seabaugh et al.	30 Apr 96	Coupled-Quantum-Well Field-Effect Resonant Tunneling Transistor for Multi-Value Logic/ Memory Application
5,469,163	Taddiken	21 Nov 95	Multiple Resonant Tunneling Circuits for Positive Digit Range-4 Base-2 to Binary Conversion
5,463,341	Karasawa	31 Oct 95	Electronic Multiple-Valued Register
5,398,327	Yoshida	14 Mar 95	Central Processing Unit Including Two-Valued/N-Valued Conversion Unit
5,128,894	Lin	07 Jul 92	Multi-Value Memory Cell Using Resonant Tunneling Diodes
4,737,663	Varadarajan	12 Apr 88	Current Source Arrangement for Three-Level Emitter-Coupled Logic and Four-Level Current Mode Logic
4,716,471	Yokomizo	29 Dec 87	Data Decoding Apparatus
4,704,544	Horwitz	03 Nov 87	Complementary Current Mirror Logic
4,109,101	Mitani	22 Aug 78	Correlative Converter Between a 2^n -ary Code Sequence and a 2^{n+1} -phase Carrier Pulse Sequence
4,107,549	Moufah	15 Aug 78	Ternary Logic Circuits With CMOS Integrated Circuits
3,663,837	Epstein et al.	16 May 72	Tri-Stable State Circuitry for Digital Computers

还有会议资料: the Twenty-Sixth International Symposium on Multiple-Valued Logic, May 29-31, 1996, Santiago de Compostela, Spain

本发明提出一种电路设计, 它能以任何数字系统表示信息。另外, 借助于本发明, 在这样的数字系统中能对两个或多个输入执行逻辑功能(包括布尔逻辑功能)。公开一种自支持和相容电路体系结构, 利用这种电路结构, 可以通过当前可得到的技术实现多值逻辑。无其他电路设计被认为达到了这样的实用深度。

命名为 SUS-LOG(代表 SUpplementary Symmetrical LOgic Circuit 结构), 这种电路设计使用当前可得到的电路元件, 以对任何位的数字(n)构成基于任何数(基 r)的逻辑电路。因此, 能形成基于任何数字系统的逻辑电路, 并且这些逻辑电路可以取任何输入数。这样的多值逻辑电路能形成数字计算机的基础, 这种数字计算机对特定应用能以最有利数字系统操作。

对于一般信息处理目的的优选数字系统当前被看作是三进制(基于数三), 因为它看来在通过使用较高数字系统带来速度增加, 与在较高数字系统的逻辑电路中使用较多晶体管相关的负载之间取得平衡。虽然三进制或基 3 逻辑系统被认为是数字计算机的最优逻辑系统, 但是这样的最优被看作还包括一种理想计算机, 这种理想计算机应用具有基于超越数 $e(2.7182818...)$, 即自然对数的根的逻辑系统。由于当前计算机必须以离散数字操作, 所以三进制逻辑系统以离散形式接近这个最优基。

与二进制电路不同, 其中仅使用两个不同的电压, 本发明能使用任何数的电压。使 P 沟道和 N 沟道耗尽型晶体管, 以及 P 沟道和 N 沟道增强型晶体管结合, 以控制信号通过本发明的电路的流动/传播。特别选择晶体管的栅阈值($V_{GS\ on}$, $V_{GS\ off}$ 和/或 $V_{GS(TH)}$), 以便具有这样栅阈值电压的晶体管仅响应适当的输入电压接通和断开。由于不同的晶体管将具有不同的栅阈值, 而且由于某些阈值电压可能使有些晶体管接通, 同时使其他晶体管断开, 所以能在制造期间以先前在二进制或

其他进制难以得到的方式，特别地操纵电路之内的信号控制。二进制逻辑使用仅有一个或两个阈值电压的晶体管，阈值电压仅用作接通晶体管。

在 SUS-LOG 中，晶体管特性经常要求附加电路，以保证适当合成，特别是特定逻辑功能的适当信号响应和合成。这样的附加电路可以包括附加“级”，以防止在某些情况下晶体管的反向偏置。

大体上，FET 的源电极和漏电极由置于它们之上的电压的大小确定。对于 N 沟道 FET，更负的电极限定为源极。对于 P 沟道 FET，源电极更正。由于几个 FET 使它们的“漏极”与一个输出端连接，所以当—个分支的输出电压用作改变另—个分支中的 FET 的“源极”时，会出现“反向偏置”。电路的附加级防止“反向偏置”中断整个电路响应，并且保持适当的输出值。

如果实现晶体管或类似电路元件，它们不对这样的反向偏置响应，则这样的附加电路不必要，并且带来更简单的设计，这里公开这种设计。

在其最精致形式中，可能对输入信号的各个组合，设置 SUS-LOG 电路中的一个电路分支。然而，能使提供相同输出信号的分支组合，以减少要求的离散电路元件数。

以下更详细地叙述本发明的 SUS-LOG 结构，表示选择晶体管和它们的阈值电压的方式。

图 1 是具有 $-V$ 的 $V_{GS\ on}/V_{GS(TH)}$ 的 P 沟道增强型晶体管的示意表示。

图 2 是具有 $+V$ 的 $V_{GS\ on}/V_{GS(TH)}$ 的 N 沟道增强型晶体管的示意表示。

图 3 是具有 $+V$ 的 $V_{GS\ off}/V_{GS(TH)}$ 的 P 沟道耗尽型晶体管的示意表示。

图 4 是具有 $-V$ 的 $V_{GS\ off}/V_{GS(TH)}$ 的 N 沟道耗尽型晶体管的示意表示。

图 5 是具有近零阈值的 FET 的示意表示。

图 6 是设计成防止由于静电放电(ESD)而引起元件损坏的电路的示

意表示。

图 7a 表示与图 7b 和图 7f 关联使用的图例。

图 7b 表示 N 沟道耗尽型 FET 的电导, 其具有相对 V_s 的 $V_{GS(TH)}$ 。

图 7c 表示 P 沟道耗尽型 FET 的电导, 其具有相对 V_s 的 $V_{GS(TH)}$ 。

图 7d 表示 N 沟道增强型 FET 的电导, 其具有相对 V_s 的 $V_{GS(TH)}$ 。

图 7e 表示 P 沟道增强型 FET 的电导, 其具有相对 V_s 的 $V_{GS(TH)}$ 。

图 7f 是图 7b 和图 7e 的复合图。

图 8 是三进制 CGOR 电路的示意表示。

图 9 是三进制 CGAND 电路的示意表示。

图 10 是三进制 CEQ 电路的示意表示。

图 11 至图 30 表示结合本发明的电路的卡诺图。图 11 至图 16 表示具有指示器, 以标示导致反向偏置的非逆向序列的卡诺图。

图 31 是二进制 CMOS 反相器的示意表示, 它具有幻象表示的关联寄生电容。

图 32 是三进制 SUS-LOG 基-1 补码器的示意表示, 它具有幻象表示的关联寄生电容。

图 33 是具有试验点 TP 的二进制电路试验对的示意表示;

图 34 是具有试验点 TP 的三进制电路试验对的示意表示;

图 35 分别表示图 13 和图 14 的二进制反相器与三进制基-1 补码器之间的定时比较的曲线图。

图 36 表示基大于二的一位功能的基本图符。

图 37 表示功能 $F210_3$ 的图符。

图 38 是具有 $F001_3$ 的位置描述符的一位三进制功能的示意表示。

图 39 是图 38 所示 $F001_3$ OPF 的传输特性的曲线图。

图 40 是图 38 所示 $F001_3$ OPF 的输入-输出波形的曲线图。

图 41 是具有 $F002_3$ 位置描述符的一位三进制功能的示意表示。

图 42 是图 41 所示 $F002_3$ OPF 的传输特性的曲线图。

图 43 是图 41 所示 $F002_3$ OPF 的输入-输出波形的曲线图。

图 44 是具有 $F010_3$ 的位置描述符的一位三进制功能的示意表示。

图 45 是图 44 所示 $F010_3$ OPF 的传输特性的曲线图。

图 46 是图 44 所示 $F010_3$ OPF 的输入-输出波形的曲线图。

图 47 是具有 $F011_3$ 的位置描述符的一位三进制功能的示意表示。

图 48 是图 47 所示 $F011_3$ OPF 的传输特性的曲线图。

图 49 是图 47 所示 $F011_3$ OPF 的输入-输出波形的曲线图。

图 50 是具有 $F012_3$ 的位置描述符, 另外称为三进制缓冲器的一位三进制功能的示意表示。

图 51 是图 50 所示 $F012_3$ OPF 的传输特性的曲线图。

图 52 是图 50 所示 $F012_3$ OPF 的输入-输出波形的曲线图。

图 53 是具有 $F020_3$ 的位置描述符的一位三进制功能的示意表示。

图 54 是图 53 所示 $F020_3$ OPF 的传输特性的曲线图。

图 55 是图 53 所示 $F020_3$ OPF 的输入-输出波形的曲线图。

图 56 是具有 $F021_3$ 的位置描述符的一位三进制功能的示意表示。

图 57 是图 56 所示 $F021_3$ OPF 的传输特性的曲线图。

图 58 是图 56 所示 $F021_3$ OPF 的输入-输出波形的曲线图。

图 59 是具有 $F022_3$ 的位置描述符的一位三进制功能的示意表示。

图 60 是图 59 所示 $F022_3$ OPF 的传输特性的曲线图。

图 61 是图 59 所示 $F022_3$ OPF 的输入-输出波形的曲线图。

图 62 是具有 $F100_3$ 位置描述符的一位三进制功能的示意表示。

图 63 是图 62 所示 $F100_3$ OPF 的传输特性的曲线图。

图 64 是图 62 所示 $F100_3$ OPF 的输入-输出波形的曲线图。

图 65 是具有 $F101_3$ 的位置描述符的一位三进制功能的示意表示。

图 66 是图 65 所示 $F101_3$ OPF 的传输特性的曲线图。

图 67 是图 65 所示 $F101_3$ OPF 的输入-输出波形的曲线图。

图 68 是具有 $F102_3$ 的位置描述符的一位三进制功能的示意表示。

图 69 是图 68 所示 $F102_3$ OPF 的传输特性的曲线图。

图 70 是图 68 所示 $F102_3$ OPF 的输入-输出波形的曲线图。

图 71 是具有 $F110_3$ 的位置描述符的一位三进制功能的示意表示。

图 72 是图 71 所示 $F110_3$ OPF 的传输特性的曲线图。

图 73 是图 71 所示 F110₃ OPF 的输入-输出波形的曲线图。

图 74 是具有 F112₃ 的位置描述符的一位三进制功能的示意表示。

图 75 是图 74 所示 F112₃ OPF 的传输特性的曲线图。

图 76 是图 74 所示 F112₃ OPF 的输入-输出波形的曲线图。

图 77 是具有 F120₃ 的位置描述符, 另外称为下一状态发生器的一位三进制功能的示意表示。

图 78 是图 77 所示 F120₃ OPF 的传输特性的曲线图。

图 79 是图 77 所示 F120₃ OPF 的输入-输出波形的曲线图。

图 80 是具有 F121₃ 的位置描述符的一位三进制功能的示意表示。

图 81 是图 80 所示 F121₃ OPF 的传输特性的曲线图。

图 82 是图 80 所示 F121₃ OPF 的输入-输出波形的曲线图。

图 83 是具有 F122₃ 的位置描述符的一位三进制功能的示意表示。

图 84 是图 83 所示 F122₃ OPF 的传输特性的曲线图。

图 85 是图 83 所示 F122₃ OPF 的输入-输出波形的曲线图。

图 86 是具有 F200₃ 的位置描述符的一位三进制功能的示意表示。

图 87 是图 86 所示 F200₃ OPF 的传输特性的曲线图。

图 88 是图 86 所示 F200₃ OPF 的输入-输出波形的曲线图。

图 89 是具有 F201₃ 的位置描述符, 另外称为三进制前一状态发生器的一位三进制功能的示意表示。

图 90 是图 89 所示 F201₃ OPF 的传输特性的曲线图。

图 91 是图 89 所示 F201₃ OPF 的输入-输出波形的曲线图。

图 92 是具有 F202₃ 的位置描述符的一位三进制功能的示意表示。

图 93 是图 92 所示 F202₃ OPF 的传输特性的曲线图。

图 94 是图 92 所示 F202₃ OPF 的输入-输出波形的曲线图。

图 95 是具有 F210₃ 的位置描述符, 另外称为三进制(基-1)补码器的一位三进制功能的示意表示。

图 96 是图 95 所示 F210₃ OPF 的传输特性的曲线图。

图 97 是图 95 所示 F210₃ OPF 的输入-输出波形的曲线图。

图 98 是具有 F211₃ 的位置描述符的一位三进制功能的示意表示。

图 99 是图 98 所示 $F211_3$ OPF 的传输特性的曲线图。

图 100 是图 98 所示 $F211_3$ OPF 的输入-输出波形的曲线图。

图 101 是具有 $F212_3$ 的位置描述符的一位三进制功能的示意表示。

图 102 是图 101 所示 $F212_3$ OPF 的传输特性的曲线图。

图 103 是图 101 所示 $F212_3$ OPF 的输入-输出波形的曲线图。

图 104 是具有 $F220_3$ 的位置描述符的一位三进制功能的示意表示。

图 105 是图 104 所示 $F220_3$ OPF 的传输特性的曲线图。

图 106 是图 104 所示 $F220_3$ OPF 的输入-输出波形的曲线图。

图 107 是具有 $F221_3$ 的位置描述符的一位三进制功能的示意表示。

图 108 是图 107 所示 $F221_3$ OPF 的传输特性的曲线图。

图 109 是图 107 所示 $F221_3$ OPF 的输入-输出波形的曲线图。

图 110 是五进制(基 5)基-1 补码器 $F43210_5$ 的示意表示。

图 111 是十进制基-1 补码器 $F9876543210_{10}$ 的示意表示。

图 112 表示用于多位功能(MPF)的基本符号。

图 113 表示 GAND 门的符号, 在为功能的基保留的位置处设置“r”。

图 114 表示 GOR_3 门的符号。

图 115 是 $CGOR_3$ 电路的示意表示。

图 116 是图 115 的 $CGOR_3$ 电路的符号。

图 117 是图 115 的 $CGOR_3$ 电路的卡诺图。

图 118 是 $CGAND_3$ 电路的示意表示。

图 119 是图 118 的 $CGAND_3$ 电路的符号。

图 120 是图 118 的 $CGOR_3$ 电路的卡诺图。

图 121 是 $CGOR_5$ 电路的示意表示。

图 122 是图 121 的 $CGOR_5$ 电路的符号。

图 123 是图 121 的 $CGOR_5$ 电路的卡诺图。

图 124 是 $CGAND_5$ 电路的示意表示。

图 125 是图 124 的 $CGAND_5$ 电路的符号。

图 126 是图 124 的 $CGAND_5$ 电路的卡诺图。

图 127 是二进制 NAND 门的示意表示。

图 128 是二进制 AND 门的示意表示。

图 129 是 GOR_3 电路的示意表示。

图 130 是图 129 的 GOR_3 电路的符号。

图 131 是图 129 的 GOR_3 电路的卡诺图。

图 132 是 $GAND_3$ 电路的示意表示。

图 133 是图 132 的 $GAND_3$ 电路的符号。

图 134 是图 132 的 $GAND_3$ 电路的卡诺图。

图 135 至图 161 表示遭受反向偏置的 SUS-LOG 电路的附加级的开发。

图 135 至图 144 表示编号 4,069 的 SUS-LOG 电路的示意图和卡诺图。这些示意图中的实线表示对于适当电路/信号操作的“真”通路。虚线表示由于反向偏置引起的异常通路。

图 145 至图 152 表示遭受反向偏置的 SUS-MOS 中 FET 的替换电路。

图 153 至图 161 是图 133 至图 144 的 SUS-MOS SIGMA 电路的示意图和卡诺图，其中遭受异常通路的 FET 由图 145 至图 152 的适当电路替换。

图 162 是 EQ_3 电路的示意表示。

图 163 是图 162 的 EQ_3 电路的符号。

图 164 是图 162 的 EQ_3 电路的卡诺图。

图 165 表示 λnn 电路的编号方法的基本符号和说明。

图 166 是 $\lambda 01$ 电路的示意表示。

图 167 是图 166 的 $\lambda 01$ 电路的符号。

图 168 是图 166 的 $\lambda 01$ 电路的卡诺图。

图 169 是三进制功能 15,309 电路的示意表示。

图 170 是图 169 三进制功能 15,309 电路的符号。

图 171 是图 169 三进制功能 15,309 电路的卡诺图。

图 172 是三进制功能 19,542 电路的示意表示。

图 173 是图 172 三进制功能 19,542 电路的符号。

图 174 是图 172 三进制功能 19,542 电路的卡诺图。

图 175 是三进制功能 141 电路的示意表示。

图 176 是图 175 三进制功能 141 电路的符号。

图 177 是图 175 三进制功能 141 电路的卡诺图。

图 178 是三进制功能 19,677 电路的示意表示。

图 179 是图 178 三进制功能 19,677 电路的符号。

图 180 是图 178 三进制功能 19,677 电路的卡诺图。

图 181 是 8 取 1 选择器的三位二进制的示意表示。

图 182 是两位三进制地址解码器或 9 取 1 选择器的示意表示。

图 183 是二进制异门的示意表示。

图 184 是图 183 所示电路的卡诺图。

图 185 是 $XGOR_3$ 电路的示意表示，它和一种与图 183 所示的二进制异门类似的组合体系结构组装一起。

图 186 是图 185 所示 $XGOR_3$ 电路的符号。

图 187 是图 185 所示 $XGOR_3$ 电路的卡诺图。

图 188 是三进制 $r+1$ 状态缓冲器的示意表示。

图 189 是四状态三进制基-1 补码器的示意表示。

图 190 是具有零输出启动电平的三进制 $r+1$ 状态缓冲器的符号。

图 191 是使用三进制 MPF#15,309 和 #19,677 的四状态缓冲器的示意表示。

图 192 是四状态基-1 补码器的示意表示。

图 193 是五进制六状态基-1 补码器的示意表示。

图 194 是表示组合使用 CGOR 和 CGAND 的输入扩展的三进制 EQ 的示意表示。

图 195 是基转换只读存储器(RCROM)的方块图。

图 196 是四比特二进制地址解码器的示意表示。

图 197 是用于图 194 的地址解码器的行微分驱动器/电平改变器的示意表示。

图 198 是用于图 194 的地址解码器的列驱动器/电平改变器的示意表示。

图 199、图 200、图 201 和图 202 是形成二进制-三进制存储器阵列所要求的 FET 的示意表示。紧接各 FET 的栅极是其要求的阈值电压。

图 203 是用于存储器阵列中的 FET 的符号的示意表示。

图 204 是由具有 $4 \times 4 \times 3$ 组织的 48 个 FET 组成的存储器阵列的示意表示。

图 205 是三三重三进制地址解码器的示意表示。

图 206 是用于图 203 的地址解码器的行微分驱动器/电平改变器的示意表示。

图 207 是用于图 203 的地址解码器的列驱动器/电平改变器的示意表示。

图 208 和图 209 是形成三进制-二进制存储器阵列所要求的 FET 的示意表示。

图 210 是用于存储器阵列中的 FET 的符号。

图 211 是具有 $9 \times 3 \times 5$ 组织的 135 个 FET 组成的存储器阵列的示意表示。

图 212 是一个 2 对 4 门的示意表示。

图 213 是图 210 所示 2 对 4 门的符号。

图 214 是图 210 所示 2 对 4 门的卡诺图。

图 215 是 4 对 2 门的示意表示。

图 216 是图 213 所示 4 对 2 门的符号。

图 217 是图 213 所示 4 对 2 门的卡诺图。

图 218 是用交叉耦合的 r 值一位功能实现的简单锁存器的示意表示。

图 219 是具有双向数据输入/输出端的全同组锁存器的示意表示。

图 220 是具有多输出的简单锁存器的示意表示。

图 221 是图 218 的补码或转换锁存器的基本符号。

图 222 是具有图 220 的多输出的简单锁存器的符号。

图 223 是图 219 的全同组锁存器的符号。

图 224 是用于表示具有专用选通电路的简单锁存器的符号。

图 225 是可以和三进制锁存器一起使用的选通电路的示意表示。

图 226 是使用简单锁存器的主从锁存器的示意表示。

图 227 是图 226 的主从锁存器的符号。

图 228 是具有多输出的主从锁存器的示意表示，它对 Strobe_0 输入的逻辑 1 到逻辑 0 边沿操作。

图 229 是图 228 的主从锁存器的符号。

图 230 是可复位简单锁存器的示意表示。

图 231 是具有异步清除能力的主从锁存器的示意表示。

图 232 是图 231 的主从锁存器的符号。

图 233 是图 230 的简单锁存器的符号。

图 234 是使用三进制 OPF 的数字线性化电路的示意表示。

图 235 是图 234 的数字线性化电路的变换器或传感元件的输出曲线。

图 236 是用于图 234 的三进制 OPF 的示意图，它具有和传感器的放大输出曲线匹配的改阈电压。

图 237 是图 234 的数字线性化电路的简单示意图，它扩展到三进制的几个位，加上一个 OPF，以用作一个缓冲器，以保证不发生亚稳性，并且产生非补码值。

图 238 是连同其卡诺图的五进制 GOR_5 电路示意图，它通过 SUS-LOG 的 SUS-MOS 实施例实现。

图 239a、图 239b 是图 238 的 GOR_5 电路示意图，具有防止反偏置的附加级。

图 240 是图 121 的补码 CGOR_5 电路的示意图和卡诺图，以提供如图 238 和图 239a、图 239b 那些那样的 GOR_5 电路。

图 241 是连同其卡诺图的五进制 GAND_5 电路示意图，它通过 SUS-LOC 的 SUS-MOS 实施例实现。

图 242a、图 242b 是图 241 的 $GAND_5$ 电路示意图，具有防止反偏置的附加级。

图 243 是图 124 的补码 $CGAND_5$ 电路的示意图和卡诺图，以提供如图 241 和图 242a、图 242b 那些那样的 $GAND_5$ 电路。

图 244 是图 121 的 $CGOR_5$ 电路示意图，具有关于绝对阈值电压的方括号，该绝对阈值电压是从源电压加相对栅阈值电压计算得到。在图 244 中还表示了 $CGOR_5$ 符号和卡诺图。

图 245 是五进制 CEQ_5 电路的卡诺图分组的完全集(以粗周围线表示)。

图 246a、图 246b 是和图 245 的卡诺图分组对应的复合电路分支示意图。

图 247 是 CEQ_5 电路的选择卡诺图分组方案。

图 248a、图 248b 是和图 247 的卡诺图分组对应的复合电路分支示意图。

图 249 是 CEQ_5 电路的第二选择卡诺图分组。

图 250 是补码三进制 Σ 或 $CSIGMA_3$ 电路的示意图、卡诺图和符号。

图 251 是三进制 Σ 或 $SIGMA_3$ 电路的一个选择实施例的示意图、卡诺图和符号。

图 252 是 $CMORAGA$ 电路的四进制实施例的示意图和卡诺图，它以德国多特蒙德大学的 Dr. Claudio Moraga 命名。

这里叙述一种多值逻辑电路结构及获得这种结构的方法。这里公开的补充对称逻辑电路结构(SUS-LOC)主要打算用于设计和制造基(r)大于 2 的全有源逻辑电路。SUS-LOC 结构能用于实现 n 位的任何 r 值逻辑功能，以及顺序和时钟顺序逻辑所要求的元件，其中基 r 是大于 1 的整数，而 n 是大于 0 的整数。

由 U.S. Patent and Trademark Office Document Disclosure Program 作出的现有技术公开，这里通过对其参考明确地引入。1998 年 5 月 29 日提交的 U.S. Patent Application Serial Number 09/086,869，这里通过对其参考引入，对所述专利申请或任何与其有关

的申请的机密性不作放弃。这里提出的符号和术语随多值逻辑和 SUS-LOC 结构的进一步发展而可能经受改变。

过去 50 年开发的先前逻辑结构几乎专门地贡献于二进制逻辑的合成, 它们包括: 晶体管-晶体管逻辑(TTL); P 沟道和 N 沟道金属氧化物半导体(PMOS&NMOS); 和补码对称金属氧化物半导体(最初为 COS-MOS, 当前为 CMOS)。

以前为什么没有开发除二进制以外的能够支持逻辑功能合成的逻辑结构, 其大部分原因至多也不过是投机性的, 但是可能包括: 预先被二进制逻辑占有; 设想实现较高基将会太复杂或昂贵; 以及二进制先前取得成功。

有两个不是投机性的原因。第一是以前不可得到产生和探测中间逻辑电平的成本有效方法。第二, 在能实现一个能够合成逻辑功能的电路(特别是全有源电路)之前, 用于设计和制造电路的结构规则和限定必须满足三个要求。这三个要求是:

1) 必须有 r 个电源可用, 各电源仅表示 r 个不同逻辑电平中的一个;

2) 从一个电源到每一输出逻辑电平的电路的输出端, 必须有一个可控通路或分支; 以及

3) 从一个电源到每一输入逻辑电平、邻近输入逻辑电平组或唯一组合的输入逻辑电平的输出端, 仅有一个可控通路或分支传导。

通过“补充”, SUS-LOC 结构的设计规则和限定满足所有这三个要求。这样允许仅使用二进制开关(例如晶体管), 设计和经济地制造能够合成 n 位的任何 r 值逻辑功能电路的全有源电路。

基于 SUS-LOC 电路的特征输出特性由所用开关的规范确定。基于 SUS-LOC 电路的制造能用大约 1970 年的技术、材料和设备完成。然而, 电路技术的最近发展能和本发明一起有利地得到应用。而且, 本发明中三进制逻辑的优势不是 SUS-LOC 结构的限制, 而是对一般用途计算机优化的结果, 而且遵循以较简单元件对尖端和复杂系统提供稳定性的一般原则。

在“一位功能”(下文)的最简单情况下,“补充”是用于实现稳定中间逻辑/电压电平的技术。例如,对于三进制补码器 F210,一个开关用于两个终端逻辑电平的各个。两个开关连接为串联传导,并且共享一个共控制信号,各中间逻辑电平的终端“补充”每一输入项的终端、超过二的每一输出逻辑电平。中间逻辑电平的两个开关限定了上和下输入信号,这两个信号产生中间逻辑电平的输出响应。

增加逻辑合成电路的基所获得的几个优点包括但不限于:减小静态和动态功率要求,增加数据密度,以及增加计算能力。

为本公开的 SUS-LOC 结构选择的开关是绝缘栅场效应晶体管(IGFET, FET),这是由于它们的低成本、高可靠性和易于制造的原因而引起。然而,任何类似特性的开关可以是适当的替换,例如但不限于绝缘栅双极晶体管或模拟光器件。

制造和选择各 FET 的沟道类型、型号和阈值电压($V_{GS(TH)}$),以便当一个分支接通时,所有其他分支断开。也就是,当所有其他分支中的至少一个开关断开的时候,一个分支中的所有开关都接通。对于一位功能(OPF),当任一终端分支接通时,另一终端分支和各中间分支的至少一个 FET 断开。另外,当一个中间分支接通时,两个终端分支和所有其他中间分支中的至少一个 FET 断开。因此,对于任何唯一输入,仅传送一个唯一输出。这种情况对于任何输入数都为真。

基本电路元件: IGFET

在本发明中, SUS-LOC 电路用绝缘栅场效应晶体管(IGFET, FET)构成。IGFET 在本领域内已知,它具有源极 S、栅极 G 和漏极 D。非常一般地,根据施加在 IGFET 上的栅输入控制电压,IGFET 不仅允许而且防止源电压到漏极的传送。源电压到漏极的传送或不传送取决于源电压与栅极或输入电压之间的相对电压。取决于具体 IGFET 及其选择的操作特性,栅输入控制电压可能高于或低于源电压。

具有这些操作特性,IGFET 高度适用于 SUS-LOC。可选择地,其他装置可能作为 IGFET 的替换,利用这些装置,控制电压(或输入)既能允许又能防止不仅比控制电压低而且比控制电压高的源电压的传

送。应用光学技术的进展, IGFET 的光学模拟可能变得可用, 并且起 IGFET 的替换作用。光学模拟或量子器件, 例如“超通”晶体管, 能解决 SUS-LOC 中 IGFET 所遭受的反向偏置问题。“超通”晶体管由 X. Deng, T. Hanyu 和 M. Kameyama 在他们的文章“Quantum Device Model Based Super Pass Gate for Multiple-Valued Digital”中公开, 该文章在“25th International Symposium on Multiple-Valued Logic(ISMVL), 1995”提交。

图 1 和图 2 分别表示 P 沟道和 N 沟道类型的增强型 FET。图 3 和图 4 分别表示 P 沟道和 N 沟道类型的耗尽型 FET。图 5 表示近零阈值 FET。对于不是近零阈值 FET 的各 FET, 紧接各 FET 的栅极是一个“+V”或“-V”, 用于指示相对 FET 的源电压的阈值电压 $V_{GS(TH)}$ 的极性和大小。在本专利中, $V_{GS(TH)}$ 还称为 $V_{GS\ on}$ 和 $V_{GS\ off}$, 以分别指示增强型和耗尽型 FET 的开关作用。

对于增强型晶体管(图 1 和图 2), 当栅输入电压相对源电压横过栅阈值电压($V_{GS\ off}$)时, 晶体管接通。对于耗尽型晶体管(图 3 和图 4), 当栅输入电压相对源电压横过栅阈值电压($V_{GS\ off}$)时, 晶体管断开。图 7a 至图 7f 用图形式表示这些响应特性。

理解 IGFET 操作的一种方法是考虑栅输入电压最初和源电压处在相同电平的情况。栅阈值电压相对源电压将为 $\pm V$, 并且根据 FET 是怎样制成的而为恒定。一般地, 当输入栅电压等于源电压时, 增强型 IGFET 断开, 而耗尽型 IGFET 接通。栅输入电压增加或减小, 以接近绝对栅阈值电压(源电压加 $V_{GS(TH)}$, 或源电压减 $V_{GS(TH)}$)。在横过绝对栅阈值电压时, IGFET 将根据其预选特性操作。对于增强型 IGFET, IGFET 接通, 并且把源电压传导到漏极。对于耗尽型 IGFET, IGFET 断开, 并且不把源电压传导到漏极。

图 1 表示具有 $-V$ 的栅阈值电压 $V_{GS\ on}$ 的 P 沟道增强型晶体管。项 $V_{GS\ on}$ 指示相对栅阈值电压, 在该电压下 P 沟道增强型晶体管接通。相对电压是栅输入电压和源电压。如果栅输入电压与源电压相差至少有 $-V$ 的栅阈值电压 $V_{GS\ on}$, P 沟道增强型晶体管接通, 并且源电压将传

导到漏极。如果栅电压与源电压相差小于 $-V$ ，P 沟道增强型晶体管断开，并且在源极与漏极之间无传导发生。本发明使用 P 沟道增强型晶体管，以当栅输入电压比源电压小栅阈值电压时，把源电压传导到漏极。栅极与源电压之间的相对栅阈值电压($V_{GS\ on}$)通过在制造期间改变晶体管的掺杂电平和特性(例如氧化物厚度)来控制。P 沟道增强型 IGFET 的这些操作特性相应地和用于本发明的其他 IGFET 类似。

图 2 表示 N 沟道增强型晶体管，它具有 $+V$ 的相对栅阈值电压 $V_{GS\ on}$ 。如果栅输入电压与源电压相差至少 $+V$ ，N 沟道增强型晶体管接通，并且源电压将传导到漏极。否则，晶体管断开。本发明使用 N 沟道增强型晶体管，以当栅输入电压比源电压高相对栅阈值电压时，把源电压传到漏极。

图 3 表示 P 沟道耗尽型晶体管，它具有 $+V$ 的相对栅阈值电压 $V_{GS\ off}$ 。如果栅输入电压与源电压相差至少 $+V$ ，P 沟道耗尽型晶体管断开，并且将在源极与漏极之间无传导发生。否则，晶体管接通，并且将把其源极的电压传到其漏极。本发明使用 P 沟道耗尽型晶体管，以当栅输入电压比源电压高相对栅阈值电压时，使源电压与漏极断开。

图 4 表示 N 沟道耗尽型晶体管，它具有 $-V$ 的栅阈值电压 $V_{GS\ off}$ 。如果栅输入电压与源电压相差至少 $-V$ 的栅阈值电压 $V_{GS\ off}$ ，N 沟道耗尽型晶体管断开，并且将在源极与漏极之间无传导发生。如果栅电压与源电压相差小于 $-V$ ，N 沟道耗尽型晶体管接通，并且将在源极与漏极之间发生传导。本发明使用 N 沟道耗尽型晶体管，以当栅输入电压比源电压低栅阈值电压时，使源电压与漏极断开。

P 沟道 FET 在限定 SUS-LOC 分支的上限中是有用的，而 N 沟道 FET 在限定 SUS-LOC 分支的下限中是有用的。通过可选择地限定传导带，使它们具有如 P 沟道和 N 沟道 FET 所限定的上限和下限，则能设计任何数字系统(基 r)的逻辑电路功能，其具有任何输入数(n)。

由于电路符号一般地公开所包含的电路元件，所以伴随本专利的附图一般地用作其中所示的 SUS-LOC 电路的完整公开。另外，附图以一种结构系统公开本发明，利用这种结构系统，可以实现多值逻辑

的多数电路和应用。

因为本公开的 SUS-LOC 结构使用 FET, 所以保护输入免遭静电放电(ESD)是希望的。图 6 表示保护输入免受 ESD 的一种方法。也可以使用其他方法。

SUS-LOC 电路的最大和最小电源电压(输出电压)由电路的输出要求 and 使用的开关的规范确定。然而, 对逻辑电平 0 和 1, 建议的最小电源电压分别是 0.0 伏和 1.5 伏。各附加逻辑电平于是可以是前一逻辑电平电压加逻辑电平 1 电压, 以提供 1.5 伏的逻辑步进电压(LSV)。重要的是在数字应用中保持离散逻辑电平, 1.5 伏被看作容易实现。也可以使用其他 LSV 值以取得良好效果。

在 SUS-LOC 电路的示意图中所使用的电源指示符简单地是带有逻辑电平下标的字符“V”, 逻辑电平由该电压表示(例如 V_1 表示逻辑电平 1, V_3 表示逻辑电平 3 等)。

由于 FET 的极高输入阻抗, 并且由于各输出电源电压仅表示 r 个不同逻辑电平中的一个, 所以 SUS-LOC 电路的逻辑电平实质上等于表示逻辑电平的电源电压。如下所述, 对于 r 个不同逻辑电平的各个电平, 电压范围或域是根据可预测关系建立的。

选择或制造 P 沟道 FET 的阈值电压 $V_{GS(TH)}$, 以便它是一个比 FET 将要传导的最高输入逻辑电平要高的逻辑电平的百分比。选择或制造 N 沟道的阈值电压 $V_{GS(TH)}$, 以便它是一个比 FET 将要传导的最低输入逻辑电平要低的逻辑电平的百分比。对各自建议的百分比应该在逻辑步进电压(LSV)的 55%到 75%的范围内, 以便当电路从一个输出逻辑电平转换到另一个时, 获得在分支上的叠加。这个百分比称为“叠加百分比”(OP), 并且应该对于用于数字应用中的所有开关相同。模拟应用可能要求 $V_{GS(TH)}$ 和/或 OP 和/或 LSV 可变。

当如建议那样使用 OP 时, 保持了电路对称性, 因为逻辑电平开关点电压在两个相邻逻辑电平电压之间的中点。由于在开关期间对输出端连续应用电压, 使输出传输特性得到提高。对各逻辑电平建立一个域, 其边界由中间分支的上和下开关点电压, 以及终端分支的开关

点电压和 V_0 或 V_{r-1} 建立。

当开发一个逻辑功能或逻辑合成电路时(“逻辑功能”), 必须对各 FET 计算适当的或要求的阈值电压。为了计算一个特定 FET 的 $V_{GS(TH)}$, 根据 FET 的沟道类型, 从以下两个公式中选择一个适当公式:

P 沟道: $V_{GS(TH)} = V_i - (V_O - (OP \times LSV))$; 以及

N 沟道: $V_{GS(TH)} = V_i - (V_O + (OP \times LSV))$ 。

其中:

V_i 是分支作出响应的输入逻辑电平电压极限(适当地为上限或下限);

V_O 是输出逻辑电平电压;

LSV 是逻辑步进电压; 以及

OP 是优选地在 55%到 75%范围内的选择叠加百分比。

由于逻辑电平域、开关和电源的容限、FET 的高阻抗, 以及叠加百分比所引起, SUS-LOC 电路的噪声抗扰性从一个逻辑电平的约 45%到几个逻辑电平。某些功能的输出随两个或多个逻辑电平的输入改变而改变一个逻辑电平, 因此 SUS-LOC 中的噪声抗扰性能在几个逻辑电平范围内。

响应输入激励以使一个输出端与一个电源连接/断开的任何电路元件, 被命名为一个分支, 以更好地叙述和命名本发明中的特定元件。SUS-LOC 结构包含两种主要分支类型, 指定为“终端”和“中间”, 和一种次要分支类型, 指定为“复合”。

终端分支

所有一位逻辑功能要求最小两个终端分支。中间分支的存在和算法由所被合成的基和特定逻辑功能确定。当逻辑功能要求两个或多个输入项时, 复合分支由主要分支的组合形成。这样取两个或多个输入项的逻辑功能也称为多位功能(MPF)。各分支类型如下限定。

一个终端分支由一个 FET 组成, 它把一个输出端与一个表示逻辑电平的电源连接, 并且当输入循环通过逻辑电平序列 $0, \dots, r-1$ 时, 它对一个或一组相邻逻辑电平作出响应。

用于形成终端分支的 FET 取决于对(I)响应的输入逻辑电平对分支的输出逻辑电平(O)。沟道类型(P 或 N)和型号即增强型或耗尽型(E 或 D)为:

对于 $I > O$, 使用 NE;

对于 $I < O$, 使用 PE。

换句话说, 当响应输入(I)决不等于输出(O)时, 使用增强型 FET。此外, 当 I 等于 O 时($I = O$), FET 不接通或传导以便输出。这与增强型 FET 特性一致。当 $I > O$ 时, 使用 N 型增强型 FET。当 $I < O$ 时, 使用 P 型增强型 FET。具有这样终端的 OPF 的一例示于图 89 中 F201。

当下列条件全部存在时, 在终端分支中能使用耗尽型 FET。

1. 对于该 FET 输出逻辑电平为不 0 或 $r-1$;
2. 对于两个或多个相邻输入逻辑电平要求输出逻辑电平;
3. 输出是包括 0 或 $r-1$ 的输入逻辑电平序列的元素;
4. 输入的大小将正或负地(+或-)超过输出逻辑电平;
5. 输出逻辑电平的大小不被另一个输出逻辑电平超过; 以及
6. 另一终端分支 FET 是增强型 FET。

当上述六个条件存在时, 所使用的沟道类型如下:

当耗尽型 FET 响应输入逻辑电平 0 和 1(或 0 和 >0 , 取决于基)而将传导, 并且无其他输出逻辑电平大于由该耗尽型 FET 所传导的输出逻辑电平时, 那么使用 P 沟道耗尽型 FET。这种情况的例子是图 71 所示的 F110₃。

当耗尽型 FET 响应输入逻辑电平 $r-1$ 和 $r-2$ (或 $r-1$ 和 $<r-1$, 取决于基)而将传导, 并且无其他输出逻辑电平小于由该耗尽型 FET 所传导的输出逻辑电平时, 那么使用 N 沟道耗尽型 FET。这种情况的例子是图 98 所示的 F211₃。

应该注意, 这里给定的规则试图提供坚固和可靠的指示和命名法, 由此可以使本发明付诸使用和实践。

中间分支

一个中间分支由两个串联连接的 FET 组成, 它们把一个输出端与

一个电源连接，该电源表示由终端分支传导的逻辑电平之间的一个逻辑电平，并且当输入循环通过逻辑电平序列 $0, \dots, r-1$ 时，该中间分支对一个或一组相邻输入逻辑电平响应。

能使用三种可能的 FET 组合来形成一个中间分支。特定 FET 组合取决于对(I)响应的输入逻辑电平对分支的输出逻辑电平(O)。沟道类型 P 或 N 和型号即增强型或耗尽型(E 或 D)的组合为：

对于 $O > I$ ，使用 PE&ND；

对于 $O \in I$ ，使用 PD&ND；以及

对于 $O < I$ ，使用 PD&NE。

其中：PE 表示 P 沟道增强型；

NE 表示 N 沟道增强型；

PD 表示 P 沟道耗尽型；以及

ND 表示 N 沟道耗尽型 FET。

例如，图 110 所示的五进制(基 5)基-1 补码器包含所有这三种组合。

这三种 FET 组合的各自限定了一个两个 FET 都传导的窗口或带隙。在传导带对于输出逻辑电平 O 之下的响应输入 I 发生的情况下，使用 PE 和 ND。对于约 O 的传导带，使用 PD 和 ND。对于 O 之上的传导带，使用 PD 和 NE。

复合分支

一个复合分支是几个终端和/或中间分支的组合，根据它们所出现于其中的多位逻辑功能的要求，连接成串联、并联或串并联传导。这样的复合分支出现在多位功能中，而在一位功能中不存在。例如，图 8 的 CGOR₃ 电路和图 9 的 CGAND₃ 电路各有三个分支，而图 10 的 CEQ₃ 电路有五个分支。

分支的传导和不传导输入逻辑电平与输出逻辑电平的关系确定形成该分支的 FET 的型号和沟道类型。

反向偏置

FET 允许在源电极与漏电极之间的双向电流。对于 P 沟道 FET，更正电极将起源极作用。对于 N 沟道 FET，更负电极将起源极作用。

由于源电极和漏电极由置于它们之上的电压的极性和/或大小确定，所以一位功能和多位功能两者都经常要求附加电路来防止“反向偏置”。对于一位功能，附加电路“级”用于实现适当的电路输出。对于多位功能，附加一位功能(OPF)可能用于一个或多个输入，以既在其接通状态期间又在断开状态期间，保证分支的适当输入逻辑电平对输出逻辑电平响应。

当输出逻辑电平以和输入逻辑电平的相对方向改变时，不要求附加级或 OPF。例如，如果输出随输入增加而减小(例如对于补码器)，无需附加电路。然而，当输出逻辑电平相对输入逻辑电平以任一相同方向而不是相对方向，或随机地改变时，那么要求附加级或 OPF。由于可能多于一个的分支或电路元件要求相同的附加级，所以这样级或 OPF 的输出和/或输入可能如需要那样前馈。

因为二进制逻辑的普通技术人员主要关心二进制反相器、NOR、NAND 和 XOR 逻辑功能，所以模拟三进制逻辑功能特别令人感兴趣，并且以下叙述。然而，也可以完成其他 r 值功能的构造和实现，并且付诸良好使用。这些电路中的某些提供二进制中不可得到的优点和信号处理能力。一般地，SUS-LOC 能适应任何组合中的任何基数($r_1, r_2, \dots, r_n$)。另外，具有两个或多个输入的多基电路也在本发明的范围之内。基本功能电路可以在一个具有一个或多个输入的电路中使用单基 r 。

r 值 SUS-LOC 电路的开发是一个四步过程。这四步是：

STEP 1:

限定电路的参数：

- A. 确定功能的基；
- B. 确定或选择逻辑电平电压和逻辑步进电压(LSV)；以及
- C. 确定或选择叠加百分比(OP)。

STEP 2:

开发所开发的功能的卡诺图。对二值逻辑功能开发的普通技术人员，这是一个已知过程。唯一不同是取决于图解的特定逻辑功能，当

功能的基大于 2 时，图解一般将包含大于 1 的值。

STEP 3:

根据 STEP 2 开发的卡诺图，列出输入项逻辑电平与输出逻辑电平的逻辑关系。该步对二进制逻辑开发的普通技术人员已知。然而，当基大于 2 时，单输入获得多位二进制功能的关系特性，这样的关系特性包括：等于、大于、等于或大于、这些功能的互逆，以及其排列。

因为比简单相等更复杂的关系操作在 SUS-LOC 逻辑合成的最原始电平是可能的，所以在 STEP 3 的实现期间，只要可能就应该使用这样的关系操作符，以保证最大电路效率。

STEP 4:

根据步 1、2 和 3 获得的信息，设计电路。

以下叙述这些步的实现的一例。

下列参数(选择为保持阈值和逻辑电平电压数学简单)用于开发这里表示和叙述的三进制电路:

$$V_2 = 5.0 \text{ 伏}$$

$$V_1 = 2.5 \text{ 伏}$$

$$V_0 = 0.0 \text{ 伏}$$

$$OP = 71\%$$

可以如下开发二进制基-1 补码器或反相器。因为以上在参数限定中限定了参数(步 1)，所以开发从步 2 继续进行，它包含表 A 所示的卡诺图。

表 A

	输入		
	0	1	2
输出	2	1	0

步 3 进行开发并列出输入项/输入与输出逻辑电平/输出的逻辑关系。步 3 的实现获得下列表 B 所列的关系:

表 B

I	O
=0	=2
=1	=1
=2	=0

对关系的检查指明, 对各输入逻辑电平输出发生变化。这意味有三个分支, 两个终端分支和一个中间分支。

步 4 继续进行逻辑功能的开发。首先为传送输出逻辑电平 0 的分支, 并且建立传送输出逻辑电平 $r-1$ (在本情况下 $r-1 = 2$)的分支, 步 4 如下进行。

对输出(O)逻辑 0, 具有逻辑 2 的输入(I), 输出逻辑电平比终端分支对其响应的最低输入逻辑电平低。这样指出应该使用 N 沟道增强型 FET。使用阈值电压确定部分的 N 沟道器件的公式(上文), 并且使用 2.5 伏的逻辑步进电压和 70%的叠加电压, 得到 $V_{GS(TH)}$:

$$V_i \quad V_o \quad OP \quad LSV \quad V_{GS(TH)}$$

$$5 \text{ 伏} - (0 \text{ 伏} + (0.7 \times 2.5 \text{ 伏})) = +3.75 \text{ 伏}$$

这种 FET 在图 95 中表示为 Q4。

其次开发中间分支。在本情况下仅有一个, 并且它必须响应逻辑 1 输入, 提供逻辑 1 输出。这样指出要求一个 P 沟道耗尽型 FET 和一个 N 沟道耗尽型 FET(对于 $O \in I$, 使用 PD&ND)。对 P 沟道和 N 沟道器件, 使用阈值公式, 得到下列 $V_{GS(TH)}$ 电压:

P 沟道耗尽型:

$$V_i \quad V_o \quad OP \quad LSV \quad V_{GS(TH)}$$

$$2.5 \text{ 伏} - (2.5 \text{ 伏} - (0.7 \times 2.5 \text{ 伏})) = +1.75 \text{ 伏}$$

N 沟道耗尽型:

$$V_i \quad V_o \quad OP \quad LSV \quad V_{GS(TH)}$$

$$2.5 \text{ 伏} - (2.5 \text{ 伏} + (0.7 \times 2.5 \text{ 伏})) = -1.75 \text{ 伏}$$

这两个 FET 在图 95 中表示为 Q2 和 Q3(它们的位置在如本功能的一位功能中可以互换)。

为了对逻辑电平 0 的输入提供逻辑 2 的输出, 输出逻辑电平比终端分支对其响应的最高输入逻辑电平大, 指示使用 P 沟道增强型 FET。对 P 沟道器件使用公式, 得到 $V_{GS(TH)}$:

$$V_i - V_o - OP - LSV - V_{GS(TH)} \\ 0 \text{ 伏} - (5 \text{ 伏} + (0.7 \times 2.5 \text{ 伏})) = -3.75 \text{ 伏}$$

这种 FET 在图 95 中表示为 Q1。

用于开发三进制基-1 补码器的分支的方法, 对于开发任何位数的任何 r 值逻辑功能的所有分支来说有效。该方法可扩展为适应附加中间分支。

SUS-LOC 为多位功能的开发提供准备, 这些多位功能允许对使用基于相同基 r 的逻辑电平信号的几个输入, 进行比较和其他逻辑操作。实际分支设计(步 4)与以上三进制基-1 补码器开发所述类似。为了提供本发明的例子, 对三个三进制多位功能叙述步 2、步 3 及步 4 的结果: 补码广义 OR($CGOR_3$)、补码广义 AND($CGAND_3$)和补码相等发生器(CEO_3)。这三个三进制功能认为分别与二进制“NOR”、“NAND”和“异”(“XOR”)门类似。

三进制补码广义 OR_3 或 $CGOR_3$ 门与二进制“NOR”门类似。 $CGOR_3$ 门的输出逻辑电平是供给其输入的最低逻辑电平的基-1 补码。这由表 C 所示的 $CGOR_3$ 的卡诺图指示(“A”和“B”是输入)。

表 C

		A		
		0	1	2
B	0	2	1	0
	1	1	1	0
	2	0	0	0

其次列出输入项逻辑电平与输出逻辑电平的逻辑关系。表 D 仅使用相等的关系操作符, 表示 $CGOR_3$ 的关系。如表 D 所示, 在结果电路中将有 9 个复合分支, 并且将要求过量的晶体管(大于 8 个)来实现。在表 D 中, “C” 是对于输入 “A” 和 “B” 的输出。

表 D

A	B	C	A	B	C	A	B	C
0	0	2	0	1	1	0	2	0
1	0	1	1	1	1	1	2	0
2	0	0	2	1	0	2	2	0

虽然能设计功能九分支电路，但是应该使用更复杂的关系操作符(例如大于，或等于或大于)。图 8 所示 $CGOR_3$ 电路用表 E 所示更复杂的关系操作符设计。

表 E

A	B	C
=0	=0	=2
=1	<2	=1
=2	x	=0
<2	=1	=1
x	=2	=0

x=不关心

如所示，有 3 个复合分支。这是由于两个“不关心”输入“x”是相同终端复合分支的一部分，以及=1 和<2 两者输入组合成中间复合分支。照这样，仅要求 8 个晶体管。如图 8 幻象线所示，对 $CGOR_3$ 扩展以适应更多输入，对每个输入仅要求 4 个晶体管。

三进制补码广义 AND 或 $CGAND_3$ 电路与二进制“NAND”门类似，其卡诺图示于表 F。

表 F

		A		
		0	1	2
B	0	2	2	2
	1	2	1	1
	2	2	1	0

图 9 表示根据表 G 所示关系操作符开发的 $CGAND_3$ 电路，它也仅

要求 8 个晶体管，并且扩展适应附加输入，对每个附加输入仅要求 4 个晶体管。对这样附加输入的适应由图 9 幻象线所示。

表 G

A	B	C
=0	x	=2
x	=0	=2
=1	≥ 1	=1
≥ 1	=1	=1
=2	=2	=0

x=不关心

能根据 SUS-LOC 设计和构造三进制补码相等发生器或 CEQ_3 。
 CEQ_3 确定两个输入 A 和 B 是否相等，并且对结果信号补码。然而，如图 10 所示， CEQ_3 根据电路的输出要求，而不是通过首先产生随后补码的相等信号，传送其输出。

表 H 表示 CEQ_3 的卡诺图。该卡诺图指示 CEQ_3 的输出序列不是如补码器为真那样的“逆向序列”。这样的非逆向序列输出或随机输出指示 CEQ_3 电路要求附加 OPF。表 H 的阴影面积指示“非逆向序列”或“随机”输出值。

表 H

		A		
		0	1	2
B	0	2	2	2
	1	2	1	2
	2	2	2	0

在表 I 列出的关系操作符中，也能看到对于附加 OPF 的 CEQ_3 的要求(同样如阴影面积所示)。

表 I

A	B	C
=0	x	=2
x	=0	=2
=1	=1	=1
=2	<2	=2
<2	=2	=2
=2	=2	=0

x=不关心

除附加 OPF 外, 响应 $A=1$ 、 $B=1$ 输入的分支还要求两个附加开关, 这两个开关在任一输入为逻辑 2, 而另一输入为逻辑 1 时, 由附加 OPF 的输出驱动, 以防止异常通路(反向偏置)。对于 $A=2$ 、 $B=1$, $Q5$ 和 $Q6$ 由 $B=1$ 保持断开(或传导)。 $Q4$ 由 $A=2$ 断开。 $Q3$ 是 P 型 FET, 并且源自最正电极。当 CEQ_3 电路对 $A=2$ 、 $B=1$ 传送 V_2 输出时, 该 V_2 信号传到 $Q3$ 。当 $A=2$ 不是比 V_1 或 V_2 中较大者(它是 V_2)大的 1.75 伏时, $Q3$ 接通, 并且把 V_2 传导到 V_1 。以下将更详细地叙述这样的异常通路。

对于 A 和 B 输入的附加 OPF, 在图 10 中分别表示为 $Q8$ 和 $Q9$ 及 $Q13$ 和 $Q14$ 。这些 OPF 是 F110₃。以下更详细地叙述这样的 OPF 的使用。 $Q11$ 和 $Q12$ 构成一个“看门人”, 以防止 V_2 输出对 FET $Q3$ 至 $Q6$ 的反向传送。

补码相等发生器或 CEQ_3 的最接近二进制等效由两个“XOR”门和一个“NOR”门组成。因为要求两个二进制位来表示一个 2 值(对实现 CEQ_3 的 9 个可能输入状态是必须的), 所以要求两个二进制 XOR 门。两个“XOR”门探测个别二进制位的相等, 并且“NOR”门的输入由“XOR”门的输出驱动。CMOS 二进制等效要求 24 个晶体管, 而图 10 所示 CEQ_3 仅要求 18 个晶体管。

扩展形成具有 3 个输入项的 CEQ_3 , 要求 12 个附加晶体管, 以总共构成 30 个晶体管。这样意味在一次操作中能确定 3 项的相等和大于零的相等的电平。三项 CEQ_3 没有在一次操作中能够确定三项相等的

单一类似二进制功能。在这方面和其他方面，SUS-LOC 对电子信息处理提供了重要扩展和较大效率。

制造 $CGOR_3$ 、 $CGAND_3$ 和 CEQ_3 所要求的晶体管数可能超过对应的二进制电路的晶体管数，因此，似乎过多。然而，这些三进制门各自具有九个可能的 A 和 B 输入的组合。能够有九个输入状态的类似二进制电路要求 A 和 B 输入项为多位值，并且这样的电路将要求更多的晶体管，更多的导线，更多的 I/O 针，而且比对应的三进制电路具有更多的寄生值。

二进制与三进制逻辑之间的不同要求、实现和合成计算能力(在它们的最原始电平)一般指示，三进制(或较高基)系统的较复杂逻辑将比等效二进制系统要求较少的晶体管。然而，这样的较高基系统一般得到较高的计算能力。

在用 SUS-LOC 直接替换二进制电路时提出某些警告。用 r 值门替换二进制门是诱人的，并且在有些情况下将形成功能电路(如果对适当启动电平给予某些注意)。然而，应用由较高基 SUS-LOC 电路可得到的逻辑功能数，一般优选更具体逻辑功能的设计和制造。用更具体功能来设计和制造电路将减小元件数、全部功率要求、寄生参数等，以使 SUS-LOC 的实现甚至更有利。

异常通路

如上所述，异常通路可以由于某些电路元件的使用而引起，一般导致短路。一般来说，这些问题是由于 FET 在源极或漏极取最正(对于 P 沟道)或最负(对于 N 沟道)电压作为它们的源电压这个事实而引起。控制 FET 所需的栅电压于是变得取决于哪个电压起源电压和栅阈值电压的作用。如果电路输出电压侵占了原始源电压，最初相对预期源极控制 FET 的栅电压可能不适当地保持该控制。

为了避免这样的问题，在 SUS-LOC 中使用附加电路级，以防止对易于改变它们的源电压的 FET 传送输出信号。

在该电路的卡诺图中以非逆向的输出序列，指示了对附加逻辑级的要求。也就是说，输出在顺序输入逻辑电平或顺序输入逻辑电平的

组合的相对方向不顺序，或输入和输出都等于 V_0 或 V_{r-1} 。

当出现后种情况时，输入逻辑电平没有足够的大小，以横过 FET 的阈值电压，该 FET 将把适当的输出逻辑电平电压传导到输出端。也就是，0 输入不超过把 0 传导到输出端的 N 沟道 FET 的阈值电压。解决办法是使用 OPF，以把 0 输入增加或转化为较高值，以便能由 OPF 的输出电压横过阈值电压。同样地，当输入和输出两者都为 V_{r-1} 时，通过使用 OPF，可以实现类似的适应。在这种情况下，OPF 可以转化地减小 V_{r-1} 输入，以便能由 OPF 输出电压横过阈值电压。

对于 OPF，常规、标准或逆向输出序列是这样的序列，当输入变成一个愈来愈大的值或逻辑电平之时，它变成一个愈来愈小的值或逻辑电平，反之亦然。输出序列可以响应几个逻辑电平的输入序列变化，仅改变一个逻辑电平，然而，当它改变时，输出序列是一个愈来愈小的值或逻辑电平。这种情况这里也称为逆向序列。不遵照这种序列的输出响应称为非逆向序列。例如，五进制 OPF F33220 是逆向序列，而五进制 F33224 不是。

由于 OPF 的基本操作特性，对于任何基的 OPF，输出逻辑电平的最小数是二，因为一个输出逻辑电平构成一个连续功能(例如 F111₃)。为了使 OPF 保持常规输出序列，输出逻辑电平的最大数等于功能的基。

对于一位功能，非常规、非标准或非逆向输出序列是这样的序列：

1. 不按输入序列的相对方向变化；
2. 在没有逆向输入序列下，使其变化的方向逆向；和/或
3. 输出逻辑电平=输入逻辑电平= V_0 或 V_{r-1} 。

当出现以上所列情况中的一个或多个时，非逆向输出序列在 OPF 的卡诺图中列出。图 11 至图 16 表示几个具有非逆向输出序列的三进制和五进制一位功能的例子。为什么输出序列是非逆向的理由由指针或箭头指示，参考以上所列情况。

对于 MPF，常规输出序列在功能的卡诺图中看作输出位的对角组的序列，当输入的集体或总体大小按值或逻辑电平增加，从所有输入

等于 0 增加到所有输入等于 $r-1$, 则输出位按值或逻辑电平减小, 反之亦然。例如, 两位功能具有一般为正方形的卡诺图。相关对角线从左(最小)移动到右下(最大), 如图 17 所示。对于三进制两位 MPF, 如图 17 中点线所示, 一般有五个大小, 它们是:

$A = 0, B = 0;$

$A = 0, B = 1$ 到 $A = 1, B = 0;$

$A = 0, B = 2$ 到 $A = 2, B = 0;$

$A = 1, B = 2$ 到 $A = 2, B = 1;$ 以及

$A = 2, B = 2.$

由于 MPF 的特性, 对于任何基和任何输入项数的 MPF, 分组的最小数是二, 因为一组将意味所有输出位相等, 并且这样构成一个连续功能。这样连续功能的卡诺图对于任何输入值的组合具有相同的输出值。对于保持常规或逆向输出序列的 MPF, 分组的最大数等于功能的基。混合基的功能不同地接近。

对于 MPF, 非常规、非标准或非逆向输出序列是这样的序列:

1. 不按输入序列的相对方向变化;
2. 使变化的方向逆向, 而没有逆向输入的总体大小;
3. 组数小于二或大于 MPF 的基; 和/或
4. 输出逻辑电平=输入逻辑电平= V_0 或 V_{r-1} 。

图 18 至图 25 表示常规或逆向输出序列 MPF 的三个 MPF 例子, 以表示几个这样的可能组。这三组是: $CGOR_3$ 电路, $CGAND_3$ 电路, 和 $LAMBDA\ 01_3$ 电路。这些图中的组用粗线强调描画轮廓。这些分组的图形不是唯一可能的图形。

图 26 至图 30 表示具有非常规或非逆向输出序列的 MPF。在这些图中, 第三分组表示输出序列方向逆向, 使得基 3 功能要求第四和第五组。这些分别是情况 2 和 3。

SUS-LOC 的简短分析

为了根据速度、功率消耗和数据密度理解 SUS-LOC 结构, 将把 SUS-LOC 电路与其二进制对应电路比较。为速度和功率比较而选择

的电路是二进制(CMOS)和三进制(SUS-LOC)逻辑系统的基-1 补码器。图 31 和图 32 分别表示二进制 CMOS 反相器和三进制 SUS-LOC 基-1 补码器, 以及用幻象表示的关联寄生电容。

当首先观察三进制基-1 补码器的示意图时, 可能会作出两个不正确的假定: 由于电路的增加电容, 使三进制系统较慢, 并且要求更多的能量来操作; 以及三进制系统将要求更多的晶体管, 从而当减小数据密度的时候, 使寄生电容值增加。然而, 以下表示这些假定是不正确的。事实上, 相反情况为真。

当三进制基-1 补码器要求两倍数的晶体管, 并且具有约两倍的二进制“反相器”的电容的时候, 一个完全系统由多于一个的单一位功能组成。

SUS-LOC 电路的输入电容大于其二进制电容, 但是小于两倍那么多。

假定以下参数: FET 的基本栅电容是 1.0 单位, 寄生电容是 0.1 单位, 两个电路的 V_{r-1} 是 5 伏, 以及转换要求一半循环。

各电路的总电容的计算简单地对 FET 电容加寄生电容求和。对于 CMOS 二进制反相器, 总计是 2.5 单位, 而对于 SUS-LOC 三进制基-1 补码器, 总计是 4.9 单位。

转换各电路 $r-1$ 逻辑电平的输出所要求的能量认为是电路的 E_{sw} 。驱动具有容性负载的一半循环所要求的能量等于 0.5 倍电容, 乘以电容两端电压变化的平方。能量用焦耳表示为 $E_{sw} = .5 CV^2$ 焦耳。把各电路的值插入公式的结果示于表 J。

表 J

CMOS	三进值 SUS-LOC
从逻辑 0 转换到逻辑 1	
$E_{sw} = .5 \times 2.5 (5^2)$ $= 1.25 (25)$ $= 31.25 \text{ j}$	$E_{sw} = .5 \times 4.9 (2.5^2)$ $= 2.45 (6.25)$ $= 15.3125 \text{ j}$
从逻辑 1 转换到逻辑 2	
不能够从逻辑 1 转换到逻辑 2	$E_{sw} = .5 \times 4.9 (2.5^2)$ $= 2.45 (6.25)$ $= 15.3125 \text{ j}$

三进值 SUS-LOC 电路转换两个逻辑电平(30.625j)比 CMOS 电路仅转换一个逻辑电平(31.25j)使用较少的能量。因此，虽然三进制 SUS-LOC 具有接近两倍的电容，但是它要求较少的能量来操作。

FET 电路的最快可能操作是把信号从一个主要的 FET 的栅极传递一个类似的次要 FET 的栅极所要求的时间。能完成这个传递的最小时间量是主要 FET 的转接时间。把信号传递到多于一个的次要 FET 要求每个次要 FET 一个转接时间。实际时间是 RC 时间常数， $RC_g = L^2/\mu(V_{GS}-V_{(TH)})$ ，并且要求所有参数已知，例如特征尺寸、导线材料等。然而，为了保持清晰，可以用转接时间 $L^2/\mu V_{DS}$ 来近似两个电路的延迟，它在形式上与 RC 时间常数类似。

为了比较，CMOS 电路中 FET 的转接时间将是 0.3 nS，而对于 SUS-LOC 电路中的 FET，由于 V_{DS} 为每逻辑电平 2.5 伏，将是 0.6 nS。

为了比较这两个电路，将对各电路使用两个。第一基-1 补码器的输出将驱动第二基-1 补码器的输入，并且这两个补码器的连接处是该比较的试验点，如图 33 和图 34 分别对 CMOS 和 SUS-LOC 所示。

两个电路的输入激励对从+5.0 伏到 0.0 伏的转换为 10 nS。第一基-1 补码器使第二基-1 补码器的输入电压上升到开关点所要求的时间将认为是电路的速度。开始点(t_0)是当输入激励从 5 伏向 0 伏改变的时点。

CMOS 的开关点是 2.5 伏。SUS-LOC 电路的开关点是：当开关点

在逻辑 0 与逻辑 1 之间时, 为 1.25 伏, 而当开关点在逻辑 1 与逻辑 2 之间时, 为 3.75 伏。

在第一基-1 补码器的输出能改变之前, 输入电压必须横过开关点。要求的时间将是 FET 的转接时间加输入激励达到开关点所要求的时间。对于二进制电路, 这样要求 10 nS 转接时间的一半, 或 5 nS, 加两个 0.3 nS 的转接时间, 总共 5.6 nS。

对于从逻辑 0 到逻辑 1 步进, 三进制电路要求 10 nS 转接时间的四分之一, 或 2.5 nS, 加四个 0.6 nS 转接时间, 总共 4.9 nS, 而为了达到第二开关点, 则为 7.5 nS 加 2.4 nS, 或 9.9 nS。三进制电路用 9.9 nS 从 0 步进到 1 步进 2, 而二进制电路用相同的 10 nS 激励从 0 步进到 1。

二进制反相器与三进制基-1 补码器之间的定时比较的曲线图示于图 35。

虽然个别 SUS-LOG 逻辑功能可能比其类似的 CMOS 功能慢, 但是基大于 2 的基于 SUS-LOC 的系统总体上较快。例如, 假定二进制系统在 10 MHz 时钟速度下操作, 平均周期为 0.1 μ s, 并且假定三进制系统在该二进制时钟速度的一个百分比下操作, 试验执行若干次求和, 以确定电路速度。两个系统要求 3 个时钟循环(一个机器循环), 以执行一次求和。检查两个系统对 x 个数求和所要求的时间, 得到表 K 所示结果。

表 K

求和数	CMOS 二进制	SUS-LOC 三进制					
		在二进制时钟速度的%下, μ S					
	μ S	50%	60%	70%	80%	90%	100%
2	0.3	0.6	0.5	0.43	0.38	0.33	0.3
3	0.6	0.6	0.5	0.43	0.38	0.33	0.3
4	0.9	1.2	1	0.86	0.75	0.67	0.6
5	1.2	1.2	1	0.86	0.75	0.67	0.6
10	2.7	3	2.5	2.14	1.88	1.67	1.5
11	3	3	2.5	2.14	1.88	1.67	1.5
50	14.7	15	12.5	10.7	9.38	8.33	7.5

三进制 SUS-LOC 系统要求较少的时间，以仅使用二进制时钟速度的 60%，执行 3 的求和或更多“求和数”（阴影面积）。并且，当有 3 个或更多个数求和时，三进制 SUS-LOC 系统仅以 50% 的时钟速度，非常接近二进制系统的要求时间和吞吐量。

这种情况的原因是在完全进位的一次操作中，数字计算机能够求和的变量数等于计算机的基。使用以上所述的二进制和三进制系统，检查怎样对 5 个数 A、B、C、D 和 E 求和，得到：

二进制

$$\text{SUM } A + B = W$$

$$\text{SUM } C + W = X$$

$$\text{SUM } D + X = Y$$

$$\text{SUM } E + Y = Z$$

4 次操作

$$4 \times 3 = 12 \text{ 个时钟循环}$$

$$12 \times 0.1 \mu\text{S} = 1.2 \mu\text{S}$$

三进制

$$\text{SUM } A + B + C = Y$$

$$\text{SUM } D + E + Y = Z$$

2 次操作

$$2 \times 3 = 6 \text{ 个时钟循环}$$

$$6 \times 0.1667 \mu\text{S} = 1 \mu\text{S}$$

当系统的逻辑功能使用大于二的基时，系统变得在单次操作中能够有更复杂的逻辑功能。在一次操作中中间复杂性（例如“A + B GAND C”）的逻辑功能的执行变得更容易完成。因为在一次操作中，更准确地说在一次机器循环中，能够执行复杂和/或多逻辑功能，所以基大于二的计算机较快。

虽然上述主要关注三进制逻辑系统，但是应该理解，所使用的方法和技术适用于任何基或基的组合的逻辑功能。根据 SUS-LOC，可能有基不是三的逻辑功能和使用混合基的逻辑功能。并且，在一次操作中，或更准确地说在一基 r 门时间内，一位功能既能执行模拟到数字转换，又能执行线性化，并在以下更详细地叙述。

由 SUS-LOC 提供的对二进制计算机的增强，仅受到与二进制计算机关联使用的 r 值电路的开发的限制。提出属于加法器、乘法器和数据存储的三个重要增强。

对二进制计算机的一个非常有用的增强是两项“三进制加法器”。

三进制加法器增加了二进制加法的速度，因为将没有要求的“进位”，因此没有进位传播延迟时间。从三进制到二进制的转换可以用一个“基转换器”执行，它在约 4 个基_A门时间内，把一个基_A值转换成一个基_B值。基转换器在以下更详细地叙述。

当加法器的基增加时，由于没有进位传播延迟时间，所以在一次操作中能求和的较低基的项数增加。例如，使用“四进制加法器”(基4)将允许在一次操作中对三个二进制或三进制项求和，仍然没有进位传播延迟时间。

对于 SUS-LOC 乘法器，能被“矩阵乘法器”乘的项数是大于乘法器的基，或 $r+1$ 项数。因此，当系统的基增加时，在一次操作中能乘的矩阵数增加。当待乘的项与乘法器的基相同时，乘法器的效率将增加。

关于加法器，能用一个“基转换器”执行从基_A到基_B的转换，该“基转换器”在约 4 个基_A门时间内把一个基_A值转换为一个基_B值。

通过在和盘驱动器一起使用的器件电子板上增加逻辑的基，有利地提供数据存储。能增加盘驱动器的存储容量、数据密度和数据传送速度，而不改变任何硬件。增加的百分比取决于基增加。例如，三进制器件电子板将获得增加 25% 的存储容量、数据密度和数据传送速度。

实现具有增加基的盘驱动器的最简单方法，是使用通量改变(如果有的话)与确定数据单元边界(目前称为比特单元边界)的数据时钟的边沿(前沿或后沿)之间的相位差。

一位功能

如果要实现基 r 的所有逻辑功能，一位功能(OPF)是基 r 连接件的要求集。一个 OPF 是一个仅取一个输入的 SUS-LOC 电路。(因此，有该名字及“多位功能”的名字)。OPF 于是根据 OPF 的特性，把输入信号转换成预定输出信号。OPF 主要用于中间逻辑电平转换。OPF 还有另外使用。

三进制逻辑系统($r = 3$)包含 27 个可能的 OPF，它们包括对任何输入给出相同输出的连续功能。对于任何基和位数，连续功能的数总等

于功能的基，在本情况下为 3。因此，可使用 24 个三进制 OPF。这里提出所有可用的三进制 OPF，并且总体上用作 SUS-LOC 的例子。

可用三进制 OPF 的示意图、输入-输出波形，以及转移特性示于图 38 至图 109。为了表示能实现任何基的 OPF，在图 110 中表示了五进制(基 5)基-1 补码器，并且在图 111 中表示了十进制(基 10)基-1 补码器。五进制基-1 补码器包括所有三个中间分支布置(如上所述)。

当对任何基的一位功能提供 $0 \dots r-1$ 的输入逻辑电平序列时，各一位功能产生唯一的输出序列。表 L 示出了所有 27 个三进制 OPF 的输出序列，指示了或为连续或具有逆向或随机输出序列的功能。

表 L

输入序列	012	012	012
三进制输出序列	000*	100	200
	001 ⁺	101 ⁺	201 ⁺
	002 ⁺	102 ⁺	202 ⁺
	010 ⁺	110	210 ⁺
	011 ⁺	111*	211
	012 ⁺	112 ⁺	212
	020 ⁺	120 ⁺	220
	021 ⁺	121 ⁺	221
	022 ⁺	122 ⁺	222*

*连续功能

⁺逆向或随机输出序列

对基 r 的仅一个 OPF 唯一的各输出序列用作“位置描述符”，以文本和图解地识别各一位功能。

当文本地提及一位功能时，其位置描述符这里以“Function”中的“F”开始。例如，具有 210 位置描述符的三进制功能写作“F210”，而具有 01234 位置描述符的五进制功能写作“F01234”。这是在整个本专利中使用的方法。

可能有识别的选择方法，并且可能在未来某一日期采用。一种这样的选择方法是从位置描述符中删去所有前导零，并且用功能的基给

描述符加下标。例如，五进制 F00125 变成 $F125_5$ ，十进制 F0000000125 变成 $F125_{10}$ 。

另一种选择是选择各基的最有用或通用 OPF。这些选择的功能于是能用指定编号或名字来分类。分类编号或名字于是将用于识别特定一位功能。

基大于二的一位功能的基本图符示于图 36。功能的位置描述符置于符号的内部，以区别一个功能与另一个功能。例如，图 37 表示了 $F210_3$ 。

制造大多数操作 OPF 要求使用两个串联的单级 OPF。这起因于目前可得到的开关的操作方式，以及基大于二的 OPF 集包含更多的具有逆向或随机输出序列的功能的事实。关于这点的更多信息在以下连同多位功能和组合逻辑叙述。三进制单级 OPF 是 F100, F110, F200, F210, F211, F220 和 F221。

表 M 示出了可用三进制 OPF。那些为单级的 OPF 表示为“单一”。那些具有逆向输出的 OPF 表示为“ $F_A - F_B$ ”列中的成对功能(除缓冲器外，有若干实现这些 OPF 的组合)，以及那些具有随机输出序列的 OPF 表示为“随机”。

表 M

	$F_A - F_B$	$F_A - F_B$	$F_A - F_B$	$F_A - F_B$	$F_A - F_B$	$F_A - F_B$
001	F110-F100	F210-F100	F220-F100	F220-F110	F221-F110	F221-F210
002	F110-F200	F210-F200	F220-F200	F220-F210	F220-F220	F221-F220
010	随机					
011	F100-F100	F200-F100	F200-F110	F210-F110	F211-F110	F211-F210
012	F210-F210					
020	随机					
021	随机					
022	F100-F200	F200-F200	F200-F210	F200-F220	F210-F220	F211-F220
100	单一					
101	随机					
102	随机					
110	单一					
112	F110-F210	F110-F211	F210-F211	F220-F211	F220-F221	F221-F221
120	随机					
121	随机					
122	F100-F210	F100-F211	F200-F211	F200-F221	F210-F221	F211-F221
200	单一					
201	随机					
202	随机					
210	单一					
211	单一					
212	随机					
220	单一					
221	单一					

注意：对于产生逆向输出的 OPF，选择制造对，它在电路或芯片级使当前使用的电源接近平衡，或在考虑整个电路下最容易制造。

一位功能主要用于中间逻辑电平转换。然而, OPF 能用于形成几种类型的电路, 包括: 用于驱动继电器、LED 和其他器件的接口电路, 这些器件要求一个本质上为二进制的控制信号; 用于开关、按钮和其他二进制输入器件的输入调节器; 以及用于交叉耦合对的电路, 以形成锁存器和寄存器(在以下锁存器和寄存器的叙述中讨论)。并且, OPF 可以与一个或多个多位功能结合, 以形成 n 位的任何逻辑功能, 包括在组合逻辑的叙述中讨论的 $r+1$ 态驱动器。具有 CGOR 和 CGAND 功能的单级 OPF 构成一个逻辑连接件的功能完全集, 由此可以实现任何及所有其他逻辑功能。

并且, 有可能使用一位功能, 作为在一次操作(或更准确地说, 一个基 r 门时间)中执行两个功能的模拟到数字转换线性化电路, 而且在以下叙述。

为了更完全地叙述 SUS-LOC, 以下提出 $F210_3$ 三进制一位功能(OPF)的广泛叙述。 $F210$ 是一个单级 OPF。

能如下分析作用在 $F210$ 或基-1 补码器电路上的逻辑 0 输入。现在参考图 95 和 $F210$, 或基-1 补码器电路, 对于逻辑 0 的电路输入 $V_0(0V)$, 0 伏输入传送到所有 IGFET 的栅极: 顶部 IGFET $Q1$ 、中间 IGFET 分支和底部 IGFET $Q4$, 中间 IGFET 分支具有其第一和第二中间分支 IGFET $Q2$ 、 $Q3$ 。

底部 IGFET $Q4$ 是一个 N 沟道增强型 IGFET, 它具有一个 3.25 伏的绝对阈值(0 伏源电压(V_0)加 3.25 伏栅电压($V_{GS(TH)}$)). 由于底部 IGFET $Q4$ 是一个 N 沟道增强型 IGFET, 所以仅对其绝对阈值之上的栅级电压, 源电压才传送到漏极。对于底部 IGFET $Q4$ 的栅极, 逻辑 0 的电路输入 $V_0(0V)$ 在其 3.25 伏的绝对阈值之下, 并且底部 IGFET $Q4$ 不把其源极的电压传到其漏极和电路输出。对于逻辑 0 的电路输入 $V_0(0V)$, 底部 IGFET 不传送电路输出。

中间 IGFET 分支有两个 IGFET $Q2$ 、 $Q3$, 它们串联连接在逻辑 1, $V_1(2.5V)$ 源电压与电路输出之间。中间分支 IGFET $Q2$ 、 $Q3$ 两者都与电路输入栅极连接。第一中间分支 IGFET $Q2$ 的源极与逻辑 1, $V_1(2.5V)$

源电压连接。第一中间分支 IGFET Q2 的漏极与第二中间分支 IGFET Q3 的源极连接。第二中间分支 IGFET Q3 的漏极与电路输出连接。

第一中间分支 IGFET Q2 是一个 P 沟道耗尽型 IGFET, 它具有一个 4.25 伏的绝对阈值(2.50 伏源电压(V_1)加 1.75 伏栅电压($V_{GS(TH)}$)). 由于第一中间分支 IGFET Q2 是一个 P 沟道增强型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于第一中间分支 IGFET Q2 的栅极, 逻辑 0 的电路输入 $V_0(0V)$ 在其 4.25 伏的绝对阈值之下, 并且第一中间分支 IGFET Q2 不把其源极的电压传到其漏极。对于逻辑 0 的电路输入 $V_0(0V)$, 第一中间分支 IGFET Q2 把逻辑 1, $V_1(2.5V)$ 传到其漏极和第二中间分支 IGFET Q3 的源极。

第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 它具有 0.75 伏的绝对阈值(2.50 伏源电压(V_1)加(-1.75)伏栅电压($V_{GS(TH)}$)). 逻辑 1, $V_1(2.5V)$ 源电压通过第一中间分支 IGFET Q2 的漏极, 应用于第二中间分支 IGFET Q3。由于第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 所以仅对其绝对阈值之上的栅电压, 源电压才传送到漏极。对于第二中间分支 IGFET 的栅极, 逻辑 0 的电路输入 $V_0(0V)$ 在其 0.75 伏的绝对阈值之下, 并且第二中间分支 IGFET Q3 不把其源极的电压传到其漏极和电路输出。对于逻辑 0 的电路输入 $V_0(0V)$, 第二中间分支 IGFET Q3 不传送电路输出。对于逻辑 0 的电路输入 $V_0(0V)$, 中间 IGFET 分支不传送电路输出。

顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 它具有 1.75 伏的绝对阈值(5 伏源电压(V_2)加(-3.25)伏栅电压($V_{GS(TH)}$)). 由于顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于顶部 IGFET Q1 的栅极, 逻辑 0 的电路输入 $V_0(0V)$ 在其 1.75 伏的绝对阈值之下。顶部 IGFET Q1 不把其源极的电压(逻辑 2, V_2 , 5V)传送到其漏极和电路输出。对于逻辑 0 的电路输出 $V_0(0V)$, 顶部 IGFET Q1 传送逻辑 2 的电路输出 $V_2(5V)$ 。

由以上所述, 可见对于逻辑 0 的电路输入 $V_0(0V)$, F210 电路作出响应, 传送逻辑 2 输出 $V_2(5V)$ 。仅有顶部 IGFET Q1 把其源电压传送

到电路的输出,以对逻辑 0 输入为电路提供其逻辑 2 输出。顶部 IGFET Q1 的栅输入电压在其绝对阈值之下,因此顶部 IGFET Q1 把其逻辑 2 源电压 $V_2(5V)$ 传送到电路输出。

中间 IGFET 分支不把信号电压传送到电路输出。第一中间分支 IGFET Q2 不把其源电压逻辑 1, $V_1(2.5V)$ 传送到其漏极,因为栅输入电压在其绝对阈值之下。第二中间分支 IGFET Q3 不从第一中间分支 IGFET Q2 的漏极传送其源电压逻辑 1, $V_1(2.5V)$, 因为第二中间分支 IGFET Q3 的栅输入电压在其绝对阈值之下。第二中间分支 IGFET Q3 防止逻辑 1, $V_1(2.5V)$ 信号电压从第一中间分支 IGFET 的进一步传送。

底部 IGFET Q4 不把信号电压传送到电路输出。底部 IGFET Q4 不把其逻辑 0 源电压 $V_0(0V)$ 传送到其漏极和电路输出,因为逻辑 0 的电路输入 $V_0(0V)$ 在其 3.25 伏的绝对阈值之下。

对于逻辑 0 输入, F210 电路传送逻辑 2 输出。

对 F210 或基-1 补码器电路的逻辑 1 输入的效果如下。对于逻辑 1 的电路输入 $V_1(2.5V)$, 2.50 伏的输入传送到所有 IGFET 的栅极: 顶部 IGFET Q1、中间 IGFET 分支和底部 IGFET Q4, 中间 IGFET 分支具有其第一和第二中间分支 IGFET Q2、Q3。

底部 IGFET Q4 是一个 N 沟道增强型 IGFET, 它具有 3.25 伏的绝对阈值(0 伏源电压(V_0)加 3.25 伏栅电压($V_{GS(TH)}$))。由于底部 IGFET Q4 是一个 N 沟道增强型 IGFET, 所以仅对其绝对阈值之上的栅电压, 源电压才传送到漏极。对于底部 IGFET Q4 的栅极, 逻辑 1 的电路输入 $V_1(2.5V)$ 在其 3.25 伏的绝对阈值之下, 并且底部 IGFET Q4 不把其源极的电压传送到其漏极和电路输出。对于逻辑 1 的电路输入 $V_1(2.5V)$, 底部 IGFET Q4 不传送电路输出。

中间 IGFET 分支有两个 IGFET Q2、Q3, 它们串联连接在逻辑 1, $V_1(2.5V)$ 源电压与电路输出之间。中间分支 IGFET Q2、Q3 都与电路输入栅极连接。第一中间分支 IGFET Q2 的源极与逻辑 1, $V_1(2.5V)$ 源电压连接。第一中间分支 IGFET Q2 的漏极与第二中间分支 IGFET Q3 的源极连接。第二中间分支 IGFET Q3 的漏极与电路输出连接。

第一中间分支 IGFET Q2 是一个 P 沟道耗尽型 IGFET, 它具有 4.25 伏的绝对电压(2.50 伏源电压(V_1)加 1.75 伏栅电压($V_{GS(TH)}$)). 由于第一中间分支 IGFET Q2 是一个 P 沟道耗尽型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于第一中间分支 IGFET Q2 的漏极, 逻辑 1 的电路输入 $V_1(2.5V)$ 在其 4.25 伏的绝对阈值之下, 并且第一中间分支 IGFET 不把其源极的电压传到其漏极。对于逻辑 1 的电路输入 $V_1(2.5V)$, 第一中间分支 IGFET Q2 把逻辑 1, $V_1(2.5V)$ 传送到其漏极和第二中间分支 IGFET Q3 的源极。

第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 它具有 0.75 伏的绝对电压(2.50 伏源电压(V_1)加(-1.75)伏栅电压($V_{GS(TH)}$)). 逻辑 1, $V_1(2.5V)$ 源电压通过第一中间分支 IGFET Q2 的漏极, 应用于第二中间分支 IGFET Q3。由于第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 所以仅对其绝对阈值之上的栅电压, 源电压才传送到漏极。对于第二中间分支 IGFET Q3 的栅极, 逻辑 1 的电路输入 $V_1(2.5V)$ 在其 0.75 伏的绝对阈值之下, 并且第二中间分支 IGFET Q3 不把其源极的电压传到其漏极和电路输出。对于逻辑 1 的电路输入 $V_1(2.5V)$, 第二中间分支 IGFET Q3 不把逻辑 1, $V_1(2.5V)$ 传送到其漏极和电路输出。对于逻辑 1 的电路输入 $V_1(2.5V)$, 中间 IGFET 分支传送逻辑 1 的电路输出 $V_1(2.5V)$ 。

顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 它具有 1.75 伏的绝对阈值(5 伏源电压(V_2)加(-3.25)伏栅电压($V_{GS(TH)}$)). 由于顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于顶部 IGFET Q1 的栅极, 逻辑 1 的电路输入 $V_1(2.5V)$ 在其 1.75 伏的绝对阈值之上。顶部 IGFET Q1 不把其源极的电压(逻辑 2, V_2 , 5V)传送到漏极和电路输出。对于逻辑 1 的电路输出 $V_1(2.5V)$, 顶部 IGFET Q1 不传送逻辑电路输出。

由以上所述, 可见对于逻辑 1 的电路输入 $V_1(2.5V)$, F210 电路作出响应, 传送逻辑 1 输出 $V_1(2.5V)$ 。仅有中间 IGFET 分支把其源电压传送到电路的输出, 以对逻辑 1 输入为电路提供其逻辑 1 输出。中间

IGFET 分支的栅输入电压在第一中间分支 IGFET Q2 的绝对阈值之下, 并且在第二中间分支 IGFET Q3 的绝对阈值之上。由于两个中间分支 IGFET Q2、Q3 都把它们源电压传送到它们的漏极, 所以中间分支把其逻辑 1 的源电压 $V_1(2.5V)$ 传送到电路输出。

底部 IGFET Q4 不把信号电压传送到电路输出。底部 IGFET Q4 不把其逻辑 0 的源电压 $V_0(0V)$ 传送到其漏极和电路输出, 因为逻辑 1 的电路输入 $V_1(2.5V)$ 在其 3.25 伏的绝对阈值之下。

顶部 IGFET Q1 不把信号电压传送到电路输出。顶部 IGFET Q1 不把其逻辑 2 的源电压 $V_2(5V)$ 传送到其漏极和电路输出, 因为逻辑 1 的电路输入 $V_1(2.5V)$ 在其 1.75 伏的绝对阈值之上。

对于逻辑 1 输入, F210 电路传送逻辑 1 输出。

对 F210 基-1 补码器电路的逻辑 2 输入如下。对于逻辑 2 的电路输入 $V_2(5V)$, 5 伏的输入传送到所有 IGFET 的栅极: 顶部 IGFET Q1、中间 IGFET 分支和底部 IGFET Q4, 中间 IGFET 分支具有其第一和第二中间分支 IGFET Q2、Q3。

底部 IGFET Q4 是一个 N 沟道增强型 IGFET, 它具有 3.25 伏的绝对阈值(0 伏源电压(V_0)加 3.25 伏栅电压($V_{GS(TH)}$))。由于底部 IGFET Q4 是一个 N 沟道增强型 IGFET, 所以仅对其绝对阈值之上的栅电压, 源电压才传送到漏极。对于底部 IGFET Q4 的栅极, 逻辑 2 的电路输入 $V_2(5V)$ 在其 3.25 伏的绝对阈值之上, 并且底部 IGFET Q4 把其源极的电压传送到其漏极和电路输出。对于逻辑 2 的电路输入 $V_2(5V)$, 底部 IGFET Q4 传送逻辑 0 的电路输出 $V_0(0V)$ 。

中间 IGFET 分支具有两个 IGFET Q2、Q3, 它们串联连接在逻辑 1, $V_1(2.5V)$ 源电压与电路输出之间。中间分支 IGFET Q2、Q3 两者都与电路输入栅极连接。第一中间分支 IGFET Q2 的源极与逻辑 1, $V_1(2.5V)$ 源电压连接。第一中间分支 IGFET Q2 的漏极与第二中间分支 IGFET Q3 的源极连接。第二中间分支 IGFET Q3 的漏极与电路输出连接。

第一中间分支 IGFET Q2 是一个 P 沟道耗尽型 IGFET, 它具有 4.25

伏的绝对电压(2.50 伏源电压(V_1)加 1.75 伏栅电压($V_{GS(TH)}$)). 由于第一中间分支 IGFET Q2 是一个 P 沟道耗尽型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于第一中间分支 IGFET Q2 的漏极, 逻辑 2 的电路输入 $V_2(5V)$ 在其 4.25 伏的绝对阈值之上, 并且第一中间分支 IGFET Q2 不把其源极的电压传到其漏极。对于逻辑 2 的电路输入 $V_2(5V)$, 第一中间分支 IGFET Q2 不把逻辑 1, $V_1(2.5V)$ 传送到其漏极和第二中间分支 IGFET Q3 的源极。

第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 它具有 0.75 伏的绝对阈值(2.50 伏源电压(V_1)加(-1.75)伏栅电压($V_{GS(TH)}$)). 因为第一中间分支 IGFET Q2 的栅输入电压在其绝对阈值之上, 所以逻辑 1, $V_1(2.5V)$ 源电压没有通过第一中间分支 IGFET Q2 的漏极, 应用于第二中间分支 IGFET Q3。由于第二中间分支 IGFET Q3 是一个 N 沟道耗尽型 IGFET, 所以仅对其绝对阈值之上的栅电压, 源电压才传送到漏极。对于第二中间分支 IGFET Q3 的栅极, 逻辑 2 的电路输入 $V_2(5V)$ 在其 0.75 伏的绝对阈值之上, 并且第二中间分支 IGFET Q3 将不把其源极的电压传到其漏极和电路输出。然而, 由于第二中间分支 IGFET Q3 没有源电压, 所以无电压传送到第二中间分支 IGFET Q3 的漏极和电路输出。对于逻辑 2 的电路输入 $V_2(5V)$, 第二中间分支 IGFET Q3 不传送电路输出。对于逻辑 2 的电路输入 $V_2(5V)$, 中间 IGFET 分支不传送电路输出。

顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 它具有 1.75 伏的绝对阈值(5 伏源电压(V_2)加(-3.25)伏栅电压($V_{GS(TH)}$)). 由于顶部 IGFET Q1 是一个 P 沟道增强型 IGFET, 所以仅对其绝对阈值之下的栅电压, 源电压才传送到漏极。对于顶部 IGFET Q1 的栅极, 逻辑 2 的电路输入 $V_2(5V)$ 在其 1.75 伏的绝对阈值之上。顶部 IGFET Q1 不把其源极的电压(逻辑 2, V_2 , 5V)传送到漏极和电路输出。对于逻辑 2 的电路输入 $V_2(5V)$, 顶部 IGFET Q1 不传送电路输出。

由以上所述, 可见对于逻辑 2 的电路输入 $V_2(5V)$, F210 电路作出响应, 传送逻辑 0 输出 $V_0(0V)$ 。仅有底部 IGFET Q4 将其源电压传送

到电路的输出,以对逻辑 2 输入为电路提供其逻辑 0 输出。底部 IGFET Q4 的栅输入电压在其绝对阈值之上,因此底部 IGFET Q4 将其逻辑 0 的源电压 $V_0(0V)$ 传送到电路输出。

中间 IGFET 分支不把信号电压传送到电路输出。由于栅输入电压在其绝对阈值之上,所以第一中间分支 IGFET Q2 不把其源电压逻辑 1, $V_1(2.5V)$ 传送到其漏极。由于第二中间分支 IGFET Q3 的栅输入电压在其绝对阈值之下,所以第二中间分支 IGFET Q3 将把其源电压传送到其漏极。然而,由于在第二中间 IGFET Q3 的源极无电压,所以对电路输出没有影响。第一中间分支 IGFET Q2 防止了逻辑 1, $V_1(2.5V)$ 信号电压传送到第二中间分支 IGFET Q3 和电路输出。

顶部 IGFET Q1 不把信号电压传送到电路输出。顶部 IGFET Q1 不把其逻辑 2 的源电压 $V_2(5V)$ 传送到其漏极和电路输出,因为逻辑 2 的电路输入 $V_2(5V)$ 在其 1.75 伏的绝对阈值之上。

对于逻辑 2 输入, F210 电路传送逻辑 0 输出。

在 F210 电路中,对于逻辑 0 电路输入 $V_0(0V)$,顶部 IGFET Q1 传送逻辑 2 电路输出 $V_2(5V)$;对于逻辑 1 电路输入 $V_1(2.5V)$,具有其第一和第二 IGFET Q2、Q3 的中间 IGFET 分支传送逻辑 1 电路输出 $V_1(2.5V)$;以及对于逻辑 2 电路输入 $V_2(5V)$,底部 IGFET Q4 传送逻辑 0 电路输出 $V_0(0V)$ 。这三个 IGFET 分支各自仅对逻辑输入的一个值做出响应,传送电路输出。

以上所述对 F210 三进制 OPF 的分析可以引导为任何 SUS-LOC 电路。通过分析输入电压、源电压和栅阈值电压($V_{GS(TH)}$),能确定任何 SUS-LOC OPF 电路的响应特性。这个过程也可以扩展到多位功能。

多位功能

这里叙述三进制多位功能(MPF),对二进制和五进制(基 5)作些参考。任何基的 MPF 能用 SUS-LOC 结构实现。例如,表 N 示出了基 2 的“两位功能”。有非常多可能的两位功能。对于基 2,可能的两位功能的数是十六(16 或 2^4)。对于基 2 到 9,数大于 10^{77} 。对于基 10 本身,两位功能的数是 10^{100} 。

一个 MPF 实质上是相同基的两个或多个一位功能的组合。虽然单多位功能可能，但是单多位功能之内的基的组合较为先进和复杂。一个 MPF 的各输入是用于形成 MPF 的一个或多个一位功能的输入。各一位功能的分支安排为与其他 OPF 的相似分支串联、并联或串并联传导，以形成复合分支。相似分支是那些对于给定的输入逻辑电平组合，把输出端与相同逻辑电平功率源连接的分支。

每个 MPF，无论其位数和基数多少，都响应其通过所有可能的输入逻辑电平的组合循环的输入，产生唯一的输出序列。三进制逻辑系统包含 $19,683(3^9)$ 个可能的两位功能，各由 9 个输入组合。这是二进制两位功能的输入状态数的 2.25 倍。然而，并不是给定基和位数的所有可能的 MPF 都有用。MPF 的集包含 r 个连续功能，和可简化为较少位的功能，或可简化为较低基的功能，或两种情况都存在的那些功能。当基大于 2 时，有可能对功能的位数和/或基数简化。

下表 N 示出了二进制系统的十六个二位功能。

表 N

#	B=1,A=1	B=1,A=0	B=0,A=1	B=0,A=0	名字或描述符
0	0	0	0	0	连续
1	0	0	0	1	“NOR” 门
2	0	0	1	0	具有反向输入 “B” 的 “AND” 门
3	0	0	1	1	简化为输入 “B” 的反相器
4	0	1	0	0	具有反向 “A” 输入的 “AND” 门
5	0	1	0	1	简化为输入 “A” 的反相器
6	0	1	1	0	异 “OR” 门(XOR)
7	0	1	1	1	“NAND” 门
8	1	0	0	0	“AND” 门
9	1	0	0	1	具有反向输出的 “XOR”
10	1	0	1	0	简化为输入 “A” 的缓冲器
11	1	0	1	1	具有反向 “B” 输入的 “OR” 门
12	1	1	0	0	简化为输入 “B” 的缓冲器
13	1	1	0	1	具有反向 “A” 输入的 “OR” 门
14	1	1	1	0	“OR” 门
15	1	1	1	1	连续

如表 N 所示, 有些功能具有熟悉的名字, 例如“异 OR”和“NAND”门。如前所述, 有 r 个连续功能。对于二进制情况, 有 2 个: 0 号和 15 号。具有可简化为较少位的功能: 3 号、5 号、10 号和 12 号。如果使标记逆向, 镜像功能表示为 2 号(它是 4 的镜像)和 11(它是 13 的镜像)。对于任何基和任何位数的 MPF, 情况也是如此。在这种情况下使用二进制, 提供一种表示由任何基的所有 MPF 所共享的特性的有用方式。

以下叙述用文本和图解两者识别 MPF 的试探性方法。这些方法是试探性的, 因为随着 r 值逻辑和 SUS-LOC 结构的进一步发展, 预期发生各种改进和/或变化。

当文本地参考 MPF 时, 功能的缩写名字(假定功能已经命名)用预期功能的基写下标。例如, 三进制 CGOR 称为“CGOR₃”, 而五进制

GOR 称为“GOR₅”。如果省略了下标基，那么这里假定为基 3。二进制功能使用它们当前与已确定的惯例一致的名字。

识别的一个选择方法是对功能编号，并且对于识别和分类使用功能的编号。编号可以通过对功能的卡诺图中各输出位置分配基的幂来执行。具有混合基的功能是可能的。表 O 示出了对于三进制逻辑，3 的幂的分配。

表 O

		A		
		0	1	2
B	0	3^8	3^7	3^6
	1	3^5	3^4	3^3
	2	3^2	3^1	3^0

GAND₃ 的卡诺图(图 134)在表 P 中用该编号法所使用的 3 的幂来表示。对 3 的各个幂的值合计，得到 GAND₃ 的编码，它是三进制两位功能码 113。

表 P

		A		
		0	1	2
B	0	0×3^8	0×3^7	0×3^6
	1	0×3^5	1×3^4	1×3^3
	2	0×3^2	1×3^1	2×3^0

MPF 的基本符号示于图 112。图 113 表示了 GAND 门的符号，它在为功能的基保留的位置处设置了“r”。GOR₃ 门的符号示于图 114。当省略下标基时，那么假定为基 3。二进制功能使用它们当前具有注释或图注的符号，指示功能的适当接口所要求的 SUS-LOC 实现。其他 r 值逻辑符号将随着基于 SUS-LOC 结构的 r 值逻辑的发展而同时发展。

如前所述，有 19,683 个可能的三进制两位功能，并且 19,632 个是有用的。然而，当交换输入标记时，有些重复和/或镜像。

在 19,632 个三进制两位功能中, 这里仅叙述几个, 以提供 SUS-LOC 的操作和实用的有关例子。门中有些具有二进制类似, 而有些无单门二进制解或类似。这里叙述与周知的二进制 NAND、NOR 和 XOR 类似的门。还叙述五进制逻辑功能, 以主要表示能合成任何基的逻辑功能。使用基 5 可能有某些优点。并且, 三进制和五进制电路的设计参数示于表 Q, 具有根据标准 CMOS 参数表示的二进制功能的参数。

表 Q

逻辑系统	LSV	OP	V_0	V_1	V_2	V_3	V_4
三进制	2.5V	70%	0.0V	2.5V	5.0V		
五进制	2.0V	70%	0.0V	2.0V	4.0V	6.0V	8.0V

因为 MPF 实质上是相同基的两个或多个一位功能的组合, 所以 CGOR 和 CGAND 门提供示例电路, 通过该示例电路可以表示形成 MPF 的 OPF 的组合。在图 115 至图 117, 图 118 至图 120, 图 121 至图 123, 和图 124 至图 126 中, 分别表示了 $CGOR_3$, $CGAND_3$, $CGOR_5$ 和 $CGAND_5$ 的示意图、符号和卡诺图。而且, 幻象表示扩展三进制门所要求的元件。对应五进制门的扩展用类似方法实现。

$CGOR_3$ 和 $CGAND_3$ 门由每个输入项一个基 3 基-1 补码器构成, 各补码器的类似分支根据需要串联、并联或串并联设置, 以实现 CGOR 或 CGAND 的逻辑功能。图 115 和图 118 表示一个补码器由 Q2、Q4、Q6 和 Q7 构成, 而另一个补码器由 Q1、Q3、Q5 和 Q8 构成。

$CGOR_r$ 与 $CGAND_r$ 之间的不同是: 哪个复合分支(由终端分支构成)串联连接, 及哪个并联连接; 以及对于中间分支所形成的复合分支, 哪种沟道类型形成其串联部分, 及哪种沟道类型形成其并联部分。

在图 115 中, 串联布置的类似分支看作由 Q1 和 Q2 组成的终端分支所形成的复合分支。并联布置的类似分支看作由 Q7 和 Q8 组成的终端分支所形成的复合分支。串联/并联布置的类似分支看作由中间分支所形成的复合支路, 这些中间分支由串联 Q3 和 Q4 与并联 Q5 和 Q6 串联布置组成。

图 115 与图 118 的比较揭示了 $CGOR_3$ 与 $CGAND_3$ 之间的不同。

CGAND₃ 的示意图表示并联和串联终端分支倒置, 并且串联/并联复合分支之内的沟道类型倒置。

关于图 115 的 CGOR₃ 电路, 应该注意当输入 A 为 0 时, 输出 C 遵循输入 B 的补码。还应该注意当输入 A 为 2 时, 对任意输入 B, 输出 C 为 0。由于输入 A 和 B 可以互换, 所以相反也为真(用输入 B 代替输入 A, 反之亦然)。

CGOR 电路的电路元件是耗尽型 FET 和增强型 FET 的混合。一组 N 沟道增强型 FET 起中介作用, 把 V_0 传送到输出 C, 以控制 V_0 输出。一组结合的 P 沟道耗尽型 FET 和 N 沟道耗尽型 FET 起中介作用, 把 V_1 传送到输出 C, 以控制 V_1 输出。一组 P 沟道增强型 FET 起中介作用, 把 V_2 传送到输出 C, 以控制 V_2 输出。这些组 FET 用作识别输入, 以便控制和产生 CGOR 电路的适当输出。

如图 115 所示, V_0 通过并联连接的 N 沟道增强型 FET 与输出 C 连接。对各输入有一个对应的 N 沟道增强型 FET, 并且各输入的信号与对应的 FET 的栅极连接。FET 并联连接, 以便 FET 中仅有一个必须传导, 以使 V_0 的信号传送到输出 C。所有 V_0 FET 的 $V_{GS\ on}$ 是 3.25 伏(产生 3.25 伏的绝对栅阈值电压), 以便使 V_0 的信号传送到输出 C, 输入 A 或 B 必须在 V_2 。当输入 A 或 B 为 2 时, 这样对应于输出 C 的真表值。当输入 A 和输入 B 两者都为逻辑电平 1 或之下时, V_0 的信号不由 Q7 或 Q8 传送到输出 C。

两组相交电路起中介作用, 把 V_1 传送到输出 C。第一电路结构是一组 P 沟道耗尽型 FET, 与 1.75 伏的栅阈值电压 $V_{GS\ off}$ (产生 4.25 伏的绝对栅阈值电压)串联连接。第二电路结构是一组 N 沟道耗尽型 FET, 与 -1.75 伏的栅阈值电压 $V_{GS\ off}$ (产生 0.75 伏的绝对栅阈值电压)并联连接。两个电路结构相互串联连接, 以便第一电路结构的输出在达到输出 C 之前, 必须通过第二电路结构。两个电路结构的 FET Q4 和 Q5 都与输入 A 栅极连接。FET Q3 和 Q6 与输入 B 栅极连接。对于具有附加输入的 CGOR 电路, 两个电路结构的对应 FET 与它们对应的输入栅极连接。

当输入 A 或输入 B 为逻辑电平 2(或逻辑电平 1 之上)时, 具有其 P 沟道耗尽型 FET Q3、Q4 的第一电路结构用作防止 V_1 传送到输出 C。由于 Q3、Q4 串联连接, 所以在第一电路结构的任何 FET 上的任何逻辑电平 2 的输入都用作防止 V_1 传送到输出 C。仅当输入 A 和 B 都是逻辑电平 1 或之下时, 第一电路结构的 FET 才把 V_1 传导到第二电路结构。

当输入 A 或输入 B 为逻辑电平 1 或之上时, 具有其 N 沟道耗尽型 FET Q5、Q6 的第二电路结构用作允许 V_1 传送到输出 C。由于 FET 并联连接, 所以从任何输入(A, B, n...)中逻辑电平 1 或之上的任何输入, 都允许从第一 P 沟道耗尽型电路结构把 V_1 传送到输出 C。

第二电路结构具有一组 N 沟道耗尽型 FET Q5、Q6, 它们与 -1.75 伏的阈值电压(产生 0.75 伏的绝对栅阈值电压)并联连接。如果输入 A 或输入 B 为逻辑 1 或之上, 第二电路结构的至少一个 FET 将置于其传导方式, 以便第一电路结构的输出传送到输出 C。如果输入 A 和输入 B 两者都为逻辑电平 0, 第二电路结构中没有 FET 置于其传导方式, 并且第一电路结构无输出传送到输出 C。这样, 对于输入 A 和 B 两者都为逻辑电平 0, 第二电路结构防止了 V_1 传送到输出 C。于是对于输入 A 和 B 两者都在逻辑电平 0, CGOR 电路的电路响应仅由与 V_2 关联的串联电路传递。

仅当输入 A 和 B 两者都为逻辑电平 1 或之下时, 第一电路结构的 FET Q3、Q4 才把 V_1 传导到第二电路结构。当输入 A 和 B 两者都为逻辑电平 0 时, 与 V_1 连接的第一电路结构将把 V_1 传导到串联连接的 P 沟道耗尽型 FET Q3、Q4 的终端。虽然对于输入 A 和 B 两者都在 0, 电路应该仅在输出 C 以 V_2 作出响应, 但是如果保留未受制止, 将出现异常情况, 其中 V_1 和 V_2 两者都将传送到输出 C。对于输入 A 和 B 两者都在 0, 为了制止 V_1 传送到输出 C, 并联 N 沟道耗尽型 FET Q5、Q6 的第二电路结构与第一电路结构串联连接。

当输入 A 和输入 B 两者都为 V_0 时, CGOR 电路的输出为 V_2 。 V_2 源信号通过 P 沟道增强型 FET Q1、Q2 与输出 C 连接, FET Q1、Q2

一起传递 V_2 电路响应。对各输入有一个对应的 P 沟道增强型 FET, 并且各输入的信号与对应的 FET 的栅极连接。FET 相互串联连接, 以便为了把 V_2 源电压传送到输出 C, 所有 FET 必须都传导。所有 FET 的 $V_{GS\ on}$ 为 -3.25 伏(产生 1.75 伏的绝对栅阈值电压), 以便为了把 V_2 信号传送到输出 C, 输入 A 和 B 两者都必须为 V_0 。这种情况对应于当输入 A 和 B 两者都为逻辑电平 0 时, 输出 C 的真表值。当输入 A 或 B 在逻辑电平 0 之上时, 无 V_2 信号传送到输出 C。

CGOR 电路能扩展为处理任何输入数。一个这样的可能第三输入表示为输入 “n”, 该要求的附加电路在图 115 中用幻象表示。该附加要求电路符合 CGOR 电路的总体电路, 对两输入 CGOR 电路所提出的电路图形, 例如对以上输入 A 和 B 所提出的电路图形进行扩展。

对于 CGOR 电路所要求的各附加输入, 要求对各 CGOR 电路子结构有一个附加 FET。为了传递 V_0 输出, 一个附加 N 沟道耗尽型 FET 与对应于输入 A 和 B 以传递 V_0 输出的 FET 并联连接。为了传递 V_1 输出, 对第一串联电路结构和第二并联电路结构两者都要求一个附加类似 FET。一个附加 P 沟道耗尽型 FET 与第一电路结构的其他 FET 串联连接, 并且一个附加 N 沟道耗尽型 FET 与第二电路结构的其他 FET 并联连接。为了传递 V_2 输出, 一个附加 P 沟道增强型 FET 与对应于输入 A 和 B 以传递 V_2 输出的 FET 串联连接。附加 FET 的栅输入与对应的附加输入连接。即使对于附加的更多输入, CGOR 电路的响应特性也保持如表 C 的真表值一般所示。

应该注意 CGOR 电路怎样与一位功能电路的 F210 基-1 补码器电路(图 95)类似。通过移去与输入 B 关联的电路, CGOR 电路变成 F210 基-1 补码器电路。并且, 应该注意电路的串并联性质。把 V_0 传送到输出 C 的 CGOR 电路的那部分为并联, 传送 V_2 的部分为串联, 而传送 V_1 的部分具有一个与并联部分串联的串联部分。

下表表示对于不同的 A 和 B 输入, 个别晶体管 Q_n 的响应。那些保留空白的表输入项指示输入不控制该晶体管 Q_n 。

		Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
A	0		接通		接通		断开	断开	
	1		断开		接通		接通	断开	
	2		断开		断开		接通	接通	
B	0	接通		接通		断开			断开
	1	断开		接通		接通			断开
	2	断开		断开		接通			接通

对于图 118 的 $CGAND_3$ 电路, 应该注意当输入 A 为 0 时, 输出 C 总为 2。还应该注意当输入 A 为 2 时, 输出 C 遵循输入 B 的补码。由于输入 A 和 B 可互换, 相反也为真(用输入 B 代替 A, 反之亦然)。

一般来说, $CGAND$ 电路在响应和结构两方面是 $CGOR$ 电路的补充。在 $CGOR$ 电路使用并联 FET, 以把 V_0 传递到输出 C 的场合, $CGAND$ 电路使用串联 FET。在 $CGOR$ 电路使用串联 P 沟道耗尽型 FET 和并联 N 沟道耗尽型 FET, 以把 V_1 传递到输出 C 的场合, $CGAND$ 电路使用串联 N 沟道耗尽型 FET 和并联 P 沟道耗尽型 FET。在 $CGOR$ 电路使用串联 FET, 以把 V_2 传递到输出 C 的场合, $CGAND$ 电路使用并联 FET。通过检查图 115 和图 118 的电路示意图, 以及图 117 和图 120 的真值表, 可见补充 $CGOR$ 电路的 $CGAND$ 电路的其他特点。

如同 $CGOR$ 电路那样, $CGAND$ 电路的电路元件是耗尽型 FET 和增强型 FTE 的混合。一组 N 沟道增强型 FET 起中介作用, 把 V_0 传送到输出 C, 以控制 V_0 输出。一组结合的 N 沟道耗尽型 FET 和 P 沟道耗尽型 FET 起中介作用, 把 V_1 传送到输出 C, 以控制 V_1 输出。一组 P 沟道增强型 FET 起中介作用, 把 V_2 传送到输出 C, 以控制 V_2 输出。这些组 FET 用作识别输入, 以便控制和产生 $CGAND$ 电路的适当输出。

如图 118 所示, V_0 通过串联连接的 N 沟道增强型 FET Q7、Q8 与输出 C 连接。当所有输入为 V_2 时, $CGAND$ 电路的输出为 V_0 。对各输入有一个对应的 N 沟道增强型 FET, 并且各输入的信号与对应的 FET 的栅极连接。各 FET 与 V_0 输出电路组的另外串联连接的 FET 关联,

传递 V_0 电路响应。FET 串联连接, 以便所有 FET 都必须传导, 以使 V_0 的信号传送到输出 C。所有 FET 的 $V_{GS\ on}$ 是 3.25 伏(产生 3.25 伏的绝对栅阈值电压), 以便使 V_0 的信号传送到输出 C, 所有输入 A 和 B 两者都必须在 V_2 。当输入 A 和输入 B 两者都为 2 时, 这样对应于输出 C 的真值表值。当输入 A 或输入 B 为逻辑电平 2 之下时, 无 V_0 信号传送到输出 C。

两组相交电路结构起中介作用, 把 V_1 传送到输出 C。第一电路结构是一组 N 沟道耗尽型 FET Q3、Q4, 与 -1.75 伏的栅阈值电压 $V_{GS\ off}$ (产生 0.75 伏的绝对栅阈值电压)串联连接。第二电路结构是一组 P 沟道耗尽型 FET Q5、Q6, 与 +1.75 伏的栅阈值 $V_{GS\ off}$ (产生 4.25 伏的绝对栅阈值电压)并联连接。两个电路结构相互串联连接, 以便第一串联电路结构的输出在达到输出 C 之前, 必须通过第二并联电路结构。两个电路结构两者的一个 FET 都与输入 A 栅极连接。两个电路结构两者的一个 FET 都与输入 B 栅极连接。

当输入 A 或输入 B 为逻辑电平 0(或逻辑电平 1 之下)时, 具有其 N 沟道耗尽型 FET Q3、Q4 的第一电路结构用作防止 V_1 传送到输出 C。由于 FET Q3、Q4 串联连接, 所以在第一电路结构的任何 FET 上的任何逻辑电平 0 输入用作防止 V_1 传送到输出 C。仅当输入 A 和 B 两者都为逻辑电平 1 或之上时, 第一电路结构的 FET Q3、Q4 才把 V_1 传导到第二电路结构。

当输入 A 或输入 B 为逻辑电平 1 或之下时, 具有其 P 沟道耗尽型 FET Q5、Q6 的第二电路结构用作允许把 V_1 传送到输出 C。由于 FET 并联连接, 所以从任何输入(A, B, n...)中逻辑电平 1 或之上的任何输入, 允许从第一 N 沟道耗尽型电路结构把 V_1 传送到输出 C。

第二 V_1 电路结构具有一组 P 沟道耗尽型 FET Q5、Q6, 它们与 1.75 伏的阈值电压 $V_{GS\ off}$ (产生 4.25 伏的绝对栅阈值电压)并联连接。如果输入 A 或输入 B 为逻辑 1 或之下, 第二电路结构的至少一个 FET 将置于其传导方式, 以便第一电路结构的输出传送到输出 C。如果输入 A 和输入 B 两者都为逻辑电平 2, 第二电路结构中没有 FET 置于其传导

方式, 并且第一电路结构无输出传送到输出 C。这样, 对于输入 A 和 B 两者都为逻辑电平 2, 第二电路结构防止了 V_1 传送到输出 C。于是对于输入 A 和 B 两者都在逻辑电平 2, CGAND 电路的电路响应仅由与 V_0 关联的串联电路传递。

当输入 A 和 B 两者都为逻辑电平 2 时, 与 V_1 连接的第一电路结构将把 V_1 传导到串联连接的 N 沟道耗尽型 FET Q3、Q4 的终端。虽然对于输入 A 和 B 两者都在 2, 电路应该仅在输出 C 以 V_0 作出响应, 但是如果保留未受制止, 将出现异常情况, 其中 V_1 和 V_2 两者都将传送到输出 C。对于输入 A 和 B 两者都在 2, 为了制止 V_1 传送到输出 C, 并联 P 沟道耗尽型 FET Q5、Q6 的第二电路结构与第一电路结构串联连接。

当输入 A 或输入 B 为 V_0 时, CGAND 电路的输出为 V_2 。 V_2 通过并联连接的 P 沟道增强型 FET Q1、Q2 与输出 C 连接, 并且为了把 V_2 传送到输出 C, 仅有一个必须由其栅极输入置于传导方式。对各输入有一个对应的 P 沟道增强型 FET, 并且各输入的信号与对应的 FET 的栅极连接。所有 FET 的 $V_{GS\ on}$ 为 -3.25 伏(产生 1.75 伏的绝对栅阈值电压), 以便为了把 V_2 信号传送到输出 C, 任一输入 A 或 B 必须为 V_0 。这种情况对应于当输入 A 或 B 为逻辑电平 0 时, 输出 C 的真表值。当输入 A 和 B 两者都在逻辑电平 0 之上时, 无 V_2 信号传送到输出 C。

CGAND 电路能扩展为处理任何输入数。一个这样的可能第三输入表示为输入 “n”, 具有图 118 中幻象所示的附加要求电路。该附加要求电路符合 CGAND 电路的总体电路, 对两输入 CGAND 电路所提出的电路图形, 例如对以上输入 A 和 B 所提出的电路图形进行扩展。

对于 CGAND 电路所要求的各附加输入, 要求对各 CGAND 电路子结构有一个附加 FET。为了传递 V_0 输出, 一个附加 N 沟道增强型 FET 与对应于输入 A 和 B 以传递 V_0 输出的 FET 串联连接。为了传递 V_1 输出, 对第一串联电路结构和第二并联电路结构两者都要求一个附加类似 FET。一个附加 N 沟道耗尽型 FET 与第一电路结构的其他 FET 串联连接, 并且一个附加 P 沟道耗尽型 FET 与第二电路结构的其他 FET

并联连接。为了传递 V_2 输出，一个附加 P 沟道增强型 FET 与原始并联连接的 FET 并联连接，并与输出 C 连接，该 FET 的源极在 V_2 ，而其栅极与其对应的输入连接。即使对于附加更多输入，CGAND 的响应特性也保持如图 120 的真表值一般所示那样相同。

应该注意 CGAND 电路怎样与一位功能电路的 F210 基-1 补码器电路(图 95)类似。通过移去与输入 B 关联的电路，CGAND 电路变成 F210 基-1 补码器电路。并且，应该注意电路的串并联性质。把 V_0 传送到输出 C 的 CGAND 电路的那部分为串联，传送 V_2 的部分为并联，而传送 V_1 的部分具有一个与并联部分串联的串联部分。在 CGAND 电路到 CGOR 电路中存在类似处。检查两个电路示意图(图 118 和图 115)，表示了结构方面的不同，它导致两个电路的不同操作特性。

下表表示对于不同的 A 和 B 输入，个别晶体管 Q_n 的响应。那些保留空白的表输入项指示输入不控制该晶体管 Q_n 。

		Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
A	0		接通		断开		接通	断开	
	1		断开		接通		接通	断开	
	2		断开		接通		断开	接通	
B	0	接通		断开		接通			断开
	1	断开		接通		接通			断开
	2	断开		接通		断开			接通

非补码逻辑电路也可通过 SUS-LOC 实现。由于目前可用开关的操作方式的原因，如上所示，考虑非逆向序列，单级电路的输出电压必须以电路的输入电压的相对方向移动。因此 MPF 的基本单级功能产生补码或转换输出，以便避免异常通路。为了获得一个逻辑功能，其输出不是其输入的补码或逆向序列，有必要附加基-1 补码器或另外一位功能。为了产生不是功能的输入的补码或逆向的逻辑电平，这是大多数 MPF 的情况。

SUS-LOG 的这个品质不取决于基，并且由于开关操作引起。如果这样的开关不易受到反向偏置，能省略防止这样的反向偏置的附加

OPF。另外，SUS-LOC 逻辑电路结构的这个固有特点指示组合电路的适当规划和设计是必要的，以保证具有最小元件、较低功率要求和较短传播延迟时间的最佳设计。

非补码逻辑的一例是图 127 和图 128 分别所示的二进制 NAND 与 AND 门的 CMOS 实现之间的不同。注意 AND 门实际上是加有反相器的 NAND 门。

为了形成非补码或非转换逻辑功能，简单地对基本逻辑功能加一个基-1 补码器或另一个适当基的 OPF，作为一个前调节器或后调节器。这样将产生希望的输出序列。图 129 至图 131 和图 132 至图 134 分别所示的 GOR_3 和 $GAND_3$ 通过这个后调节法实现。在这些电路中，对基本 GOR_3 和 $GAND_3$ 门的输出加以基-1 补码器。

附加级

对 SUS-LOC 电路添加附加级的过程和结果电路提供对 SUS-LOC 的构造和设计的洞察。

图 135 表示两项三进制 Σ 门的 SUS-LOC 实现。项 SUS-MOS 指的是 SUS-LOC 的一个实施例，它使用具有专用源电压的单向 FET。例如用于 SUS-LOC 的那些 FET 对于 P 沟道和 N 沟道 FET，分别从更正或负电压取得它们的源。

图 136 至图 144 表示 Σ 门，对于输入逻辑电平的九个组合中的各个，分别用粗线表示预期通路，而用点线表示异常通路。并且，图 136 至图 144 表示卡诺图，幻象是未选择的输入和输出位置。另外，所有异常通路示于表 R。

表 R

SUS-LOC Σ 异常通路

图#	输入		输出	选择或希望 的通路	按分支号的异 常通路(B#)
	A	B			
1	0	0	0	9	1, 2, 3, 5, 6
2	1	0	1	5	1, 2, 9
3	2	0	2	2	5, 9
4	0	1	1	6	1, 3, 9
5	1	1	2	1	5, 6, 9
6	2	1	0	8	4
7	0	2	2	3	6, 9
8	1	2	0	7	3, 4
9	2	2	1	4	7, 8

因为 SUS-LOC 电路不考虑 FET 的源电极和漏电极由置于它们之上的电压的大小或极性确定, 所以如果用目前可得到的 FET 实际实现, 则发生不希望有的传导(或异常通路)。对于 P 沟道 FET, 源电极是两个电极中的更正; 对于 N 沟道 FET, 源极更负。因此, 输出电压或逻辑电平能交换用于形成分支的 FET 的源极和漏极。当 SUS-LOC 形成一种极好装置, 利用它可以实现多值逻辑时, 必须以另一种方式解决专用源 FET 的明显缺少。如下利用附加级所示, SUS-LOC 提供这样的方式。

如果在 SUS-MOS 设计中使用目前可得到的 FET, 当发生源/漏极交换时, 输入逻辑电平可能没有足够大小, 以防止未选择的分支传导, 并且产生异常通路。图 136 表示分支 2 为异常通路, 并且用于以下说明源/漏交换的例子。

在 $A = 0$, $B = 0$ 的输入逻辑电平下, 选择的分支是分支 9, 它把逻辑 0, V_0 , 零伏传导到输出端, 如图 136 粗线所示。因为分支 2 也与输出端连接, 所以由分支 9 传导的电压置于一个 P 沟道增强型晶体管 QB 的漏极。在栅电压为零下, 因为 QA 起一个把 QB 的源极与 V_2 ,

5 伏连接的非常大的电阻器作用, 所以 QB 偏置传导。QB 于是从输出端把 V_0 传导到 QA。

因为 QA 是 N 沟道器件, 并且由 QB 传导的电压(V_0)比 V_2 电源电压更负, 所以 QA 的源电极现在是与 QB 连接的电极。在 0 伏的“新”源电压下, QA 的输入或栅电压($A = 0$)不足够低, 以断开 QA, 因为 V_0 ($A = 0$)不是 QB 的 V_0 “源”之下的 -1.75V。在 QA 的源/漏交换下, 分支 2 把 V_2 传导到输出端。在分支 9 和分支 2 两者都传导下, 从 V_2 到 V_0 通过分支 2 和 9 的 FET, 有非常高的电流。这个异常通路还引起 $V_2 - V_0/2$ 的错误输出电压。

同样, 分支 3、5 和 6 如下产生通路。在 $A = 0$, $B = 0$ 输入下, 分支 9 把 V_0 传送到输出及与输出连接的所有分支(包括分支 3, 5 和 6)。

对于分支 3, V_0 输出传送到 QD 的漏极, QD 是一个具有 -1.75 伏的栅阈值的 N 沟道耗尽型 FET。由于它是一个 N 沟道 FET, 所以从置于其电极(那些在当前条件下起源极和漏极作用的电极)的更负电压取得它的源。由于 V_0 小于 V_2 , 所以它成为 QD 的源, 并且由于 $B = 0$ (V_0)不是 V_0 之下的 1.75 伏, 所以 QD 打开并传导。

对于 QC, 在 QC 的 P 沟道增强型 FET(具有 -3.25 伏的栅阈值电压)上, $A = 0$ 的输入打开 QC, 以便它把 V_2 传导到 QD。当 $A = 0$ 和 $B = 0$ 时, 由于 QC 和 QD 两者都打开, 所以从分支 3 的 V_2 源到分支 9 的 V_0 源, 有一个异常通路。

对于分支 5, V_0 输出传送到 QG, QG 是一个具有 -0.75 伏的栅阈值电压的 P 沟道增强型 FET。由于 QG 是一个 P 沟道 FET, 它从作用在其非输入/非栅电极上的更正电压取得其源。由于 QG 的另一侧上的电压是 V_1 (直接传导或通过 QE 和/或 QF 的关闭 FET 条件下的高电阻), 所以 QG 从 V_1 取得其源电压。由于 $B = 0$ (V_0)是 V_1 之下的 -0.75 伏, 所以当 $A = 0$, $B = 0$ 时, QG 打开并把 V_0 传导 QF。

QF 是一个具有 -1.75 伏栅阈值电压的 N 沟道耗尽型 FET。它从 V_1 或 V_0 中取得较小者, 在本情况下为 V_0 , 作为其 N 沟道 FET 的源。由于 QF 取得其源 V_0 , 所以 $A = 0$ 的输入(V_0)不是 V_0 之下的 1.75 伏。因

此, QF 打开并从其源极到漏极传导。

QE 是一个具有 1.75 伏栅阈值电压的 P 沟道耗尽型 FET。由于 QE 是一个 P 沟道 FET, 所以它从 V_1 或 V_0 中取得较大者, 在本情况下为 V_0 , 作为其源。由于 $A = 0(V_0)$ 不是大于 V_1 的 1.75 伏。所以 QE 打开并把 V_1 从其源极传导到漏极。

由于所有三个 FET(QE、QF 和 QG)都打开, 所以分支 5 的电压源 V_1 传导到输出, 同时分支 9 的源电压(V_0)也传到输出。如对于分支 2 类似地叙述, 出现一个具有高电流和错误输出电压的异常通路。

关于分支 6, 当 $A = 0$, $B = 0$ 时, 发生类似情况。QJ 是一个具有 1.75 伏的栅阈值电压的 P 沟道耗尽型 FET。由于 QJ 是一个 P 沟道 FET, 所以它从其非输入/非栅电极中的任一更正取得其源。虽然 QH 和 QI 可以起非常大电阻器的作用, 但是作为分支 6 的源的 V_1 将作用在 QJ 电极中的一个上, 分支 9 的 V_0 输出作用在另一个上。QJ 于是取得 V_1 和 V_0 中更正者, 在本情况下为 V_1 , 作为其源。在 QJ 上的 $B = 0$ 的输入不是 V_1 之上的 1.75 伏, 并且 QJ 接通, 从而把 V_0 传导回 QI。

QI 是一个具有 -1.75 伏的栅阈值的 N 沟道耗尽型 FET。 V_1 施加其非输入电极中的一个上, 而 V_0 (通过 QJ) 施加在另一个电极上。由于 QI 是 N 沟道 FET, 所以它取 V_1 和 V_0 中更正者, 在本情况下为 V_0 , 作为其源。由于 QI 上的 $B = 0$ 的输入不是 V_0 之下的 1.75 伏, 所以 QI 打开并把 V_0 传到 QH。

QH 是一个具有 0.75 伏的栅阈值的 P 沟道增强型 FET。由于是一个 P 沟道 FET, 所以它从 V_1 或 V_0 中取更正者, 在本情况下为 V_1 , 作为其源。由于 $A = 0$ 的输入是小于 V_1 的 0.75 伏, 所以 QH 接通, 把 V_1 传送到(通过 QI 和 QJ)输出, 同时具有分支 9 的 V_0 输出。如分支 2 那样, 出现一个具有对应的高电流和错误输出电压的异常通路。

如上所示, 在 SUS-LOC 电路中会出现异常通路, 这些 SUS-LOC 电路没有考虑 N 和 P 沟道 FET 的特性, 以分别取施加在它们的电极上的更负或更正电压作为它们的源。随着单向 FET 的发展, SUS-LOC 的 SUS-MOS 实施例认为是 SUS-LOC 的非常有用和有利的实施例。

然而, 关于这一点, 这样的专用源(或单向)FET 的明显不可用性要求对用于 SUS-LOC 电路中的晶体管或开关作出适应。图 138 至图 144 表示有关期望输出和异常通路以及卡相关诺图值。这些图认为是足够自说明性的, 以便在评价 FET 传导时, 上述评价过程能适用于这些电路结构。

按同样方式, 可见在图 136 至图 144 和表 R 中, 至少对于输入逻辑电平的一个组合, 所有九个分支变成一个异常通路。因为异常通路引起非常高的电流和不适当的输出逻辑电平, 所以必须采取措施, 以防止异常通路发生。在 SIGMA 电路中能防止这样的异常通路的方法和设计, 适用于所有 SUS-LOC 电路。

为了防止异常通路发生, 要求一个附加单级 OPF 和/或晶体管替换, 以保证各分支的各晶体管的适当接通和断开。这可以通过用两个晶体管 OPF 替换一个分支晶体管完成, 使其输出驱动适当传导的晶体管的栅极。

被替换的分支晶体管的绝对阈值电压与它所传导的电源电压有关。绝对阈值电压与电源或源电压之间的不同是所述 FET 的栅阈值电压 $V_{GS(TH)}$, 因为绝对阈值电压等于源电压加栅阈值电压。用作替换的一部分的 OPF 的晶体管中一个的阈值电压, 设定为被替换的晶体管的阈值的绝对电压。形成 OPF 的另一个晶体管的阈值是被替换的晶体管的对应补充阈值电压。替换传导晶体管的阈值应该低, 以帮助保持输出的对称性。

图 145 至图 152 表示替换集, 它们由单级 OPF 和传导晶体管组成, 对于三进制逻辑门, 具有 5V 的 V_{r-1} , 2.5V 的 LSV(逻辑步进电压), 和 70% 的 OP, 并且图编号与表 S 所示的被替换的传导晶体管有关。

表 S

沟道	型号	阈值	传导	图#
N	耗尽	-1.75	V1	145
N	耗尽	-1.75	V2	146
N	耗尽	-4.25	V2	147
P	耗尽	+1.75	V1	148
P	耗尽	+1.75	V0	149
P	耗尽	+4.25	V0	150
N	增强	+0.75	V1	151
N	增强	+0.75	V0	不需要
N	增强	+3.25	V0	不需要
P	增强	-0.75	V1	152
P	增强	-0.75	V2	不需要
P	增强	-3.25	V2	不需要

在表示替换集的图中，被替换的晶体管的有关阈值电压转换为与 V_0 或 V_{r-1} 有关的电压，它等于被替换的晶体管的绝对阈值电压。通过如此选择这样的阈值电压，保存了电路的响应特性(即 FET 接通和断开的点)。例如，如果被替换的晶体管是 P 沟道耗尽型，它传导以+1.75 的阈值电压传导 V_1 ，该阈值电压等同于 4.25 伏的绝对电压，那么替换集 OPF 晶体管中的一个将具有一个等于 4.25 伏绝对电压的有关阈值电压。图 148 表示这样的替换集。在图 145 至图 152 中，用粗体表示被替换晶体管所传导的重新计算的有关阈值电压和电压，并且在表 S 中列出。在表 S 的图编号列中，不需要替换的晶体管具有文字“不需要”。

表 T 表示根据源电压(“传导”)和型号对表 S 的排序。

表 T

沟道	型号	阈值	传导	图#
P	耗尽	+4.25	V0	150
P	耗尽	+1.75	V0	149
P	耗尽	+1.75	V1	148
N	耗尽	-1.75	V1	145
N	耗尽	-1.75	V2	146
N	耗尽	-4.25	V2	147
N	增强	+0.75	V1	151
P	增强	-0.75	V1	152
N	增强	+0.75	V0	不需要
N	增强	+3.25	V0	不需要
P	增强	-0.75	V2	不需要
P	增强	-3.25	V2	不需要

应该注意，对于任何基的任何逻辑功能的分支中的晶体管，能设计和制造这样的替换集。

为了表示替换级的使用是功能性的，图 153 表示用一个 N 沟道耗尽型晶体管的替换集，替换图 136 中的分支 2 的 QA，该晶体管具有-1.75 的阈值电压，并且传导 V_2 ，逻辑 2，5 伏电压，如图 146 所示和表 T 所列。

使用如上例相同的输入条件， $A=0$ ， $B=0$ ，则分支 9 再次被选择，并且把 V_0 ，逻辑 0，0 伏传导到输出端。QB 的漏极与输出端连接并且传导，因为替换 QA(Q_{AR})起一个非常大电阻器作用，并且 QB 的栅电压在其阈值电压之下。在 QB 接通下，输出电压(V_0)置于替换 QA 的漏极上。然而，和以上源/漏交换例子不同，通过分支 2 没有异常通路。

输入 A 把电压 V_0 ，逻辑 0，0 伏传送到 QOPF1 和 QOPF2 的栅极。 V_0 输入超过 QOPF1 的阈值电压，并且 QOPF1 把 V_2 传导到替换 QA 的栅极。QA 保持断开并且不传导，因为 Q_{AR} 的输入 V_2 既不是 V_2 (存在于替换 QA 的一个电极上)之下的 0.75 伏，也不是 V_0 (存在于 Q_{AR} 的

另一个电极上)之下的 0.75 伏。由于 QA_R 是 P 型 FET, 所以作为最高电压的 V_2 源控制 FET QA 的源极。在 QA 断开下, 没有通过分支 2 的异常通路。

用其对应的替换集(表 T 所示及图 145 至图 152 所示)替换经历源/漏交换(在一定的输入对输出条件下, 引起分支成为异常通路)的各晶体管, 保证异常通路不会发生。图 154a 和图 154b 表示两个输入三进制 Σ 门, 使所有经历源/漏交换的晶体管用对应的替换集替换。结果是一个没有异常通路的功能 56 晶体管两输入三进制 Σ 门。因此, 多值逻辑 Σ 电路提供可以实现三进制加法的装置。

因为减少元件数总是希望的, 所以对于能加以组合以减少元件数, 以增加制造和电路响应效率的共元件, 检查三进制 Σ 。

首先值得注意的共元件是替换集的 OPF, 例如用于分支 2 的 OPF, 它和用于分支 4 的 OPF 相同, 并且用于分支 3 的 OPF 和用于分支 4 的另一个 OPF 相同。阈值电压相同。于是对于 A 输入有两个同样的 OPF, 并且对于 B 输入有两个同样的 OPF。因为分支 2 中的输入 A OPF 的输出和分支 4 中的输入 A OPF 的输出相同, 所以仅要求一个 OPF, 以驱动两个分支的传导晶体管, 并且相同情况对于输入 B OPF 保持为真。OPF 的这个共性可以在几个分支中见到。

通过仅使用每个输入项的共 OPF 中的一个, 并且把其输出与该共 OPF 驱动的适当晶体管连接, 则要求较少的 OPF。图 155a 和图 155b 表示分支 2、3 和 4 的输入 A 和输入 B OPF 的共 OPF。

图 156a 和图 156b 表示在分支 1、5 和 6 的共 OPF 结合之后的 Σ 门。

图 157a 和图 157b 表示在分支 5、6 和 7 的共 OPF 结合之后的 Σ 门。并且图 158 表示在分支 5、6 和 9 的共 OPF 结合之后的 Σ 门。

检查图 158 所示的电路, 对于 A 或 B 输入所驱动的共 OPF 的阈值电压具有对称性。与产生 A2 和 A3 信号的阈值电压那样, 产生 A1 和 A4 信号的阈值电压明显地相互互换。对于 B 输入的共 OPF 的阈值电压, 也可见到这个相同图形。因为这种明显的对称性, 给出一个表,

表示逻辑 $0 \dots r-1$ 的 $A(B)$ 输入值, 和对于各输入值的四个 OPF 各自的输出值, 以帮助发现可能存在的任何图形。这个表表示为表 U。

表 U

输入 $A(B)$	输出 $A1(B1)$	输出 $A2(B2)$	输出 $A3(B3)$	输出 $A4(B4)$
0	2	2	2	2
1	2	0	2	0
2	0	0	0	0

检查四个 OPF 输出序列, 指示 $A1(B1)$ 和 $A3(B3)$ 输出序列相同, 而且 $A2(B2)$ 和 $A4(B4)$ 输出序列也相同。对于 0 1 2 的输入序列, $A1(B1)$ 和 $A3(B3)$ 输出序列是 2 2 0, 并且这样匹配三进制一位功能 $F220_3$ 的输出序列。对于 0 1 2 的输入序列, $A2(B2)$ 和 $A4(B4)$ 输出序列是 2 0 0, 并且这样匹配三进制一位功能 $F200_3$ 的输出序列。

因为 $A1(B1)$ 和 $A3(B3)$ 输出序列匹配 $F220_3$ 的输出序列, 所以产生 $A1(B1)$ 和 $A3(B3)$ 信号的 OPF 能用一个单 $F220_3$ 来替换, 以产生与图 158 中标记为 $A1(B1)$ 和 $A3(B3)$ 的所有晶体管连接的 $A/220$ 和 $B/220$ 信号。类似地, 产生 $A2(B2)$ 和 $A4(B4)$ 信号的两个 OPF 能用一个单 $F200_3$ 来替换, 以产生与图 158 中标记为 $A2(B2)$ 和 $A4(B4)$ 的所有晶体管连接的 $A/200$ 和 $B/200$ 信号。图 159 表示 Σ 电路, 分别用 $F220_3$ 和 $F200_3$ OPF 替换 $A1(B1)$ 和 $A3(B3)$, 以及 $A2(B2)$ 和 $A4(B4)$, 并且现在对晶体管编号。因此, 各输入至多需要两个 OPF: 一个 $F200$ 和一个 $F220$ 。在图 159 的 SIGMA 电路中有 32 个 FET, 它们全部是增强型。

在构造 SIGMA 电路时, 某些附加最优化是可能的, 包括: 重新布置, 将允许输出驱动器的 FET 用于替换 OPF; 减少手段, 例如改变几个阈值电压, 以对 A 和 B 输入消除 OPF 中的一个或两者; 一种方式, 用基-1 补码器或另一个具有较低动态功率消耗的 OPF 替换 OPF, 或简单地减小电路的动态功率要求和元件数。

当 A 和 B 输入逻辑电平两者都为 0, 并且驱动它们的栅极的 OPF 的输出逻辑电平为逻辑 2 时, 分支 9 的晶体管 Q23 和 Q24 才接通。因

此, 这两个晶体管的阈值电压能增加到+3.25 伏, 以当分支 9 接通或断开时, 减小动态功率要求。类似地, 当 A/220 或 B/220 信号为逻辑电平 0 时, 分支 2 的 Q5(由 A/220 信号驱动)和分支 3 的 Q8(由 B/220 信号驱动)才接通。因此, Q5 和 Q7 的阈值电压的大小能增加到-3.25 伏, 而且当分支 2 或 3 接通或断开时, 减小动态功率要求。对于分支 7 和 8 的 Q18 和 Q22, 能见到这种情况。这些阈值电压也能增加到+3.25 伏(图 160)。

分支 2 和 3 的晶体管 Q6 和 Q7 分别由输入 B 和 A 直接驱动, 并且当关联输入为逻辑电平 0 时, 才接通, 以传导 V_2 。仅当输入逻辑电平为 0 时, 产生 A/200 和 B/200 信号的 OPF 的输出才为逻辑电平 2 或 V_2 , 并且能用于替换这些分支晶体管, 以对分支的另一个晶体管提供 V_2 。为了实行这一点, 分支 2 的 Q5 和 Q6 需要重新安排, 以便由 B 输入直接驱动的晶体管是从 V_2 的串联晶体管的第一个, 好像分支 3 的 Q7 由 A 输入直接驱动, 并且是从 V_2 的串联晶体管的第一个(图 161)。

与直接由输入 A 和 B 驱动的分支 2 和 3 的晶体管类似, 分支 7 和 8 的 Q19 和 Q20 由输入 A 和 B 直接驱动。Q19 和 Q20 各有+3.25 的阈值, 并且仅当输入为逻辑电平 2 时才接通, 并且传导 V_0 。因为仅当输入逻辑电平为 2 时, 产生 A/220 和 B/220 信号的 OPF 的输出为逻辑电平 0, 所以这些输出能用于替换 Q19 和 Q20, 以对分支中的其他晶体管提供 V_0 。分支 8 要求重新布置, 以便 Q20 是从 V_0 的串联中的第一个, 如分支 8 中的 Q19 那样。这些情况也示于图 161。

因为整个电路的输出与驱动输出的晶体管的栅极连接, 所以在图 161 所示电路中增加了不希望有的振荡和噪声感受性的可能。并且, 当 OPF 的输出用于替换分支晶体管时, 那么为了提供较大输出, OPF 晶体管的尺寸较大。

其他电路

通过 SUS-LOC 可以实现附加逻辑功能电路。一个等同发生器(EQ_r) 在供给其输入端的逻辑电平等于和大于零时, 产生一个不同于零的输出。图 162 至图 164 表示一个两位 EQ 的示意图、符号和卡诺图。

一个两位 EQ_3 具有两个基-1 补码器，附加两个复合分支和一个后调节基-1 补码器，或简单地一个如图 10 所示的 CEQ_3 ，对其输出基-1 补码。复合分支中的一个由 $Q9$ 和 $Q11$ 构成，而 $Q14$ 和 $Q16$ 形成另一个复合分支。当一个输入供给逻辑电平 $r-1$ ，而另一个输入供给小于 $r-1$ 的逻辑电平时，这两个附加分支产生零的适当输出逻辑电平。在三进制两位 EQ 的情况下，这样总计 $A=2$ 和 $B=1$ 的输入，反之亦然。如果一个输入是逻辑电平 0，那么 $Q1$ 和/或 $Q2$ 将与两个附加复合分支中的一个并联传导。

利用两个具有互异优点的方法中的一个，完成 EQ_3 的扩展。第一方法在图 162 中用幻象元件表示。第二方法在以下组合逻辑叙述中讨论和表示。

MPF 的 λnn 串产生一个双电平输出。当基大于二时，各 λnn 门产生一个双电平输出，它是两个逻辑电平的几个可能组合中的一个。图 165 表示 λnn 的编号方法的基本符号和说明。

主要关心的是 $\lambda 01$ ，其示意图、符号和卡诺图示于图 166 至图 168。如图 168 卡诺图所示，当对所有输入提供逻辑电平零时， $\lambda 01$ 产生 1 的输出逻辑电平，否则输出逻辑电平为 0。

以下功能是没有具体地命名，但是在处理多值功能逻辑时用作有用目的的功能。

功能#15,309₃。这个 MPF 是无名的，在于它不对应于已知二进制功能。图 169 至图 171 表示它。这个门有用作数据控制门，并且其使用在以下组合逻辑叙述中表示和讨论。当 B 输入是逻辑 0 的时候，#15,309₃ 门的输出是 A 输入的基-1 补码。当 B 输入是逻辑 1 或 2 时，输出是逻辑 0。图 171 的卡诺图表示这种情况。

功能#19,542₃。这个 MPF 目前是无名的，并且在图 172 至图 174 中表示。这个门有用作数据控制门。当 B 输入大于 0 的时候，#19,542₃ 门的输出是 A 输入的基-1 补码。当 B 输入是 0 时，输出是逻辑 2。图 174 的卡诺图表示这种情况。

功能#140₃。对#19,542 的输出添加基-1 补码器，构成一个#140₃ 门。

图 175 至图 177 表示 $\#140_3$ 门。在以下锁存器和寄存器的叙述中,更详细地叙述它。当 B 输入大于 0 的时候, $\#140_3$ 门的输出是 A 输入的等同。当 B 输入是 0 时,输出是逻辑 0。图 177 的卡诺图表示这种情况。

功能 $\#19,677_3$ 。图 178 至图 180 表示这个 MPF。这个门也有用作数据控制门。见以下组合逻辑叙述。当 B 输入是逻辑 2 的时候, $\#19,677_3$ 门的输出是 A 输入的基-1 补码。当 B 输入是逻辑 0 或 1 时,输出是逻辑 2。图 180 的卡诺图表示这点。

组合逻辑

以下叙述主要集中在三进制逻辑系统的功能上,连带参考几个五进制(基 5)和二进制。另外,所提出的电路和讨论中的大部分取这样形式,它被用于合成二进制逻辑的 CMOS 或其他电路结构的领域内的普通技术人员所理解。因此,未来的增强是可能的和可预知的。

术语“组合逻辑”指示根据需要,使用选择的 OPF 和/或 MPF,以实现基于输入逻辑状态的希望输出(存储器元件的使用除外)。一般地,逻辑功能为相同的基。如前那样,混合基电路是可能的,但是更精致。通过组合逻辑,可以希望和实现多于一个的逻辑功能、输出和/或输入逻辑状态。

用于数字系统的公用逻辑块中的大部分使用形成“ n 取 1 选择器”的组合逻辑电路。在这些公用逻辑电路中是多路器、多路分解器和地址解码器。其他组合逻辑电路包括输入或输出调节器,例如那些对求积分输入解码的电路。另外, $r+1$ 状态输出驱动器(由于二进制逻辑的统治,这些驱动器目前成为三态驱动器)认为是组合逻辑电路。并且,对于包括顺序和时钟顺序逻辑(包括存储元件)的更复杂逻辑功能,要求组合逻辑电路。存储元件的使用限定为“顺序”或“时钟顺序”逻辑。

几个组合电路使用以上一位和多位功能叙述中表示的逻辑功能。这里叙述的组合电路不应该解释为唯一可能的组合。由于能够设计和制造任何基的任何逻辑功能,所以数十亿的组合逻辑电路是可能的。

SUS-LOC 允许创建电路,这些电路起 n 输出取 1 的选择器的作用。 n 取 1 选择器可能是最常用的组合逻辑电路,因为它是多路器、多路

分解器、静态和动态存储器的一个整体部分，并且在 CPU 的“指令解码器/定序器”部分中发现。n 取 1 选择器实际上到处存在，它在这里叙述。

n 取 1 选择器从多于 r 个可能中选择 1，它具有每个输出一个 MPF，和足够的 OPF，以对地址输入的每一位产生 r 个可能逻辑电平。二进制实现对每个输入位使用两个反相器。第一反相器用作输入缓冲器和输入的“下一个状态发生器”两者。第二反相器由第一反相器驱动，用作输入缓冲器的“下一个状态发生器”。这个方案使输入缓冲，以减小电路的负载影响，并且产生二进制输入的两个逻辑状态。

基大于二的类似电路能遵照相同方案。一个 r 值一位功能用作一个输入缓冲器，并且 r 值“下一个状态发生器”或“前一个状态发生器”对于地址输入的每一位，产生 r 个可能的逻辑电平。在二进制逻辑系统中，基-1 补码、下一个状态和前一个状态相同(即逻辑 1 的 1 的补码是 0，逻辑 1 的下一个状态是 0，以及逻辑 1 的前一个状态是 0)。

图 181 表示一个三位二进制 8 取 1 选择器，而图 182 表示一个使用相同方案的两位三进制地址解码器或 9 取 1 选择器。图 181 和图 182 电路的真值表分别示于表 V 和表 W。

表 V

输入			输出(当逻辑 1 时选择)							
B ⁰	B ¹	B ²	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

表 W

输入		输出(当逻辑 0 时选择)								
T^0	T^1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8
0	0	0	2	1	2	2	2	1	2	1
1	0	1	0	2	2	2	2	1	1	2
2	0	2	1	0	2	2	2	2	1	1
0	1	1	2	1	0	2	1	2	2	2
1	1	1	1	2	1	0	2	2	2	2
2	1	2	1	1	2	1	0	2	2	2
0	2	2	2	2	1	1	1	0	2	1
1	2	2	2	2	1	1	2	1	0	2
2	2	2	2	2	2	1	1	2	1	0

为了减少三进制 9 取 1 选择器所要求的元件数, GOR_3 门能用 $\lambda 01$ 门替换。然而, 逻辑电平 0 和 1 必须是唯一要求的输出逻辑电平。 $\lambda 01$ 的输出是逻辑 1, 以指示选择, 和逻辑 0, 以指示非选择。如果使用 $\lambda 01$ 门, MPF 的晶体管数减少 50%。

SUS-LOC 还提供具有等同功能的互异或的电路。一个逻辑功能是一个“等同互异”功能, 当对其所有输入供给相同逻辑电平时, 它产生一个零的输出逻辑电平, 而当其输入不相同时, 它产生一个不同于零的逻辑电平。基 r 的每个逻辑系统包含与二进制“异”门(XOR)类似的功能。

另外, 通过 SUS-LOC 可得到等同互异“广义 OR”电路。当基大于二时, 二进制 XOR 的类似功能是“等同互异广义 OR”($XGOR_r$)。并且, 当基大于二时, 可能有一个 $XGOR_r$ 的互换功能“等同互异广义 OR”($XGOR_r$)和几个其他功能。表 X 表示 $XGOR_3$ 卡诺图。图 183 和图 184 分别表示二进制“异”门示意图和卡诺图。

表 X

		A		
		0	1	2
B	0	0	1	2
	1	1	0	2
	2	2	2	0

图 185 表示用和二进制“异”类似的组合结构装配的 $XGOR_3$ 。这两个电路之间的主要不同是用 EQ_3 和 $F200_3$ 电路代替 $GAND_3$ 和基-1 补码器($F210_3$)，而不是基不同。这是因为该功能将是“等同互异”，并且因此具有不同的响应特性。图 186 和图 187 分别表示 $XGOR_3$ 的符号和卡诺图。

通过 SUS-LOC 还可得到高阻抗输出状态($r+1$ 状态)电路。一个电路是一个 $r+1$ 态驱动器，它在启动时对输出端提供 r 个不同逻辑电平中的一个，而在禁止时提供高阻抗。这样的二进制器件的目前名字是“三态”。实现高阻抗状态的两个其他方法称为“断开集电极”和“断开漏极”，这两种方法各自要求一个外部负载电阻器。然而，当基大于二时，建议驱动器全有源，因为对 r 个不同逻辑电平中的一个使用外部电阻元件，添加到输出负载。

遵循如三态驱动器的相同方案，实现 $r+1$ 态驱动器要求两个基 r 的 OPF、一个 GOR_r 和一个 $GAND_r$ ，用于“数据和启动/禁止”逻辑，和基 r 的任何单级(或两个级的最后级)OPF，作为输出驱动器。对于为输出驱动器而选择的 OPF，形成它的晶体管的栅极与 GOR_r 和 $GAND_r$ 的输出连接。连接为这样，以便当禁止时， GOR_r 和 $GAND_r$ 的输出逻辑电平使输出驱动器的所有 FET 断开。如果一个两级 OPF 用作输出驱动器，则仅第二级由 MPF 驱动。第一级置于 MPF 的输入的数据通路中。

在本专利中，标记信号的方法如下。该方法是对信号名字，例如“Enable”用激活逻辑电平的数字加下标。当信号是逻辑电平 1 时，如果“Enable”是激活的，那么信号标记为“Enable₁”。采用这种方

法是因为当大于两个逻辑电平可用时，二进制逻辑使用的标记不足够(例如 Enable, $\overline{\text{Enable}}$, 或 Enable*)。并且，当基大于二时，能使用一个单输入，以控制或选择多功能，例如标记为“Read₂-Stand By₁-Write₀”三进制信号。

由 SUS-LOC 实现的三进制 $r+1$ 态驱动电路的例子包括四态缓冲器和四态基-1 补码器。图 188 和图 189 分别表示三进制 $r+1$ 态缓冲器和基-1 补码器方案。表 Y 表示具有零的输出启动电平的四态缓冲器的真值表。

表 Y

EN	DATA	OUTPUT
> 0	X	高阻抗
0	0	逻辑 0
0	1	逻辑 1
0	2	逻辑 2

X 可以是任何逻辑电平

$r+1$ 态驱动器的符号是选择为输出驱动器的 OPF 的符号，输入接近其输出。它用启动输出的逻辑电平标记。图 190 表示三进制 $r+1$ 态缓冲器的符号，它具有与表 Y 一致的零的输出启动电平。

启动电平能改变为 r 个不同逻辑电平中的任何一个，相邻逻辑电平的任何组，或逻辑电平的特定集。启动电平改变是通过改变图 188 和图 189 中标记为 OEL 的一位功能实现，并且通过改变使图 190 所示输出能够为适当值的逻辑电平标记而象征性地指示。

表 Z 表示逻辑电平，这些电平能用来启动一个四态驱动器的输出，该四态驱动器是用图 188 和图 189 所示 GOR_r、GAND_r 方案，以及图 188 和图 189 中标记为 OEL 的替换 OPF 而实现。

表 Z

启动电平	OEL 替换
0	F002
1	F202
2	F220
0 & 1	F002
0 & 2	F020
1 & 2	F200

随着基增加,能用于启动 $r+1$ 态驱动器的可能离散逻辑电平数,相邻逻辑电平组数,或逻辑电平的特定集数也增加。检查图 193 所示的五进制六态基-1 补码器,这种情况变得简明。

因为增加了信号冲突的可能性(包括功率浪涌),所以应该避免在逻辑电平转变期间,两个或多个 $r+1$ 态驱动器驱动相同负载。在逻辑电平转变期间,根本不同的源电压(即 V_2 和 V_0)可能相互可用,引起电路中的功率浪涌。这样的转变认为包括从逻辑电平 0 到逻辑电平 $r-1$ 的转变,因为这样的转变包括所有中间逻辑电平。

虽然前述 $r+1$ 态驱动器是功能的,但是减少要求的晶体管数增强它们的实用性。减少四态缓冲器中所用元件数的一种方式是用 $CGOR_3$ 和 $CGAND_3$ 门替换 GOR_3 和 $GAND_3$ 门,以消除基本 MPF 中的基-1 补码器和数据通路中的基-1 补码器。这样使晶体管数减少 25%,从 36 到 24。

如图 191 所示, GOR_3 和 $GAND_3$ 门的较好替换是三进制 MPF #15,309(图 169 至图 171)和#19,677(图 178 至图 180)。使用#15,309 和#19,677 门使四态缓冲器的晶体管数减少 66%,从 36 到 16。

产生一个全有源 $r+1$ 态输出的优选方法是使用每个分支一个附加晶体管。使用这种方法,结果得到图 192 所示的四态基-1 补码器,并且使四态基-1 补码器的晶体管数减少 66%(从 24 到 8)(图 189)。

图 162 的 EQ_3 电路可以扩展提供更多的输入。对 EQ_3 扩展输入数的一种组合方法使用一个三输入或多输入 $CGOR_3$,以驱动 CEQ_3 的一

个输入。与 $CGOR_3$ 具有相等输入数的 $CGAND_3$ 的输出驱动 CEQ_3 的另一个输入。图 194 用卡诺图表示这种情况，以表示各门的输出逻辑电平。这种方法能用于扩展任何基的 EQ 门的输入数。对于三进制情况，这样要求每个输入项 8 个晶体管加基本的两个输入门。

基转换

这里叙述从一个基到另一个基转换数字值的两种方法。这两种方法命名为“基转换只读存储器”(RCROM)和“成对”门。两种方法都不是不接受输入状态，也不丢失输出码，这是与先前基转换器关联的问题。并且，两种方法都能结合逻辑电平改变，并且它们都基于 SUS-LOC 结构，使得它们全有源(即两种方法都不使用电阻器，也不使用电阻元件)。

RCROM 从任何预定源基(S_r)到任何目的基(D_r)执行基转换。转换所需时间约为四个 S_r 门时间。成对门执行从 S_r 到 D_r 的基转换， D_r 是 S_r 的偶数幂或根。通过成对门的转换在一个 S_r 门时间内完成。

用 SUS-LOC 可以实现其他基转换技术。一种选择技术包括使用双横向开关输出的折叠多路转换器。折叠多路转换器是一项已知技术，它解决了许多数学、定时和不普通计数序列问题。

当两个不同基的逻辑合成电路或系统要求交换数据时，从源基(S_r)到目的基(D_r)的转换变得有必要。有两种方法从一个基到另一个基转换值：硬件和软件(固件认为是软件)。

转换两个基的程序设计学或软件方法要求具有较大基的计算机来执行转换。这是由于这个事实，例如三进制(基 3)计算机不能产生或操纵五进制(基 5)信号。然而，五进制计算能够产生和操纵三进制信号。虽然有用并且在某些情况下是希望的，但是基转换的程序设计学方法要求几个机器循环执行，并且不保证适当的 D_r 逻辑电平电压。

先前硬件实现的基转换器使用取决于电阻元件，例如分压器和阶梯电阻器的模拟技术。虽然这些转换器在它们设计的规范之内是有作用的，但是它们具有比较高的功率要求，并且不提出不接受状态、失码和逻辑电平电压不同的问题。由于高功率要求和不寻址的面积，这

些基转换器不适合两个不同 r 值系统所要求的多位转换。

图 195 表示基转换只读存储器(RCROM)的方框图, 除行驱动器是微分驱动器/电平变换器外, 它和已知二进制存储器类似。当所涉及的两个基的 V_{r-1} 电压极为不同时, 仅要求电平改变。这里为了公开目的, 二进制和三进制 V_{r-1} 电压都为 5 伏。

输入部分由两个 S_r n 取 1 选择器组成。从 S_r 到 D_r 转换的值提供给或施加到 RCROM 的输入 S_r^0 到 S_r^n , 作为一个地址。这个地址由两个 n 取 1 选择器解码, 以产生行(R#)和列(C#)选择信号。

各行选择信号 $R0$ 至 Rn 与一个微分驱动器/电平变换器的输入连接。有两个原因使用微分驱动器/电平变换器: 保证驱动存储器阵列的晶体管的适当电压电平, 和保持全有源器件(即预充电和/或上拉/下拉电路不需要或不使用)。

各列选择信号 $C0$ 至 Cn 与一个缓冲驱动器/电平变换器连接, 以控制列选择传输晶体管(近零阈值 FET)。

存储器阵列由每个行列交叉点一个 FET 组成。当选择一行时, 与该行连接的所有晶体管接通, 把与 FET 关联的列线与表示该特定行和列组合的 D_r 逻辑电平的电源电压连接。当选择一列时, 与该列连接的所有传输晶体管接通, 把该列线的 D_r 逻辑电平与输出端连接。

图 196 表示一个四位二进制地址解码器。如所示, 行选择信号有一个 4 取 1 选择器产生。如图 195 那样, 各行选择信号 $R0$ 至 $R3$ 与一个微分驱动器/电平变换器连接。各微分驱动器的输出 Rxa 和 Rxb 与形成存储器阵列的 FET 的适当栅极连接(图 204), 当选择该行时, 该存储器阵列应该接通。

同样如图 195 所示, 有另一个 4 取 1 选择器产生列选择信号。各列选择信号 $C0$ 至 $C4$ 与一个缓冲器/电平变换器的输入连接。各缓冲器的输出与 3 个传输晶体管连接, 对基 3 输出的各要求位一个(图 204)。

同样可以实现存储器阵列。图 199 至图 202 表示要求形成二进制到三进制存储器阵列的 FET。紧接各 FET 的栅极之后是其要求的阈值电压。图 203 表示用于表示存储器阵列中的 FET 的符号。符号中的标

记是它所表示的 FET 的图号。如所示, 该符号表示具有图 201 的 -0.75 伏阈值电压的 P 沟道增强行 FET。

如图 204 所示, 存储器阵列是由 $4 \times 4 \times 3$ 组织的 48 个 FET 组成。这个组织基于 S_r 值的大小, 在本情况下, 该大小是 16, 并且等于 4 行乘 4 列。要求的 4×4 阵列的数基于 D_r 的要求位的数, 它必须等于或超过 S_r 值的大小。在本情况下, 要求三个三进制数, 因为三个三进制数能够有 27 个逻辑状态, 这个数足以对 16 的 S_r 大小寻址。两个三进制数不足, 因为两个三进制数能够仅有 9 个逻辑状态。

当一行变成有源时, 与该有源驱动器(R_{xa} 和 R_{xb})连接的所有 FET 接通, 使各 FET 把不同列线与表示该特定行和列组合的要求逻辑电平电源电压连接。在选择适当列时, 三个选择的列线(各位一个)将允许传导到输出端。

列选择 4 取 1 解码器和驱动器的一个输出控制三个传输晶体管的栅极, 对输出词的各三进制数一个。这些晶体管各把一个不同的列线与各自输出端 T^0 , T^1 或 T^2 中的一个连接。

当把二进制值提供给输入端时, 输出值是输入值的三进值等效, 如表 AA 所示。

表 AA

十进制	二进制输入				三进制输出		
	B ³	B ²	B ¹	B ⁰	T ²	T ¹	T ⁰
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
2	0	0	1	0	0	0	2
3	0	0	1	1	0	1	0
4	0	1	0	0	0	1	1
5	0	1	0	1	0	1	2
6	0	1	1	0	0	2	0
7	0	1	1	1	0	2	1
8	1	0	0	0	0	2	2
9	1	0	0	1	1	0	0
10	1	0	1	0	1	0	1
11	1	0	1	1	1	0	2
12	1	1	0	0	1	1	0
13	1	1	0	1	1	1	1
14	1	1	1	0	1	1	2
15	1	1	1	1	1	2	0

能如下实现三进制到二进制基转换器。图 205 所示是一个三元三进制地址解码器。如所示，行选择信号有一个 9 取 1 选择器产生。各行选择信号 R0 至 R8 与一个微分驱动器/电平变换器的输入连接，如图 206 所示。各微分驱动器的输出 Rxa 和 Rxb 与形成存储器阵列的 FET 的栅极连接(图 211a、图 211b)，当选择该行时，该存储器阵列接通。

同样如图 205 所示，列选择信号由一个 3 取 1 选择器产生。如图 207 所示，各列选择信号 C0 至 C2 与一个缓冲器/电平变换器的输入连接。各缓冲器的输出与 5 个传输晶体管连接，对基 2 输出的各要求位使用一个传输晶体管(图 211b)。

三进制到二进制存储器阵列可以如下创建。图 208 和图 209 表示

形成三进制到二进制存储器阵列所要求的 FET。紧接各 FET 的栅极是其要求的阈值电压 $V_{GS(TH)}$ 。

图 210 表示用于表示存储器阵列中的 FET 的符号。符号中的标记是它所表示的 FET 的图号。如所示, 该符号表示具有图 209 的 -2.00 伏阈值电压的 P 沟道增强行 FET。如图 211a、图 211b 所示, 该存储器阵列是由 $9 \times 3 \times 5$ 组织的 135 个 FET 组成。这个组织基于 S_r 值的大小, 在本情况下, 该大小是 27, 并且等于 9 行乘 3 列。要求的 9×3 阵列的数基于 D_r 的要求位的数, 它必须等于或超过 S_r 值的大小。在本情况下, 要求 5 位, 因为 5^2 是 32, 所以这个数足以提供 27 个不同的响应。

当一行变成有源时, 与该有源驱动器(Rxa 和 Rxb)连接的所有 FET 接通。各有源 FET 把一个列线与表示该特定行和列组合的 D_r 逻辑电平电源电压连接。

五个传输晶体管的栅极由列选择 3 取 1 解码器和驱动器控制, 对输出字的各位使用一个传输晶体管。这些晶体管把列线与五个输出端 B^0, B^1, B^2, B^3 或 B^4 中的一个连接。

当把三进制值提供给或施加到输入端时, 输出值是输入值的二进制等效, 如表 AB 所示。

表 AB

十进制	三进制输入			二进制输出				
	T ²	T ¹	T ⁰	B ⁴	B ³	B ²	B ¹	B ⁰
0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1
2	0	0	2	0	0	0	1	0
3	0	1	0	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	2	0	0	1	0	1
6	0	2	0	0	0	1	1	0
7	0	2	1	0	0	1	1	1
8	0	2	2	0	1	0	0	0
9	1	0	0	0	1	0	0	1
10	1	0	1	0	1	0	1	0
11	1	0	2	0	1	0	1	1
12	1	1	0	0	1	1	0	0
13	1	1	1	0	1	1	0	1
14	1	1	2	0	1	1	1	0
15	1	2	0	0	1	1	1	1
16	1	2	1	1	0	0	0	0
17	1	2	2	1	0	0	0	1
18	2	0	0	1	0	0	1	0
19	2	0	1	1	0	0	1	1
20	2	0	2	1	0	1	0	0
21	2	1	0	1	0	1	0	1
22	2	1	1	1	0	1	1	0
23	2	1	2	1	0	1	1	1
24	2	2	0	1	1	0	0	0
25	2	2	1	1	1	0	0	1
26	2	2	2	1	1	0	1	0

一个有利变更是对行和列解码器添加“ENABLE”输入。除使 RCROM “可选择”外,当 RCROM 没有启动时,它还使所示 D_r 输出取 $r+1$ 态(对于三进制到二进制情况为三态)。

其他变更包括添加输入锁存器,这样允许源基数据总线用于其他计算。并且可以添加输出缓冲器或驱动器。虽然这样增加输出驱动器能力,但是它消除了“ENABLE”变更的 $r+1$ 态能力,除非驱动器为 $r+1$ 态类型。如果使用 $r+1$ 态驱动器,那么“ENABLE”用于选择 $r+1$ 驱动器,而不选择行和列解码器。可以添加预充电或偏置电路。虽然这样增加了转换速度,并且从存储器阵列中消去晶体管,但是它增加动态功率消耗。

因为这里的概念可扩展到任何两基的任何位数,所以现在使用本发明的 SUS-LOC 电路结构,能实现除所示以外基的 RCROM 的设计和制造。

基转换也能通过成对门完成。成对门转换 S_r 的值,它是 D_r 的偶数幂或根。从较低基的多位产生较高基的一位,或从较高基的一位产生较低基的多位。例如,一个 2 对 8 门从一个三位二进制值产生一个一位八进制值。

除从一个基到另一个基转换值外,一个基本对门具有固有的电平改变能力。虽然有些受到限制,但是在许多情况下,基本对门的电平改变能力足以排除附加电平改变电路。然而,如果必须超过基本对门的能力以外的电平改变,就必须在门侧出现较低基。例如,电平变换器必须置于 3 对 9 门的输入侧,和 9 对 3 门的输出侧。

为了公开目的,这里叙述两对门:二进制到四进制对门(2 对 4)和四进制到二进制对门(4 对 2 门)。二进制系统具有 3 伏的 V_{r-1} ,而四进制系统使用 6 伏的 V_{r-1} 。表 AC 表示使用 SUS-LOC 结构,设计要求的对门所必需的参数。

表 AC

逻辑系统	V _{r-1}	LSV	OP	V ₀	V ₁	V ₂	V ₃
二进制	3	3	N/A	0	3		
四进制	6	2	60%	0	2	4	6

图 212 表示 2 对 4 门的示意图。图 213 和图 214 分别表示符号和卡诺图。基本 2 对 4 门的四进制输出值是输入二进制值的基-1 补码。该卡诺图可能对那些不熟悉 SUS-LOC 结构的技术人员来说不熟悉，因为它包含除 0 和 1 外的值，包括大于 1 的值。表 AD 表示一个选择卡诺图。

表 AD

		A			
		0		1	
B	0	3	3	2	2
		3	3	2	2
	1	1	1	0	0
		1	1	0	0

两个卡诺图都正确。然而，图 214 所示图可能由于其较大的简单性而是优选的。

由于 V_{r-1} 电压之间的不同(表 AC 所示)，所以电平改变是必要的。因为基本 2 对 4 门具有有限的电平改变能力，并且因为要求的电压改变在基本 2 对 4 门的范围之内，所以在本情况下不要求附加电平改变。如所示，没有幻象所示的元件，2 对 4 门作为一个基转换器和一个电平变换器执行。

如果必须超过基本门的能力改变电平，或希望正逻辑输出，那么应该使用基-1 补码器(如图 212 幻象元件所示)。应该注意，如果基-1 补码器改变二进制输入的电平，那么必须重新计算 Q1 到 Q8 的晶体管。

基本 2 对 4 门的四进制输出值是输入二进制值的基-1 补码。当要求附加电平改变，或仅希望正逻辑输出时，使用如图 212 中幻象元件所示的基-1 补码器。如果使用基-1 补码器，建议如果需要它们也是电

平变换器，因为这样将增加门的速度。

当要求正和补码逻辑输出两者时，对输出添加一个 D_r 基-1 补码器(未示出)。并且，当要求超过基本门的能力改变电平及要求两个逻辑输出时，那么要求图 212 的幻象元件和 D_r 基-1 补码器。

对于不同于正和补码的逻辑输出，对基本门的输出添加适当的 D_r OPF。在 256 个可能的四进制 OPF 中，252 个是有用的(即 252 个非连续)。

图 215 表示 4 对 2 门的示意图，图 216 和图 217 分别表示符号和卡诺图。此外，卡诺图可能表现不寻常，因为它具有一个不为 0 和 1 的值的输入，和两个仅为 0 和 1 的输出。一种选择是两个卡诺图，对每个输出一个。

由于 V_{r-1} 电压之间的不同(见表 AC)，所以电平改变是必要的。基本 4 对 2 门具有限制的电平改变能力，并且要求的电压改变在其范围之内，因此，在本情况下不要求附加电平改变电路。没有幻象所示的元件，4 对 2 门执行基转换器和电平改变两者。

如果必须超过基本门的能力改变电平，或希望正逻辑输出，那么应该添加图 215 幻象元件所示的基-1 补码器(反相器)，并且重新计算晶体管 Q1 到 Q8。

基本 4 对 2 门的二进制输出值是输入四进制值的基-1 补码。当要求附加电平改变，或仅希望正逻辑输出时，使用如图 215 中幻象元件所示的基-1 补码器。如果使用基-1 补码器，建议如果需要它们也是电平变换器，因为这样将增加门的速度。

当要求正和补码逻辑输出两者，并且/或者要求超过基本门的能力改变电平时，那么使用幻象所示的图 215 的元件。

锁存器和寄存器

锁存器是存储元件，用于形成寄存器以及顺序和时钟顺序逻辑电路。目前，锁存器的限定是双稳电路，它能由适当的输入信号设置和复位。然而，当锁存器的基大于二时，锁存器不再双稳，因此要求新的工作限定。与基于 SUS-LOC 的锁存器关联的一种有有限定是“一

种由适当输入信号置于多个状态中的一个的多稳态电路”。

当锁寄存器的基大于二时，三组锁寄存器是可能的。这三组是：补码、转换(对二进制不可能)和全同锁寄存器。各组包含双电平至 r 电平类型的锁寄存器。

第一组锁寄存器是补码锁寄存器。这些锁寄存器的输出逻辑电平等于数据输入逻辑电平的基-1 补码。例如，五进制补码锁寄存器的主要输出等于数据输入的 4 的补码。

第二组锁寄存器是转换锁寄存器。这组锁寄存器产生既不是 $r-1$ 补码，也不是数据输入逻辑电平的全同的输出逻辑电平。在这三组中，这组包含大多数双电平至 r 电平锁寄存器类型。当用任何逻辑结构实现基 2 或标准二进制(即不是 r 状态中的两个)时，这组不可能。

第三组由全同锁寄存器组成。这组的所有锁寄存器基本上是补码和转换组的锁寄存器，从电路中的一个不同点取得输出。全同锁寄存器的输出逻辑电平等于数据输入逻辑电平。

简单锁寄存器

如图 218 所示，简单 r 值锁寄存器由交叉耦合的两个 r 值 OPF 形成。 r 值锁寄存器与二进制锁寄存器之间的两点不同是，锁寄存器能够存储的逻辑电平数，及该锁寄存器可能是一个转换锁寄存器。即输出可能既不是输入数据的全同，也不是它的基-1 补码。

图 218 中标记为 TG 的元件是传输门或近零阈值 FET(图 5)，并且用于控制锁寄存器的输入和反馈通路。当在它们的控制输入 ϕA 和 ϕB 设置逻辑电平 0 时，这些开关或传输门断开(不传导)，而当在它们的控制输入设置大于 0 的逻辑电平时，它们接通。

图 218 中标记为 FA 和 FB 的两个 OPF 是锁寄存器的有源元件。所使用的这对特定 OPF 确定所形成的锁寄存器的组和类型。除小于 r 电平锁寄存器外(这样需要特殊考虑)，所使用的两个 OPF 将形成 r 值缓冲器。通过简单地从具有双向数据输入/输出端，标记为“FB”的 OPF 的输出侧取得锁寄存器的输出(图 219)，形成一个全同组锁寄存器。图 219 所示的全同锁寄存器的输出逻辑电平等于输入数据。补码和转换锁寄存器的输

出逻辑电平是输入数据的功能 FA。

各组和三进制的锁存器的 OPF 对在表 AE 列出, 并且能从该表选择。具有多输出的锁存器可通过简单地添加产生希望输出逻辑电平的 OPF 实现, 如图 220 所示。

表 AE

	类型								
	三电平		双电平						
	FA	FB	ILL*	FA	FB	FA	FB	FA	FB
全同	补码或转换 从 FB 取得 输出		0,1	F011	F011				
			0,2	F022	F022				
			1,2	F112	F112				
补码	F210	F210	0,1	F100	F100				
			0,2	F200	F200				
			1,2	F221	F221				
转换	F021	F021	0,1	F022	F011	F200	F100	F122	F001
	F102	F102	0,2	F122	F002	F011	F022	F100	F200
	F120	F201	1,2	F002	F122	F001	F122	F110	F211
	F201	F120							

*双电平类型的输入逻辑电平

图 221 所示是用于表示 r 值补码或转换锁存器的基本符号, 标记 DL_r 用于指示基 r 的数据锁存器。输出端用 Fnn 标记, 以指示用于产生输出的 OPF。在单输出下, 这个标记指示用于 FA 的 OPF。如果锁存器来自三进制补码组, 那么将使用 $F210_3$ 作为输出端的标记。

图 222 所示是表示具有多输出的简单锁存器的符号。图 223 所示符号表示具有双向数据端的全同组锁存器。

如果简单锁存器具有专用于它的选通电路, 那么用标记为“STB”(Strobe)的单输入替换两相输入(ϕA 和 ϕB), 如图 224 所示。紧接 STB 标记的阴影面积是用于指示选通输入的有源逻辑电平的位置。

时钟相位产生

有几种方法，产生操作锁存器所要求的 ϕA 和 ϕB 时钟信号。图 225 所示方法是最简单的方法。在所示 OPF 下，在 Strobe_0 输入从逻辑 1 到逻辑 0 转变期间，补码或转换锁存器成为透明的。

在这个透明期间，提供给数据输入的数据在输出端以输入数据的 F_{nnn} 可用。在 Strobe_0 输入从逻辑 0 到逻辑 1 转变期间，在数据输入存在的数据被锁定。具有双向数据端的全同锁存器的输出仅在锁定状态期间(即当 Strobe_0 输入不活动时)可用。

对于三进制情况，可以选择任何逻辑电平或逻辑电平对来操作简单锁存器。能用于起动简单锁存器的逻辑电平数取决于基，并且等于 $r-2$ 。为了改变图 225 所示选通电路的有源逻辑电平，图 225 所示的选通电路的 OPF 用提供希望操作电平的 OPF 替换。表 AF 列出三进制情况的替换 OPF 和响应的逻辑电平。

表 AF

电平	F022 的替换
0	F022
0 & 1	F002
1	F202
1 & 2	F200
2	F220
0 & 2	F020

虽然可以选择 r 逻辑电平中的任意来操作 r 值简单锁存器，但是当选择不是 0 或 $r-1$ 的逻辑电平来操作 r 值锁存器时应该小心。这是由于这个事实，即 r 值控制信号从逻辑电平 0 到大于 1 的逻辑电平的转变，或从大于 1 的逻辑电平到逻辑电平 0 的转变，通过所有可能影响锁存器操作的中间逻辑电平。在有些情况下具有中间逻辑电平的简单锁存器的操作可能是希望的，并且取决于特定应用。

主从锁存器

如图 226 所示，为了形成一个主从锁存器，串联两个简单锁存器，把第一锁存器(主)的输出与第二锁存器(从)的数据输入连接，并且倒置

从锁存器中的控制信号 ϕA 和 ϕB 。

这种串联方法使主从锁存器对选通输入的边沿而不是其电平作出响应。在图 225 的选通电路中所示的 OPF 下 ($F022_3$ 和 $F200_3$), 在 $Strobe_0$ 输入从逻辑 1 到逻辑 0 转变期间, 在数据输入存在的数据被主锁存器锁定, 而从锁存器变得透明, 使得主锁存器锁定的数据在输出可用。在 $Strobe_0$ 输入从逻辑 0 到逻辑 1 转变期间, 从锁存器锁定主锁存器的输出, 并且主锁存器变得透明, 不影响从锁存器的输出。

用于表示主从锁存器的符号示于图 227。紧接时钟输入 (CLK) 的阴影面积是为操作锁存器所要求的边沿描述符保留的位置。除标识 MS_r 外 (与 DS_r 相对), 该符号几乎与数据锁存器的符号相同, 并且时钟输入标记 CLK 具有 2 个或多个逻辑电平, 用一个或多个箭头分开, 指示用于操作的前沿、后沿或特别边沿对。

可以选择任何边沿, 或前沿和/或后沿的特别对, 以操作 r 值主从锁存器。可用的边沿数和变沿的组合随基增加而增加。通过改变选通电路的 OPF, 完成操作主从锁存器的边沿改变。对于三进制情况, 操作主从锁存器的边沿和用于其符号的关联描述符列于表 AG。

表 AG

边沿	使用	描述符
1 到 0	F022	1↓0
2 到 1	F002	2↓1
0 到 1, & 2 到 1*	F202	0↑1-2↓1
0 到 1	F200	0↑1
1 到 2	F220	1↑2
1 到 0, & 1 到 2*	F020	1↓0-1↑2

*边沿的特别对

当选择用于操作主从锁存器的边沿时, 必须小心, 因为从逻辑 0 到大于 1 的电平的转变, 和从大于 1 的电平到逻辑 0 的转变, 包括所有中间电平, 并且将具有几个前沿和后沿。中间逻辑电平转变的边沿可能引起主从锁存器的激活。

在某些情况下，具有中间逻辑电平转变的主从锁存器的操作可能是希望的，并且取决于特定应用。图 228 表示一个具有多输出的主从锁存器的示意图，它在 Strobe_0 输入的逻辑 1 到逻辑 0 边沿操作，并且其符号示于图 229。

可复位锁存器

图 230 表示一个能被复位，更准确地说能被置零或清除的简单锁存器的示意图，图 233 表示它的符号。然而，当使 CLR_0 输入不活动时，如果 Strobe_0 输入活动，那么由 140_3 门注入的逻辑 0 可能取决于 Strobe_0 和数据输入的状态而被锁定。如果希望锁定逻辑 0 而不关心 Strobe_0 输入的状态，那么应该使用可复位主从锁存器。

图 231 和图 232 分别表示具有异步清除的主从锁存器及其符号，它具有选择 CLK 和 CLR_0 输入缓冲器。幻象表示多输出功能。如所示，当提供给逻辑电平 0 是，清除输入 CLR_0 是活动的。当 CLR_0 是活动的时，输出逻辑电平是 0，并且保持这样，而不管 Strobe_0 输入的状态。

通过对逻辑电平 1 用 3650_3 门，或对逻辑电平 2 用 3780_3 门替换 140_3 门，能改变 CLR_N 输入为活动的逻辑电平。为了实现一个可用多逻辑电平清除的锁存器，用适当的 MPF 替换 140_3 ，或可以添加 OPF，以驱动 140_3 、 3650_3 或 3780_3 门的 B 输入。

如上所述，建议仅使用逻辑电平 0 或 $r-1$ ，以激活清除功能，因为两个或多个逻辑电平的任何 r 值信号的转变包括所有中间逻辑电平。并且，利用 0 或 $r-1$ 作为活动逻辑电平要求很少的元件，因为中间逻辑电平的不连续解码比逻辑电平 0 或 $r-1$ 的不连续解码要求较多的元件。

通过使用适当的 MPF 替换 140_3 门，可能得到可设置为不是 0 的 r 个逻辑电平中任何一个的锁存器。可选择地，替换 140_3 门，能设计和使用一个组合逻辑电路，它结合所有希望的“设定”状态。

既然理解以上所述，对上述基本方案有许多变更，这些变更将会由利用和实施 SUS-LOC 结构的技术人员想到和开发。并且，上述关于锁存器的部分不应该认为是执行存储器的逻辑功能的电路的可能变

更和/或组合的全部范围。

顺序和时钟顺序逻辑

术语“顺序逻辑”意指一个接一个或顺序地执行两个或多个逻辑功能，并且前步的结果必须顺序地存储为随后步所用。术语“时钟顺序逻辑”通常意指如上所述的顺序逻辑的使用，它与系统中别处电路所产生的信号同步地执行一个或多个逻辑功能。

在任一情况下，上述关于锁存器的部分公开了许多可能电路中的几个，这些电路提供了顺序和时钟顺序逻辑所要求的存储元件。

数字线性化电路

在模拟应用中使用 SUS-LOC，通过改变阈值电压，能实现模拟-数字转换线性化电路。特定应用是一种在一次操作或级中数字化和线性化的电路，它被称为数字线性化电路。

用于感受各种现象的大多数变换器的输出电压或电流是非线性的。因为非线性输出，目前使用的数字化和线性化方法为两步过程。第一步把模拟信号转换成数字值。这个过程称为模拟-数字转换(A-D或 A/D)。虽然有几种实现这个过程的方法(例如连续近似和双斜率)，但是它们全都具有取样率，并且要求许多循环来完成一次转换。而且，精确性越大，要求的时钟循环越多。第二步是用处理器和适当算法把数字值线性化。这个过程要求许多时钟循环来完成，精确性越大，要求的时钟循环越多。

一个 SUS-LOC 数字线性化电路在一次操作中执行上述两步，它连续地取样，并且几乎不要求时钟循环来完成。取决于时钟速度，要求的时间可能等于一个或两个时钟循环来调整，但是与目前 A/D 方法所要求的数百时钟循环比较，这个时间最小。

为了实现数字线性化电路，计算 OPF 的阈值电压，以便它们与变换器的放大输出曲线上的选择点配合。能选择的点数等于选择的 OPF 的开关点数。图 234 表示为了简化而使用一个三进制 OPF 的数字线性化电路的简单总体示意图，而图 235 表示变换器或传感元件的放大输出曲线。

图 236 表示三进制 OPF 的示意图,它具有与传感器放大输出曲线配合的改变的阈值电压。放大器目前用于 A/D 转换器,并且数字线性化电路符合这个现有标准。因为阈值电压配合曲线上的选择点,所以发生线性化,并且因为 OPF 的输出是数字的,所以发生数字化。在一个同时步中,并且在接收到信号时,进入数据既被数字化又被线性化。

图 237 表示图 234 的数字线性化电路的简单总体示意图,它扩展到三进制的几个位,加一个附加 OPF,以用作一个缓冲器,以保证不发生亚稳性,并且产生非补码值。图 237 所示放大器具有不同的放大因子,以便对于添加的级数,放大器 A 的输出是整个伏特,放大器 B 的输出是 A 放大的三倍减去整个伏特,放大器 C 是 A 放大的 9 倍减去放大器 B 的输出,等等。

为了较大的精确性,并且为了产生取各别十进制的数字输出,用十进制 OPF 替换三进制 OPF,改变阈值电压,使其与变换器的放大输出曲线上的十个选择点配合。当然,如果使用十进制 OPF,与 3 的幂相对,放大因子将是 10 的幂。

其他 SUS-LOC 电路的例子

从以上所述,可见通过 SUS-LOC,能实现具有任何输入数 n 的任何基 r 的逻辑功能。一旦选择了任何功能的卡诺图,SUS-LOC 就提供实际和可实现的方式,由此能构造多值逻辑电路。对剩余附图给出简短叙述,因为根据以上所述,这些附图本身提供完全公开。

图 238 连同其卡诺图一起表示通过 SUS-LOC 的 SUS-MOS 实施例实现的五进制 GOR_5 电路。由于卡诺图的非逆向性质,在图 238 所示的 SUS-MOS 实施例中出现反向偏置。图 239a、图 239b 是图 238 具有附加级,以防止这样的反向偏置的 GOR_5 电路。当然,可以对图 121 的 $CGOR_5$ 电路补码,以获得提供相同的电路响应和卡诺图的电路,如图 240 所示。

虽然能通过 SUS-LOC 实现任何单基多值逻辑电路(而且认为还能实现任何多基多值逻辑电路),但是通过适应由电路的关联卡诺图指示的某些组及其他方面,可以取得某些效率和优化。通过为希望的卡诺

图建立等效 SUS-MOS 电路, 并且添加必要的附加级, 以防止反向偏置, 能通过 SUS-LOC 实现任何单基多值逻辑电路。认为相同情况对多基多值逻辑电路为真。

图 241 连同其卡诺图一起表示通过 SUS-LOC 的 SUS-MOS 实施例实现的五进制 $GAND_5$ 电路。由于卡诺图的非逆向性质, 在图 241 所示的 SUS-MOS 实施例中出现反向偏置。图 242a、图 242b 是图 241 具有附加级, 以防止这样的反向偏置的 $GAND_5$ 电路。当然, 可以对图 124 的 $GAND_5$ 电路补码, 以获得提供相同的电路响应和卡诺图的电路, 如图 243 所示。

图 244 表示图 121 的 $CGOR_5$ 电路, 括号是关于从源电压加相对栅阈值电压计算得到的绝对阈值电压。图 244 还表示了 $CGOR_5$ 符号和卡诺图。

图 245 表示五进制 CEQ_5 电路的卡诺图分组的完全集(用周围划线表示)。这样的分组由选择决定, 并且在这个程度上, 自然是任意的。图 246a、图 246b 表示与图 245 的卡诺图分组对应的复合电路分支。

图 247 表示 CEQ_5 电路的一个选择卡诺图分组方案。图 248a、图 248b 表示与图 247 所示的卡诺图分组对应的复合电路分支。

图 249 表示 CEQ_5 电路的一个第二选择卡诺图分组。

图 250 表示补码三进制 Σ 或 $CSIGMA_5$ 电路的示意卡诺图和符号。

图 251 表示三进制 Σ 或 $SIGMA_5$ 电路的一个选择实施例的示意卡诺图和符号。

图 252 表示以德国多特蒙德大学的 Dr. Claudio Moraga 命名的电路的四进制实施例的示意图和卡诺图。CMORAGA 电路是一个逆向电路, 并且无需抗反向偏置附加级。卡诺图中出现的“转角”结构(B1/A0, B1/A1 和 B0/A1)给出串并联结构, 负责逻辑电平 2 到输出的传输。认为中间分支的串并联结构由电路的对应卡诺图中的这样转角所反映。如 $CGOR$ 和 $CGAND$ 电路中的类似特点所反映, 这样的转角可能为 SUS-LOC 中电路分支开发/确定提供一组。

关于卡诺图中的这样转角, 认为当该组的输出电压大于或等于 V_r 。

$V_{r-1}/2(\geq V_{r-1})$ 时, P 沟道 FET 串联, 而 N 沟道 FET 并联。当该组的输出电压小于 $V_{r-1}/2(<V_{r-1})$ 时, 那么认为 N 沟道 FET 形成串联部分, 而 P 沟道 FET 并联。如果输出电压等于 $V_{r-1}/2(=V_{r-1})$, 那么看来所有 FET 是耗尽型 FET。如果输出电压大于 $V_{r-1}/2(>V_{r-1})$, 看来串联 FET 是 P 沟道增强型 FET, 而并联 FET 是 N 沟道耗尽型 FET。当输出电压小于 $V_{r-1}/2(<V_{r-1})$ 时, 看来串联 N 沟道 FET 是增强型 FET, 而并联 P 沟道 FET 是耗尽型 FET。

虽然本发明预期使用保持恒定阈值特性($V_{GS(TH)}$)的 FET, 但是使用具有动态阈值特性的电路元件也可以在 SUS-LOC 中得到良好和有利使用。例如, 在包括 FET 的晶体管中已知的体负阻效应或体效应能改变阈值电压 $V_{GS(TH)}$ 。通过体效应增加或降低阈值电压 $V_{GS(TH)}$, 能提供附加优点和实用性, 以增强本发明。例如, 通过启动和禁止易于反向偏置的 FET, 有可能通过体效应实行 SUS-MOS 所必需的单向 FET。

虽然已经关于特定实施例叙述了本发明, 但是认识到在不违反本发明概念下, 可以发明本发明的各种附加变更。如上所述, 光学或其他高速模拟电路元件可以有利地用于 SUS-LOC 电路中。另外, 体效应或其他方式允许离散电路元件动态开关能力, 它可以用于 SUS-LOC。

本发明提供一种多值逻辑的电子电路结构。

本发明的一个目的是提供基本电路, 它允许以任何可用数字系统(基 r 值数字系统)表示信息。

本发明的另一个目的是提供基于 r 值数字系统的电路, 它能取任何变量数作为输入(n 变量输入)。

本发明的另一个目的是提供基于任何数字系统的逻辑电路, 该电路是全有源的, 没有用于逻辑合成的无源元件。

本发明的一个目的是提供基于任何数字系统或数字系统组合的逻辑电路所要求的基本电路。

本发明的一个目的是提供基于任何数字系统的计算机所要求的逻辑电路。

本发明的一个目的是提供基于最优数字系统的计算机所要求的基本电路，该最优数字系统目前看作数字三。

本发明的一个目的是提供可预测和可实现的多值逻辑的电路。

参照所附说明书和附图，本发明的这些和其他目的、优点和工业实用性将是显而易见的。

图1:

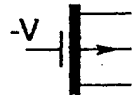


图2:



图3:

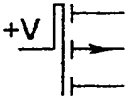


图4:

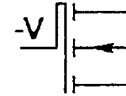


图5:



图6:

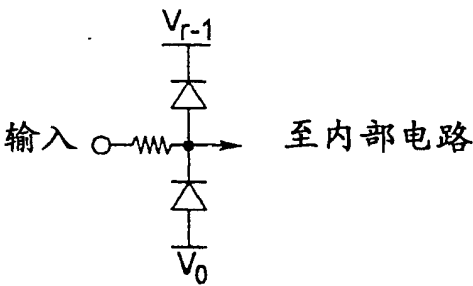


图7a:

图例

 = 传导 (接通)  = 不传导 (断开)

图7b:

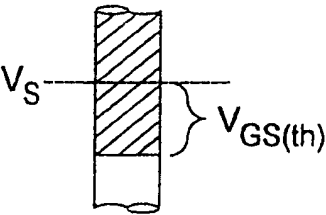


图7c:

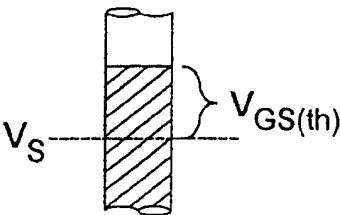


图7d:

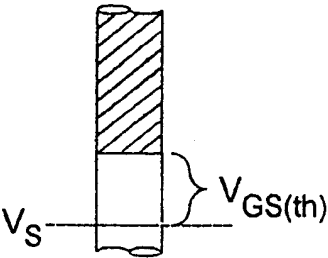


图7e:

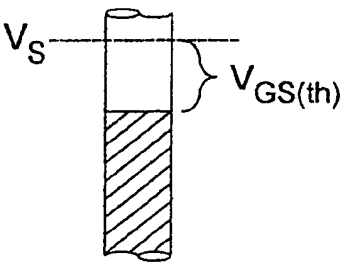


图7f:

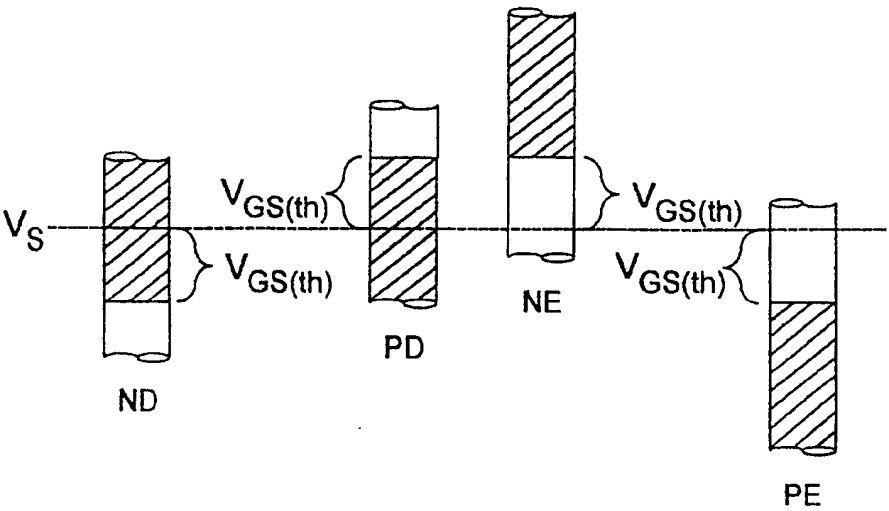


图9:

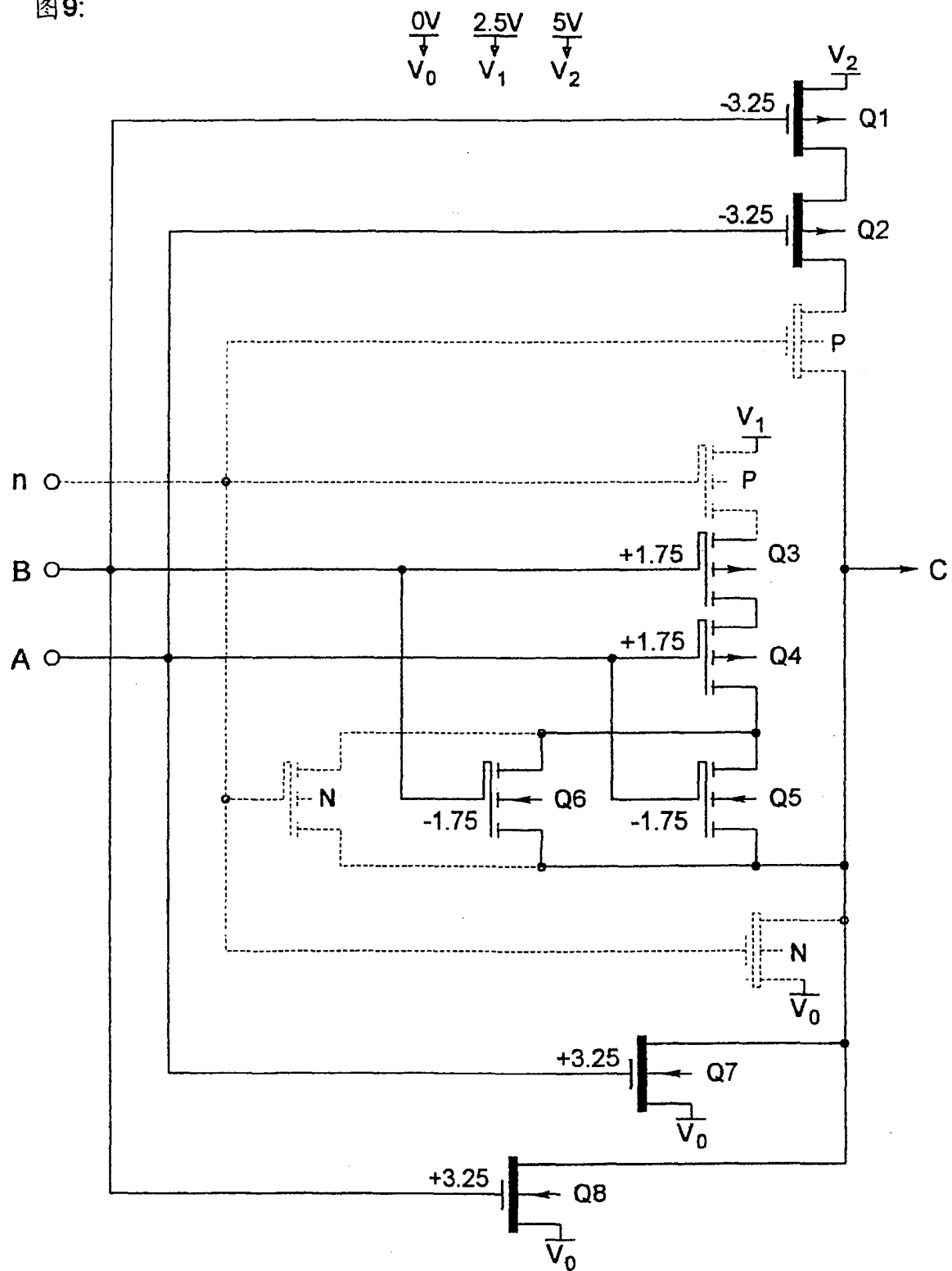


图10:

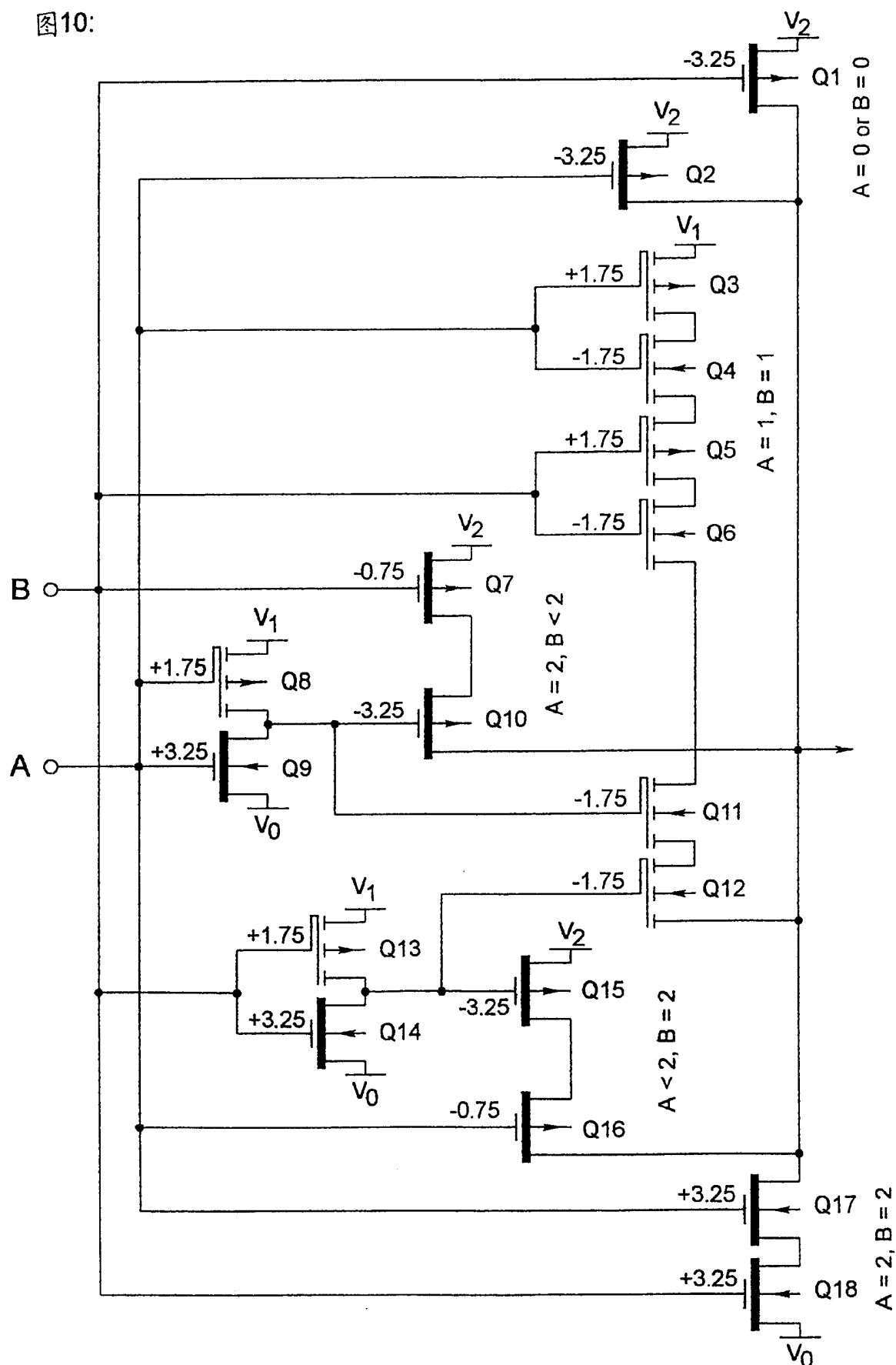


图11:

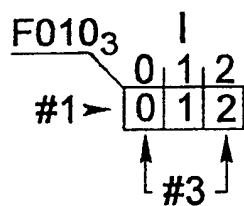


图12:

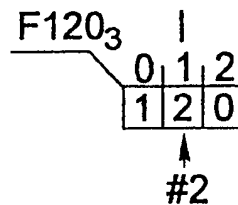


图13:

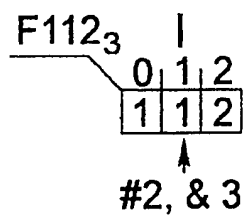


图14:

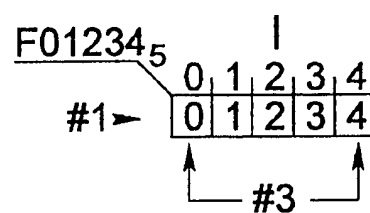


图15:

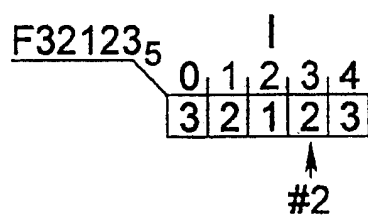


图16:

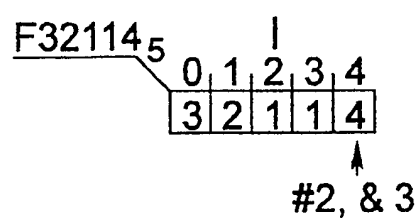


图17:

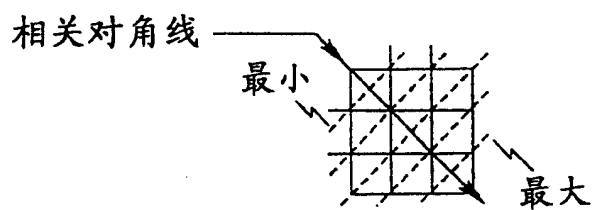


图18:

<u>CGOR</u> ₃			A		
	0	1	2		
0	2	1	0		
B	1	1	1	0	
2	0	0	0		

图19:

<u>CGOR</u> ₃			A		
	0	1	2		
0	2	1	0		
B	1	1	1	0	
2	0	0	0		

图20:

<u>CGOR</u> ₃			A		
	0	1	2		
0	2	1	0		
B	1	1	1	0	
2	0	0	0		

图21:

<u>CGAND</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	1	
2	2	1	0		

图22:

<u>CGAND</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	1	
2	2	1	0		

图23:

<u>CGAND</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	1	
2	2	1	0		

图24:

<u>LAMBDA</u> ₀₁₃			A		
	0	1	2		
0	1	0	0		
B	1	0	0	0	
2	0	0	0		

图25:

<u>LAMBDA</u> ₀₁₃			A		
	0	1	2		
0	1	0	0		
B	1	0	0	0	
2	0	0	0		

图26:

<u>CEQ</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	2	
2	2	2	0		

图27:

<u>CEQ</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	2	
2	2	2	0		

图28:

<u>CEQ</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	2	
2	2	2	0		

图29:

<u>CEQ</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	2	
2	2	2	0		

图30:

<u>CEQ</u> ₃			A		
	0	1	2		
0	2	2	2		
B	1	2	1	2	
2	2	2	0		

图 31:

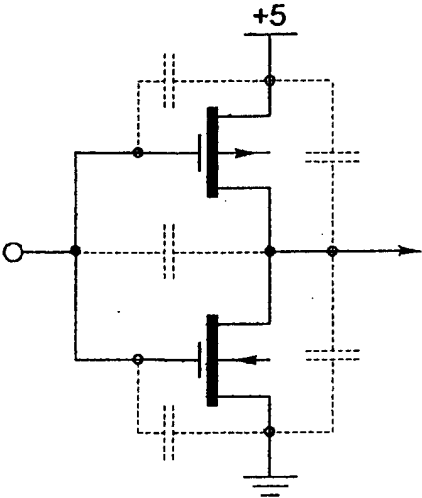


图 32:

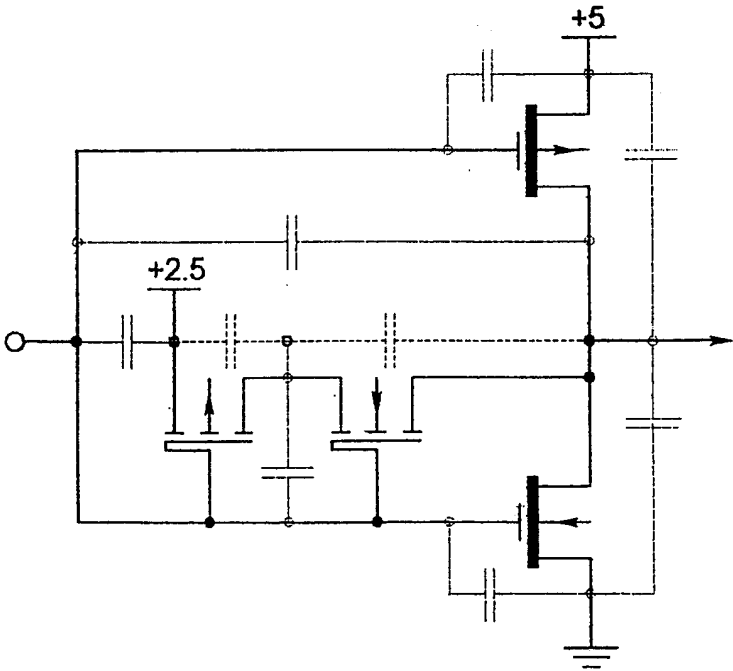


图33:

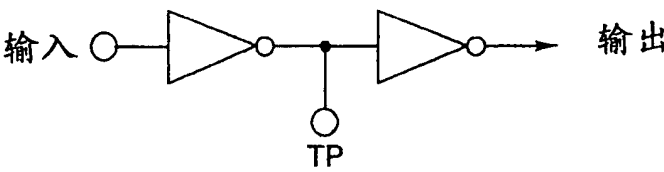


图34:

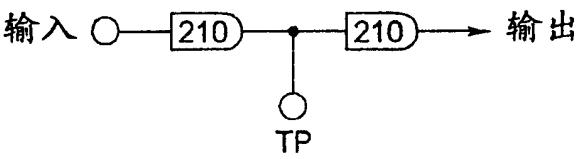


图35:

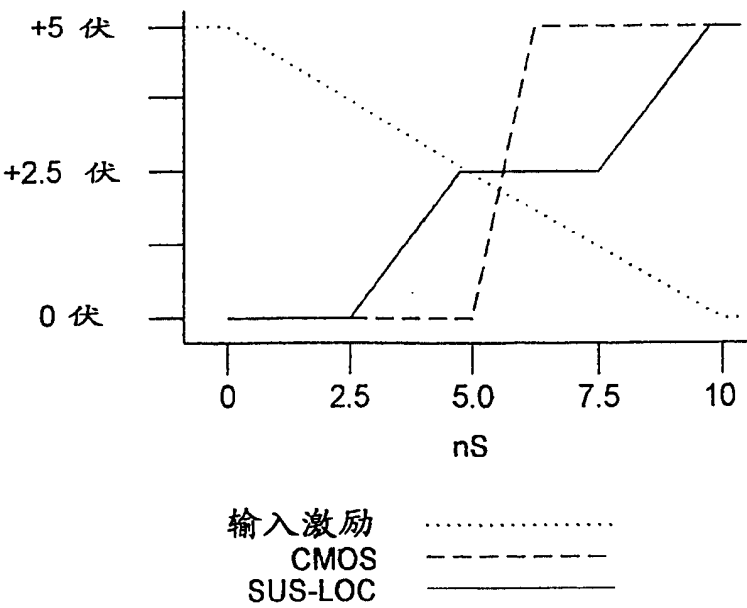


图36:



图37:

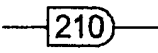


图 38:

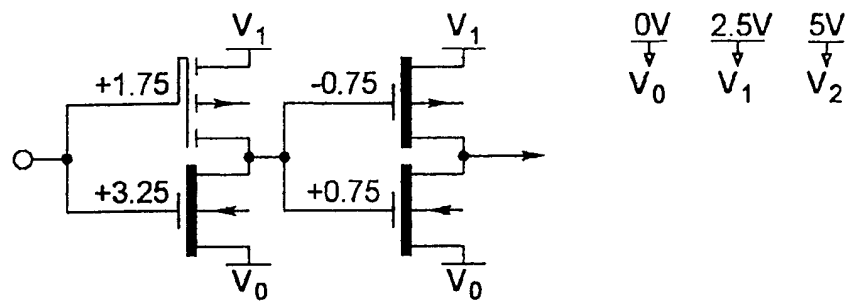


图39:

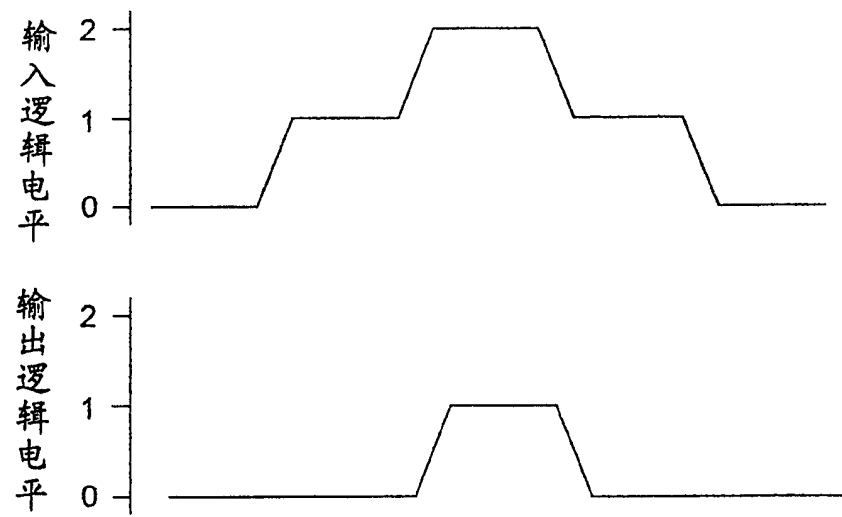
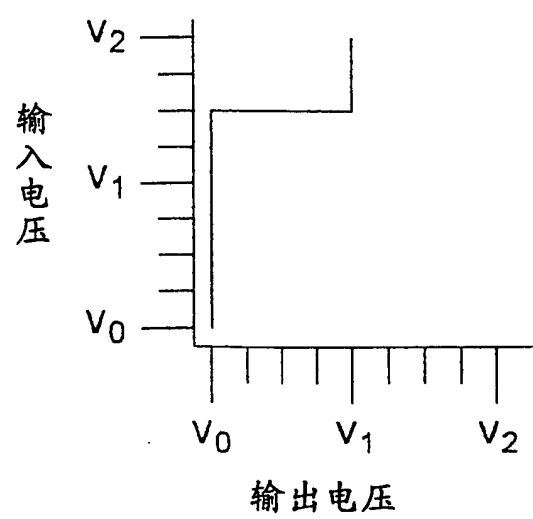


图40:



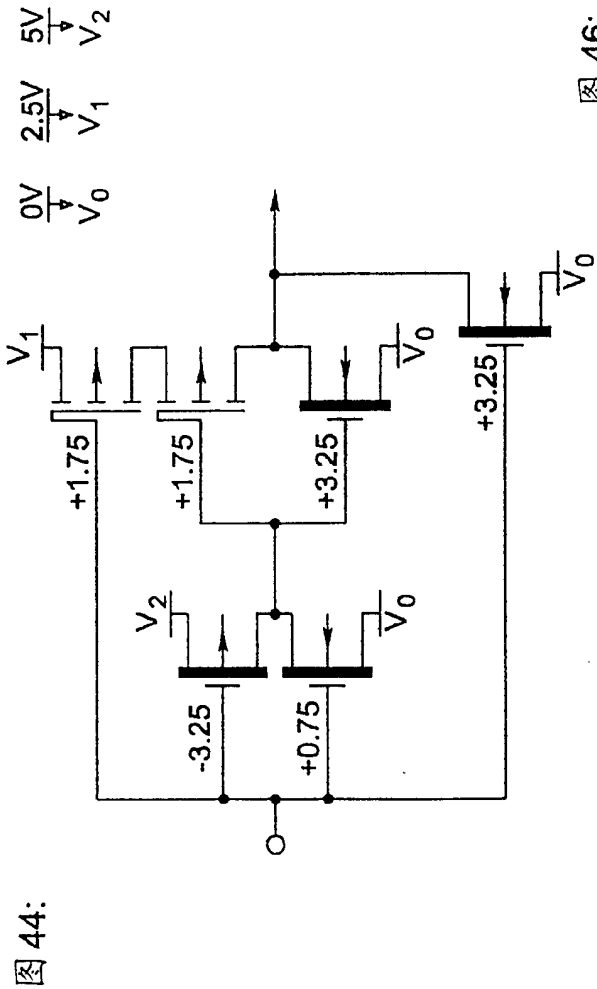


图 45:

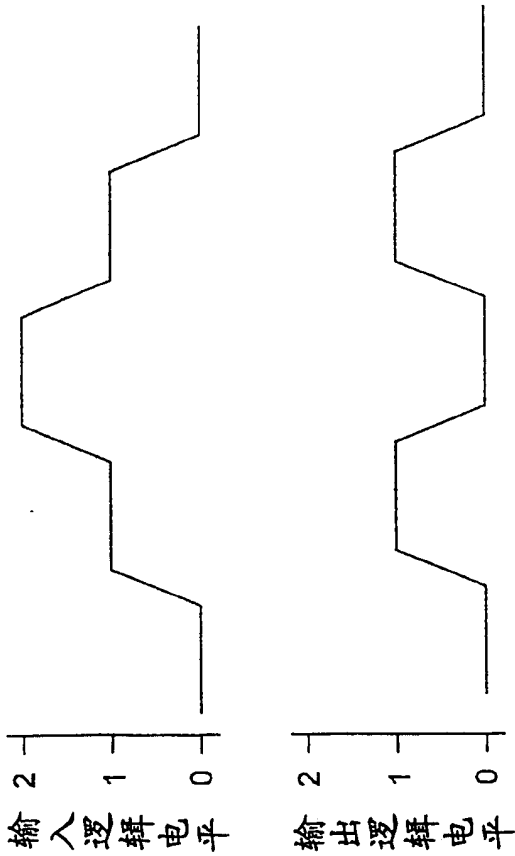


图 46:

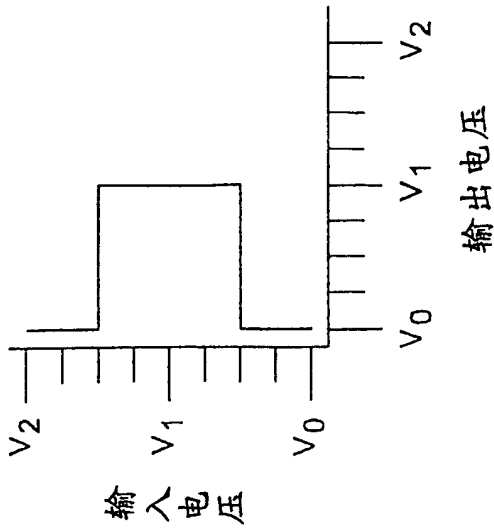


图 47:

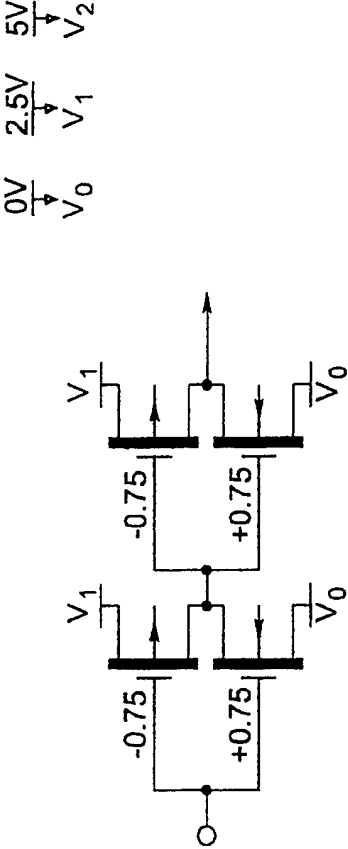


图 48:

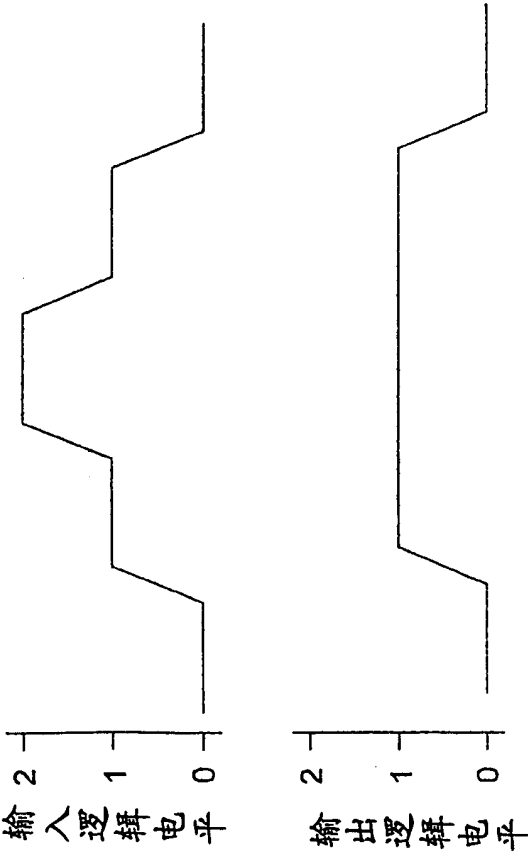


图 49:

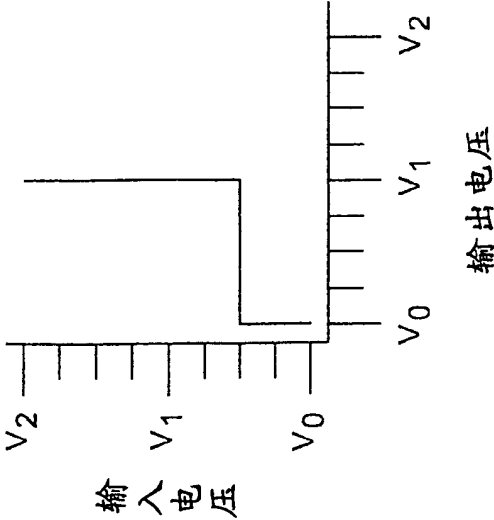


图 50:

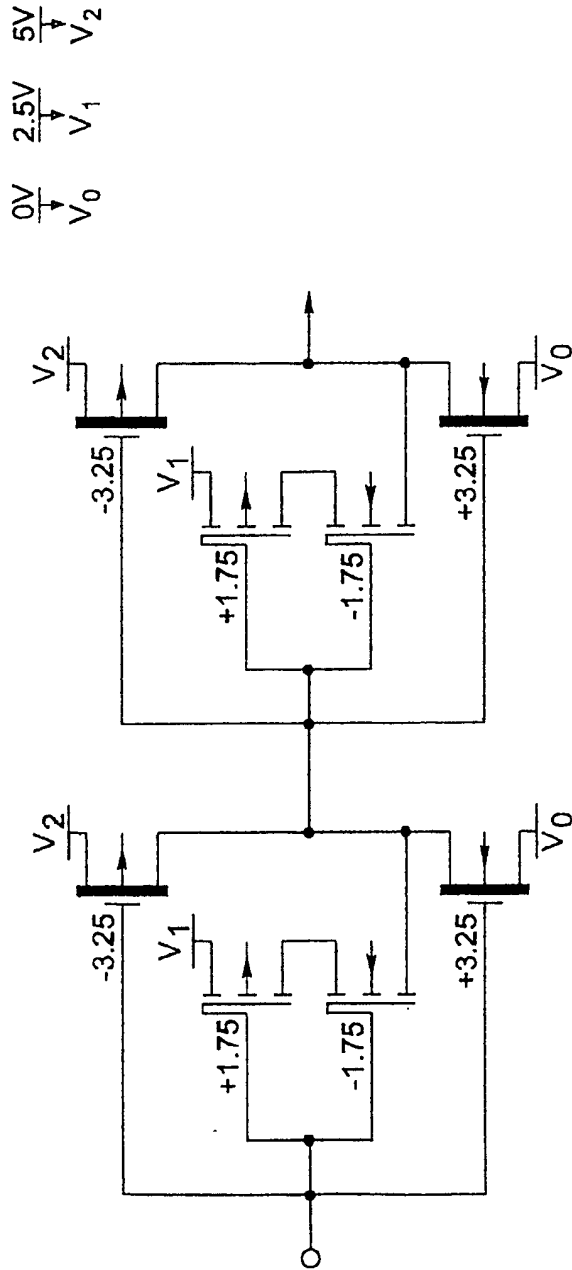


图 51:

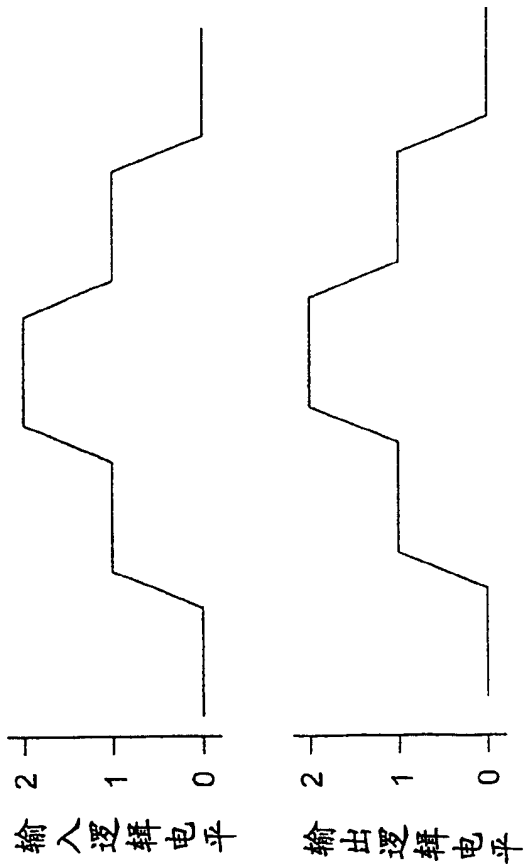


图 52:

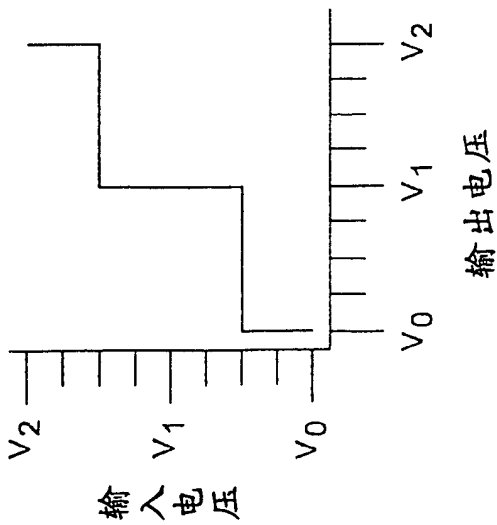


图 53:

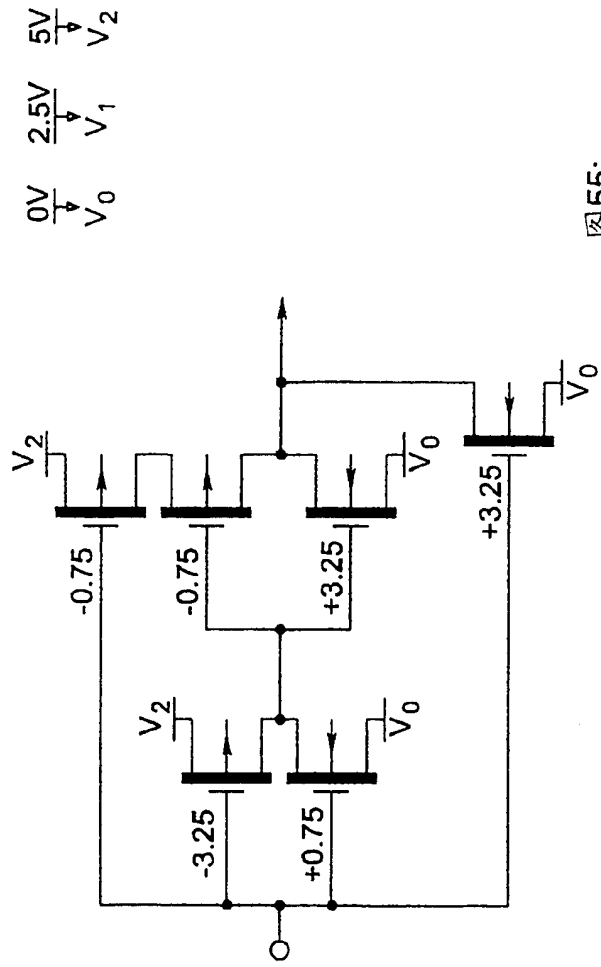


图 54:

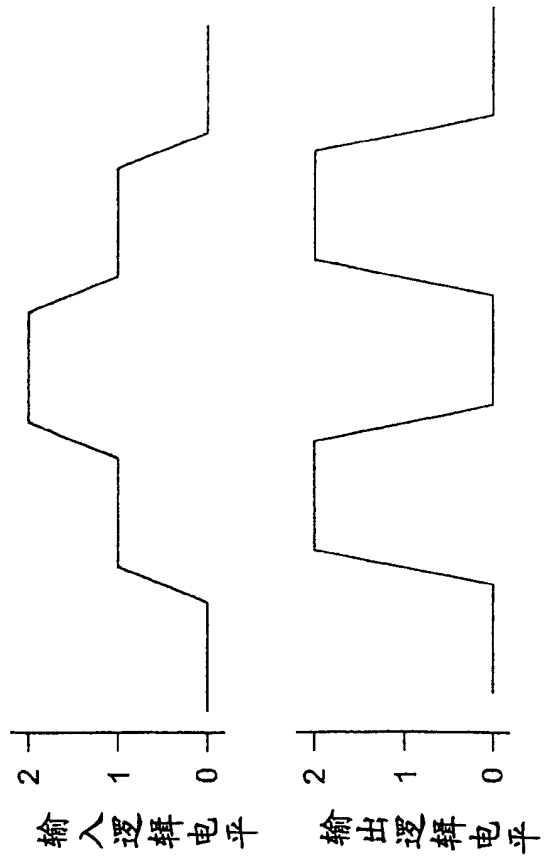
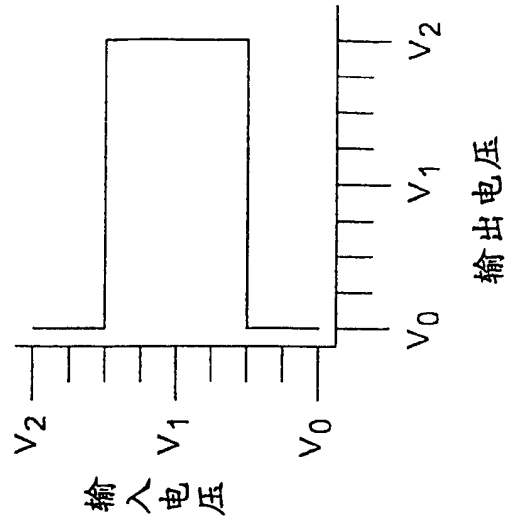


图 55:



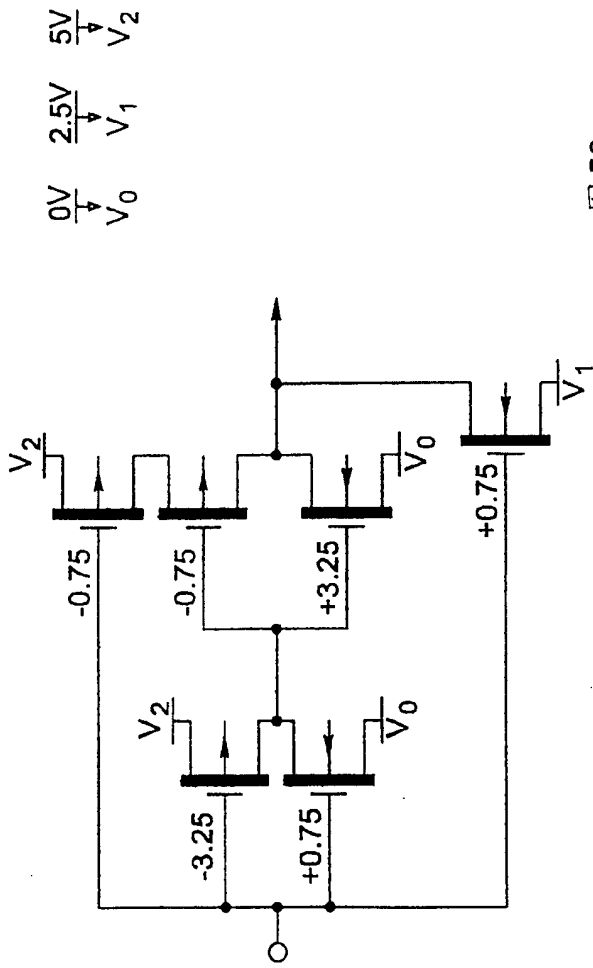


图 56:

$0V \frac{V_0}{V_0}$
 $2.5V \frac{V_1}{V_1}$
 $5V \frac{V_2}{V_2}$

图 57:

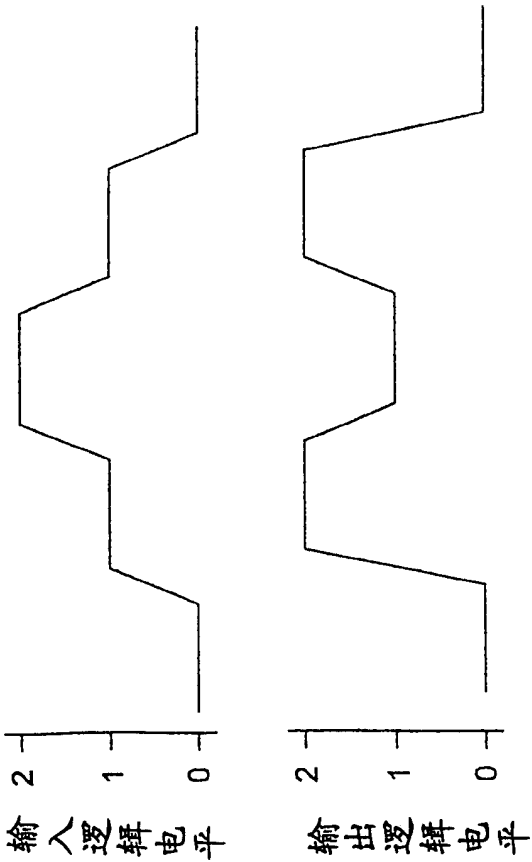


图 58:

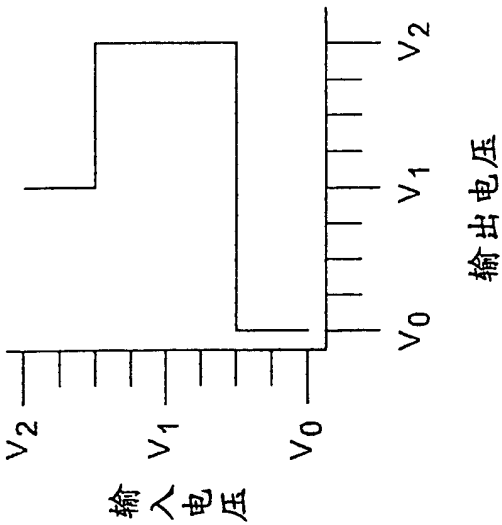


图 59:

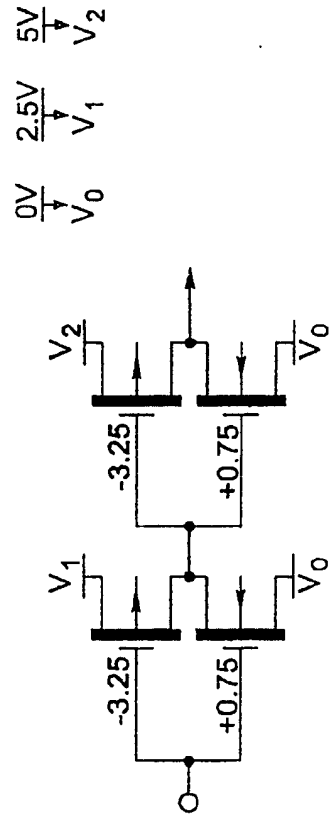


图 60:

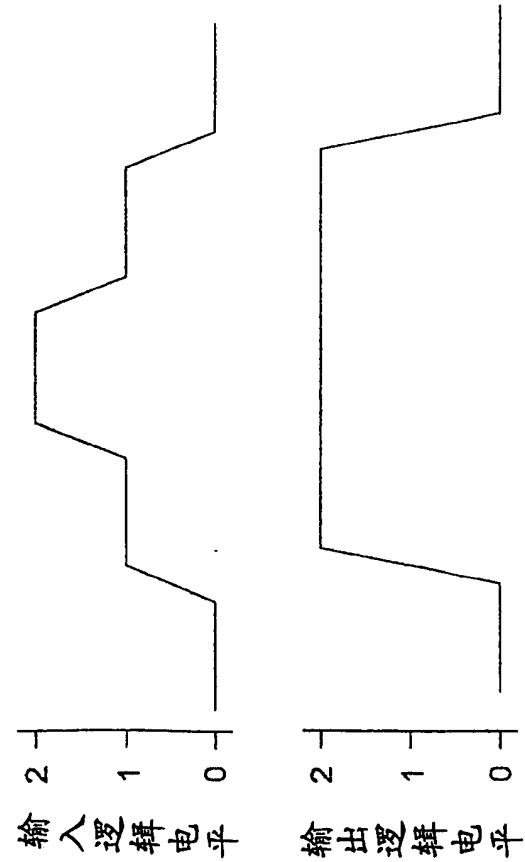


图 61:

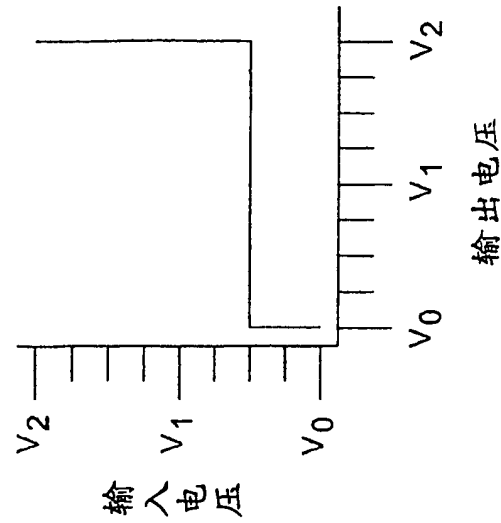
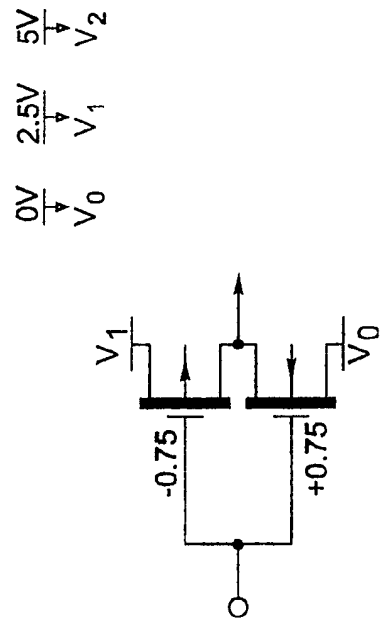


图62:



$0V \xrightarrow{V_0}$
 $2.5V \xrightarrow{V_1}$
 $5V \xrightarrow{V_2}$

图63:

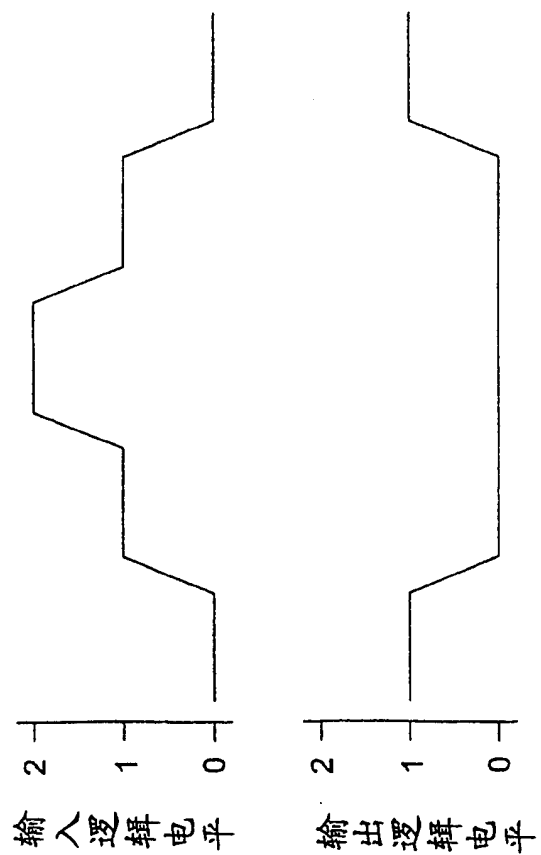
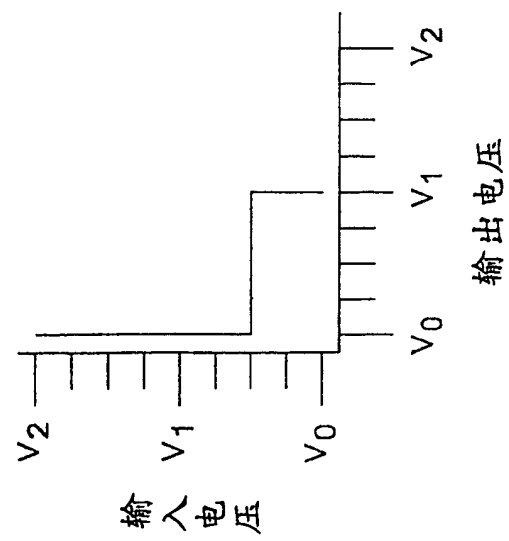


图64:



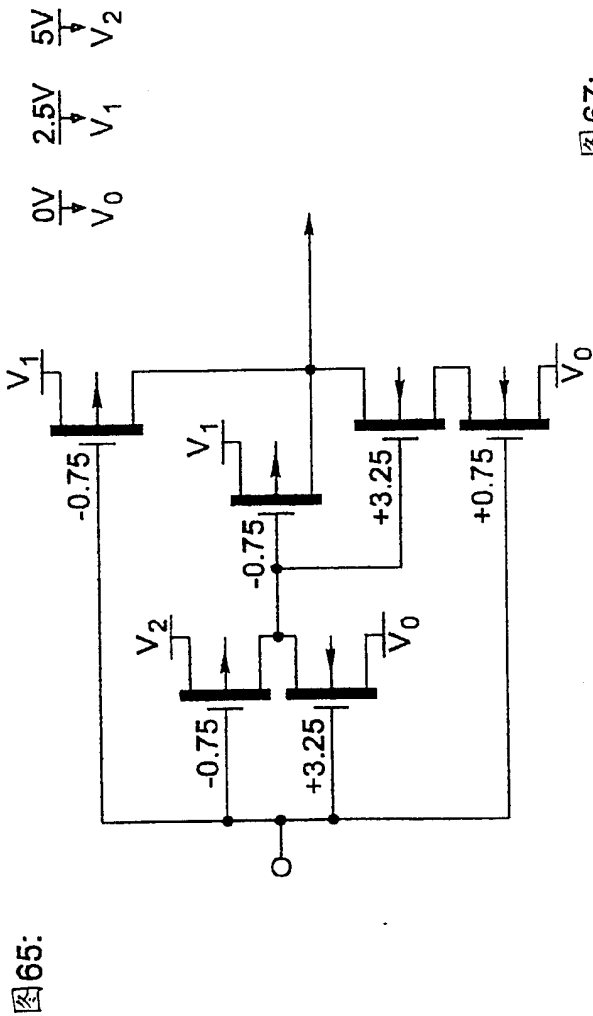


图67:

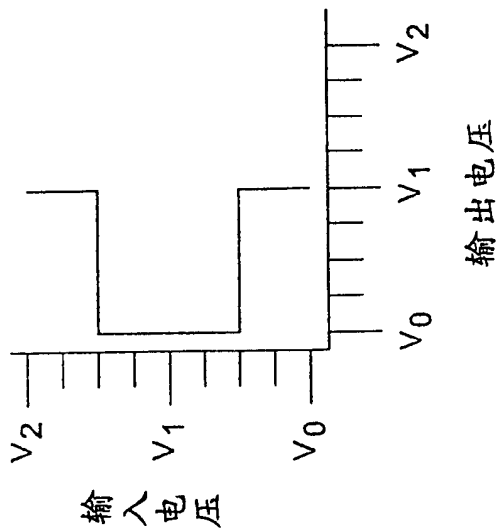


图66:

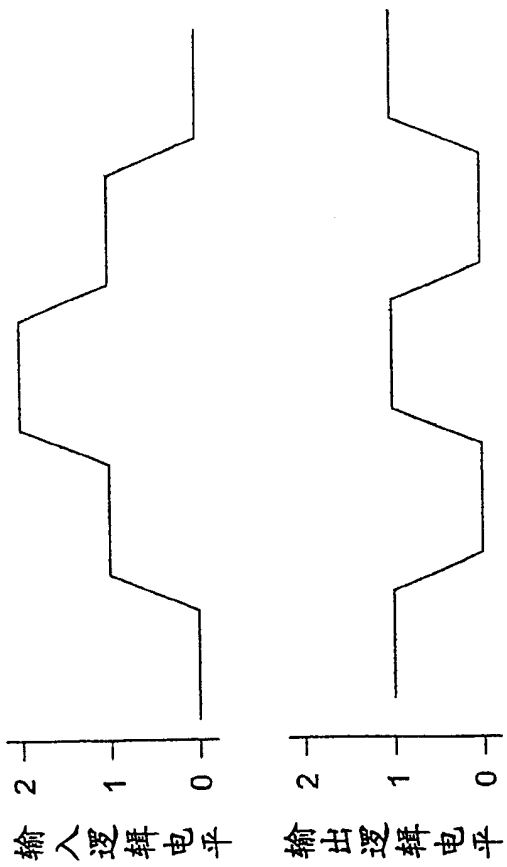


图 71:

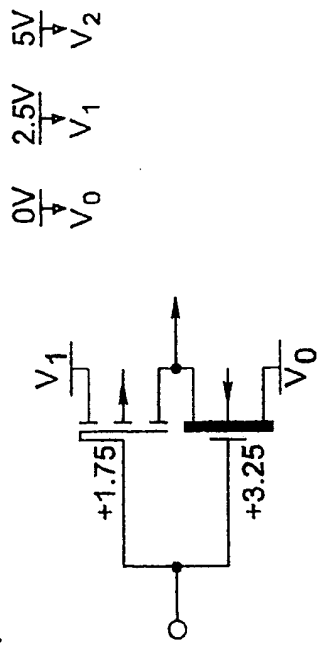


图72:

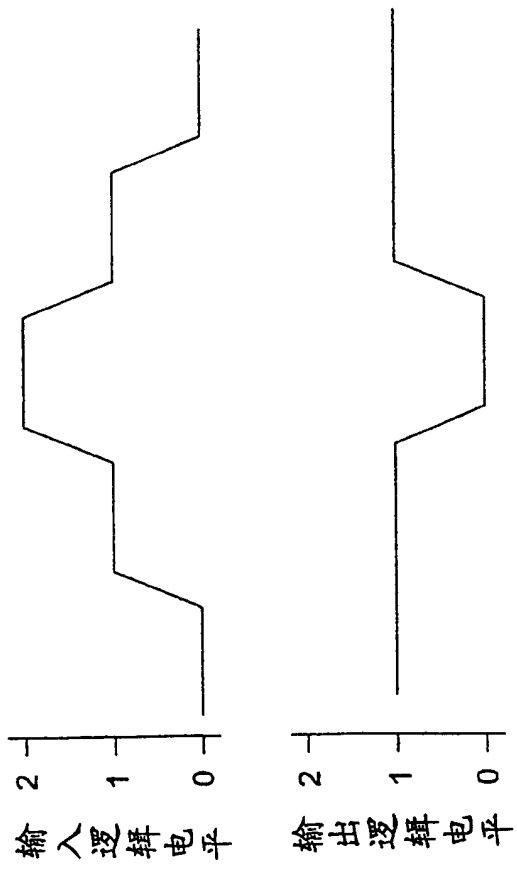


图73:

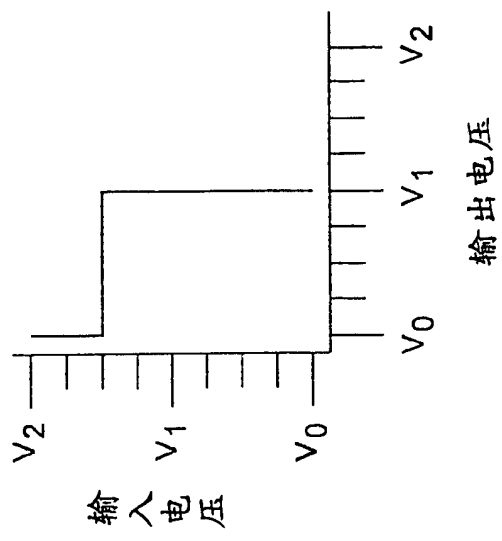


图74:

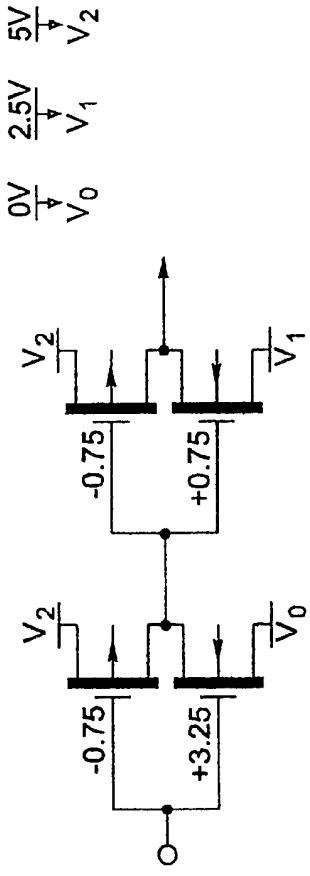


图75:

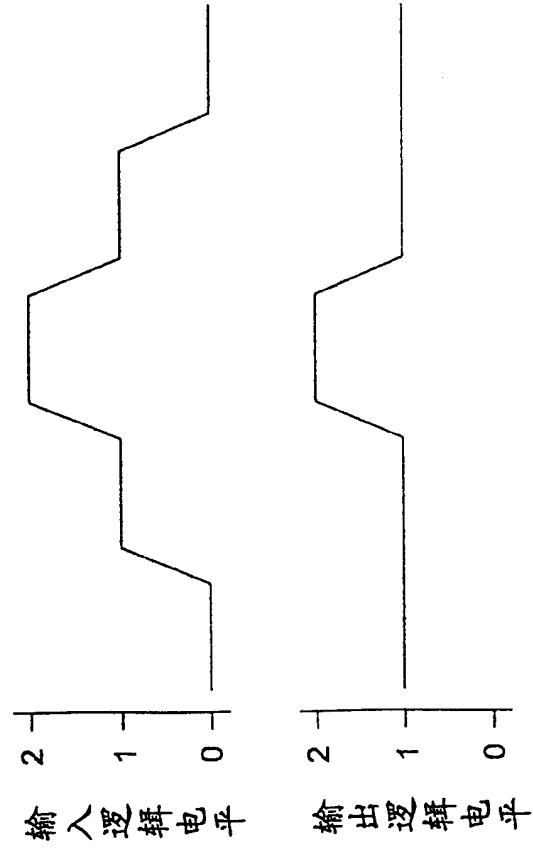
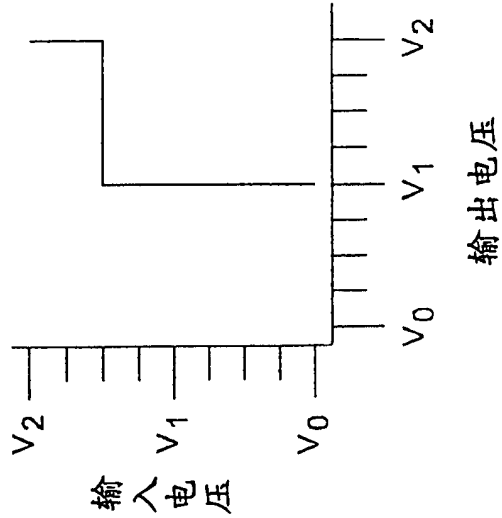
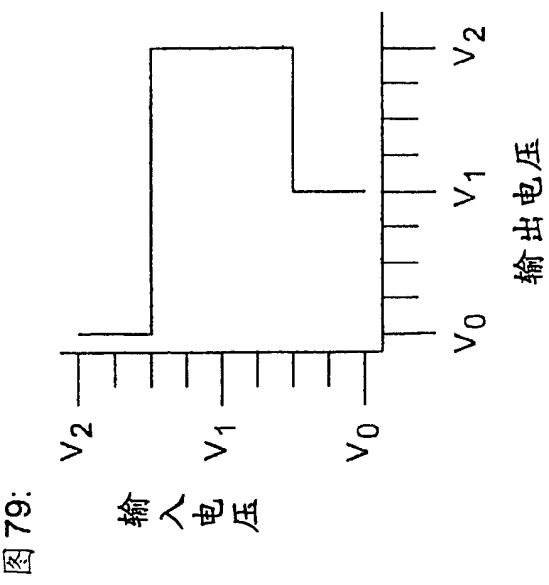
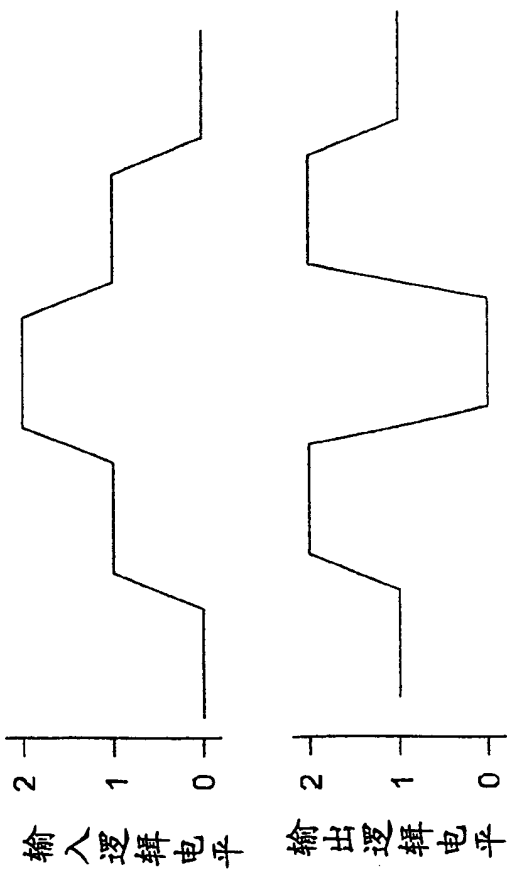
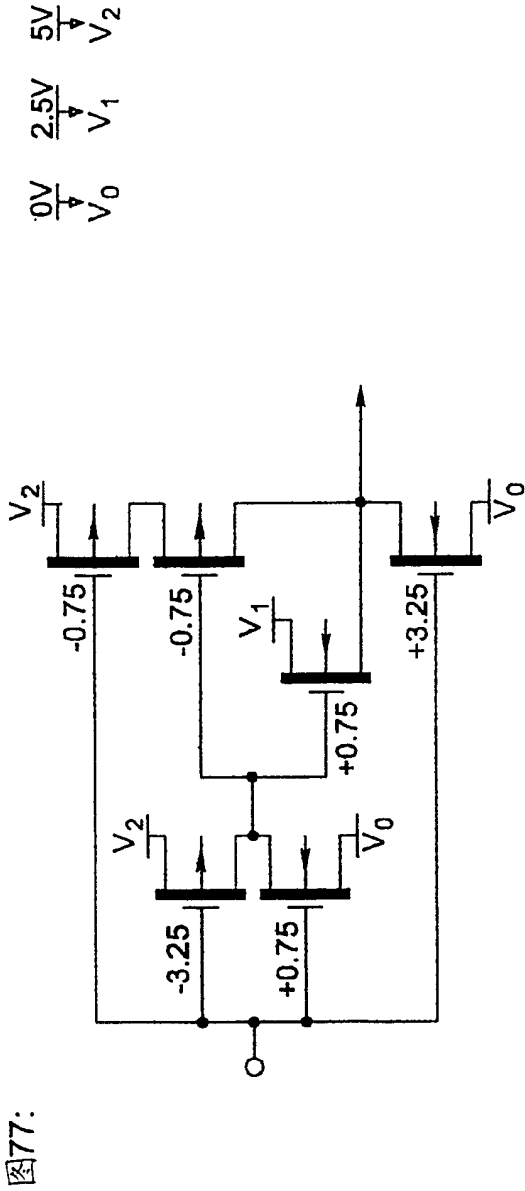


图76:





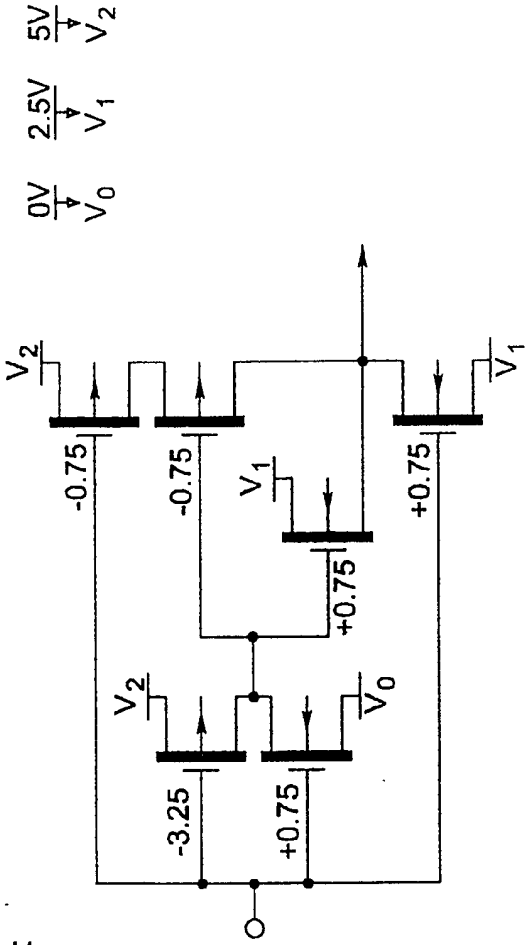


图 80:

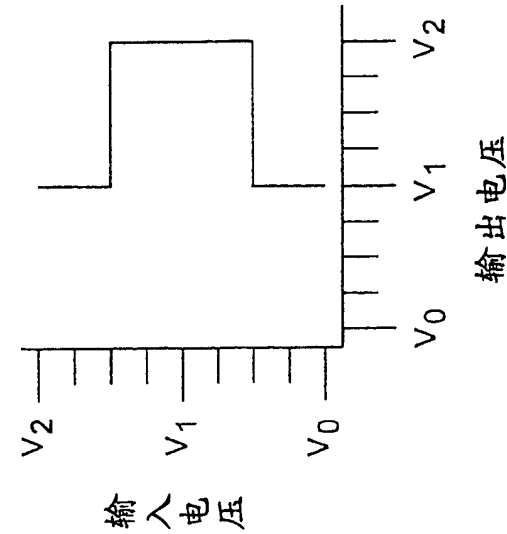


图 82:

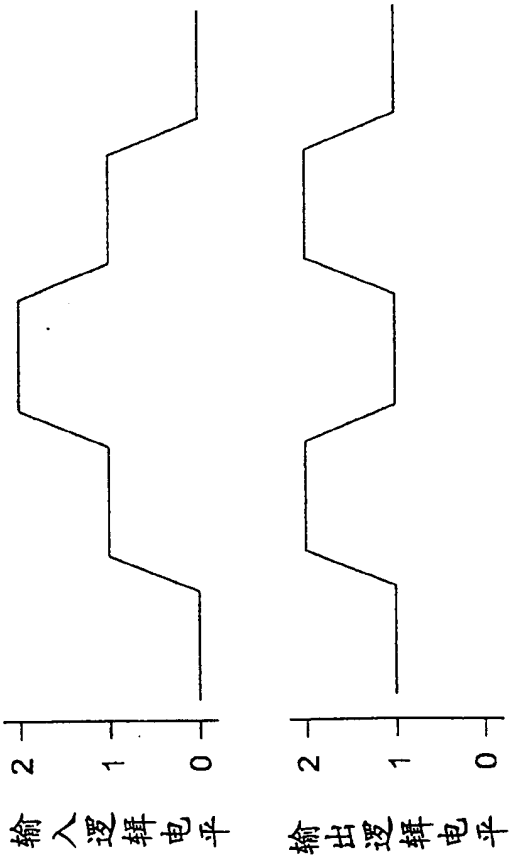
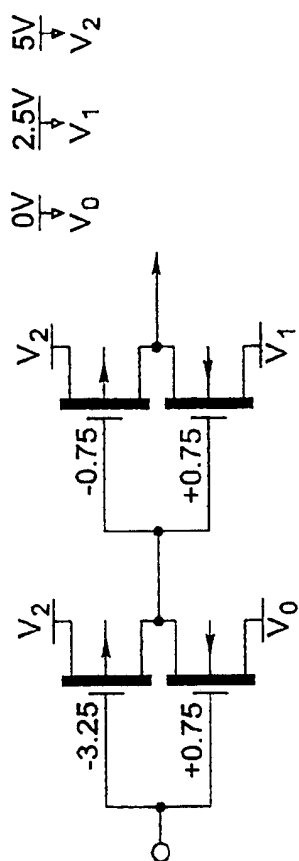
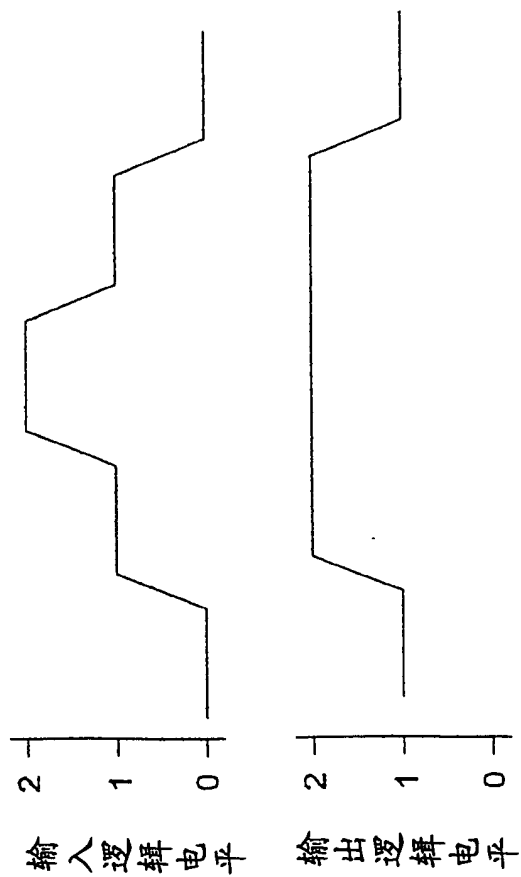


图 81:

83.



84:



85:

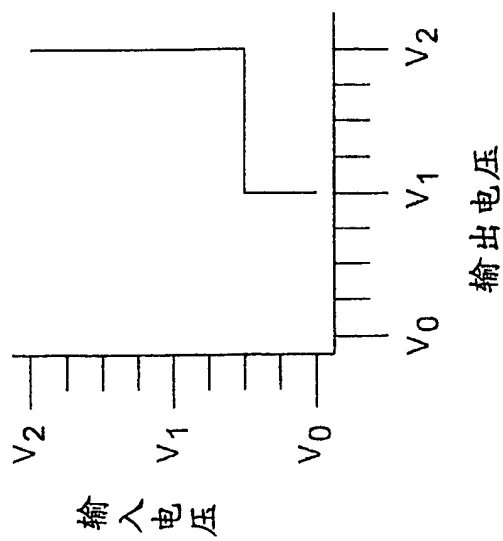
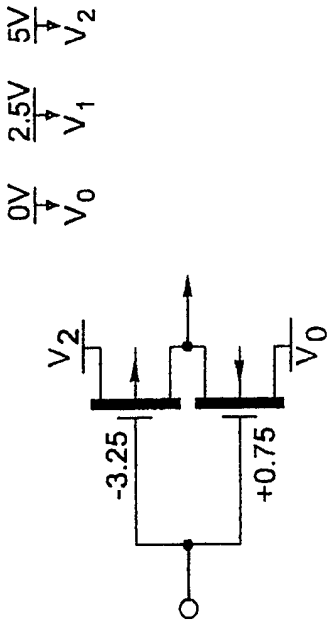


图 86:



$0V \xrightarrow{V_0}$ $2.5V \xrightarrow{V_1}$ $5V \xrightarrow{V_2}$

图 87:

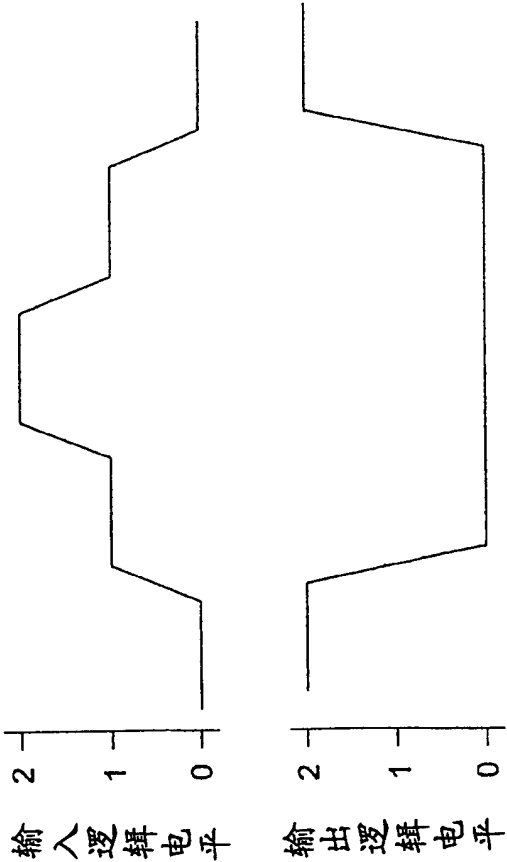


图 88:

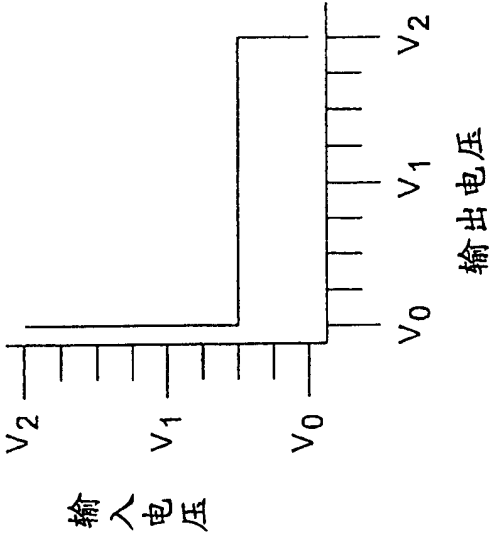


图 89:

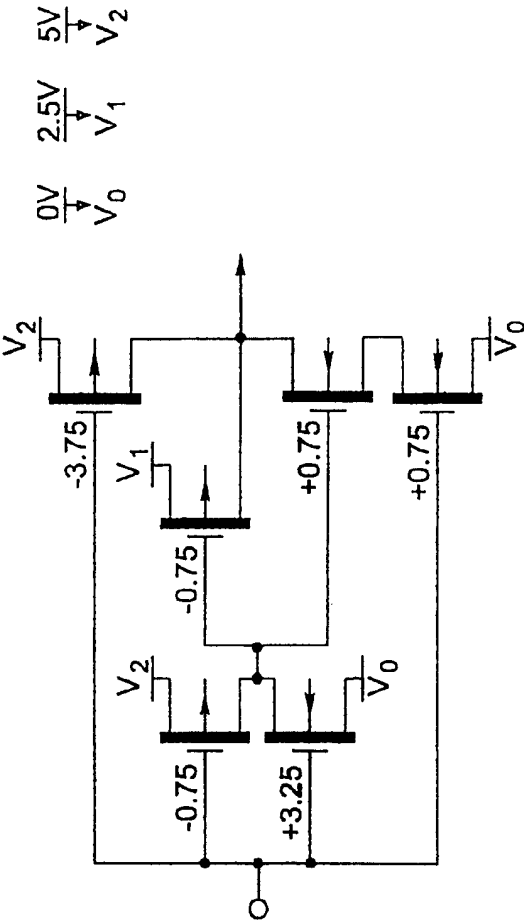


图 90:

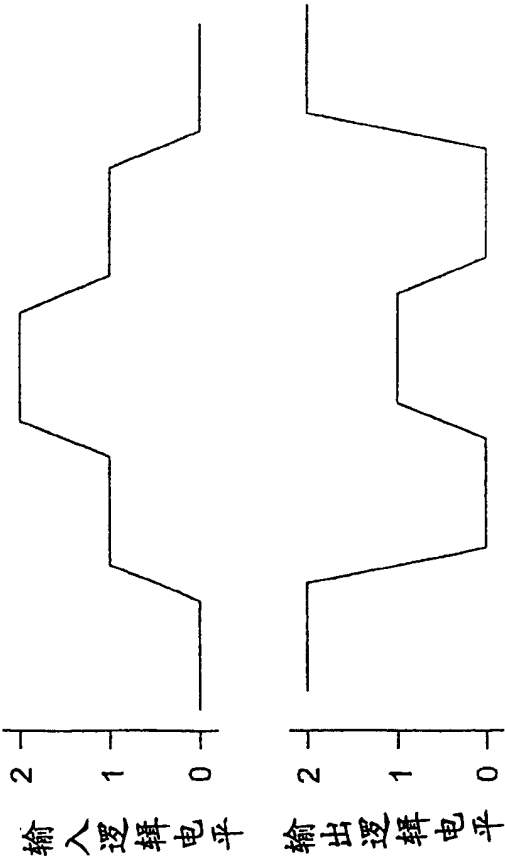


图 91:

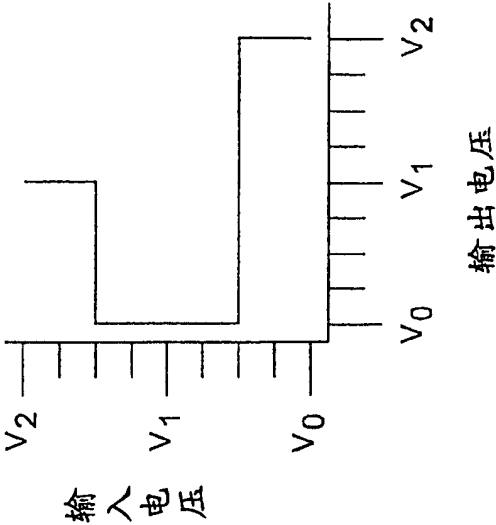


图 92:

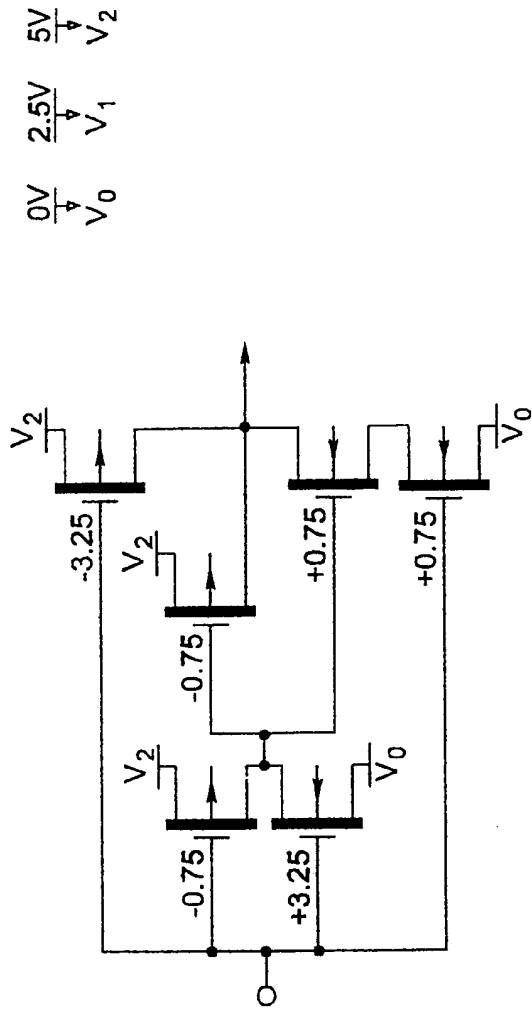


图 93:

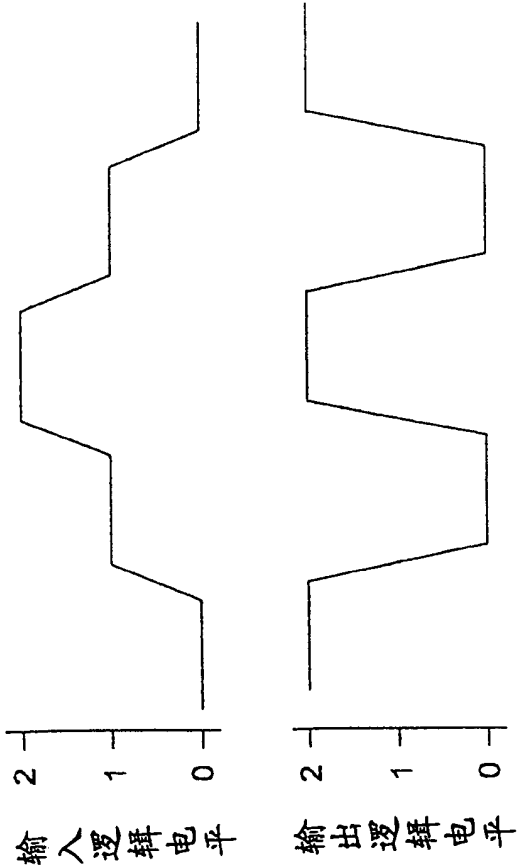
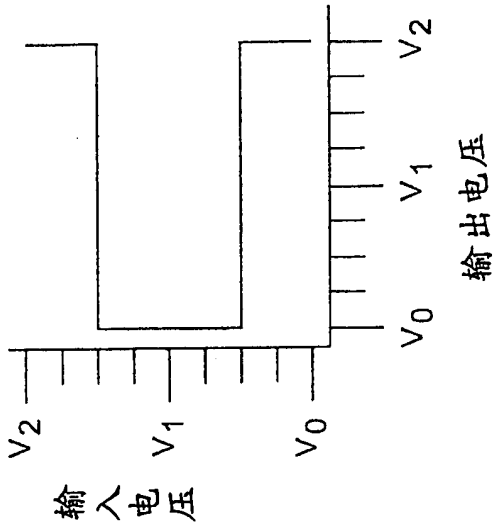


图 94:



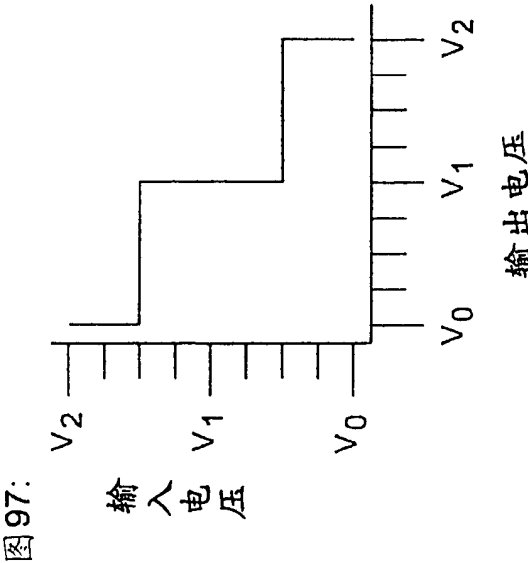
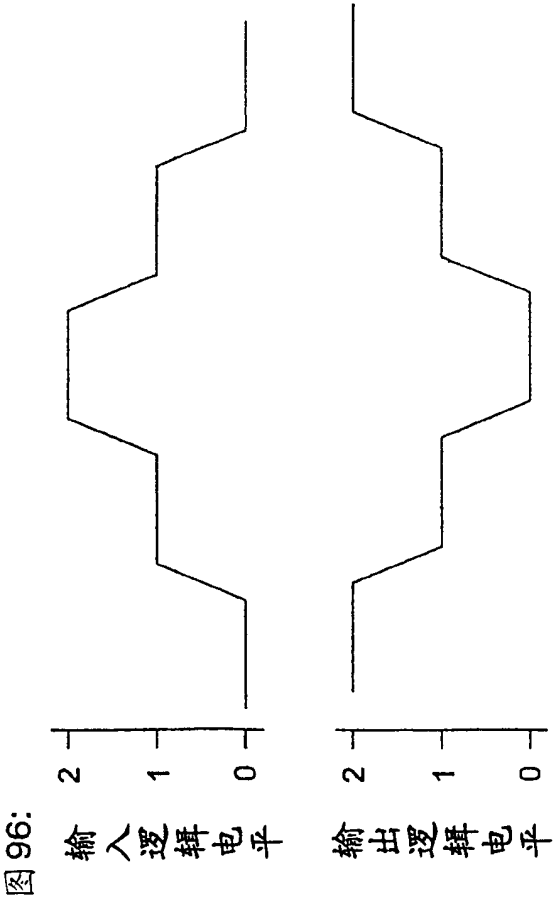
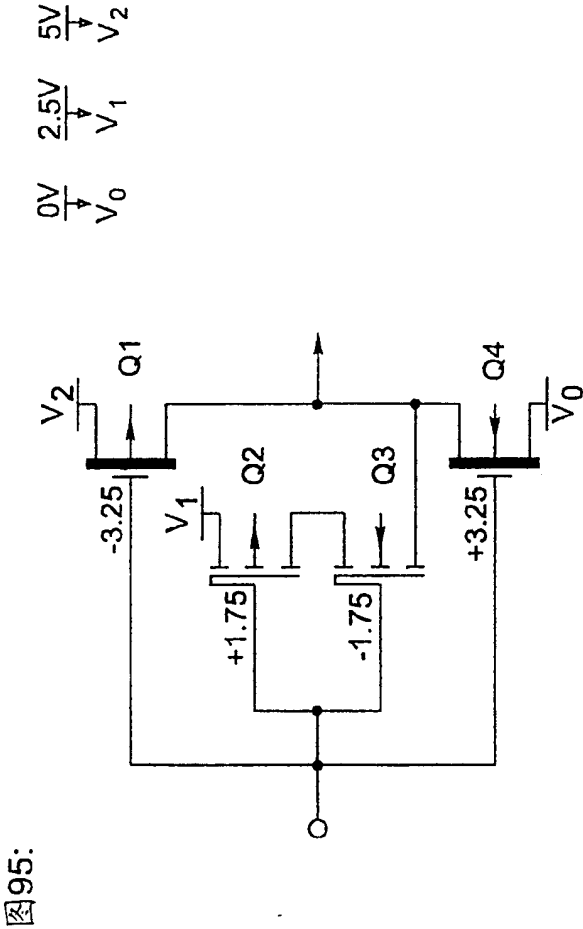


图 98:

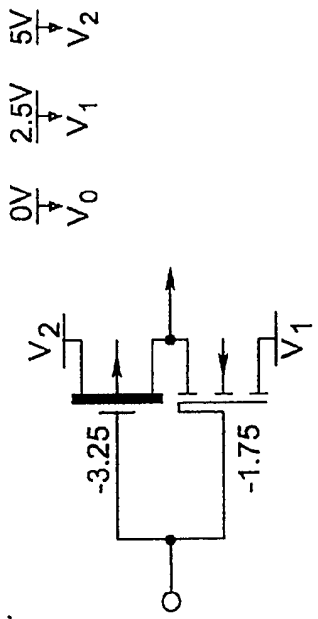


图 99:

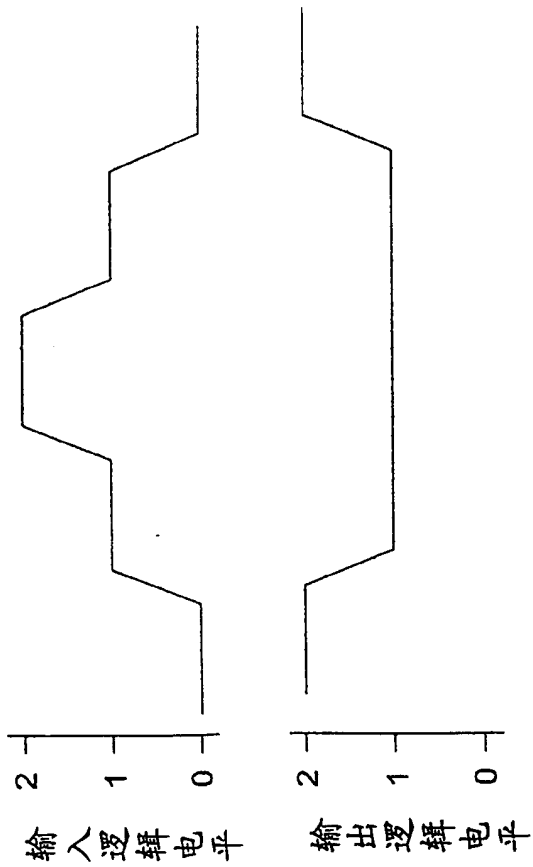


图 100:

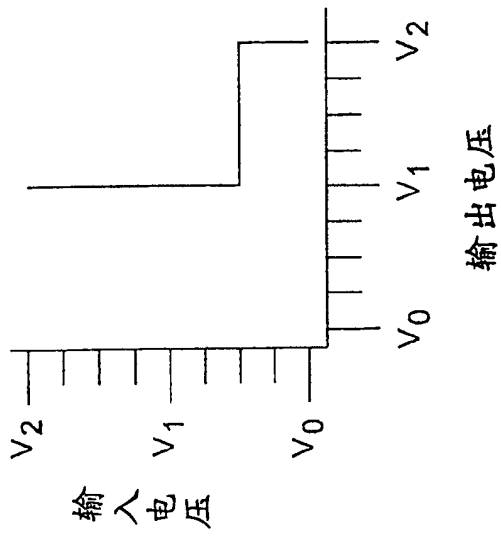


图104:

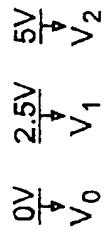
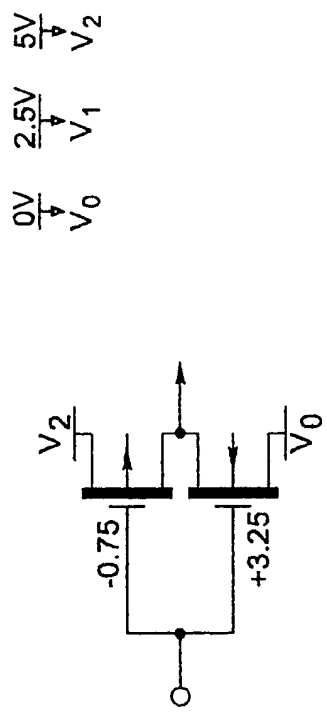


图105:

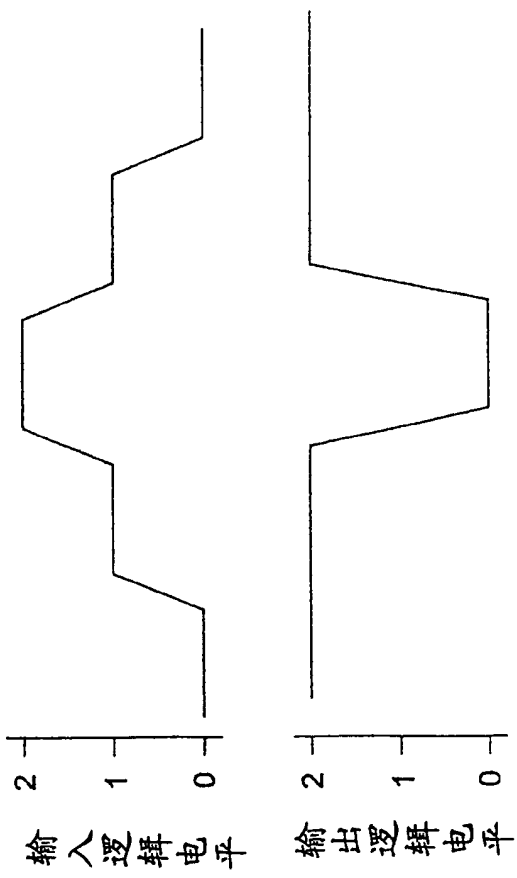


图106:

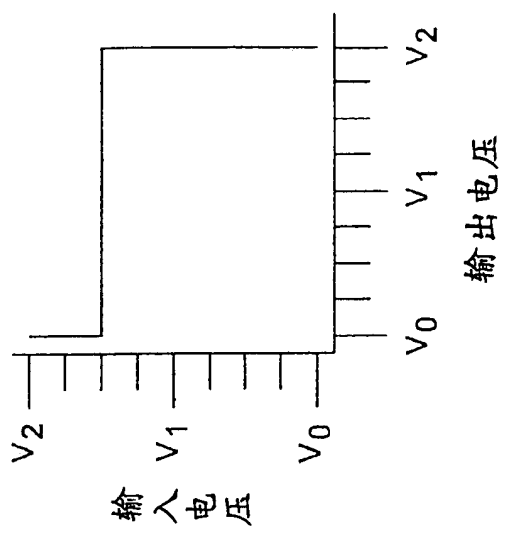


图107:

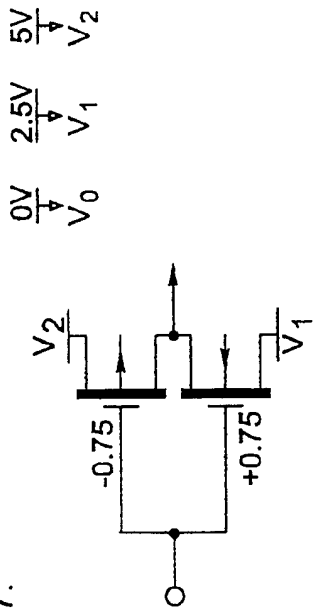


图108:

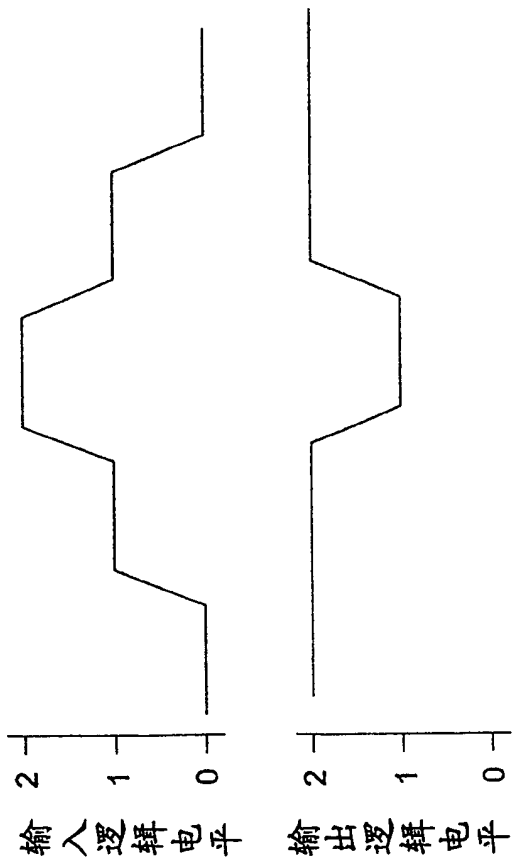


图109:

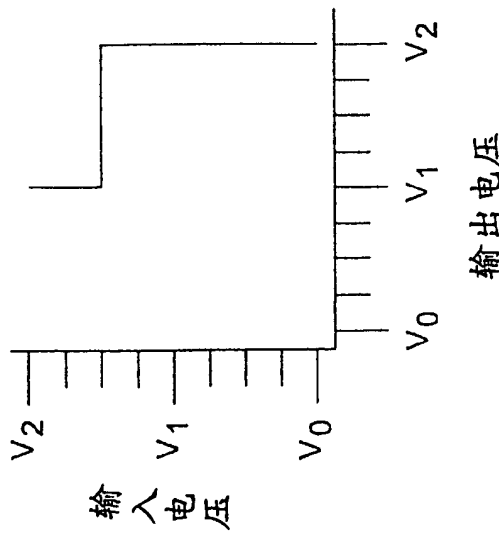


图110:

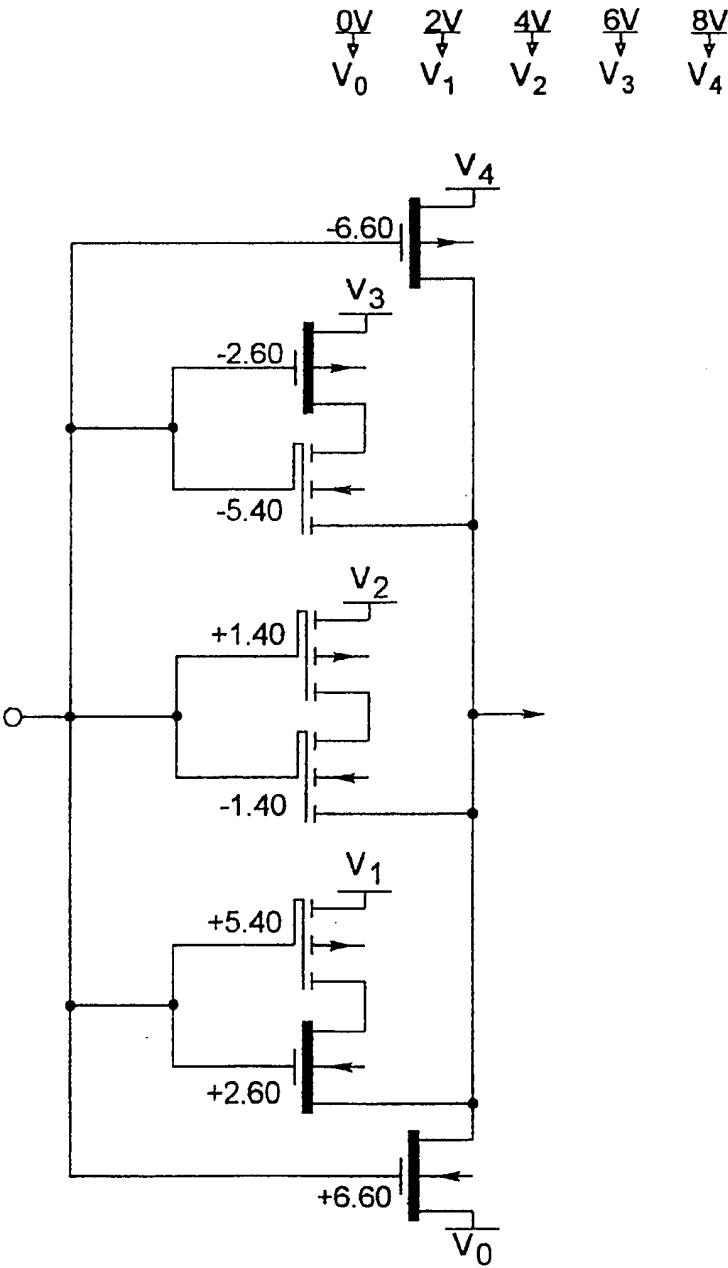


图112:

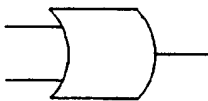


图113:

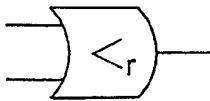


图114:

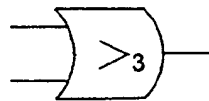


图 111:

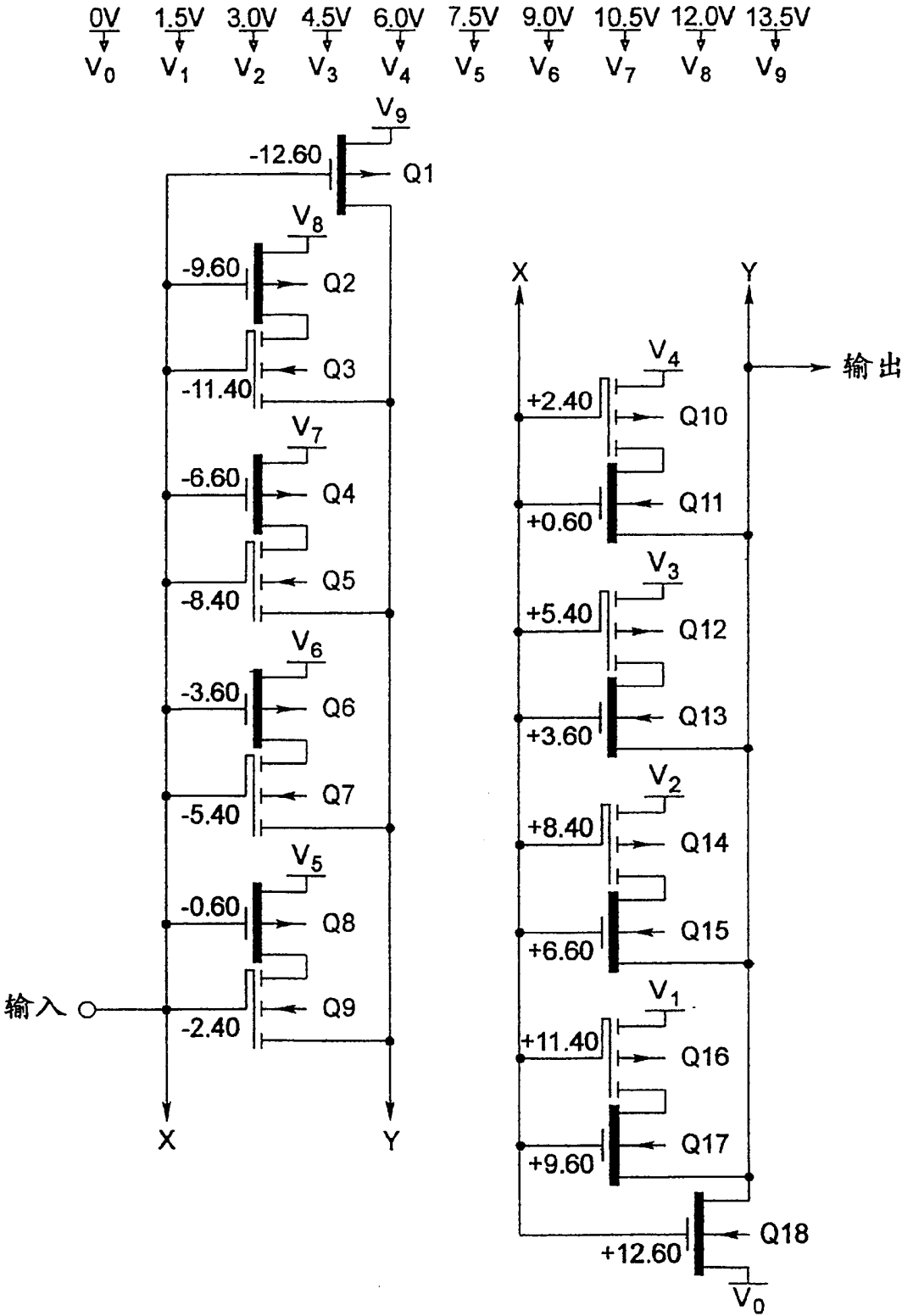


图115:

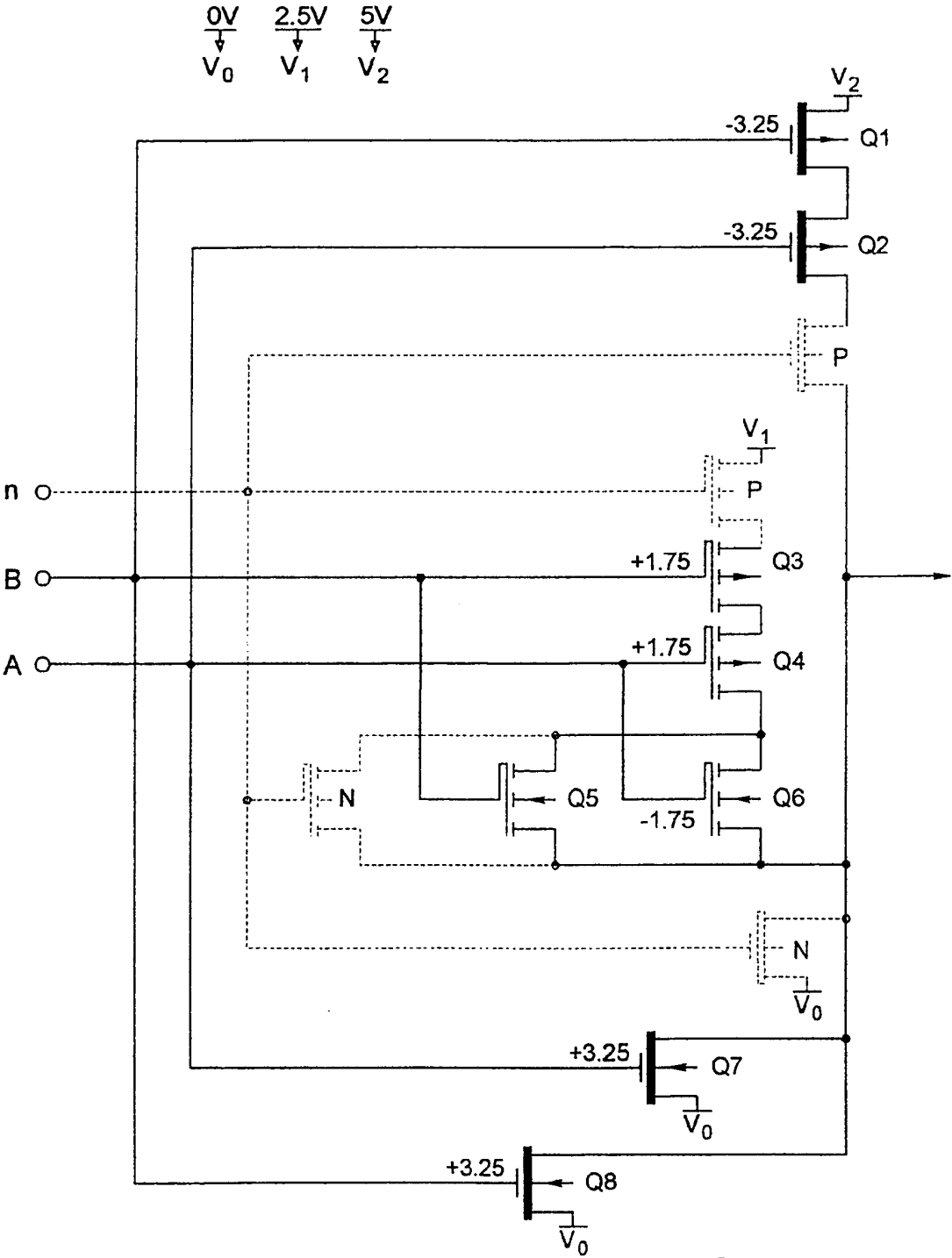


图116:

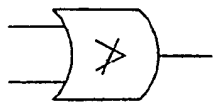


图 117:

	A		
	0	1	2
0	2	1	0
1	1	1	0
2	0	0	0

图118:

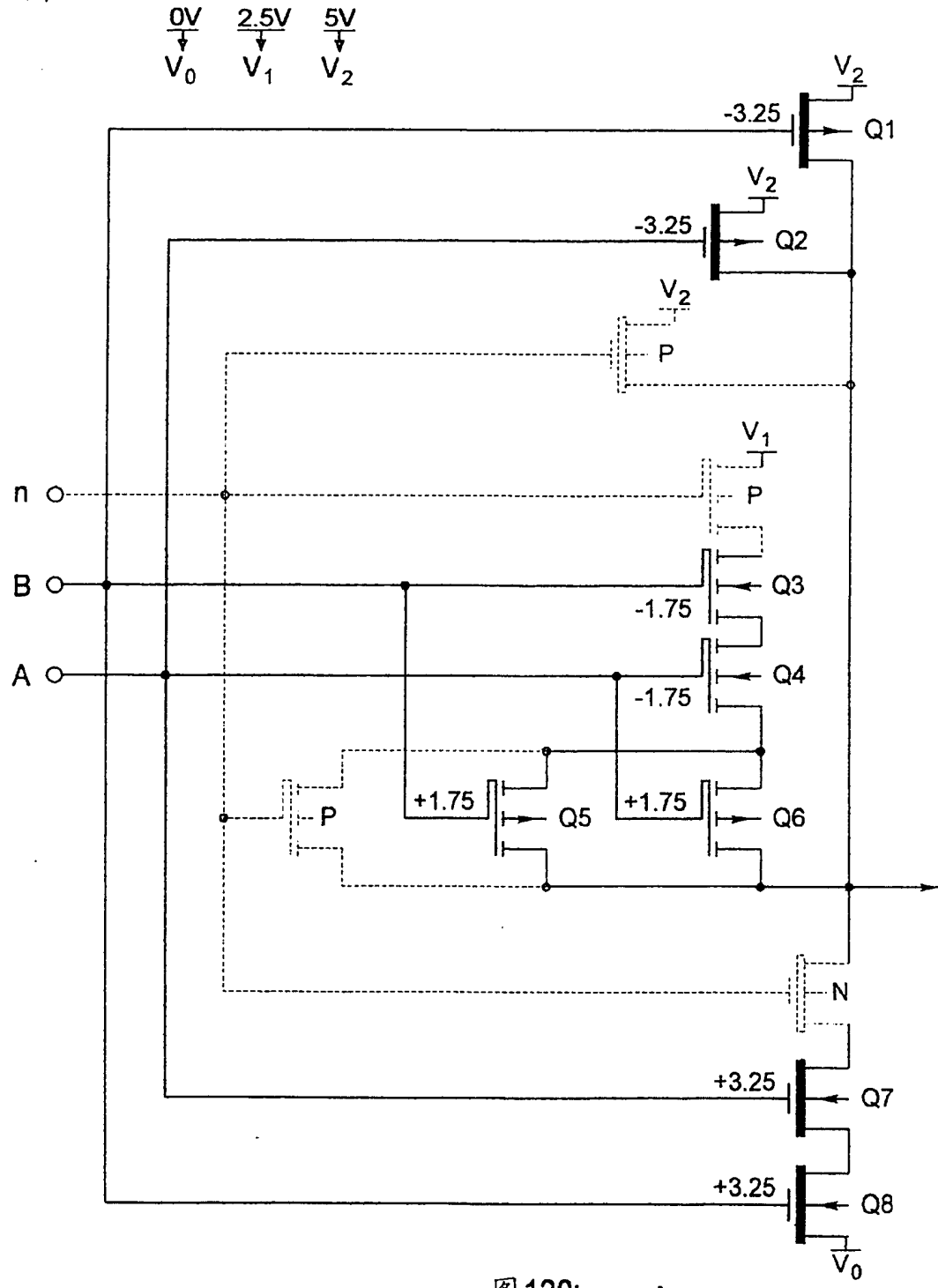


图119:

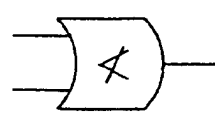


图120:

		A		
		0	1	2
B	0	2	2	2
	1	2	1	1
	2	2	1	0

图121:

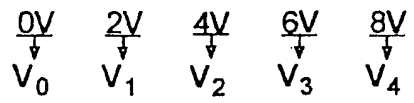


图122:

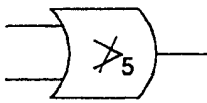


图123:

		A				
		0	1	2	3	4
B	0	4	3	2	1	0
	1	3	3	2	1	0
	2	2	2	2	1	0
	3	1	1	1	1	0
	4	0	0	0	0	0

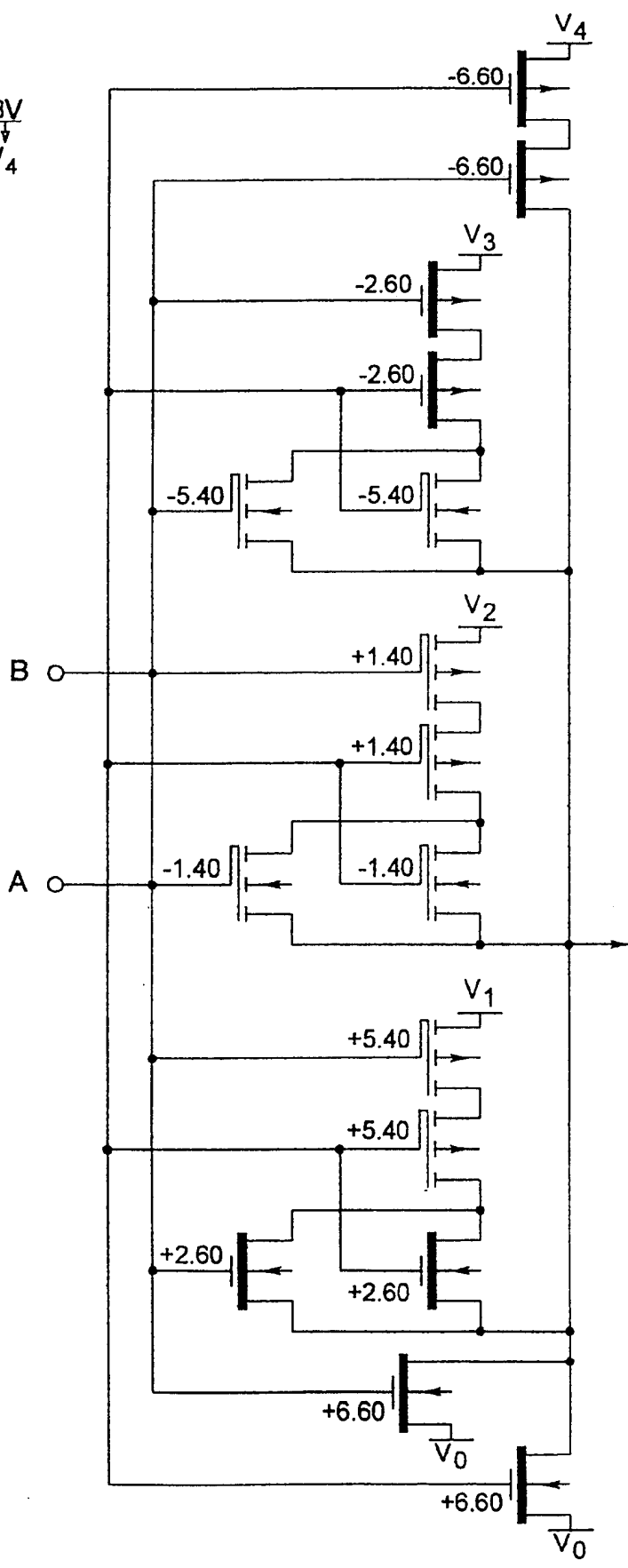


图124:

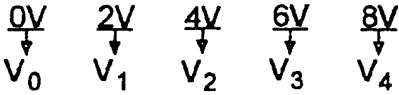


图125:

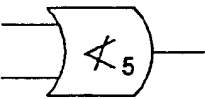


图126:

	A				
	0	1	2	3	4
0	4	4	4	4	4
1	4	3	3	3	3
2	4	3	2	2	2
3	4	3	2	1	1
4	4	3	2	1	0

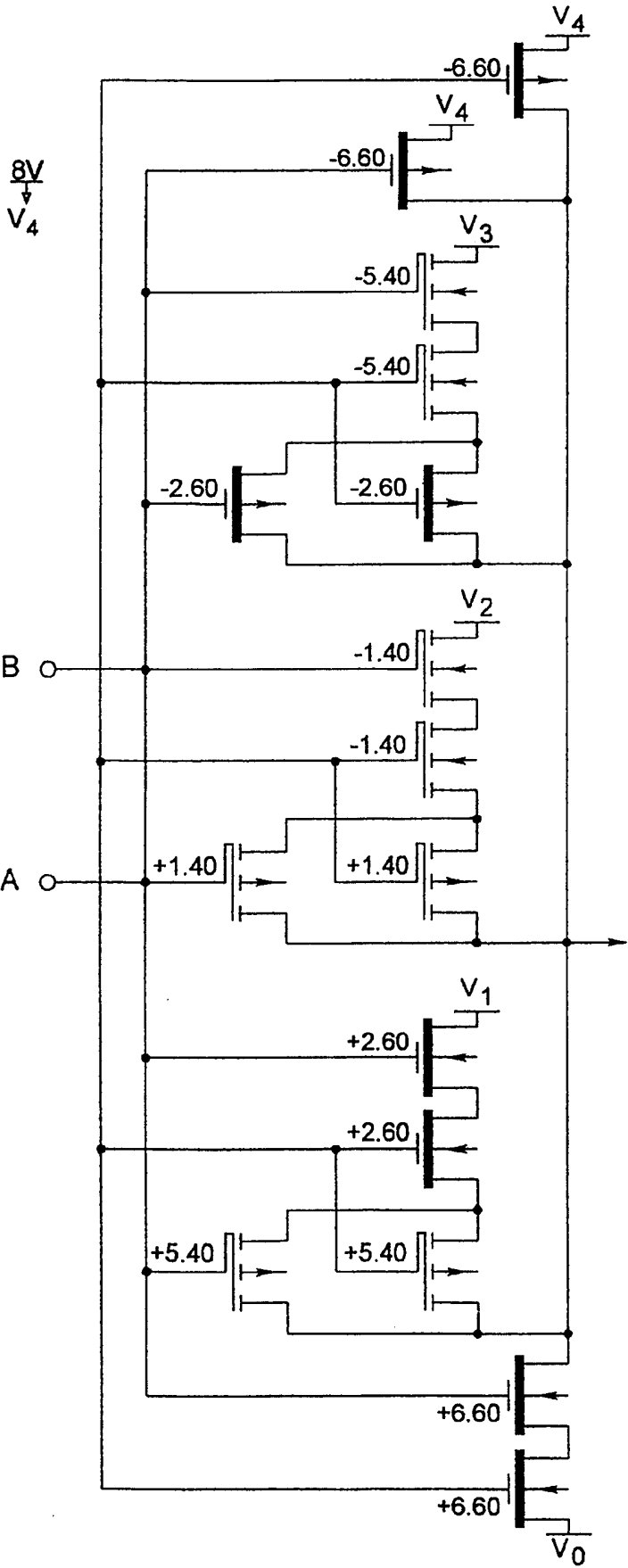


图127:

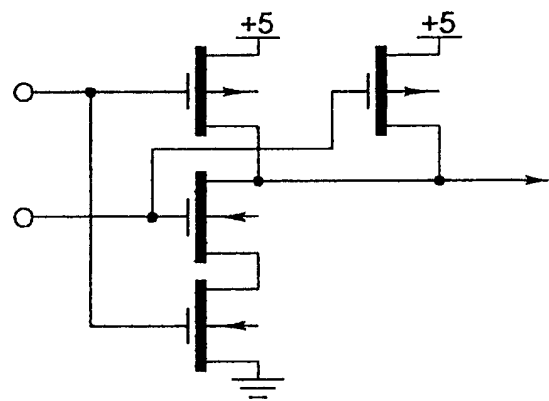


图 128:

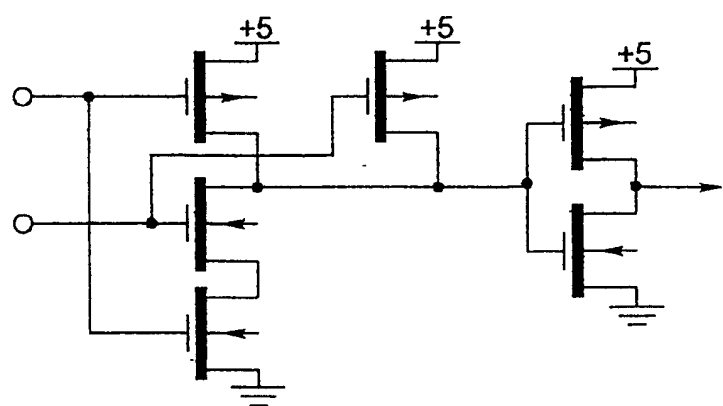


图129:

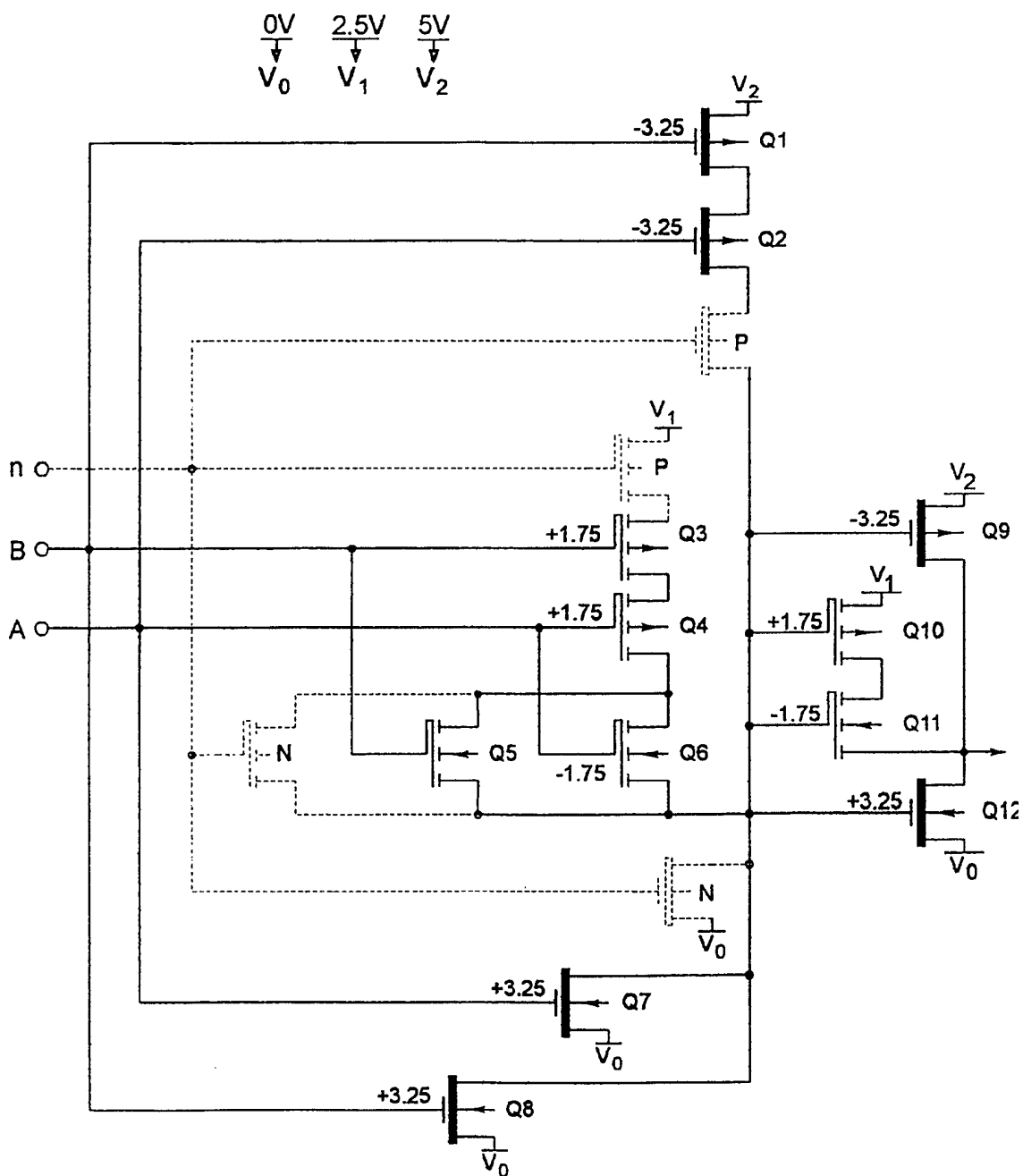


图130:

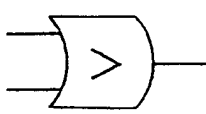


图131:

		A		
		0	1	2
B	0	0	1	2
	1	1	1	2
	2	2	2	2

图132:

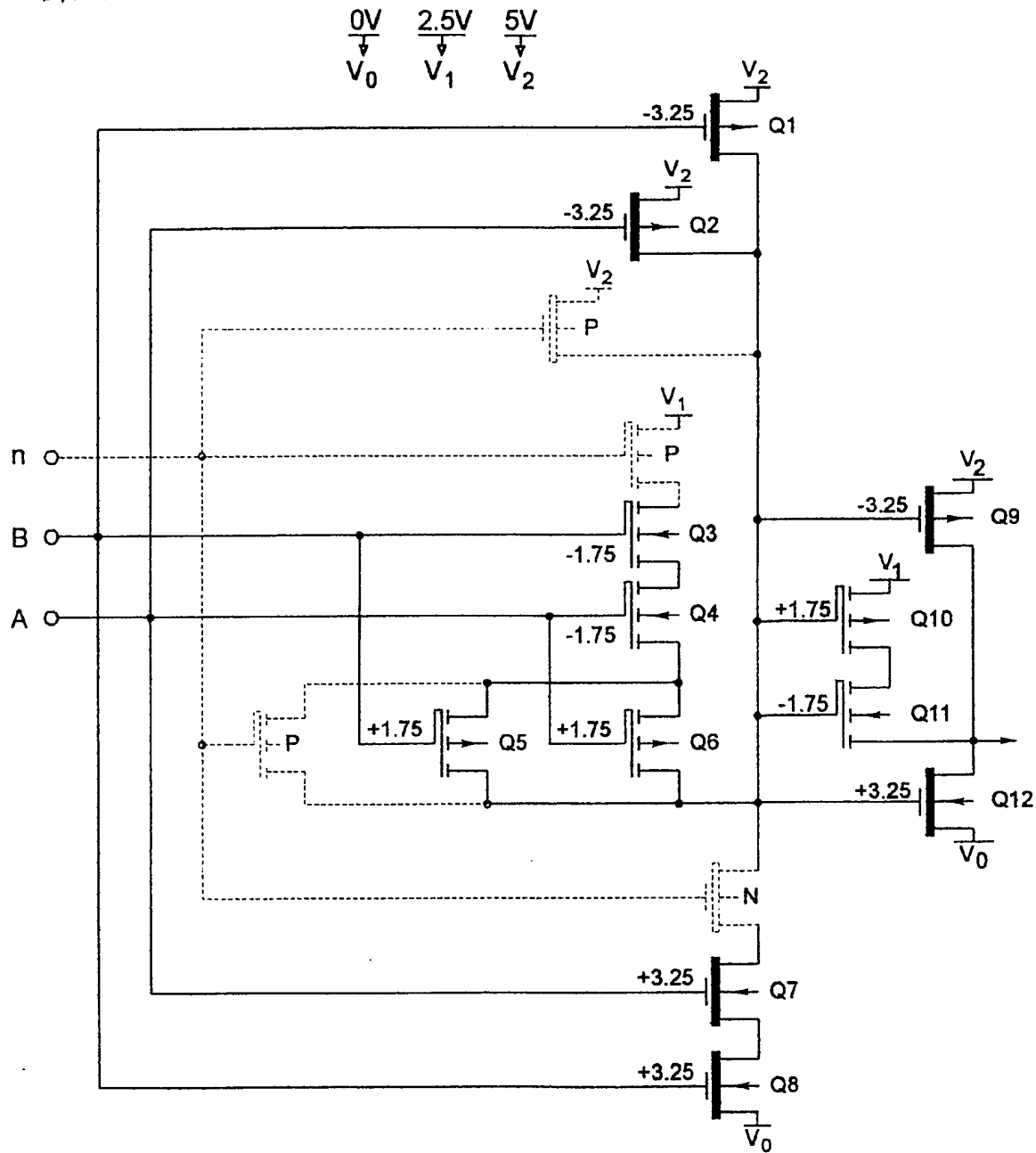


图 133:

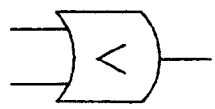


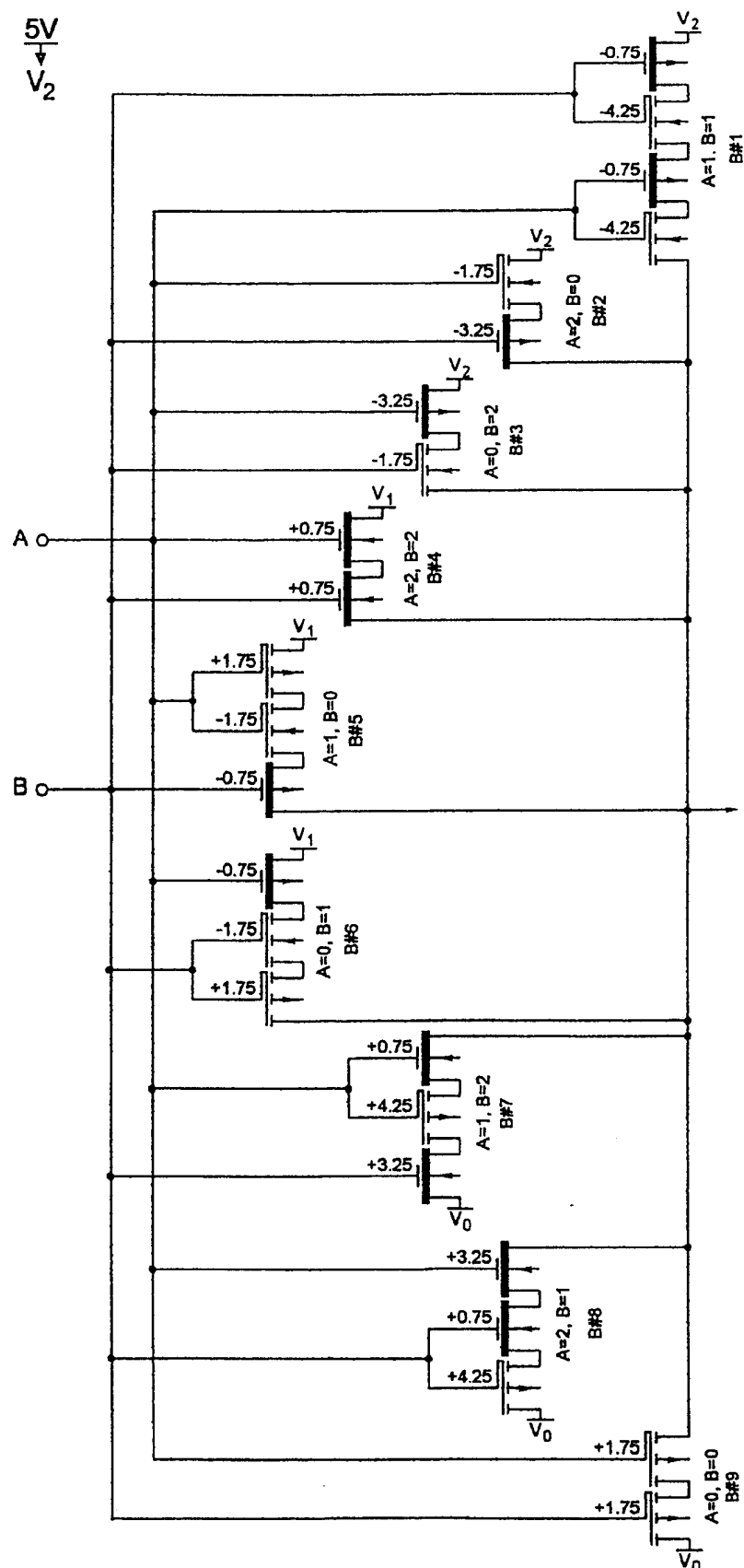
图 134:

	A		
	0	1	2
B	0	0	0
	1	0	1
	2	0	1

图 135:

$$\begin{array}{ccc} 0V & 2.5V & 5V \\ \downarrow & \downarrow & \downarrow \\ V_0 & V_1 & V_2 \end{array}$$

B#n = 分支号



卡诺图

	A		
	0	1	2
B	0	0	1
	1	1	2
	2	2	0

图136:

$\frac{0V}{V_0}$ $\frac{2.5V}{V_1}$ $\frac{5V}{V_2}$

B#n = 分支号

异常通路-----

应该传导——

卡诺图

	A		
	0	1	2
B	0	0	1
	1	1	2
	2	2	0

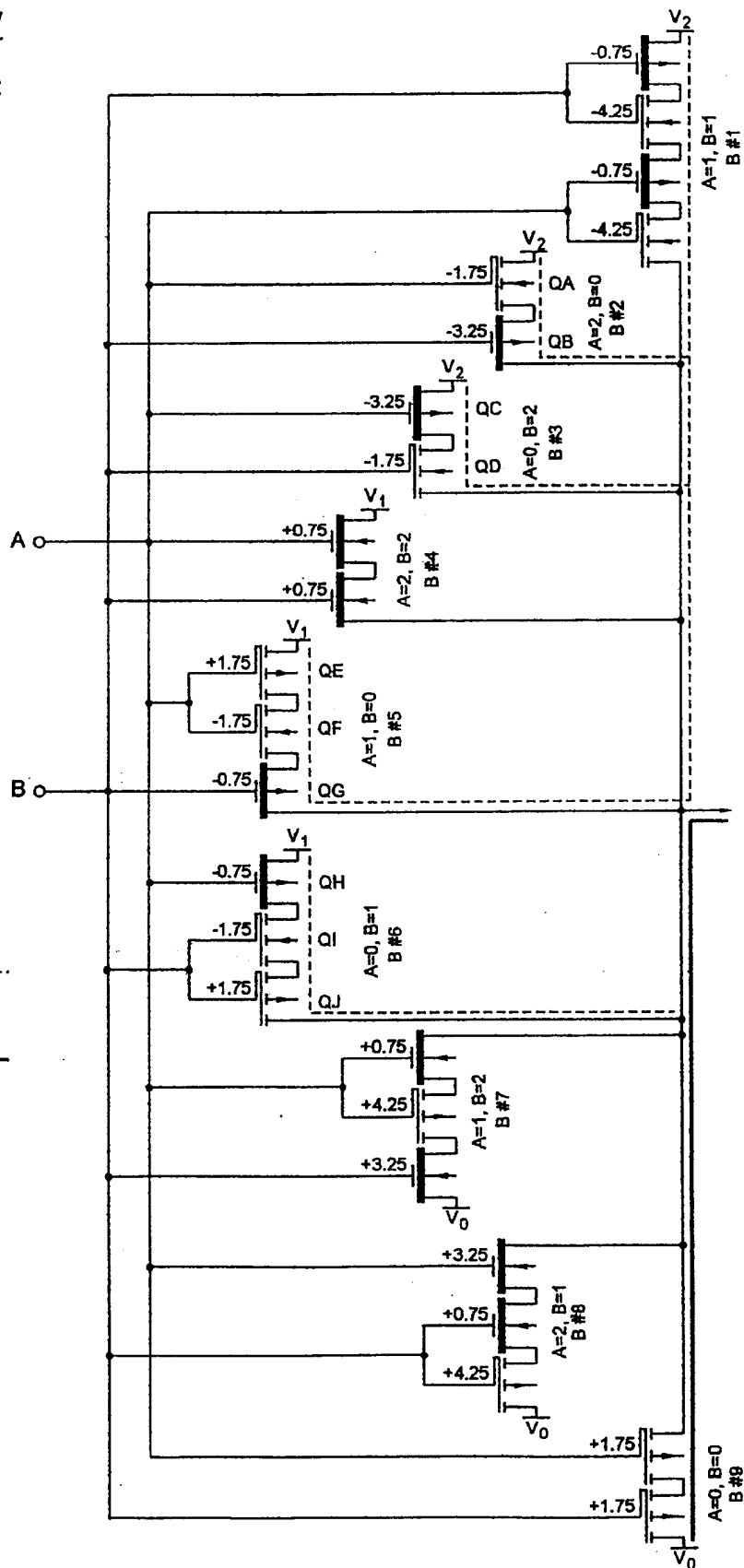


图137:

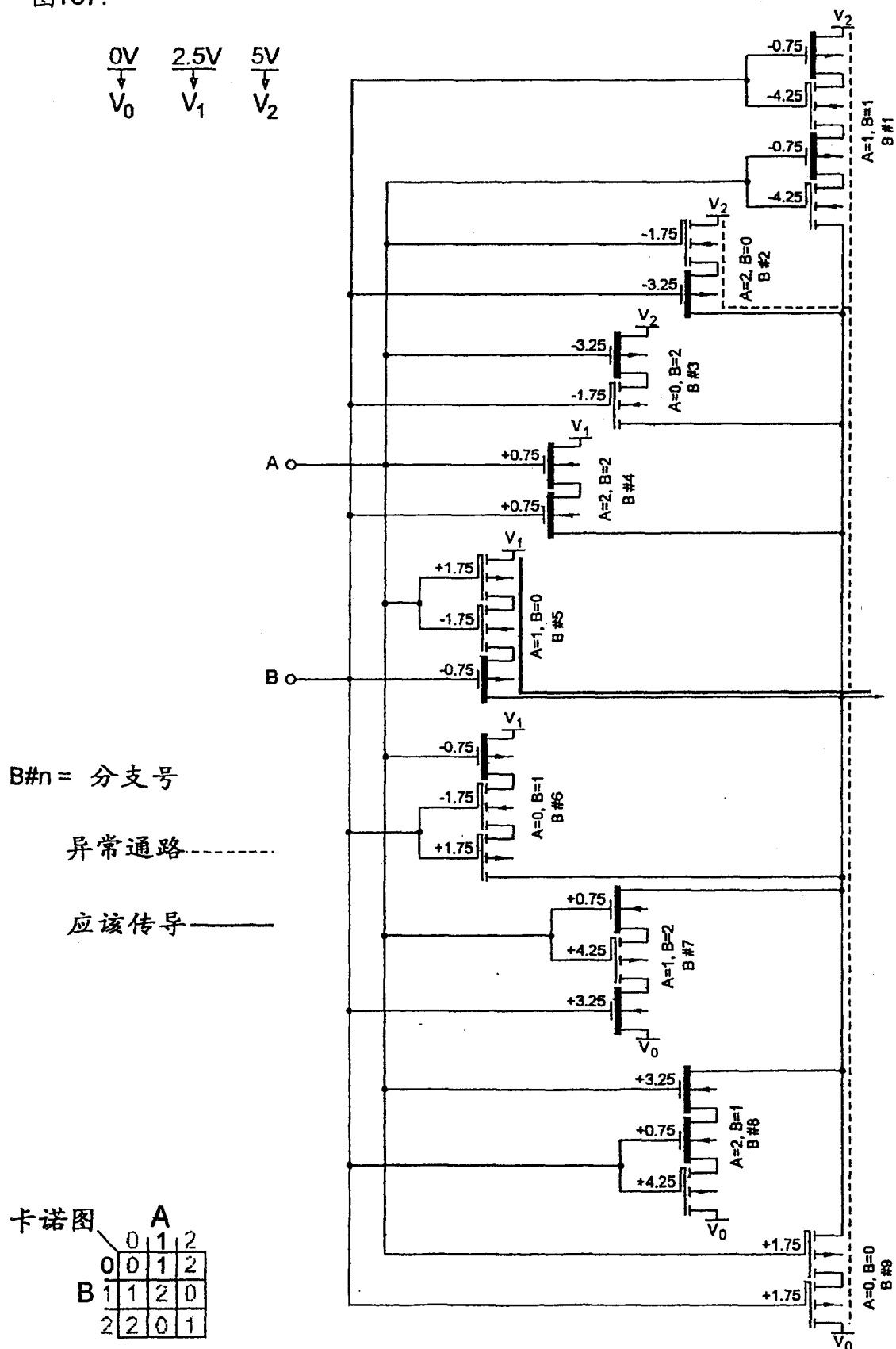


图 138:

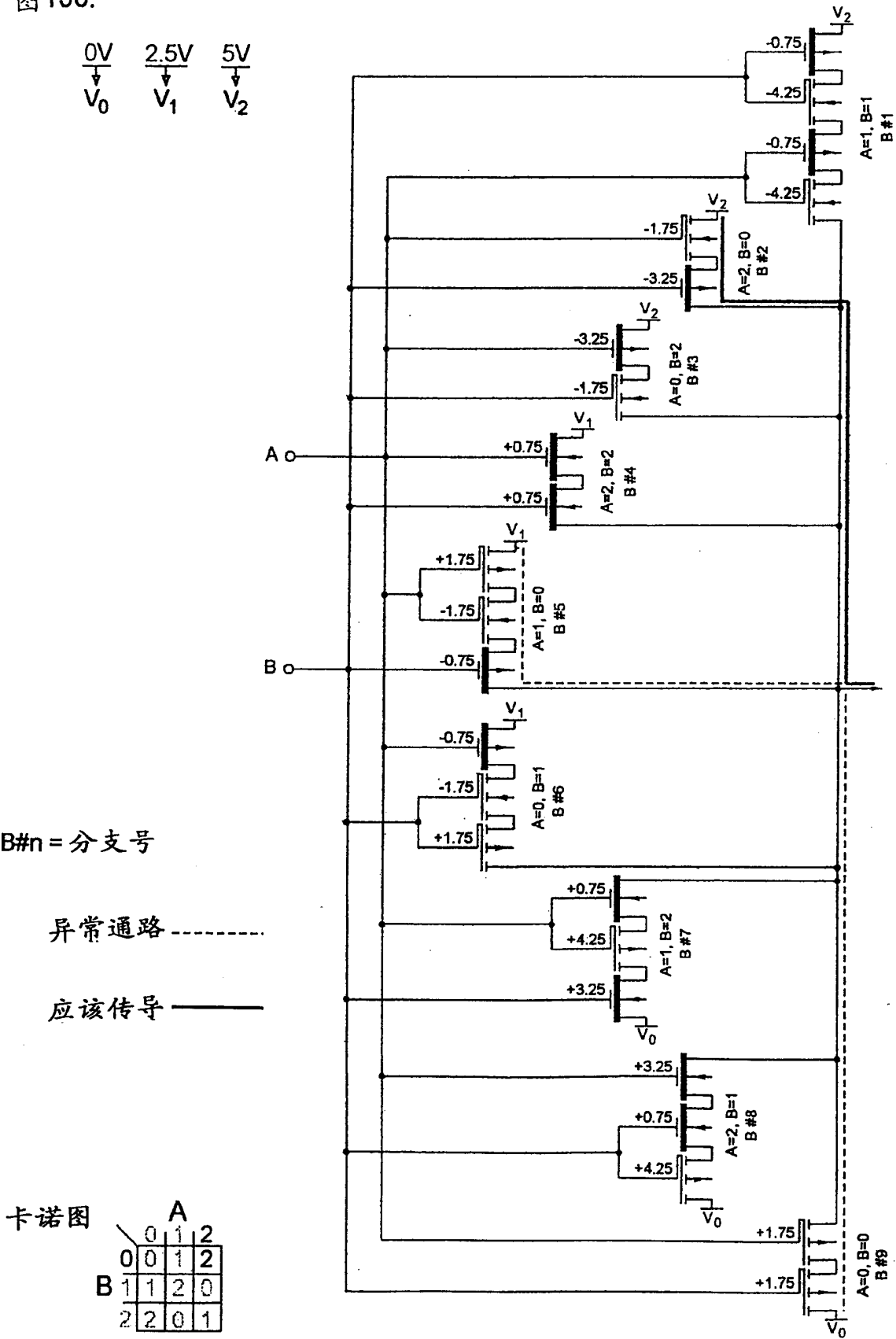


图 139:

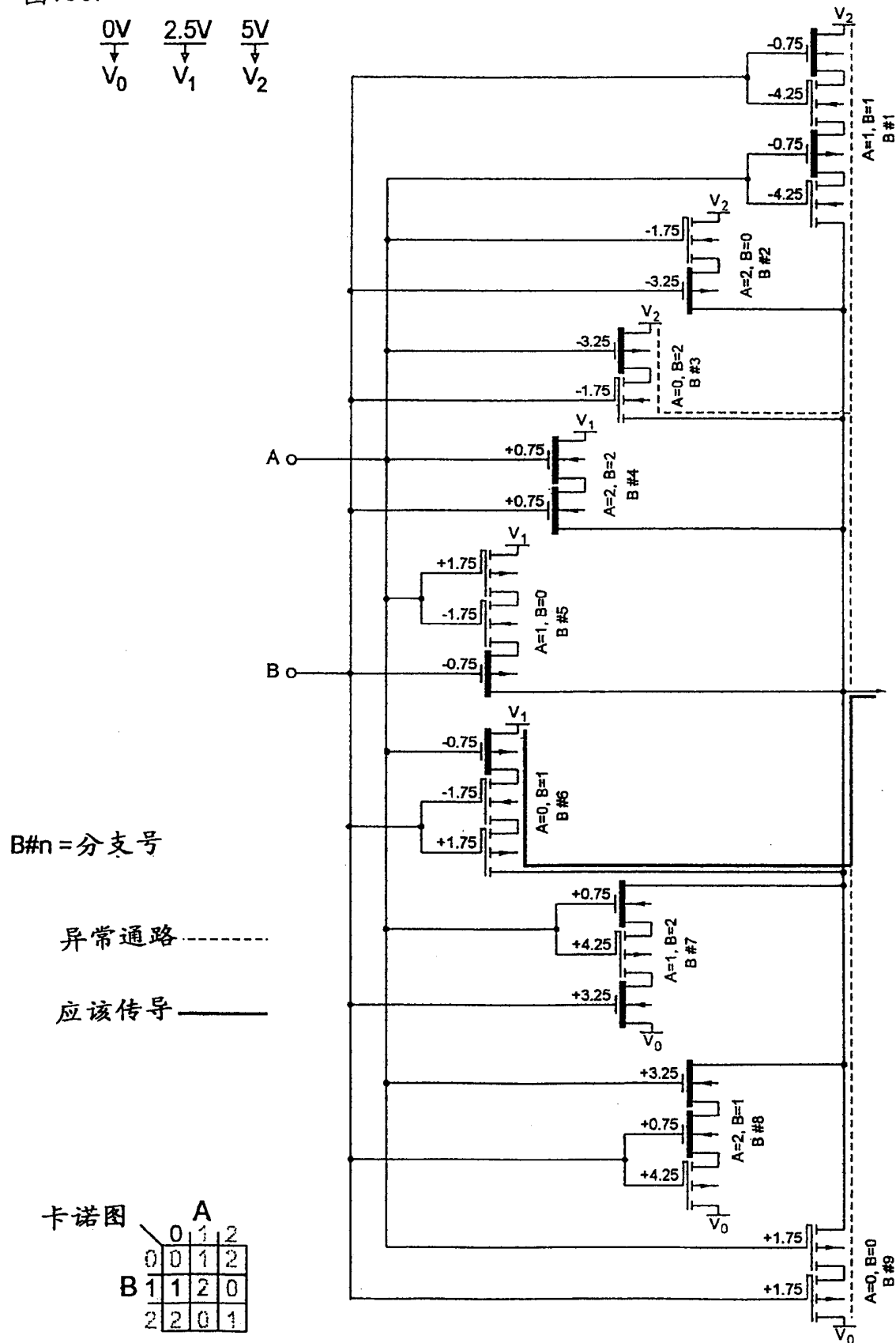


图 140:

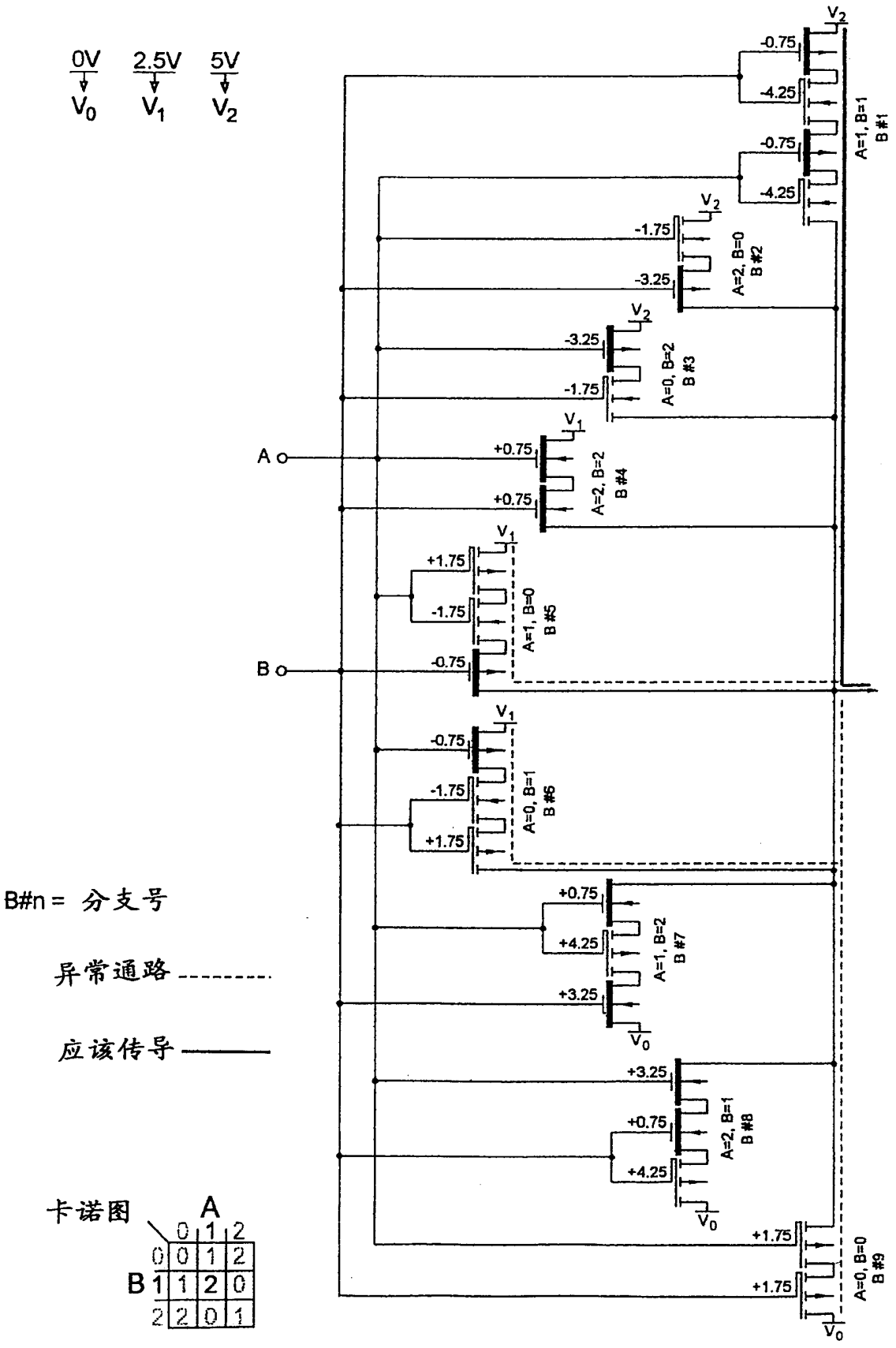


图141:

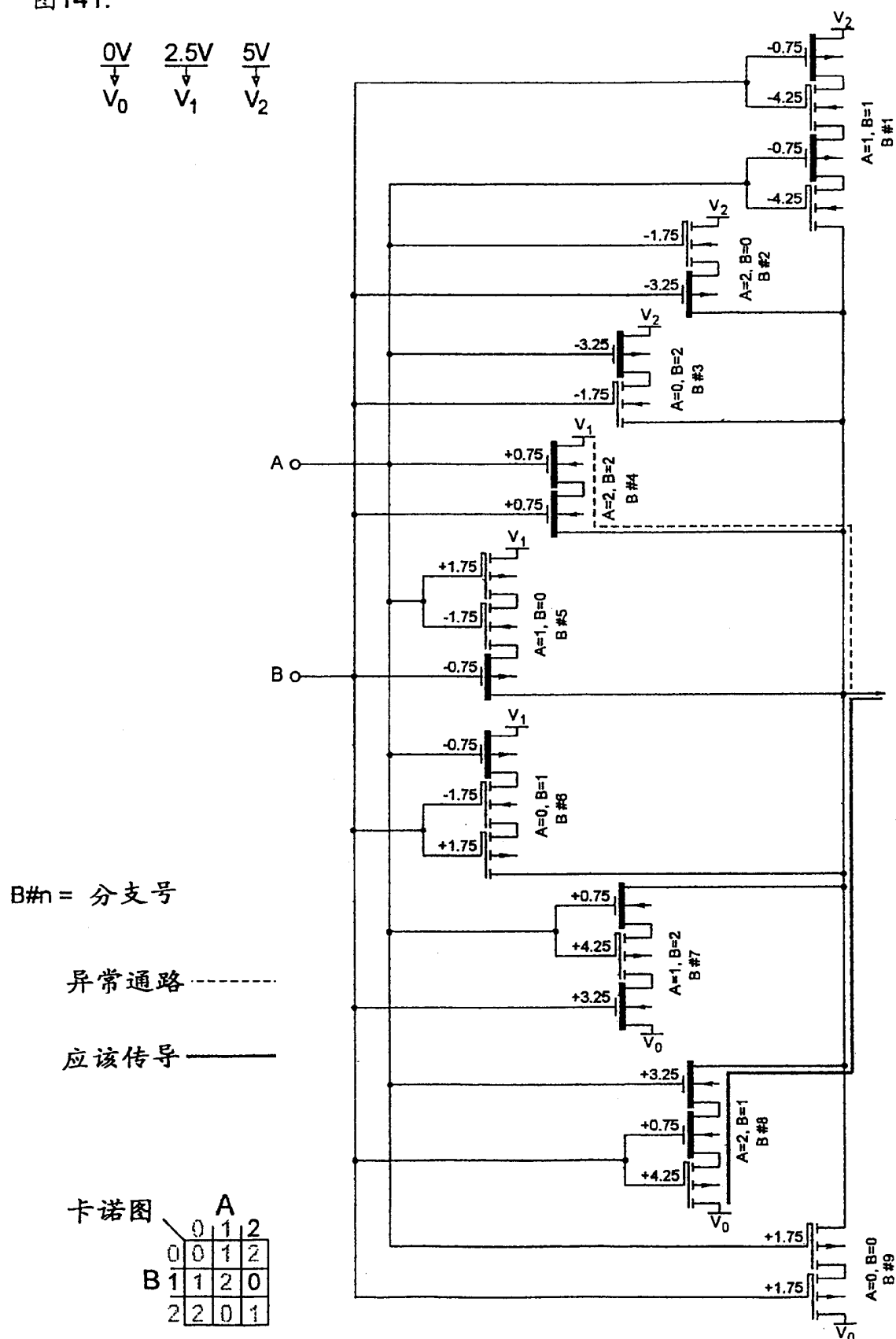


图 142:

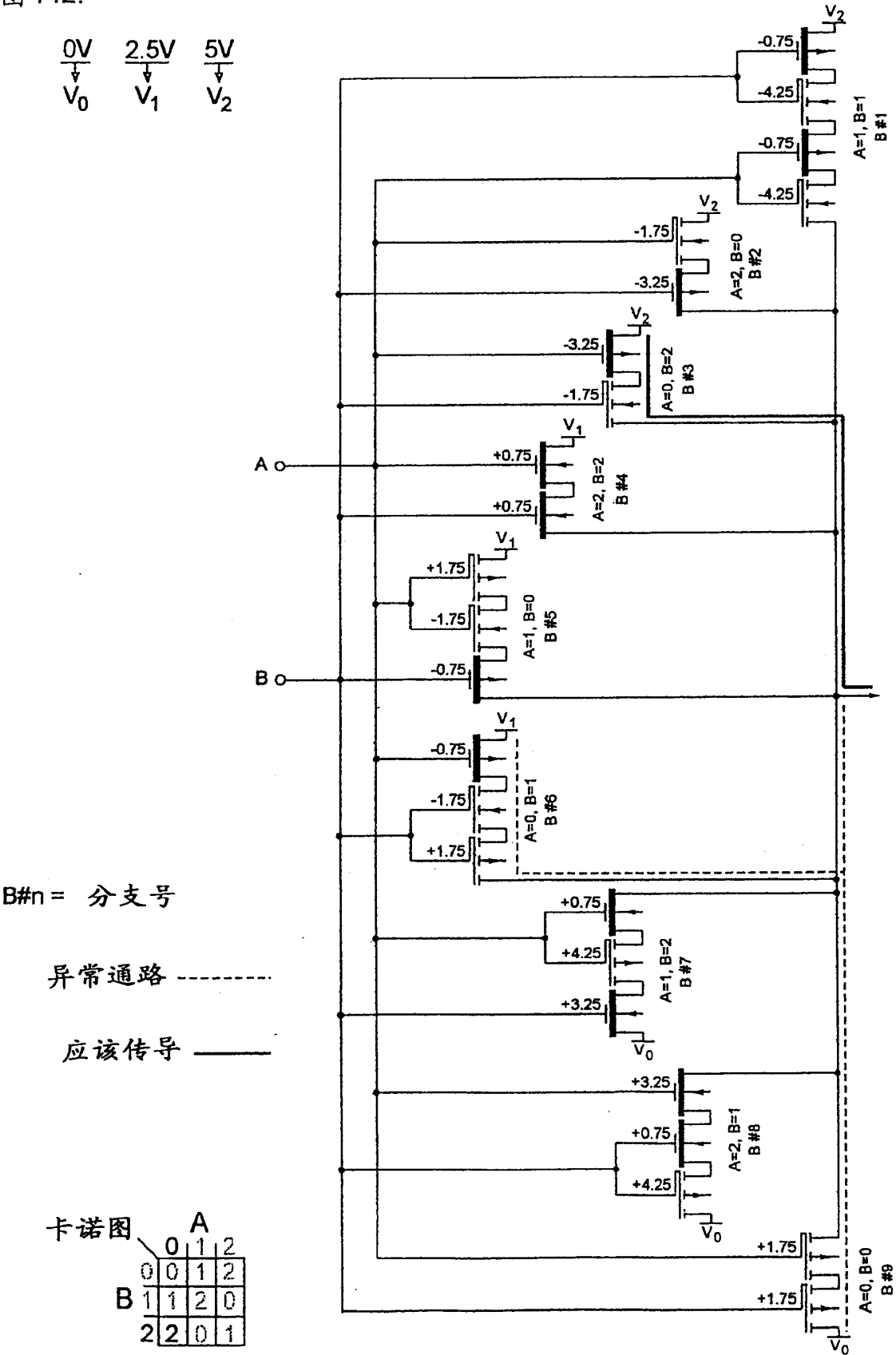


图 143:

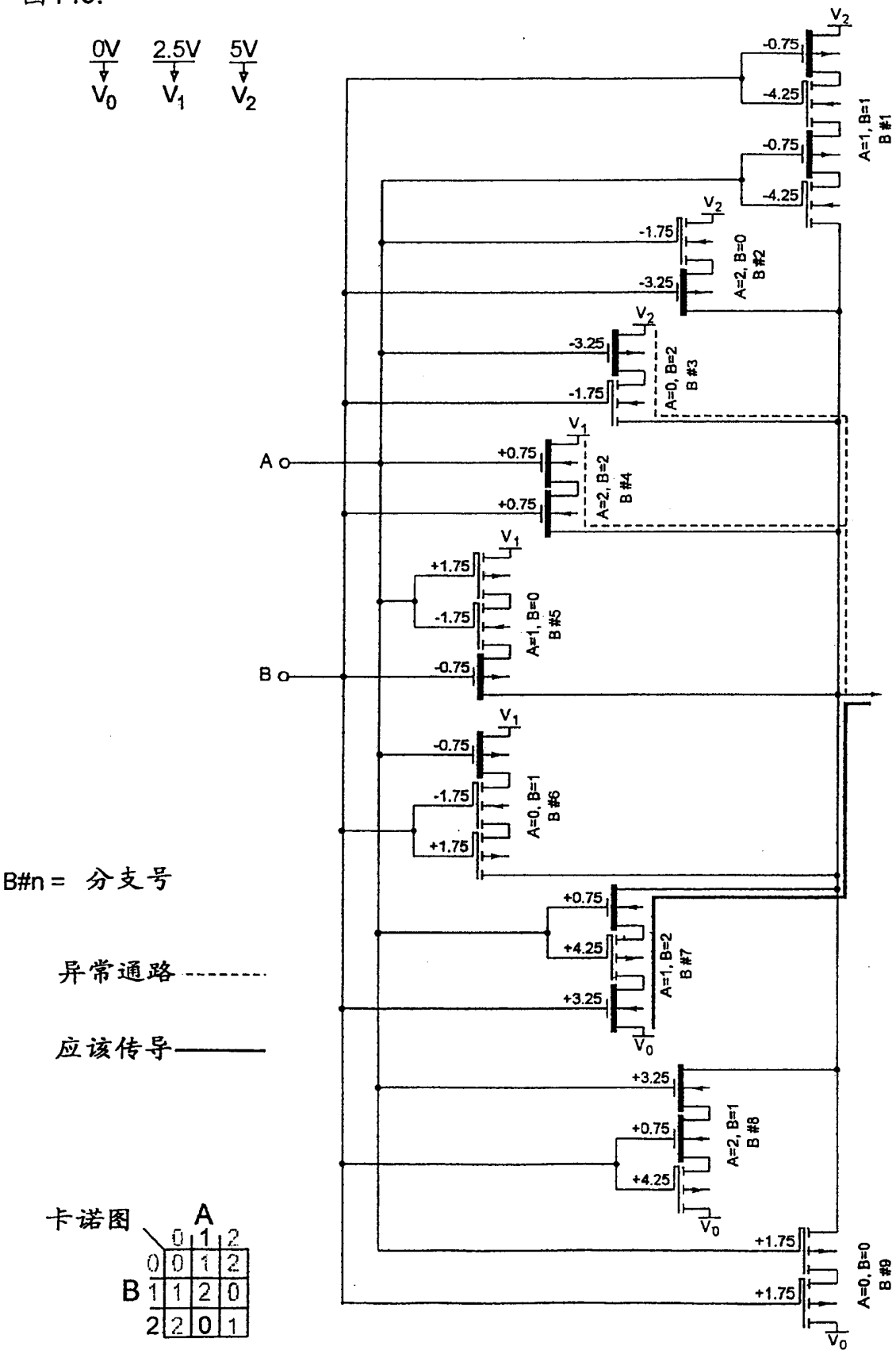


图 145:

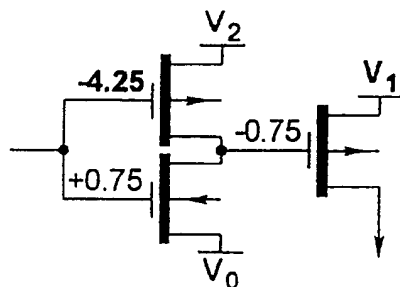


图 146:

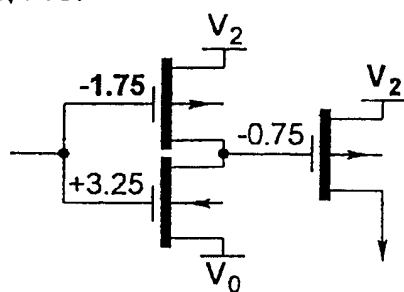


图 147:

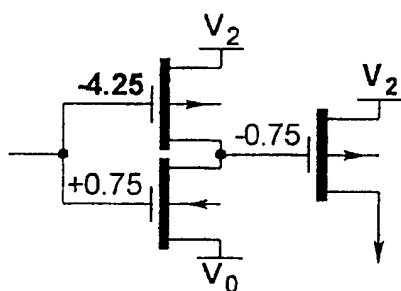


图 148:

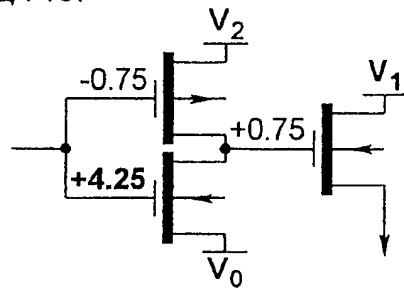


图 149:

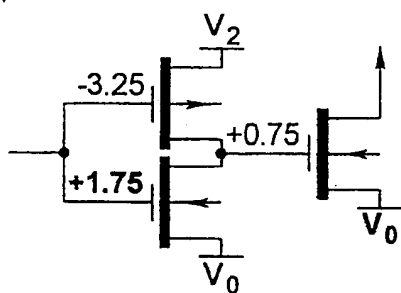


图 150

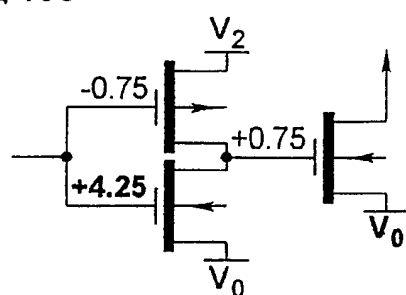


图 151:

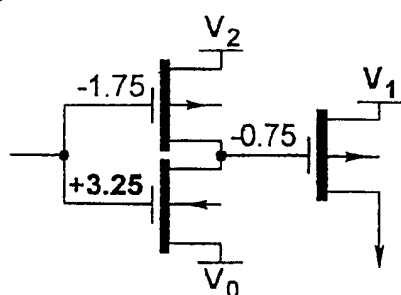


图 152:

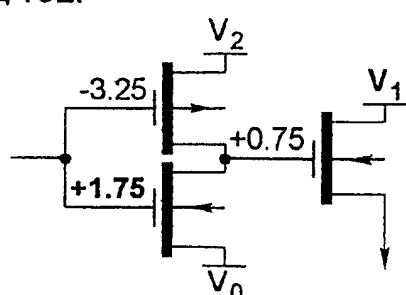


图 153:

$\frac{0V}{\downarrow} V_0$ $\frac{2.5V}{\downarrow} V_1$ $\frac{5V}{\downarrow} V_2$

B#n = 分支号

异常通路 -----

应该传导 ————

卡诺图

	A		
	0	1	2
B	0	0	1
	1	1	2
	2	2	0

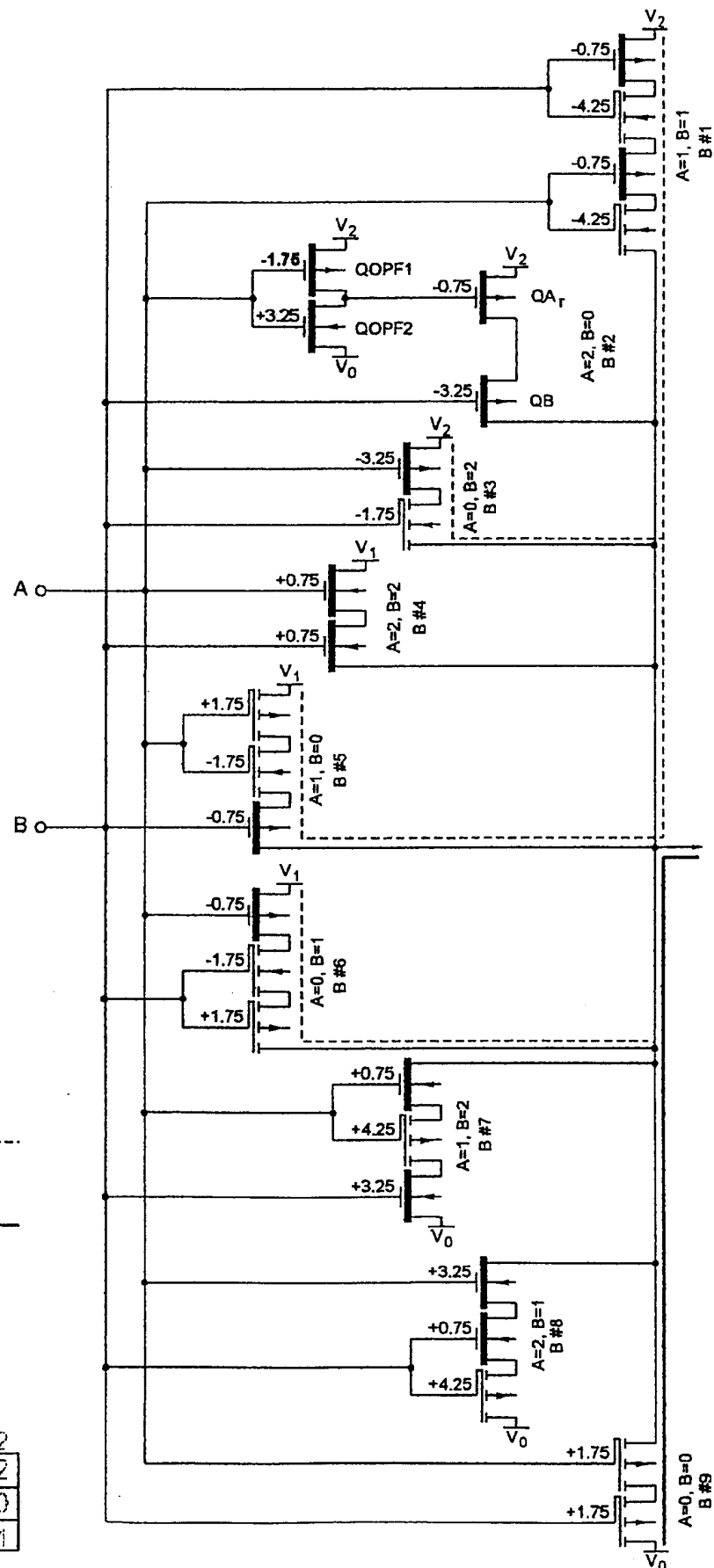
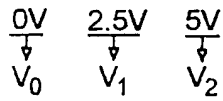
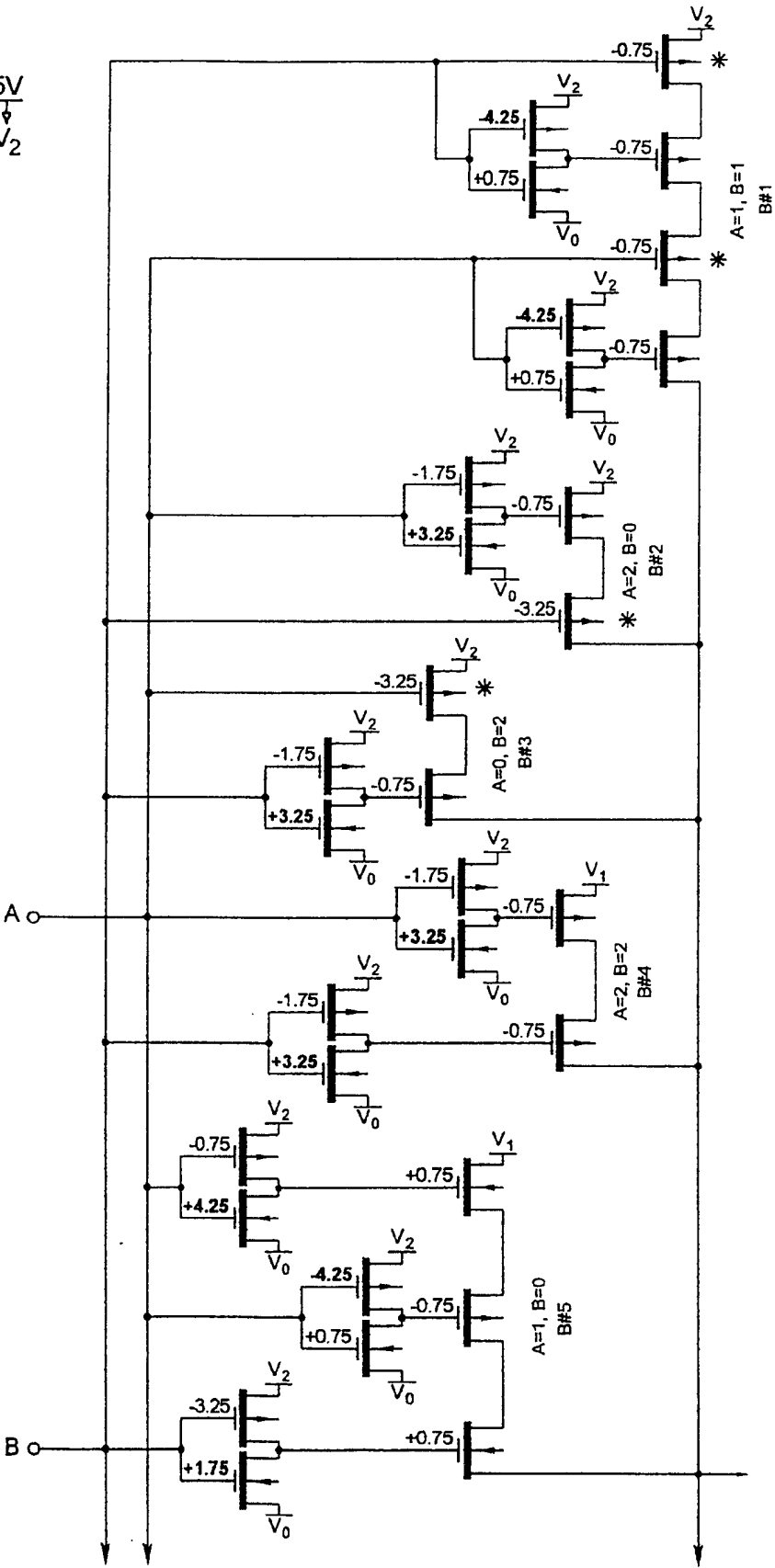


图 154a:



B#n = 分支号

* = 未被替换



至图 154b:

图154b:

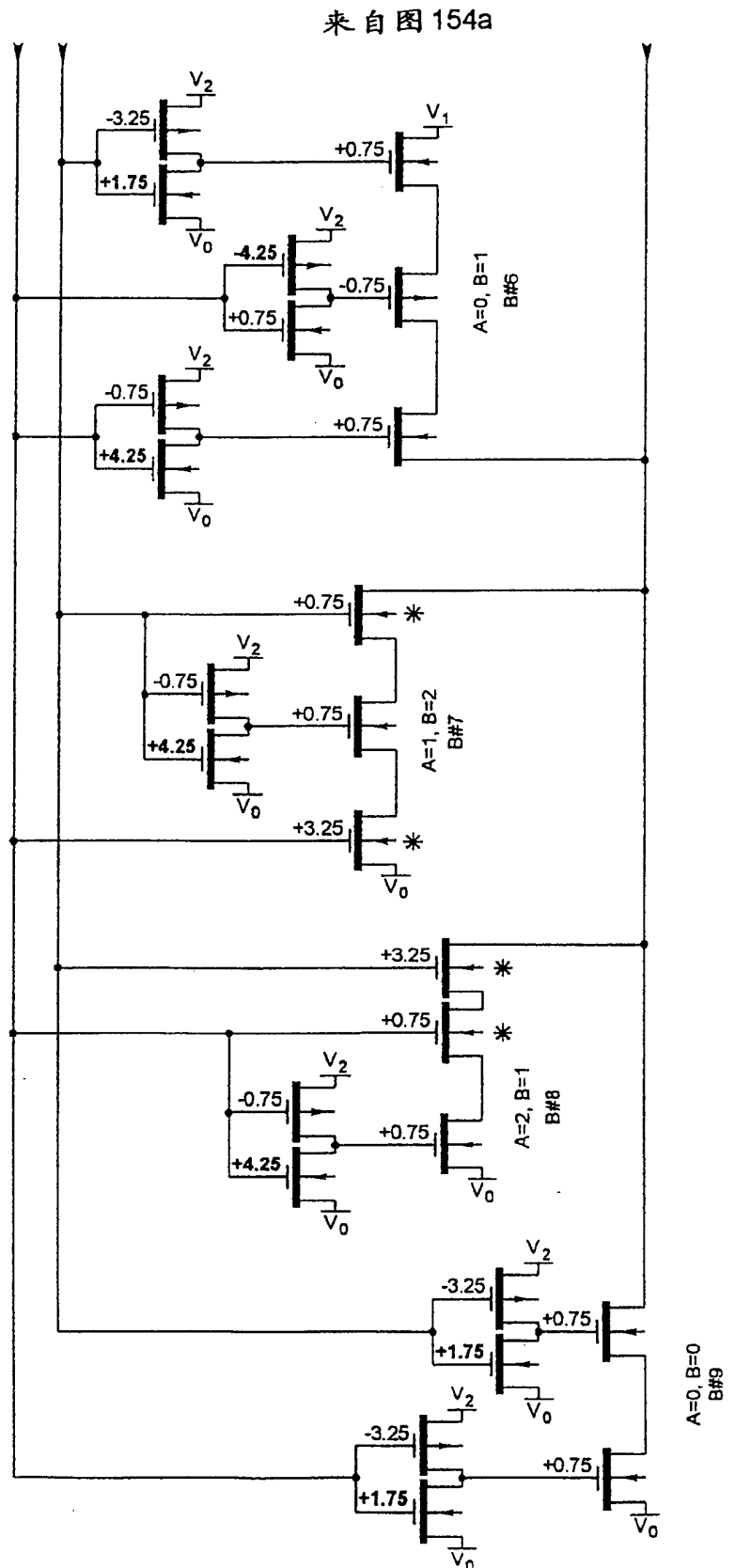


图155a:

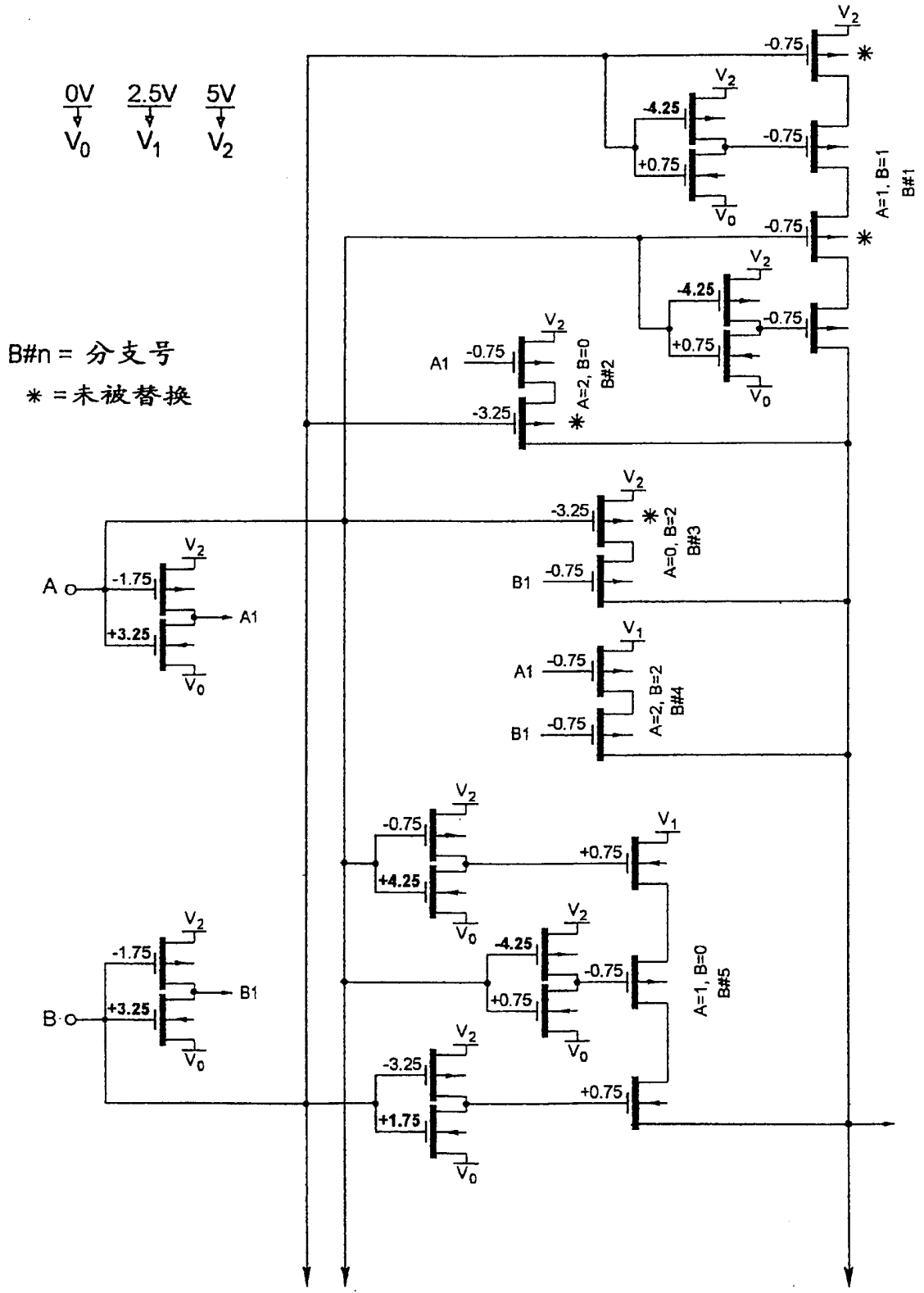


图155b:

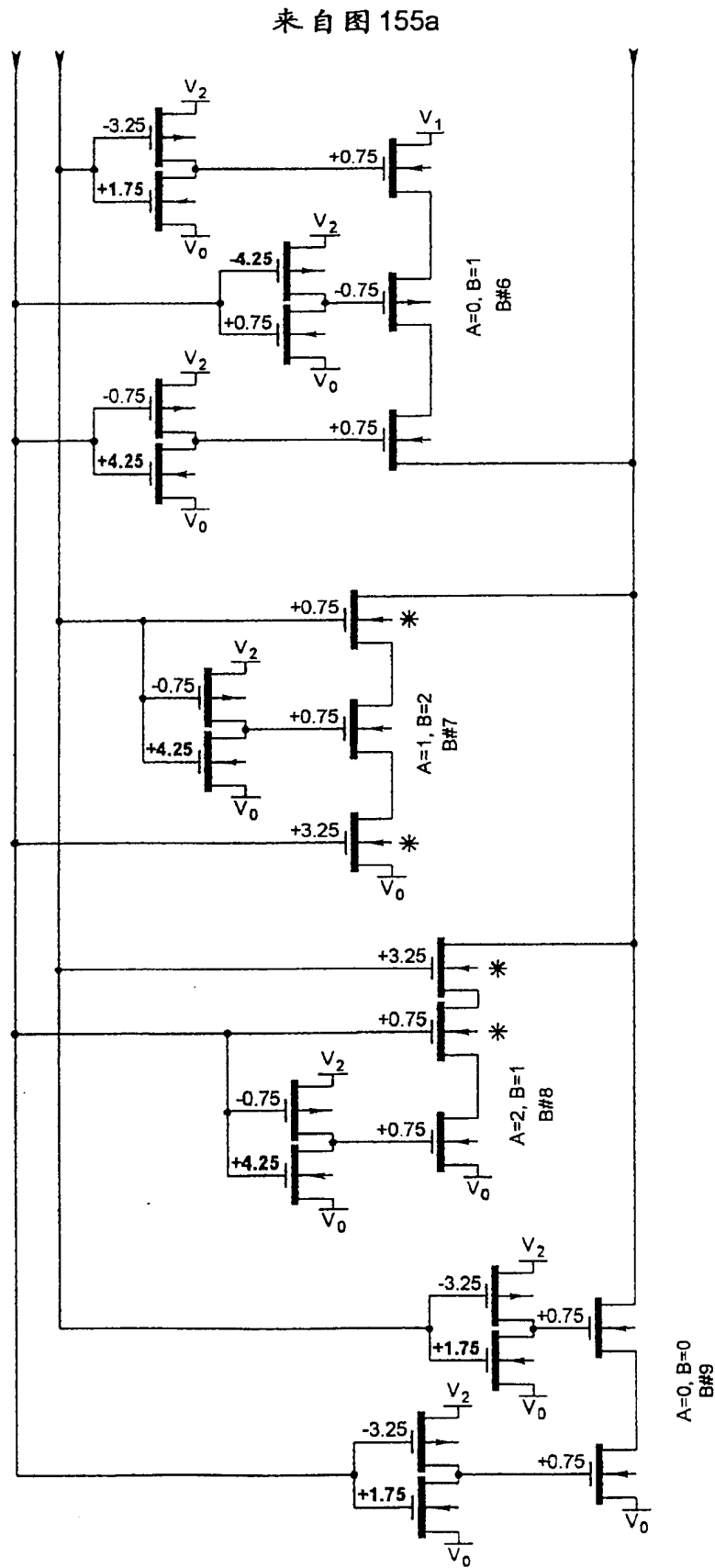
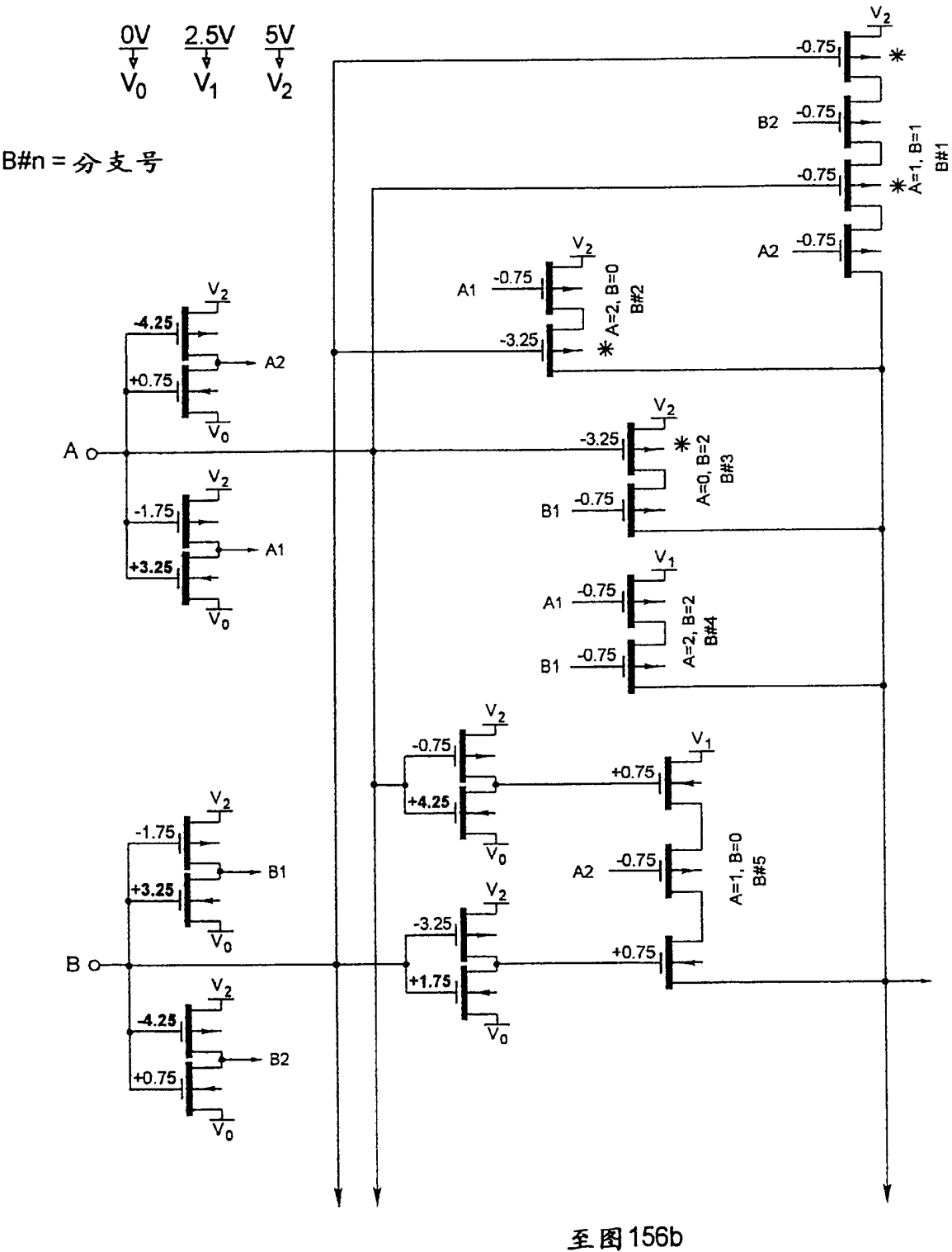
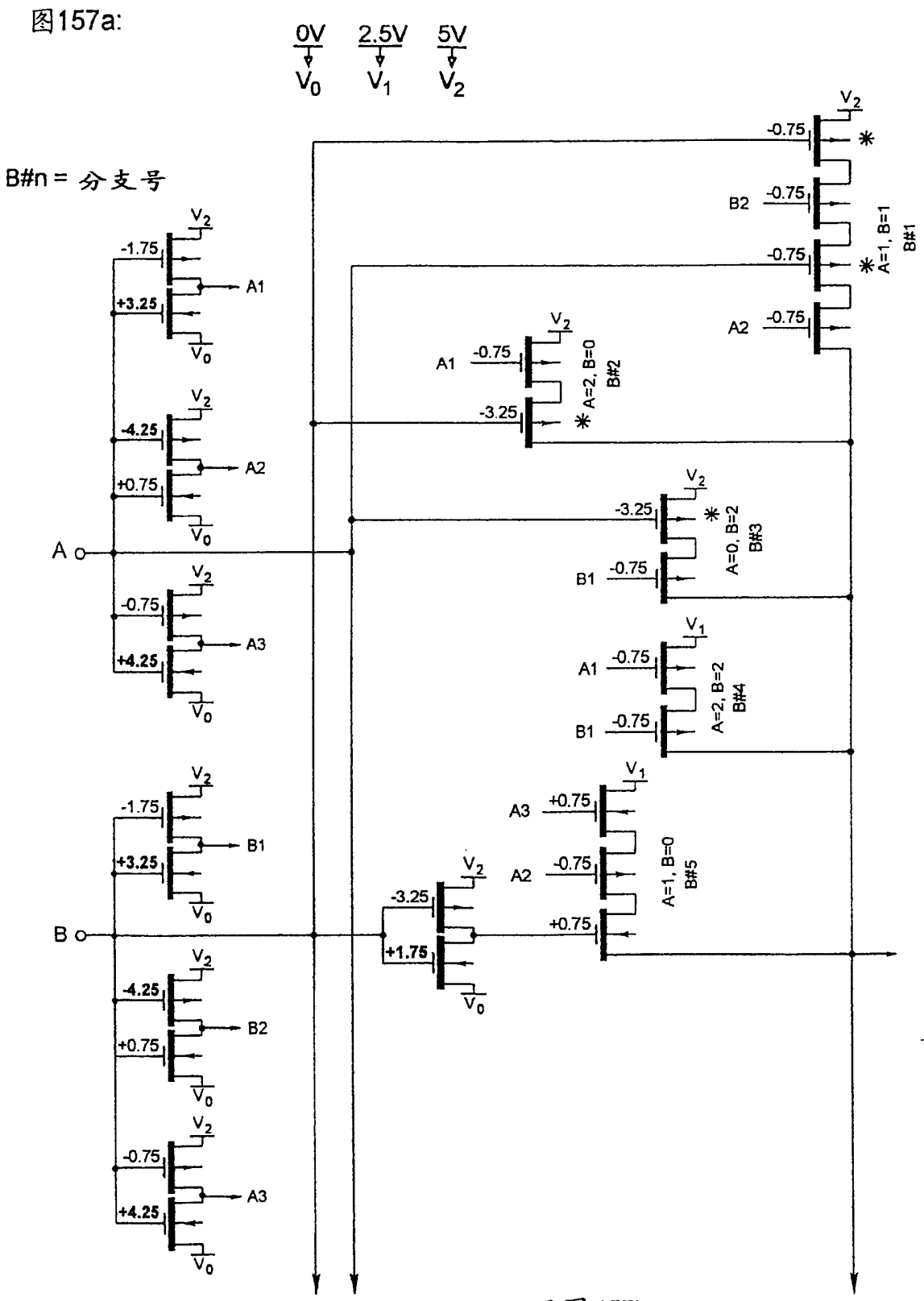


图 156a:





至图 157b

图157b:

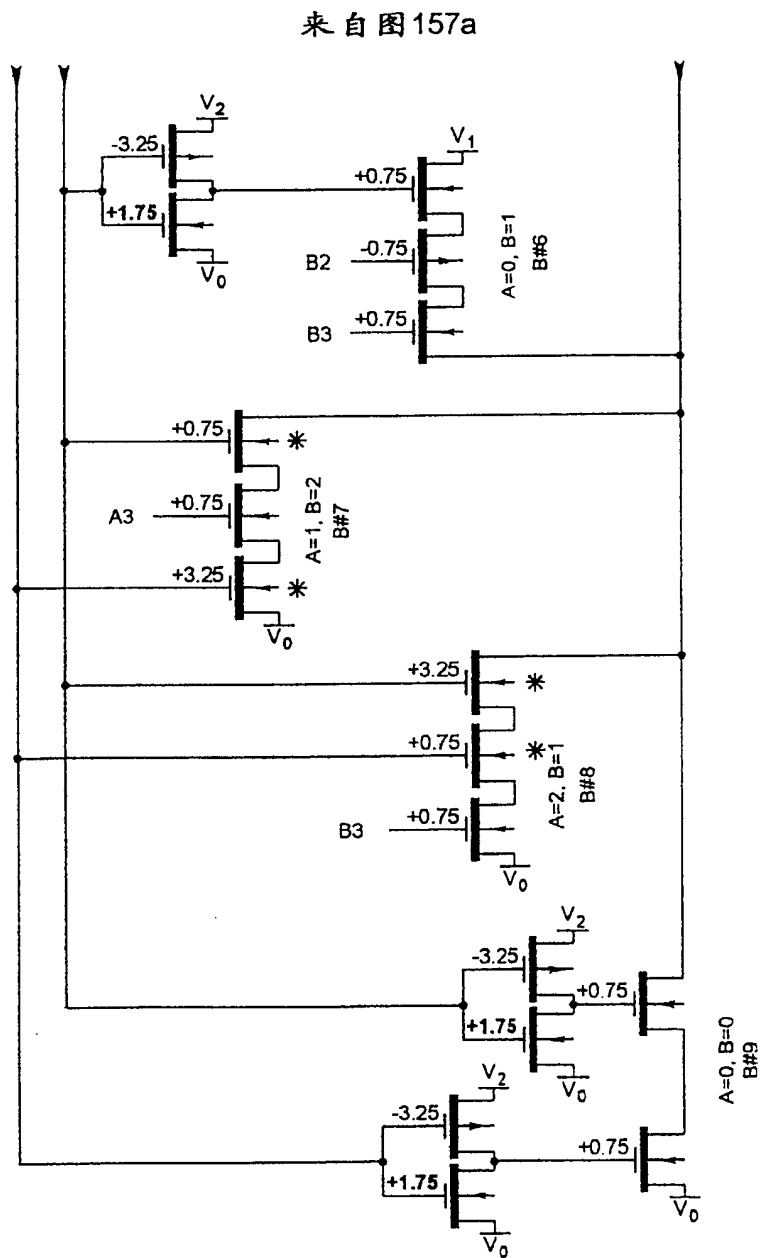


图158:

B#n = 分支号

$\frac{0V}{\downarrow} V_0$ $\frac{2.5V}{\downarrow} V_1$ $\frac{5V}{\downarrow} V_2$

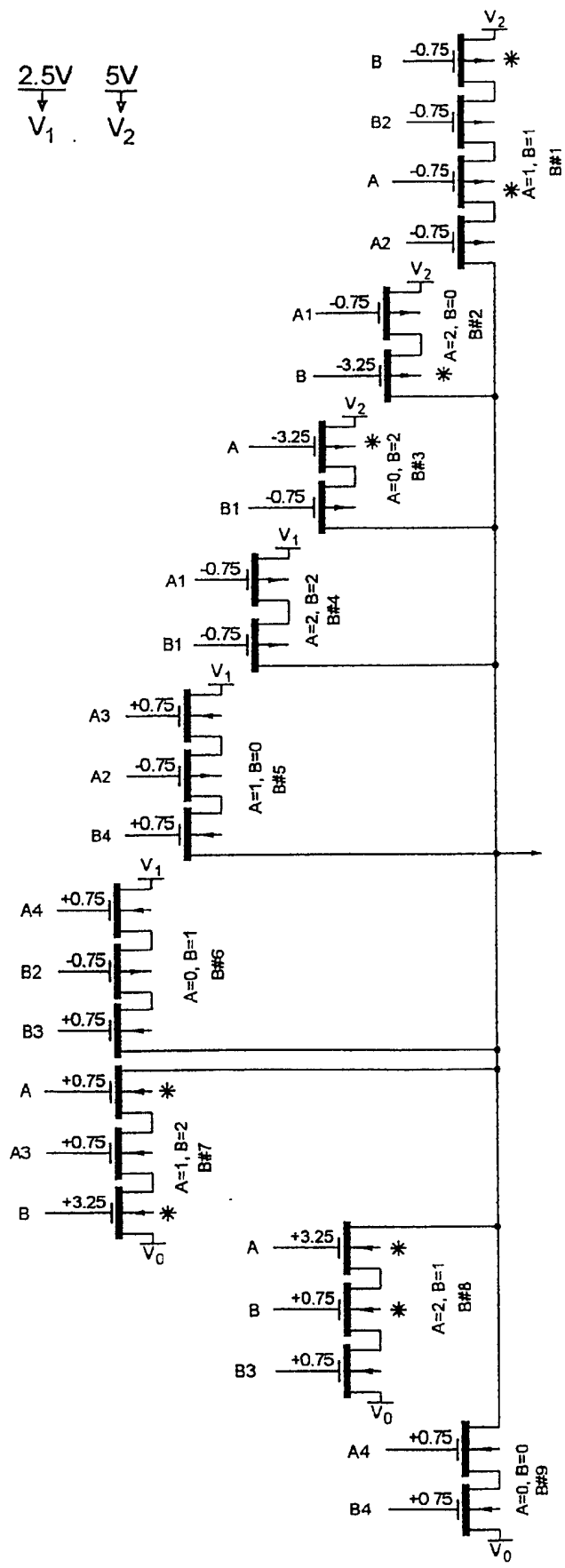
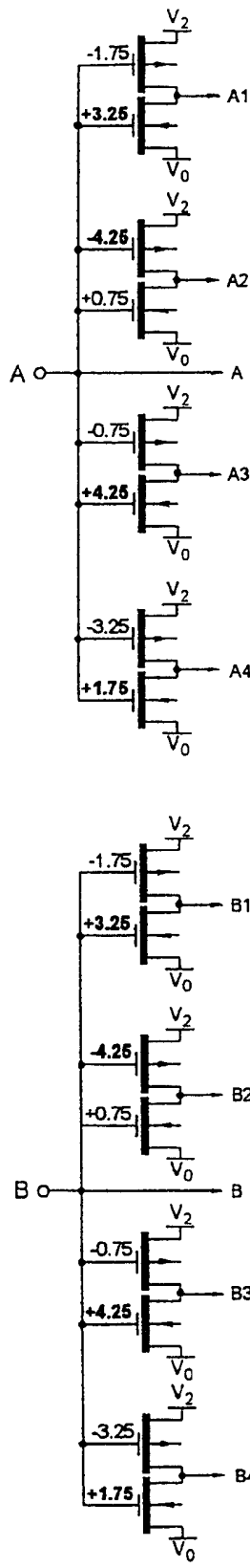


图159:

B#n = 分支号

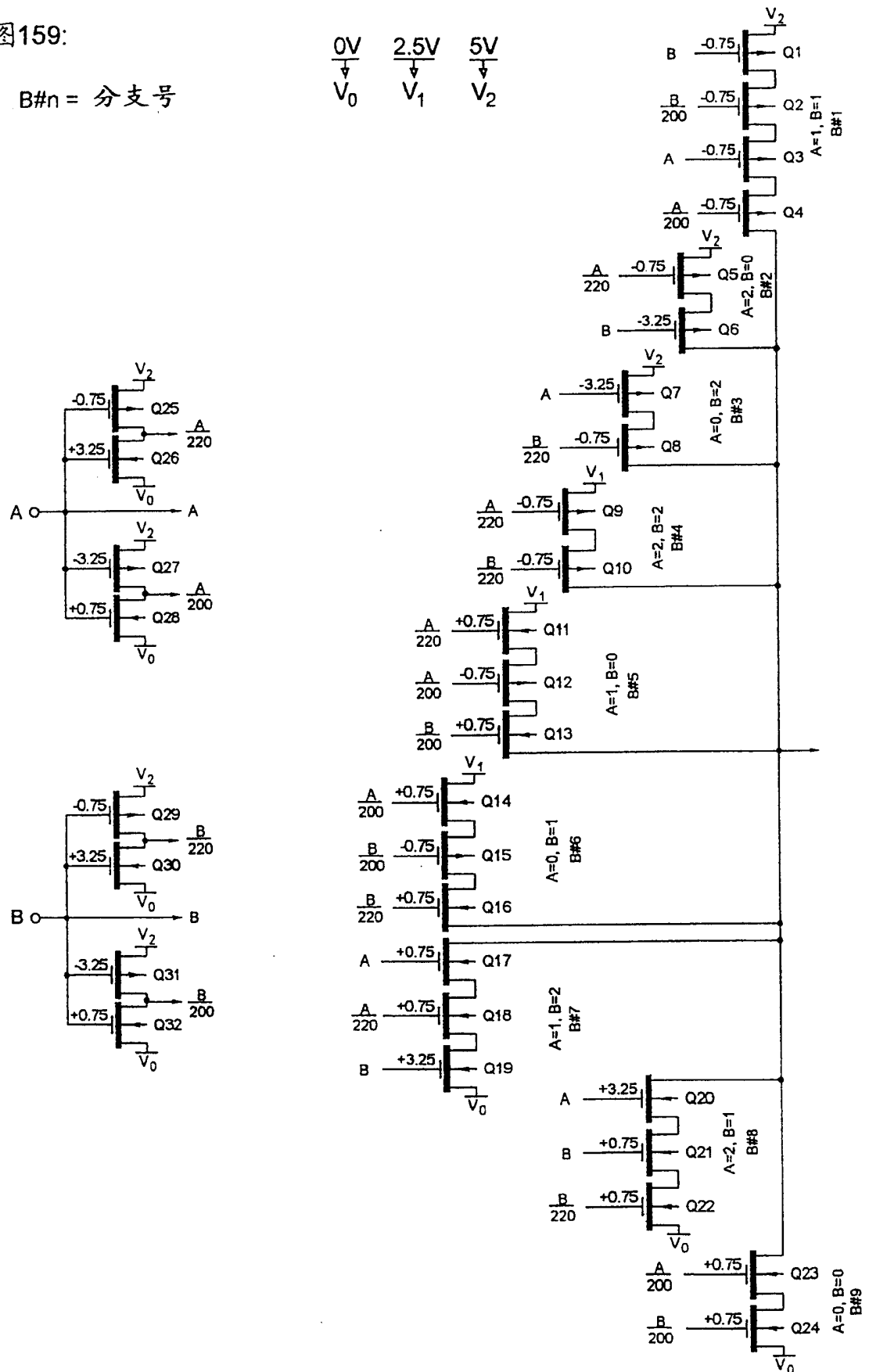


图160:

B#n = 分支号

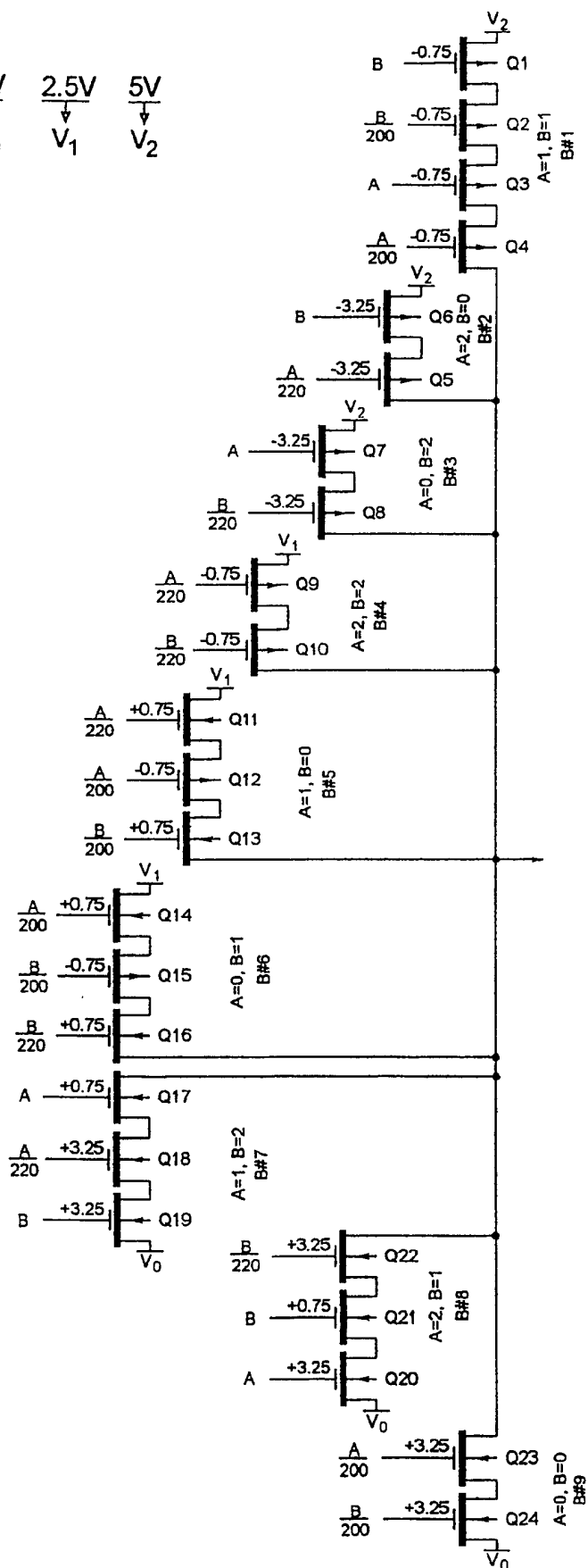
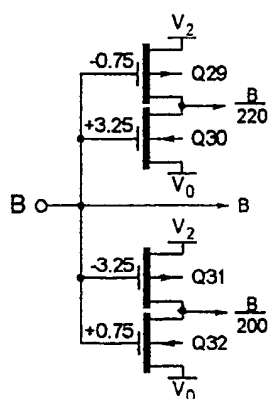
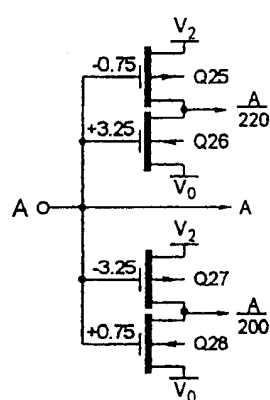
$$\begin{array}{ccc} 0V & 2.5V & 5V \\ \downarrow & \downarrow & \downarrow \\ V_0 & V_1 & V_2 \end{array}$$


图161:

B#n = 分支号

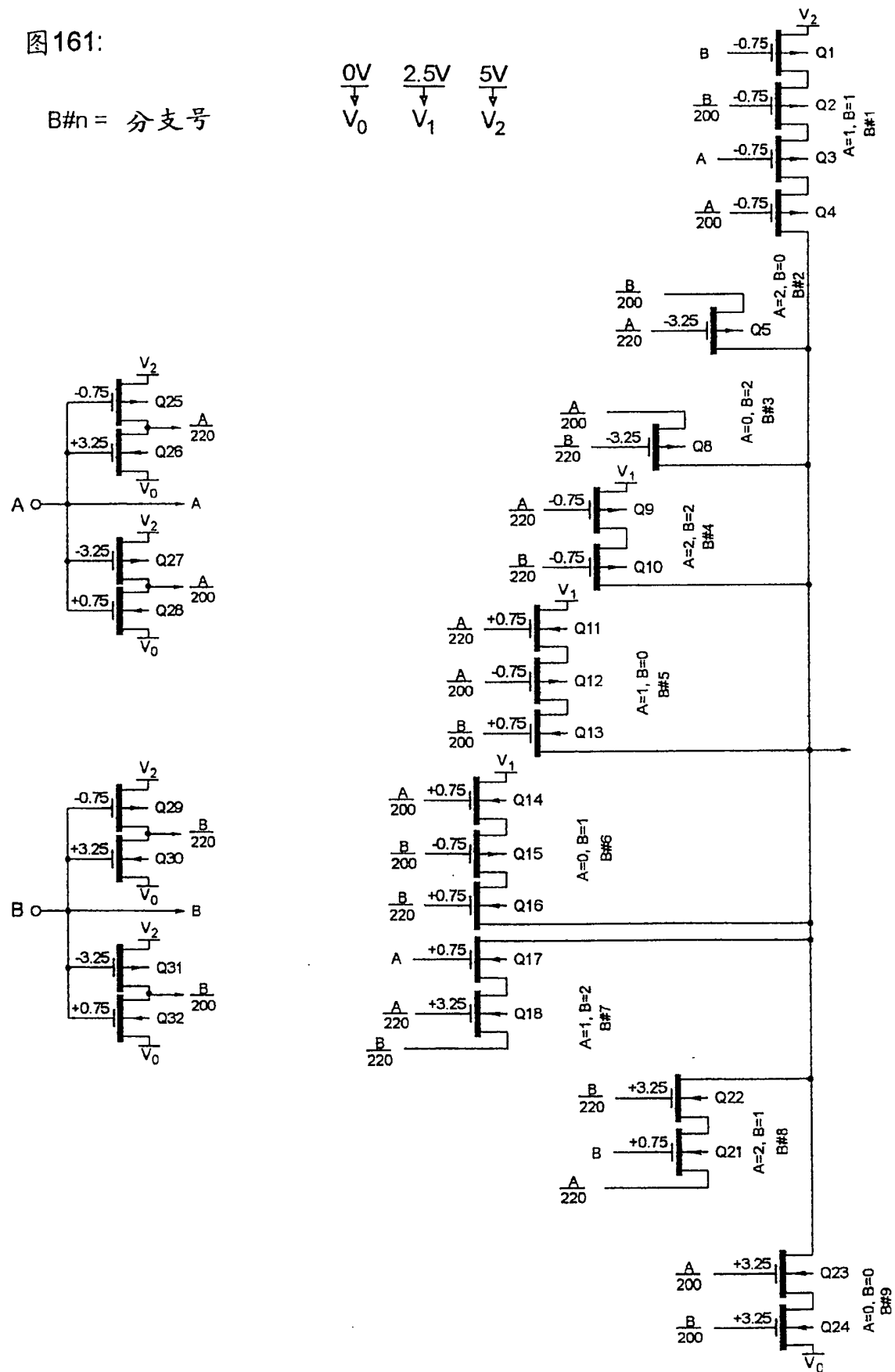


图162:

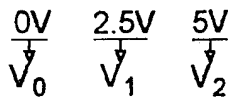


图163:

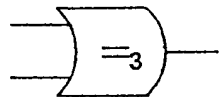


图164:

	A		
	0	1	2
B	0	0	0
	1	0	1
	2	0	2

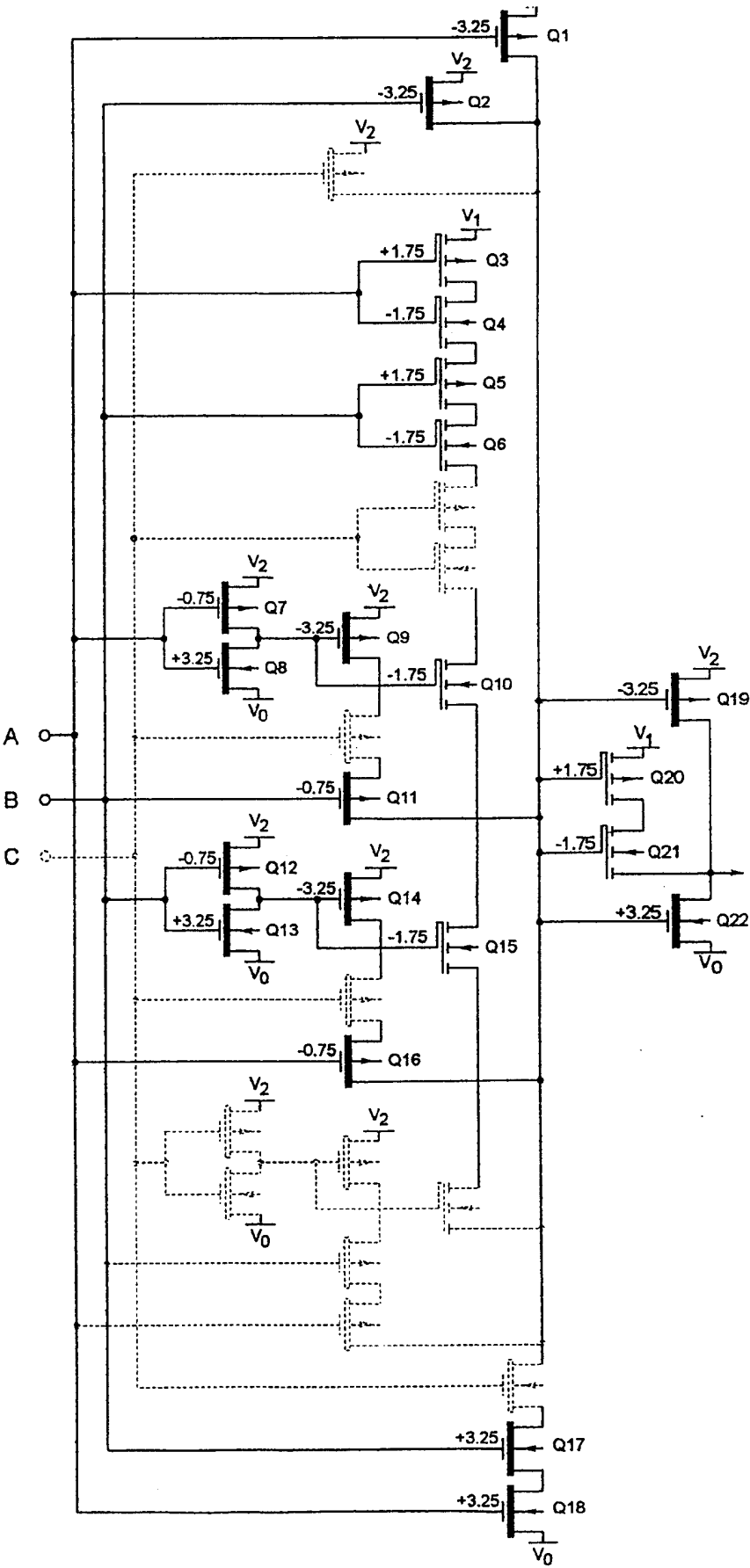


图165:

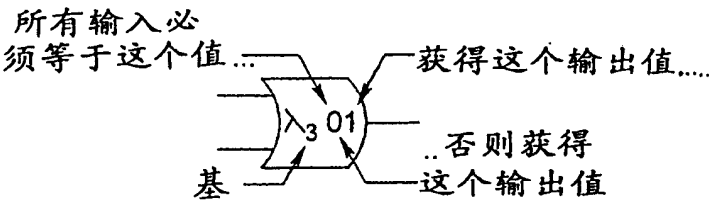


图166:

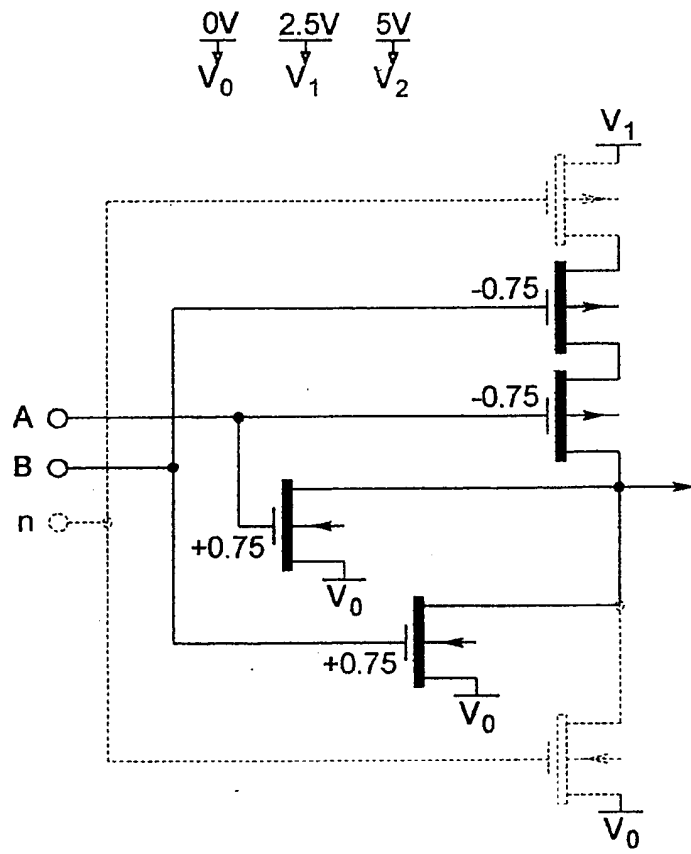


图167:

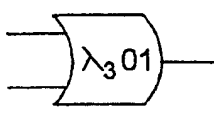


图 168:

		A		
		0	1	2
B	0	0	1	1
	1	1	1	1
	2	1	1	1

图 169:

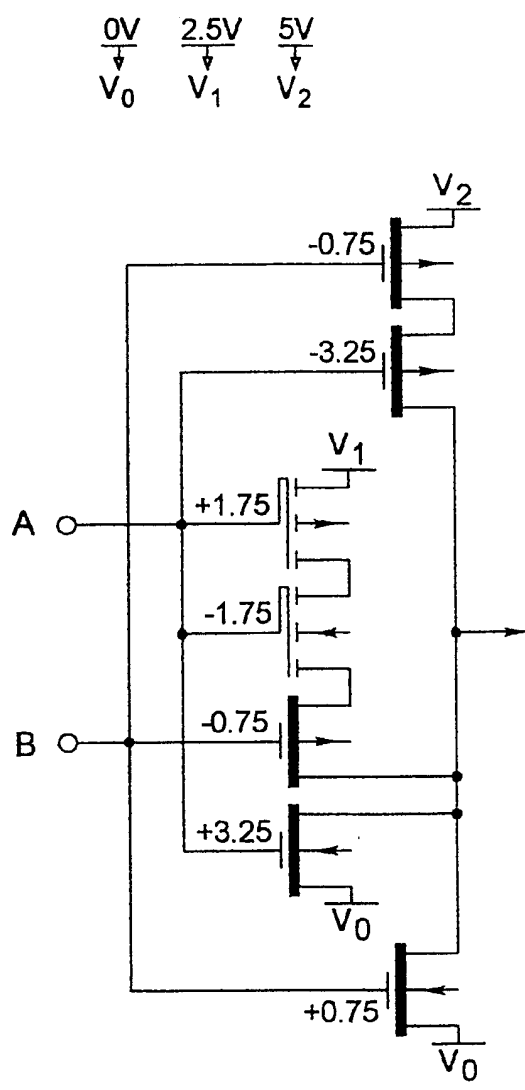


图 170:

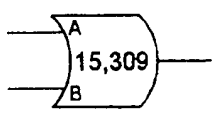


图 171:

		A		
		0	1	2
B	0	2	1	0
	1	0	0	0
	2	0	0	0

图172:

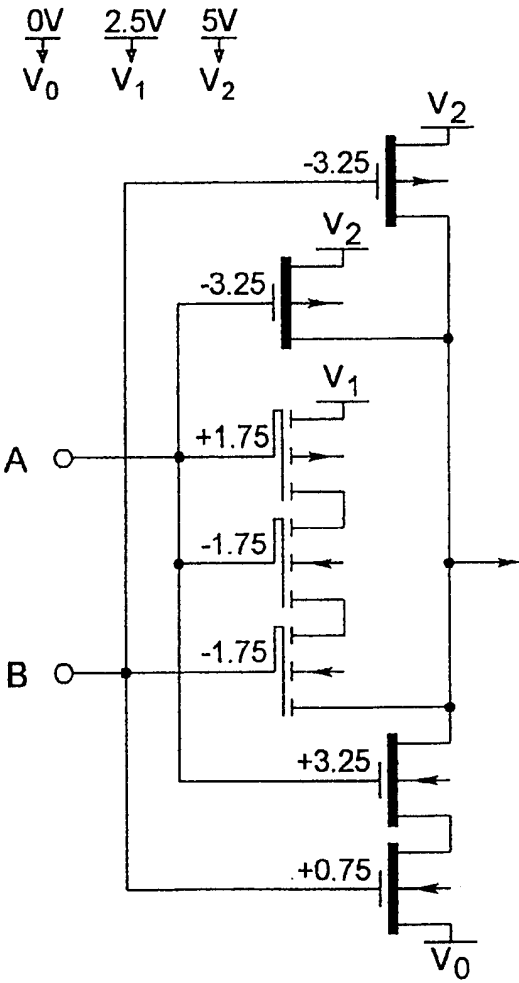


图 173:

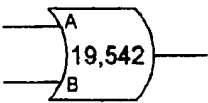


图174:

	A		
	0	1	2
B	0	2	2
	1	2	1
	2	2	1

图175:

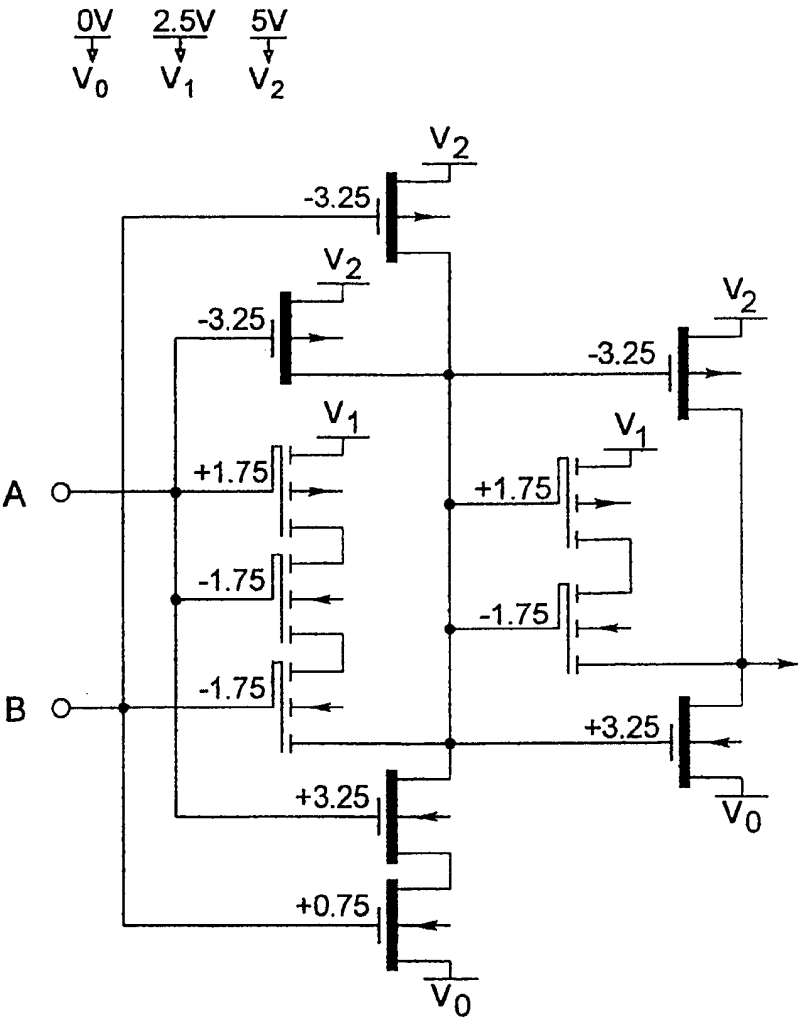


图176:

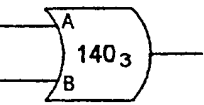


图177:

		A		
		0	1	2
B	0	0	0	0
	1	0	1	2
	2	0	1	2

图178:

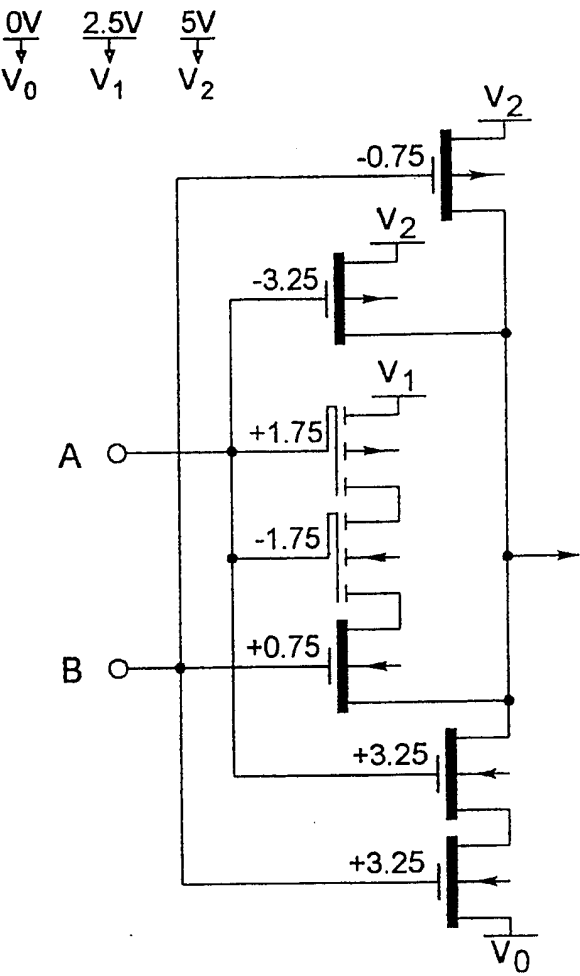


图179:

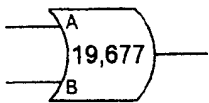


图180:

	A		
	0	1	2
B	0	2	2
	1	2	2
	2	2	1
			0

图181:

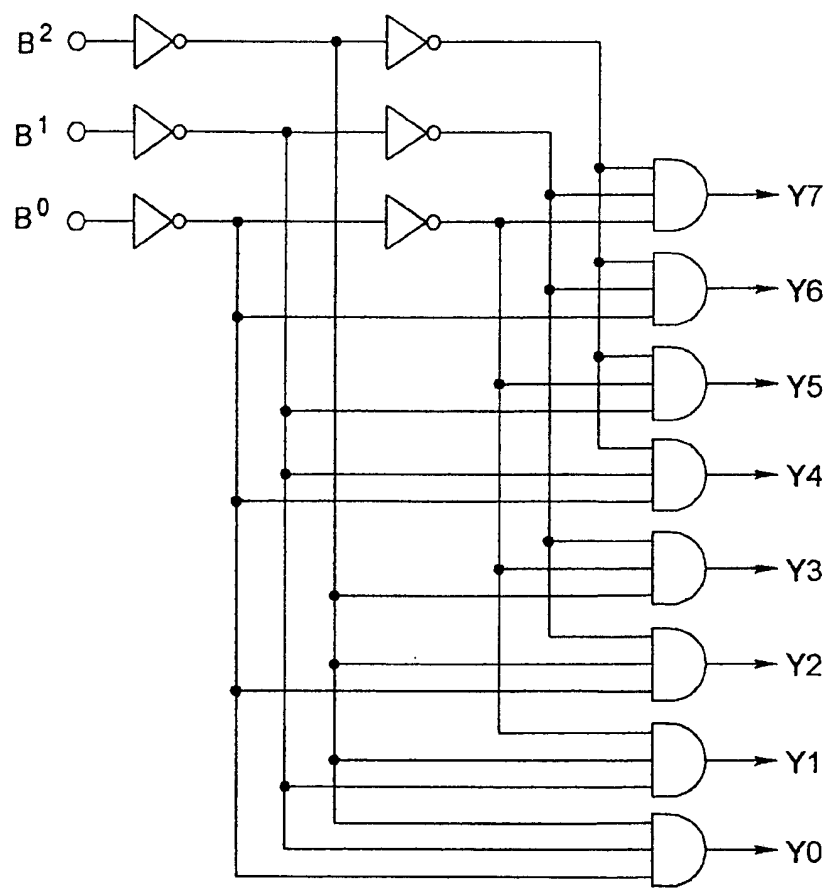


图 182:

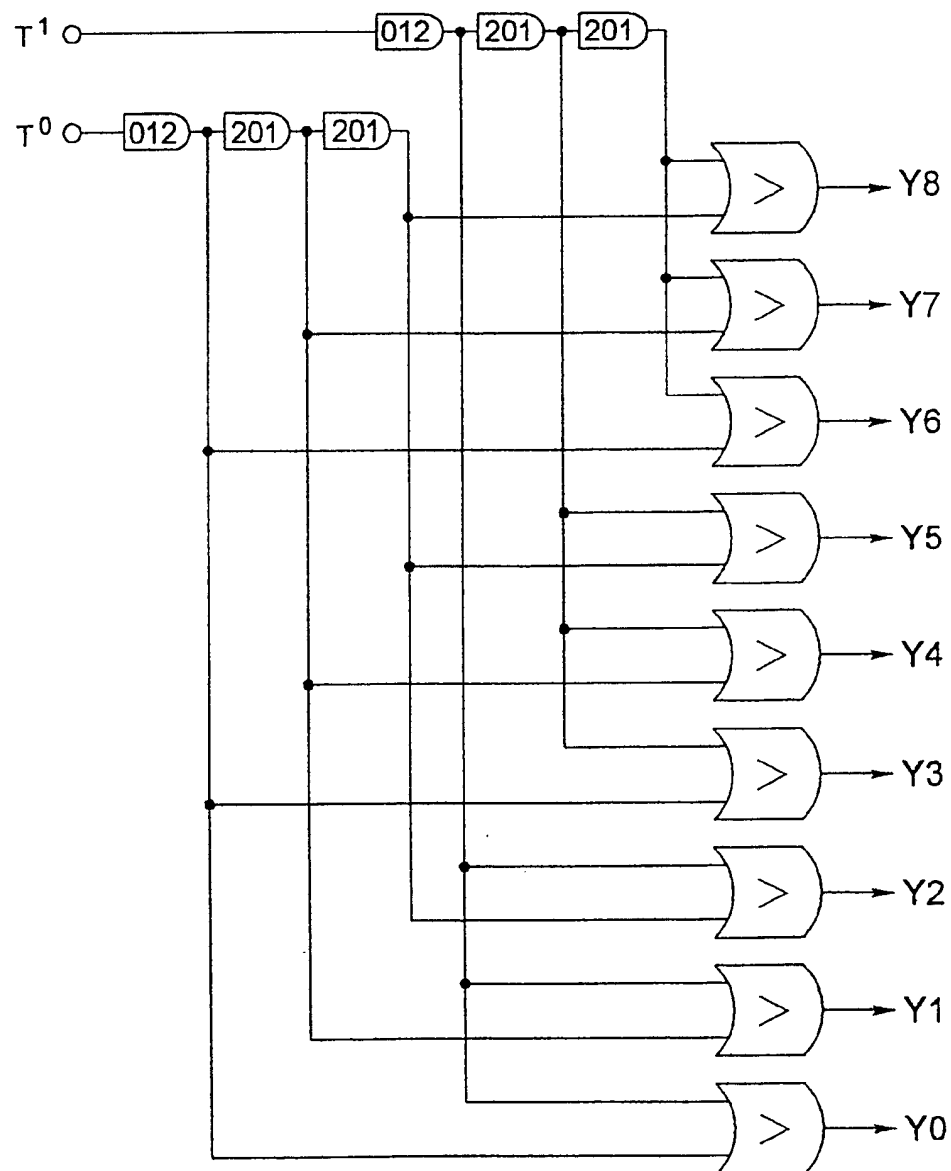


图183:

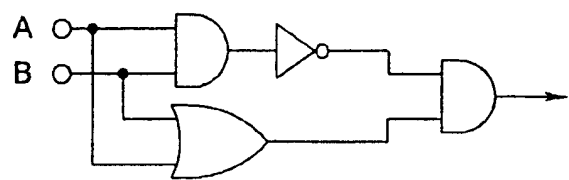


图184:

		A	
		0	1
B	0	0	1
	1	1	0

图185:

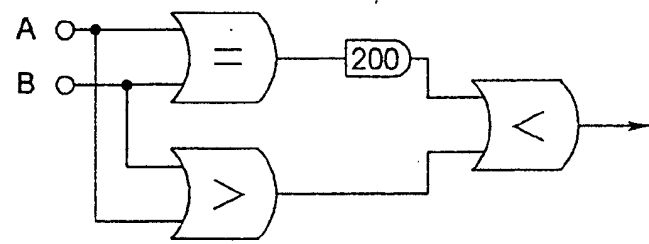


图186:

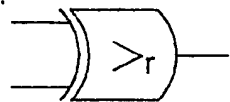


图187:

		A		
		0	1	2
B	0	0	1	2
	1	1	0	2
	2	2	2	0

图188:

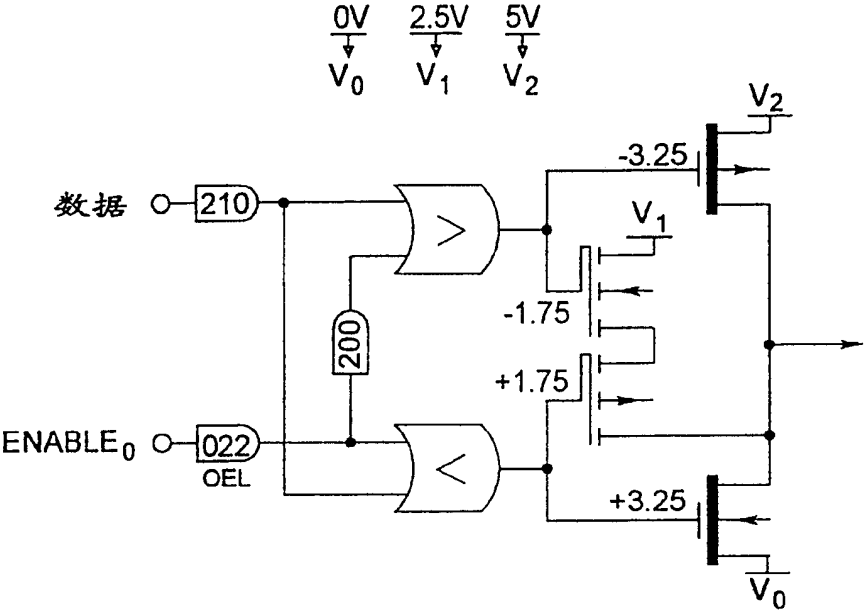


图189:

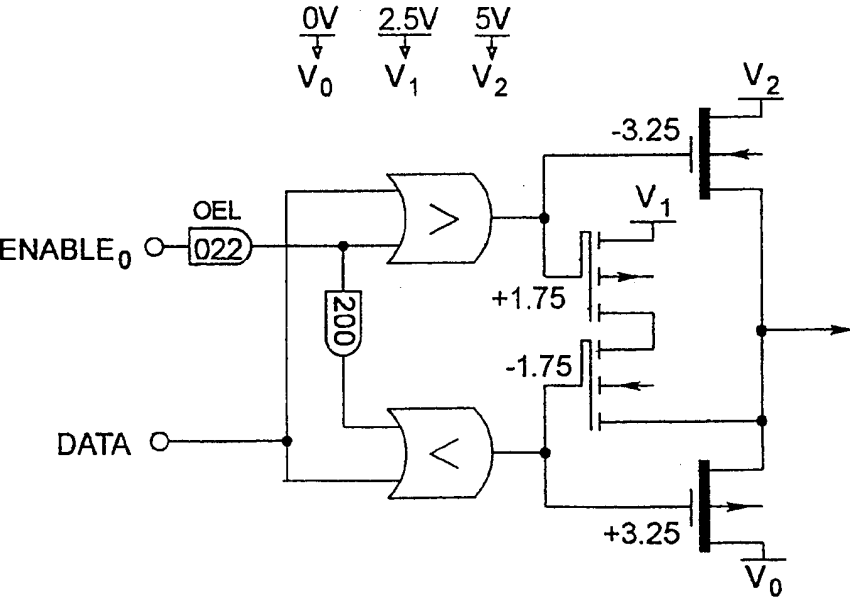


图190:

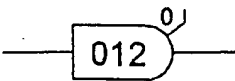


图193:

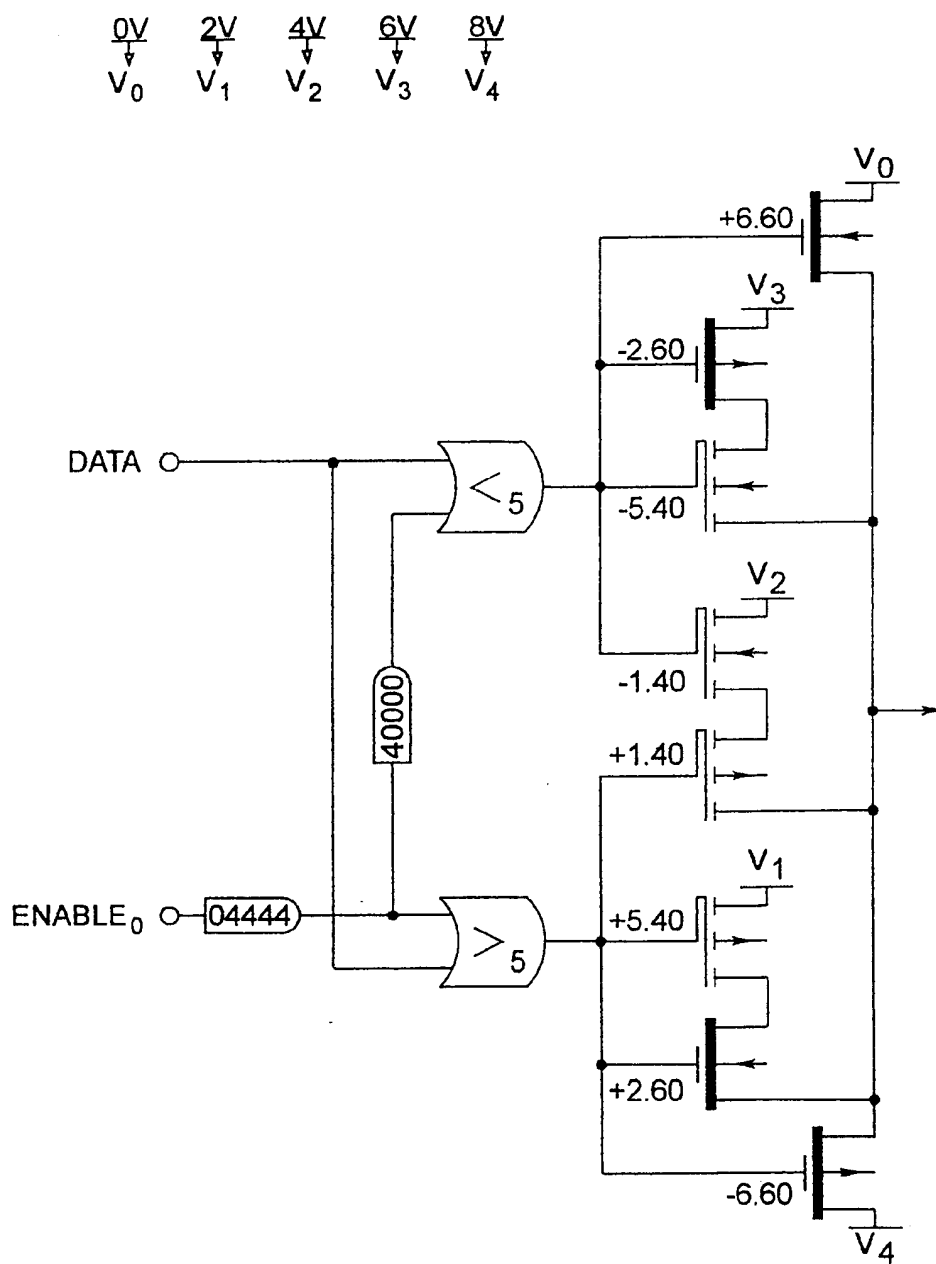


图194:

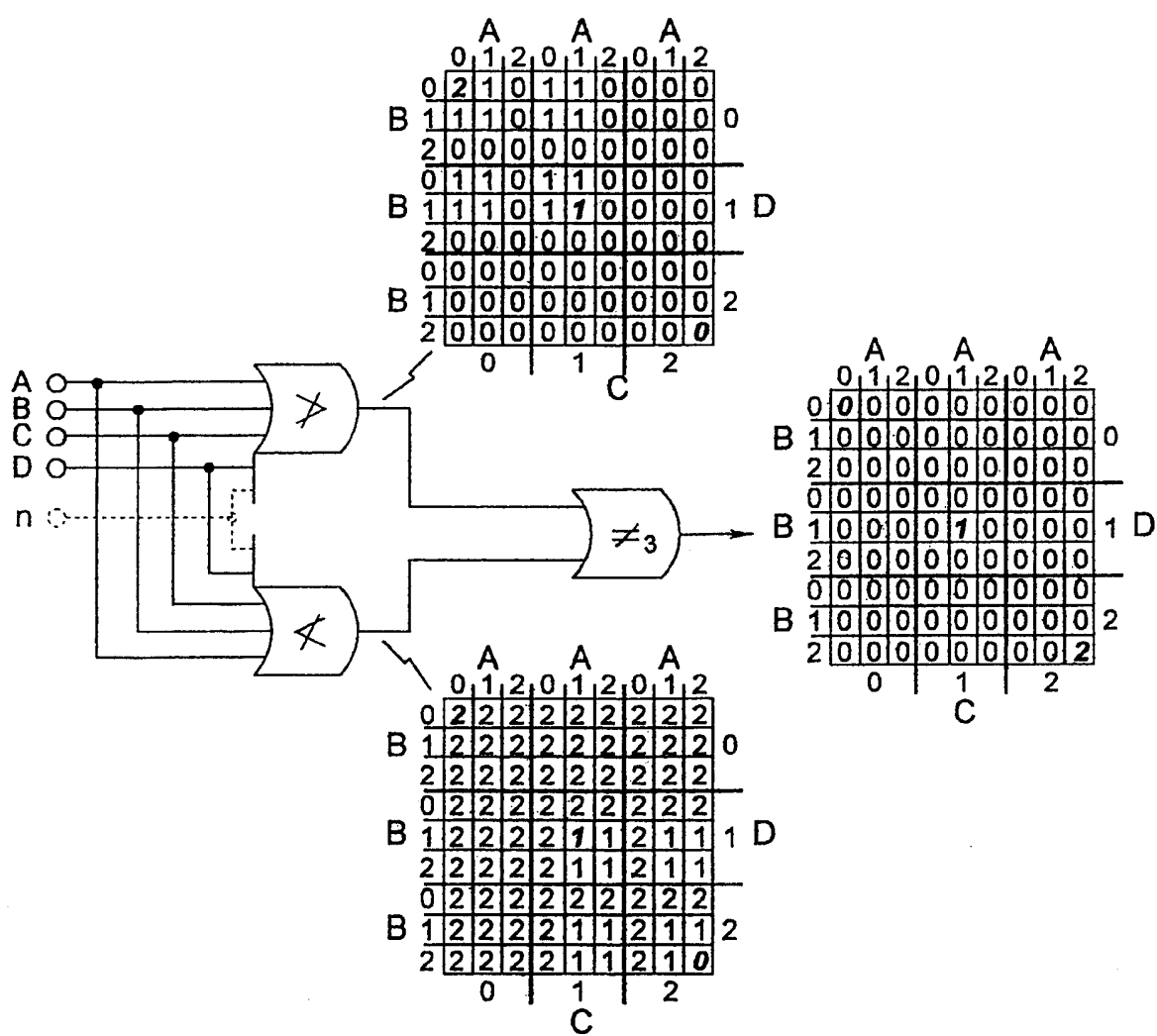


图195:

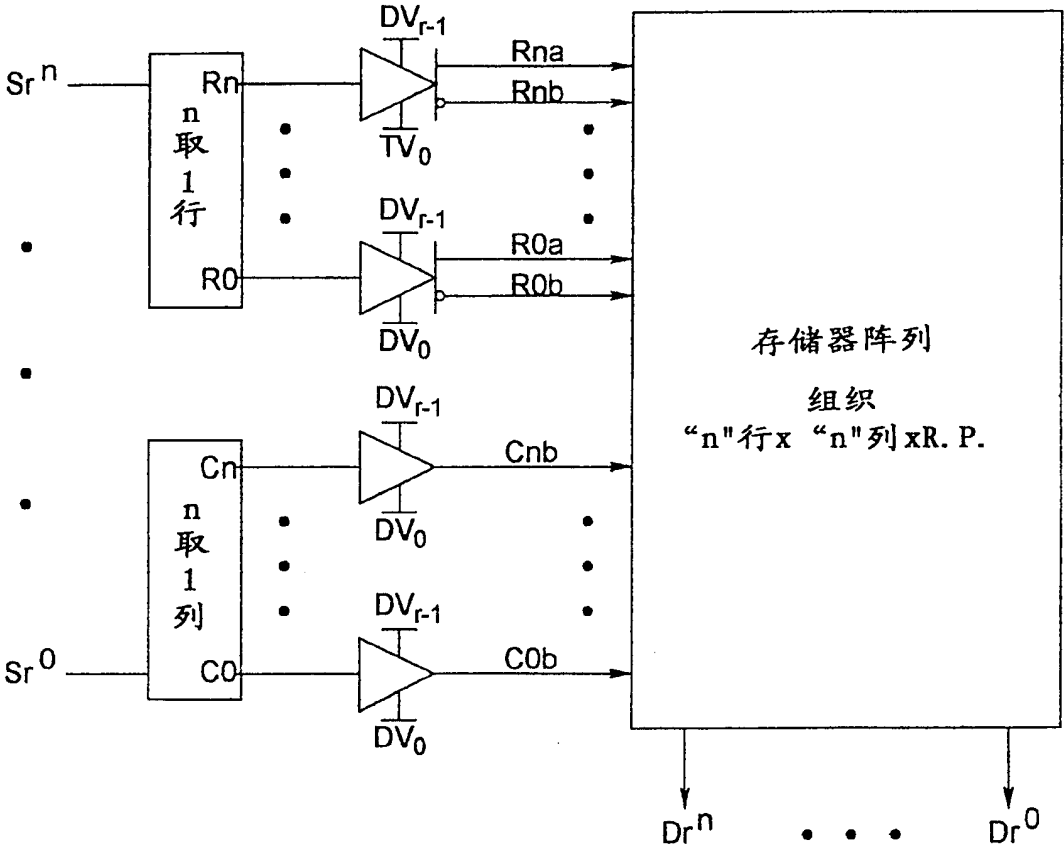


图 196:

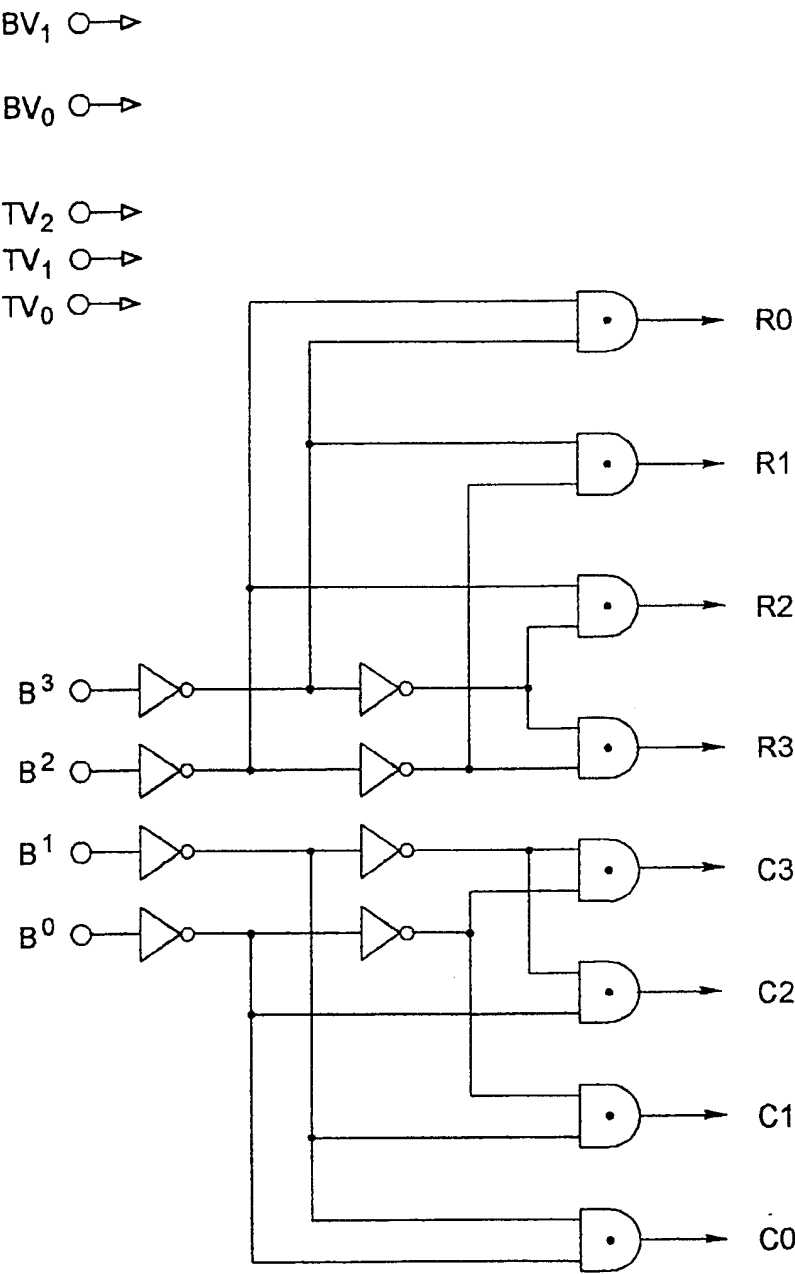


图197:

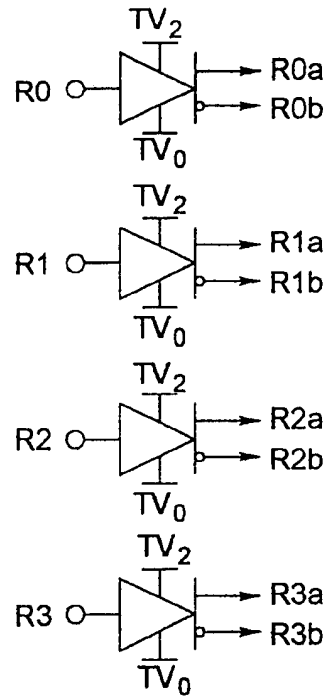


图198:

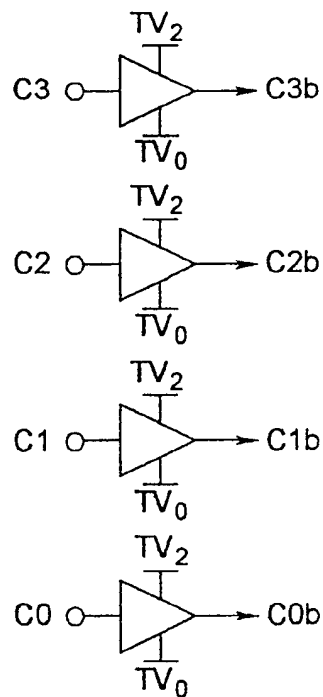


图199:

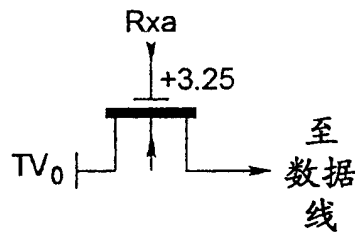


图200:

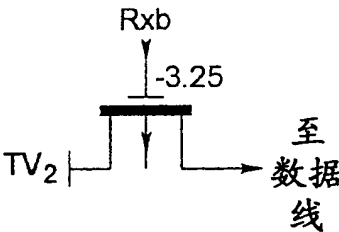


图201:

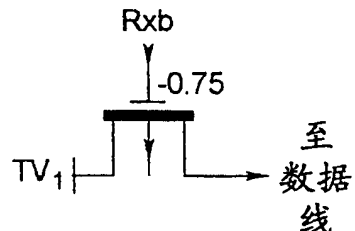


图202:

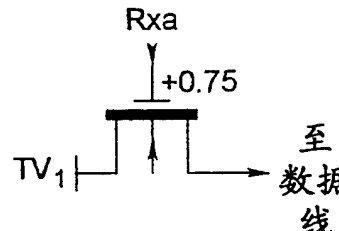


图203:



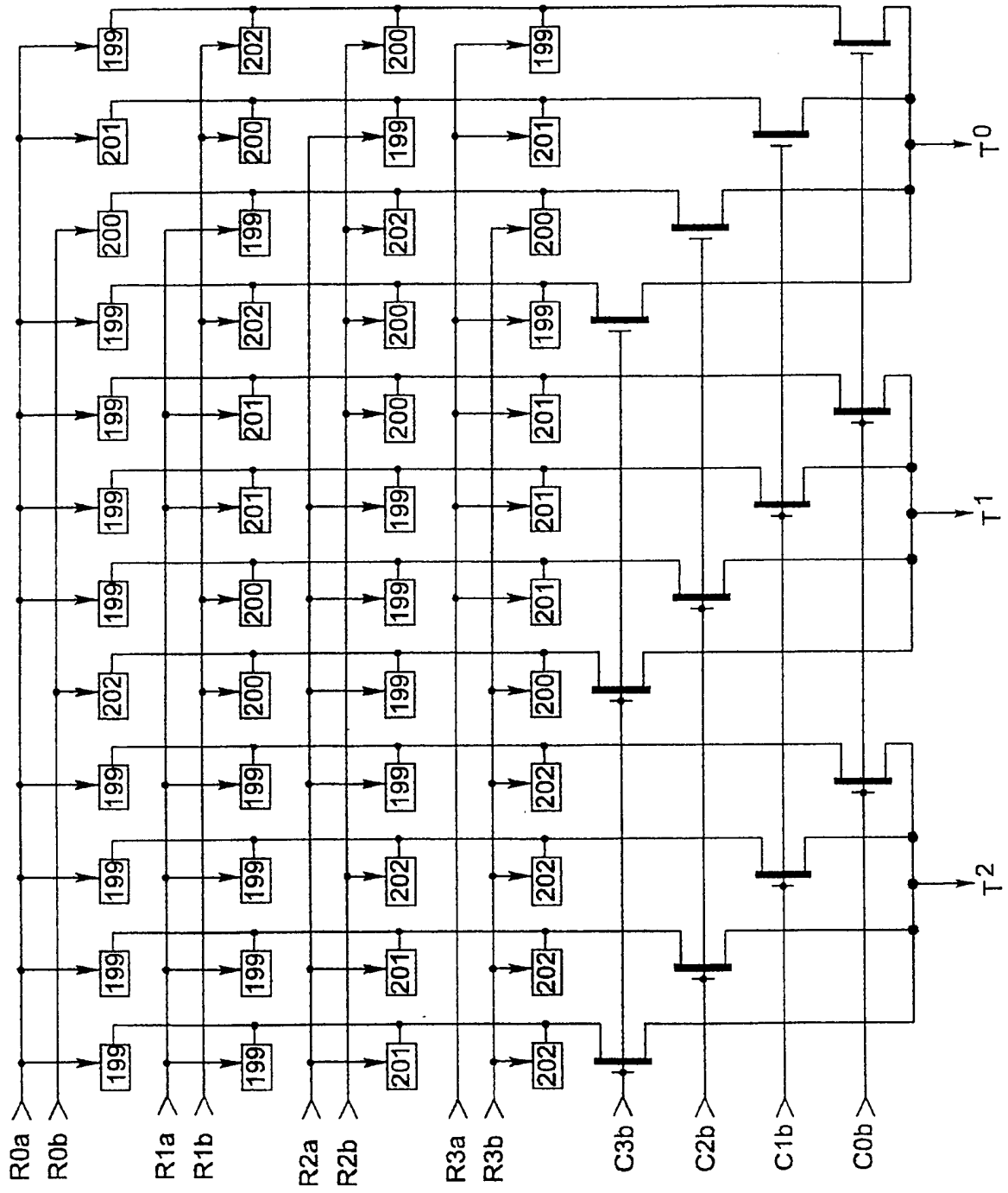


图 204:

图 205:

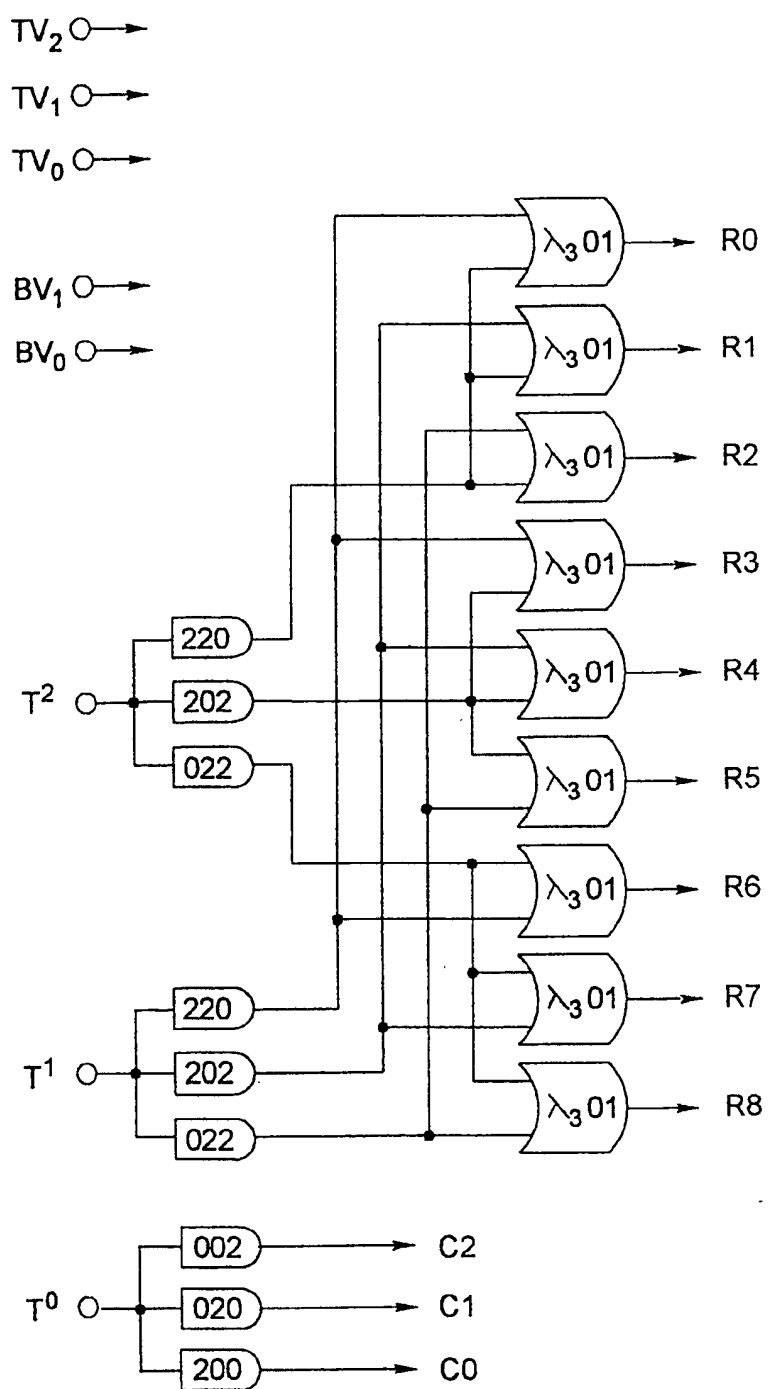


图 206:

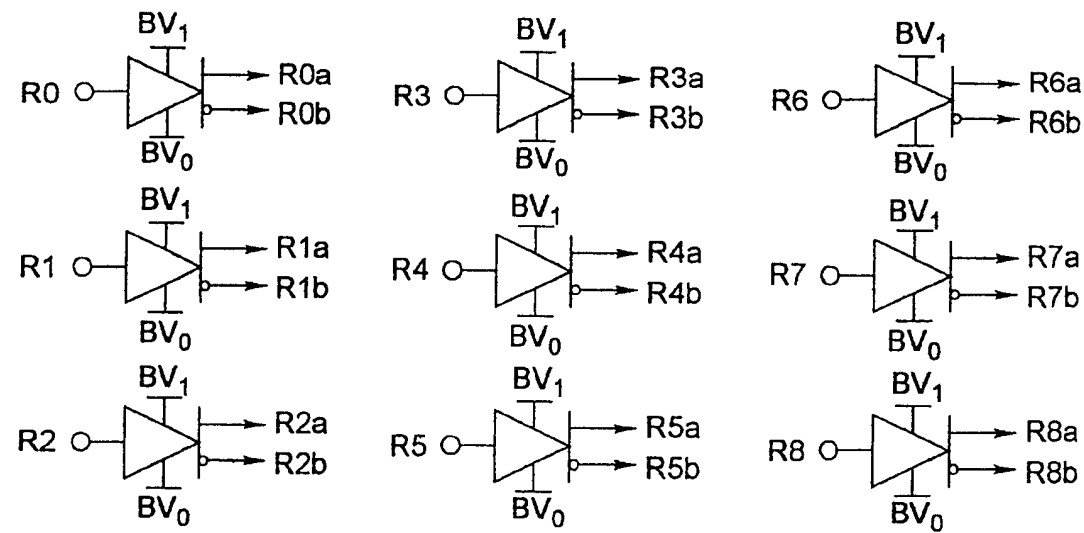


图207:

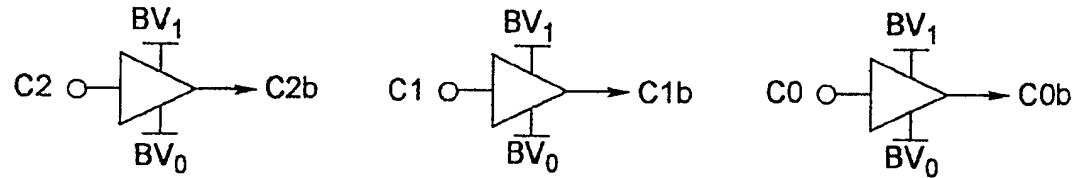


图208:

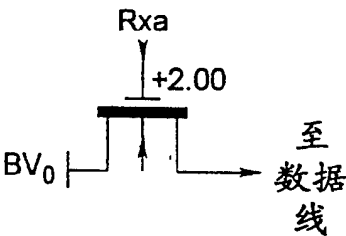


图 209:

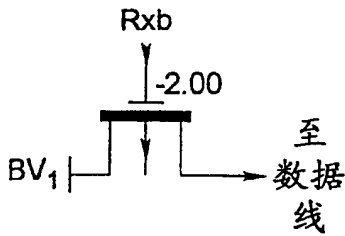


图210:



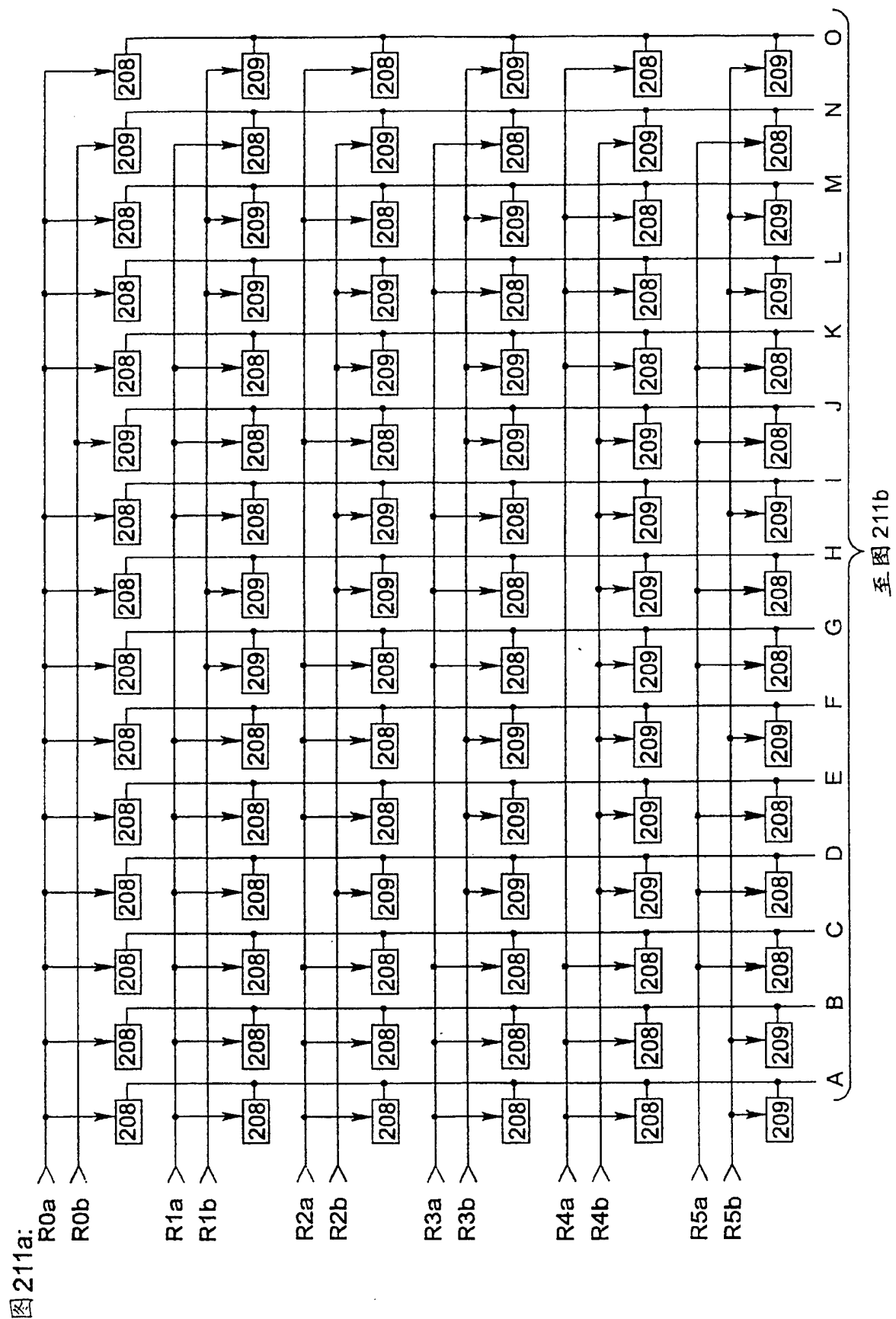


图 211b:

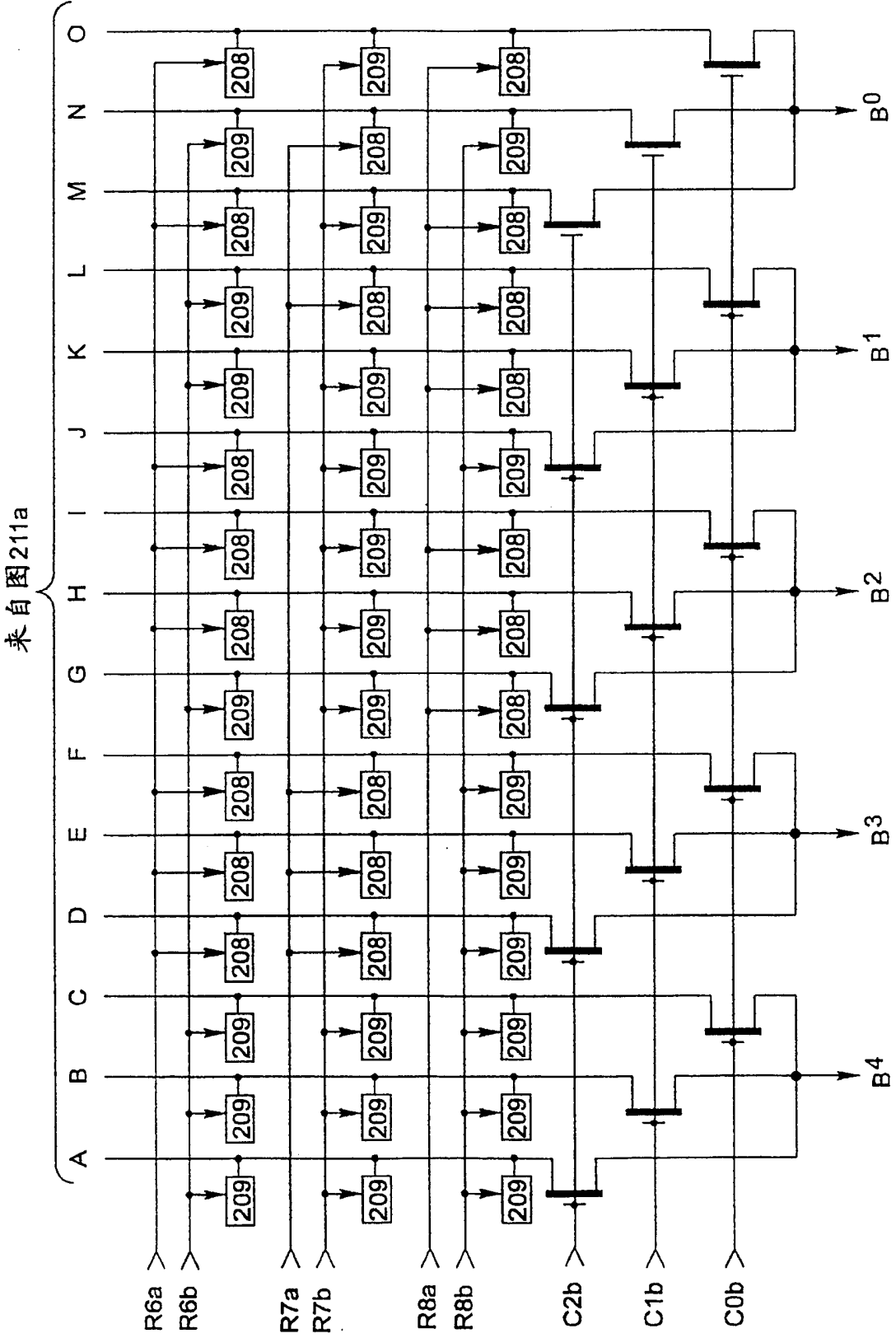


图 212:

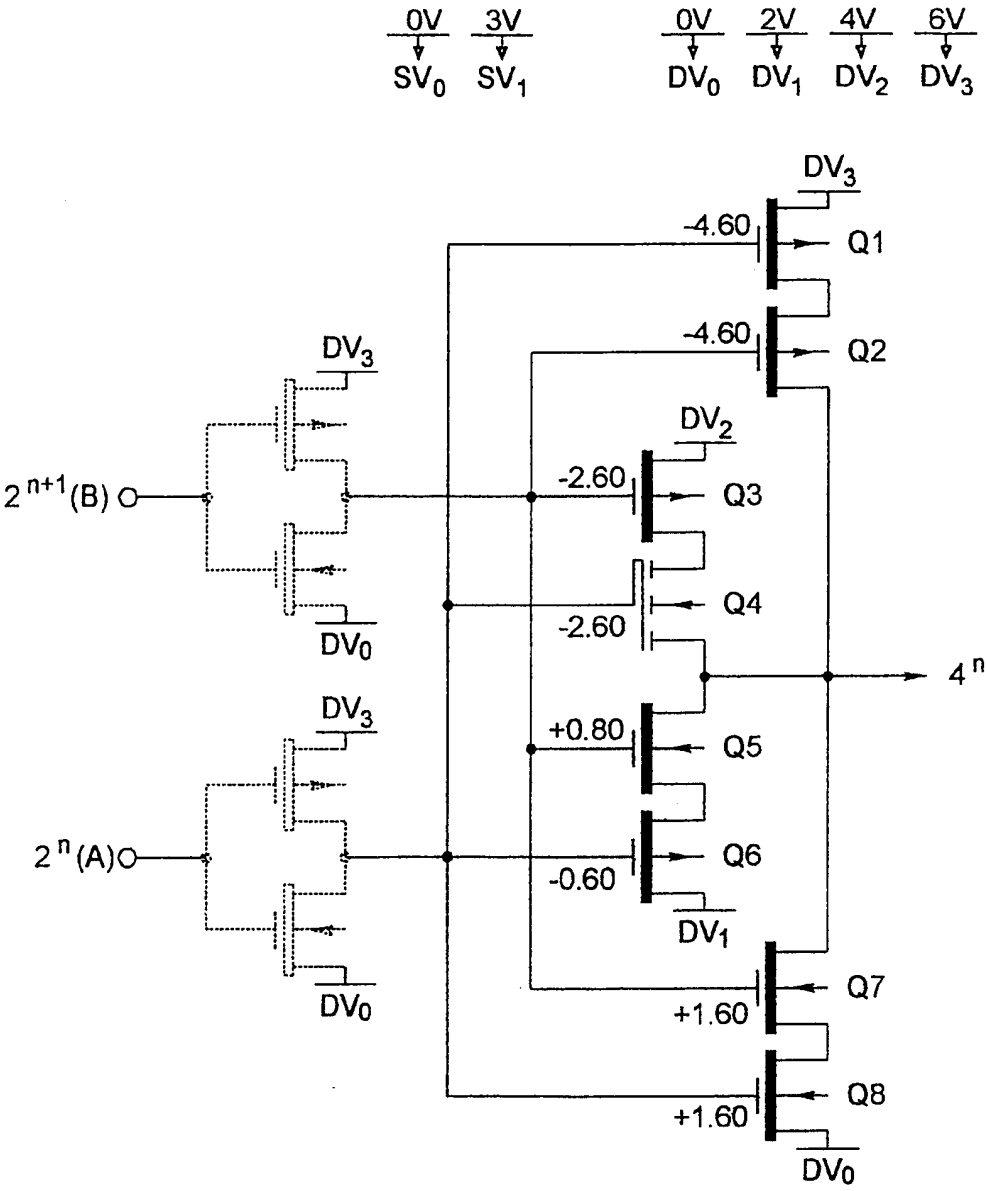


图 213:

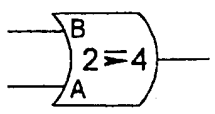


图 214:

		A	
		0	1
B	0	3	2
	1	1	0

图 215:

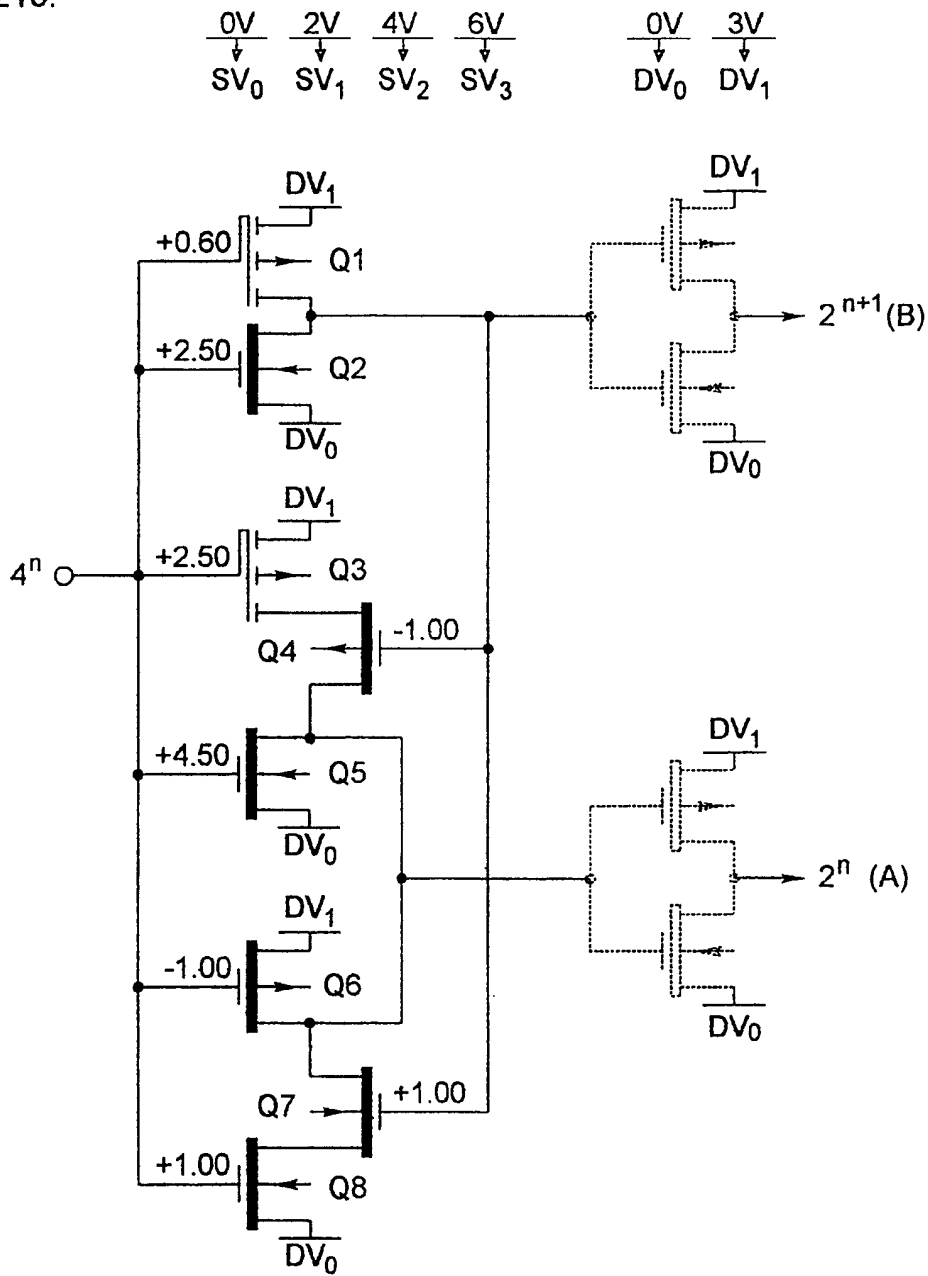


图 216:

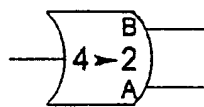


图 217:

		输入			
		0	1	2	3
输出	A	1	0	1	0
	B	1	1	0	0

图218:

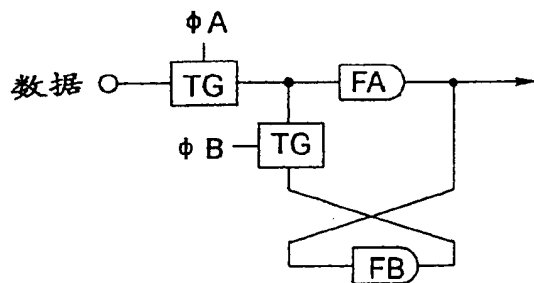


图219:

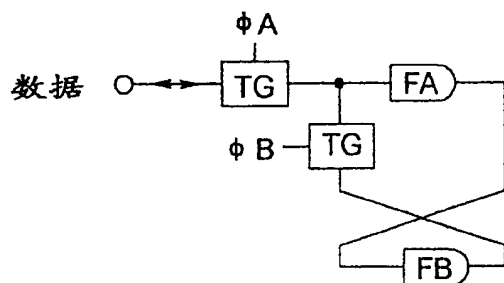


图220:

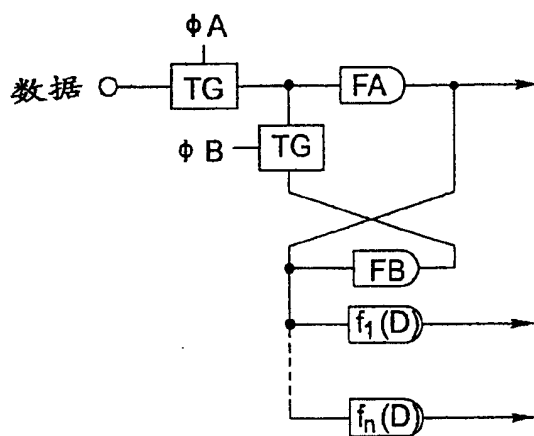


图221:

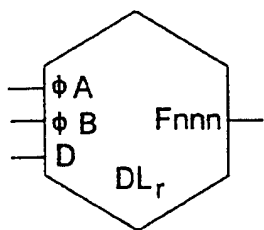


图222:

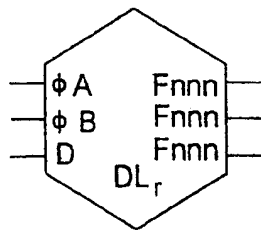


图223:

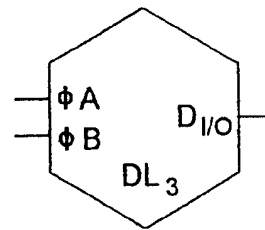


图 224:

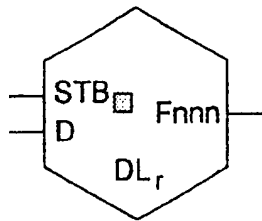


图 225:

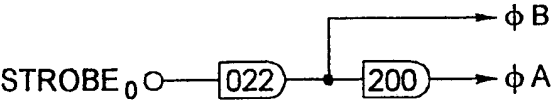


图 226:

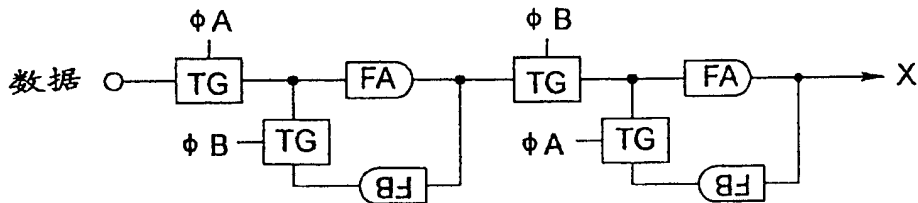


图 227:

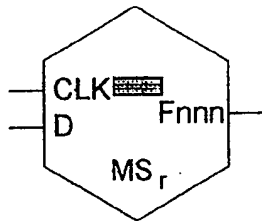


图 228:

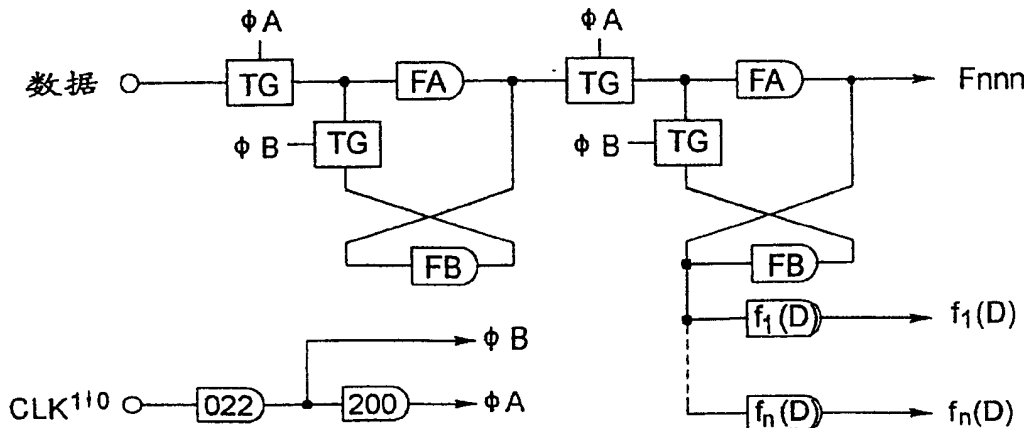


图 229:

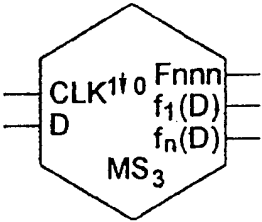


图 230:

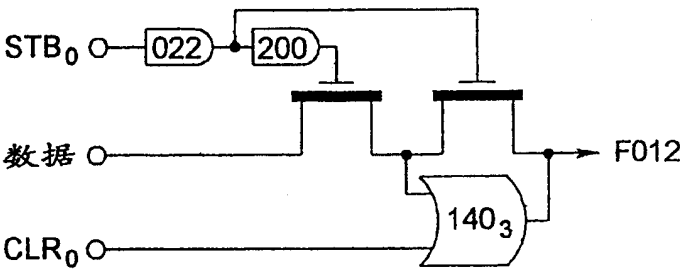


图 231:

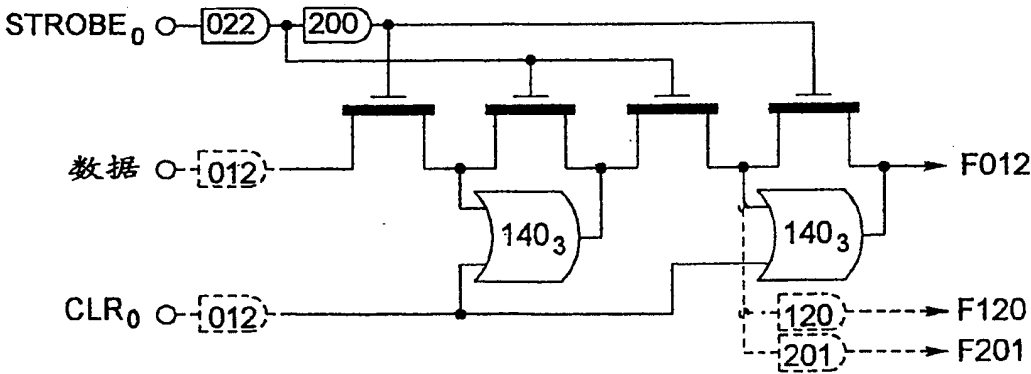


图 232:

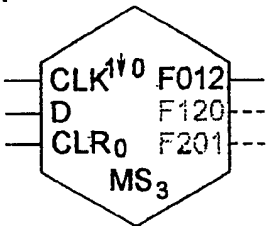


图 233:

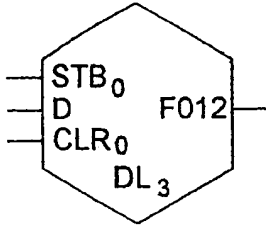


图 234:

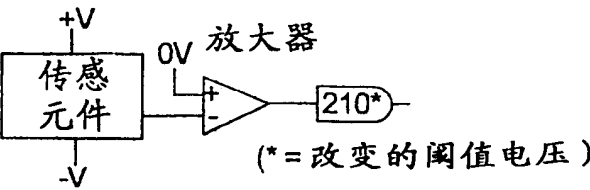


图 235:

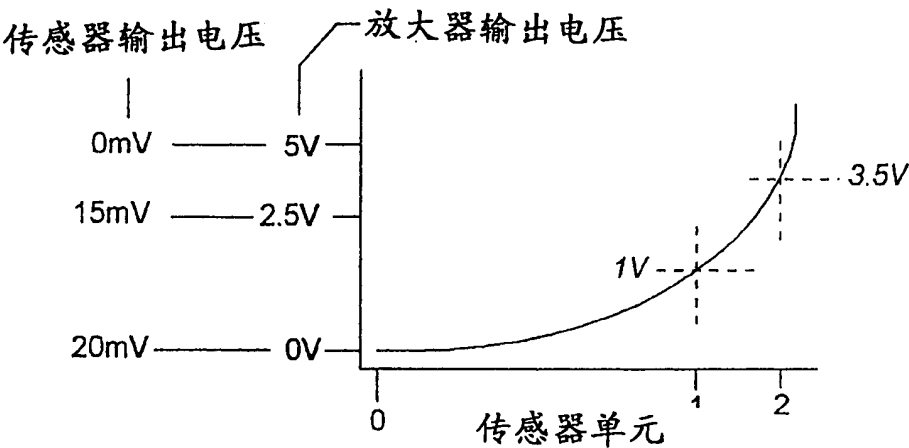


图 236:

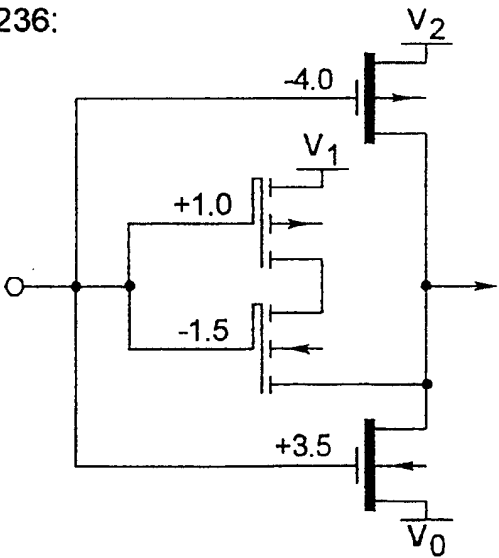


图 237:

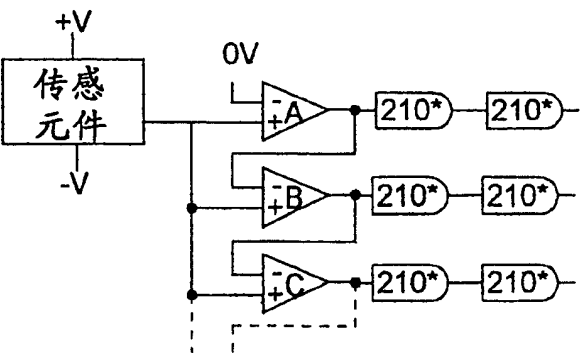


图 238:

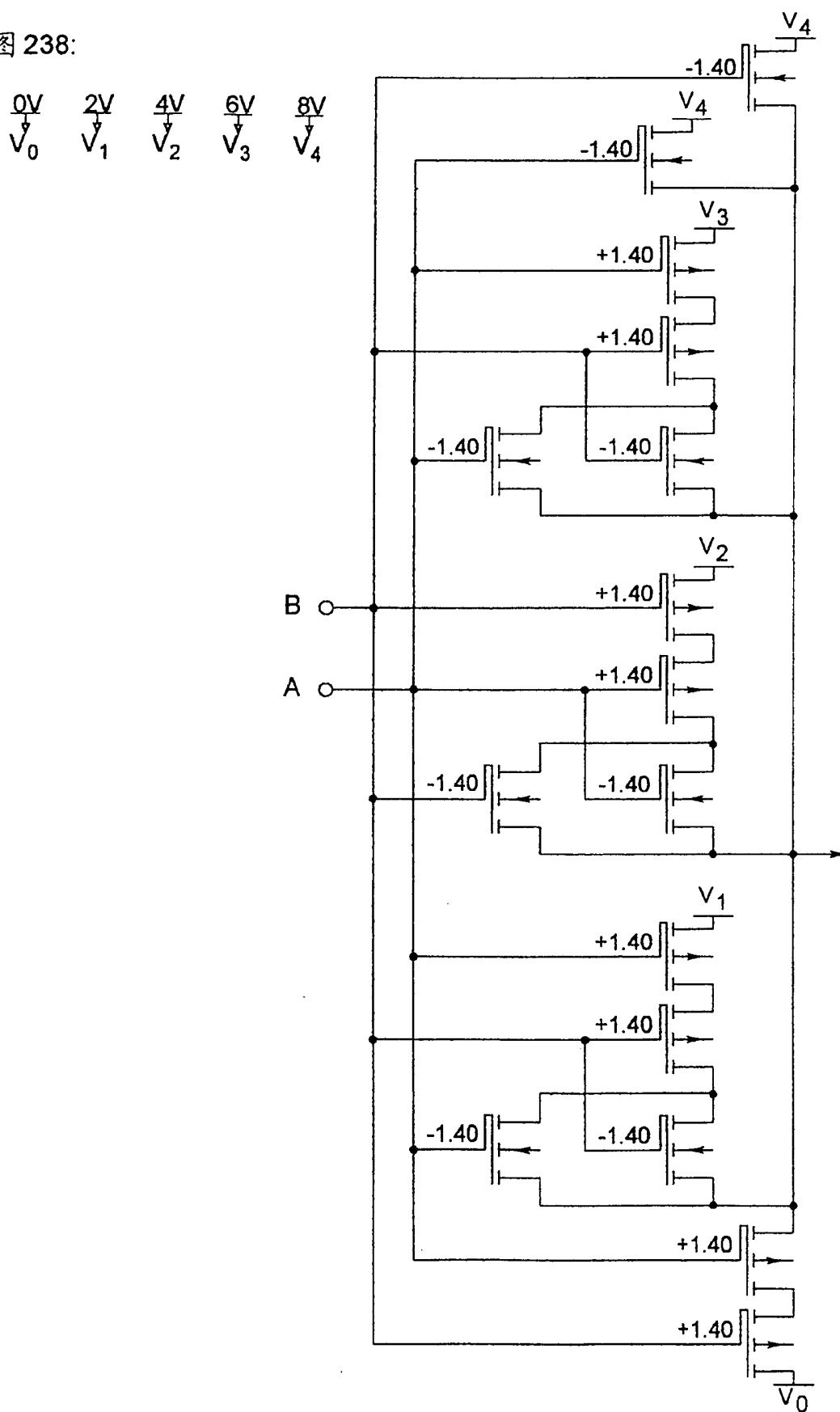
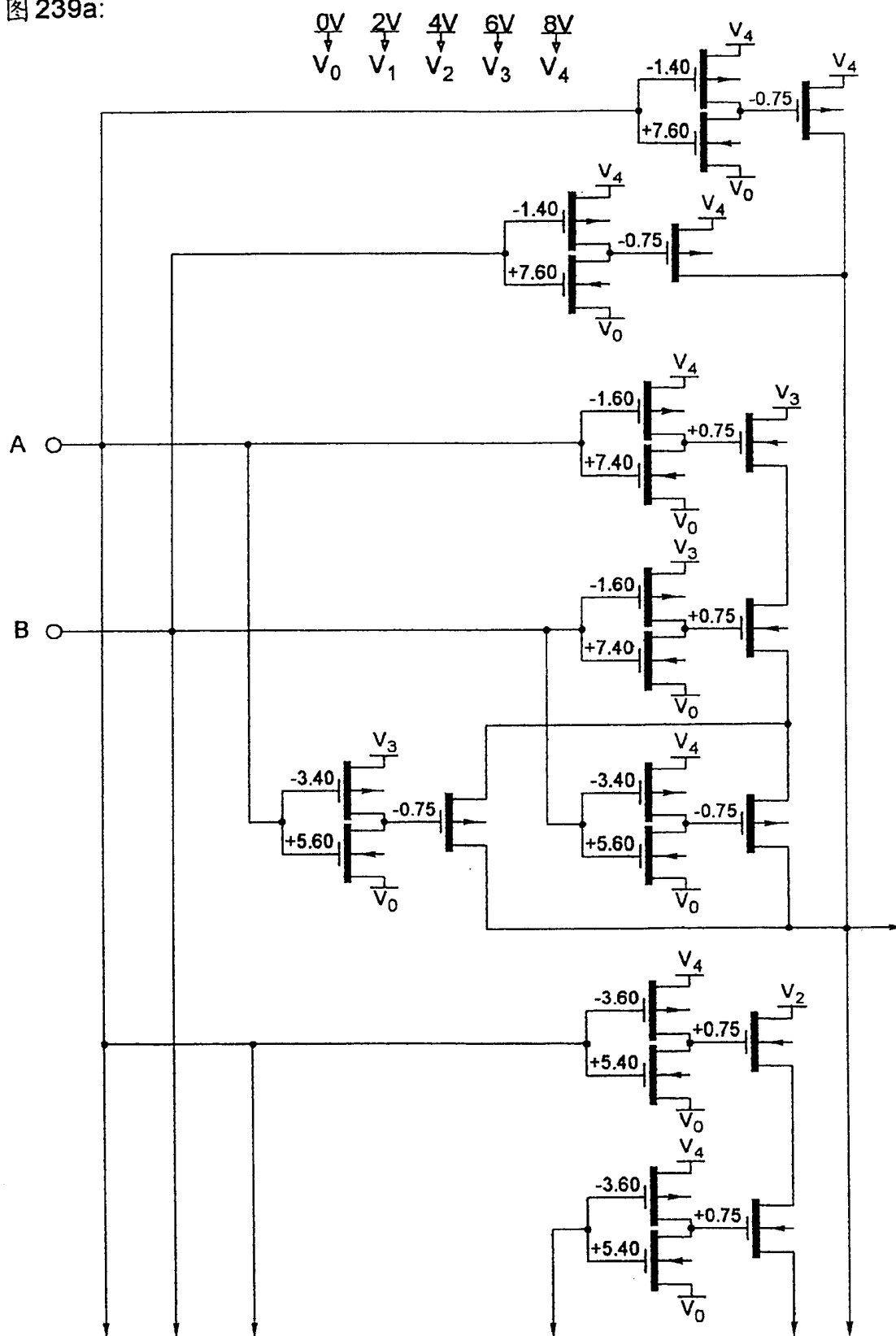


图 239a:



至图 239b

图 239b:

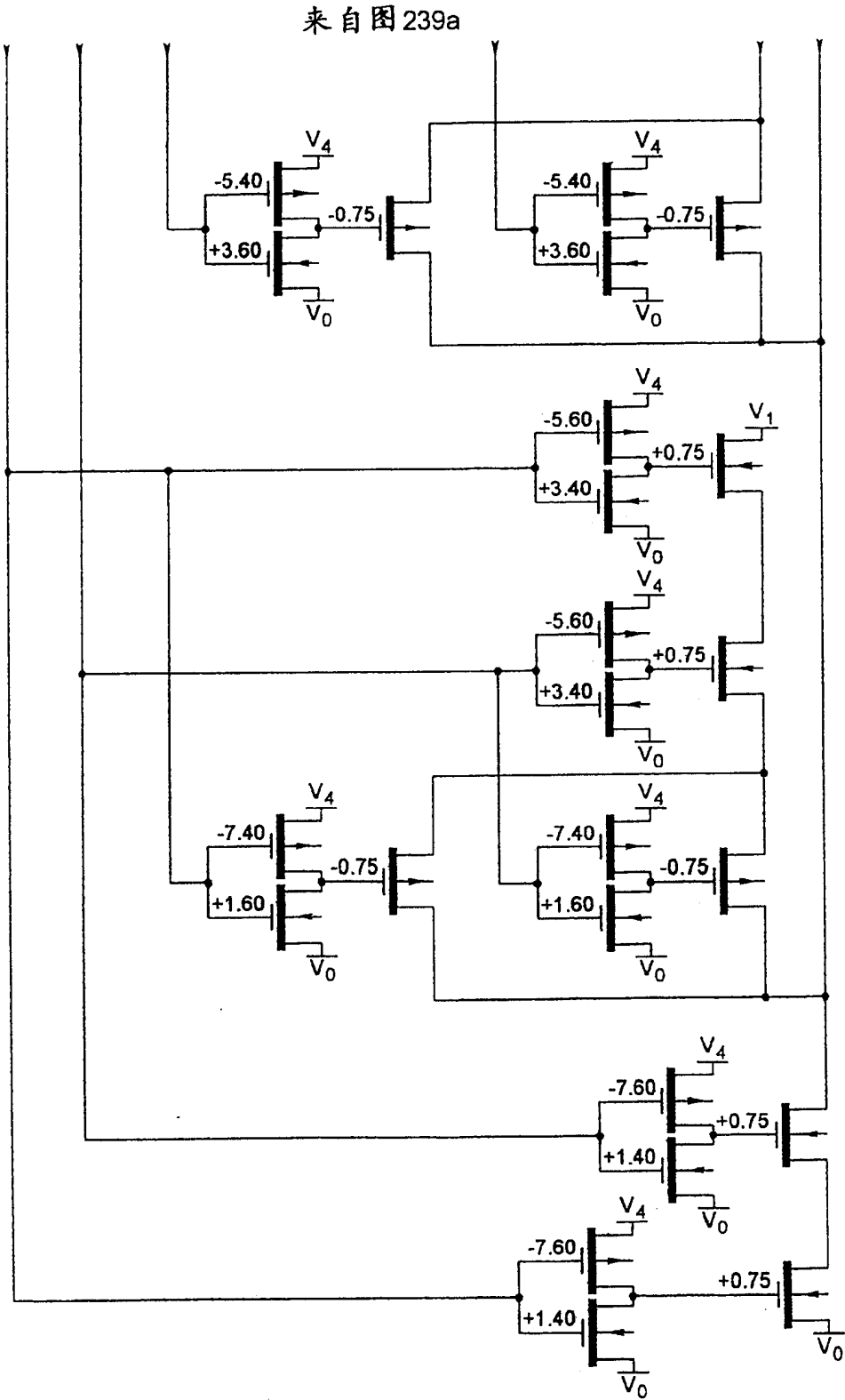


图 240:

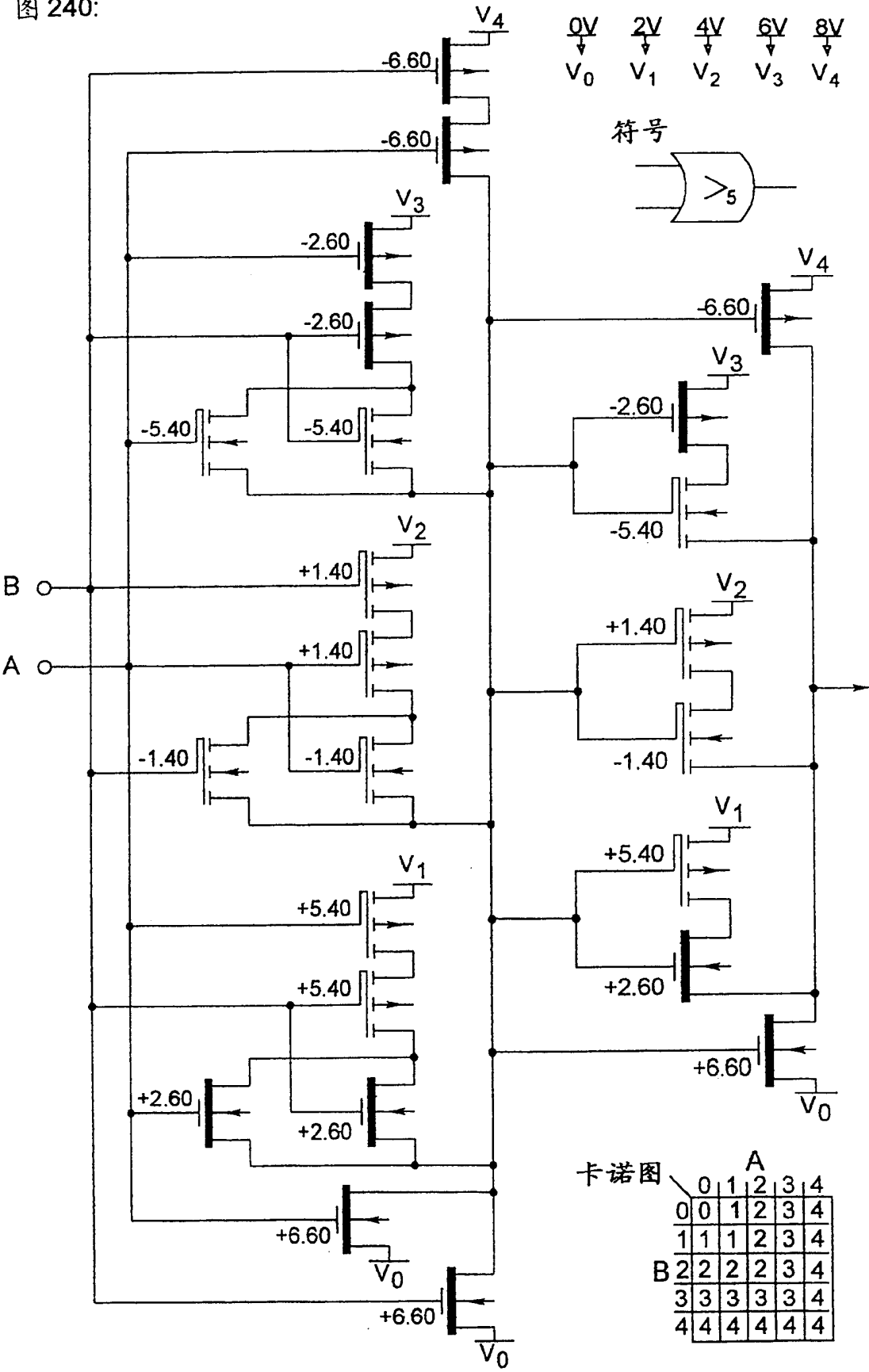


图 241:

$\begin{matrix} 0V \\ \downarrow \\ V_0 \end{matrix}$ $\begin{matrix} 2V \\ \downarrow \\ V_1 \end{matrix}$ $\begin{matrix} 4V \\ \downarrow \\ V_2 \end{matrix}$ $\begin{matrix} 6V \\ \downarrow \\ V_3 \end{matrix}$ $\begin{matrix} 8V \\ \downarrow \\ V_4 \end{matrix}$

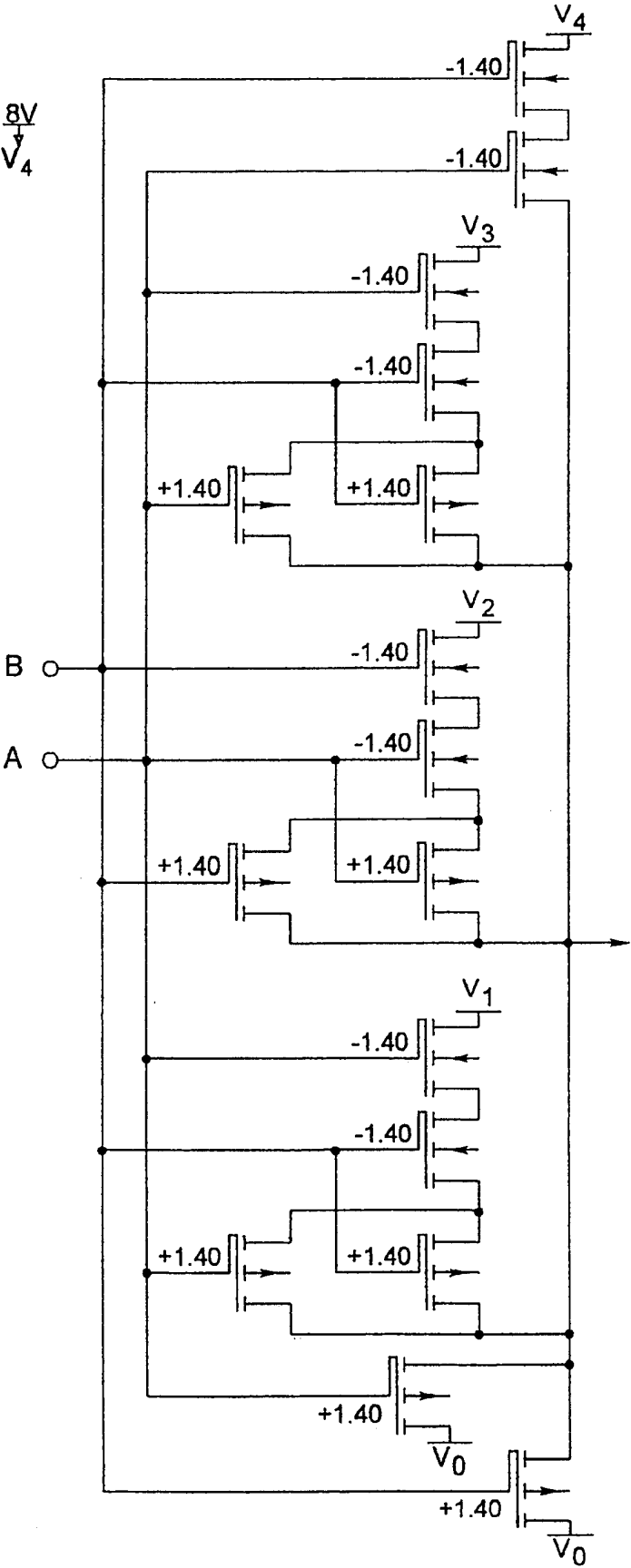
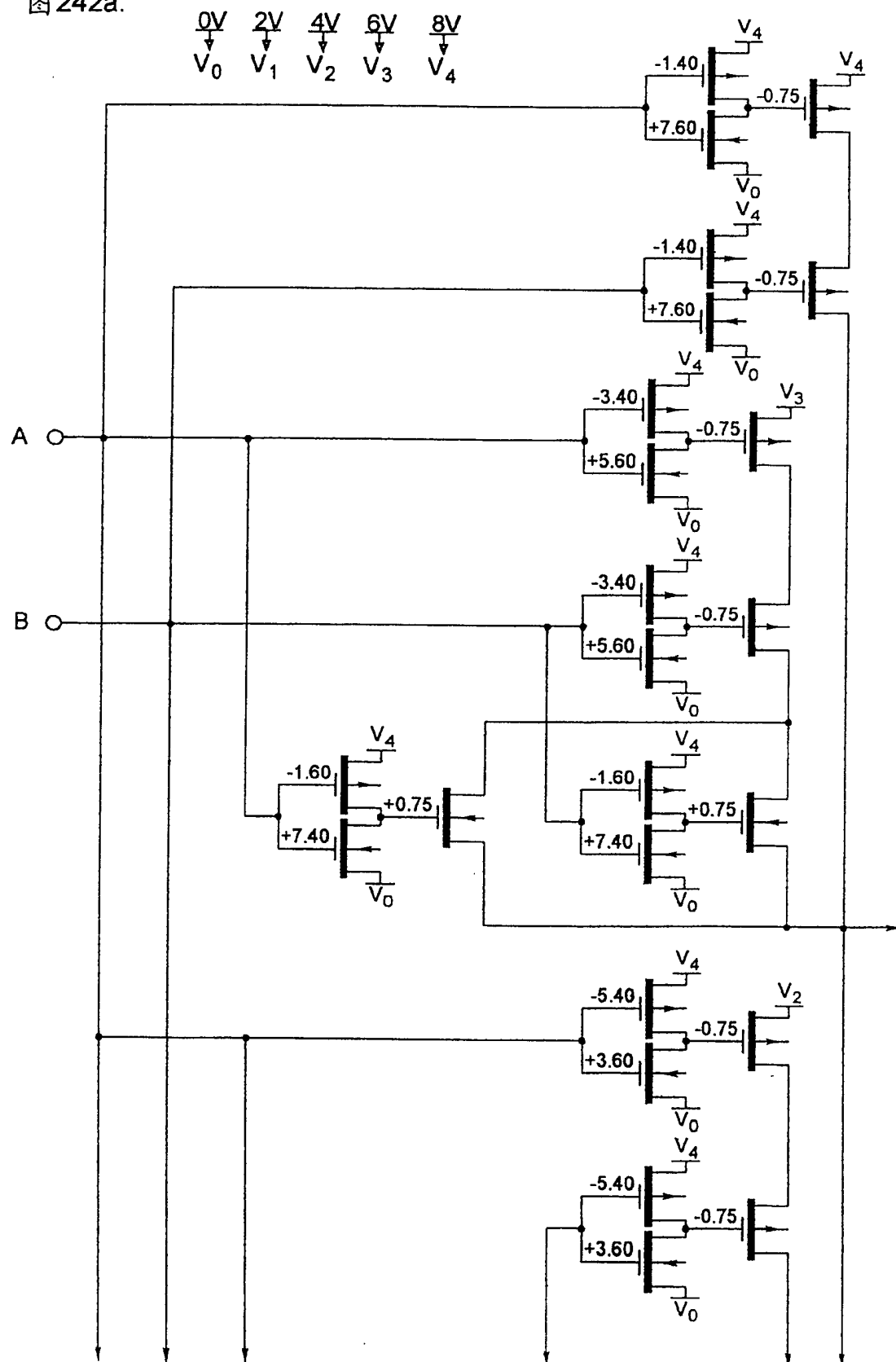


图 242a:



至图 242b

图 242b:

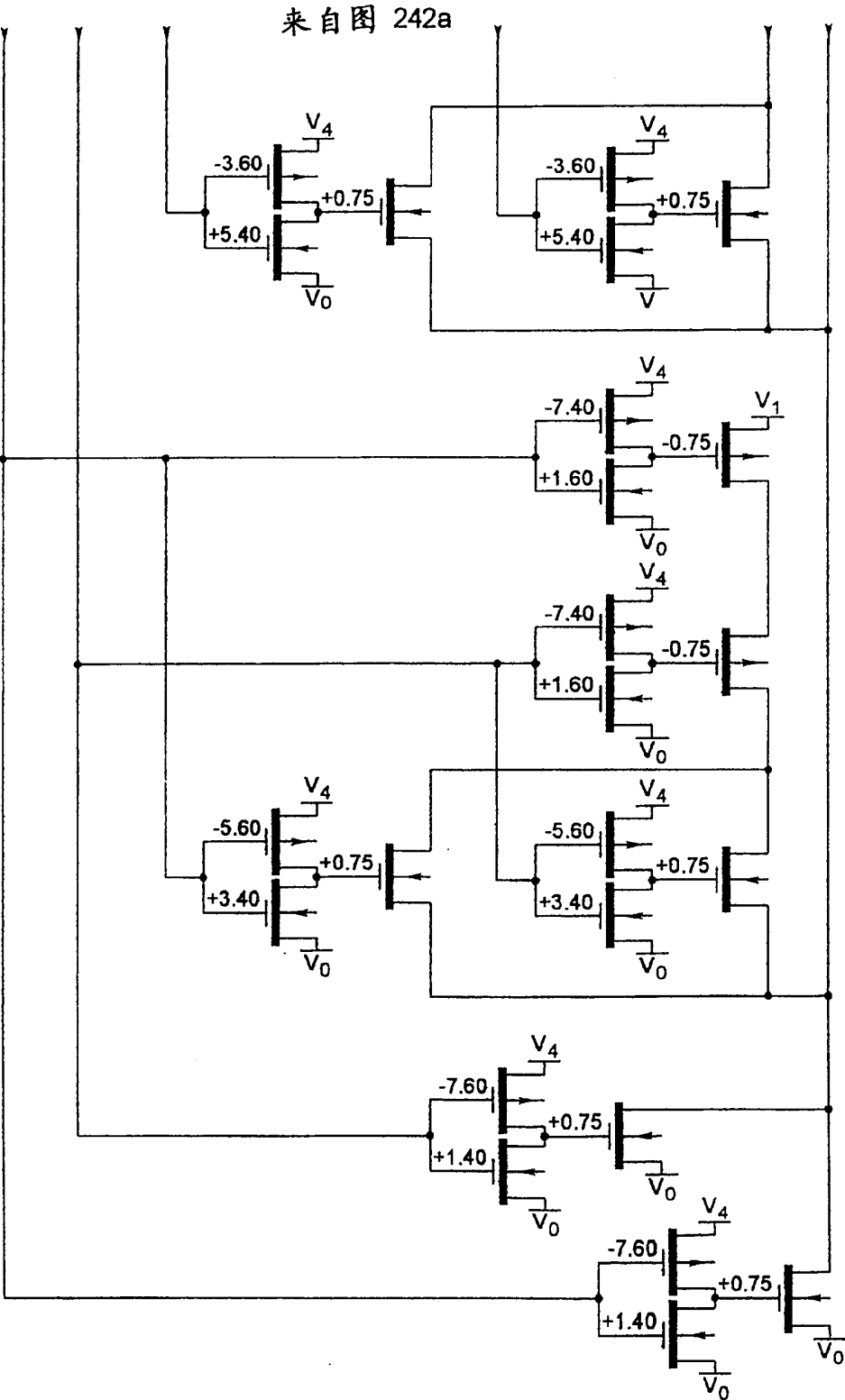


图 243:

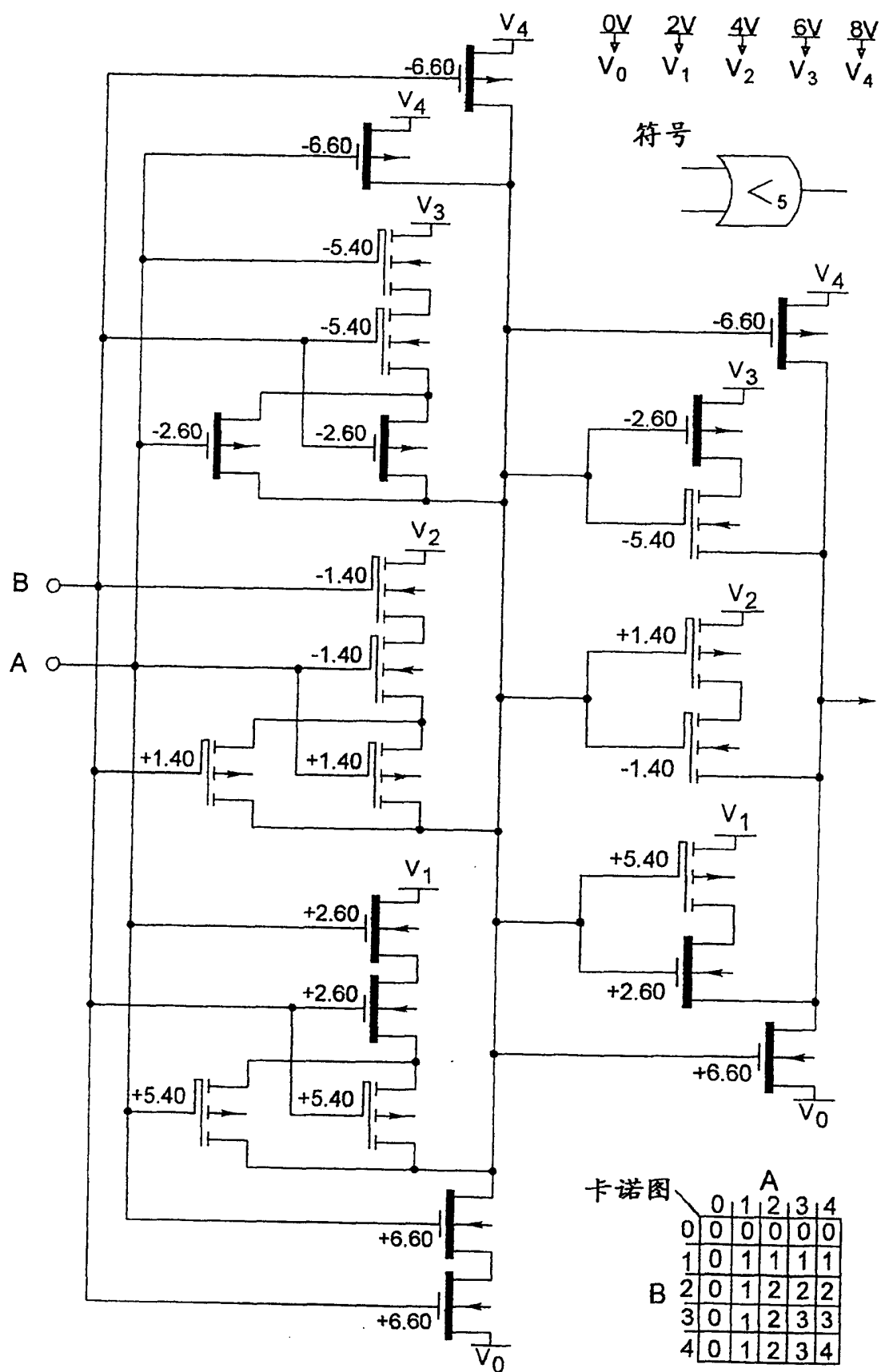
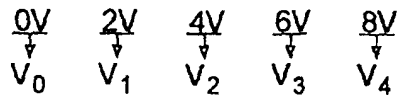
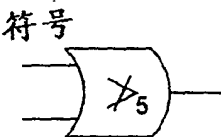


图244:



+V = V_{GS(TH)}
[n.nn] = 绝对输入电压



卡诺图

	A				
	0	1	2	3	4
0	4	3	2	1	0
1	3	3	2	1	0
2	2	2	2	1	0
3	1	1	1	1	0
4	0	0	0	0	0

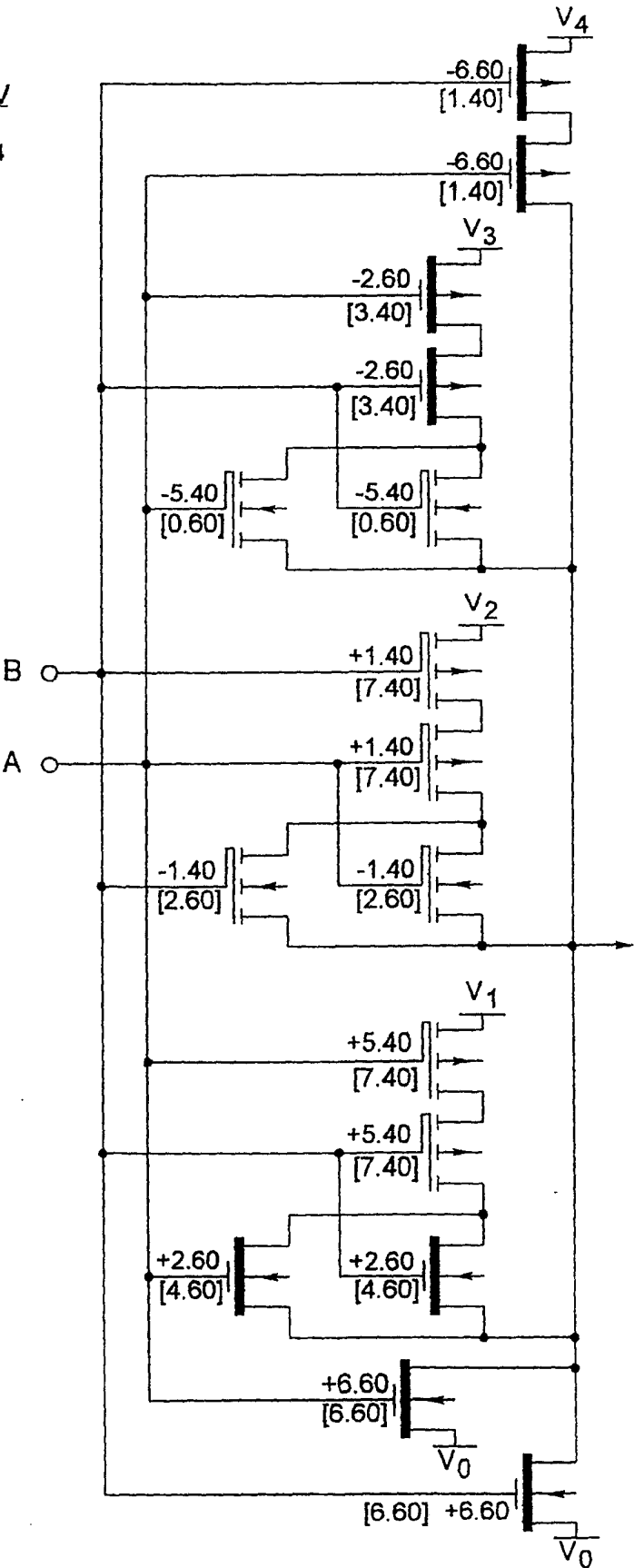


图 245:

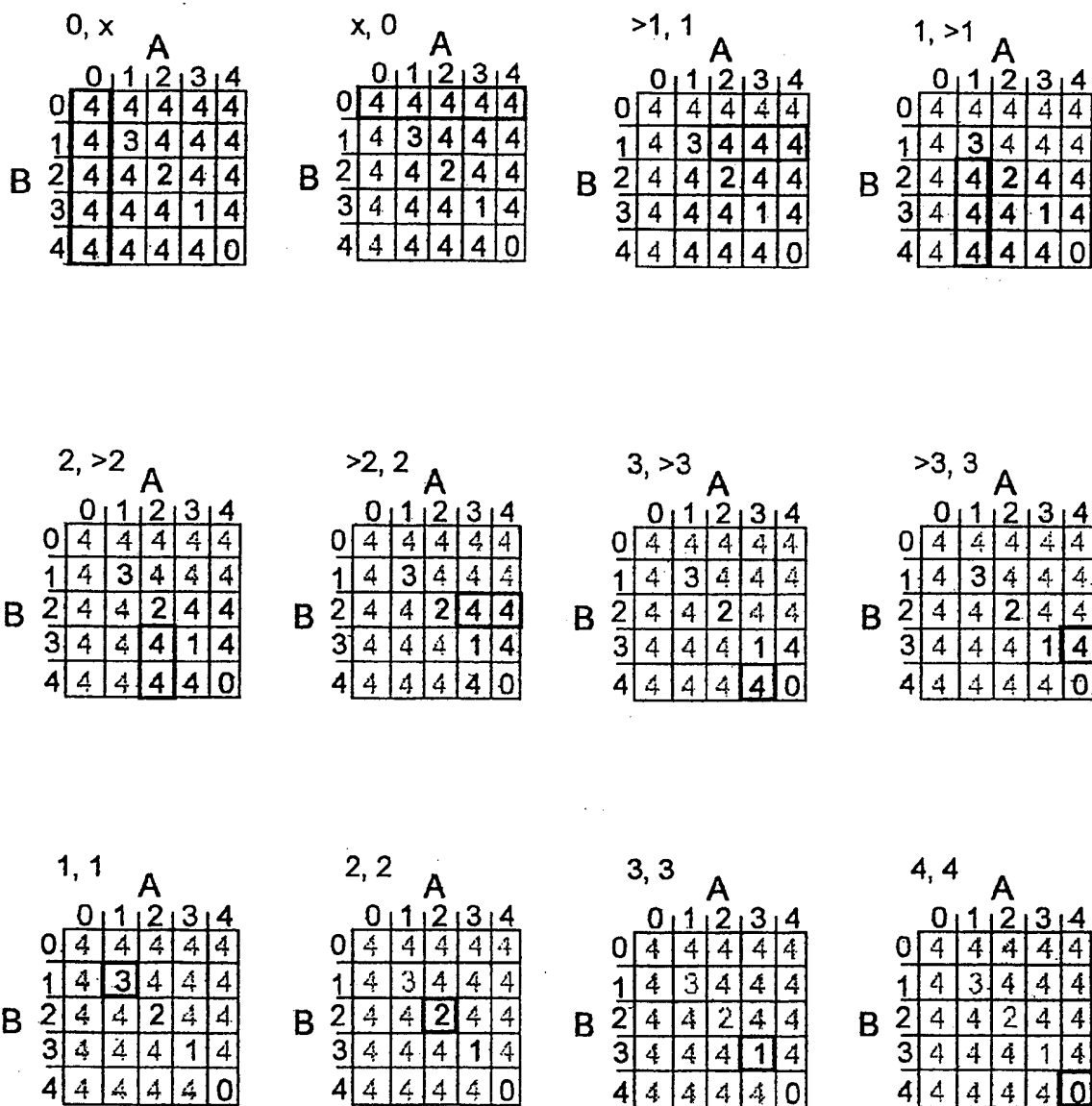


图 246a:

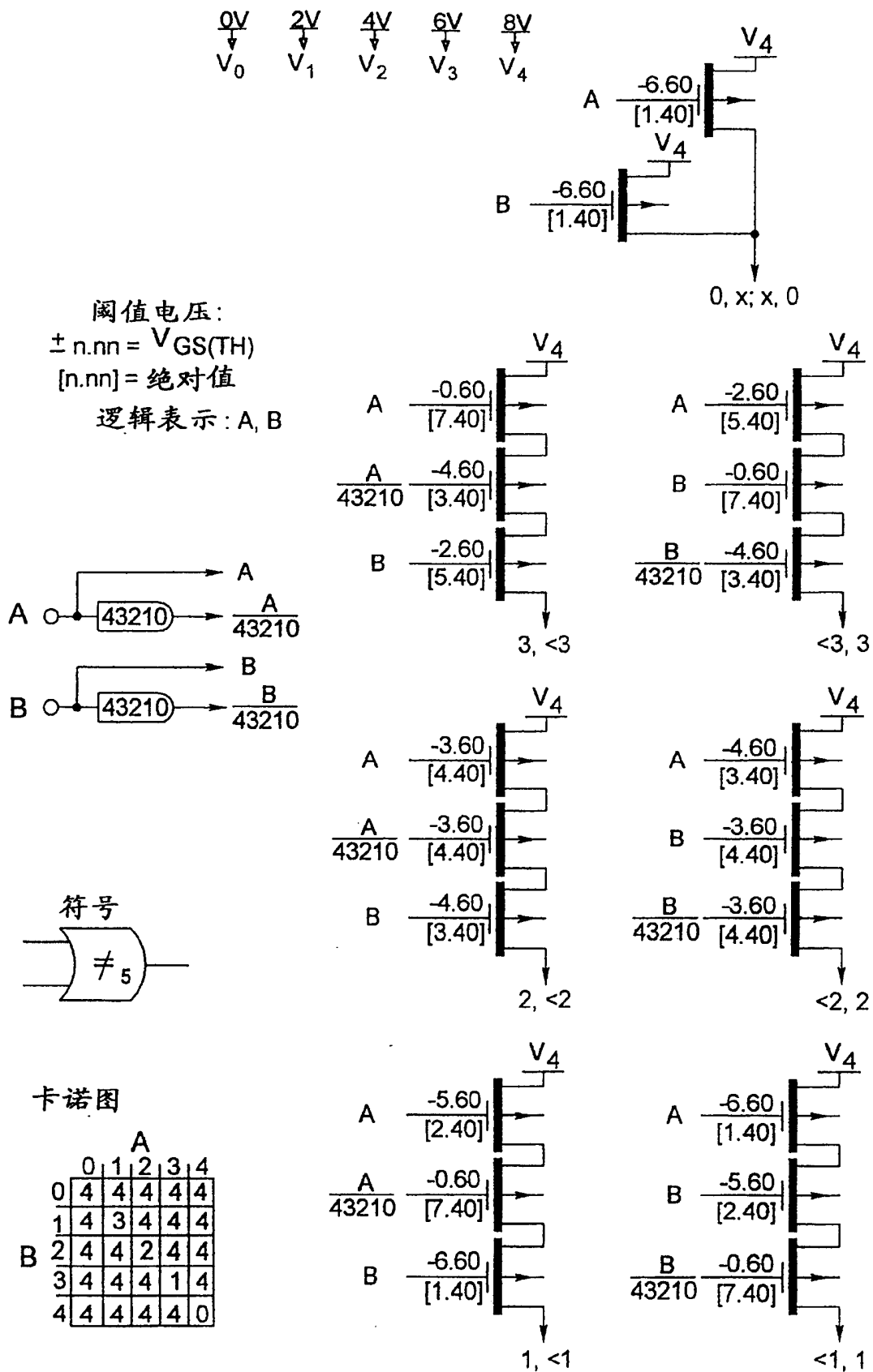


图 246b:

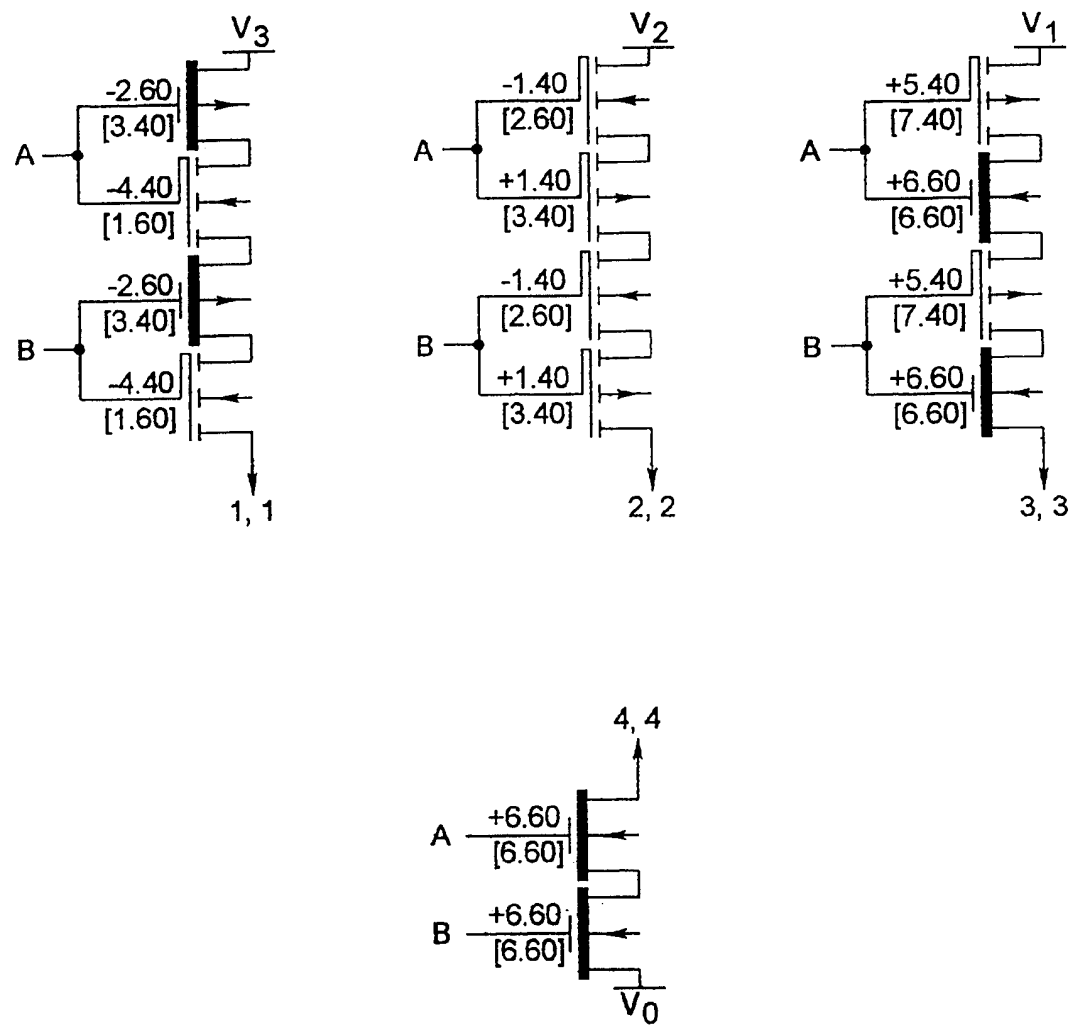


图 247:

0, x

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

1, <>1

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

2, <>2

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

3, <>3

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

4, <4

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

1, 1

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

2, 2

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

3, 3

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

4, 4

A

	0	1	2	3	4
0	4	4	4	4	4
1	4	3	4	4	4
2	4	4	2	4	4
3	4	4	4	1	4
4	4	4	4	4	0

B

图 248b:

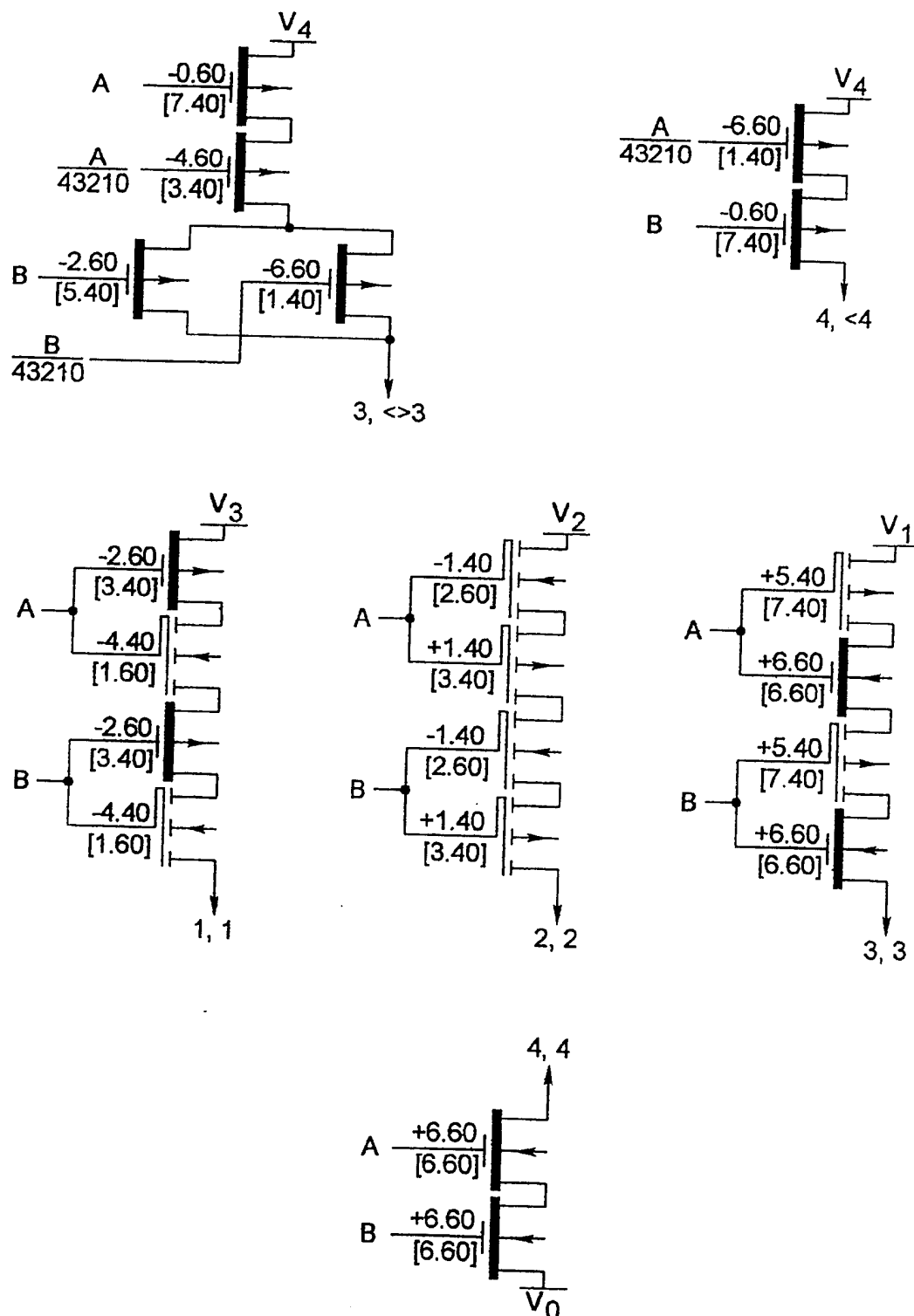


图 249:

0, x

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

x, 0

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

>1, 1

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

1, >1

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

>2, 2

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

2, >2

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

<4, 4

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

4, <4

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

1, 1

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

2, 2

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

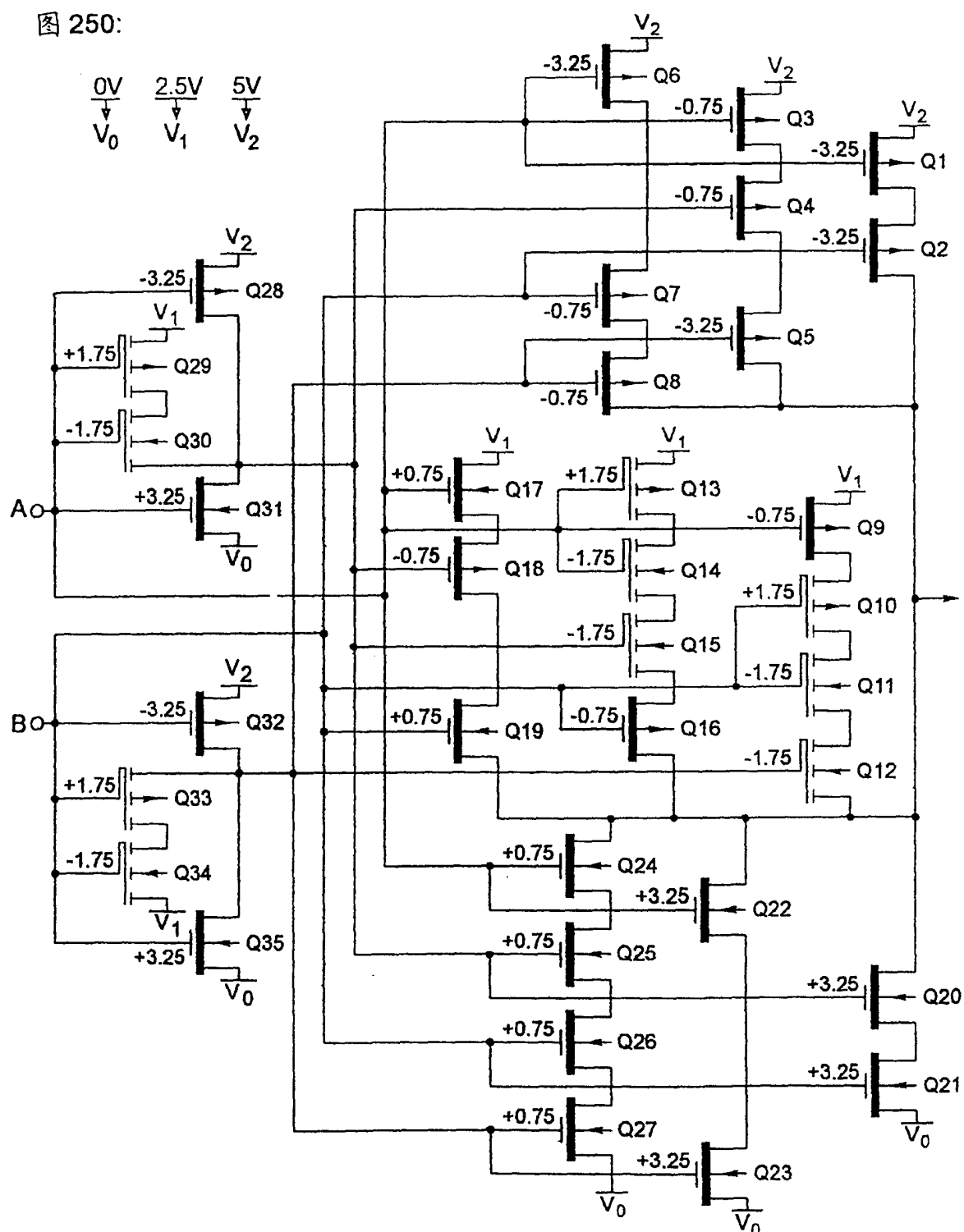
3, 3

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

4, 4

		A				
		0	1	2	3	4
B	0	4	4	4	4	4
	1	4	3	4	4	4
	2	4	4	2	4	4
	3	4	4	4	1	4
	4	4	4	4	4	0

图 250:



卡诺图

		A	0	1	2
B	0	2	1	0	
1	1	1	0	2	
2	0	2	1		

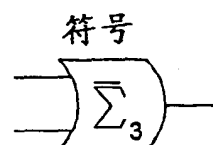


图 251:

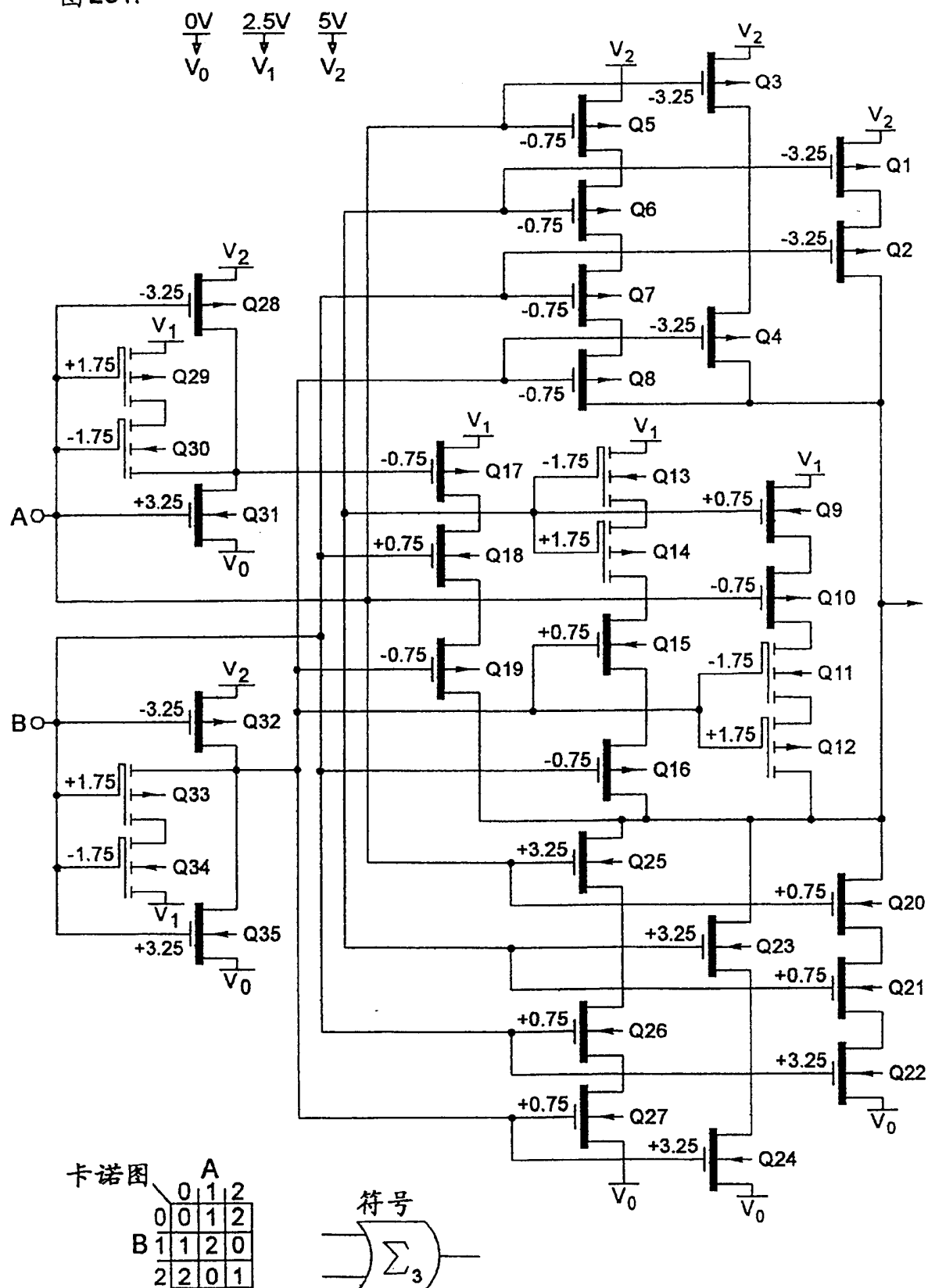


图 252:

