



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월27일
(11) 등록번호 10-2048905
(24) 등록일자 2019년11월20일

- (51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/08 (2010.01) H01L 33/12 (2010.01)
H01L 33/32 (2010.01) H01L 33/40 (2010.01)
- (52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2018-7037024(분할)
- (22) 출원일자(국제) 2012년05월21일
심사청구일자 2019년01월21일
- (85) 번역문제출일자 2018년12월20일
- (65) 공개번호 10-2019-0002719
- (43) 공개일자 2019년01월08일
- (62) 원출원 특허 10-2013-7034968
원출원일자(국제) 2012년05월21일
심사청구일자 2017년05월16일
- (86) 국제출원번호 PCT/IB2012/052533
- (87) 국제공개번호 WO 2012/164431
국제공개일자 2012년12월06일
- (30) 우선권주장
61/491,918 2011년06월01일 미국(US)
- (56) 선행기술조사문헌
JP2010103186 A*
JP2006521699 A
US20080035935 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
루미리즈 홀딩 비.브이.
네덜란드 씨엘 스키폴 1118 에버트 반 드 벡스트
라트 1 타워 비5 유닛 107 더 베이스
- (72) 발명자
스태이거왈드, 다니엘, 알렉산더
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크
캠퍼스 빌딩 44 내
바트, 제롬, 찬드라
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크
캠퍼스 빌딩 44 내
아크람, 살만
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크
캠퍼스 빌딩 44 내
- (74) 대리인
양영준, 백만기

전체 청구항 수 : 총 16 항

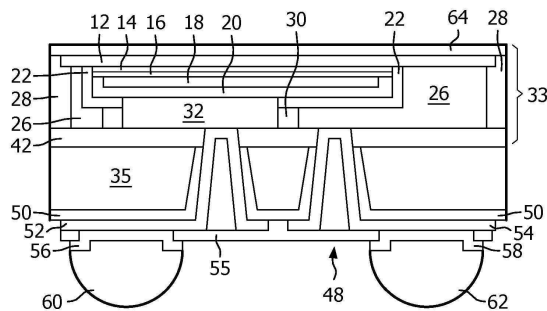
심사관 : 이용배

(54) 발명의 명칭 지지 기판에 발광 디바이스를 부착하는 방법

(57) 요약

본 발명의 실시예들에 따른 방법은 반도체 발광 디바이스들의 웨이퍼를 제공하는 단계를 포함하고, 각 반도체 발광 디바이스는 n형 영역 및 p형 영역 사이에 끼워진 발광층을 포함한다. 지지 기판들의 웨이퍼가 제공되고, 각 지지 기판은 바디를 포함한다. 반도체 발광 디바이스들의 웨이퍼가 지지 기판들의 웨이퍼에 본딩된다.비아들은 각 지지 기판의 바디의 층 두께를 관통하여 연장하여 형성된다.

대표도 - 도8



(52) CPC특허분류

H01L 33/0095 (2013.01)

H01L 33/08 (2013.01)

H01L 33/12 (2013.01)

H01L 33/32 (2013.01)

H01L 33/405 (2013.01)

명세서

청구범위

청구항 1

발광 디바이스로서,

지지 기관;

적어도 n형 영역, p형 영역, 및 활성 영역을 포함하고 상기 지지 기관의 폭과 동일한 폭을 갖는 반도체 구조체;
상기 n형 영역 상에 배치된 n 콘택트 - 상기 n 콘택트는 상기 n형 영역의 에지로부터 후퇴된 금속층을 포함함 -;

상기 반도체 구조체와 상기 지지 기관 사이의 평탄한 본딩층; 및

상기 반도체 구조체의 일부가 노출되도록 상기 지지 기관을 통하여 그리고 상기 평탄한 본딩층을 통하여 연장되도록 상기 지지 기관에 있는 비아

를 포함하는 발광 디바이스.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 반도체 구조체는 상기 n형 영역의 에지 상에 배치된 반사성 유전체층을 더 포함하는 발광 디바이스.

청구항 5

제4항에 있어서,

상기 반사성 유전체층은 상기 n형 영역의 에지 위로 연장되고 상기 n형 영역의 측벽을 덮는 발광 디바이스.

청구항 6

제4항에 있어서,

상기 반사성 유전체층은 반사성 유전체 스택인 발광 디바이스.

청구항 7

제4항에 있어서,

상기 반사성 유전체층 상의 폴리머층을 더 포함하는 발광 디바이스.

청구항 8

제7항에 있어서,

상기 폴리머층은 광 흡수 재료로 도핑된 발광 디바이스.

청구항 9

제7항에 있어서,

상기 폴리머층은 광 산란 재료로 도핑된 발광 디바이스.

청구항 10

제1항에 있어서,
상기 비아의 측벽 상의 패시베이션층을 더 포함하는 발광 디바이스.

청구항 11

제1항에 있어서,
상기 비아는 경사진 측벽들을 갖는 발광 디바이스.

청구항 12

제1항에 있어서,
상기 비아의 측벽들 상에 배치된 유전체층을 더 포함하고, 상기 유전체층은 상기 비아의 종단에서 금속층을 노출하도록 패터닝된 발광 디바이스.

청구항 13

제12항에 있어서,
상기 유전체층 위에서 상기 비아 내에 배치된 금속을 더 포함하는 발광 디바이스.

청구항 14

제13항에 있어서,
상기 금속은 상기 비아 밖에서 상기 지지 기판의 표면 상에 있고, 상기 지지 기판의 표면 상에 배치된 금속은 1 μm와 20μm 사이의 두께인 발광 디바이스.

청구항 15

제13항에 있어서,
상기 금속은 상기 비아를 채우는 발광 디바이스.

청구항 16

제13항에 있어서,
상기 금속은 상기 비아를 완전히 채우지 않는 발광 디바이스.

청구항 17

제1항에 있어서,
상기 n 컨택트의 금속층은 금속들의 스택인 발광 디바이스.

청구항 18

제1항에 있어서,
상기 n 컨택트는 상기 n형 영역의 에지를 덮지 않는 발광 디바이스.

발명의 설명

기술 분야

본 발명은 지지 기판에 반도체 발광 디바이스를 부착하기 위한 웨이퍼 스케일 프로세스(wafer scale process)에 관한 것이다.

[0001]

배경 기술

[0002] 발광 다이오드(LED)들, 공진 공동 발광 다이오드(resonant cavity light emitting diode; RCLED)들, 수직 공동 레이저 다이오드(vertical cavity laser diode; VCSEL)들, 및 에지 발광 레이저(edge emitting laser)들을 포함하는 반도체 발광 디바이스들은 현재 사용 가능한 가장 효율적인 광원들 중 하나이다. 가시 스펙트럼에 걸쳐 동작 가능한 고휘도 발광 디바이스의 제조에 있어, 현재 관심받는 재료 시스템들은 그룹 III-V 반도체들, 특히 III 질화물 재료들로도 불리는 질소, 인듐, 알루미늄, 및 갈륨의 2원, 3원, 및 4원 합금을 포함한다. 통상적으로, III 질화물 발광 디바이스들은, 금속 유기물 화학 기상 증착(metal-organic chemical vapor deposition; MOCVD), 분자 빔 에피택시(molecular beam epitaxy; MBE), 또는 다른 에피택셜 기술들에 의해, 사파이어, 실리콘 탄화물, III 질화물, 또는 다른 적합한 기판 상에, 상이한 구성 및 도펀트 농도의 반도체층들의 스택을 에피택셜하게 성장시킴으로써, 제조된다. 스택은 종종 예컨대 기판 위에 형성된 Si로 도핑된 하나 이상의 n형 층들, n형 층 또는 층들 위에 형성된 활성 영역 내의 하나 이상의 발광층들, 및 예컨대 활성 영역 위에 형성된 Mg로 도핑된 하나 이상의 p형 층들을 포함한다. 전기 콘택트들은 n형 및 p형 영역들 상에 형성된다.

[0003] 도 10은, US 6,876,008에 더욱 상세히 기술되어 있는, 서브마운트(114)에 부착된 발광 다이오드 다이(110)를 도시한다. 서브마운트의 상부 및 하부 표면들 상의 솔더링 가능한 표면들 사이의 전기 접속부들은 서브마운트 내에 형성된다. 그 위에 솔더볼들(122-1 및 122-2)이 배치된, 서브마운트의 상부 상의 솔더링 가능한 영역들은, 서브마운트 내의 도전 경로에 의해, 솔더 조인트(138)에 부착되어 있는 서브마운트의 하부 상의 솔더링 가능한 영역들에 전기적으로 접속된다. 솔더 조인트(138)는 서브마운트의 하부 상의 솔더링 가능한 영역들을 보드(134)에 전기적으로 접속한다. 예컨대 서브마운트(114)는 몇몇 다른 영역들을 갖는 실리콘/유리 합성 서브마운트일 수 있다. 실리콘 영역들(114-2)은 서브마운트의 상면 및 하면 사이에 도전 경로를 형성하는 메탈라이제이션(metalization)(118-1 및 118-2)에 의해 둘러싸일 수 있다. ESD 보호 회로와 같은 회로는 메탈라이제이션(118-1 및 118-2)에 의해 둘러싸인 실리콘 영역들(114-2) 내에 형성될 수 있거나, 다른 실리콘 영역(114-3) 내에 형성될 수 있다. 그러한 다른 실리콘 영역들(114-3)은 또한 다이(110) 또는 보드(134)를 전기적으로 접촉할 수 있다. 유리 영역들(114-1)은 실리콘의 상이한 영역들을 전기적으로 격리시킨다. 솔더 조인트들(138)은 예컨대 유전체 층 또는 공기일 수 있는 절연 영역(135)에 의해 전기적으로 격리될 수 있다.

[0004] 도 10에 도시된 디바이스에서, 메탈라이제이션(118-1 및 118-2)을 포함하는 서브마운트(114)는, 다이(110)가 서브마운트(114)에 부착되기 전에, 다이(110)와 개별적으로 형성된다. 예컨대, US 6,876,008은, 다수의 서브마운트들을 위한 구역들(sites)로 구성된 실리콘 웨이퍼가 성장되어 위에서 언급한 ESD 보호 회로와 같은 임의의 요구되는 회로를 포함한다고 설명한다. 홀(hole)들은 종래의 마스크 및 에칭 단계들에 의해 웨이퍼 내에 형성된다. 금속과 같은 도전층은 웨이퍼 위에 그리고 홀들 내에 형성된다. 그 다음에 도전층은 패터닝될 수 있다. 그 다음에 유리층은 웨이퍼 위에 그리고 홀들 내에 형성된다. 유리층 및 웨이퍼의 일부가 도전층을 노출시키기 위해 제거된다. 그 다음에 웨이퍼의 아랫면 상의 도전층은 패터닝될 수 있고, 추가 도전층들이 추가되고 패터닝될 수 있다. 웨이퍼의 아랫면이 패터닝되면, 개별 LED 다이(110)는 상호접속부들(interconnects)(122)에 의해, 물리적으로 그리고 전기적으로 서브마운트 상의 도전 영역들에 접속될 수 있다. 즉, LED들(110)은 개별 다이오드들로 다이싱(diced)된 후, 서브마운트(114)에 부착된다.

발명의 내용

[0005] 본 발명의 목적은 반도체 발광 디바이스를 지지 기판에 부착하기 위한 웨이퍼 스케일 프로세스를 제공하는 것이다.

[0006] 본 발명의 실시예들에 따른 방법은 반도체 발광 디바이스들의 웨이퍼를 제공하는 단계를 포함하고, 이 각각의 반도체 발광 디바이스는 n형 영역 및 p형 영역 사이에 끼여 있는 발광층을 포함한다. 지지 기판들의 웨이퍼가 제공되고, 이 각각의 지지 기판은 바디(body)를 포함한다. 반도체 발광 디바이스들의 웨이퍼는 지지 기판들의 웨이퍼에 본딩된다. 비아(via)들은 각각의 지지 기판의 바디의 전체 두께를 관통하여 연장되어 형성된다.

[0007] 웨이퍼 스케일 프로세스는 종래 다이 스케일에 수행된 몇몇 프로세싱 단계들을 웨이퍼 스케일에 수행되도록 함으로써 비용을 줄일 수 있다.

도면의 간단한 설명

[0008] 도 1은 반도체 발광 디바이스들의 웨이퍼의 일부를 도시한다. 두 개의 발광 디바이스들은 도 1에 도시되어 있다.

- 도 2는 하나 이상의 금속층들 및 하나 이상의 폴리머층들의 추가 후의, 도 1의 디바이스들 중 하나를 도시한다.
- 도 3은 금속 본드에 의해 지지 기판에 본딩된 디바이스를 도시한다.
- 도 4는 단일 폴리머층에 의해 지지 기판에 본딩된 디바이스를 도시한다.
- 도 5는 디바이스 및 지지 기판 상에 형성된 유전체층들에 의해 지지 기판에 본딩된 디바이스를 도시한다.
- 도 6은 지지 기판의 바디 내에 비아들을 형성한 후의, 도 3의 구조체를 도시한다.
- 도 7은 비아들 및 패터닝된 금속 및 유전체층들을 형성한 후의, 도 4의 구조체를 도시한다.
- 도 8은 추가적인 패터닝된 금속 및 유전체층들을 형성하고, 솔더 범프들(solder bumps) 및 과장 변환층을 부착한 후의, 도 7의 구조체를 도시한다.
- 도 9는 n형 영역의 에지 상에 형성된 반사기(reflector)를 도시한다.
- 도 10은 서브마운트 상에 마운팅된 LED를 포함하는 종래 기술 디바이스를 포함한다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 실시예들에서, 반도체 발광 디바이스는 웨이퍼 스케일 프로세스에서 마운트에 본딩된다. 아래 예들에서는 반도체 발광 디바이스들이 청색광 또는 자외선을 방출하는 III 질화물 LED들이지만, 레이저 다이오드들과 같은 LED들 외의 반도체 발광 디바이스들 및 다른 III-V 재료들, III 인화물(phosphide), III 비소화물(arsenide), II-VI 재료들, ZnO, 또는 Si 기반 재료들과 같은 다른 재료 시스템들로 만들어진 반도체 발광 디바이스들도 사용될 수 있다.
- [0010] 도 1은 반도체 발광 디바이스들의 웨이퍼의 일부를 도시한다. 두 개의 디바이스들이 도 1에 도시되어 있다. 도 1에 도시된 구조체를 형성하기 위하여, 반도체 구조체는 예컨대 사파이어, SiC, Si, GaN, 또는 합성 기판들과 같은, 임의의 적합한 기판(10)일 수 있는 성장 기판 위에 성장된다. 반도체 구조체는 n형 및 p형 영역들(12 및 16) 사이에 끼여 있는 발광 또는 활성 영역(14)을 포함한다. n형 영역(12)은 처음으로 성장될 수 있고, 예컨대 버퍼층들 또는 핵형성층들(nucleation layers)과 같은 준비층들(preparation layers), 및/또는 n형이거나 의도적으로 도핑되지 않을 수 있는, 성장 기판의 제거를 용이하게 하도록 디자인된 층들, 및 발광 영역이 광을 효율적으로 방출하는 것에 있어 바람직한 특정 광학적 또는 전기적 특성들을 위해 디자인된 n형 또는 심지어 p형 디바이스층들을 포함하는, 상이한 구성 및 도펀트 농도의 복수의 층들을 포함할 수 있다. 발광 또는 활성 영역(14)은 n형 영역(12) 위에 성장된다. 적합한 발광 영역들의 예들은 단일 두꺼운 또는 얇은 발광층, 또는 장벽층들에 의해 분리된 복수의 얇은 또는 두꺼운 발광층들을 포함하는 다중 양자 우물(multiple quantum well) 발광 영역을 포함한다. 그 다음에, p형 영역(16)은 발광 영역(14) 위에 성장될 수 있다. n형 영역(12)과 같이, p형 영역(16)은, 의도적으로 도핑되지 않은 층들, 또는 n형 층들을 포함하는, 상이한 구성, 두께, 및 도펀트 농도의 복수의 층들을 포함할 수 있다. 디바이스 내의 모든 반도체 재료의 총 두께는 몇몇 실시예들에서는 10 μ m 미만이고, 몇몇 실시예들에서는 6 μ m 미만이다. 몇몇 실시예들에서 p형 영역이 먼저 성장되고, 그 다음에 활성 영역, 그 다음에 n형 영역이 성장된다. 몇몇 실시예들에서, 반도체 재료는 성장 후에 200 $^{\circ}$ C와 800 $^{\circ}$ C 사이에서 선택적으로 어닐링(annealed)될 수 있다.
- [0011] 그 다음에, p형 영역(16) 상의 금속 컨택트가 형성된다. 도 1의 디바이스에서, p 컨택트는 두 개의 금속층들(18 및 20)을 포함한다. 금속(18)은 예컨대 증착 또는 스퍼터링에 의해 퇴적될 수 있고, 그 다음에 예컨대 에칭 또는 리프트 오프(lift-off)를 포함하는 표준 포토리소그래피 동작들에 의해 패터닝될 수 있다. 금속(18)은 예컨대 은과 같은 p형 III 질화물 재료를 갖는 옴믹 컨택트(ohmic contact)를 만드는 반사성 금속(reflective metal)일 수 있다. 금속(18)은 또한 전이금속 및 은의 복수층 스택일 수 있다. 예컨대 전이금속은 니켈일 수 있다. 금속(18)은 몇몇 실시예들에서 100 \AA 과 2000 \AA 사이의 두께, 몇몇 실시예들에서 500 \AA 과 1700 \AA 사이의 두께, 그리고 몇몇 실시예들에서 1000 \AA 과 1600 \AA 사이의 두께이다. 구조체는 금속(18)의 퇴적 후에 다시 선택적으로 어닐링될 수 있다.
- [0012] 선택적인 제2 p 컨택트 금속(20)은, 예컨대 증착 또는 스퍼터링에 의해 p 컨택트 금속(18) 위에 퇴적될 수 있고, 그 다음에 예컨대 에칭 또는 리프트 오프와 같은 표준 포토리소그래피 동작들에 의해 패터닝될 수 있다. 금속(20)은, 예컨대 티타늄 및 텅스텐의 합금과 같이, 은과 최소한으로 반응하는 임의의 전기적 전도성 재료일 수 있다. 이 합금은 부분적으로, 전적으로 질화되거나(nitrided) 전혀 질화되지 않을 수 있다. 금속(20)은 대안적으로 크로뮴, 플래티늄 또는 실리코닐 수 있거나, 주변 층들에 부착하기 위해 그리고 금속(18)의 확산을 막

기 위해 최적화된 임의의 상기 재료들의 복수층 스택일 수 있다. 금속(20)은 몇몇 실시예들에서 1000Å과 10000Å 사이의 두께, 몇몇 실시예들에서 2000Å과 8000Å 사이의 두께, 그리고 몇몇 실시예들에서 2000Å과 7000Å 사이의 두께일 수 있다.

[0013] 그 다음에 구조체는 표준 포토리소그래피 동작들에 의해 패터닝되고, 예컨대 화학적으로 반응하는 플라즈마가 반도체 재료를 제거하기 위해 사용되는 반응성 이온 에칭(reactive ion etching; RIE) 또는 RF 전력공급 자기장(RF-powered magnetic field)에 의해 플라즈마가 생성되는 RIE 프로세스인 유도결합 플라즈마(inductively coupled plasma; ICP) 에칭에 의해 에칭된다. 몇몇 실시예들에서는, 패턴은, p 컨택트 금속(20)을 패터닝하기 위해 사용되는 포토리소그래피 마스크에 의해 결정된다. 이 실시예들에서, 에칭은 단일 동작에서 p 컨택트 금속(20)의 에칭 다음에 수행될 수 있다. 몇몇 영역들에서, p형 영역(16)의 전체 두께 및 발광 영역(14)의 전체 두께가 제거되어, n형 영역(12)의 표면(13)을 드러낸다. 그 다음에, 디바이스들 사이의 영역들(11)에서 n형 영역(12)이 에칭되어 없어져서, 성장 기관(10)을 드러내며, III 질화물 재료가 최종 디바이스들의 에지(200)로부터 거리(202)만큼 후퇴된다. 예컨대, III 질화물 재료는 디바이스의 에지로부터, 몇몇 실시예들에서는 1 μ m 및 50 μ m 사이로, 몇몇 실시예들에서는 20 μ m 미만으로, 몇몇 실시예들에서는 10 μ m 미만으로, 그리고 몇몇 실시예들에서는 6 μ m 미만으로 후퇴될 수 있다.

[0014] 유전체(22)는 예컨대 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD), 화학기상증착(chemical vapor deposition; CVD), 또는 증착에 의해, 도 1의 구조체 위에 퇴적될 수 있다. 유전체(22)는 n형 및 p형 영역들에 접촉된 금속 컨택트들에 대한 전기적 분리를 제공한다. 유전체(22)는 영역들(13)에서 n형 영역(12)을 노출하고, 영역들(24)에서 p 컨택트 금속(20)을 노출하기 위해, 표준 포토리소그래피 동작들에 의해 패터닝되고, ICP 에칭 또는 RIE에 의해 에칭된다. 유전체(22)는 또한 리프트 오프에 의해 패터닝될 수 있다. 유전체(22)는 실리콘 질화물, 실리콘 산화물 및 실리콘 산질화물(silicon oxy-nitride)을 포함하는 임의의 적합한 유전체일 수 있다. 몇몇 실시예들에서, 유전체(22)는 그것에 입사하는 광을 반사하는 데에 최적화된 복수층 유전체 스택이다. 유전체(22)는 몇몇 실시예들에서는 2 μ m 미만의 두께이고, 몇몇 실시예들에서는 200Å과 5000Å 사이의 두께, 그리고 몇몇 실시예들에서는 500Å과 3200Å 사이의 두께일 수 있다.

[0015] 두 개의 디바이스들은, 여기 기술된 디바이스들이 디바이스들의 웨이퍼 상에 형성된 것을 나타내기 위해 도 1에 도시되어 있다. 간결성을 위해, 하나의 디바이스 만이 도 2, 도 3, 도 4, 도 5, 도 6, 도 7 및 도 8에 도시되어 있으나, 그 도면들에 도시된 구조체들은 웨이퍼에 걸쳐 반복되는 것이 이해될 것이다.

[0016] 도 2에서, n형 영역(12)에 접촉하는 영역들에서 n 컨택트(26)를 형성하는 금속층(27) 및 추가의 p 컨택트층(32)은 퇴적되고 패터닝된다. 금속(27)은 알루미늄을 포함하는 임의의 적합한 금속일 수 있거나, 알루미늄, 티타늄-텅스텐 합금, 구리 및 금을 포함하는 금속들의 복수층 스택일 수 있다. 금속(27)이 복수층 스택인 실시예들에서는, 제1 금속(즉, n형 영역(12)에 인접한 금속)은 GaN에 대해 오믹 컨택트를 형성하고, 청색광 및 백색광에 반사성하도록 선택될 수 있다. 예컨대 그러한 제1 층은 알루미늄일 수 있다. 마지막 금속은 디바이스를 마운트에 부착하기 위해 사용되는 어떠한 본딩 프로세스에도 적합한 금속일 수 있다. 예컨대, 몇몇 실시예들에서, 본딩 프로세스는 열압착 본딩(thermoccompression bonding)이고, 마지막 금속은 금이다. 금속(27)은 예컨대, 스퍼터링, 증착, 도금(plating), 또는 이 프로세스들의 조합을 포함하는 임의의 적합한 프로세스에 의해 퇴적될 수 있다.

[0017] 도 2에 도시된 디바이스에서, n 컨택트(26)가 n형 영역(12)의 에지 위에 연장되어 성장 기관(10)에 닿으나, 몇몇 실시예들에서는, n 컨택트(26)가 n형 영역(12)의 에지로부터 후퇴될 수 있어, n 컨택트(26)가 n형 영역(12)의 에지를 덮지 않는다. 그러한 실시예들에서는, 아래 기술된 폴리머층(28)은 더욱 넓어질 수 있어서, n 컨택트(26)에 의해 덮이지 않는 n형 영역(12)의 일부에 닿을 수 있다. 몇몇 실시예들에서는, 디바이스의 일부를 보여주는 도 9에 도시된 대로, 반사성 유전체 재료(70)는 n형 영역(12)의 에지들 주변에 퇴적된다. 예컨대 반사성 유전체 재료(70)는 유전체(22)와 동시에 형성되거나, 분리 퇴적(separate deposition) 및 패터닝 단계들에서 형성된 반사성 유전체 스택일 수 있다. 임의의 경우에서, n형 영역(12) 및 n 컨택트(26) 모두는 디바이스의 에지(200)로부터 후퇴된다.

[0018] 그 다음에, 한 개 이상의 폴리머층들은 퇴적되고 패터닝된다. 폴리머층(28)은 인접한 디바이스들 사이에 배치된다. 폴리머층(30)은 n 컨택트(26)로부터 p 컨택트(32)를 분리한다. 폴리머층들(28 및 30)은, 그럴 필요가 없다 하더라도, 동일한 재료일 수 있고, 동일 동작에서 퇴적되고 패터닝될 수 있다. 예컨대, 도 4에 도시된 디바이스에서, 폴리머층들(28 및 30) 및 본딩층(42)은 모두 단일 단계에서 퇴적된 동일 재료일 수 있다. 이 경우, 퇴적된 재료는 패터닝될 필요가 없고 평탄화(planarization)가 요구되지 않을 수 있다. 몇몇 실시예들에

서 폴리머층들(28 및 30)은 고온에 저항성이 있다. 적합한 재료들의 예들은 벤조 사이클로부텐 기반 폴리머들(benzo-cyclobutene-based polymers), 폴리이미드 기반 폴리머들(polyimide-based polymers), 및 에폭시들을 포함한다. 몇몇 실시예들에서, 폴리머층(28)은 티타늄 다이옥사이드(titanium dioxide)와 같은 산란 성분(scattering component) 또는 카본 블랙(carbon black)과 같은 흡광 재료로 도핑된다. 몇몇 실시예들에서, 폴리머층(28)은 실리콘일 수 있다. 퇴적된 폴리머층들(28 및 30)은, 예컨대 화학적 기계적 연마, 기계적 연마, 또는 플라이 커팅(fly-cutting)에 의해 평탄화될 수 있다.

[0019] 도 2에 도시된 디바이스들의 웨이퍼는 도 2에 도시된 방향에 대하여 뒤집혀 있고 지지 기판들의 웨이퍼에 본딩되어 있다. 반도체 발광 디바이스들(33)과 지지 기판들(34) 사이의 적합한 본딩들의 세 가지 예들이 도 3, 도 4, 및 도 5에 도시되어 있다. 도 3, 도 4, 및 도 5에 도시된 지지 기판들(34)은 바디(35)를 포함한다. 바디는 몇몇 실시예들에서 Si, GaAs, 또는 Ge일 수 있거나, 임의의 다른 적합한 재료일 수 있다. 몇몇 실시예들에서, 전자 장치(electronics)는 지지 기판(34) 내로 집적(integrated)될 수 있다. 집적화된 소자들은 예컨대 정전기 방전 보호 또는 구동 전자 장치들(drive electronics)에 사용되는 회로 소자들을 포함할 수 있다. 적합한 집적화된 소자들의 예들은 다이오드들, 저항기들, 및 캐패시터들을 포함한다. 집적화된 소자들은 종래의 반도체 프로세싱 기술들에 의해 형성될 수 있다.

[0020] 도 3에 도시된 구조체에서, 선택적인 유전체(36)는 지지 기판(34) 상에 성장된다. 유전체(36)는 바디(35)의 열 성장 자연 산화물(thermally grown native oxide)(예컨대 실리콘의 산화물), PECVD 또는 CVD에 의해 퇴적된 유전체(예컨대 실리콘의 산화물, 질화물, 또는 산질화물), 또는 임의의 다른 적합한 유전체일 수 있다. 예컨대, 열 산화물은 800°C 내지 1200°C에서 O₂ 및/또는 H₂O를 포함하는 기체 환경에서 실리콘을 가열함으로써 성장될 수 있다. PECVD 산화물은 실란(silane) 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트(tetraethyl orthosilicate) 및 N₂O 또는 O₂의 대기에서, 150°C 내지 400°C의 온도에서 성장될 수 있다. CVD 산화물은 실란 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트 및 N₂O 또는 O₂의 대기에서, 300°C 내지 900°C의 온도에서 성장될 수 있다.

[0021] 금속(38)은 존재한다면 유전체(36) 상에 또는 바디(35) 상에 퇴적된다. 예컨대 금속(38)은, 스퍼터링, 도금, 증착, 이 기술들의 조합, 또는 임의의 다른 적합한 기술에 의해 퇴적된, 구리, 금, 또는 임의의 다른 적합한 금속일 수 있다. 또한 금속(38)은 복수층 금속 스택을 포함할 수 있다. 금속(38)이 복수층 스택인 실시예들에서는, 스택의 마지막으로 퇴적된 층은, 디바이스(33)를 지지 기판(34)에 부착하기 위해 사용되는 어떠한 본딩 기술에서의 사용에도 적합한 금속일 수 있다. 몇몇 실시예들에서, 본딩 기술은 열압착 본딩이고, 마지막으로 퇴적된 층은 금일 수 있다. 금속(38)은 예컨대 어디티브 프로세스(additive process) 또는 서브트랙티브 프로세스(subtractive process)를 통해 패터닝될 수 있다.

[0022] 유전체(40)는 퇴적되고 패터닝된다. 유전체(40)는 n형 및 p형 반도체 층들에 전기적으로 접속된 금속층들 사이에 전기적 분리를 제공하고, 따라서 유전체(40)는 폴리머층(30)에 정렬되어야 한다. 유전체(40)는 본딩 재료 또는 글루(glue)로서의 사용에 적합한 폴리머 또는 다른 유기 재료일 수 있다. 예컨대 유전체(40)는, 벤조 사이클로부텐 기반 폴리머, 폴리이미드 기반 폴리머, 실리콘 기반 폴리머, 에폭시, 재료들의 조합, 임의의 다른 적절한 유기 재료, 또는 무기 유전체일 수 있다. 선택적으로, 지지 기판(34)의 상면(즉, 금속(38) 및 유전체(40)의 상면)은, 예컨대 연마에 의해, 화학적 기계적 연마에 의해, 또는 임의의 다른 적합한 프로세스에 의해 평탄화될 수 있다.

[0023] 도 4에 도시된 구조체에서, 단일 유전체 본딩층(42)은, 도 2에 도시된 구조체의 상면(즉, 금속층들(26 및 32) 및 폴리머층들(28 및 30)의 상면) 위에 형성된다. 대안적으로, 유전체(42)는 지지 기판(34)의 바디(35) 상에 형성될 수 있다. 유전체(42)는 본딩 재료 또는 글루로서의 사용에 적합한 폴리머 또는 다른 유기 재료일 수 있다. 유전체(42)는 벤조 사이클로부텐 기반 폴리머, 폴리이미드 기반 폴리머, 에폭시, 실리콘 기반 폴리머, 또는 임의의 다른 적절한 유기 재료일 수 있다. 유전체(42)는, 그럴 필요는 없지만 폴리머층들(28 및 30)과 동일한 재료일 수 있다. 유전체(42)는 예컨대 스핀 코팅(spin coating)에 의해 형성될 수 있고, 예컨대 화학적 기계적 연마, 기계적 연마, 또는 플라이 커팅에 의해, 퇴적 후에 평탄화될 수 있다. 유전체(42)가 폴리머층들(28 및 30)과 동일한 재료인 실시예들에서, 디바이스는 예컨대 화학적 기계적 연마에 의해, 동시 퇴적 후에 단일 단계로 평탄화될 수 있다. 몇몇 실시예들에서, 유전체(42)의 평탄화는 요구되지 않는다. 유전체(42)는 금속층들(26 및 32) 위에서 100Å과 1μm 사이의 두께일 수 있고, 전체 웨이퍼에 걸쳐 평면일 수 있다.

[0024] 도 5에 도시된 디바이스에서, 본딩층들(44 및 46)은 바디(35) 및 디바이스(33) 위에 각각 형성된다. 디바이스

(33) 위에 형성된 본딩층(46)은, 예컨대 PECVD, 실리콘 질화물 또는 실리콘 산질화물에 의해 저온에서 퇴적된, 예컨대 실리콘의 산화물과같은 유전체일 수 있다. 예컨대, PECVD 산화물은 실란 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트 및 N₂O 또는 O₂의 대기에서, 150℃ 내지 400℃의 온도에서 성장될 수 있다. 몇몇 실시예들에서 유전체(46)는 100Å과 1μm 사이의 두께일 수 있다. 지지 기판(34) 상에 형성된 본딩층(44)은, 예컨대 실리콘의 산화물, 실리콘 질화물, 또는 실리콘 산질화물과 같은 유전체일 수 있다. 실리콘의 산화물은, 예컨대 CVD에 의해 고온에서 퇴적된, 또는 예컨대 PECVD에 의해 저온에서 퇴적된, 실리콘 지지 기판 상에 열성장된 산화물일 수 있다. 몇몇 실시예들에서 유전체(44)는 100Å과 1μm 사이의 두께일 수 있다. 예컨대, 열 산화물은 800℃ 내지 1200℃에서 O₂ 및/또는 H₂O를 포함하는 기체 환경에서 실리콘을 가열함으로써 성장될 수 있다. PECVD 산화물은 실란 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트 및 N₂O 또는 O₂의 대기에서, 150℃ 내지 400℃의 온도에서 퇴적될 수 있다. CVD 산화물은 실란 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트 및 N₂O 또는 O₂의 대기에서, 300℃ 내지 900℃의 온도에서 퇴적될 수 있다.

[0025] 디바이스들(33)의 웨이퍼는, 예컨대 도 3, 도 4, 및 도 5에 도시된 본딩 구조체를 중 하나에 의해, 지지 기판들(34)의 웨이퍼에 본딩된다. 본딩은 몇몇 실시예들에서 50℃와 500℃ 사이의 온도에서, 그리고 몇몇 실시예들에서 100℃와 250℃ 사이의 온도에서 수행될 수 있다. 본딩은 몇몇 실시예들에서 5MPa보다 작은 적용된 압축 응력(applied compressive pressure) 하에서 수행될 수 있다. 몇몇 실시예들에서, 지지 기판들(34)의 웨이퍼에 본딩 후에, 성장 기판(10)은, 예컨대 에칭 또는 레이저 리프트 오프에 의해 디바이스(33)으로부터 제거될 수 있다. 성장 기판(10)이 제거된 몇몇 실시예들에서, 성장 기판이 없는 디바이스는 통상적으로 너무 얇아서 기계적으로 자가 지지되지 않기 때문에, 지지 기판(34)은 디바이스(33)에게 기계적 지지를 제공한다. 예컨대, 기판이 없는 도 2에 도시된 디바이스의 총 두께는 몇몇 실시예들에서 7μm 이하이고, 몇몇 실시예들에서 25μm 이하이다. 성장 기판(10)을 제거함으로써 노출된 반도체 재료는, 예컨대 광 추출을 향상시키기 위해, 광전자화학적 에칭(photoelectrochemical etching)과 같은 임의의 적합한 프로세스에 의해 패터닝되거나 러프닝(roughened)될 수 있다. 몇몇 실시예들에서, 성장 기판(10)은 최종 디바이스의 일부로 남는다. 몇몇 실시예들에서, 성장 기판은 예컨대 소잉(sawing) 또는 에칭에 의해 형상화될 수 있다. 지지 기판(34)의 바디(35)는 디바이스(33)에 본딩되기 전에 또는 후에, 몇몇 실시예들에서 50μm와 250μm 사이의 두께로, 그리고 몇몇 실시예들에서 80μm와 120μm 사이의 두께로 시닝(thinned)될 수 있다. 시닝은 예컨대, 화학적 기계적 연마 또는 연삭(grinding) 및 연마에 의해 수행될 수 있다.

[0026] 본딩 후에, 도 6, 도 7, 및 도 8에 도시된 대로, 비아들은 지지 기판에 형성되고, 본딩된 구조체는 추가 프로세싱된다. 도 6은 도 3에 도시된 디바이스에 형성된 비아들을 도시한다. 도 7 및 도 8은 도 4에 도시된 디바이스 상에 형성된 비아들 및 금속 및 유전체층들을 도시한다. 도 6, 도 7, 및 도 8에 도시된 프로세싱은 도 3, 도 4, 및 도 5에 도시된 임의의 디바이스들 상에 수행될 수 있다.

[0027] 도 6에 도시된 대로, 비아들(48)은 지지 기판(34)의 바디(35)를 관통하여 에칭된다. 두 개의 비아들이 도시되어 있으며, 한 개는 n형 영역(12)에 전기적으로 접속된 금속을 드러내고, 한 개는 p형 영역(16)에 전기적으로 접속된 금속을 드러낸다. (도 3에 도시된 본드를 포함하는) 도 6에 도시된 디바이스들에서, 비아들(48)은 금속층(38)을 드러내기 위해, 바디(35) 및 선택적인 유전체(36)를 관통하여 에칭된다. 도 4 및 도 5에 도시된 디바이스들에서, 비아들은 p 금속(32) 및 n 금속(26)을 드러내기 위해 본딩층들(42, 44 및 46)을 관통하여 에칭된다. 비아들(48)은 예컨대, 심도 반응성 이온 에칭(deep reactive ion etching), 반응성 이온 에칭, 습식 화학적 에칭(wet chemical etching), 또는 임의의 다른 적합한 에칭 기술에 의해 에칭될 수 있다. 지지 기판(34)이 Si인 실시예들에서는, 보통 보쉬 프로세스(Bosch Process)라고 지칭되는 프로세스에서, 적합한 에천트 가스들(etchant gases)은 예컨대 SF₆를 포함하고, 에칭은 예컨대 옥타플루오로사이클로부탄(Octafluorocyclobutane)을 사용하여, Si 측벽들 상에 화학적 불활성 패시베이션층의 퇴적과 함께 시간 멀티플렉싱(time-multiplexed)될 수 있다. 지지 기판(34)이 GaAs인 실시예들에서는, 적합한 에천트 가스들은 예컨대 Cl₂, HBr 또는 Cl₂와 HBr의 혼합물을 포함한다. 지지 기판(34)이 Ge인 실시예들에서는, 적합한 에천트 가스들은 예컨대 Cl₂, SCl₄ 또는 Cl₂와 SCl₄의 혼합물을 포함한다. 지지 기판(34)이 GaAs 또는 Ge인 실시예들에서는, 에칭은 또한 측벽들 상에 화학적 불활성 패시베이션층의 퇴적과 함께 시간 멀티플렉싱될 수 있다. 비아들(48)의 측벽들은 바디(35)에 대하여 직각일 수 있거나, 도 6에 도시된 것처럼 경사질 수 있다.

[0028] 도 7에 도시된 대로, 유전체(50)는 그 후 바디(35)의 표면 상에, 그리고 비아들(48) 내에 퇴적된다. 예컨대 유전체(50)는, 예컨대 PECVD에 의해 저온에서 퇴적된 실리콘의 산화물, 실리콘의 질화물, 또는 실리콘의 산질화물

일 수 있다. 예컨대, PECVD 산화물은 실란 및 N₂O 또는 O₂, 또는 테트라에틸 오소실리케이트 및 N₂O 또는 O₂의 대기에서, 150℃ 내지 400℃의 온도에서 퇴적될 수 있다. 유전체(50)는 몇몇 실시예들에서 100Å과 2μm 사이의 두께일 수 있다. 그 다음에 유전체(50)는 비아들(48)의 상부에서 금속층들(32 및 26)을 노출시키기 위해 패터닝된다.

[0029] 금속층은 p 컨택트들 및 n 컨택트들에 전기적 접속부들(52 및 54)을 형성하기 위해 퇴적되고 그 후 패터닝된다. 전기적 접속부들(52 및 54)은 예컨대 도금, 스퍼터링, 또는 스퍼터링과 도금의 조합에 의해 퇴적된, 예컨대 Cu 일 수 있다. 전기적 접속부들(52 및 54)은 몇몇 실시예들에서 1μm와 20μm 사이의 두께일 수 있고, 몇몇 실시예들에서 6μm와 10μm 사이의 두께일 수 있다. 도 7에 도시된 단면도에서, 비아들(48)은 전기적 접속부들(52 및 54)에 의해 완전히 메워지지 않는다. 몇몇 실시예들에서, 유전체(50)에 의해 점유되지 않은 비아들(48)의 일부는 전기적 접속부들(52 및 54)에 의해 완전히 메워질 수 있다. 전기적 접속부들(52 및 54)을 형성하는 금속층은, 스퍼터링에 의해, 또는 스퍼터링과 도금의 조합에 의해 퇴적된, 예컨대, Ti, TiW, Cu, Ni, 및 Au을 포함하는 복수층 금속 스택일 수 있다.

[0030] 도 8에 도시된 대로, 유전체(55)는 전기적 접속부들(52 및 54)을 전기적으로 분리하고/분리하거나 보호하기 위해 퇴적되고 패터닝된다. 유전체(55)는, 예컨대 하나 이상의 벤조 사이클로부텐 기반 폴리머들 또는 하나 이상의 폴리이미드 기반 폴리머들일 수 있다. 비아들(48)이 전기적 접속부들(52 및 54)을 형성하는 금속층에 의해 완전히 메워지지 않은 실시예들에서, 유전체(55)는 비아들(48)을 대부분 또는 완전히 메우도록 구성될 수 있거나, 비아들(48)은 메워지지 않게 남을 수 있다.

[0031] 선택적으로, 그 다음에 추가 금속층은 솔더 접속부들(56 및 58)을 형성하기 위해 퇴적된다. 추가 금속은 전기적 접속부들(52 및 54) 사이의 접속부 및 몇몇 실시예들에서 솔더 범프들(solder bumps)인 상호접속부들(60 및 62)로서 적합한 임의의 금속일 수 있다. 솔더 접속부들(56 및 58)에 적합한 구조체들의 예들은, 스퍼터링된 NiV 또는 도금된 Ni의 제1 층 다음의 스퍼터링되거나 도금된 Au의 제2 박층, 스퍼터링된 TiW의 제1 층 다음의 스퍼터링된 NiV 또는 도금된 Ni의 제2 층 다음의 스퍼터링되거나 도금된 Au의 제3 박층, 또는 스퍼터링되거나 도금된 TiW의 제1 층 다음의 도금된 Cu의 제2 층 다음의 스퍼터링되거나 도금된 Au의 제3 층을 포함한다. 몇몇 실시예들에서 솔더 접속부들(56 및 58)은 1μm와 15μm 사이의 총 두께를 가질 수 있다.

[0032] 몇몇 실시예들에서, 파장 변환층(64)은, 발광층에 의해 방출된 광의 경로 내에서 발광층(14) 위에 퇴적된다. 파장 변환층(64)은, 성장 기관(10)이 제거된 경우, n형 영역(12)에 부착된 디바이스로부터 이격될 수 있고, 성장 기관(10)이 존재하는 경우, 성장 기관(10)에 부착될 수 있다. 파장 변환층은, 발광층에 의해 방출된 광을 흡수하고 상이한 파장의 광을 방출하도록 구성된, 하나 이상의 파장 변환 재료들을 포함한다. 발광층에 의해 방출되고 파장 변환층 상에 입사하는 광의 전부 또는 단지 일부가 파장 변환 재료들에 의해 변환될 수 있다. 발광층에 의해 방출된 변환되지 않은 광은, 그럴 필요는 없으나 광의 최종 스펙트럼의 일부일 수 있다. 통상적인 조합들의 예들은, 황색 방출 파장 변환 재료와 조합된 청색 방출 LED, 녹색 및 적색 방출 파장 변환 재료와 조합된 청색 방출 LED, 청색 및 황색 방출 파장 변환 재료와 조합된 UV 방출 LED, 및 청색, 녹색 및 적색 방출 파장 변환 재료와 조합된 UV 방출 LED를 포함한다. 다른 색들의 광을 방출하는 파장 변환 재료들은 디바이스로부터 방출된 광의 스펙트럼을 조정하기 위해 첨가될 수 있다.

[0033] 파장 변환층(64)은, 예컨대 라미네이션(lamination)에 의해 웨이퍼 상에 퇴적된 실리콘 매트릭스 내의 인광 입자들의 층일 수 있다. 파장 변환층 두께는 몇몇 실시예들에서 10μm와 100μm 사이, 몇몇 실시예들에서 15μm와 50μm 사이, 그리고 몇몇 실시예들에서 18μm와 30μm 사이일 수 있다. 파장 변환층(64)은, 예컨대 스프레이 코팅(spray coating), 전기영동, 오버몰딩(overmolding), 스텐실링(stenciling), 스크린 또는 잉크 젯 프린팅, 침강(sedimentation), 증착, 스퍼터링, 또는 임의의 다른 적합한 기술에 의해, 디바이스 상에 퇴적된 유기 또는 무기 밀봉제(encapsulant) 내의, 예컨대 분말 인광체 또는 양자점들일 수 있다. 예컨대, 파장 변환층(64)은, 소결(sintering)에 의해 형성된 고체 세라믹 인광체 또는 유리 기반 인광체와 같은, 미리 형성된 자가 지지층일 수 있다. 그러한 자가 지지층들은 접착제없이 디바이스에 직접 본딩되거나 실리콘 글루와 같은 접착제를 통해 본딩될 수 있다. 몇몇 실시예들에서, 파장 변환층(64)은, n형 영역(12)에 직접적으로 본딩되거나 퇴적된 제1 고굴절률 스페이서 재료(high-refractive index spacer material) 및 스페이서 재료의 상부에 퇴적된 인광층을 포함하는 복수층 구조체일 수 있다. 적합한 인광체들의 예들은 도핑된 이트륨 알루미늄 가넷(yttrium aluminum garnet) 기반 인광체, 질화물 기반 인광체들, 및 임의의 다른 적합한 인광체들을 포함한다.

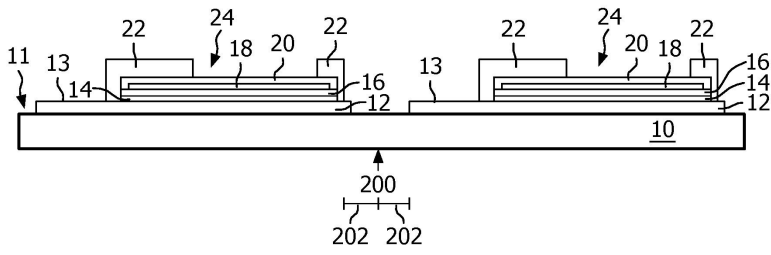
[0034] 몇몇 실시예들에서, 파장 변환층(64)은 디바이스 내의 유일한 파장 변환 재료이다. 몇몇 실시예들에서, 파장 변환층(64)은, 백색광 또는 다른 색들의 단색광을 생성하기 위해, 다른 인광체들, 양자점들, 반도체 파장 변환

요소들, 또는 염료(dye)들과 같은 다른 파장 변환 요소들과 결합된다.

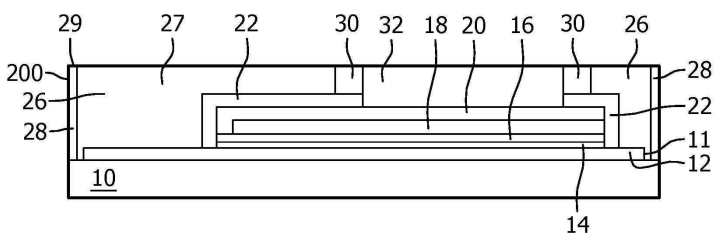
- [0035] 몇몇 실시예들에서, 도 8에 도시된 구조체를 인쇄회로기판과 같은 또 다른 구조체에 부착하기에 적합한, 선택적인 상호접속부들(60 및 62)은 접속부들(56 및 58) 상에 형성된다. 상호접속부들(60 및 62)은 종종 솔더 범프들이나, 임의의 적합한 상호접속부가 사용될 수 있다. 솔더 범프들(60 및 62)은, 예컨대 주석, 은 및 구리의 합금(SAC 솔더) 또는 금과 주석의 합금일 수 있다. 솔더는, 예컨대 도금을 포함하는 임의의 적합한 기술에 의해 도포될 수 있다. 도금 후에, 구조체는 후속적으로 솔더 범프들(60 및 62)의 구조체 및 미세 구조체(microstructure)를 평활화(smooth)하기 위해 리플로우(reflowed)될 수 있다.
- [0036] 지지 기판들(34)에 본딩된 디바이스들(33)의 웨이퍼는 그 후, 개별 발광 디바이스 칩들로 다이싱될 수 있다. 디바이스들(33) 및 지지 기판들(34)이 함께 다이싱되기 때문에, 도 3, 도 4, 도 5, 도 6, 도 7 및 도 8에 도시된 대로, 지지 기판은 디바이스보다 넓지 않다. 개별화(singulation)는 예컨대, 종래의 소잉에 의해, 193nm, 248nm, 또는 355nm 광을 사용하는 레이저 절삭(laser ablation)에 의해, 또는 워터 잭 커팅(water jet cutting)에 의해 수행될 수 있다. 개별화는 또한, 스크라이빙(scribing)과 기계적 브레이킹(mechanical breaking)의 조합을 통해 수행될 수 있고, 스크라이빙은 예컨대 종래의 소잉에 의해, 193nm, 248nm, 또는 355nm 광을 사용하는 레이저 절삭에 의해, 또는 워터 잭 커팅에 의해 수행될 수 있다.
- [0037] 상술한 디바이스들은 웨이퍼 스케일 상의 지지 기판들에 본딩되기 때문에, 본 발명의 실시예들은, 디바이스들이 지지 기판에 다이별로(die-by-die) 본딩되는 종래의 방식들을 넘어 효율성들 및 비용 감축을 제공할 수 있다. 예컨대, 효율성들은, 성장 기판 제거, 성장 기판 제거 후의 반도체 표면의 러프닝(roughening), 및 파장 변환층의 형성을 포함하는, 종래 LED들 내의 패키지 레벨에서 통상적으로 수행되는 많은 프로세싱 동작들을 통한, LED들의 웨이퍼 레벨 프로세싱의 가능성 덕분에 증대될 수 있다.
- [0038] 종래의 반도체 수직형 집적(vertical integration) 방식에서는, 집적되는 디바이스들은 종종 명목상 동일한 재료들이거나, 유사한 열팽창 계수(coefficient of thermal expansion; CTE)들을 갖는 재료들이다. 그와 같이, 구조체들의 웨이퍼 본딩은 상승된 온도에서 수행될 수 있다. 실리콘 지지 기판 웨이퍼에 본딩된 웨이퍼 및 사파이어 상에 성장된 III 질화물 디바이스의 경우, 사파이어 및 실리콘의 CTE들은 충분히 상이하여, 상승된 온도들에서의 웨이퍼 본딩은 상당한 응력들이 본딩된 구조체들 내로 고정되는(locked) 결과를 낳으며, 후속 프로세싱 동안 본딩된 구조체들의 보잉(bowing)과 브레이킹의 결과를 낳는다. 상기 실시예들에서, 디바이스들은 저온에서 지지 기판들에 본딩되고, 이는 구조체 내에 최소 고정된 응력들의 결과를 낳으며, 이는 수율을 향상시킬 수 있다. 예컨대, 본딩은 몇몇 실시예들에서 300°C 미만에서, 몇몇 실시예들에서 230°C와 275°C 사이 또는 그 미만에서 수행된다. 실리콘 기반 본딩층들을 사용하는 몇몇 실시예들에서, 본딩은 150°C 미만에서 수행될 수 있다.
- [0039] 몇몇 실시예들에서, 지지 기판 웨이퍼는 본딩 시에 어떤 피쳐(feature)들도 포함하지 않기 때문에, 디바이스들의 웨이퍼는 세밀한 정렬없이 지지 기판 웨이퍼에 본딩될 수 있다. 디바이스 및 지지 기판 웨이퍼들은 예컨대 시각적 정렬에 의해 러프하게(roughly) 정렬될 필요가 있을 뿐, 두 개의 웨이퍼 상에 패터닝된 피쳐들의 미세한 정렬이 필요한 것은 아니다. 본딩 후에, 비아 에칭 마스크(via etch mask)는 LED 메탈라이제이션들(LED metallizations)에 정렬되어야 하고, 이는 (본딩된 웨이퍼들을 통해 보는) IR 정렬 또는 (사파이어와 같은 투명 성장 기판을 통해 보이는 것처럼 LED 패턴이 보이는 지지 기판 웨이퍼 측 상에 마스크를 정렬하는) 후방 정렬을 통해 수행될 수 있다.
- [0040] 본 발명을 상세하게 기술하였으며, 당업자는 본 내용에서, 여기 기술된 발명 컨셉의 사상에서 벗어나지 않고 본 발명에 변경이 가해질 수 있음을 인식할 것이다. 따라서, 본 발명의 범위가, 묘사되고 기술된 특정 실시예들에 국한되지 않는 것이 의도된다.

도면

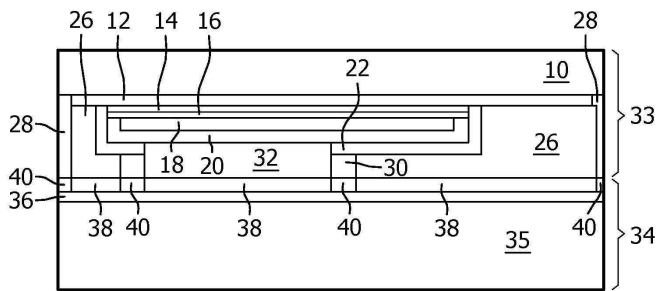
도면1



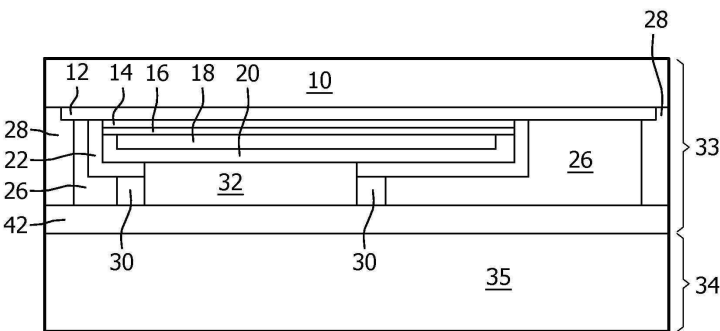
도면2



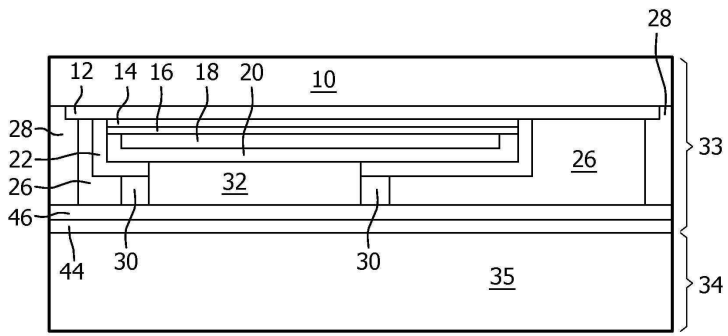
도면3



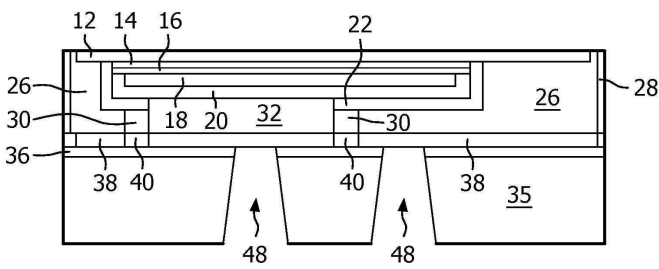
도면4



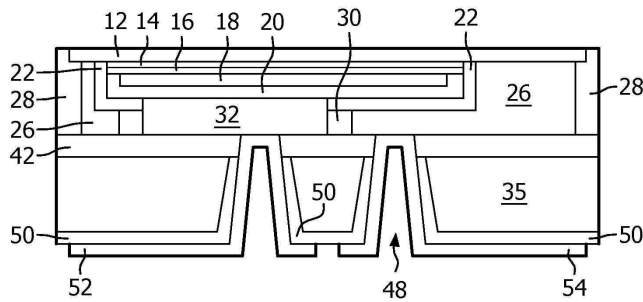
도면5



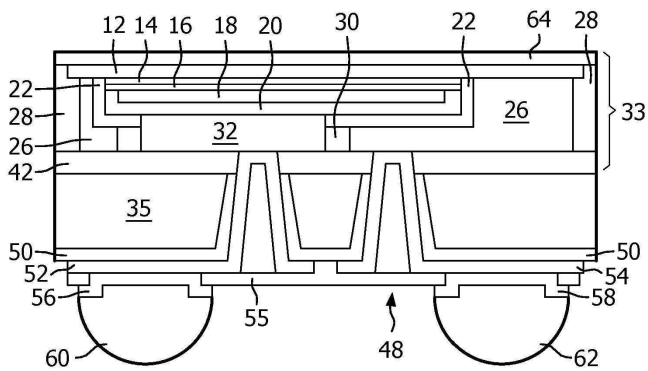
도면6



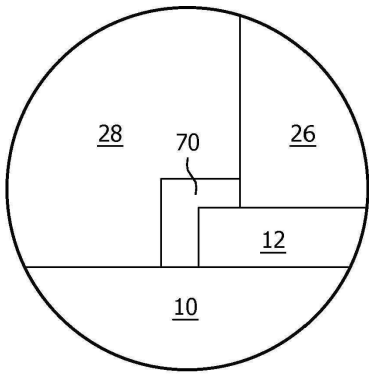
도면7



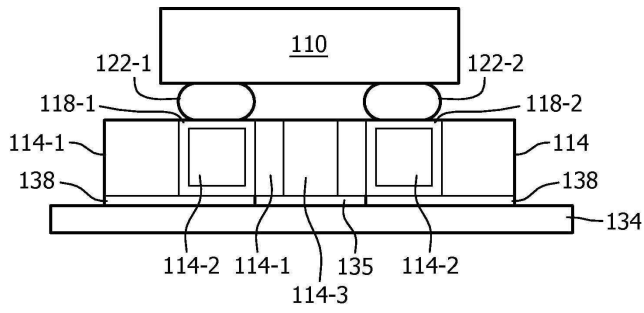
도면8



도면9



도면10



(종래 기술)