



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I518779 B

(45)公告日：中華民國 105 (2016) 年 01 月 21 日

(21)申請案號：100105495

(22)申請日：中華民國 100 (2011) 年 02 月 18 日

(51)Int. Cl. : H01L21/31 (2006.01)

H01L21/76 (2006.01)

(30)優先權：2010/02/25 美國

61/308,185

(71)申請人：MEMC 電子材料公司 (美國) MEMC ELECTRONIC MATERIALS, INC. (US)
美國(72)發明人：皮特尼 約翰 A PITNEY, JOHN A. (US) ; 吉村一朗 YOSHIMURA, ICHIRO (JP) ;
非 盧 FEI, LU (US)

(74)代理人：陳長文

(56)參考文獻：

US 6824622B2

US 2003/0022495A1

US 2003/0190810A1

US 2006/0024915A1

US 2007/0267142A1

US 2008/0153251A1

US 2008/0262751A1

SEMI M69-0307(Preliminary), "Practice for Determining Wafer Near-Edge Geometry Using Roll-Off Amount, ROA" (2007), pages 1-9.

審查人員：徐欽民

申請專利範圍項數：72 項 圖式數：13 共 64 頁

(54)名稱

減少絕緣層上覆矽結構中未接合區域之寬度的方法及以此方法製成之晶圓及絕緣層上覆矽結構
METHODS FOR REDUCING THE WIDTH OF THE UNBONDED REGION IN SOI STRUCTURES
AND WAFERS AND SOI STRUCTURES PRODUCED BY SUCH METHODS

(57)摘要

本發明係關於具有經減少未接合區域之絕緣層上覆矽結構的製備，且係關於用於藉由最小化處置晶圓及供體晶圓之滾離量(ROA)來製造此等晶圓的方法。本發明亦提供用於拋光晶圓之方法。

The disclosure relates to preparation of silicon on insulator structures with reduced unbonded regions and to methods for producing such wafers by minimizing the roll-off amount (ROA) of the handle and donor wafers. Methods for polishing wafers are also provided.

指定代表圖：

符號簡單說明：
(無元件符號說明)

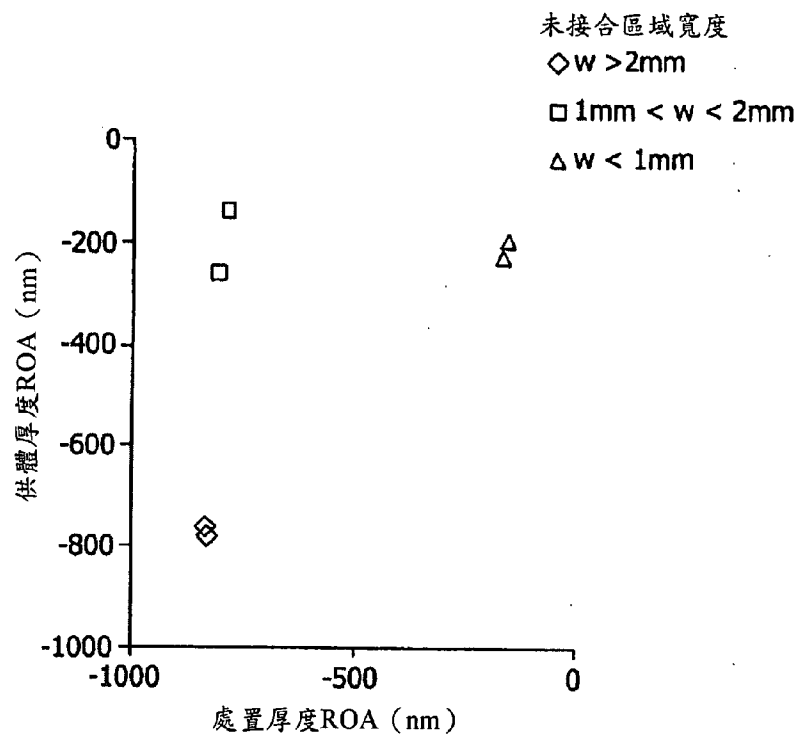


圖7

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100105495

※申請日：100. 2. 18

※IPC 分類：H01L 21/31 :2006.01

一、發明名稱：(中文/英文)

H01L 21/76 :2006.01

減少絕緣層上覆矽結構中未接合區域之寬度的方法及以此方法製成之
晶圓及絕緣層上覆矽結構

METHODS FOR REDUCING THE WIDTH OF THE UNBONDED
REGION IN SOI STRUCTURES AND WAFERS AND SOI
STRUCTURES PRODUCED BY SUCH METHODS

二、中文發明摘要：

本發明係關於具有經減少未接合區域之絕緣層上覆矽結構的製備，且係關於用於藉由最小化處置晶圓及供體晶圓之滾離量(ROA)來製造此等晶圓的方法。本發明亦提供用於拋光晶圓之方法。

三、英文發明摘要：

The disclosure relates to preparation of silicon on insulator structures with reduced unbonded regions and to methods for producing such wafers by minimizing the roll-off amount (ROA) of the handle and donor wafers. Methods for polishing wafers are also provided.

四、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之領域係關於具有經減少未接合區域之絕緣層上覆矽結構的製備，且特定而言，係關於用於藉由最小化處置晶圓及供體晶圓之滾離量(「roll-off amount, ROA」)來製造此等結構的方法。

【先前技術】

絕緣層上覆矽結構(「SOI結構」，其在本文中亦可被稱作「SOI晶圓」或「SOI基板」)通常包括處置晶圓、矽層(亦被特性化為「器件層」)，及在處置晶圓與矽層之間的介電層(諸如，氧化物層)。與建置於塊體矽晶圓上之電晶體相比較，建置於SOI結構之頂部矽層內的電晶體快速地切換信號、以較低電壓運作，且遠不易受來自背景宇宙射線粒子之信號雜訊的攻擊。每一電晶體係藉由一完整二氧化矽層而與其相鄰電晶體隔離。此等電晶體通常不受「栓鎖效應」(latch-up)問題的影響，且可比建置於塊體矽晶圓上之電晶體間隔得更靠攏。將電路建置於SOI結構上會藉由允許更緊密之電路設計而增加生產力，從而得到每晶圓更多晶片。

SOI結構可由自根據Czochralski方法成長之單晶矽結晶塊所切片的矽晶圓製備。在一種用於製備SOI結構之方法中，將介電層沈積於供體晶圓之經拋光前表面上。在供體晶圓之前表面之下的指定深度處植入離子，以在供體晶圓中經植入有該等離子之指定深度處形成劈裂平面，該劈裂

平面大體上垂直於軸線。接著，將供體晶圓之前表面接合至處置晶圓，且按壓該兩個晶圓以形成接合晶圓。接著，沿著劈裂平面劈裂供體晶圓之一部分以移除供體晶圓之一部分，從而留下一薄矽層(亦即，器件層)以形成SOI結構。

在接合結構之周邊處的介電層與處置晶圓之間的接合缺乏或弱接合引起在後續劈裂期間移除該周邊處之介電層及/或矽層。此情形導致具有半徑小於處置晶圓之半徑之矽層(且通常亦具有半徑小於處置晶圓之半徑之介電層)的SOI結構。不包括矽層的該結構之周邊區域不可用於器件製作，且亦為潛在的粒子污染源。此不可用周邊區域可具有至少1.5 mm或甚至2 mm之寬度，且可包括SOI結構之面積的至少約2.5%。

存在對於製造SOI晶圓之程序的持續需要，該等程序允許結構之矽層進一步延伸至處置晶圓之邊緣且最小化粒子污染源。

【發明內容】

已發現，最小化SOI結構之處置晶圓及/或供體晶圓的滾離量(「ROA」)會允許在接合晶圓周邊處之更多接合及更強接合，此情形允許在劈裂後矽層隨即延伸得更接近於處置晶圓邊緣。已進一步發現，可藉由在粗糙拋光步驟與精整拋光步驟之間執行清潔操作來製備具有較少滾離且缺乏明視野缺陷之處置晶圓及供體晶圓。

本發明之一態樣係有關一種用於製造一絕緣層上覆矽結

構之程序。該結構包括一處置晶圓、一矽層，及在該處置晶圓與該矽層之間的一介電層。該結構具有一中心軸線、大體上垂直於該中心軸線之一前表面及一後表面。一圓周邊緣結合該前表面與該後表面，且一半徑自該結構之該中心軸線延伸至該圓周邊緣。在一供體晶圓及一處置晶圓中之至少一者之一前表面上形成一介電層。將該介電層接合至該供體晶圓及該處置晶圓中之至少一者以形成一接合晶圓。該供體晶圓及該處置晶圓中之至少一者具有小於約 700 nm 之一厚度滾離量(ROA)。沿著該供體晶圓內之一分離平面分離該接合晶圓，使得該矽層保持接合至該介電層以形成該絕緣層上覆矽結構。

在本發明之另一態樣中，一種接合絕緣層上覆矽結構包括一處置晶圓、一供體晶圓，及在該處置晶圓與該供體晶圓之間的一介電層。該介電層部分地接合至該處置晶圓。該接合絕緣層上覆矽結構具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑。該介電層與該處置晶圓之間的接合自該接合絕緣層上覆矽結構之該中心軸線延伸至為該接合絕緣層上覆矽結構之該半徑之至少約 98.9% 的一點。

在本發明之一另外態樣中，一種接合絕緣層上覆矽結構包括一處置晶圓、一供體晶圓，及在該處置晶圓與該供體晶圓之間的一介電層。該介電層部分地接合至該供體晶圓。該接合絕緣層上覆矽結構具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑。該介電

層與該供體晶圓之間的接合自該接合絕緣層上覆矽結構之該中心軸線延伸至為該接合絕緣層上覆矽結構之該半徑之至少約98.9%至約99.9%的一點。

本發明之又一態樣係有關一種絕緣層上覆矽結構。該結構具有一處置晶圓、一矽層、在該處置晶圓與該矽層之間的一介電層，及在該介電層與該處置晶圓之間的一界面。該處置晶圓具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑。該矽層自該處置晶圓之該中心軸線延伸至為該處置晶圓之該半徑之至少約98.9%的一點。該處置晶圓在該界面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。

本發明之一另外態樣係有關一種用於拋光一晶圓之程序。執行一第一拋光步驟，該第一拋光步驟包括藉由一聚胺基甲酸酯發泡墊拋光該晶圓。在該第一拋光步驟之後執行一清潔步驟，該清潔步驟包括清潔處置晶圓之前表面。在該清潔步驟之後執行一第二拋光步驟。該第二拋光步驟包括藉由一聚胺基甲酸酯發泡墊拋光該晶圓。

在另一態樣中，一種半導體晶圓具有一中心軸線、大體上垂直於該中心軸線之一前表面及一後表面、結合該前表面與該後表面之一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑。該晶圓具有小於約700 nm之一厚度滾離量(ROA)，且在該晶圓之該前表面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。

其他目標及特徵將部分地顯而易見且在下文中被部分地

指出。

【實施方式】

多層結構且尤其是絕緣層上覆矽結構及用於製造絕緣層上覆矽結構之方法通常為熟習此項技術者所知(見(例如)美國專利第5,189,500號、第5,436,175號及第6,790,747號，該等專利中之每一者係出於所有相關且一致之目的而以引用之方式併入本文中)。在用於製造多層結構之例示性程序中，製備兩個分離結構，沿著接合界面將該等結構接合在一起，且接著，沿著分離平面分層(亦即，劈裂)該等結構，該分離平面不同於該接合界面且已經由植入技術而形成。一結構通常被稱作「處置」晶圓(或結構)，且另一結構通常被稱作「供體」晶圓(或結構)。

在將供體晶圓與處置晶圓接合在一起之前，可將介電層沈積於供體晶圓、處置晶圓或此兩者之表面上。就此而言，本文中將SOI結構及用於製備SOI結構之方法描述為使介電層沈積或成長於供體晶圓上，且描述為使處置晶圓之表面接合至介電層之表面。然而，應理解，替代將介電層成長或沈積於供體晶圓上或除了將介電層成長或沈積於供體晶圓上以外，亦可將介電層成長或沈積於處置晶圓上，且可在無限制之情況下以各種配置中之任一者接合此等結構。不應在限制性意義上考慮本文中對單獨地安置於處置晶圓上之介電層的參考。

通常，至少供體晶圓且更通常為供體晶圓及處置晶圓兩者係由單晶矽晶圓構成，然而，應注意，在不脫離本發明

之情況下，可使用諸如多層結構及/或異層結構之其他起始結構。根據本發明，處置晶圓及/或供體晶圓之特徵為具有低於習知供體晶圓及處置晶圓之邊緣滾離量(「ROA」)的邊緣滾離量(「ROA」)，該等習知供體晶圓及處置晶圓係用以製造諸如SOI結構之多層結構。

處置晶圓可自此項技術中常見的用於製備多層結構之任何材料獲得，諸如，矽、鍺、砷化鎵、矽鍺、氮化鎵、氮化鋁、磷、石英、藍寶石及其組合。類似地，供體晶圓可含有矽、鍺、砷化鎵、矽鍺、氮化鎵、氮化鋁、磷、石英、藍寶石及其組合。然而，通常，根據本發明之方法所使用的處置晶圓及供體晶圓為單晶矽晶圓，且通常為已自根據習知Czochralski晶體成長方法成長之單晶結晶塊所切片的單晶矽晶圓。因而，出於說明性目的，以下論述常常指特定類型之多層結構(亦即，SOI結構)。就此而言，應注意，根據本發明所使用之處置晶圓及/或供體晶圓(及甚至是經受下文所描述之拋光及清潔步驟的塊體矽晶圓)可為適於供熟習此項技術者使用之任何直徑，包括(例如)200 mm、300 mm、大於300 mm或甚至450 mm直徑之晶圓。

參看圖1，將介電層15(例如，氧化矽層及/或氮化矽層)沈積於供體晶圓12之經拋光前表面上。可根據此項技術中之任何已知技術來施加介電層15，諸如，熱氧化、濕式氧化、熱氮化或此等技術之組合。一般而言，使介電層15成長至足以在最終結構中提供所要絕緣屬性之實質上均一厚度。然而，通常，介電層具有至少約1 nm且小於約500

nm、小於約300 nm、小於約200 nm、小於約150 nm、小於約100 nm或甚至小於約50 nm之厚度。介電層15可為適用於SOI結構中之任何電絕緣材料，諸如，包含 SiO_2 、 Si_3N_4 、氧化鋁或氧化鎂之材料。在一實施例中，介電層15為 SiO_2 (亦即，該介電層基本上由 SiO_2 組成)。然而，應注意，在一些例子中，或者，可能較佳的是將具有高於純 SiO_2 之熔點(亦即，高於約 1700°C)之熔點的材料用於介電層。此等材料之實例為氮化矽(Si_3N_4)、氧化鋁及氧化鎂。

就此而言，應理解，雖然本文中將SOI結構描述為具有介電層，但在一些實施例中，消除介電層，且處置晶圓與供體晶圓「直接接合」。不應在限制性意義上考慮本文中對此等介電層之參考。可使用熟習此項技術者所知之許多技術中的任一者來製造此等直接接合結構。

在供體晶圓之前表面之下的實質上均一指定深度處植入離子(例如，氫離子、氦離子，或氫離子與氦離子之組合)以界定劈裂平面17。應注意，當植入離子之組合時，可同時地或依序地植入該等離子。可使用此項技術中已知之手段來達成離子植入。舉例而言，可以類似於美國專利第6,790,747號中所揭示之程序的方式來達成此植入。植入參數可包括(例如)以(例如)約20 keV至約125 keV之總能量的達約 1×10^{15} 個離子/平方公分至約 5×10^{16} 個離子/平方公分之總劑量的離子植入(例如，可以20 keV之能量及 2.4×10^{16} 個離子/平方公分之劑量植入 H_2^+)。當使用離子之組合時，可相應地在離子之組合之間調整劑量(例如，可以36 keV之

能量及 1×10^{16} 個離子/平方公分之劑量植入 He^+ ，接著以 48 keV 之能量及 5×10^{15} 個離子/平方公分之劑量植入 H_2^+ 。

當在沈積介電層之前執行植入時，合適地在足夠低以防止沿著供體層中之平面 17 之過早分離或劈裂的溫度下(亦即，在晶圓接合程序步驟之前)執行在供體晶圓上介電層之後續成長或沈積。分離或劈裂溫度為植入物質、植入劑量及植入材料之複合函數。然而，通常，可藉由使沈積或成長溫度維持低於約 500°C 而避免過早分離或劈裂。

現參看圖 2，接著將介電層 15 之前表面接合至處置晶圓 10 之前表面，以經由親水性接合程序形成接合晶圓 20。可藉由將該等晶圓之表面曝露至含有(例如)氧或氮之電漿而將介電層 15 與處置晶圓 10 接合在一起。至電漿之曝露在常常被稱作表面活化之程序中修改該等表面之結構。接著將該等晶圓按壓在一起，且在該等晶圓之間形成在接合界面 18 處之接合。

在接合之前，介電層及處置晶圓之表面可視情況經歷清潔及/或短暫蝕刻、平坦化或電漿活化，以使介電層及處置晶圓之表面準備好使用此項技術中已知之技術進行接合。在不遵循特定理論之情況下，通常咸信，SOI 結構之矽表面的品質部分地為在接合之前的該表面之品質的函數。另外，在接合之前的兩個表面之品質將對所得接合界面之品質或強度有直接影響。

因此，在一些例子中，可使介電層及/或處置晶圓經受以下程序中之一或多者，以便在接合之前獲得(例如)低表

面粗糙度(例如，小於約0.5 nm均方根(RMS)之粗糙度)：

(i)藉由(例如)CMP之平坦化；及/或(ii)藉由濕式化學清潔程序(諸如，親水性表面製備程序)之清潔(例如，RCA SC-1清潔程序，其中使表面在約65°C下與含有以(例如)1:2:50之比率之氫氧化銨、過氧化氫及水的溶液接觸達20分鐘，接著進行去離子水沖洗及乾燥)。在濕式清潔程序之後或代替濕式清潔程序，亦可視情況使該等表面中之一者或此兩者經受電漿活化，以增加所得接合強度。電漿環境可包括(例如)氧、氮、氫、氬、二硼烷或磷化氫。

一般而言，可使用此項技術中已知之基本上任何技術來達成晶圓接合，其限制條件為：用以達成接合界面之形成的能量足以確保在後續處理(亦即，藉由沿著供體晶圓中之劈裂或分離平面17之分離的層轉移)期間維持接合界面之完整性。然而，通常，藉由使介電層及處置晶圓之表面在減壓(例如，約50毫托)下且在室溫下接觸，接著在高溫(例如，至少約200°C、至少約300°C、至少約400°C或甚至至少約500°C)下加熱達足夠時段(例如，至少約10秒、至少約1分鐘、至少約15分鐘、至少約1小時或甚至至少約3小時)而達成晶圓接合。舉例而言，該加熱可在約350°C下進行達約1小時。所得界面可具有大於約500 mJ/m²、大於約1000 mJ/m²、大於約1500 mJ/m²或甚至大於約2000 mJ/m²之接合強度。高溫引起在供體晶圓及處置晶圓之鄰接表面之間的共價鍵之形成，因此凝固供體晶圓與處置晶圓之間的接合。與接合晶圓之加熱或退火同時地，早先植入於供

體晶圓中之離子弱化劈裂平面。接著，沿著劈裂平面使供體晶圓之一部分與接合晶圓分離(亦即，劈裂)以形成SOI結構。

在已形成接合界面之後，使所得接合結構經受足以誘發沿著供體晶圓內之分離或劈裂平面之破裂的條件(圖3)。一般而言，可使用此項技術中已知之技術(諸如，熱及/或機械誘發性劈裂技術)來達成此破裂。然而，通常，藉由在惰性(例如，氬或氮)氛圍或周圍條件下於至少約200°C、至少約300°C、至少約400°C、至少約500°C、至少約600°C、至少約700°C或甚至至少約800°C之溫度下(該溫度係在(例如)約200°C至約800°C或約250°C至約650°C之範圍內)退火接合結構達至少約10秒、至少約1分鐘、至少約15分鐘、至少約1小時或甚至至少約3小時之時期(其中較高溫度需要較短退火時間，且反之亦然)來達成破裂。

就此而言，應注意，在一替代實施例中，可藉由機械力(單獨地或除了退火以外)來誘發或達成此分離。舉例而言，可將接合晶圓置放於一夾具中，在該夾具中，垂直於接合晶圓之相對側施加機械力，以便將供體晶圓之一部分拉離於接合晶圓。根據一些方法，利用吸盤來施加機械力。藉由在劈裂平面處接合晶圓之邊緣處施加機械楔來起始供體晶圓之該部分的分離，以便起始沿著劈裂平面之裂痕的傳播。藉由吸盤施加之機械力接著將供體晶圓之該部分拉離於接合晶圓，因此形成SOI結構。

參看圖3，在分離後，隨即形成兩個結構30、31。因為

接合結構20之分離係沿著供體晶圓12中之劈裂平面17發生(圖2)，所以該供體晶圓之一部分留存此兩個結構之部件(亦即，該供體晶圓之一部分連同介電層一起被轉移)。結構30包含供體晶圓之一部分。結構31為絕緣層上覆矽結構，且包括處置晶圓10、介電層15及矽層25。

所得SOI結構31包括薄矽層25(在劈裂之後留存的供體晶圓之該部分)，薄矽層25安置於介電層15及處置晶圓10之頂部上。SOI結構之劈裂表面(亦即，供體晶圓之薄矽層)具有可藉由額外處理平滑化之粗糙表面。可使結構31經受額外處理以製造具有為器件製作所需要之特徵的矽層表面。此等特徵包括(例如)減少表面粗糙度，及/或光點缺陷之減少濃度。

根據本發明，用以製備SOI結構之供體晶圓及/或處置晶圓具有小於習知供體晶圓及/或處置晶圓之滾離量(ROA)的滾離量(ROA)，以改良在接合結構之周邊邊緣部分處的介電層與處置晶圓之間的接合。通常可藉由熟知業界量測協定來判定ROA。特定而言，可使用如M. Kimura等人之「A New Method for the Precise Measurement of Wafer Roll off of Silicon Polished Wafer」(*Jpn. Jo. Appl. Phys.*，第38卷，第38至39頁(1999年))所揭示之高度資料量變曲線(height data profile)來量測ROA，該文件係出於所有相關且一致之目的而以引用之方式併入本文中。通常，Kimura之方法已由業界標準化為(例如)SEMI M69：Practice for Determining Wafer Near-Edge Geometry using Roll-off

Amount, ROA (Preliminary) (2007)，其亦係出於所有相關且一致之目的而以引用之方式併入本文中。大多數市售晶圓檢測器具經預程式化以計算ROA。舉例而言，可藉由使用 WaferSight 分析硬體之 KLA-Tencor Wafer Inspection System(Milpitas, California)來判定ROA。

參看圖4，通常藉由參考沿著晶圓半徑之三個點(P_1 、 P_2 及 P_3)來判定晶圓20之ROA。在兩個點(P_1 、 P_2)之間擬合參考線R，且第三點(P_3)位於晶圓之環形邊緣部分E(其中通常觀測到滾離)內。ROA為參考線R與第三點 P_3 之間的距離。晶圓之環形邊緣部分E通常自為晶圓之半徑之約98%的點延伸至晶圓之邊緣。舉例而言，在300 mm直徑之晶圓中，環形邊緣部分始於離晶圓之中心軸線的約147 mm處且延伸至晶圓邊緣。可將參考線R擬合為一階線性線或三階多項式。出於本發明之目的，除非有不同陳述，否則將參考線擬合為一階線性線。

就此而言，可按照前表面ROA、後表面ROA或厚度ROA(亦即，使用平均厚度量變曲線)來表達ROA。前表面ROA量測及後表面ROA量測涉及沿著各別前表面或後表面在 P_1 與 P_2 之間擬合最佳擬合參考線R，且厚度ROA涉及在 P_1 與 P_2 之間擬合針對各種晶圓20厚度之最佳擬合線(亦即，厚度ROA考量前表面及後表面兩者)。除非另有陳述，否則本文所敘述之滾離量為厚度ROA量測。

雖然可選擇三個點中之任一者來判定ROA，但此項技術中所使用之一種常見方法包括使用離晶圓之中心軸線約晶

圓之半徑之82.7%的第一點及離晶圓之中心軸線約半徑之93.3%的第二點來形成參考線R。在300 mm直徑之晶圓中，此等點離晶圓之中心軸線約124 mm及140 mm。可使用離中心軸線約晶圓之半徑之99.3%(亦即，對於300 mm直徑之晶圓，在離中心軸線約149 mm處)的第三點，在該參考線與該第三點之間的距離為ROA。可橫越晶圓之若干半徑量測ROA且平均化ROA。舉例而言，可量測及平均化橫越晶圓有角度地間隔之2、4或8個半徑的ROA。舉例而言，可藉由平均化八個半徑(例如，在如SEMI M69中所描述之R- θ 座標系統中以 0° 、 45° 、 90° 、 135° 、 180° 、 225° 、 275° 及 315° 之八個半徑)之ROA來量測ROA。

如上文所描述，ROA量測可涉及前表面量變曲線、後表面量變曲線或厚度量變曲線。就此而言，除非另有陳述，否則如本文所使用之「ROA」指藉由使用晶圓之最佳擬合厚度量變曲線(亦即，厚度ROA，而非前表面ROA)量測的ROA，其中線性一階線係建立於晶圓之半徑之84%與93.3%之間，且晶圓之環形邊緣部分中的參考點係在半徑之99.3%處。就此而言，已發現，與前表面ROA相比較(實例1及2)，厚度ROA與接合結構中之改良接合較佳地相關且與在所得SOI結構中矽層延伸至晶圓邊緣所達之距離較佳地相關。

應理解，關於厚度量變曲線，ROA可為正數(其中晶圓在其周邊邊緣部分中變得較厚)或可為負數(其中晶圓在其周邊邊緣部分中變得較薄)。就此而言，本文中關於ROA

量(為負或正)之片語「小於」的使用指示ROA係在所敘述量至約0之範圍內(例如,「小於約-700 nm」之ROA指約-700 nm至約0之ROA範圍,且「小於約700 nm」之ROA指在約700 nm至約0之範圍內的ROA)。另外,關於ROA量(為負或正)之片語「大於」的使用包括如下滾離量:其中晶圓之邊緣部分比所敘述量更多地遠離晶圓之軸向中心。

根據本發明之實施例,經沈積或成長有介電層(或,如在一些實施例中,其上經接合有介電層)之供體晶圓具有小於約-700 nm之ROA。在其他實施例中,供體晶圓之ROA小於約-600 nm、小於約-500 nm、小於約-400 nm、小於約-300 nm、小於約-250 nm,或約-10 nm至約-700 nm、約-50 nm至約-600 nm、約-100 nm至約-500 nm、約-100 nm至約-400 nm或約-100 nm至約-300 nm。

或者或另外,介電層及供體晶圓所附接之處置晶圓(或,如在一些實施例中,其上經沈積有介電層)具有小於約-700 nm之ROA。在其他實施例中,處置晶圓之ROA小於約-600 nm、小於約-500 nm、小於約-400 nm、小於約-300 nm、小於約-250 nm,或約-10 nm至約-700 nm、約-50 nm至約-600 nm、約-100 nm至約-500 nm、約-100 nm至約-400 nm或約-100 nm至約-300 nm。

就此而言,雖然本文所敘述之滾離量通常為負滾離量,但在無限制之情況下,處置晶圓或供體晶圓之滾離可為正(例如,小於約400 nm、小於約200 nm、小於約100 nm、約-700 nm至約400 nm或約-700 nm至約100 nm)。另外,在

特定實施例中，在無限制之情況下，可使用不同於所敘述之ROA量的ROA量。

亦已發現，除了厚度ROA以外，供體晶圓及/或處置晶圓之前表面形狀的二階導數(「zdd」)亦與接合結構周邊處之改良接合良好地相關。因此，二階導數(「zdd」)可小於約 -1100 nm/mm^2 、小於約 -800 nm/mm^2 、小於約 -600 nm/mm^2 或甚至小於約 -400 nm/mm^2 (例如，約 -1110 nm/mm^2 至約 -100 nm/mm^2 或約 -800 nm/mm^2 至約 -200 nm/mm^2)。應理解，zdd可為正數(其中晶圓之邊緣向上滾動(亦即，遠離晶圓之軸向中心))或可為負數(其中晶圓之邊緣向下滾動(亦即，朝向晶圓之軸向中心))。就此而言，本文中關於二階導數量之片語「小於」的使用指示二階導數(「zdd」)係在所敘述量至0之範圍內(例如，「小於約 -1100 nm/mm^2 」之zdd指在約 -1100 nm/mm^2 至約0之範圍內的zdd)。可橫越晶圓之若干半徑量測zdd且平均化zdd。亦可藉由將晶圓劃分為若干區段(例如，2個區段、4個區段、8個區段或16個區段)且計算每一區段之平均前側量變曲線來量測二階導數。可針對每一區段之平均前側量變曲線判定zdd，且接著，可平均化區段二階導數。就此而言，除非另有陳述，否則藉由平均化16個晶圓區段之zdd來判定本文所敘述之zdd量。

與由習知處置晶圓及供體晶圓製成之接合結構相比較，藉由減少處置晶圓及/或供體晶圓之ROA，會改良在接合結構之周邊邊緣部分處的介電層與處置晶圓之間的接合

(亦即，減少空隙，、增加接合區，且接合延伸得更接近於圓周邊緣)。由於改良接合，所得SOI結構之矽層延伸得更接近於處置晶圓之邊緣，在劈裂之後該矽層接合至該處置晶圓。在接合結構中(亦即，在劈裂之前)，介電層至少部分地接合至處置晶圓，使得接合自接合絕緣層上覆矽結構之中心軸線延伸至為接合絕緣層上覆矽結構之半徑之至少約98.9%的點，且在一些實施例中，延伸至為接合絕緣層上覆矽結構之半徑之至少約99.2%的點、延伸至為接合絕緣層上覆矽結構之半徑之至少約99.4%的點，或延伸至為接合絕緣層上覆矽結構之半徑之至少約99.6%的點(例如，延伸至為接合絕緣層上覆矽結構之半徑之約98.9%至約99.9%的點、延伸至為接合絕緣層上覆矽結構之半徑之約99.2%至約99.9%的點，或延伸至為接合絕緣層上覆矽結構之半徑之約99.5%至約99.9%的點)。舉例而言，在300 mm之接合絕緣層上覆矽結構中，介電層與處置晶圓之間的接合可自該結構之中心軸線延伸至離該接合結構之中心軸線約148.35 mm，或延伸至離該中心軸線至少約148.8 mm、至少約149.4 mm(例如，約148.35 mm至約149.85 mm、約148.8 mm至約149.85 mm，或約149.25 mm至約149.85 mm)。為了判定接合在接合結構中發生之程度，可將接合晶圓劈裂為兩半且進行分析，或可針對矽層之存在而分析所得SOI結構。就此而言，除非另有陳述，否則片語「至少部分地接合」可包括接合延伸至處置晶圓及/或供體晶圓之圓周邊緣的配置。就此而言，應理解，在特定

實施例中，處置晶圓之半徑可不同於介電層及/或矽層之半徑(例如，由於部分接合的在劈裂之後的SOI結構中)，且如本文所使用，除非另有陳述，否則「SOI結構之半徑」指處置晶圓之半徑。

接合結構中之此周邊接合增加允許矽層及介電層延伸得更接近於處置晶圓之圓周邊緣，在所得SOI結構中矽層及介電層接合至該處置晶圓。在若干例示性實施例中，所得SOI結構包括矽層(且通常亦包括介電層)，該矽層自處置晶圓之中心軸線延伸至為處置晶圓之半徑之至少約98.9%的點，且在一些實施例中，延伸至為處置晶圓之半徑之至少約99.2%的點、延伸至為處置晶圓之半徑之至少約99.4%的點，或延伸至為處置晶圓之半徑之至少約99.6%的點(例如，延伸至為處置晶圓之半徑之約98.9%至約99.9%的點、延伸至為處置晶圓之半徑之約99.2%至約99.9%的點，或延伸至為處置晶圓之半徑之約99.5%至約99.9%的點)。舉例而言，在300 mm之SOI結構中，矽層延伸至離處置晶圓之中心軸線約148.35 mm，或延伸至離處置晶圓之中心軸線至少約148.8 mm、至少約149.1 mm或至少約149.4 mm(例如，約148.35 mm至約149.85 mm、約148.8 mm至約149.85 mm，或約149.25 mm至約149.85 mm)。

可藉由(例如)在諸如Nomarski差分干涉對比度(differential interference contrast, DIC)顯微鏡之光學顯微鏡(例如，具有5x物鏡)下檢視該結構來判定矽層延伸至處置晶圓之邊緣所達的程度。圖5中展示SOI結構之頂部的例

示性影像。SOI結構係藉由矽層65部分地覆蓋。該結構包括未接合部分69，未接合部分69自矽層65之邊緣52延伸至晶圓之邊緣50(亦即，可在未接合區域69中看見處置晶圓之表面)。

就此而言，應理解，如本文所使用，未接合部分69之寬度不包括晶圓之傾斜部分67。傾斜部分67自表現為影像中之光帶的晶圓頂點54延伸至藉由數字「50」參考之對比度改變。換言之，未接合區域69自傾斜區域之邊緣50延伸至矽層65之邊緣52，而非自頂點54延伸至矽晶圓邊緣52。在頂點54上方之暗區域為在顯微法期間所產生之陰影且不會形成晶圓之部分。

除了具有相對較低ROA以外，SOI結構中所使用之處置晶圓及供體晶圓亦可被特性化為在各別晶圓之前表面上具有低量之明視野缺陷。供體晶圓及/或處置晶圓之表面上的明視野缺陷弱化在缺陷之位點處的供體晶圓與處置晶圓之間的接合，且引起空隙形成於SOI矽層中。已發現，下文所描述之晶圓拋光及清潔序列導致一晶圓在該晶圓之前表面上具有約3個或3個以下之大於約6 nm之尺寸的明視野缺陷，且在一些實施例中，具有約2個或2個以下、約1個或1個以下或甚至無大於約6 nm之尺寸的明視野缺陷。或者或另外，該晶圓可在該晶圓之前表面處具有大於約6個以下之約4.8 nm之尺寸的明視野缺陷，或約4個以下、約2個以下或甚至無大於約4.8 nm之尺寸的明視野缺陷。

在一些特定實施例中，晶圓之表面不含有大於約6 nm之

尺寸的任何可觀測明視野缺陷，且具有小於約-700 nm(例如，小於約-600 nm、小於約-500 nm、小於約-400 nm、小於約-300 nm或小於約-250 nm)之ROA。雖然下文所描述之拋光及清潔方法係參考處置晶圓及/或供體晶圓進行描述，但該等方法可應用於通常包括(例如)塊體單晶矽晶圓之晶圓。該等方法通常導致低ROA之晶圓，該等晶圓被進一步特性化為具有低量之明視野缺陷(例如，無大於6 nm之尺寸的明視野缺陷)。

所得SOI結構之特徵亦可為在各種層之間的界面處的減少量之明視野缺陷，此情形導致該結構之各種層之間的較強接合且引起較少空隙形成於矽器件層中。SOI結構包括在介電層與處置晶圓之間的界面，及在介電層與矽層之間的界面。在各種實施例中，處置晶圓可在與介電層之界面處具有約3個或3個以下之大於約6 nm之尺寸的明視野缺陷，或，如在其他實施例中，具有約2個或2個以下、約1個或1個以下或甚至無大於6 nm之尺寸的明視野缺陷。在此等實施例中及在其他實施例中，處置晶圓可在介電層之界面處具有大於約4.8 nm之尺寸的約6個以下明視野缺陷，或具有約4個以下、約2個以下或甚至無大於約4.8 nm之尺寸的明視野缺陷。

或者或另外，矽層可在與介電層之界面處具有約3個或3個以下之大於約6 nm之尺寸的明視野缺陷，或具有約2個或2個以下、約1個或1個以下或甚至無大於6 nm之尺寸的明視野缺陷。在此等實施例中及在其他實施例中，矽層可

在與介電層之界面處具有大於約4.8 nm之尺寸的約6個以下明視野缺陷，或具有約4個以下、約2個以下或甚至無大於約4.8 nm之尺寸的明視野缺陷。

可藉由熟習此項技術者所知之習知技術來執行明視野缺陷之偵測。合適地，可使用具有諸如KLA Tencor Surfscan SP2晶圓檢測系統之明視野偵測器的明視野晶圓檢測工具或暗視野檢測工具來偵測明視野缺陷。

在劈裂平面處劈裂供體晶圓之後所形成的SOI結構的特徵可為在各種晶圓界面處具有ROA，該等ROA實質上類似於用以製造SOI結構之處置晶圓及/或供體晶圓的ROA。處置晶圓可在與介電層之界面處具有小於約-700 nm之ROA，且在其他實施例中，在與介電層之界面處具有小於約-600 nm、小於約-500 nm、小於約-400 nm、小於約-300 nm、小於約-250 nm或約-10 nm至約-700 nm、約-50 nm至約-600 nm、約-100 nm至約-500 nm、約-100 nm至約-400 nm或約-100 nm至約-300 nm之ROA。

可藉由自藉由Czochralski程序形成之結晶塊對晶圓進行切片且使該等晶圓經受進一步處理而獲得用以製造SOI結構之供體晶圓及/或處置晶圓。舉例而言，可使該等晶圓經受「粗糙」拋光及「精整」拋光。有利地，已找到用於製備具有相對較低ROA且具有極少明視野缺陷或不具有明視野缺陷之處置晶圓及供體晶圓的方法。

在用於製備供體晶圓及/或處置晶圓之一或多個實施例中，執行第一拋光步驟，在第一拋光步驟中，拋光第一表

面且視情況拋光後表面(亦即，執行雙側拋光)。通常，該拋光為「粗糙」拋光，其將晶圓(例如，供體晶圓、處置晶圓或塊體晶圓)之表面粗糙度減少至小於約3.5 Å以甚至低至約2.5 Å或甚至約2 Å，如藉由原子力顯微鏡(AFM)在約1 μm×約1 μm至約100 μm×約100 μm之掃描尺寸下所量測。出於本說明書之目的，除非另有指示，否則將表面粗糙度表達為均方根(RMS)。粗糙拋光通常導致自晶圓之表面移除約1 μm至約20 μm且更通常為約5 μm至約15 μm之材料。

可藉由(例如)化學機械平坦化(CMP)來達成粗糙拋光(及下文所描述之精整拋光)。CMP通常涉及將晶圓浸沒於研磨漿料中及藉由聚合襯墊來拋光晶圓。經由化學手段與機械手段之組合，晶圓之表面得以平滑化。通常，執行拋光，直至達成化學及熱穩定狀態且晶圓已達成其目標形狀及平坦度為止。可在雙側拋光機上執行粗糙拋光，該雙側拋光機可購自Peter Wolters(例如，AC2000拋光機；Rendsburg, Germany)、Fujikoshi(Tokyo, Japan)、Speedfam(Kanagawa, Japan)或Lapmaster SFT(例如，LGP-708, Chiyoda-Ku, Japan)。用於矽拋光之原料移除襯墊可購自Psiloquest(Orlando, Florida)及Rohm & Haas(Philadelphia, Pennsylvania)，且二氧化矽基漿料可購自Rohm & Haas, Cabot(Boston, Massachusetts)、Nalco(Naperville, Illinois)、Bayer MaterialScience(Leverkusen, Germany)及DA NanoMaterials(Tempe, Arizona)。

粗糙拋光步驟可發生達約300秒至約600秒，且在約150 g/cm²至約700 g/cm²之襯墊壓力下以約75 ml/min至約125 ml/min之漿料流動速率發生。然而，應理解，在不脫離本發明之範疇的情況下，可使用其他拋光時間、襯墊壓力及漿料流動速率。

在粗糙拋光完成之後，可沖洗及乾燥晶圓。另外，可使晶圓經受濕式清洗台或自旋清潔。濕式清洗台清潔可包括視情況在高溫(例如，約50°C至約80°C)下使晶圓與SC-1清潔溶液(亦即，氫氧化銨及過氧化氫)接觸。自旋清潔包括與HF溶液及臭氧水之接觸且可在室溫下執行。

在清潔之後，可執行第二拋光步驟。第二拋光步驟通常為精整拋光。精整拋光將晶圓(例如，處置晶圓、供體晶圓或塊體晶圓)之表面粗糙度減少至小於約2.0 Å，如藉由AFM在約10 μm×約10 μm至約100 μm×約100 μm之掃描尺寸下所量測。在約10 μm×約10 μm至約100 μm×約100 μm之掃描尺寸下，精整拋光可甚至將表面粗糙度減少至小於約1.5 Å或小於約1.2 Å。精整拋光自表面層僅移除約0.5 μm或0.5 μm以下之材料。

可自Lapmaster SFT(例如，LGP-708, Chiyoda-Ku, Japan)獲得用於精整拋光之合適拋光機。根據本發明之實施例，用於精整拋光之襯墊為麂皮型襯墊(亦被稱作聚胺基甲酸酯發泡墊)，諸如，來自Fujimi(Kiyoso, Japan)之SURFIN襯墊、來自Chiyoda KK(Osaka, Japan)之CIEGAL襯墊，或來自Rohm及Haas之SPM襯墊。就此而言，應注意，出於本

發明之目的，如本文所指，「聚胺基甲酸酯發泡墊」不包括聚胺基甲酸酯浸漬式聚乙烯襯墊，諸如，可購自Rohm及Haas之SUBA襯墊。然而，在不脫離本發明之範疇的情況下，可在其他實施例中使用SUBA襯墊。除了使用聚胺基甲酸酯發泡墊以外，所使用之拋光漿料亦可為膠態二氧化矽溶液(例如，Syton-HT50混合物；Du Pont Air Products NanoMaterials(Tempe, Arizona)及苛性鹼溶液(例如，KOH)；或來自Fujimi之Glanzox 3900)。在一些實施例中，可在精整拋光之第一步驟中使用Syton-HT50混合物及苛性鹼，且可在第二步驟中使用Glanzox 3900。就此而言，應注意，用於精整拋光之聚胺基甲酸酯發泡墊及膠態二氧化矽溶液亦可用於粗糙拋光；然而，在不脫離本發明之範疇的情況下，其他原料襯墊及漿料可用於粗糙拋光。

精整拋光可發生達至少約60秒或甚至約90秒、120秒或180秒。漿料流動速率可在約500 ml/min至約750 ml/min之範圍內，且襯墊壓力可在約75 g/cm²至約125 g/cm²之範圍內；然而，應理解，在不脫離本發明之範疇的情況下，可使用其他拋光時間、襯墊壓力及漿料流動速率。

通常，上文所描述之拋光及清潔步驟所製造的晶圓在其前表面上具有相對較低ROA(例如，小於約-700 nm、小於約-600 nm、小於約-500 nm、小於約-400 nm、小於約-300 nm、小於約-250 nm，或約-10 nm至約-700 nm、約-50 nm至約-600 nm、約-100 nm至約-500 nm、約-100 nm至約-400 nm或約-100 nm至約-300 nm)且在其前表面上具有

相對較少明視野缺陷(例如，在晶圓之表面上的約3個或3個以下之大於約6 nm之尺寸的明視野缺陷，或在晶圓之前表面上的約2個或2個以下、約1個或1個以下或甚至無大於約6 nm之尺寸的明視野缺陷，及/或在晶圓之前表面上的大於約4.8 nm之尺寸的約6個以下明視野缺陷，或約4個以下、約2個以下或甚至無大於約4.8 nm之尺寸的明視野缺陷)。亦應理解，雖然通常關於用以製造SOI結構之處置晶圓或供體晶圓來描述本發明之拋光及清潔程序以及本文所敘述之滾離量及明視野缺陷量，但該等方法可用以製造塊體單晶矽晶圓，且該晶圓之特徵可為所敘述之滾離量及明視野缺陷。另外，在特定實施例中，可提供晶圓之群體(例如，在諸如晶圓晶匣之儲存單元中的晶圓之集合)，其中該等晶圓中之每一者的特徵為上文所敘述之滾離量及明視野缺陷量。晶圓之群體可包括至少約10個晶圓、至少約25個晶圓、至少約50個晶圓、至少約100個晶圓或甚至至少約1000個晶圓。

實例

實例1：具有可變ROA之SOI結構的未接合寬度

藉由以供體晶圓之表面上的介電層(145 nm厚)將處置晶圓接合至供體晶圓，接著沿著形成於供體晶圓內之劈裂平面劈裂而製備六個300 mm之SOI結構。藉由以36 keV之能量及 1×10^{16} 個離子/平方公分之劑量植入 He^+ 離子，接著以48 keV之能量及 5×10^{15} 個離子/平方公分之劑量植入 H_2^+ 離子(Quantum H Implanter(型號Q843)，Applied Materials

(Santa Clara, California))而在供體晶圓中形成劈裂平面。藉由加熱至 350°C (A412 Furnace, ASM(Almere, The Netherlands))來執行劈裂。

由各自具有約 -800 nm 之厚度ROA的供體晶圓及處置晶圓製備一對SOI結構。由具有約 -800 nm 之厚度ROA的處置晶圓及約 -200 nm 之供體晶圓製造另一對SOI結構。由各自具有約 -200 nm 之厚度ROA的處置晶圓及供體晶圓製造另一對SOI結構。藉由以聚胺基甲酸酯發泡墊進行粗糙拋光，接著清潔且接著以聚胺基甲酸酯發泡墊進行精整拋光而製備具有約 -200 nm 之厚度ROA的所有供體晶圓及/或處置晶圓。藉由KLA-Tencor WaferSight Analysis軟體來量測ROA且藉由以下操作來判定ROA：判定晶圓厚度量變曲線且在平均厚度量變曲線中離結構之中心 124 mm 的點與離結構之中心 140 mm 的點之間擬合一階線；及判定參考線與離中心 149 mm 之點之間的距離。

圖7以圖形方式說明作為厚度ROA之函數的上文所描述之晶圓之未接合區域寬度。自圖7可看出，由具有約 -200 nm 之厚度ROA之處置晶圓及供體晶圓製成之SOI晶圓的介電層延伸至離處置晶圓之邊緣(亦即，「未接合區域寬度」)小於約 1 mm (具體而言，分別為 0.71 mm 及 0.62 mm)，而其他SOI結構具有大得多的未接合寬度。

圖8以圖形方式說明作為前表面ROA之函數的上文所描述之晶圓之未接合區域寬度，且圖9說明作為前表面形狀之二階導數(zdd)之函數的未接合區域寬度。自該等圖可看

出，前表面ROA未與未接合寬度良好地相關，且前表面二階導數確實良好地相關。

實例2：由新供體晶圓及/或處置晶圓與習知供體晶圓及/或處置晶圓製備之SOI結構中之未接合寬度的比較

由下文所展示之供體晶圓及處置晶圓的各種組合製備四組300 mm之SOI結構：

- (a) 習知供體晶圓及習知處置晶圓(亦即，對於供體晶圓或處置晶圓，在粗糙拋光與精整拋光之間無清潔步驟)；
- (b) 新供體晶圓(藉由聚胺基甲酸酯發泡墊之粗糙拋光，接著為清潔步驟，接著為藉由聚胺基甲酸酯發泡墊之精整拋光)及習知處置晶圓；
- (c) 新供體晶圓及由未知程序製成之處置晶圓；及
- (d) 新供體晶圓及新處置晶圓。

分析來自每一群組(a)至(d)之兩個晶圓以判定厚度ROA、前表面ROA及前表面形狀之二階導數(zdd)。圖10中以圖形方式說明晶圓群組(a)至(d)之厚度ROA。圖11中以圖形方式展示晶圓群組(a)至(d)之前表面ROA。圖12中以圖形方式展示晶圓群組(a)至(d)之前表面形狀之二階導數。自圖10至圖12可看出，厚度ROA(圖10)及二階導數參數(圖12)群集，且前表面ROA(圖11)較分散。四個習知處置晶圓(群組A及群組B之習知晶圓)之平均厚度ROA為約-814 nm。兩個習知供體晶圓(群組A)之平均厚度ROA為約-771 nm。六個新供體晶圓(群組B、群組C及群組D之新

供體晶圓)之平均厚度ROA為約-203 nm。新處置晶圓(群組D之處置晶圓)之平均厚度ROA為-162 nm。

每一供體晶圓及處置晶圓係由藉由Czochralski程序成長之單晶矽構成。藉由新程序(藉由聚胺基甲酸酯發泡墊之粗糙拋光，接著為清潔步驟，接著為藉由聚胺基甲酸酯發泡墊之精整拋光)製備之每一供體晶圓及處置晶圓不含有任何大於約6 nm之尺寸的明視野缺陷，且含有2個或2個以下之大於約4.8 nm之尺寸的明視野缺陷。

藉由在供體晶圓上形成氧化矽介電層且將介電層接合至處置晶圓而製備每一SOI結構。藉由習知方法來劈裂供體晶圓以留下矽層。在Nikon Nomarski光學顯微鏡上分析每一SOI結構以判定矽器件層不延伸至SOI結構邊緣(亦即，處置晶圓之周邊邊緣)所在之區域的寬度。

自圖13可看出，平均而言，使用習知供體晶圓及處置晶圓((a))之SOI結構具有自SOI結構之中心延伸至離中心約148.0 mm(半徑之98.7%)的矽層，使用新供體晶圓及習知處置晶圓((b))所製造之SOI結構具有自SOI結構之中心延伸至離中心約148.5 mm(半徑之99.0%)的矽層，使用新供體晶圓及商業上獲得之處置晶圓((c))所製造之SOI結構具有自SOI結構之中心延伸至離中心約149 mm(半徑之99.3%)的矽層，且使用新供體晶圓及新處置晶圓((d))所製造之SOI結構具有自SOI結構之中心延伸至離中心約149.3 mm(半徑之99.5%)的矽層。可看出，新供體晶圓及/或處置晶圓有利地引起矽層半徑增加，因此增加用於器件製作之可用面

積，而不將明視野缺陷之數目增加至不可接受位準(例如，增加至1個或1個以上之6 nm或6 nm以上之尺寸的缺陷或3個或3個以上之大於4.8 nm之尺寸的明視野缺陷的量)。

圖5中展示由新供體晶圓及新處置晶圓(藉由聚胺基甲酸酯發泡墊之粗糙拋光，接著為清潔步驟，接著為藉由聚胺基甲酸酯發泡墊之精整拋光)製成之SOI結構的Nikon Nomarski光學顯微鏡影像。未接合區域69之寬度60為0.57 mm。圖6中展示由習知供體晶圓及習知處置晶圓(亦即，在粗糙拋光與精整拋光之間無清潔步驟)製成之SOI結構的Nikon Nomarski光學顯微鏡影像。未接合區域69之寬度60為2.28 mm。

當介紹本發明或本發明之較佳實施例的元件時，數詞「一」及「該」意欲意謂存在該等元件中之一或多者。術語「包含」、「包括」及「具有」意欲為包括性的，且意謂存在不同於所列元件之額外元件。

因為可在不脫離本發明之範疇的情況下在以上裝置及方法中進行各種改變，所以希望應將以上描述中所含有且在附圖中所展示之所有標的解釋為說明性的，且不應在限制性意義上進行解釋。

【圖式簡單說明】

圖1為經安置有介電層之供體晶圓的橫截面圖；

圖2為接合至處置晶圓之供體晶圓及介電層的橫截面圖；

圖3為在劈裂平面處劈裂供體晶圓後之SOI結構的橫截面

圖；

圖4為示意性地展示ROA之量測之晶圓的橫截面圖；

圖5為藉由本發明之拋光及清潔方法製造之SOI結構的俯視圖影像，該俯視圖影像展示矽層不延伸至處置晶圓之邊緣所在的未接合區域；

圖6為藉由習知拋光方法製造之SOI結構的俯視圖影像，該俯視圖影像展示矽層不延伸至處置晶圓之邊緣所在的未接合區域；

圖7為展示用於根據實例1所製造之各種SOI結構之供體晶圓及處置晶圓之厚度ROA以及用於每一結構之未接合區域之寬度的圖解；

圖8為展示用於根據實例1所製造之各種SOI結構之供體晶圓及處置晶圓之前表面ROA及用於每一結構之未接合區域之寬度的圖解；

圖9為展示用於根據實例1所製造之各種SOI結構之供體晶圓及處置晶圓之前表面形狀二階導數(zdd)及用於每一結構之未接合區域之寬度的圖解；

圖10為展示用於根據實例2所製造之各種SOI結構之供體晶圓及處置晶圓之厚度ROA及用於每一結構之未接合區域之寬度的圖解；

圖11為展示用於根據實例2所製造之各種SOI結構之供體晶圓及處置晶圓之前表面ROA及用於每一結構之未接合區域之寬度的圖解；

圖12為展示用於根據實例2所製造之各種SOI結構之供體

晶圓及處置晶圓之前表面形狀二階導數及用於每一結構之未接合區域之寬度的圖解；及

圖 13 為展示根據實例 2 所製造之 SOI 結構之未接合寬度的圖解。

貫穿該等圖式，對應參考字符指示對應部件。

【主要元件符號說明】

10	處置晶圓
12	供體晶圓
15	介電層
17	劈裂平面/分離平面
18	接合界面
20	接合晶圓
25	矽層
30	絕緣層上覆矽結構
31	絕緣層上覆矽結構
50	晶圓之邊緣
52	矽層之邊緣
54	晶圓頂點
60	未接合區域之寬度
65	矽層
67	晶圓之傾斜部分
69	未接合部分/未接合區域
E	環形邊緣部分
P ₁	點

P_2	點
P_3	第三點
R	參考線
ROA	滾離量

七、申請專利範圍：

1. 一種用於製造一絕緣層上覆矽結構之程序，該結構包含一處置晶圓、一矽層，及在該處置晶圓與該矽層之間的一介電層，該結構具有一中心軸線、大體上垂直於該中心軸線之一前表面及一後表面、結合該前表面與該後表面之一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，該程序包含：

在一供體晶圓及一處置晶圓中之至少一者之一前表面上形成一介電層；

將該介電層接合至該供體晶圓及該處置晶圓中之至少一者以形成一接合晶圓，其中該供體晶圓及該處置晶圓中之至少一者具有小於約 600 nm 之一厚度滾離量 (ROA)，該厚度 ROA 係由以下測量協定 (measurement protocol) 所定義，該測量協定係基於該供體晶圓或該處置晶圓之一厚度量變曲線 (thickness profile)：

在該厚度量變曲線上之一第一適當點 (discrete point) 與一第二適當點之間形成一參考線，該第一及第二適當點各距離該結構之該中心軸線達一距離，該第一適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約 82.7%，且該第二適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約 93.3%；

量測該參考線與該晶圓厚度量變曲線上之一第三適當點之間的距離，該第三適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約 99.3%；及

沿著該供體晶圓內之一分離平面分離該接合晶圓，使得該矽層保持接合至該介電層以形成該絕緣層上覆矽結構。

2. 如請求項1之程序，其中該介電層形成於該供體晶圓上且該介電層接合至該處置晶圓，該處置晶圓具有小於約-600 nm之一厚度ROA。
3. 如請求項1之程序，其中該介電層形成於該供體晶圓上且該介電層接合至該處置晶圓，該供體晶圓具有小於約-600 nm之一厚度ROA。
4. 如請求項1之程序，其中該介電層形成於該處置晶圓上且該介電層接合至該供體晶圓，該供體晶圓具有小於約-600 nm之一厚度ROA。
5. 如請求項1之程序，其中該介電層形成於該處置晶圓上且該介電層接合至該供體晶圓，該處置晶圓具有小於約-600 nm之一厚度ROA。
6. 如請求項1之程序，其中該處置晶圓具有小於約400 nm之一厚度ROA。
7. 如請求項1之程序，其中將該參考線擬合為一階線性線。
8. 如請求項1之程序，其中將該參考線擬合為三階多項式。
9. 如請求項1之程序，其中該厚度ROA為一平均厚度ROA。
10. 如請求項9之程序，其中該平均厚度ROA為在八個晶圓

半徑處所量測之八個厚度ROA的一平均值。

11. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者具有小於約 -1100 nm/mm^2 之一前表面zdd。
12. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者在其前表面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
13. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者在其前表面處無大於約6 nm之一尺寸的明視野缺陷。
14. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者在其前表面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。
15. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者在其前表面處無大於約4.8 nm之一尺寸的明視野缺陷。
16. 如請求項1之程序，其中該矽層自該結構之該中心軸線延伸至為該結構之該半徑之約98.9%的一點。
17. 如請求項1之程序，其中該供體晶圓及該處置晶圓中之至少一者具有一前側及一後表面，且該晶圓係藉由以下操作製備：

執行一第一拋光步驟，該第一拋光步驟包含拋光該晶圓之該前表面；

在該第一拋光步驟之後執行一清潔步驟，該清潔步驟包含清潔該晶圓之該前表面；及

在該清潔步驟之後執行一第二拋光步驟，該第二拋光步驟包含拋光該晶圓之該前表面。

18. 如請求項17之程序，其中在該第一拋光步驟期間，與拋光該前表面同時地拋光該晶圓之該後表面。
19. 如請求項17之程序，其中該第一拋光步驟將該晶圓之該前表面之表面粗糙度減少至小於約3 Å。
20. 如請求項17之程序，其中該第二拋光步驟將該晶圓之該前表面之該表面粗糙度減少至小於約2.0 Å。
21. 如請求項17之程序，其中該第一拋光步驟包含藉由一聚胺基甲酸酯發泡墊拋光該晶圓。
22. 如請求項17之程序，其中該第一拋光步驟包含使一膠態二氧化矽漿料與該晶圓接觸。
23. 如請求項17之程序，其中該第二拋光步驟包含藉由一聚胺基甲酸酯發泡墊拋光該晶圓。
24. 如請求項17之程序，其中該第二拋光步驟包含使一膠態二氧化矽漿料與該晶圓接觸。
25. 如請求項17之程序，其中該清潔步驟包含沖洗該晶圓。
26. 如請求項17之程序，其中該清潔步驟包含使該晶圓與氫氧化銨及過氧化氫溶液接觸。
27. 一種接合絕緣層上覆矽結構，該接合結構包含一處置晶圓、一供體晶圓、在該處置晶圓與該供體晶圓之間的一介電層，該介電層部分地接合至該處置晶圓，該接合絕緣層上覆矽結構具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，其中該介電層與

該處置晶圓之間的該接合自該接合絕緣層上覆矽結構之該中心軸線延伸至為該接合絕緣層上覆矽結構之該半徑之至少約99.4%的一點。

28. 如請求項27之接合絕緣層上覆矽結構，其中該供體晶圓及該處置晶圓中之至少一者具有小於約-700 nm之一厚度ROA。
29. 如請求項27之接合絕緣層上覆矽結構，其中該處置晶圓及該供體晶圓中之至少一者具有小於約-400 nm之一厚度ROA。
30. 如請求項27之接合絕緣層上覆矽結構，其中該供體晶圓及該處置晶圓中之至少一者具有小於約-1100 nm/mm²之一前表面zdd。
31. 如請求項27之接合絕緣層上覆矽結構，其中該介電層及該處置晶圓形成一界面，該處置晶圓在該界面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
32. 如請求項27之接合絕緣層上覆矽結構，其中該介電層及該處置晶圓形成一界面，該處置晶圓在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。
33. 如請求項27之接合絕緣層上覆矽結構，其中該介電層及該供體晶圓形成一界面，該供體晶圓在該界面處具有3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
34. 如請求項27之接合絕緣層上覆矽結構，其中該介電層及該供體晶圓形成一界面，該供體晶圓在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。

35. 一種接合絕緣層上覆矽結構，該接合結構包含一處置晶圓、一供體晶圓、在該處置晶圓與該供體晶圓之間的一介電層，該介電層部分地接合至該供體晶圓，該接合絕緣層上覆矽結構具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，其中該介電層與該供體晶圓之間的該接合自該接合絕緣層上覆矽結構之該中心軸線延伸至為該接合絕緣層上覆矽結構之該半徑之至少約99.4%至約99.9%的一點。
36. 如請求項35之接合絕緣層上覆矽結構，其中該供體晶圓及該處置晶圓中之至少一者具有小於約-700 nm之一厚度ROA。
37. 如請求項35之接合絕緣層上覆矽結構，其中該處置晶圓及該供體晶圓中之至少一者具有小於約-400 nm之一厚度ROA。
38. 如請求項35之接合絕緣層上覆矽結構，其中該供體晶圓及該處置晶圓中之至少一者具有小於約-1100 nm/mm²之一前表面zdd。
39. 如請求項35之接合絕緣層上覆矽結構，其中該介電層及該處置晶圓形成一界面，該處置晶圓在該界面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
40. 如請求項35之接合絕緣層上覆矽結構，其中該介電層及該處置晶圓形成一界面，該處置晶圓在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。
41. 如請求項35之接合絕緣層上覆矽結構，其中該介電層及

該供體晶圓形成一界面，該供體晶圓在該界面處具有3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。

42. 如請求項35之接合絕緣層上覆矽結構，其中該介電層及該供體晶圓形成一界面，該供體晶圓在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。

43. 一種絕緣層上覆矽結構，該結構包含一處置晶圓、一矽層、在該處置晶圓與該矽層之間的一介電層，及在該介電層與該處置晶圓之間的一界面，該處置晶圓具有一中心軸線、一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，其中該矽層自該處置晶圓之該中心軸線延伸至為該處置晶圓之該半徑之至少約98.9%的一點，該處置晶圓在該界面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。

44. 如請求項43之絕緣層上覆矽結構，其中該矽層自該處置晶圓之該中心軸線延伸至為該處置晶圓之該半徑之至少約99.4%的一點。

45. 如請求項43之絕緣層上覆矽結構，其中該介電層自該處置晶圓之該中心軸線延伸至為該處置晶圓之該半徑之至少約98.9%的一點。

46. 如請求項43之絕緣層上覆矽結構，其中該處置晶圓在該界面處無大於6 nm之一尺寸的明視野缺陷。

47. 如請求項43之絕緣層上覆矽結構，其中該處置晶圓在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。

48. 如請求項43之絕緣層上覆矽結構，其中該介電層及該矽層形成一界面，該矽層在該界面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
49. 如請求項43之絕緣層上覆矽結構，其中該介電層及該矽層形成一界面，該矽層在該界面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。
50. 如請求項43之絕緣層上覆矽結構，其中該處置晶圓具有小於約-700 nm之一厚度ROA。
51. 如請求項43之絕緣層上覆矽結構，其中該處置晶圓具有小於約-400 nm之一厚度ROA。
52. 如請求項43之絕緣層上覆矽結構，其中該處置晶圓具有小於約-1100 nm/mm²之一前表面zdd。
53. 一種半導體晶圓，該半導體晶圓具有一中心軸線、大體上垂直於該中心軸線之一前表面及一後表面、結合該前表面與該後表面之一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，該晶圓具有小於約-700 nm之一厚度滾離量(ROA)，該晶圓在該晶圓之該前表面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
54. 如請求項53之半導體晶圓，其中該晶圓在該晶圓之該前表面處無大於6 nm之一尺寸的明視野缺陷。
55. 如請求項53之半導體晶圓，其中該晶圓在該晶圓之該前表面處無大於約4.8 nm之一尺寸的明視野缺陷。
56. 如請求項53之半導體晶圓，其中該晶圓具有小於約-400 nm之一厚度ROA。

57. 如請求項53之半導體晶圓，其中該晶圓具有在該晶圓之該圓周邊緣與該半徑之98%之間的一環形邊緣部分，且其中該厚度ROA係藉由以下操作判定：

在厚度量變曲線上之一第一適當點與一第二適當點之間形成一參考線；及

量測該參考線與該晶圓厚度量變曲線之一邊緣部分中之一第三適當點之間的距離。

58. 如請求項57之半導體晶圓，其中：

該第一適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約82.7%；

該第二適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約93.3%；

該第三適當點與該結構之該中心軸線之間的距離為該結構之該半徑之約99.3%。

59. 如請求項57之半導體晶圓，其中將該參考線擬合為一階線性線。

60. 如請求項57之半導體晶圓，其中將該參考線擬合為三階多項式。

61. 如請求項53之半導體晶圓，其中該厚度ROA為一平均厚度ROA。

62. 如請求項61之半導體晶圓，其中該平均厚度ROA為在八個晶圓半徑處所量測之八個厚度ROA的一平均值。

63. 如請求項53之半導體晶圓，其中該晶圓具有小於約-1100 nm/mm²之一前表面zdd。

64. 如請求項53之半導體晶圓，其中該晶圓為一處置晶圓。
65. 如請求項53之半導體晶圓，其中該晶圓為一供體晶圓。
66. 如請求項53之半導體晶圓，其中該半導體晶圓係由單晶矽構成。
67. 如請求項53之半導體晶圓，其中該半導體晶圓為25個晶圓之一群體中的一晶圓，其中每一晶圓具有一中心軸線、大體上垂直於該中心軸線之一前表面及一後表面、結合該前表面與該後表面之一圓周邊緣，及自該中心軸線延伸至該圓周邊緣之一半徑，每一晶圓具有小於約-700 nm之一厚度滾離量(ROA)，該晶圓在該晶圓之該前表面處具有約3個或3個以下之大於約6 nm之一尺寸的明視野缺陷。
68. 如請求項67之半導體晶圓，其中每一晶圓在該晶圓之該前表面處具有約2個或2個以下之大於約6 nm之一尺寸的明視野缺陷。
69. 如請求項67之半導體晶圓，其中每一晶圓在該晶圓之該前表面處無大於6 nm之一尺寸的明視野缺陷。
70. 如請求項67之半導體晶圓，其中每一晶圓在該晶圓之該前表面處具有約6個以下之大於約4.8 nm之一尺寸的明視野缺陷。
71. 如請求項67之半導體晶圓，其中每一晶圓在該晶圓之該前表面處無大於約4.8 nm之一尺寸的明視野缺陷。
72. 如請求項67之半導體晶圓，其中每一晶圓具有小於約-400 nm之一厚度ROA。

八、圖式：

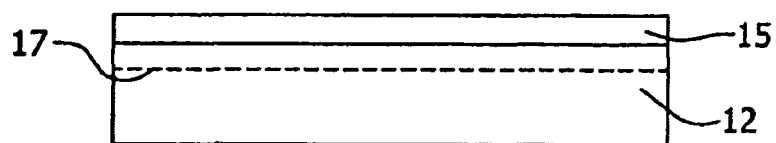


圖1

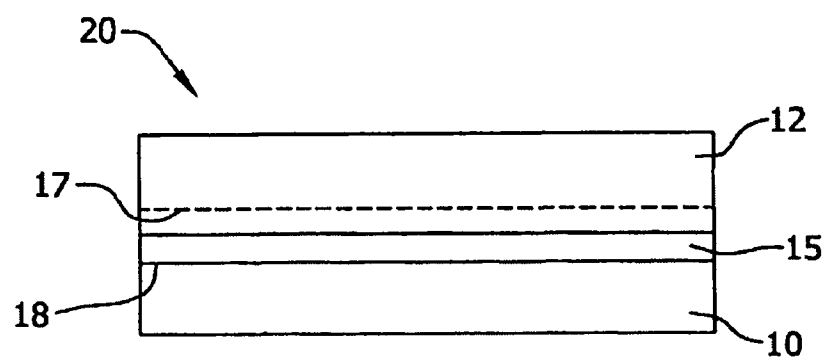


圖2

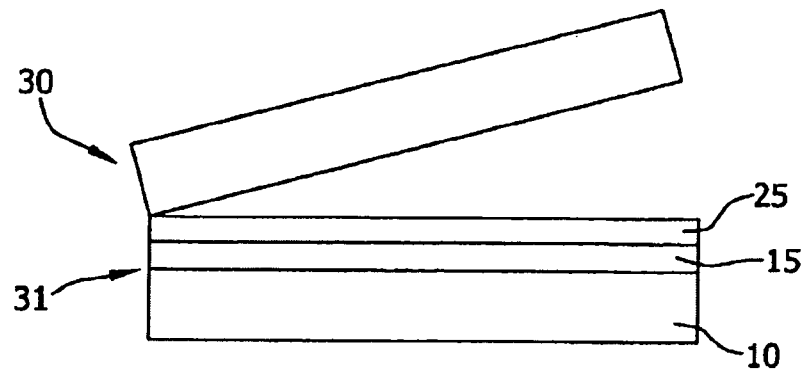


圖3

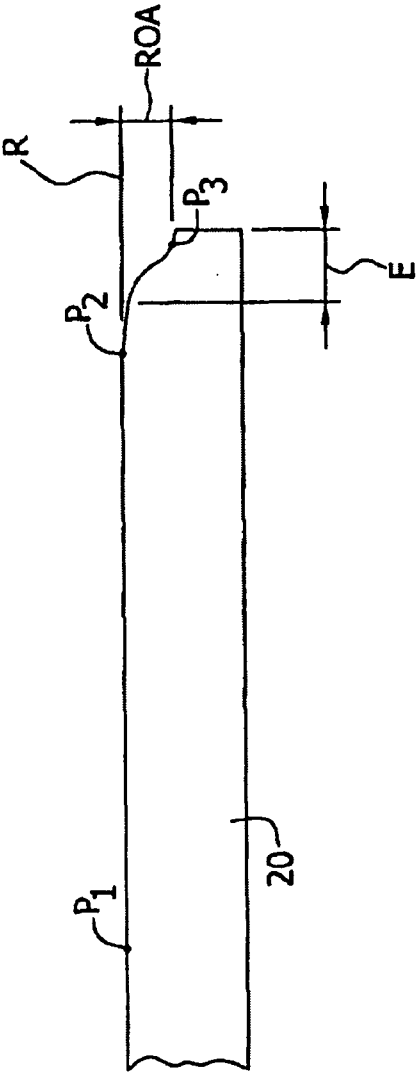


圖4

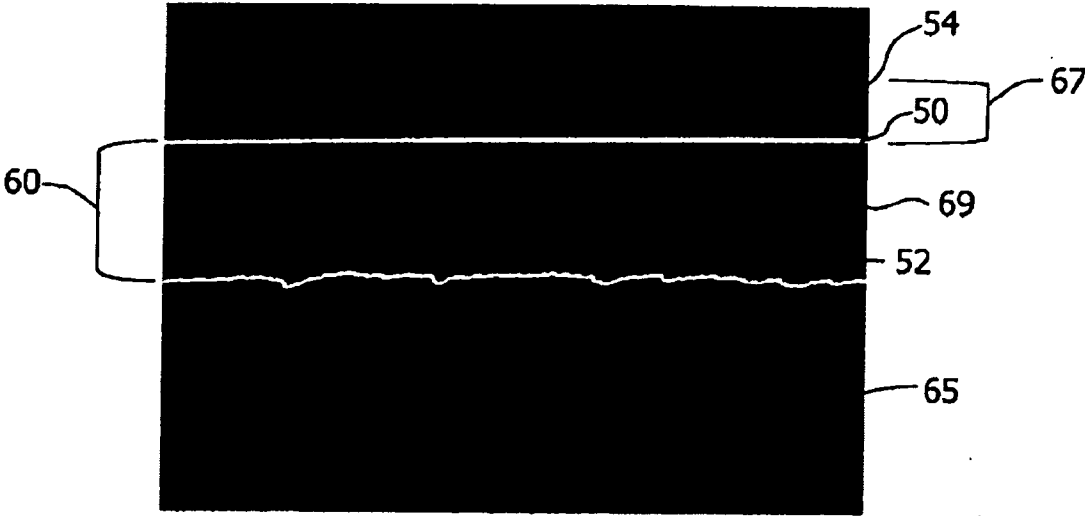


圖5

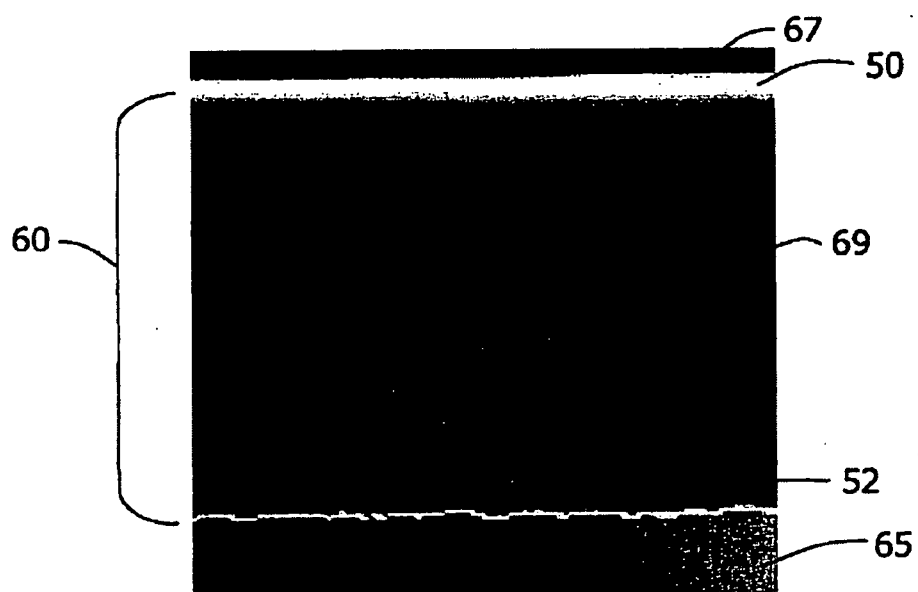


圖6

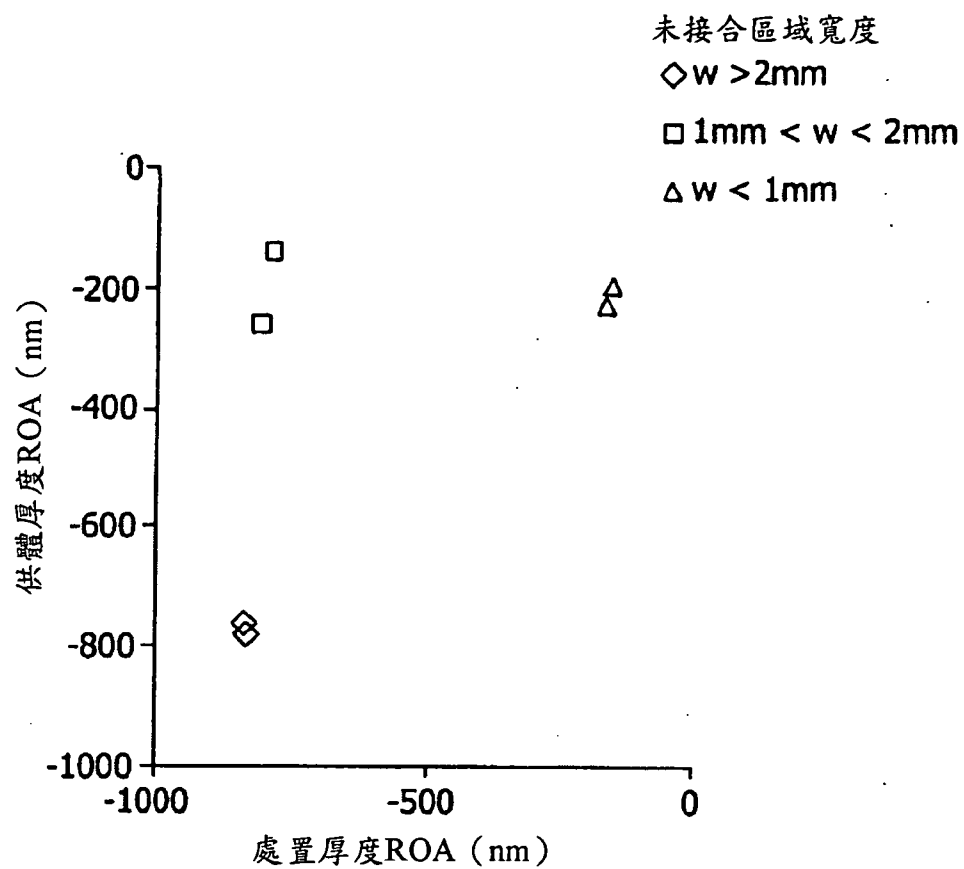


圖7

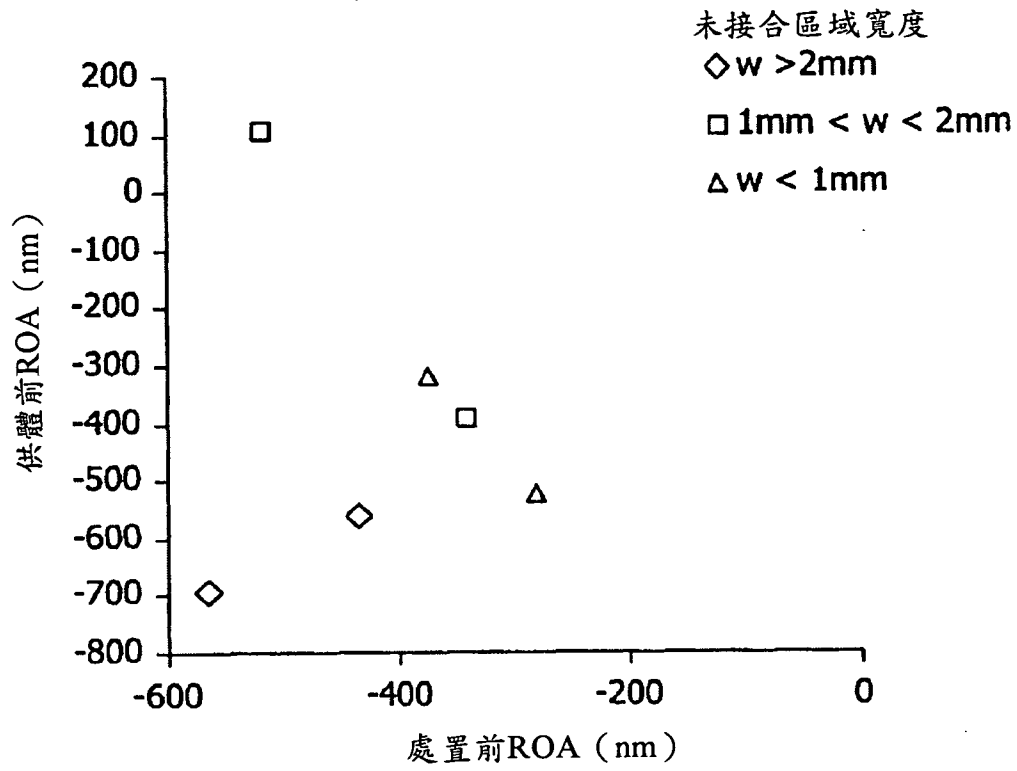


圖 8

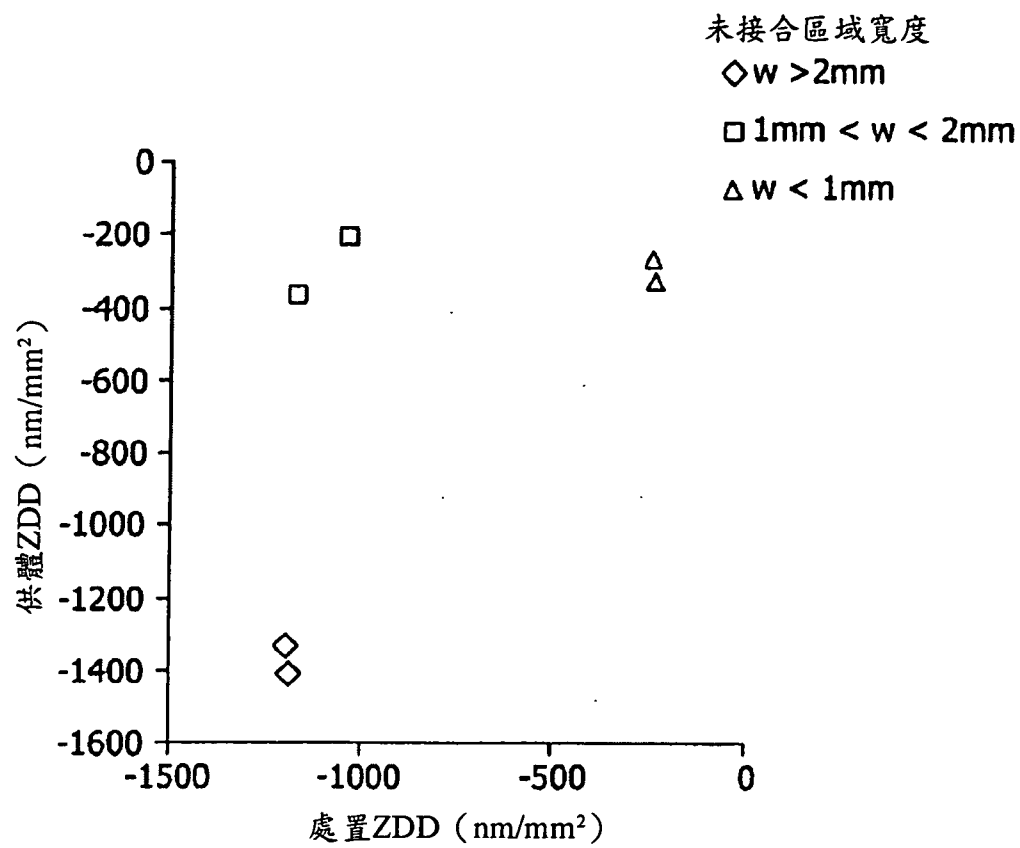


圖9

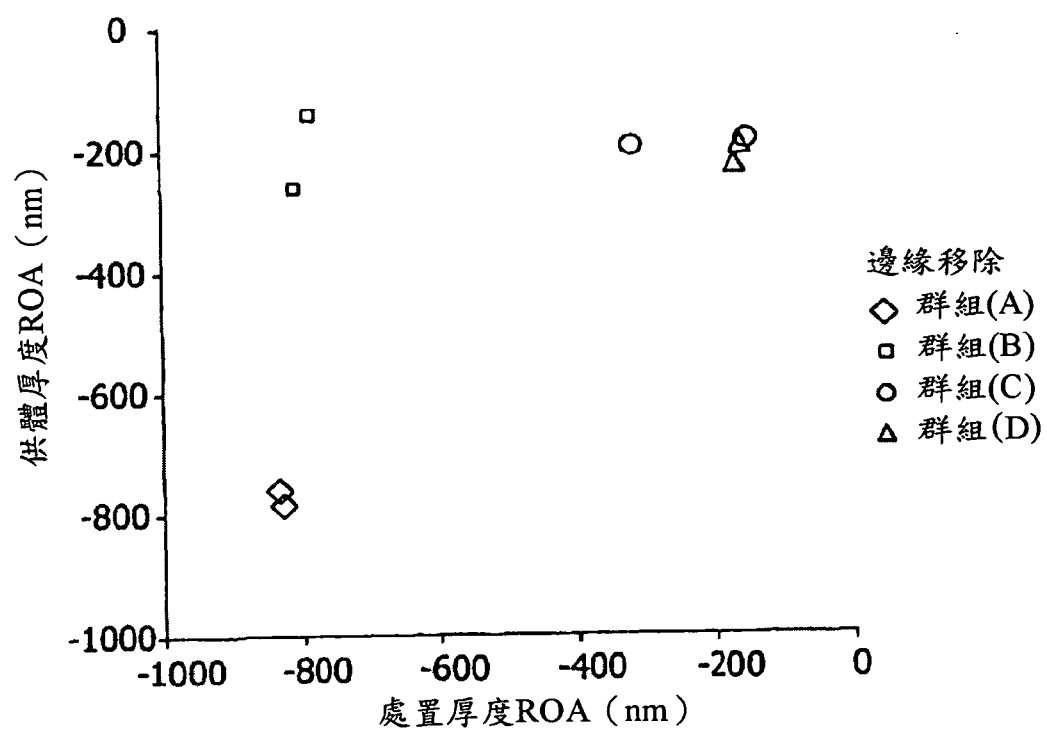


圖10

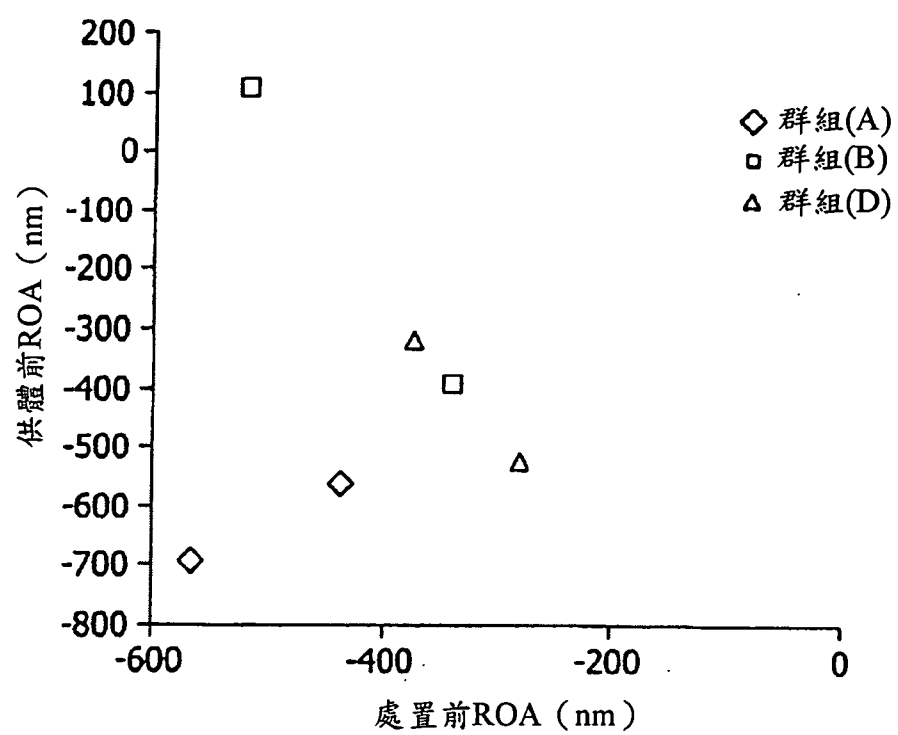


圖 11

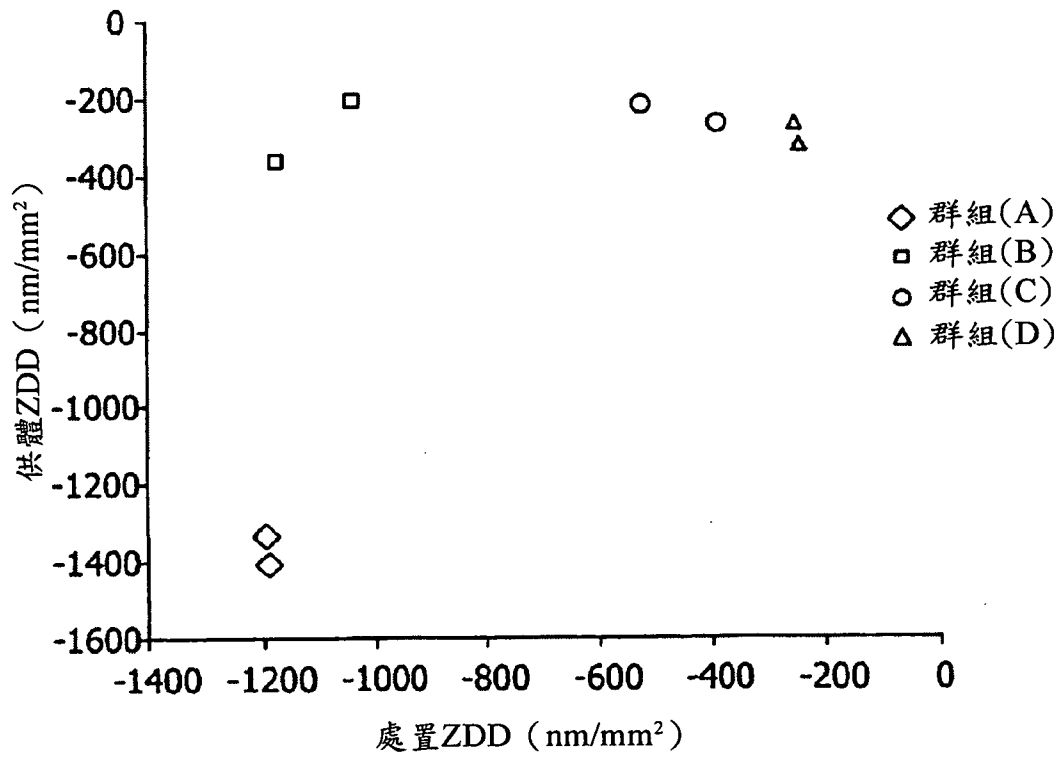


圖12

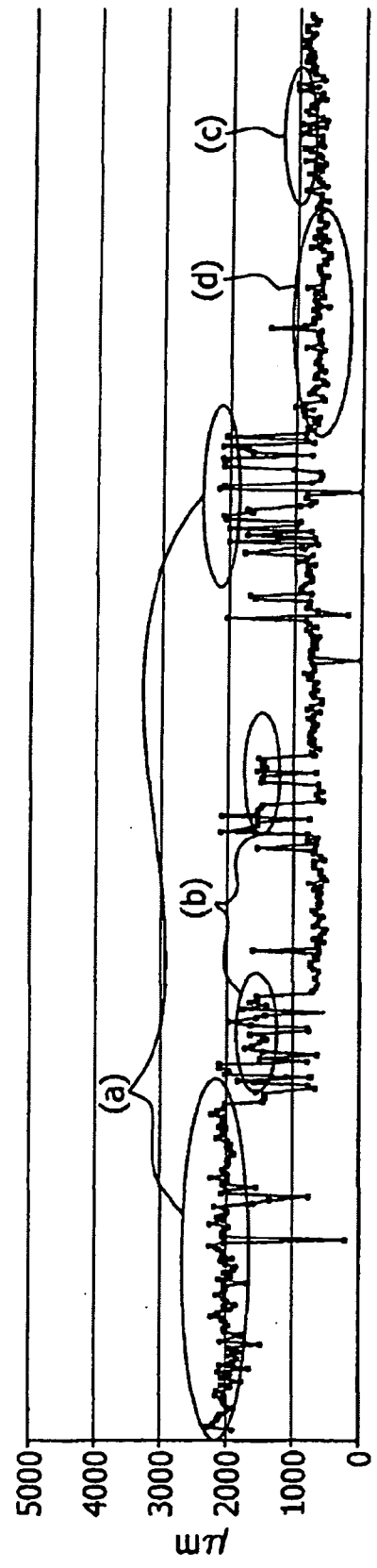


圖13