

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 16 日 (16.05.2024)



(10) 国际公布号
WO 2024/098686 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/092035

(22) 国际申请日: 2023 年 5 月 4 日 (04.05.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211398003.6 2022 年 11 月 9 日 (09.11.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 郭敬云 (GUO, Jingyun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SEMICONDUCTOR STRUCTURE, METHOD FOR FORMING SEMICONDUCTOR STRUCTURE, AND MEMORY

(54) 发明名称: 半导体结构、半导体结构的形成方法及存储器

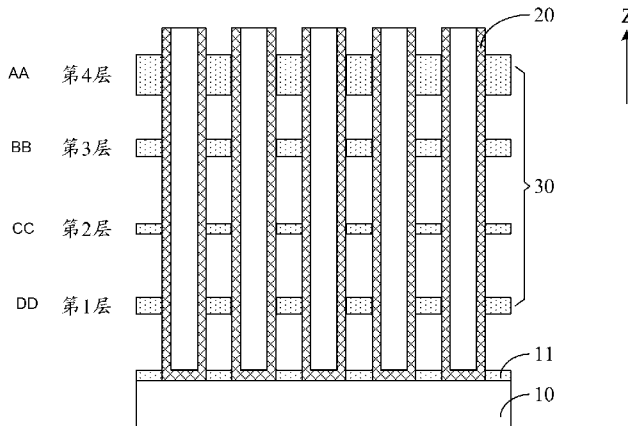


图 1

AA Fourth layer
BB Third layer
CC Second layer
DD First layer

(57) Abstract: Disclosed in the embodiments of the present disclosure are a method for forming a semiconductor structure, a semiconductor structure, and a memory. The semiconductor structure comprises: a plurality of lower electrodes and N support layers, wherein the plurality of lower electrodes separately stand on a substrate; the N support layers are arranged between the plurality of lower electrodes to support the lower electrodes, and are sequentially arranged in a deposition direction of the N support layers; N is greater than or equal to 2; and the anti-etching performance of a first support layer to an Nth support layer is gradually increased layer by layer.

(57) 摘要: 本公开实施例公开了一种半导体结构的形成方法、半导体结构及存储器。其中, 半导体结构包括: 多个下电极和N层支撑层。多个下电极分立于基底之上。N层支撑层设置于多个下电极之间, 以支撑下电极, 且沿其沉积方向依次排布; N大于等于2。其中, 第1层至第N层支撑层的抗刻蚀性能逐层递增。

[见续页]

WO 2024/098686 A1



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体结构、半导体结构的形成方法及存储器

相关申请的交叉引用

本公开基于申请号为 202211398003.6、申请日为 2022 年 11 月 09 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构、半导体结构的形成方法及存储器。

背景技术

动态随机存取存储器（DRAM，Dynamic Random Access Memory）是一种计算机中常用的半导体存储器件，包含排列成矩阵结构的多个存储单元，每个存储单元可由一个晶体管和一个由晶体管操控的电容结构组成，其中，电容结构的质量直接影响到 DRAM 的性能。相关技术中，电容结构出现倒塌或者弯曲的风险较大。

发明内容

有鉴于此，本公开实施例提供了一种半导体结构、半导体结构的形成方法及存储器，能够降低电容结构倒塌或者弯曲的风险，提高半导体结构整体的稳定性和良率。

本公开实施例的技术方案是这样实现的：

本公开实施例提供了一种半导体结构，所述半导体结构包括：多个下电极，分立于基底之上；N 层支撑层，设置于多个所述下电极之间，以支撑所述下电极，且沿其沉积方向依次排布；N 大于等于 2；其中，第 1 层至第 N 层所述支撑层的抗刻蚀性能逐层递增。

上述方案中，N 层所述支撑层的材料包括：硅碳氮材料；其中，第 1 层至第 N 层所述支撑层的碳含量逐层递增。

上述方案中，第 1 层至第 N 层所述支撑层的碳含量，均大于等于 0.24%，且均小于等于 0.3%。

上述方案中，N=4；其中，第 1 层所述支撑层的碳含量为 0.24%，第 2 层所述支撑层的碳含量为 0.26%，第 3 层所述支撑层的碳含量为 0.28%，第 4 层所述支撑层的碳含量为 0.3%。

上述方案中，N 层所述支撑层中，第 N 层所述支撑层的厚度，大于第 1 层至第 N-1 层所述支撑层中任一层的厚度；N 层所述支撑层的厚度之和，小于等于预设阈值。

上述方案中，在所述沉积方向上，第 N 层所述支撑层的顶部高度小于等于任一个所述下电极的顶部高度。

上述方案中，所述半导体结构的制程工艺小于等于 55nm。

本公开实施例还提供了一种半导体结构的形成方法，所述方法包括：提供基底；在所述基底上形成多个分立的下电极；在多个所述下电极之间，依次交替沉积 N 层牺牲层和 N 层支撑层；N 大于等于 2；其中，第 1 层至第 N 层所述支撑层的抗刻蚀性能逐层递增；沿逆沉积方向，依次去除 N 层所述牺牲层，保留 N 层所述支撑层。

上述方案中，沉积 N 层所述支撑层的方法包括：将所述基底置于反应腔内；向反应腔内通入至少含有第一气体和第二气体的混合气体，并进行反应，从而沉积形成每层所述支撑层；其中，所述第一气体的通入流量逐层递减。

上述方案中，所述第一气体包括：氨气；所述第二气体包括：甲烷。

上述方案中，每层所述支撑层对应的所述第一气体的通入流量，均大于等于 160slm，且均小于等于 200slm。

上述方案中，N=4；其中，第 1 层所述支撑层对应的所述第一气体的通入流量为 200slm；第 2 层所述支撑层对应的所述第一气体的通入流量为 180slm；第 3 层所述支撑层对应的所述第一气体的通入流量为 170slm；第 4 层所述支撑层对应的所述第一气体的通入流量为 160slm。

上述方案中，N 层所述牺牲层的材料包括：硼磷硅玻璃和氧化硅。

本公开实施例还提供了一种存储器，所述存储器包括如上述方案中所述的半导体结构。

上述方案中，所述存储器为 DRAM。

由此可见，本公开实施例提供了一种半导体结构的形成方法、半导体结构及存储器。其中，半导体结构包括：多个下电极和 N 层支撑层。多个下电极分立于基底之上。N 层支撑层设置于多个下电极之间，以支撑下电极，且沿其沉积方向依次排布；N 大于等于 2。其中，第 1 层至第 N 层支撑层的抗刻蚀性能逐层递增。由于在形成半导体结构的工艺过程中，位于最顶部的支撑层会受到最多次的刻蚀，最顶部以下的支撑层所受到的刻蚀次数则依次递减。因此，第 1 层至第 N 层支撑层的抗刻蚀性能逐层递增，能够保证各个支撑层具有更优的均匀度，降低了电容结构倒塌或者弯曲的风险，从而提高了半导体结构整体的稳定性和良率。

附图说明

图 1 为本公开实施例提供的半导体结构的示意图一；

图 2 为本公开实施例提供的半导体结构的示意图二；

图 3A 为本公开实施例提供的半导体结构的示意图三；

图 3B 为本公开实施例提供的半导体结构的示意图四；

图 4A 为本公开实施例提供的半导体结构的示意图五；

图 4B 为本公开实施例提供的半导体结构的示意图六；

图 5 为本公开实施例提供的半导体结构的形成方法的流程图一；

图 6 为本公开实施例提供的半导体结构的形成方法的示意图一；

图 7 为本公开实施例提供的半导体结构的形成方法的示意图二；

图 8 为本公开实施例提供的半导体结构的形成方法的示意图三；

图 9 为本公开实施例提供的半导体结构的形成方法的流程图二；

图 10 为本公开实施例提供的半导体结构的效果图；

图 11 为本公开实施例提供的存储器的示意图。

5 具体实施方式

为了使本公开的目的、技术方案和优点更加清楚，下面结合附图和实施例对本公开的技术方案进一步详细阐述，所描述的实施例不应视为对本公开的限制，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本公开保护的范围。

10 在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

如果申请文件中出现“第一/第二”的类似描述则增加以下的说明，在以下的描述中，所涉及的术语“第一/第二/第三”仅仅是区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一/第二/第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

20 在本文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中的层/元件。另外，在一种朝向中，一层/元件位于另一层/元件“上”，当调转朝向时，该层/元件可以位于该另一层/元件“下”。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

25 图 1 是本公开实施例提供的半导体结构的一个可选的结构示意图，图 1 为剖视图。如图 1 所示，半导体结构包括：多个下电极 20 和 N 层支撑层 30。多个下电极 20 分立于基底 10 之上。N 层支撑层 30 设置于多个下电极 20 之间，以支撑下电极 20。N 层支撑层 30 沿其沉积方向 Z 依次排布，N 大于等于 2。其中，第 1 层至第 N 层支撑层 30 的抗刻蚀性能逐层递增。

30 本公开实施例中，参考图 1，基底 10 可以是硅（Si）衬底、绝缘体上硅（SOI）衬底、锗（Ge）衬底、绝缘体上锗（GOI）衬底、硅锗（SiGe）衬底、III-V 族化合物半导体衬底或通过选择性外延生长（SEG）获得的外延薄膜衬底。

35 本公开实施例中，参考图 1，基底 10 上形成了有源区、层间介质层、位线、字线等结构。下电极 20 可以形成于有源区的上方。基底 10 上还形成有介质层 11，介质层 11 位于下电极 20 的底部。

本公开实施例中，参考图 1，下电极 20 的材料可以是金属、导电金属化合物、掺杂多晶硅中的至少一种，比如，高熔点金属（例如，钴、钛、镍、

钨或钼)、金属氮化物(例如,钛氮化物(TiN)、钛硅氮化物(TiSiN)、钛铝氮化物(TiAlN)、钽氮化物(TaN)、钽硅氮化物(TaSiN)、钽铝氮化物(TaAlN)或钨氮化物(WN))、贵金属(例如,铂(Pt)、钌(Ru)或铱(Ir))、导电贵金属氧化物(例如,PtO、RuO₂或IrO₂)和/或导电氧化物(例如,SrRuO₃、RuO₃、CaRuO₃)中的一种或多种。

图2为图1对应的立体结构图。结合图1和图2,多个下电极20分立排列,每个下电极20均沿方向Z延伸。N层支撑层30则设置于多个下电极20之间,以支撑下电极20,防止下电极20倒塌或者弯曲;每层支撑层30均沿垂直于方向Z的平面延伸。

需要说明的是,图1和图2示例出了N=4的情况,即支撑层30的数量为4层,这并非是对本公开实施例的限制。本公开实施例中,支撑层30的数量N还可以为其他大于等于2的整数,例如N=3,5,6或7等。

参考图1和图2,4层支撑层30沿其沉积方向Z依次排布,也就是说,介质层11的上方依次形成了第1至4层支撑层30,第4层支撑层30位于最顶部。

需要说明的是,在形成N层支撑层30的过程中,会在N层支撑层30之间的空隙处同时沉积形成牺牲层。直至所有的支撑层30和牺牲层都形成后,再沿逆沉积方向(即与沉积支撑层30相反的方向),依次刻蚀去除牺牲层,而保留支撑层30。因此,位于最顶部的支撑层30(即图1和图2中的第4层支撑层30),会受到最多次的刻蚀;最顶部以下的支撑层30所受到的刻蚀次数则依次递减。也就是说,参考图1和图2,第4层支撑层30会受到最多次的刻蚀,进而,第3层支撑层30所受到的刻蚀次数小于第4层支撑层30,第2层支撑层30所受到的刻蚀次数则小于第3层支撑层30,第1层支撑层30所受到的刻蚀次数则小于第2层支撑层30。

本公开实施例中,参考图1和图2,第1层至第4层支撑层30的抗刻蚀性能逐层递增,也就是说,第1层支撑层30的抗刻蚀性能最低,第4层支撑层30的抗刻蚀性能最高。这样,保证了在刻蚀去除牺牲层后,各个支撑层30具有更优的WIW uniformity(with in wafer uniformity,晶圆内部厚度均匀度),从而,能够对下电极20起到有效的支撑作用,降低了下电极20倒塌或者弯曲的风险,也即降低了电容结构倒塌或者弯曲的风险,提高稳定性。同时,能够减小电容间漏电(Cell leakage, Cell LKG)情况的发生,提高整体性能和良率。

在本公开的一些实施例中,参考图3A和图3B(图3A为剖视图,图3B为俯视图),下电极20和上电极21的形状可以均为筒型。下电极20、上电极21和介质层22共同构成了电容结构,其中,下电极20和上电极21构成电容结构的两极,介质层22则填充于下电极20和上电极21之间。

在本公开的另一些实施例中,参考图4A和图4B(图4A为剖视图,图4B为俯视图),下电极20的形状可以是筒型,上电极21的形状可以是套筒型。下电极20、上电极21和介质层22共同构成了电容结构,类似的,下电

极 20 和上电极 21 构成电容结构的两极，介质层 22 则填充于下电极 20 和上电极 21 之间。

在本公开的一些实施例中，参考图 1，N 层支撑层 30 的材料包括：硅碳氮（SiCN）材料。其中，第 1 层至第 N 层支撑层 30 的碳含量逐层递增。

5 本公开实施例中，以 SiCN 材料形成的支撑层 30，具有极高的硬度、高温抗氧化性、高温蠕变抗力、低摩擦系数、可调的光学特性和许多其他的优良特性，能够对下电极 20 形成有效的支撑作用。进而，可以利用 LPCVD（低压化学气相沉积）工艺、PECVD（等离子体增强化学的气相沉积法）工艺或 ALD（原子层沉积）工艺等，来形成 SiCN 材料的支撑层 30。

10 本公开实施例中，参考图 1，第 2 层至第 N 层支撑层 30 的碳含量逐层递增。由于在 SiCN 材料中，C-Si 键比 N-Si 键更加稳定。而支撑层 30 中碳含量越高，则碳元素和硅元素的结合量越高，C-Si 键的比例越高，从而，支撑层 30 具有更强的抗刻蚀性能。

可以理解的是，以 SiCN 材料形成 N 层支撑层 30，同时，第 2 层至第 N 层支撑层 30 的碳含量逐层递增，这样，第 2 层至第 N 层支撑层 30 的碳含量逐层递增，保证了在刻蚀去除牺牲层后，各个支撑层 30 具有更优的均匀度，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，参考图 1，每层支撑层 30 的碳含量，均大于等于 0.24%，且均小于等于 0.3%。

20 在本公开的一些实施例中，参考图 1，在 N=4 的情况下，第 1 层支撑层的碳含量为 0.24%，第 2 层支撑层的碳含量为 0.26%，第 3 层支撑层的碳含量为 0.28%，第 4 层支撑层的碳含量为 0.3%。

在本公开的一些实施例中，参考图 1，N 层支撑层 30 中，第 N 层支撑层 30 的厚度，大于第 1 层至第 N-1 层支撑层 30 中任一层的厚度。也就是说，图 1 中的第 4 层支撑层 30 的厚度，大于第 1 层至第 3 层支撑层 30 中任一层的厚度。

可以理解的是，由于位于顶部的第 N 层支撑层 30，会受到最多次的刻蚀，因此，设置第 N 层支撑层 30 的厚度大于其他任一层支撑层 30 的厚度，能够提升第 N 层支撑层 30 的强度，保证了各个支撑层 30 具有更优的均匀度，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，参考图 1，N 层支撑层 30 的厚度之和，小于等于预设阈值。

结合图 1、图 3A 和图 3B，或者结合图 1、图 4A 和图 4B，支撑层 30 会对电容结构中的介质层 22 的沉积产生影响；若 N 层支撑层 30 的厚度之和过大，则会对介质层 22 的沉积产生较大影响，从而影响到所形成的电容结构的性能。因此，在形成 N 层支撑层 30 的过程中，控制 N 层支撑层 30 的厚度之和小于等于预设阈值，这样，能够避免对介质层 22 的沉积产生较大影响，从而保证了所形成的电容结构的性能稳定。

在本公开的一些实施例中，参考图 1，在沉积方向 Z 上，第 N 层支撑层

30 的顶部高度小于等于任一个下电极 20 的顶部高度。这样，能够保证 N 层支撑层 30 对下电极 20 形成有效的支撑，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，图 1 和图 2 示出的半导体结构，其制程工艺小于等于 55nm，其晶圆 (wafer) 尺寸大于等于 8 英寸。这里，制程工艺是指集成电路中器件的特征尺寸，其反映了集成电路的精细度和集成度；制程工艺越小，则集成电路的精细度和集成度越高。晶圆尺寸则反映了生产集成电路所用的原材料晶圆的大小，晶圆尺寸越大则工艺水平越高。

图 5 是本公开实施例提供的半导体结构的形成方法的可选的流程示意图，将结合图 5 示出的步骤进行说明。

S101、提供基底。

本公开实施例中，参考图 6 (图 6 为剖视图)，基底 10 可以是硅 (Si) 衬底、绝缘体上硅 (SOI) 衬底、锗 (Ge) 衬底、绝缘体上锗 (GOI) 衬底、硅锗 (SiGe) 衬底、III-V 族化合物半导体衬底或通过选择性外延生长 (SEG) 获得的外延薄膜衬底。

S102、在基底上形成多个分立的下电极。

本公开实施例中，参考图 6，基底 10 上形成了有源区、层间介质层、位线、字线等结构。进而，多个下电极 20 可以形成于有源区的上方。基底 10 上还形成有介质层 11，介质层 11 位于下电极 20 的底部。多个下电极 20 分立排列，每个下电极 20 均沿方向 Z 延伸。

本公开实施例中，继续参考图 6，下电极 20 的材料可以是金属、导电金属化合物、掺杂多晶硅中的至少一种，比如，高熔点金属 (例如，钴、钛、镍、钨或钼)、金属氮化物 (例如，钛氮化物 (TiN)、钛硅氮化物 (TiSiN)、钛铝氮化物 (TiAlN)、钽氮化物 (TaN)、钽硅氮化物 (TaSiN)、钽铝氮化物 (TaAlN) 或钨氮化物 (WN))、贵金属 (例如，铂 (Pt)、钌 (Ru) 或铱 (Ir))、导电贵金属氧化物 (例如，PtO、RuO₂ 或 IrO₂) 和/或导电氧化物 (例如，SrRuO₃、RuO₃、CaRuO₃) 中的一种或多种。每个下电极 20 均可以构成电容结构的一极。

S103、在多个下电极之间，依次交替沉积 N 层牺牲层和 N 层支撑层；其中，第 1 层至第 N 层支撑层的抗刻蚀性能逐层递增。

图 7 为图 6 对应的立体结构图。结合图 6 和图 7，在多个下电极 20 之间，依次交替沉积了 N 层牺牲层 40 和 N 层支撑层 30。其中，每层牺牲层 40，位于相邻两层支撑层 30 之间，或者，位于介质层 11 和第 1 层支撑层 30 之间。N 层支撑层 30 则设置于多个下电极 20 之间，以支撑下电极 20，防止下电极 20 倒塌或者弯曲；每层支撑层 30 均沿垂直于方向 Z 的平面延伸。

需要说明的是，图 6 和图 7 示例出了 N=4 的情况，即支撑层 30 的数量为 4 层，这并非是对本公开实施例的限制。本公开实施例中，数量 N 还可以为其他大于等于 2 的整数，例如 N=3,5,6 或 7 等。

本公开实施例中，第 1 层至第 N 层支撑层 30 的抗刻蚀性能逐层递增。也

就是说,在图 6 和图 7 中,第 1 层至第 4 层支撑层 30 的抗刻蚀性能逐层递增,第 1 层支撑层 30 的抗刻蚀性能最低,第 4 层支撑层 30 的抗刻蚀性能最高。

S104、沿逆沉积方向,依次去除 N 层牺牲层,保留 N 层支撑层。

本公开实施例中,参考图 8,可以在最顶部的第 4 层支撑层 30 上先形成
5 若干个刻蚀孔 50,再采用湿法刻蚀(Wet Etch)工艺,将位于第 3 层和第 4 层支撑层 30 之间的第 4 层牺牲层 40 去除;而后,可以在第 3 层支撑层 30 上形成若干个刻蚀孔 50,并采用湿法刻蚀(Wet Etch)工艺,将位于第 2 层和第 3 层支撑层 30 之间的第 3 层牺牲层 40 去除;依此类推,直至将位于介质层 11 和第 1 层支撑层 30 之间的第 1 层牺牲层 40 去除。这样,便沿与沉积方向 Z 相逆的方向,依次去除了 N 层牺牲层 40,保留 N 层支撑层 30,从而,
10 可以得到如图 1 和图 2 所示的半导体结构。

可以理解的是,由于在去除 N 层牺牲层 40 的过程中,位于最顶部的支撑层 30(即第 N 层支撑层 30),会受到最多次的刻蚀;最顶部以下的支撑层 30 所受到的刻蚀次数则依次递减。因此,第 1 层至第 N 层支撑层 30 的抗刻蚀性能逐层递增,能够保证在去除了 N 层牺牲层 40 后,各个支撑层 30 具有更优的均匀度,降低了下电极 20 倒塌或者弯曲的风险。
15

在本公开的一些实施例中,可以采用图 9 示出的 S201 和 S202 来形成图 6 中的 N 层支撑层 30,将结合各步骤进行说明。

S201、将基底置于反应腔内。

本公开实施例中,形成支撑层的过程需要在反应腔(chamber)中完成。反应腔为一密闭的空间,反应腔中的气体氛围、温度和电磁场等条件可以被人为控制,从而达到工艺目的。
20

S202、向反应腔内通入至少含有第一气体和第二气体的混合气体,并进行反应,从而沉积形成每层支撑层;其中,第一气体的通入流量逐层递减。

本公开实施例中,参考图 6,可以利用 LPCVD 工艺、PECVD 工艺或 ALD 工艺等,来形成支撑层 30。其中,第一气体和第二气体为两种反应气体。通过控制第一气体的通入流量,可以控制反应生成的支撑层中的元素比例,从而控制支撑层 30 的抗刻蚀性能。
25

本公开实施例中,参考图 6, N 层支撑层 30 的材料包括:硅碳氮(SiCN)材料。第一气体包括:氨气(NH₃);第二气体包括:甲烷(CH₄)。
30

在一些实施例中,可以控制第一气体氨气的通入流量,使得在形成第 1 层至第 N 层支撑层 30 的过程中,第一气体氨气的通入流量逐层递减。这样,能够使得第 1 层至第 N 层支撑层 30 的碳含量逐层递增。

在另一些实施例中,可以控制第二气体甲烷的通入流量,使得在形成第 1 层至第 N 层支撑层 30 的过程中,第二气体甲烷的通入流量逐层递增。这样,同样能够使得第 1 层至第 N 层支撑层 30 的碳含量逐层递增。
35

本公开实施例中,由于在 SiCN 材料中,C-Si 键比 N-Si 键更加稳定,因此,支撑层 30 中碳含量越高,则碳元素和硅元素的结合量越高,C-Si 键的比例越高,支撑层 30 具有更强的抗刻蚀性能。图 10 示出了 SiCN 材料的抗刻蚀

性能与氮化物比率的关系，由图 10 可知，氮化物比率越低，即碳含量越高，则抗刻蚀性能越高。

可以理解的是，以 SiCN 材料形成 N 层支撑层 30，同时，第 2 层至第 N 层支撑层 30 的碳含量逐层递增，这样，第 2 层至第 N 层支撑层 30 的碳含量逐层递增，保证了在刻蚀去除牺牲层后，各个支撑层 30 具有更优的均匀度，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，每层支撑层对应的第一气体的通入流量，均大于等于 160slm，且均小于等于 200slm。

在本公开的一些实施例中，参考图 6，第 1 层支撑层对应的第一气体的通入流量为 200slm；第 2 层支撑层对应的第一气体的通入流量为 180slm；第 3 层支撑层对应的第一气体的通入流量为 170slm；第 4 层支撑层对应的第一气体的通入流量为 160slm。相应的，第 1 层支撑层的碳含量为 0.24%，第 2 层支撑层的碳含量为 0.26%，第 3 层支撑层的碳含量为 0.28%，第 4 层支撑层的碳含量为 0.3%。

本公开实施例中，参考图 6，介质层 11 的材料也可以包括：硅碳氮 (SiCN) 材料。也可以向反应腔内通入至少含有第一气体氨气和第二气体甲烷的混合气体，并进行反应，从而沉积形成介质层 11。介质层 11 对应的第一气体氨气的通入流量可以为 20slm。

在本公开的一些实施例中，参考图 6，N 层支撑层 30 中，第 N 层支撑层 30 的厚度，大于第 1 层至第 N-1 层支撑层 30 中任一层的厚度。也就是说，图 6 中的 4 层支撑层 30 的厚度，大于第 1 层至第 3 层支撑层 30 中任一层的厚度。

可以理解的是，由于位于顶部的第 N 层支撑层 30，会受到最多次的刻蚀，因此，设置第 N 层支撑层 30 的厚度大于其他任一层支撑层 30 的厚度，能够提升第 N 层支撑层 30 的强度，保证了各个支撑层 30 具有更优的均匀度，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，参考图 6，N 层支撑层 30 的厚度之和，小于等于预设阈值。

可以理解的是，由于支撑层 30 会对电容结构中的介质层 22 的沉积产生影响，因此，在形成 N 层支撑层 30 的过程中，控制 N 层支撑层 30 的厚度之和小于等于预设阈值，这样，能够避免对介质层 22 的沉积产生较大影响，从而保证了所形成的电容结构的性能稳定。

在本公开的一些实施例中，参考图 6，在沉积方向 Z 上，第 N 层支撑层 30 的顶部高度小于等于任一个下电极 20 的顶部高度。这样，能够保证 N 层支撑层 30 对下电极 20 形成有效的支撑，降低了下电极 20 倒塌或者弯曲的风险。

在本公开的一些实施例中，参考图 6 和图 7，N 层牺牲层 40 的材料包括：硼磷硅玻璃 (BPSG) 和氧化硅。

本公开实施例中，以图 6 和图 7 为例，可以在形成了介质层 11 之后，沉积一层 BPSG 材料；而后，形成第 1 层 SiCN 材料的支撑层 30，再沉积一层

BPSG 材料；而后，形成第 2 层 SiCN 材料的支撑层 30，再沉积一层氧化硅材料；而后，形成第 3 层 SiCN 材料的支撑层 30，再沉积一层氧化硅材料；最后，形成第 4 层 SiCN 材料的支撑层 30。这样，便形成了图 6 和图 7 示出的 4 层支撑层 30 和 4 层牺牲层 40。

本公开实施例还提供了一种存储器，如图 11 所示，存储器 90 包括半导体结构 80。半导体结构 80 包括如图 1 和图 2 所示出的结构。

在本公开的一些实施例中，参考图 11，存储器 90 为 DRAM。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种半导体结构的形成方法、半导体结构及存储器。其中，半导体结构包括：多个下电极和 N 层支撑层。多个下电极分立于基底之上。N 层支撑层设置于多个下电极之间，以支撑下电极，且沿其沉积方向依次排布；N 大于等于 2。其中，第 1 层至第 N 层支撑层的抗刻蚀性能逐层递增。

由于在形成半导体结构的工艺过程中，位于最顶部的支撑层会受到最多次的刻蚀，最顶部以下的支撑层所受到的刻蚀次数则依次递减。因此，第 1 层至第 N 层支撑层的抗刻蚀性能逐层递增，能够保证各个支撑层具有更优的均匀度，降低了电容结构倒塌或者弯曲的风险，从而提高了半导体结构整体的稳定性和良率。

权利要求书

1、一种半导体结构，所述半导体结构包括：

多个下电极（20），分立于基底（10）之上；

N 层支撑层（30），设置于多个所述下电极（20）之间，以支撑所述下电
5 极（20），且沿其沉积方向依次排布；N 大于等于 2；其中，第 1 层至第 N 层
所述支撑层（30）的抗刻蚀性能逐层递增。

2、根据权利要求 1 所述的半导体结构，其中，N 层所述支撑层（30）的
材料包括：硅碳氮材料；其中，

第 1 层至第 N 层所述支撑层（30）的碳含量逐层递增。

10 3、根据权利要求 2 所述的半导体结构，其中，每层所述支撑层（30）的
碳含量，均大于等于 0.24%，且均小于等于 0.3%。

4、根据权利要求 2 或 3 所述的半导体结构，其中，N=4；其中，第 1 层
所述支撑层（30）的碳含量为 0.24%，第 2 层所述支撑层（30）的碳含量为
0.26%，第 3 层所述支撑层（30）的碳含量为 0.28%，第 4 层所述支撑层（30）
15 的碳含量为 0.3%。

5、根据权利要求 1 至 4 任一项所述的半导体结构，其中，

N 层所述支撑层（30）中，第 N 层所述支撑层（30）的厚度，大于第 1
层至第 N-1 层所述支撑层（30）中任一层的厚度；

N 层所述支撑层（30）的厚度之和，小于等于预设阈值。

20 6、根据权利要求 1 至 5 任一项所述的半导体结构，其中，

在所述沉积方向上，第 N 层所述支撑层（30）的顶部高度小于等于任一
个所述下电极（20）的顶部高度。

7、根据权利要求 1 至 6 任一项所述的半导体结构，其中，

所述半导体结构的制程工艺小于等于 55nm。

25 8、一种半导体结构的形成方法，所述方法包括：

提供基底 (10);

在所述基底 (10) 上形成多个分立的下电极 (20);

在多个所述下电极 (20) 之间, 依次交替沉积 N 层牺牲层 (40) 和 N 层支撑层 (30); N 大于等于 2; 其中, 第 1 层至第 N 层所述支撑层 (30) 的抗
5 刻蚀性能逐层递增;

沿逆沉积方向, 依次去除 N 层所述牺牲层 (40), 保留 N 层所述支撑层 (30)。

9、根据权利要求 8 所述的半导体结构的形成方法, 其中, 沉积 N 层所述支撑层 (30) 的方法包括:

10 将所述基底 (10) 置于反应腔内;

向反应腔内通入至少含有第一气体和第二气体的混合气体, 并进行反应, 从而沉积形成每层所述支撑层 (30); 其中, 所述第一气体的通入流量逐层递减。

10、根据权利要求 9 所述的半导体结构的形成方法, 其中, 所述第一气体包括: 氨气; 所述第二气体包括: 甲烷。
15

11、根据权利要求 10 所述的半导体结构的形成方法, 其中, 每层所述支撑层 (30) 对应的所述第一气体的通入流量, 均大于等于 160slm, 且均小于等于 200slm。

12、根据权利要求 10 或 11 所述的半导体结构的形成方法, 其中, N=4;
20 其中,

第 1 层所述支撑层 (30) 对应的所述第一气体的通入流量为 200slm;

第 2 层所述支撑层 (30) 对应的所述第一气体的通入流量为 180slm;

第 3 层所述支撑层 (30) 对应的所述第一气体的通入流量为 170slm;

第 4 层所述支撑层 (30) 对应的所述第一气体的通入流量为 160slm。

13、根据权利要求 8 至 12 任一项所述的半导体结构的形成方法, 其中, N 层所述牺牲层 (40) 的材料包括: 硼磷硅玻璃和氧化硅。
25

14、一种存储器 (90), 所述存储器包括如权利要求 1 至 7 任一项所述的半导体结构 (80)。

15、根据权利要求 14 所述的存储器 (90), 其中, 所述存储器 (90) 为 DRAM。

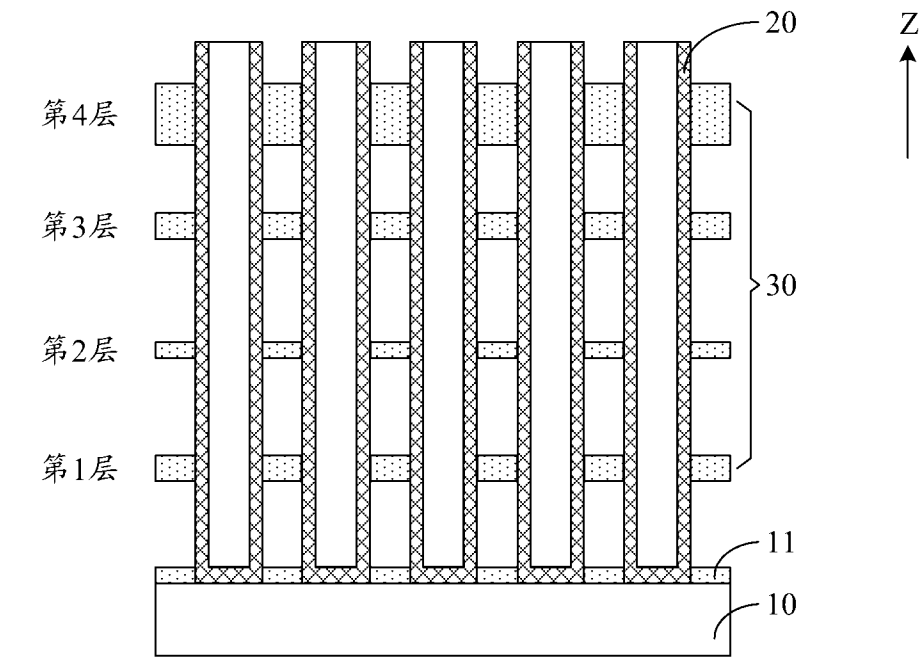


图 1

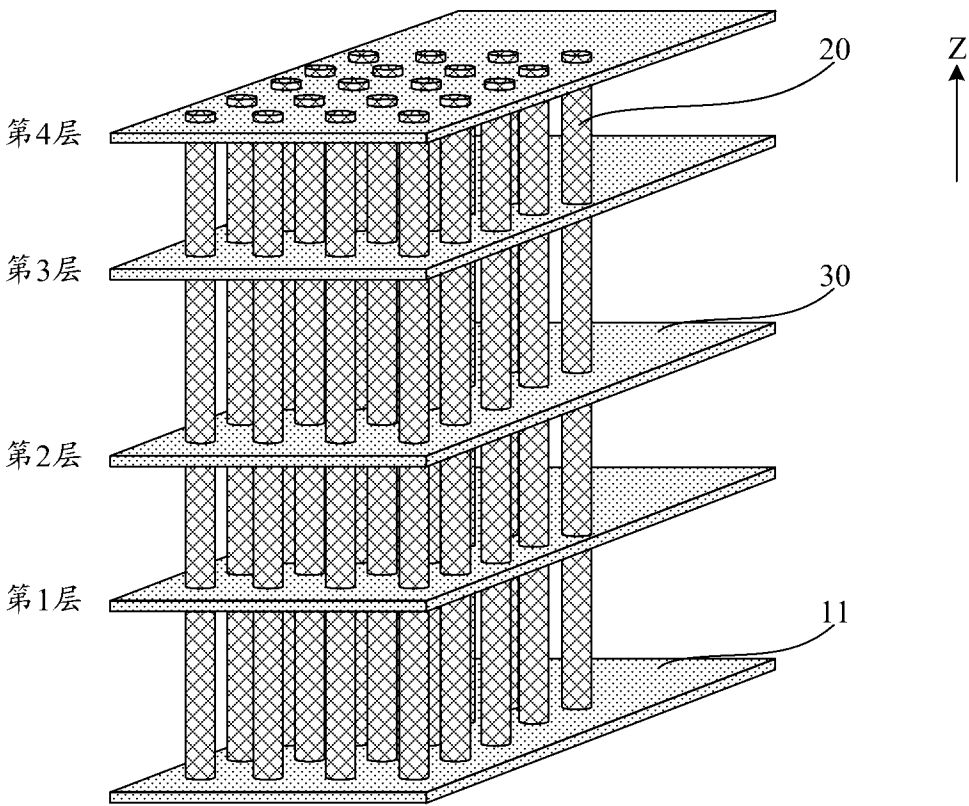


图 2

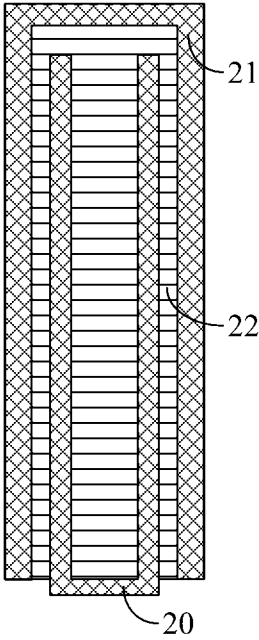


图 3A

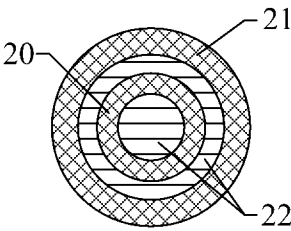


图 3B

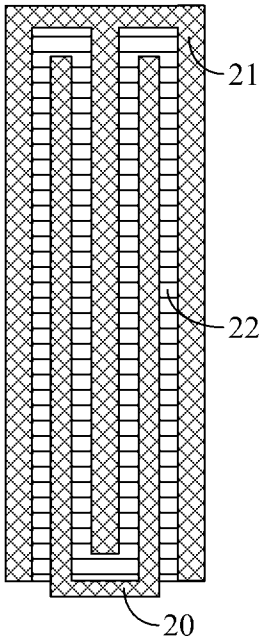


图 4A

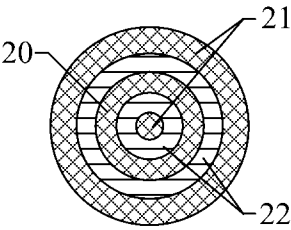


图 4B

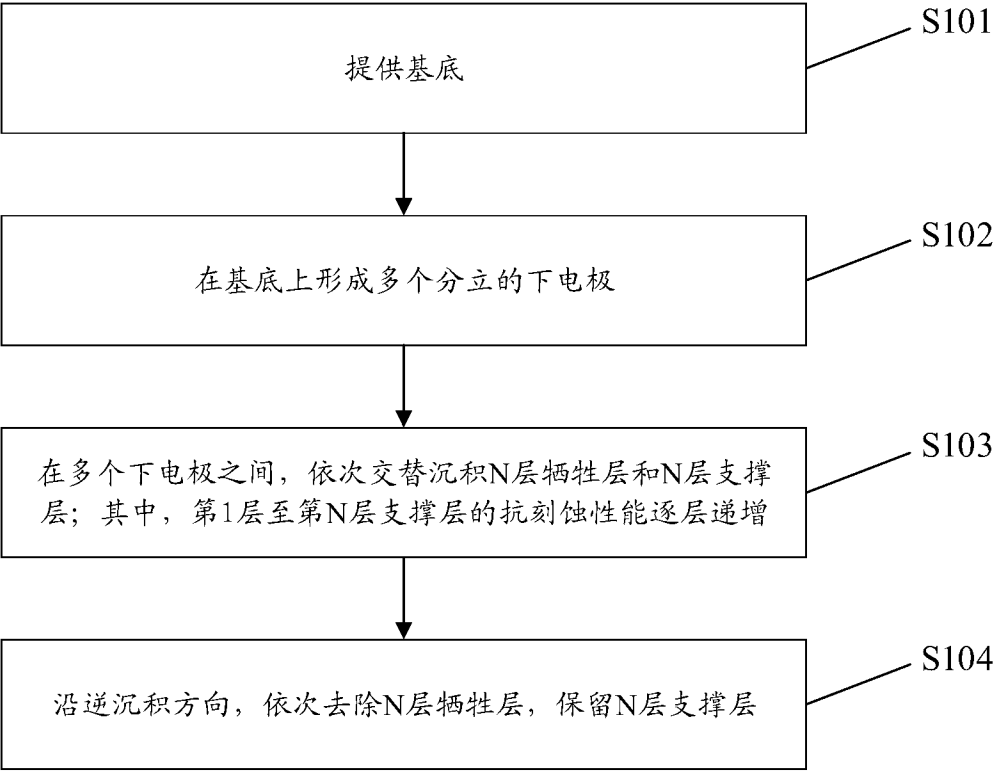


图 5

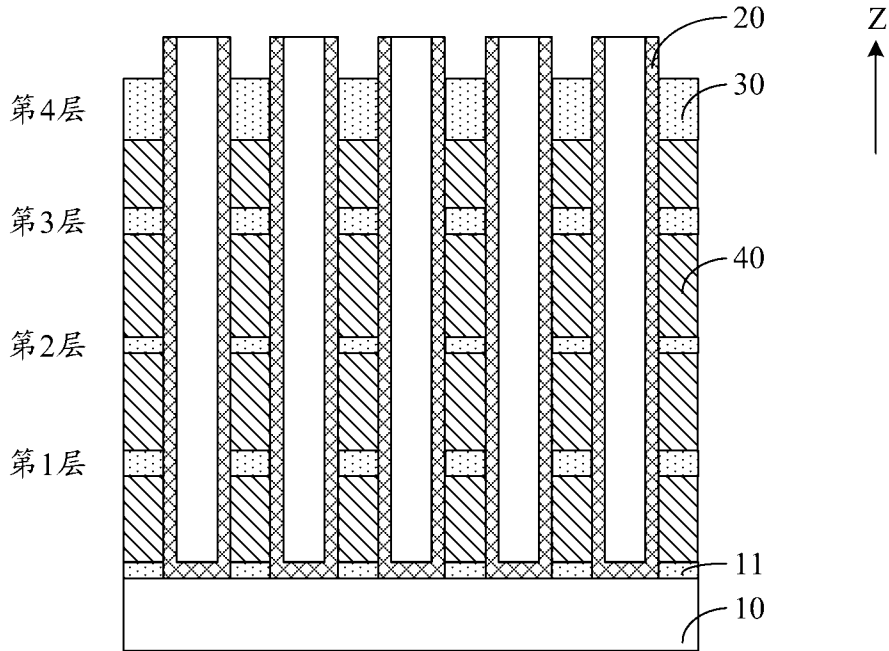


图 6

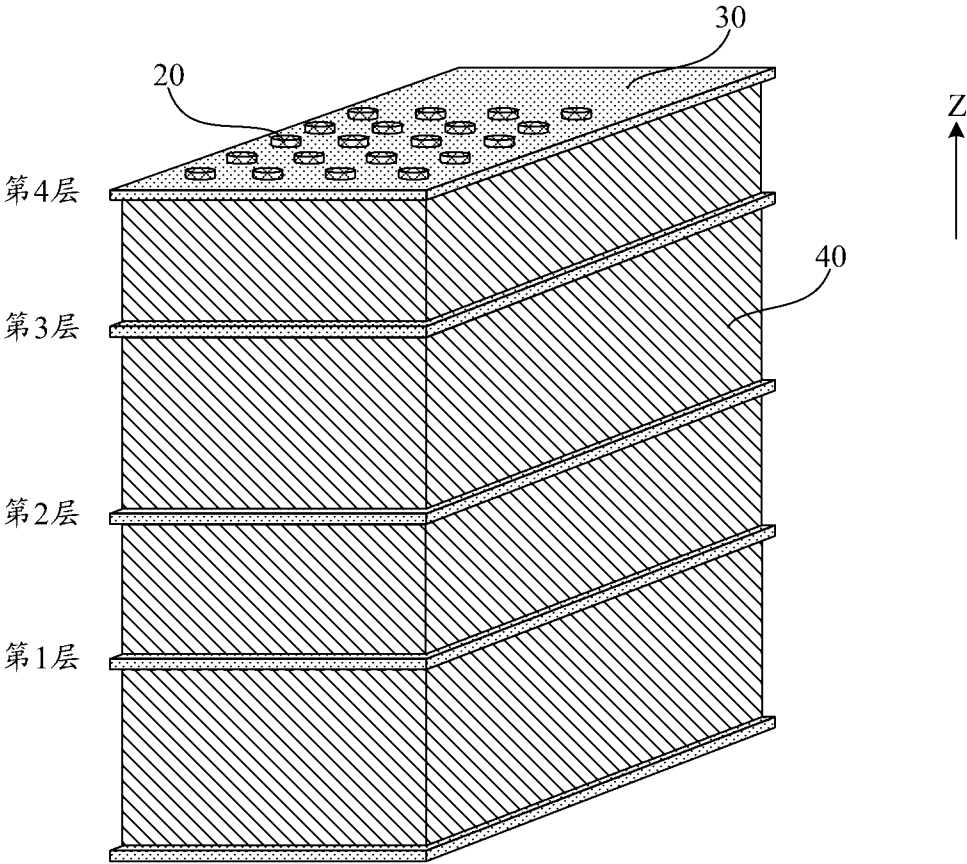


图 7

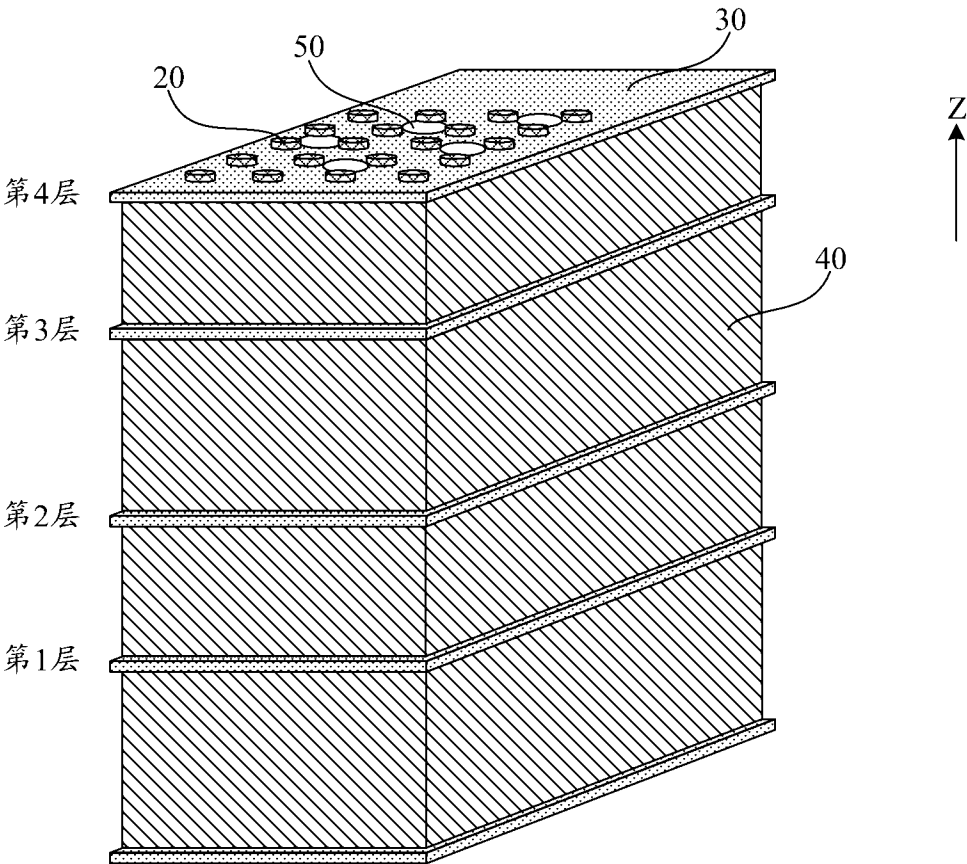


图 8

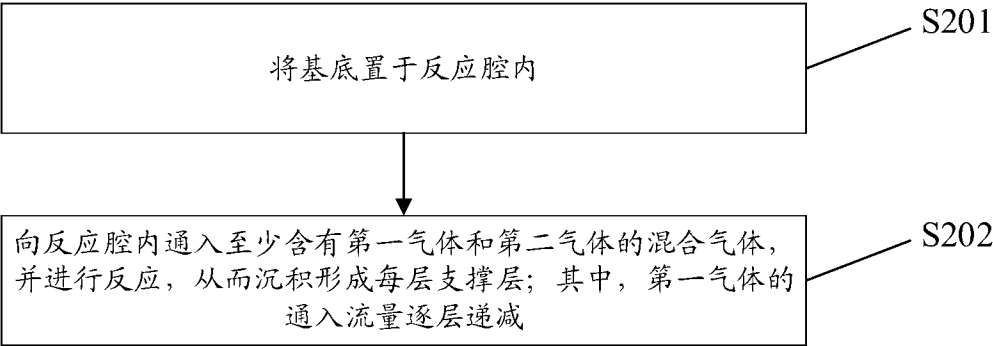


图 9

抗刻蚀性能

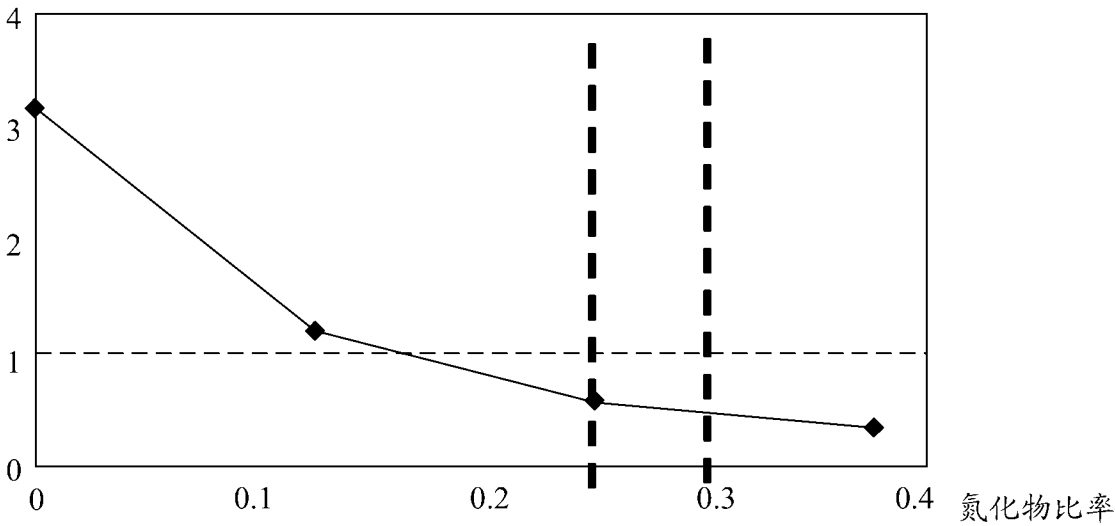


图 10

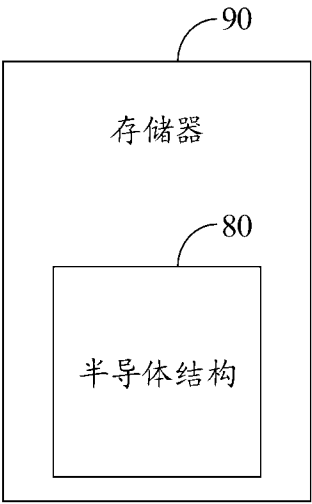


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/092035

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; CNKI; VEN; USTXT; EPTXT; WOTXT: 支撑, 支承, 弯曲, 坍塌, 存储器, 电容, 电极, 刻蚀, 蚀刻, 速率, 硬度, 碳氮化硅, 硅碳氮, 掺碳, support+, bow+, collaps+, electrode, etch+, rate, carbon+, SiCN

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012235279 A1 (SEO JUNGWOO et al.) 20 September 2012 (2012-09-20) description, paragraphs [0117]-[0151], and figures 1A-2B	1, 5-8, 13-15
Y	US 2012235279 A1 (SEO JUNGWOO et al.) 20 September 2012 (2012-09-20) description, paragraphs [0117]-[0151], and figures 1A-2B	2-4, 9-12
Y	US 2013228837 A1 (ELPIDA MEMORY INC.) 05 September 2013 (2013-09-05) description paragraphs [0072]-[0081], and figures 12A, 12B	2-4, 9-12
X	CN 113345835 A (SK HYNIX INC.) 03 September 2021 (2021-09-03) description paragraphs [0018]-[0120], and figures 1A-3	1, 5-8, 13-15
Y	CN 113345835 A (SK HYNIX INC.) 03 September 2021 (2021-09-03) description paragraphs [0018]-[0120], and figures 1A-3	2-4, 9-12
A	CN 112908968 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 June 2021 (2021-06-04) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 June 2023

Date of mailing of the international search report

23 June 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/092035**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20170134038 A (SAMSUNG ELECTRONICS CO., LTD.) 06 December 2017 (2017-12-06) entire document	1-15
A	CN 112530948 A (SAMSUNG ELECTRONICS CO., LTD.) 19 March 2021 (2021-03-19) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/092035

Patent document cited in search report				Publication date (day/month/year)				Patent family member(s)				Publication date (day/month/year)			
US	2012235279	A1	20 September 2012	US	2015102462	A1	16 April 2015	US	9449977	B2	20 September 2016	US	8912629	B2	16 December 2014
				KR	20120104810	A	24 September 2012	KR	101800419	B1	23 November 2017	US	2016343716	A1	24 November 2016
				US	2016343716	A1	24 November 2016	US	9853032	B2	26 December 2017				
US	2013228837	A1	05 September 2013	US	2016035730	A1	04 February 2016								
CN	113345835	A	03 September 2021	US	2021272959	A1	02 September 2021	US	11271073	B2	08 March 2022	KR	20210110969	A	10 September 2021
				US	2022157928	A1	19 May 2022								
CN	112908968	A	04 June 2021	CN	112908968	B	10 June 2022								
KR	20170134038	A	06 December 2017	US	2017345886	A1	30 November 2017	US	10170541	B2	01 January 2019	US	2021057518	A1	25 February 2021
				US	11626476	B2	11 April 2023	US	2019131386	A1	02 May 2019	US	10490623	B2	26 November 2019
				US	2020083319	A1	12 March 2020	US	10879345	B2	29 December 2020	KR	102473658	B1	02 December 2022
CN	112530948	A	19 March 2021	DE	102020111636	A1	18 March 2021	DE	102020111636	B4	21 April 2022	US	2021082844	A1	18 March 2021
				US	11114398	B2	07 September 2021	KR	20210032844	A	25 March 2021				

国际检索报告

国际申请号

PCT/CN2023/092035

A. 主题的分类 H10B12/00 (2023.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC: H10B 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT; CNABS; CNKI; VEN; USTXT; EPTXT; WOTXT; 支撑, 支承, 弯曲, 坍塌, 存储器, 电容, 电极, 刻蚀, 蚀刻, 速率, 硬度, 碳氮化硅, 硅碳氮, 掺碳, support+, bow+, collaps+, electrode, etch+, rate, carbon+, SiCN		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2012235279 A1 (SEO JUNGWOO 等) 2012年9月20日 (2012 - 09 - 20) 说明书第[0117]-[0151]段, 附图1A-2B	1, 5-8, 13-15
Y	US 2012235279 A1 (SEO JUNGWOO 等) 2012年9月20日 (2012 - 09 - 20) 说明书第[0117]-[0151]段, 附图1A-2B	2-4, 9-12
Y	US 2013228837 A1 (ELPIDA MEMORY INC) 2013年9月5日 (2013 - 09 - 05) 说明书第[0072]-[0081]段, 附图12A, 12B	2-4, 9-12
X	CN 113345835 A (爱思开海力士有限公司) 2021年9月3日 (2021 - 09 - 03) 说明书第[0018]-[0120]段, 附图1A-3	1, 5-8, 13-15
Y	CN 113345835 A (爱思开海力士有限公司) 2021年9月3日 (2021 - 09 - 03) 说明书第[0018]-[0120]段, 附图1A-3	2-4, 9-12
A	CN 112908968 A (长鑫存储技术有限公司) 2021年6月4日 (2021 - 06 - 04) 全文	1-15
A	KR 20170134038 A (SAMSUNG ELECTRONICS CO LTD) 2017年12月6日 (2017 - 12 - 06) 全文	1-15
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年6月6日		国际检索报告邮寄日期 2023年6月23日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 刘恋恋 电话号码 (+86) 0512-88995955

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 112530948 A（三星电子株式会社）2021年3月19日（2021 - 03 - 19） 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/092035

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
US	2012235279	A1	2012年9月20日	US	2015102462	A1	2015年4月16日		
				US	9449977	B2	2016年9月20日		
				US	8912629	B2	2014年12月16日		
				KR	20120104810	A	2012年9月24日		
				KR	101800419	B1	2017年11月23日		
				US	2016343716	A1	2016年11月24日		
				US	9853032	B2	2017年12月26日		
US	2013228837	A1	2013年9月5日	US	2016035730	A1	2016年2月4日		
CN	113345835	A	2021年9月3日	US	2021272959	A1	2021年9月2日		
				US	11271073	B2	2022年3月8日		
				KR	20210110969	A	2021年9月10日		
				US	2022157928	A1	2022年5月19日		
CN	112908968	A	2021年6月4日	CN	112908968	B	2022年6月10日		
KR	20170134038	A	2017年12月6日	US	2017345886	A1	2017年11月30日		
				US	10170541	B2	2019年1月1日		
				US	2021057518	A1	2021年2月25日		
				US	11626476	B2	2023年4月11日		
				US	2019131386	A1	2019年5月2日		
				US	10490623	B2	2019年11月26日		
				US	2020083319	A1	2020年3月12日		
				US	10879345	B2	2020年12月29日		
				KR	102473658	B1	2022年12月2日		
CN	112530948	A	2021年3月19日	DE	102020111636	A1	2021年3月18日		
				DE	102020111636	B4	2022年4月21日		
				US	2021082844	A1	2021年3月18日		
				US	11114398	B2	2021年9月7日		
				KR	20210032844	A	2021年3月25日		