

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年6月14日(2007.6.14)

【公開番号】特開2004-362761(P2004-362761A)

【公開日】平成16年12月24日(2004.12.24)

【年通号数】公開・登録公報2004-050

【出願番号】特願2004-166016(P2004-166016)

【国際特許分類】

G 1 1 C 13/00 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

【F I】

G 1 1 C 13/00 A

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 A

【手続補正書】

【提出日】平成19年4月24日(2007.4.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体メモリ装置のプログラミング方法において、
 セットパルスを前記メモリ装置に印加する段階と、
 前記セットパルスが印加される間、前記メモリ装置の状態を検出する段階と、
 前記メモリ装置が所望のセット状態にあれば、前記メモリ装置の状態に応じて前記セットパルスの幅が制御されるように前記セットパルスを除去する段階と、
 を含むことを特徴とするプログラミング方法。

【請求項2】

前記メモリ装置がリセット状態にある場合、前記メモリ装置の相変化物質は、非結晶状態であることを特徴とする請求項1に記載のプログラミング方法。

【請求項3】

前記メモリ装置がセット状態にある場合、前記メモリ装置の相変化物質は、結晶状態であることを特徴とする請求項1に記載のプログラミング方法。

【請求項4】

前記メモリ装置がリセット状態にある場合、前記メモリ装置の相変化物質は、非結晶状態であることを特徴とする請求項3に記載のプログラミング方法。

【請求項5】

前記メモリ装置の状態を検出する段階は、前記メモリ装置の抵抗を検出することを特徴とする請求項1に記載のプログラミング方法。

【請求項6】

前記検出された抵抗は、前記メモリ装置の相変化物質の抵抗であることを特徴とする請求項5に記載のプログラミング方法。

【請求項7】

前記相変化物質の非結晶状態における抵抗は、前記相変化物質の結晶状態における抵抗より大きいことを特徴とする請求項6に記載のプログラミング方法。

【請求項 8】

前記メモリ装置の状態を検出する段階は、前記メモリ装置のビットラインの電圧を検出することを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 9】

前記セットパルスを前記メモリ装置に印加する段階は、前記メモリ装置に対する前記セットパルスの印加を制御する制御信号を発生させることを特徴とする請求項 8 に記載のプログラミング方法。

【請求項 10】

前記制御信号は、書込み活性信号に応答して前記セットパルスを活性化させるために発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 11】

前記制御信号は、前記セットパルスを活性化させるために発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 12】

前記制御信号は、前記検出されたビットライン電圧が基準電圧より低い場合、前記セットパルスを除去するために発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 13】

前記基準電圧は、前記メモリ装置の相変化物質のセットプログラミング電圧であることを特徴とする請求項 12 に記載のプログラミング方法。

【請求項 14】

前記制御信号は、前記検出されたビットライン電圧が基準電圧と同じである場合、前記セットパルスを除去するために発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 15】

前記メモリ装置がリセット状態からセット状態にプログラミングされる場合、前記制御信号は、前記メモリ装置がリセット状態からセット状態に遷移されるまでの間は前記セットパルスを印加し、リセット状態からセット状態への遷移の後には前記セットパルスを除去するように、発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 16】

前記メモリ装置がリセット状態からセット状態にプログラミングされる場合、前記制御信号は、前記検出されたビットライン電圧が基準電圧より大きい間は前記セットパルスを印加し、前記検出されたビットライン電圧が基準電圧より小さくなると前記セットパルスを除去するように、発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 17】

前記メモリ装置がセット状態からセット状態にプログラミングされる場合、前記制御信号は、書込み活性信号に応答して印加され、前記検出されたビットライン電圧が基準電圧より小さい場合に除去されるように、発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 18】

前記メモリ装置がセット状態からセット状態にプログラミングされる場合、前記制御信号は、書込み活性信号に応答して印加され、前記検出されたビットライン電圧が基準電圧と同じである場合に除去されるように、発生することを特徴とする請求項 9 に記載のプログラミング方法。

【請求項 19】

セットパルスを前記メモリ装置に印加する段階は、前記メモリ装置のビットラインに電流を印加することを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 20】

前記メモリ装置の状態を検出する段階は、前記電流が前記ビットラインに印加される間、前記ビットラインの電圧を検出することを特徴とする請求項 19 に記載のプログラミン

グ方法。

【請求項 2 1】

セットパルスを前記メモリ装置に印加する段階は、前記セットパルスの前記メモリ装置への印加を制御する制御信号を発生させることを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 2 2】

前記メモリ装置は、相変化物質を備えることを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 2 3】

前記相変化物質は、ゲルマニウム、アンチモン、及びテルルを含むことを特徴とする請求項 2 2 に記載のプログラミング方法。

【請求項 2 4】

前記メモリ装置は、少なくとも一つのカルコゲナイド素子を含むことを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 2 5】

前記メモリ装置のリセット電流は、前記メモリ装置のセット電流より大きいことを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 2 6】

リセットパルス幅は、セットパルス幅より狭いことを特徴とする請求項 1 に記載のプログラミング方法。

【請求項 2 7】

メモリ装置の状態を検出する検出回路と、
前記メモリ装置にセットパルスを印加するコントローラとを備え、
前記コントローラは、前記メモリ装置が所望のセット状態にあれば、前記メモリ装置の状態に応じて前記セットパルスの幅が制御されるように前記セットパルスを除去する、
ことを特徴とする半導体メモリ装置。

【請求項 2 8】

相変化物質をさらに具備し、前記相変化物質は、第 1 状態で非結晶状態であることを特徴とする請求項 2 7 に記載の半導体メモリ装置。

【請求項 2 9】

相変化物質をさらに具備し、前記相変化物質は、第 1 状態で結晶状態であることを特徴とする請求項 2 7 に記載の半導体メモリ装置。

【請求項 3 0】

前記相変化物質は、第 2 状態で非結晶状態であることを特徴とする請求項 2 9 に記載の半導体メモリ装置。

【請求項 3 1】

前記検出回路は、前記メモリ装置の抵抗を検出することを特徴とする請求項 2 7 に記載の半導体メモリ装置。

【請求項 3 2】

前記検出された抵抗は、前記メモリ装置の相変化物質の抵抗であることを特徴とする請求項 3 1 に記載の半導体メモリ装置。

【請求項 3 3】

前記検出回路は、前記メモリ装置のビットラインの電圧を検出することを特徴とする請求項 2 7 に記載の半導体メモリ装置。

【請求項 3 4】

前記検出回路は、センスアンプ回路を含むことを特徴とする請求項 3 3 に記載の半導体メモリ装置。

【請求項 3 5】

前記センスアンプ回路は、前記ビットラインの電圧と基準電圧とを比較することを特徴とする請求項 3 4 に記載の半導体メモリ装置。

【請求項 36】

前記基準電圧は、前記メモリ装置の相変化物質のセットプログラミング電圧であることを特徴とする請求項 35 に記載の半導体メモリ装置。

【請求項 37】

前記コントローラは、前記メモリ装置への前記セットパルスの印加を制御する制御信号を発生する制御信号発生部を含むことを特徴とする請求項 33 に記載の半導体メモリ装置。

【請求項 38】

前記制御信号は、書込み活性信号に応答して前記セットパルスを活性化させるために発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 39】

前記制御信号は、前記セットパルスを活性化させるために発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 40】

前記制御信号は、前記検出されたビットライン電圧が基準電圧より低い場合、前記セットパルスを除去するために発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 41】

前記制御信号は、前記検出されたビットライン電圧が基準電圧と同じである場合、前記セットパルスを除去するために発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 42】

前記メモリ装置がリセット状態からセット状態にプログラミングされる場合、前記制御信号は、前記メモリ装置がリセット状態からセット状態に遷移される間は前記セットパルスを印加し、リセット状態からセット状態への遷移の後には前記セットパルスを除去するように、発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 43】

前記メモリ装置がリセット状態からセット状態にプログラミングされる場合、前記制御信号は、前記検出されたビットライン電圧が基準電圧より大きい間は前記セットパルスを印加し、前記検出されたビットライン電圧が基準電圧より小さくなると前記セットパルスを除去するように、発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 44】

前記メモリ装置がセット状態からセット状態にプログラミングされる場合、前記制御信号は、書込み活性信号に応答して印加され、前記検出されたビットライン電圧が基準電圧より小さい場合に除去されるように、発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 45】

前記メモリ装置がセット状態からセット状態にプログラミングされる場合、前記制御信号は、書込み活性信号に応答して印加され、前記検出されたビットライン電圧が基準電圧と同じである場合に除去されるように、発生することを特徴とする請求項 37 に記載の半導体メモリ装置。

【請求項 46】

前記メモリ装置のビットラインに電流を印加するドライバーをさらに備えることを特徴とする請求項 27 に記載の半導体メモリ装置。

【請求項 47】

前記ドライバーは、セット活性信号に応答して前記ビットラインにセット電流を印加することを特徴とする請求項 46 に記載の半導体メモリ装置。

【請求項 48】

前記ドライバーは、リセット活性信号に応答して前記ビットラインにリセット電流を印加することを特徴とする請求項 46 に記載の半導体メモリ装置。

【請求項 49】

前記検出回路は、前記電流が前記ビットラインに印加される間、前記ビットラインの電圧を検出することを特徴とする請求項 46 に記載の半導体メモリ装置。

【請求項 50】

前記コントローラは、前記メモリ装置への前記セットパルスの印加を制御する制御信号を発生する制御信号発生部を含むことを特徴とする請求項 27 に記載の半導体メモリ装置。

【請求項 51】

前記メモリ装置は、相変化物質を備えることを特徴とする請求項 27 に記載の半導体メモリ装置。

【請求項 52】

前記相変化物質は、ゲルマニウム、アンチモン、及びテルルを含むことを特徴とする請求項 51 に記載の半導体メモリ装置。

【請求項 53】

前記メモリ装置は、少なくとも一つのカルコゲナイド素子を含むことを特徴とする請求項 27 に記載の半導体メモリ装置。

【請求項 54】

前記メモリ装置のリセット電流は、前記メモリ装置のセット電流より大きいことを特徴とする請求項 27 に記載の半導体メモリ装置。

【請求項 55】

リセットパルス幅は、セットパルス幅より狭いことを特徴とする請求項 27 に記載の半導体メモリ装置。