

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



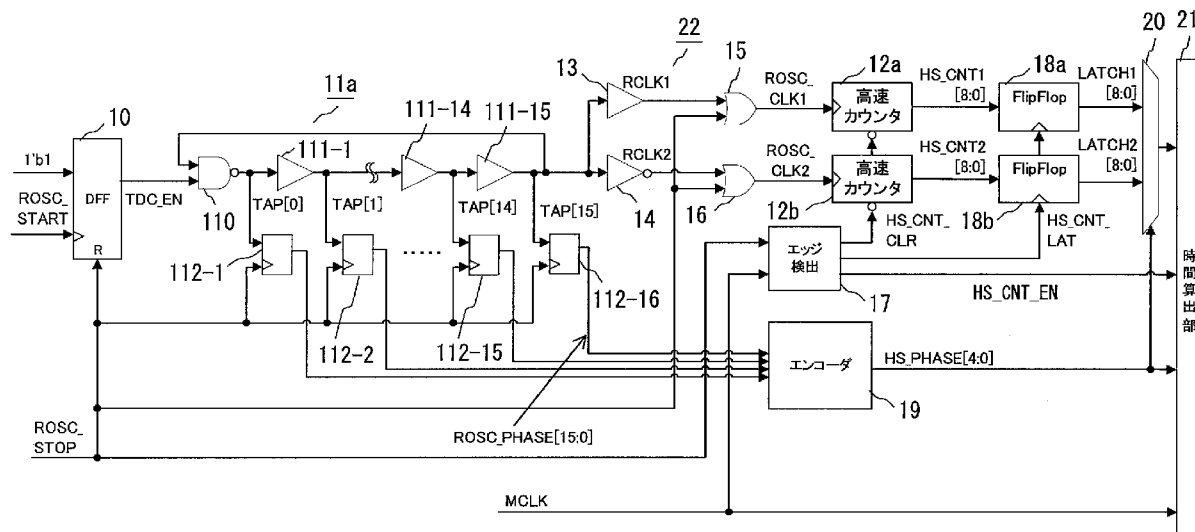
(10) 国際公開番号

WO 2020/196009 A1

- (51) 国際特許分類:
G04F 10/04 (2006.01)
- (21) 国際出願番号: PCT/JP2020/011377
- (22) 国際出願日: 2020年3月16日(16.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-062885 2019年3月28日(28.03.2019) JP
- (71) 出願人: アズビル株式会社 (AZBIL CORPORATION) [JP/JP]; 〒1006419 東京都千代田区丸の内2丁目7番3号 Tokyo (JP).
- (72) 発明者: 栗林 英毅 (KURIBAYASHI, Hideki); 〒1006419 東京都千代田区丸の内2丁目7番3号 アズビル株式会社内 Tokyo (JP).
- (74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: TIME MEASUREMENT CIRCUIT

(54) 発明の名称: 時間計測回路



12a, 12b High speed counter
17 Edge detection
19 Encoder
21 Time calculation unit

(57) Abstract: In order to implement a low power consumption operation and accurate time measurement, this time measurement circuit is provided with: a logic circuit (22) which masks, with a stop signal ROSC_STOP, each of a high speed clock (RCLK1) and a high speed clock RCLK2 that is inverted from the high speed clock RCLK1; high speed counters (12a, 12b) which respectively count the high speed clocks ROSC_CLK1, ROSC_CLK2 that have been masked with the stop signal ROSC_STOP; a selector (20) which selects, among the count results from the high speed counters

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(12a, 12b), the count result obtained from the counter on the side in which a clock input, the time width of which is not acceptable, does not occur; and a time calculation unit (21) which calculates, on the basis of the count result selected by the selector (20), a time interval from the input of a start signal RO SC _ START to the input of the stop signal RO SC _ STOP.

(57) 要約：低消費電力動作と正確な時間計測を実現するために、時間計測回路は、高速クロック（R C L K 1）と、高速クロック R C L K 1 を反転させた高速クロック R C L K 2 をそれぞれ停止信号 R O S C _ S T O P でマスクする論理回路（2 2）と、停止信号 R O S C _ S T O P でマスクされた高速クロック R O S C _ C L K 1, R O S C _ C L K 2 を数える高速カウンタ（1 2 a, 1 2 b）と、高速カウンタ（1 2 a, 1 2 b）の計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するセレクタ（2 0）と、セレクタ（2 0）によって選択された計数結果を基に開始信号 R O S C _ S T A R T の入力から停止信号 R O S C _ S T O P の入力までの時間間隔を算出する時間算出部（2 1）とを備える。

明 細 書

発明の名称： 時間計測回路

技術分野

[0001] 本発明は、高精度な時間測定を行うことが可能な時間計測回路に関する。

背景技術

[0002] p s e c オーダーの高分解能な時間測定を行う場合、論理回路のゲート遅延を用いる T D C (Time-to-Digital Converter) と呼ばれる手法 (非特許文献 1 参照) が広く知られている。この T D C は、D L L (Delay Locked Loop)、または P L L (Phase Locked Loop) をベースとした構成とするのが一般的である。しかし、D L L や P L L はクロックの発振の安定化に時間を要するので、時間計測開始前に T D C を動作させておく必要があり、低消費電力化の実現が難しいという問題点があった。

[0003] 例えばガスメータ向け超音波流量計は、超音波の伝搬時間差を低消費電力かつ高精度、高分解能で測定する必要があるため、高速カウンタの動作期間 (高速クロックの発振期間) をできる限り短くする必要がある。しかし、上記のとおり D L L 方式の T D C と P L L 方式の T D C は遅延回路の発振安定化に時間を要するため、高速クロックの発振期間が長くなり消費電力面で不利である。

[0004] T D C の動作時間 (高速クロックの発振時間) を最小にして、低消費電力動作を目指す場合、例えば特許文献 1 に開示されたリングオシレータ型の構成が考えられる。

図 2 5 は、従来のリングオシレータ型 T D C の構成を示す回路図である。リングオシレータ型 T D C は、D フリップフロップ回路 1 0 と、リングオシレータ 1 1 と、高速カウンタ 1 2 とから構成される。D フリップフロップ回路 1 0 は、1 ビットの 2 進数 “1” (1' b 1) を D 入力とし、発振開始信号 R O S C _ S T A R T をクロック入力とし、発振停止信号 R O S C _ S T O P をリセット入力とし、発振許可信号 T D C _ E N を出力する。リングオ

シレータ 11 は、発振許可信号 TDC__EN が有意の期間中に高速クロック TAP [2] を生成する。高速カウンタ 12 は、高速クロックをカウントする。

[0005] 図 26 は、図 25 のリングオシレータ型 TDC の動作を説明するタイミングチャートである。D フリップフロップ回路 10 は、1 ビットの 2 進数 “1” (1' b 1) を D 入力とし、発振開始信号 ROSC__START をクロック入力とし、発振停止信号 ROSC__STOP をリセット入力とし、図 26 に示すように発振開始信号 ROSC__START の立ち上がりで有意 (High) となり、発振停止信号 ROSC__STOP の立ち上がりで無意 (Low) となる発振許可信号 TDC__EN を出力する。

[0006] リングオシレータ 11 は、発振許可信号 TDC__EN と高速クロック TAP [2] との否定論理積をとる NAND 回路 110 と、NAND 回路 110 の出力 TAP [0] を入力とするバッファ回路 111-1 と、バッファ回路 111-1 の出力 TAP [1] を入力とし、その出力 TAP [2] を高速クロックとして出力するバッファ回路 111-2 とから構成される。リングオシレータ 11 は、D フリップフロップ回路 10 から出力された発振許可信号 TDC__EN が有意の期間中に、図 26 に示すように、低速クロック (ROSC__STOP) よりも高速なクロック TAP [2] を生成する。

高速カウンタ 12 は、高速クロック TAP [2] の立ち上がりをカウントして計数結果 HS__CNT を出力する。

[0007] ただし、図 25 に示したリングオシレータ型 TDC では、発振停止信号 ROSC__STOP のタイミング次第で、図 26 の 100 で示すように、高速カウンタ 12 を構成するフリップフロップが受け付け不可能な Low 幅のクロックをリングオシレータ 11 が出力してしまい、高速カウンタ 12 の計数結果 HS__CNT の値が不定となり、正しい時間を計測できないという課題があった。以下、本発明では、この意図しないタイミングで発生する微小な幅のパルスをグリッチと呼ぶ。

[0008] 例えば、リングオシレータ 11 の出力である高速クロック TAP [2] の

周波数を600MHzとすると、高速カウンタ12のカウント値がグリッチにより“1”大きくなるということは、時間計測値が期待値よりも1.67ns大きな値となることを示す。特許文献1に開示されたような超音波流量計は、微小流量計測のためにサブナノオーダーの精度での時間計測が求められるため、流量計測値が期待値と比較して±1.67ns異なるという仕様では製品スペックを満たすことができない。

先行技術文献

特許文献

[0009] 特許文献1：特許第4661714号公報

非特許文献

[0010] 非特許文献1：Stephan Henzler, “Time-to-Digital Converters”, Springer, 2010

発明の概要

発明が解決しようとする課題

[0011] 本発明は、上記課題を解決するためになされたもので、低消費電力動作と正確な時間計測とを実現することができる時間計測回路を提供することを目的とする。

課題を解決するための手段

[0012] 本発明の時間計測回路（第1の実施例）は、外部からの開始信号の入力のタイミングで有意となり、外部からの停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、前記第1のクロックと、前記第1のクロックを反転させた第2のクロックとをそれぞれ前記停止信号でマスクするように構成された論理回路と、前記停止信号でマスクされた第1のクロックを数えるように構成された第1のカウンタと、前記停止信号でマスクされた第2のクロックを数えるように構成された第2のカウンタと、前記第1、第2のカウンタの計数結

果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するように構成されたセクタと、前記停止信号の入力後に前記セクタによって選択された計数結果を基に前記開始信号の入力から前記停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備えることを特徴とするものである。

[0013] また、本発明の時間計測回路の1構成例において、前記セクタは、前記第1のクロックの位相が 0° から 180° よりも小さい所定の第1の位相値未満の範囲では前記第1のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第1の位相値から 180° 以上で 360° よりも小さい所定の第2の位相値未満の範囲では前記第2のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第2の位相値以上 360° 未満の範囲では前記第1のカウンタの計数結果を選択することを特徴とするものである。

また、本発明の時間計測回路の1構成例において、前記論理回路は、前記発振回路から出力された第1のクロックを入力とするバッファ回路と、前記発振回路から出力された第1のクロックを反転させた前記第2のクロックを生成するように構成されたインバータと、前記バッファ回路から出力された第1のクロックを前記停止信号でORマスクするように構成された第1のOR回路と、前記インバータから出力された第2のクロックを前記停止信号でORマスクするように構成された第2のOR回路とから構成されることを特徴とするものである。

[0014] また、本発明の時間計測回路（第2の実施例）は、外部からの開始信号の入力のタイミングで有意となり、外部からの停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、前記第1のクロックを前記停止信号でマスクした第2のクロックを生成するように構成された論理回路と、前記第1のクロックを数えるように構成された第1のカウンタと、前記第2のクロックを数えるように構成された第2のカウンタと、前記第1、第2のカウンタの計数結果の

うち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するように構成されたセクタと、前記停止信号の入力後に前記セクタによって選択された計数結果を基に前記開始信号の入力から前記停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備えることを特徴とするものである。

[0015] また、本発明の時間計測回路の1構成例において、前記セクタは、前記第1のクロックの位相が 0° から 180° よりも小さい所定の第1の位相値未満の範囲では前記第2のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第1の位相値から 180° 以上で 360° よりも小さい所定の第2の位相値未満の範囲では前記第1のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第2の位相値以上 360° 未満の範囲では前記第2のカウンタの計数結果を選択することを特徴とするものである。

また、本発明の時間計測回路の1構成例において、前記論理回路は、前記発振回路から出力された第1のクロックを前記停止信号でORマスクした前記第2のクロックを生成するように構成されたOR回路から構成されることを特徴とするものである。

[0016] また、本発明の時間計測回路（第3の実施例）は、時間計測回路のテストを行うように構成されたテスト実行部と、通常時に外部から入力された第1の開始信号、第1の停止信号を選択して出力し、テスト実行時に前記テスト実行部から出力された第2の開始信号、第2の停止信号を選択して出力すると共に、テスト終了時に第3の停止信号を出力するように構成された動作設定回路と、前記第1の開始信号または前記第2の開始信号の入力のタイミングで有意となり、前記第1の停止信号または前記第3の停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、前記第1のクロックと、前記第1のクロックを反転させた第2のクロックとをそれぞれ前記第1の停止信号または前記第2の停止信号でマスクするように構成された論理回路と、前記第1の停止

信号または前記第2の停止信号でマスクされた第1のクロックを数えるように構成された第1のカウントと、前記第1の停止信号または前記第2の停止信号でマスクされた第2のクロックを数えるように構成された第2のカウントと、前記第1、第2のカウントの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウントによって得られた計数結果を選択するように構成されたセレクトと、通常時に前記第1の停止信号の入力後に前記セレクトによって選択された計数結果を基に前記第1の開始信号の入力から前記第1の停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備え、前記テスト実行部は、テスト実行時に前記第1、第2のカウントの計数結果を比較することにより、前記発振回路のテストを行うことを特徴とするものである。

[0017] また、本発明の時間計測回路の1構成例において、前記セレクトは、前記第1のクロックの位相が 0° から 180° よりも小さい所定の第1の位相値未満の範囲では前記第1のカウントの計数結果を選択し、前記第1のクロックの位相が前記第1の位相値から 180° 以上で 360° よりも小さい所定の第2の位相値未満の範囲では前記第2のカウントの計数結果を選択し、前記第1のクロックの位相が前記第2の位相値以上 360° 未満の範囲では前記第1のカウントの計数結果を選択することを特徴とするものである。

また、本発明の時間計測回路の1構成例において、前記テスト実行部は、前記第1のクロックの位相が前記第1の位相値の直前の値のとき、前記第1の位相値のとき、または前記第1の位相値の直後の値のときの前記第1のカウントの計数結果と前記第2のカウントの計数結果とを取得して比較し、さらに前記第1のクロックの位相が前記第2の位相値の直前の値のとき、前記第2の位相値のとき、または前記第2の位相値の直後の値のときの前記第1のカウントの計数結果と前記第2のカウントの計数結果とを取得して比較することを特徴とするものである。

また、本発明の時間計測回路の1構成例において、前記テスト実行部は、取得した前記第1のカウントの計数結果と前記第2のカウントの計数結果と

が一致している場合に、前記発振回路が正常と判定し、前記第 1 のカウンタの計数結果と前記第 2 のカウンタの計数結果とが不一致の場合に、前記発振回路が故障していると判定することを特徴とするものである。

[0018] また、本発明の時間計測回路の 1 構成例において、前記テスト実行部は、前記第 1 のクロックの位相が前記第 1 の位相値の直前の値のとき、前記第 1 の位相値のとき、または前記第 1 の位相値の直後の値のときの前記第 1 のカウンタの計数結果と前記第 2 のカウンタの計数結果とを取得した場合に、取得した第 2 のカウンタの計数結果を 1 減算した上で、前記第 1 のカウンタの計数結果と前記第 2 のカウンタの計数結果とを比較することを特徴とするものである。

また、本発明の時間計測回路の 1 構成例において、前記論理回路は、前記発振回路から出力された第 1 のクロックを入力とするバッファ回路と、前記発振回路から出力された第 1 のクロックを反転させた前記第 2 のクロックを生成するように構成されたインバータと、テスト実行時に、前記第 1 のクロックを前記第 2 のクロックよりも遅れてマスクし前記第 2 のクロックよりも遅れてマスク解除するための第 4 の停止信号と、前記第 2 のクロックを前記第 1 のクロックよりも先にマスクし前記第 1 のクロックよりも先にマスク解除するための第 5 の停止信号とを、前記第 2 の停止信号から生成するように構成されたマスク解除タイミング制御回路と、前記バッファ回路から出力された第 1 のクロックを前記第 1 の停止信号または前記第 4 の停止信号で OR マスクするように構成された第 1 の OR 回路と、前記インバータから出力された第 2 のクロックを前記第 1 の停止信号または前記第 5 の停止信号で OR マスクするように構成された第 2 の OR 回路とを備え、前記発振回路と前記バッファ回路と前記インバータとは、前記発振許可信号が有意になったときに、前記第 1 のクロックよりも前記第 2 のクロックが先に有意になるように動作することを特徴とするものである。

[0019] また、本発明の時間計測回路の 1 構成例において、前記時間算出部は、前記第 1 のクロックの位相が前記第 1 の位相値以上 360° 未満の範囲のとき

に前記セレクトタによって選択された計数結果を取り込んだ場合に、この計数結果を1減算してから前記時間間隔を算出することを特徴とするものである。

また、本発明の時間計測回路の1構成例において、前記発振回路の出力の位相値を示す信号を出力するエンコーダをさらに備え、前記セレクトタは、前記エンコーダから出力された信号に基づいて、前記第1、第2のカウンタの計数結果のうちいずれかを選択することを特徴とするものである。

発明の効果

[0020] 本発明によれば、発振回路によって生成された第1のクロックと、第1のクロックを反転させた第2のクロックとをそれぞれ停止信号でマスクする論理回路と、停止信号でマスクされた第1のクロックを数える第1のカウンタと、停止信号でマスクされた第2のクロックを数える第2のカウンタと、第1、第2のカウンタの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するセレクトタとを設けることにより、低消費電力動作と、停止信号の入力タイミングによらない正確な時間計測とを実現することができる。

[0021] また、本発明では、発振回路によって生成された第1のクロックを停止信号でマスクした第2のクロックを生成する論理回路と、第1のクロックを数える第1のカウンタと、第2のクロックを数える第2のカウンタと、第1、第2のカウンタの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するセレクトタとを設けることにより、低消費電力動作と、停止信号の入力タイミングによらない正確な時間計測とを実現することができる。

[0022] また、本発明では、発振回路によって生成された第1のクロックと、第1のクロックを反転させた第2のクロックとをそれぞれ第1の停止信号または第2の停止信号でマスクする論理回路と、第1の停止信号または第2の停止信号でマスクされた第1のクロックを数える第1のカウンタと、第1の停止信号または第2の停止信号でマスクされた第2のクロックを数える第2のカ

ウンタと、第1、第2のカウンタの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するセレクタとを設けることにより、低消費電力動作と、停止信号の入力タイミングによらない正確な時間計測とを実現することができる。また、本発明では、動作設定回路とテスト実行部とを設けることにより、発振回路のテストを行うことができる。

図面の簡単な説明

[0023] [図1]図1は、本発明の第1の実施例に係る時間計測回路の構成を示す回路図である。

[図2]図2は、本発明の第1の実施例に係る時間計測回路の動作を説明するタイミングチャートである。

[図3]図3は、本発明の第1の実施例に係る時間計測回路のエッジ検出回路の構成を示す回路図である。

[図4]図4は、本発明の第1の実施例における高速クロックとタイミング信号との関係を示す図である。

[図5]図5は、本発明の第1の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図6]図6は、本発明の第1の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図7]図7は、本発明の第1の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図8]図8は、本発明の第1の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図9]図9は、本発明の第1の実施例における高速クロックの計数結果の補正の要否を説明する図である。

[図10]図10は、本発明の第2の実施例に係る時間計測回路の構成を示す回路図である。

[図11]図11は、本発明の第2の実施例における高速クロックとタイミング

信号との関係を示す図である。

[図12]図12は、本発明の第2の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図13]図13は、本発明の第2の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図14]図14は、本発明の第2の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図15]図15は、本発明の第2の実施例における高速クロックの計数結果の補正方法を説明するタイミングチャートである。

[図16]図16は、本発明の第2の実施例における高速クロックの計数結果の補正の要否を説明する図である。

[図17]図17は、本発明の第3の実施例に係る時間計測回路の構成を示す回路図である。

[図18]図18は、本発明の第3の実施例に係る時間計測回路の動作設定回路の構成を示す回路図である。

[図19]図19は、本発明の第3の実施例に係る時間計測回路のマスク解除タイミング制御回路の構成を示す回路図である。

[図20]図20は、本発明の第3の実施例に係る時間計測回路の時間算出部の構成を示すブロック図である。

[図21]図21は、本発明の第3の実施例に係る時間計測回路のテスト時の動作を説明するタイミングチャートである

[図22]図22は、本発明の第3の実施例に係る時間計測回路のテスト時のマスク解除タイミング制御回路の動作を説明するタイミングチャートである。

[図23]図23は、本発明の第3の実施例に係る時間計測回路のテスト時のマスク解除タイミング制御回路の動作を説明するタイミングチャートである。

[図24]図24は、本発明の第1～第3の実施例に係る時間計測回路の時間算出部を実現するコンピュータの構成例を示すブロック図である。

[図25]図25は、従来のリングオシレータ型TDCの構成例を示す回路図で

ある。

[図26]図26は、従来のリングオシレータ型TDCの動作を説明するタイミングチャートである。

発明を実施するための形態

[0024] [第1の実施例]

以下、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例に係る時間計測回路の構成を示す回路図である。時間計測回路は、1ビットの2進数“1”(1'b1)をD入力とし、外部からの発振開始信号ROSC__STARTをクロック入力とし、外部からの発振停止信号ROSC__STOPをリセット入力とし、発振許可信号TDC__ENを出力するDフリップフロップ回路10と、発振許可信号TDC__ENが有意の期間中に高速クロックTAP[15](第1のクロック)を生成するリングオシレータ11a(発振回路)と、高速クロックTAP[15]を入力として高速クロックRCLK1(第1のクロック)を出力するバッファ回路13と、高速クロックTAP[15]を反転させた高速クロックRCLK2(第2のクロック)を出力するインバータ14と、バッファ回路13の出力RCLK1と発振停止信号ROSC__STOPの論理和の結果を高速クロックROSC__CLK1として出力するOR回路15と、インバータ14の出力RCLK2と発振停止信号ROSC__STOPの論理和の結果を高速クロックROSC__CLK2として出力するOR回路16とを備えている。

[0025] また、時間計測回路は、高速クロックROSC__CLK1をカウントする高速カウンタ12a(第1のカウンタ)と、高速クロックROSC__CLK2をカウントする高速カウンタ12b(第2のカウンタ)と、発振停止信号ROSC__STOPと低速クロックMCLKを基に発振停止信号ROSC__STOPの立ち上がりエッジを検出するエッジ検出回路17と、高速カウンタ12aの8ビットの計数結果HS__CNT1[8:0]をラッチするDフリップフロップ回路18aと、高速カウンタ12bの8ビットの計数結果HS__CNT2[8:0]をラッチするDDフリップフロップ回路18bと、

リングオシレータ 11a の出力の位相値を示す 5 ビットのタイミング信号 H S _ P H A S E [4 : 0] を出力するエンコーダ 19 と、D フリップフロップ回路 18 a, 18 b の 8 ビットの出力 L A T C H 1 [8 : 0], L A T C H 2 [8 : 0] のいずれかを選択するセクタ 20 と、セクタ 20 によって選択された計数結果に基づいて、発振開始信号 R O S C _ S T A R T の立ち上がりから発振停止信号 R O S C _ S T O P の立ち上がりまでの時間間隔を算出する時間算出部 21 とを備えている。

[0026] バッファ回路 13 とインバータ 14 と OR 回路 15, 16 とは、論理回路 22 を構成している。

リングオシレータ 11a は、発振許可信号 T D C _ E N と高速クロック T A P [15] との否定論理積をとる N A N D 回路 110 と、N A N D 回路 110 の出力に縦続接続された 15 個のバッファ回路 111-1 ~ 111-15 と、N A N D 回路 110 と各バッファ回路 111-1 ~ 111-15 の出力をそれぞれ D 入力とし、発振停止信号 R O S C _ S T O P をクロック入力とする 16 個の D フリップフロップ回路 112-1 ~ 112-16 とから構成される。

[0027] 以下、本実施例の時間計測回路の動作を説明する。図 2 は時間計測回路の動作を説明するタイミングチャートである。

D フリップフロップ回路 10 は、1 ビットの 2 進数 “1” (1' b 1) を D 入力とし、発振開始信号 R O S C _ S T A R T をクロック入力とし、発振停止信号 R O S C _ S T O P をリセット入力とし、発振開始信号 R O S C _ S T A R T の立ち上がりで有意 (H i g h) となり、発振停止信号 R O S C _ S T O P の立ち上がりで無意 (L o w) となる発振許可信号 T D C _ E N を出力する。

[0028] リングオシレータ 11a は、D フリップフロップ回路 10 から出力された発振許可信号 T D C _ E N が有意の期間中に、低速クロック M C L K よりも高速なクロック T A P [15] を生成する。

[0029] バッファ回路 13 は、リングオシレータ 11a から出力された高速クロック

クTAP [15] を入力とし、高速クロックRCLK 1を出力する。インバータ14は、リングオシレータ11aから出力された高速クロックTAP [15] を論理反転した高速クロックRCLK 2を出力する。なお、バッファ回路13は、高速クロックRCLK 1とRCLK 2の位相を揃えるために挿入されている。

[0030] OR回路15は、バッファ回路13から出力された高速クロックRCLK 1と発振停止信号ROSC__STOPの論理和の結果を高速クロックROSC__CLK 1として出力する。OR回路16は、インバータ14から出力された高速クロックRCLK 2と発振停止信号ROSC__STOPの論理和の結果を高速クロックROSC__CLK 2として出力する。

[0031] エッジ検出回路17は、発振停止信号ROSC__STOPと低速クロックMCLKとに基づいて、高速カウンタ12aの8ビットの計数結果HS__CNT 1 [8 : 0] および高速カウンタ12bの8ビットの計数結果HS__CNT 2 [8 : 0] をラッチするタイミングを示す取り込み許可信号HS__CNT__LATと、高速カウンタ12a, 12bをリセットするための高速カウンタリセット信号HS__CNT__CLRと、Dフリップフロップ回路18a, 18bに有効なデータが格納されていることを示す取り込み許可信号HS__CNT__ENとを生成する。

[0032] 図3はエッジ検出回路17の構成を示す回路図である。エッジ検出回路17は、Dフリップフロップ回路170と、インバータ171と、Dフリップフロップ回路172と、Dフリップフロップ回路173と、Dフリップフロップ回路174と、XOR回路175と、Dフリップフロップ回路176と、Dフリップフロップ回路178とから構成される。Dフリップフロップ回路170は、発振停止信号ROSC__STOPをクロック入力とする。インバータ171は、Dフリップフロップ回路170の出力信号STOP__DETを反転させた信号をDフリップフロップ回路170のD入力とする。Dフリップフロップ回路172は、Dフリップフロップ回路170の出力信号STOP__DETをD入力とし、低速クロックMCLKをクロック入力とする

。Dフリップフロップ回路173は、Dフリップフロップ回路172の出力信号をD入力とし、低速クロックMCLKをクロック入力とする。Dフリップフロップ回路174は、Dフリップフロップ回路173の出力信号をD入力とし、低速クロックMCLKをクロック入力とする。XOR回路175は、Dフリップフロップ回路173の出力信号とDフリップフロップ回路174の出力信号の排他的論理和の結果を取り込み許可信号HS__CNT__LATとして出力する。Dフリップフロップ回路176は、取り込み許可信号HS__CNT__LATをD入力とし、低速クロックMCLKをクロック入力として、取り込み許可信号HS__CNT__ENを出力する。Dフリップフロップ回路178は、取り込み許可信号HS__CNT__LATをD入力とし、低速クロックMCLKを反転させた結果をクロック入力として、高速カウンタリセット信号HS__CNT__CLRを出力する。

[0033] 高速カウンタ12aは、高速カウンタリセット信号HS__CNT__CLRが無意(High)の期間中に、高速クロックROSC__CLK1の立ち上がりをカウントして、8ビットの計数結果HS__CNT1[8:0]を出力する。高速カウンタ12bは、高速カウンタリセット信号HS__CNT__CLRが無意(High)の期間中に、高速クロックROSC__CLK2の立ち上がりをカウントして、8ビットの計数結果HS__CNT2[8:0]を出力する。これら高速カウンタ12a、12bの計数結果HS__CNT1[8:0]、HS__CNT2[8:0]は、高速カウンタリセット信号HS__CNT__CLRの立ち下がりによって0に初期化される。

[0034] Dフリップフロップ回路18aは、取り込み許可信号HS__CNT__LATの立ち上がりで高速カウンタ12aの8ビットの計数結果HS__CNT1[8:0]をラッチして、次に取り込み許可信号HS__CNT__LATが立ち上がるまで保持する。Dフリップフロップ回路18bは、取り込み許可信号HS__CNT__LATの立ち上がりで高速カウンタ12bの8ビットの計数結果HS__CNT2[8:0]をラッチして、次に取り込み許可信号HS__CNT__LATが立ち上がるまで保持する。

- [0035] エンコーダ19は、Dフリップフロップ回路112-1～112-16から出力される16ビットの信号ROSC__PHASE[15:0]を基に、リングオシレータ11aの出力の位相値を示す5ビットのタイミング信号HS__PHASE[4:0]を出力する。タイミング信号HS__PHASE[4:0]は、16ビットの信号ROSC__PHASE[15:0]を5ビットにエンコードした信号である。
- [0036] セレクタ20は、エンコーダ19から出力された5ビットのタイミング信号HS__PHASE[4:0]に基づいて、Dフリップフロップ回路18a, 18bによってラッチされた8ビットの計数結果LATCH1[8:0], LATCH2[8:0]のうち、グリッチ（計数エラー）が発生していない方の高速カウンタによって得られた計数結果を真値として選択する。
- [0037] 時間算出部21は、取り込み許可信号HS__CNT__ENが有意（High）になった時点でセレクタ20から出力された計数結果を取り込む。時間算出部21は、取り込んだ計数結果に基づいて、発振開始信号ROSC__STARTの立ち上がりから発振停止信号ROSC__STOPの立ち上がりまでの時間間隔を算出する。
- [0038] リングオシレータ型TDCは計測開始を示す発振開始信号ROSC__STARTを受け付けるとリングオシレータ11aが発振し始めるので、計測停止を示す発振停止信号ROSC__STOPを受け取るまでの期間、リングオシレータ11aの出力であるTAP[15]の立ち上がりを高速カウンタを用いて数えればよいのであるが、前述のとおり発振停止信号ROSC__STOPのタイミング次第ではリングオシレータ11aの出力にグリッチが発生し、高速カウンタが誤作動してしまう可能性がある。
- [0039] そこで、本実施例では、リングオシレータ11aの出力TAP[15]とその反転信号とをそれぞれ別の高速カウンタ12a, 12bでカウントし、得られた計数結果からグリッチが発生していない方の計数結果を選択するようにすることで、低消費電力動作と正確な時間計測とを実現した。
- [0040] より具体的には、リングオシレータ11aから出力された高速クロックT

AP [15] をバッファ回路 13 に通した高速クロック RCLK1 と、高速クロック TAP [15] をインバータ 14 によって論理反転した高速クロック RCLK2 とを、それぞれ OR 回路 15, 16 において発振停止信号 ROSC__STOP で OR マスクし、その OR マスクした高速クロック ROSC__CLK1, ROSC__CLK2 をそれぞれ別の高速カウンタ 12a, 12b でカウントする。

[0041] 発振開始信号 ROSC__START を受け付けるタイミング次第では、前述のグリッチが発生する可能性があるが、発振開始信号 ROSC__START の立ち上がりエッジと高速クロック RCLK1, RCLK2 の位相関係については、タイミング信号 HS__PHASE [4:0] から判定できるため、グリッチが発生していない方の高速カウンタによって得られた計数結果を真値として選択すればよい。

[0042] 高速クロック RCLK1, RCLK2 とタイミング信号 HS__PHASE [4:0] との関係を図 4 に示す。図 4 では、高速カウンタ 12a, 12b が受け付け不可能な最低 Low 幅 (Min Error) と、この Min Error に基づいて決定された LATCH1 [8:0] と LATCH2 [8:0] の選択の境界を示している。なお、図 4 の Δt はリングオシレータ 11a の遅延回路 (NAND 回路 110 とバッファ回路 111-1 ~ 111-15) の 1 段あたりの遅延時間を示している。

[0043] 本実施例では、セクタ 20 は、D フリップフロップ回路 18a, 18b によってラッチされた 8 ビットの計数結果 LATCH1 [8:0], LATCH2 [8:0] のうち、グリッチ (計数エラー) が発生していない方の高速カウンタによって得られた計数結果を真値として選択する。このような選択は、5 ビットのタイミング信号 HS__PHASE [4:0] の値に基づいて行うことができる。

[0044] 図 4 の例では、セクタ 20 は、高速クロック RCLK1 の位相が 0° (タイミング信号 HS__PHASE [4:0] の値が 0) から 180° よりも小さい所定の第 1 の位相値 (本実施例では 101.25° 、タイミング信号

HS__PHASE [4 : 0] の値が9) 未満の範囲では計数結果LATCH 1 [8 : 0] を選択する。

[0045] また、セクタ20は、高速クロックRCLK 1の位相が第1の位相値から180° 以上で360° よりも小さい所定の第2の位相値（本実施例では281.25°、タイミング信号HS__PHASE [4 : 0] の値が25) 未満の範囲では計数結果LATCH 2 [8 : 0] を選択し、高速クロックRCLK 1の位相が第2の位相値以上360° 未満の範囲では計数結果LATCH 1 [8 : 0] を選択する。

[0046] つまり、セクタ20は、8ビットの計数結果LATCH 1 [8 : 0] , LATCH 2 [8 : 0] のうちいずれかを選択するに際して、高速クロックRCLK 1, RCLK 2のうち、立ち下がりからの経過時間が最低Low幅 (Min Error) に所定の余裕幅を足した時間を上回っている方の高速クロックをカウントした高速カウンタの計数結果を真値として選択する。

[0047] 例えば高速クロックRCLK 2の立ち下がりからの経過時間が最低Low幅 (Min Error) に対して十分な余裕がなく、高速クロックRCLK 1の立ち下がりからの経過時間が最低Low幅に対して十分な余裕がある期間では、セクタ20は、計数結果LATCH 1 [8 : 0] を選択し、高速クロックRCLK 1の立ち下がりからの経過時間が最低Low幅に対して十分な余裕がなく、高速クロックRCLK 2の立ち下がりからの経過時間が最低Low幅に対して十分な余裕がある期間では、計数結果LATCH 2 [8 : 0] を選択する。

[0048] なお、実際の設計時はIC (Integrated Circuit) 製造会社のデータシートや回路レイアウト情報を元にLow幅違反となるHS__PHASEの範囲とLATCH 1 [8 : 0] , LATCH 2 [8 : 0] の選択の境界とを決定することになる。図4の例では、高速カウンタ12a, 12bを構成するフリップフロップのクロックの最低Low幅保持期間 (Min Error) を250ps、TDCの分解能を50psとした前提で境界を決定している。

- [0049] リングオシレータ 11a に対して非同期で発振停止信号 $ROSC_STOP$ が入力されることにより発生するグリッチに対しては、高速クロック $RCLK1$, $RCLK2$ を発振停止信号 $ROSC_STOP$ で OR マスクした高速クロック $ROSC_CLK1$, $ROSC_CLK2$ を高速カウンタ 12a, 12b のクロックとして使用することで回避することができる。
- [0050] ただし、時間算出部 21 は、高速クロック $ROSC_CLK1$, $ROSC_CLK2$ と発振停止信号 $ROSC_STOP$ の位相関係によっては、計数結果 $LATCH1[8:0]$ または $LATCH2[8:0]$ の値を 1 減算してから、発振開始信号 $ROSC_START$ の立ち上がりから発振停止信号 $ROSC_STOP$ の立ち上がりまでの時間間隔を算出する必要がある。
- [0051] 例えば図 5 の例では、タイミング信号 $HS_PHASE[4:0]$ の値が 0 (高速クロック $RCLK1$ の位相が 0°) のタイミングで発振停止信号 $ROSC_STOP$ の立ち上がりを受け取った場合を示している。図 5 の 101 では、高速クロック $ROSC_CLK2$ にグリッチが発生している。セレクタ 20 は、上記の動作により計数結果 $LATCH1[8:0]$ ($HS_CNT1[8:0]$) を選択する。時間算出部 21 は、取り込み許可信号 HS_CNT_EN が有意 (High) になった時点でタイミング信号 $HS_PHASE[4:0]$ の値が 0 の場合は、取り込んだ計数結果 $LATCH1[8:0]$ を 1 減算する必要はない。
- [0052] 図 6 の例は、タイミング信号 $HS_PHASE[4:0]$ の値が 9 (高速クロック $RCLK1$ の位相が 101.25°) のタイミングで発振停止信号 $ROSC_STOP$ の立ち上がりを受け取った場合を示している。セレクタ 20 は、上記の動作により計数結果 $LATCH2[8:0]$ ($HS_CNT2[8:0]$) を選択する。時間算出部 21 は、取り込み許可信号 HS_CNT_EN が有意 (High) になった時点でタイミング信号 $HS_PHASE[4:0]$ の値が 9 の場合は、取り込んだ計数結果 $LATCH2[8:0]$ を 1 減算してから時間間隔を算出する。
- [0053] 図 7 の例は、タイミング信号 $HS_PHASE[4:0]$ の値が 16 (高

速クロックRCLK1の位相が 180°)のタイミングで発振停止信号ROSC__STOPの立ち上がりを受け取った場合を示している。図7の102では、高速クロックROSC__CLK1にグリッチが発生している。セクタ20は、上記の動作により計数結果LATCH2[8:0](HS__CNT2[8:0])を選択する。時間算出部21は、取り込み許可信号HS__CNT__ENが有意(High)になった時点でタイミング信号HS__PHASE[4:0]の値が16の場合は、取り込んだ計数結果LATCH2[8:0]を1減算してから時間間隔を算出する。

[0054] 図8の例は、タイミング信号HS__PHASE[4:0]の値が25(高速クロックRCLK1の位相が 281.25°)のタイミングで発振停止信号ROSC__STOPの立ち上がりを受け取った場合を示している。セクタ20は、上記の動作により計数結果LATCH1[8:0](HS__CNT1[8:0])を選択する。時間算出部21は、取り込み許可信号HS__CNT__ENが有意(High)になった時点でタイミング信号HS__PHASE[4:0]の値が25の場合は、取り込んだ計数結果LATCH1[8:0]を1減算してから時間間隔を算出する。

[0055] 以上の計数結果の補正の要否を図4に記述すると、図9のようになる。時間算出部21は、高速クロックRCLK1の位相が第1の位相値以上 360° 未満の範囲のときにセクタ20によって選択された計数結果を取り込んだ場合に、この計数結果を1減算してから時間間隔を算出すればよい。

[0056] なお、本実施例では、リングオシレータ11aの遅延回路(NAND回路110とバッファ回路111-1~111-15)の段数を16段(TAP[0]~TAP[15])としているが、この段数は16以外でも本発明にとっては問題とならない。ただし、2のべき乗数の段数としておくと、高速カウンタ12a, 12bのカウント値(LATCH1[8:0], LATCH2[8:0])とリングオシレータ11aの位相値(HS__PHASE[4:0])の結合を単純化できる。

[0057] 例えば、LATCH1[8:0]を選択した場合の時間計測値は、{LA

TCH1 [8 : 0] , HS__PHASE [4 : 0] } というようにHS__PHASEを下位ビット側、LATCH1を上位ビット側に接続することで得られる。リングオシレータ11aの段数が2のべき乗数でない場合のカウント値と位相値の結合の単純化案については例えば、特許第2868266号で述べられている。

[0058] [第2の実施例]

次に、本発明の第2の実施例について説明する。第1の実施例では、リングオシレータ11aから出力された高速クロックTAP [15] をバッファ回路13に通した信号CLK1と、高速クロックTAP [15] をインバータ14によって論理反転した信号CLK2の両方に対して発振停止信号ROSC__STOPによるマスクを行っていたが、リングオシレータ11aの出力の反転信号を用意せずに、リングオシレータ11aから出力される高速クロックTAP [15] に対してマスクを行わない信号とマスクを行う信号を用意し、それぞれの信号を別の高速カウンタでカウントした後に、グリッチが発生していない方の高速カウンタによって得られた計数結果を選択してもよい。

[0059] 図10は本実施例に係る時間計測回路の構成を示す回路図であり、図1と同一の構成には同一の符号を付してある。本実施例の時間計測回路は、Dフリップフロップ回路10と、リングオシレータ11a（発振回路）と、高速カウンタ12a, 12b（第1、第2のカウンタ）と、エッジ検出回路17と、Dフリップフロップ回路18a, 18bと、エンコーダ19と、セレクタ20aと、時間算出部21と、リングオシレータ11aから出力された高速クロックROSC__CLK1（TAP [15] ）と発振停止信号ROSC__STOPの論理和の結果を高速クロックROSC__CLK2として出力するOR回路23（論理回路）とから構成される。

[0060] Dフリップフロップ回路10とリングオシレータ11aの構成および動作は、第1の実施例で説明したとおりである。

本実施例の高速カウンタ12aは、高速カウンタリセット信号HS__CN

T_CLRが無意(High)の期間中に、リングオシレータ11aから出力された高速クロックROSC_CLK1(TAP[15])の立ち上がりをカウントして、8ビットの計数結果HS_CNT1[8:0]を出力する。

[0061] 一方、OR回路23は、高速クロックROSC_CLK1(TAP[15])と発振停止信号ROSC_STOPの論理和の結果を高速クロックROSC_CLK2として出力する。高速カウンタ12bは、高速カウンタリセット信号HS_CNT_CLRが無意(High)の期間中に、高速クロックROSC_CLK2の立ち上がりをカウントして、8ビットの計数結果HS_CNT2[8:0]を出力する。

[0062] エッジ検出回路17とDフリップフロップ回路18a, 18bとエンコーダ19の動作は、第1の実施例で説明したとおりである。

本実施例においても、セクタ20aは、Dフリップフロップ回路18a, 18bによってラッチされた8ビットの計数結果LATCH1[8:0], LATCH2[8:0]のうち、グリッチ(計数エラー)が発生していない方の高速カウンタによって得られた計数結果を真値として選択するが、バッファ回路13およびインバータ14を使用しないため、選択の切り替えの境界となる高速クロックROSC_CLK1(TAP[15])の位相(タイミング信号HS_PHASE[4:0]の値)が第1の実施例と異なる。

[0063] ROSC_CLK1(TAP[15])とタイミング信号HS_PHASE[4:0]との関係を図11に示す。図11の例では、セクタ20aは、高速カウンタ12aに入力される高速クロックROSC_CLK1(TAP[15])の位相が0°(タイミング信号HS_PHASE[4:0]の値が0)から180°よりも小さい所定の第1の位相値(本実施例では123.75°、タイミング信号HS_PHASE[4:0]の値が11)未満の範囲では計数結果LATCH2[8:0]を選択する。

[0064] また、セクタ20aは、高速クロックROSC_CLK1(TAP[15])の位相が第1の位相値から180°以上で360°よりも小さい所定

の第2の位相値（本実施例では303.75°、タイミング信号HS__PHASE [4 : 0] の値が27）未満の範囲では計数結果LATCH1 [8 : 0] を選択し、高速クロックROSC__CLK1 (TAP [15]) の位相が第2の位相値以上360° 未満の範囲では計数結果LATCH2 [8 : 0] を選択する。

[0065] 図11の例では、図4と同様に、高速カウンタ12a, 12bを構成するフリップフロップのクロックの最低Low幅保持期間 (Min Error) を250ps、TDCの分解能を50psとした前提で境界を決定している。

[0066] 第1の実施例と同様に、時間算出部21は、取り込み許可信号HS__CNT__LATの立ち上がりでセクタ20aから出力された計数結果を取り込み、発振開始信号ROSC__STARTの立ち上がりから発振停止信号ROSC__STOPの立ち上がりまでの時間間隔を算出する。

こうして、本実施例では、第1の実施例と同様の効果を得ることができる。

[0067] なお、本実施例においても、時間算出部21は、高速クロックROSC__CLK2と発振停止信号ROSC__STOPの位相関係によっては、計数結果LATCH1 [8 : 0] またはLATCH2 [8 : 0] の値を1減算してから、発振開始信号ROSC__STARTの立ち上がりから発振停止信号ROSC__STOPの立ち上がりまでの時間間隔を算出する必要がある。

[0068] ただし、上記で説明したとおり、本実施例では、セクタ20aの選択の切り替えの境界となる高速クロックROSC__CLK1 (TAP [15]) の位相（タイミング信号HS__PHASE [4 : 0] の値）が第1の実施例と異なるので、計数結果を補正するかどうかの判定も第1の実施例と異なる。

[0069] 例えば図12の例では、タイミング信号HS__PHASE [4 : 0] の値が0 (ROSC__CLK1 (TAP [15]) の位相が0°) のタイミングで発振停止信号ROSC__STOPの立ち上がりを受け取った場合を示して

いる。図12の103では、高速クロックROSC_CLK1にグリッチが発生している。セクタ20は、上記の動作により計数結果LATCH2 [8:0] (HS_CNT2 [8:0]) を選択する。時間算出部21は、取り込み許可信号HS_CNT_ENが有意 (High) になった時点でタイミング信号HS_PHASE [4:0] の値が0の場合は、取り込んだ計数結果LATCH2 [8:0] を1減算する必要はない。

[0070] 図13の例は、タイミング信号HS_PHASE [4:0] の値が11 (高速クロックROSC_CLK1 (TAP [15]) の位相が123.75°) のタイミングで発振停止信号ROSC_STOPの立ち上がりを受け取った場合を示している。セクタ20は、上記の動作により計数結果LATCH1 [8:0] (HS_CNT1 [8:0]) を選択する。時間算出部21は、取り込み許可信号HS_CNT_ENが有意 (High) になった時点でタイミング信号HS_PHASE [4:0] の値が11の場合は、取り込んだ計数結果LATCH1 [8:0] を1減算してから時間間隔を算出する。

[0071] 図14の例は、タイミング信号HS_PHASE [4:0] の値が16 (高速クロックROSC_CLK1 (TAP [15]) の位相が180°) のタイミングで発振停止信号ROSC_STOPの立ち上がりを受け取った場合を示している。図14の104では、高速クロックROSC_CLK2にグリッチが発生している。セクタ20は、上記の動作により計数結果LATCH1 [8:0] (HS_CNT1 [8:0]) を選択する。時間算出部21は、取り込み許可信号HS_CNT_ENが有意 (High) になった時点でタイミング信号HS_PHASE [4:0] の値が16の場合は、取り込んだ計数結果LATCH1 [8:0] を1減算してから時間間隔を算出する。

[0072] 図15の例は、タイミング信号HS_PHASE [4:0] の値が27 (高速クロックROSC_CLK1 (TAP [15]) の位相が303.75°) のタイミングで発振停止信号ROSC_STOPの立ち上がりを受け取

った場合を示している。セクタ20は、上記の動作により計数結果LATCH2[8:0](HS_CNT2[8:0])を選択する。時間算出部21は、取り込み許可信号HS_CNT_ENが有意(High)になった時点でタイミング信号HS_PHASE[4:0]の値が27の場合は、取り込んだ計数結果LATCH2[8:0]を1減算してから時間間隔を算出する。

[0073] 以上の計数結果の補正の要否を図11に記述すると、図16のようになる。第1の実施例と同様に、時間算出部21は、高速クロックRCLK1の位相が第1の位相値以上360°未満の範囲のときにセクタ20によって選択された計数結果を取り込んだ場合に、この計数結果を1減算してから時間間隔を算出すればよい。

[0074] [第3の実施例]

次に、本発明の第3の実施例について説明する。図17は本実施例に係る時間計測回路の構成を示す回路図であり、図1、図10と同一の構成には同一の符号を付してある。本実施例の時間計測回路は、Dフリップフロップ回路10と、リングオシレータ11a(発振回路)と、高速カウンタ12a, 12b(第1、第2のカウンタ)と、バッファ回路13と、インバータ14と、エッジ検出回路17aと、Dフリップフロップ回路18a, 18bと、エンコーダ19と、セクタ20と、時間算出部21aと、通常時に外部から入力された発振開始信号ROSC_START(第1の開始信号)、発振停止信号ROSC_STOP(第1の停止信号)を選択して出力し、テスト実行時に後述するテスト実行部から出力された開始信号DBG_START(第2の開始信号)、停止信号DBG_STOP(第2の停止信号)を選択して出力すると共に、テスト終了時に停止信号ROSC_STOPb(第3の停止信号)を出力する動作設定回路24とを備えている。

[0075] また、本実施例の時間計測回路は、テスト実行時に、高速クロックRCLK1を高速クロックRCLK2よりも遅れてマスクし高速クロックRCLK2よりも遅れてマスク解除するための停止信号と、高速クロックRCLK2

を高速クロックRCLK1よりも先にマスクし高速クロックRCLK1よりも先にマスク解除するための停止信号とを、動作設定回路24から出力された停止信号ROSC__STOPaから生成するマスク解除タイミング制御回路25と、高速クロックRCLK1とマスク解除タイミング制御回路25から出力された停止信号の論理和の結果を高速クロックROSC__CLK1として出力するOR回路26と、高速クロックRCLK2とマスク解除タイミング制御回路25から出力された停止信号の論理和の結果を高速クロックROSC__CLK2として出力するOR回路27とを備えている。

[0076] バッファ回路13とインバータ14とマスク解除タイミング制御回路25とOR回路26, 27とは、論理回路28を構成している。

本実施例は、図17に示すように、第1の実施例に対して時間計測回路21aからのSTART, STOP信号(DBG__START, DBG__STOP)によりリングオシレータ11aを起動できる動作設定回路24と、高速クロックRCLK1, RCLK2のマスク解除タイミングを制御するためのマスク解除タイミング制御回路25と、OR回路26, 27とを追加したものである。

[0077] 図18は、動作設定回路24の構成を示す回路図である。図19は、マスク解除タイミング制御回路25の構成を示す回路図である。図18に示すように、動作設定回路24は、セクタ240とセクタ241と、AND回路242とから構成される。セクタ240は、時間算出部21aから出力された選択指示信号ROSC__SELに応じて発振停止信号ROSC__STOPと時間算出部21aから出力された停止信号DBG__STOPのいずれかを選択し、停止信号ROSC__STOPaとして出力する。セクタ241は、選択指示信号ROSC__SELに応じて発振開始信号ROSC__STARTと時間算出部21aから出力された開始信号DBG__STARTのいずれかを選択し、開始信号ROSC__STARTaとして出力する。AND回路242は、セクタ240から出力された停止信号ROSC__STOPaと時間算出部21aから出力されたテスト指示信号ROSC__TESTの

否定との論理積の結果を停止信号 $ROSC_STOPb$ として出力する。

[0078] 本実施例のDフリップフロップ回路10は、発振開始信号 $ROSC_START$ の代わりに、動作設定回路24から出力された開始信号 $ROSC_STARTa$ をクロック入力とし、発振停止信号 $ROSC_STOP$ の代わりに、動作設定回路24から出力された停止信号 $ROSC_STOPb$ をリセット入力とする。

[0079] 本実施例のリングオシレータ11aのDフリップフロップ回路112-1～112-16は、発振停止信号 $ROSC_STOP$ の代わりに、停止信号 $ROSC_STOPb$ をクロック入力とする。

[0080] 本実施例のエッジ検出回路17aは、発振停止信号 $ROSC_STOP$ の代わりに、停止信号 $ROSC_STOPa$ を入力とし、この停止信号 $ROSC_STOPa$ と低速クロック $MCLK$ とテスト指示信号 $ROSC_TEST$ とを基に、停止信号 $ROSC_STOPa$ の立ち上がり直後の低速クロック $MCLK$ の立ち下がりで有意 (High) となる取り込み許可信号 HS_CNT_LAT と、取り込み許可信号 HS_CNT_LAT の立ち下がりで有意 (Low) となる高速カウンタリセット信号 HS_CNT_CLR と、発振停止信号 $ROSC_STOPa$ を、低速クロック $MCLK$ の1/2クロック分遅延させた取り込み許可信号 HS_CNT_EN とを生成する。

[0081] 図20は本実施例の時間算出部21aの構成を示すブロック図である。時間算出部200は、第1、第2の実施例の時間算出部21と同じ機能を実現するものである。テスト実行部201は、リングオシレータ11aの遅延回路 (NAND回路110とバッファ回路111-1～111-15) のテストを行うものである。

[0082] 以下、本実施例の時間計測回路の動作を説明する。図21は本実施例の時間計測回路のテスト時の動作を説明するタイミングチャートである

テスト実行時に、テスト実行部201は、例えばユーザからの指示により、図21に示すようにテスト指示信号 $ROSC_TEST$ を有意の High レベルとし、選択指示信号 $ROSC_SEL$ を High レベルとする。

- [0083] 動作設定回路24のセクタ240は、選択指示信号ROSC__SELがHighレベルであることにより、発振停止信号ROSC__STOPとテスト実行部201から出力された停止信号DBG__STOPのうち、停止信号DBG__STOPを選択して停止信号ROSC__STOPaとして出力する。
- [0084] 動作設定回路24のセクタ241は、選択指示信号ROSC__SELがHighレベルであることにより、発振開始信号ROSC__STARTとテスト実行部201から出力された開始信号DBG__STARTのうち、開始信号DBG__STARTを選択して開始信号ROSC__STARTaとして出力する。
- [0085] 動作設定回路24のAND回路242は、セクタ240から出力された停止信号ROSC__STOPaとテスト実行部201から出力されたテスト指示信号ROSC__TESTの否定との論理積の結果を停止信号ROSC__STOPbとして出力する。その結果、停止信号ROSC__STOPbは、テスト中にテスト指示信号ROSC__TESTがHighレベルである間は無意(Low)である。また、停止信号ROSC__STOPbは、例えばユーザからの指示によりテスト終了後にテスト指示信号ROSC__TESTがLowとなった場合には、停止信号DBG__STOPが立ち上がった時点で有意(High)となる。
- [0086] したがって、Dフリップフロップ回路10は、テスト中の最初の開始信号ROSC__STARTa(DBG__START)の立ち上がりで発振許可信号TDC__ENを有意(High)とし、停止信号ROSC__STOPbの立ち上がりで発振許可信号TDC__ENを無意(Low)とするので、この発振許可信号TDC__ENが有意(High)の期間中はリングオシレータ11aがフリーランで動作することになる。
- [0087] なお、通常時にテスト指示信号ROSC__TESTがLowとなり、発振停止信号ROSC__STOPが入力されたときには、停止信号ROSC__STOPbとして、発振停止信号ROSC__STOPが出力される。

- [0088] テスト実行時に、テスト実行部201は、低速クロックMCLKに同期して停止信号DBG__STOPを定期的に発行するが、停止信号DBG__STOPがHighレベルになってもリングオシレータ11aが停止することはない。
- [0089] そして、テスト実行部201は、停止信号DBG__STOPの立ち上がりでエンコーダ19から出力された5ビットのタイミング信号HS__PHASE[4:0]を取得し、このタイミング信号HS__PHASE[4:0]の値に基づいて、Dフリップフロップ回路18a, 18bによってラッチされた8ビットの計数結果LATCH1[8:0], LATCH2[8:0]を取得する。
- [0090] リングオシレータ11aは周波数が固定されておらず、低速クロックMCLKとは同期していないため、テスト実行部201が定期的にタイミング信号HS__PHASE[4:0]を取得したとしても得られる値はランダムに変化する。
- [0091] テスト実行部201は、このタイミング信号HS__PHASE[4:0]の値に基づいて、高速クロックRCLK1の位相が第1の位相値(101.25°、タイミング信号HS__PHASE[4:0]の値が9)の直前の値(タイミング信号HS__PHASE[4:0]の値が8)のときに計数結果LATCH1[8:0], LATCH2[8:0]を取得して比較する。また、テスト実行部201は、高速クロックRCLK1の位相が第1の位相値のときに計数結果LATCH1[8:0], LATCH2[8:0]を取得して比較してもよい。また、テスト実行部201は、高速クロックRCLK1の位相が第1の位相値の直後の値(タイミング信号HS__PHASE[4:0]の値が10)のときに計数結果LATCH1[8:0], LATCH2[8:0]を取得して比較してもよい。図21では、これらのタイミングをPhase1で表している。
- [0092] また、テスト実行部201は、高速クロックRCLK1の位相が第2の位相値(281.25°、タイミング信号HS__PHASE[4:0]の値が

25) の直前の値 (タイミング信号 HS__PHASE [4 : 0] の値が 24) のときに計数結果 LATCH1 [8 : 0], LATCH2 [8 : 0] を取得して比較する。また、テスト実行部 201 は、高速クロック RCLK1 の位相が第 2 の位相値のときに計数結果 LATCH1 [8 : 0], LATCH2 [8 : 0] を取得して比較してもよい。また、テスト実行部 201 は、高速クロック RCLK1 の位相が第 2 の位相値の直後の値 (タイミング信号 HS__PHASE [4 : 0] の値が 26) のときに計数結果 LATCH1 [8 : 0], LATCH2 [8 : 0] を取得して比較してもよい。図 21 では、これらのタイミングを Phase 2 で表している。

[0093] これら Phase 1, Phase 2 のタイミングのときは計数結果 LATCH1 [8 : 0], LATCH2 [8 : 0] の値が共に高速カウンタ 12a, 12b で Low 幅違反とはならないカウント値になっているはずなので、テスト実行部 201 は、Phase 1 のタイミングで取得した計数結果 LATCH1 [8 : 0] と LATCH2 [8 : 0] とを比較し、同様に Phase 2 のタイミングで取得した計数結果 LATCH1 [8 : 0] と LATCH2 [8 : 0] とを比較する。

[0094] そして、テスト実行部 201 は、計数結果 LATCH1 [8 : 0] と LATCH2 [8 : 0] とが一致している場合には、リングオシレータ 11a の遅延回路 (NAND 回路 110 とバッファ回路 111-1 ~ 111-15) が正常と判定し、計数結果 LATCH1 [8 : 0] と LATCH2 [8 : 0] とが不一致の場合には、遅延回路が故障していると判定する。判定結果の出力方法としては、例えば判定結果を知らせる内容を表示したり、判定結果を知らせる情報を外部に送信したりする方法がある。

[0095] なお、高速クロック RCLK1, RCLK2 と発振停止信号 ROSC__STOP の位相関係は非同期なので、本実施例のようなテストを行う場合は、発振停止信号 ROSC__STOP によるマスク解除のタイミングをマスク解除タイミング制御回路 25 によって制御する必要がある。

[0096] 図 19 に示したように、マスク解除タイミング制御回路 25 は、AND 回

路250と、AND回路251と、Dフリップフロップ回路252と、Dフリップフロップ回路253Dフリップフロップ回路254とから構成される。AND回路250は、バッファ回路13から出力された高速クロックRCLK1と時間算出部21aから出力されたテスト指示信号ROSC__TESTの論理積の結果を出力する。AND回路251は、インバータ14から出力された高速クロックRCLK2とテスト指示信号ROSC__TESTの論理積の結果を出力する。Dフリップフロップ回路252は、動作設定回路24から出力された停止信号ROSC__STOPaをD入力とし、AND回路251の出力をクロック入力とする。Dフリップフロップ回路253は、Dフリップフロップ回路252の出力STOP__RCLK2__D1をD入力とし、停止信号ROSC__STOPaをクロック入力とする。Dフリップフロップ回路254は、Dフリップフロップ回路253の出力STOP__RCLK2__D2をD入力とし、AND回路250の出力をクロック入力とする。

[0097] OR回路26は、高速クロックRCLK1とマスク解除タイミング制御回路25のDフリップフロップ回路254の出力STOP__RCLK1__D3（第4の停止信号）と停止信号ROSC__STOPaの論理和の結果を高速クロックROSC__CLK1として出力する。

[0098] OR回路27は、高速クロックRCLK2とマスク解除タイミング制御回路25のDフリップフロップ回路253の出力STOP__RCLK2__D2（第5の停止信号）と停止信号ROSC__STOPaの論理和の結果を高速クロックROSC__CLK2として出力する。

[0099] 図22はマスク解除タイミング制御回路25の動作を説明するタイミングチャートである。なお、図22は、タイミング信号HS__PHASE[4:0]の値が24または25の場合を示している。第1～第3の実施例のリングオシレータ11aとバッファ回路13とインバータ14とは、発振許可信号TDC__ENが有意（High）となったときに、高速クロックRCLK2の立ち上がり→高速クロックRCLK1の立ち上がり→高速クロックRCLK2の立ち上がり→高速クロックRCLK1の立ち上がり、というように

高速クロックRCLK2, RCLK1を交互に立ち上げる動作を行う。

[0100] このため、図22の105で示すように、動作開始時に、高速カウンタ12b(HS_CNT2[8:0])、高速カウンタ12a(HS_CNT1[8:0])を)の順番でカウントアップが開始される。したがって、マスク解除時も図22のタイミングチャートのように、高速クロックRCLK2の立ち上がり→高速クロックRCLK1の立ち上がり→高速クロックRCLK2の立ち上がり→高速クロックRCLK1の立ち上がり、という順番となるようにマスク解除のタイミングを制御する。

[0101] 図22のSTOP_RCLK2_D1はDフリップフロップ回路252の出力を示し、STOP_RCLK2_D2はDフリップフロップ回路253の出力を示し、STOP_RCLK1_D3はDフリップフロップ回路254の出力を示している。Dフリップフロップ回路253の出力STOP_RCLK2_D2は、OR回路27において高速クロックRCLK2のマスクに使用される。また、Dフリップフロップ回路254の出力STOP_RCLK1_D3は、OR回路26において高速クロックRCLK1のマスクに使用される。

[0102] このように、Dフリップフロップ回路254の出力STOP_RCLK1_D3よりもDフリップフロップ回路253の出力STOP_RCLK2_D2が先に立ち下がり、高速クロックRCLK1よりも高速クロックRCLK2が先にマスク解除されるので、図22の106で示すように、マスク解除時においても、高速カウンタ12b(HS_CNT2[8:0])、高速カウンタ12a(HS_CNT1[8:0])を)の順番でカウントアップが再開される。

[0103] 本実施例では、上記のとおりPhase1, Phase2のタイミングで計数結果LATCH1[8:0]とLATCH2[8:0]とを比較するが、タイミング信号HS_PHASE[4:0]の値が24、25または26の場合(高速クロックRCLK1の位相が第2の位相値の直前の値、第2の位相値または第2の位相値の直後の値の場合)、リングオシレータ11aの

遅延回路に故障がなければ、図22の107の所で示すように、計数結果LATCH1[8:0]とLATCH2[8:0]は必ず一致する。

[0104] 一方、タイミング信号HS__PHASE[4:0]の値が8、9または10の場合（高速クロックRCLK1の位相が第1の位相値の直前の値、第1の位相値または第1の位相値の直後の値の場合）、図23に示すように、高速クロックROSC__CLK2の方がROSC__CLK1よりも1回多く立ち上がるため、図23の108の所で示すように、計数結果LATCH1[8:0]に対してLATCH2[8:0]の方がカウント値が1大きくなる。

[0105] そこで、タイミング信号HS__PHASE[4:0]の値が8、9または10の場合には、テスト実行部201は、計数結果LATCH2[8:0]を1減算した上で、計数結果LATCH1[8:0]と減算後のLATCH2[8:0]とを比較し、計数結果LATCH1[8:0]とLATCH2[8:0]とが一致している場合には、リングオシレータ11aの遅延回路が正常と判定し、計数結果LATCH1[8:0]とLATCH2[8:0]とが不一致の場合には、遅延回路が故障していると判定する。

[0106] 通常時の動作は第1の実施例と同様である。上記のとおり、テスト実行時にはテスト指示信号ROSC__TESTがHighレベルとなるので、マスク解除タイミング制御回路25のAND回路250、251によりマスク解除タイミング制御回路25の動作が有効となる。一方、通常時にはテスト指示信号ROSC__TESTがLowレベルとなるので、マスク解除タイミング制御回路25の動作が無効（AND回路250、251の出力が常にLowレベル）となる。

[0107] 通常時には、OR回路26は、第1の実施例のOR回路15と同様に、バッファ回路13から出力された高速クロックRCLK1と停止信号ROSC__STOPa（ROSC__STOP）の論理和の結果を高速クロックROSC__CLK1として出力する。OR回路27は、OR回路16と同様に、インバータ14から出力された高速クロックRCLK2と停止信号ROSC__

STOP_a (ROSC__STOP) の論理和の結果を高速クロック ROSC__CLK₂ として出力する。

[0108] 本実施例の自己テスト機能を用いることで、IC出荷検査用テスターとして、発振開始信号 ROSC__START と発振停止信号 ROSC__STOP 間を数十 ps の分解能で制御可能なテスターを選択する必要がなくなり、外部から発振開始信号 ROSC__START と発振停止信号 ROSC__STOP とを入力せずにテストが可能なので、時間計測回路を搭載した IC のテスト時間も短縮できる。その結果、本実施例では、IC のコスト削減に貢献できる。

[0109] 第1～第3の実施例で説明した時間計測回路の時間算出部 21, 21a は、CPU (Central Processing Unit)、記憶装置及びインタフェースを備えたコンピュータと、これらのハードウェア資源を制御するプログラムによって実現することができる。このコンピュータの構成例を図24に示す。コンピュータは、CPU 300 と、記憶装置 301 と、インターフェース装置（以下、I/F と略する）302 とを備えている。I/F 302 には、セレクタ 20 とエッジ検出回路 17, 17a と D フリップフロップ回路 18a, 18b とエンコーダ 19 と動作設定回路 24 とマスク解除タイミング制御回路 25 とが接続される。このようなコンピュータにおいて、本発明を実現させるためのプログラムは記憶装置 301 に格納される。CPU 300 は、記憶装置 301 に格納されたプログラムに従って第1～第3の実施例で説明した処理を実行する。

産業上の利用可能性

[0110] 本発明は、psec オーダーの時間を計測する技術に適用することができる。

符号の説明

[0111] 10, 18a, 18b, 112-1～112-16, 252～254…D フリップフロップ回路、11a…リングオシレータ、12a, 12b…高速カウンタ、13, 111-1～111-15…バッファ回路、14…インバ

ータ、15, 16, 2326, 27…OR回路、17, 17a…エッジ検出回路、19…エンコーダ、20, 20a, 240, 241…セクタ、21, 21a, 200…時間算出部、22, 28…論理回路、24…動作設定回路、25…マスク解除タイミング制御回路、110…NAND回路、201…テスト実行部、242, 250, 251…AND回路。

請求の範囲

- [請求項1] 外部からの開始信号の入力のタイミングで有意となり、外部からの停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、
- 前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、
- 前記第1のクロックと、前記第1のクロックを反転させた第2のクロックとをそれぞれ前記停止信号でマスクするように構成された論理回路と、
- 前記停止信号でマスクされた第1のクロックを数えるように構成された第1のカウンタと、
- 前記停止信号でマスクされた第2のクロックを数えるように構成された第2のカウンタと、
- 前記第1、第2のカウンタの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するように構成されたセレクトと、
- 前記停止信号の入力後に前記セレクトによって選択された計数結果を基に前記開始信号の入力から前記停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備える時間計測回路。
- [請求項2] 請求項1記載の時間計測回路において、
- 前記セレクトは、前記第1のクロックの位相が 0° から 180° よりも小さい所定の第1の位相値未満の範囲では前記第1のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第1の位相値から 180° 以上で 360° よりも小さい所定の第2の位相値未満の範囲では前記第2のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第2の位相値以上 360° 未満の範囲では前記第1のカウンタの計数結果を選択することを特徴とする時間計測回路。
- [請求項3] 請求項1または2記載の時間計測回路において、

前記論理回路は、

前記発振回路から出力された第1のクロックを入力とするバッファ回路と、

前記発振回路から出力された第1のクロックを反転させた前記第2のクロックを生成するように構成されたインバータと、

前記バッファ回路から出力された第1のクロックを前記停止信号でORマスクするように構成された第1のOR回路と、

前記インバータから出力された第2のクロックを前記停止信号でORマスクするように構成された第2のOR回路とから構成されることを特徴とする時間計測回路。

[請求項4]

外部からの開始信号の入力のタイミングで有意となり、外部からの停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、

前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、

前記第1のクロックを前記停止信号でマスクした第2のクロックを生成するように構成された論理回路と、

前記第1のクロックを数えるように構成された第1のカウントと、

前記第2のクロックを数えるように構成された第2のカウントと、

前記第1、第2のカウントの計数結果のうち、受付不可能な時間幅のクロック入力が発生していない方のカウントによって得られた計数結果を選択するように構成されたセレクトと、

前記停止信号の入力後に前記セレクトによって選択された計数結果を基に前記開始信号の入力から前記停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備える時間計測回路。

[請求項5]

請求項4記載の時間計測回路において、

前記セレクトは、前記第1のクロックの位相が 0° から 180° よりも小さい所定の第1の位相値未満の範囲では前記第2のカウントの

計数結果を選択し、前記第1のクロックの位相が前記第1の位相値から 180° 以上で 360° よりも小さい所定の第2の位相値未満の範囲では前記第1のカウンタの計数結果を選択し、前記第1のクロックの位相が前記第2の位相値以上 360° 未満の範囲では前記第2のカウンタの計数結果を選択することを特徴とする時間計測回路。

[請求項6]

請求項4または5記載の時間計測回路において、

前記論理回路は、前記発振回路から出力された第1のクロックを前記停止信号でORマスクした前記第2のクロックを生成するように構成されたOR回路から構成されることを特徴とする時間計測回路。

[請求項7]

時間計測回路のテストを行うように構成されたテスト実行部と、

通常時に外部から入力された第1の開始信号、第1の停止信号を選択して出力し、テスト実行時に前記テスト実行部から出力された第2の開始信号、第2の停止信号を選択して出力すると共に、テスト終了時に第3の停止信号を出力するように構成された動作設定回路と、

前記第1の開始信号または前記第2の開始信号の入力のタイミングで有意となり、前記第1の停止信号または前記第3の停止信号の入力のタイミングで無意となる発振許可信号を出力するように構成されたフリップフロップ回路と、

前記発振許可信号が有意の期間中に第1のクロックを生成するように構成された発振回路と、

前記第1のクロックと、前記第1のクロックを反転させた第2のクロックとをそれぞれ前記第1の停止信号または前記第2の停止信号でマスクするように構成された論理回路と、

前記第1の停止信号または前記第2の停止信号でマスクされた第1のクロックを数えるように構成された第1のカウンタと、

前記第1の停止信号または前記第2の停止信号でマスクされた第2のクロックを数えるように構成された第2のカウンタと、

前記第1、第2のカウンタの計数結果のうち、受付不可能な時間幅

のクロック入力が発生していない方のカウンタによって得られた計数結果を選択するように構成されたセレクトと、

通常時に前記第 1 の停止信号の入力後に前記セレクトによって選択された計数結果を基に前記第 1 の開始信号の入力から前記第 1 の停止信号の入力までの時間間隔を算出するように構成された時間算出部とを備え、

前記テスト実行部は、テスト実行時に前記第 1、第 2 のカウンタの計数結果を比較することにより、前記発振回路のテストを行うことを特徴とする時間計測回路。

[請求項 8] 請求項 7 記載の時間計測回路において、

前記セレクトは、前記第 1 のクロックの位相が 0° から 180° よりも小さい所定の第 1 の位相値未満の範囲では前記第 1 のカウンタの計数結果を選択し、前記第 1 のクロックの位相が前記第 1 の位相値から 180° 以上で 360° よりも小さい所定の第 2 の位相値未満の範囲では前記第 2 のカウンタの計数結果を選択し、前記第 1 のクロックの位相が前記第 2 の位相値以上 360° 未満の範囲では前記第 1 のカウンタの計数結果を選択することを特徴とする時間計測回路。

[請求項 9] 請求項 8 記載の時間計測回路において、

前記テスト実行部は、前記第 1 のクロックの位相が前記第 1 の位相値の直前の値のとき、前記第 1 の位相値のとき、または前記第 1 の位相値の直後の値のときの前記第 1 のカウンタの計数結果と前記第 2 のカウンタの計数結果とを取得して比較し、さらに前記第 1 のクロックの位相が前記第 2 の位相値の直前の値のとき、前記第 2 の位相値のとき、または前記第 2 の位相値の直後の値のときの前記第 1 のカウンタの計数結果と前記第 2 のカウンタの計数結果とを取得して比較することを特徴とする時間計測回路。

[請求項 10] 請求項 9 記載の時間計測回路において、

前記テスト実行部は、取得した前記第 1 のカウンタの計数結果と前

記第2のカウンタの計数結果とが一致している場合に、前記発振回路が正常と判定し、前記第1のカウンタの計数結果と前記第2のカウンタの計数結果とが不一致の場合に、前記発振回路が故障していると判定することを特徴とする時間計測回路。

[請求項11]

請求項9または10記載の時間計測回路において、

前記テスト実行部は、前記第1のクロックの位相が前記第1の位相値の直前の値のとき、前記第1の位相値のとき、または前記第1の位相値の直後の値のときの前記第1のカウンタの計数結果と前記第2のカウンタの計数結果とを取得した場合に、取得した第2のカウンタの計数結果を1減算した上で、前記第1のカウンタの計数結果と前記第2のカウンタの計数結果とを比較することを特徴とする時間計測回路。

[請求項12]

請求項7乃至11のいずれか1項に記載の時間計測回路において、前記論理回路は、

前記発振回路から出力された第1のクロックを入力とするバッファ回路と、

前記発振回路から出力された第1のクロックを反転させた前記第2のクロックを生成するように構成されたインバータと、

テスト実行時に、前記第1のクロックを前記第2のクロックよりも遅れてマスクし前記第2のクロックよりも遅れてマスク解除するための第4の停止信号と、前記第2のクロックを前記第1のクロックよりも先にマスクし前記第1のクロックよりも先にマスク解除するための第5の停止信号とを、前記第2の停止信号から生成するように構成されたマスク解除タイミング制御回路と、

前記バッファ回路から出力された第1のクロックを前記第1の停止信号または前記第4の停止信号でORマスクするように構成された第1のOR回路と、

前記インバータから出力された第2のクロックを前記第1の停止信

号または前記第5の停止信号でORマスクするように構成された第2のOR回路とを備え、

前記発振回路と前記バッファ回路と前記インバータとは、前記発振許可信号が有意になったときに、前記第1のクロックよりも前記第2のクロックが先に有意になるように動作することを特徴とする時間計測回路。

[請求項13]

請求項2、5、8のいずれか1項に記載の時間計測回路において、

前記時間算出部は、前記第1のクロックの位相が前記第1の位相値以上 360° 未満の範囲のときに前記セレクトによって選択された計数結果を取り込んだ場合に、この計数結果を1減算してから前記時間間隔を算出することを特徴とする時間計測回路。

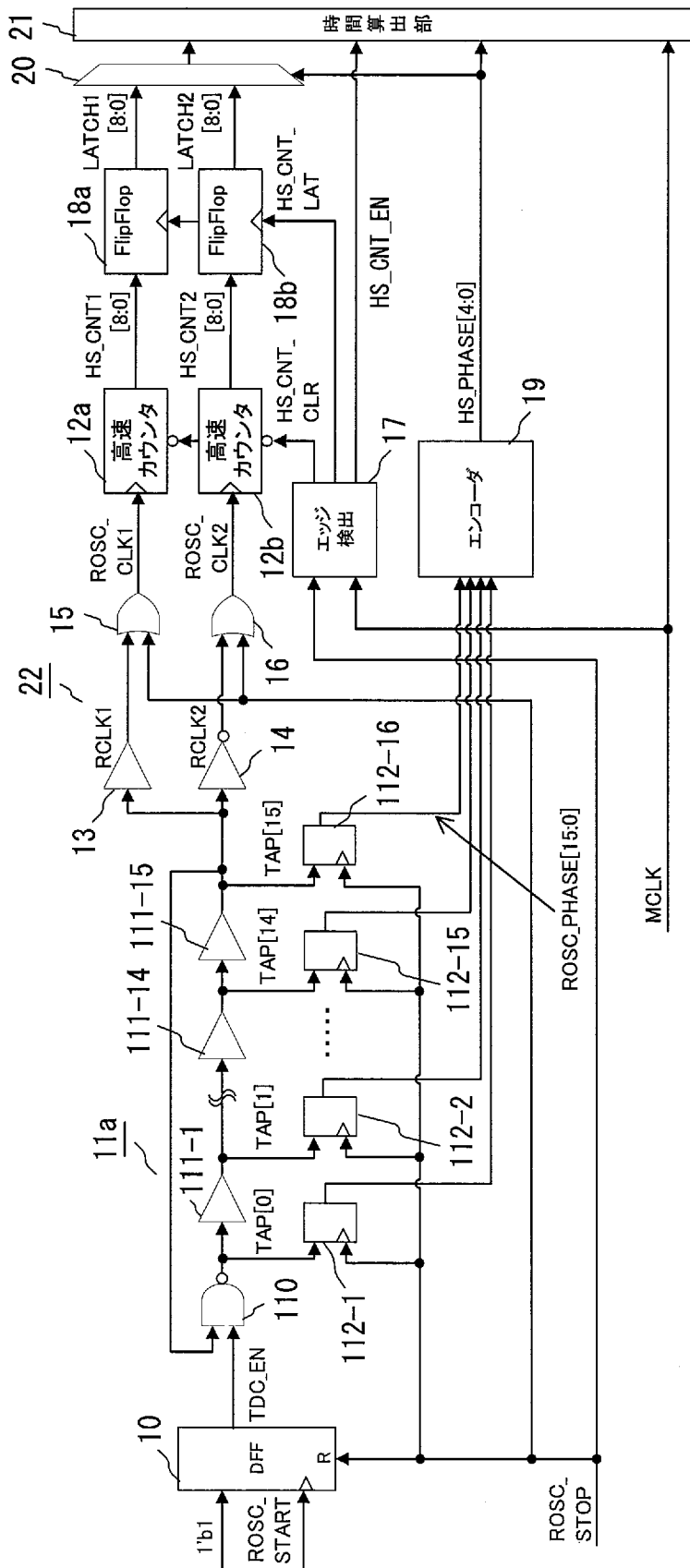
[請求項14]

請求項1～13のいずれか1項に記載の時間計測回路において、

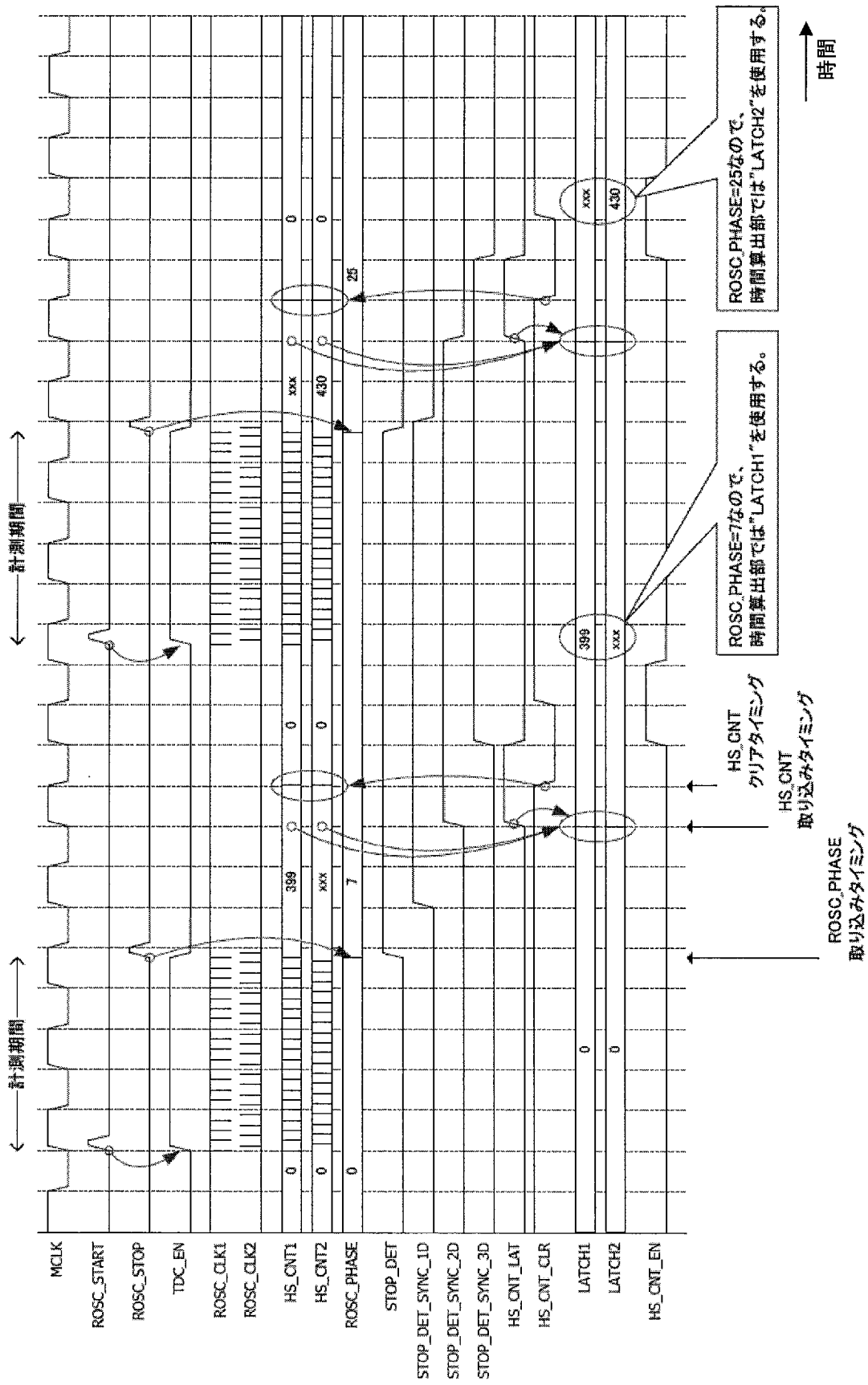
前記発振回路の出力の位相値を示す信号を出力するエンコーダをさらに備え、

前記セレクトは、前記エンコーダから出力された信号に基づいて、前記第1、第2のカウンタの計数結果のうちいずれかを選択することを特徴とする時間計測回路。

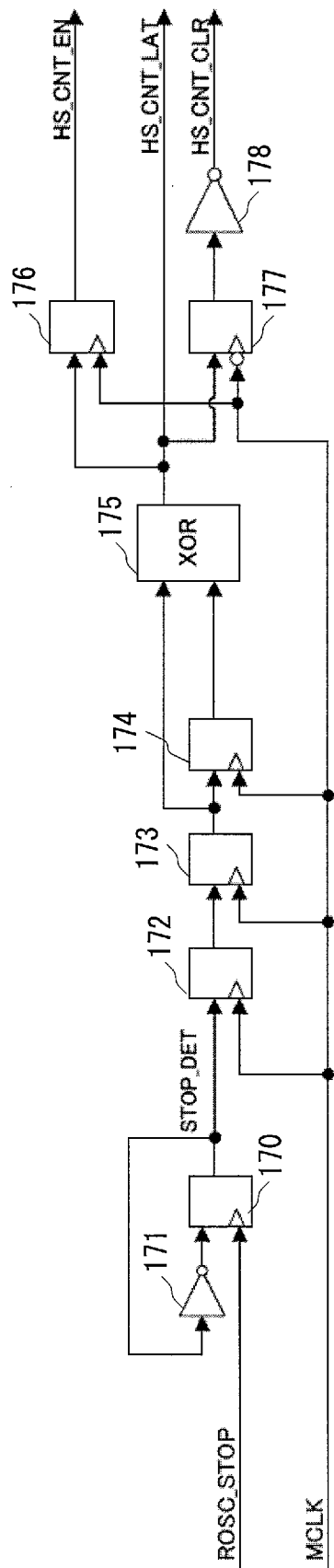
[図1]



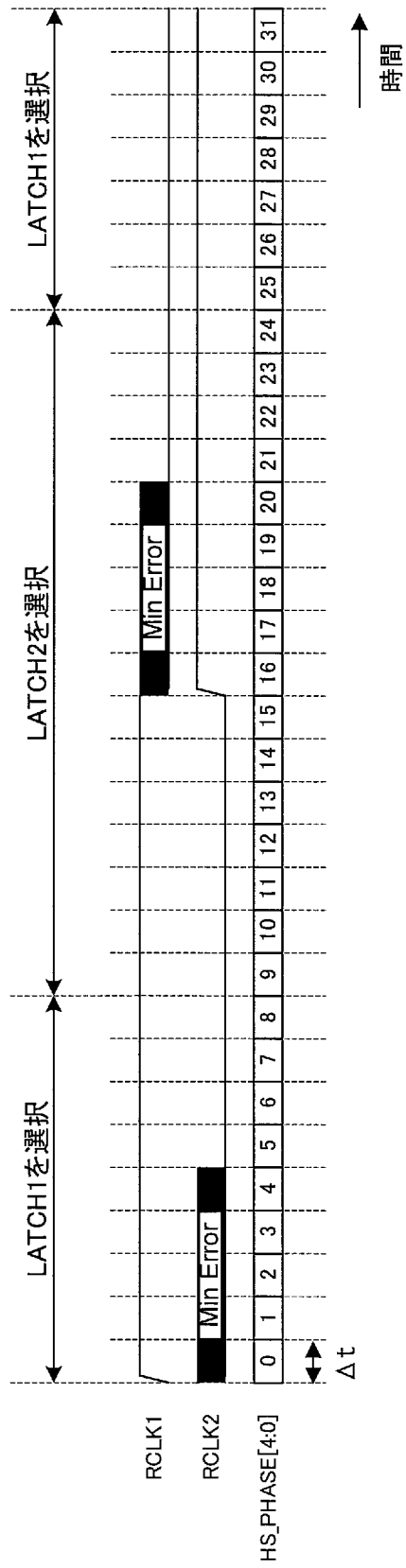
[図2]



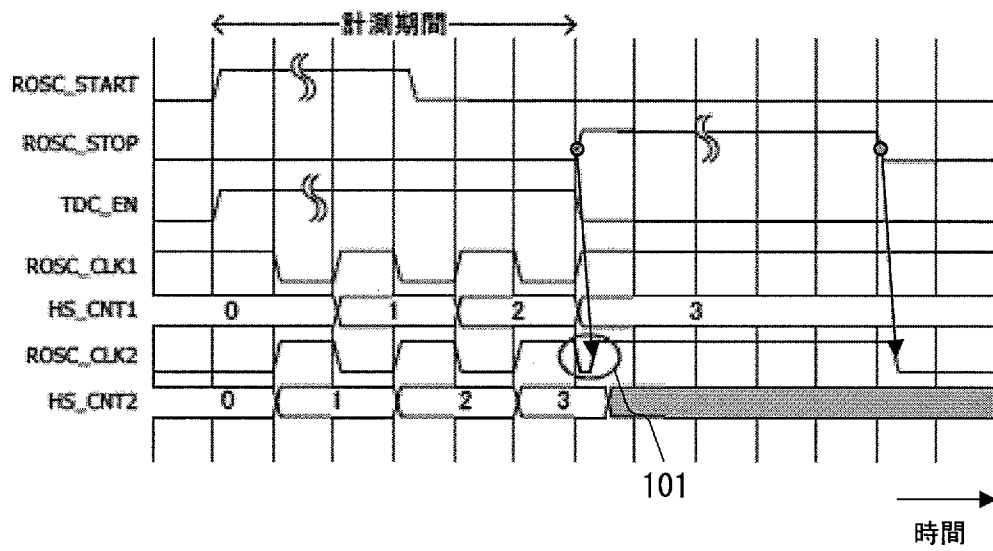
[図3]



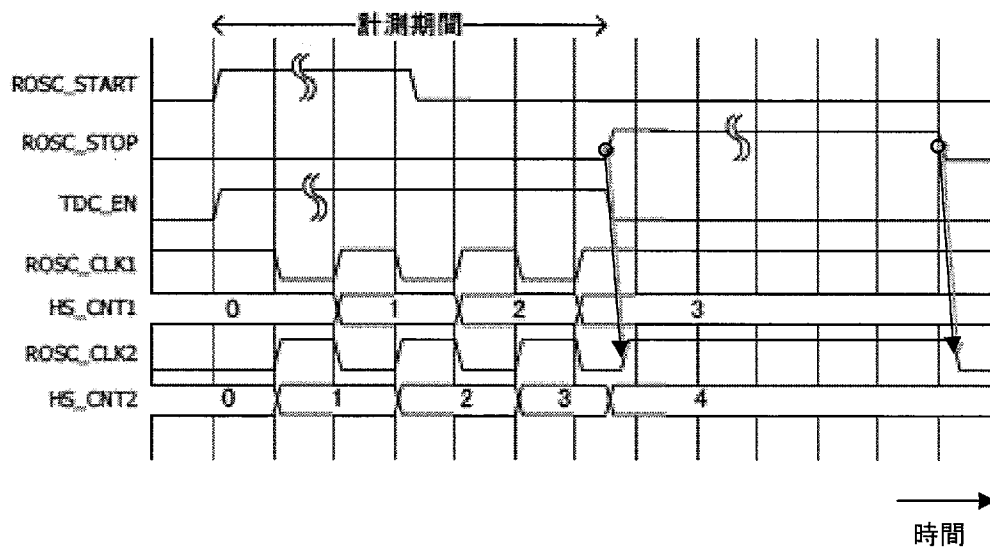
[図4]



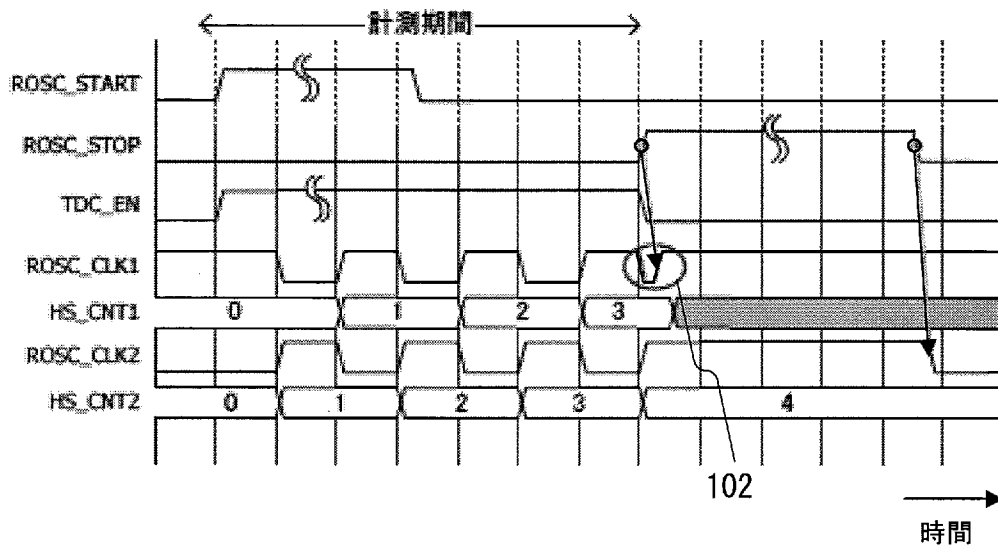
[図5]



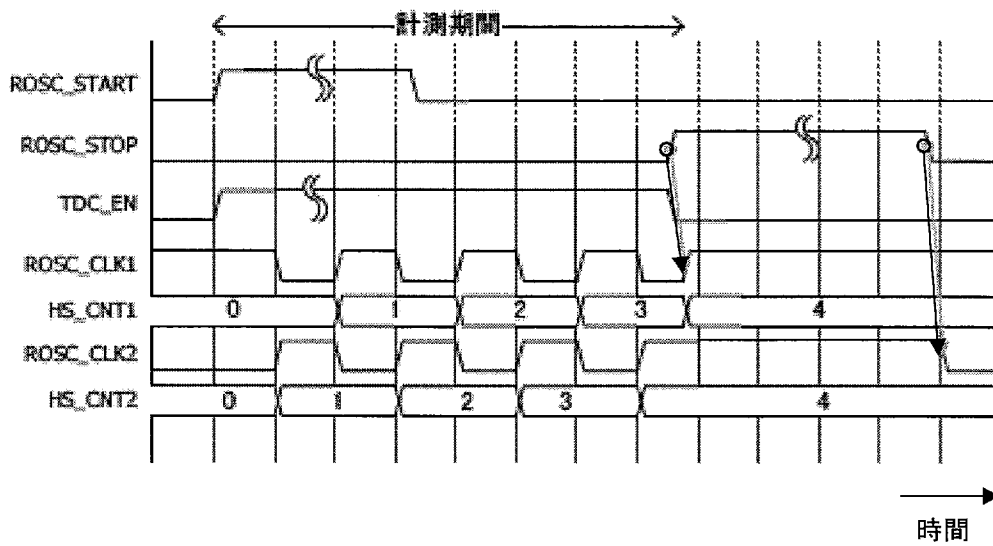
[図6]



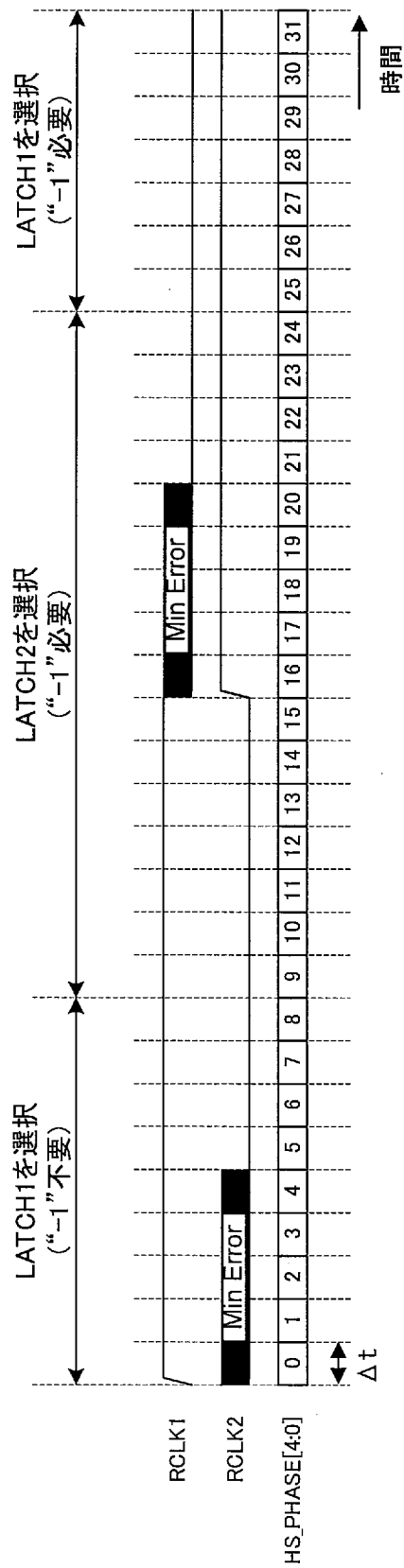
[図7]



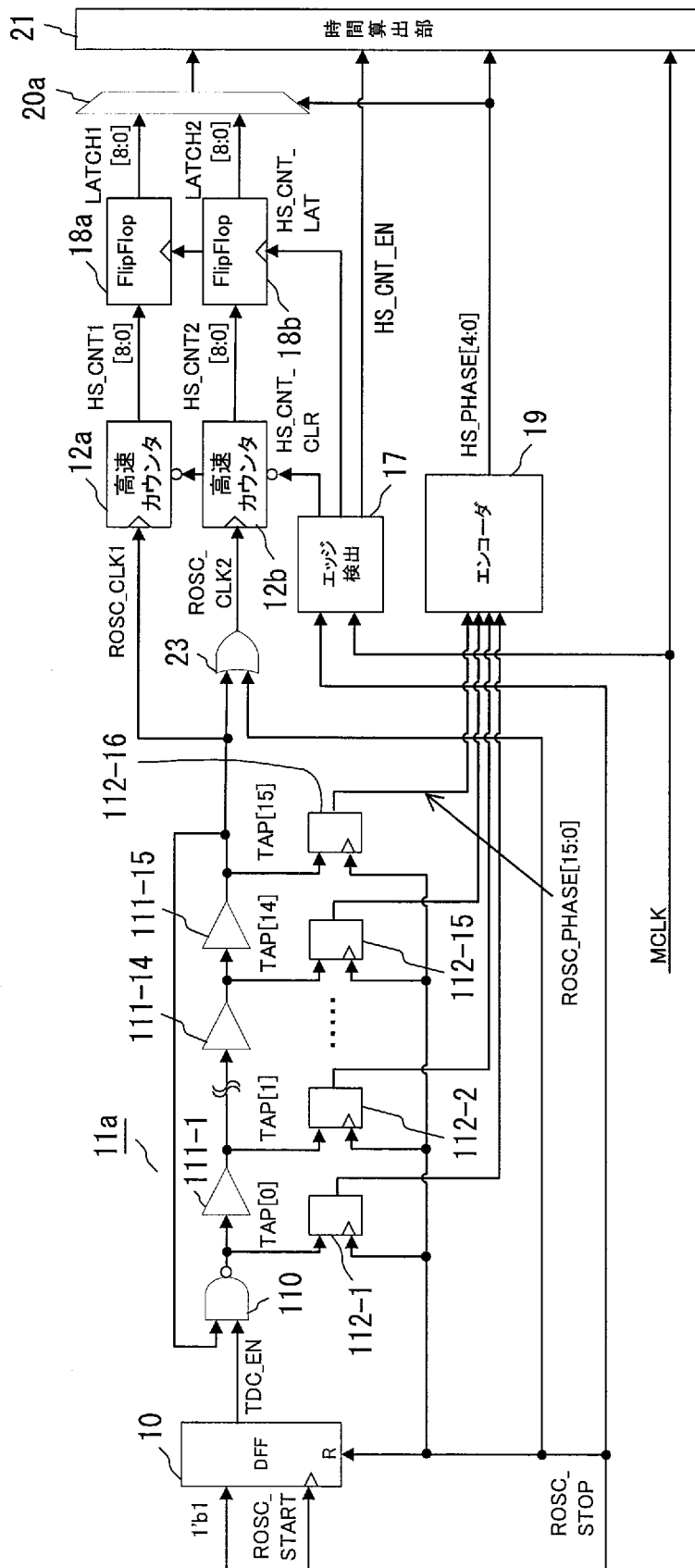
[図8]



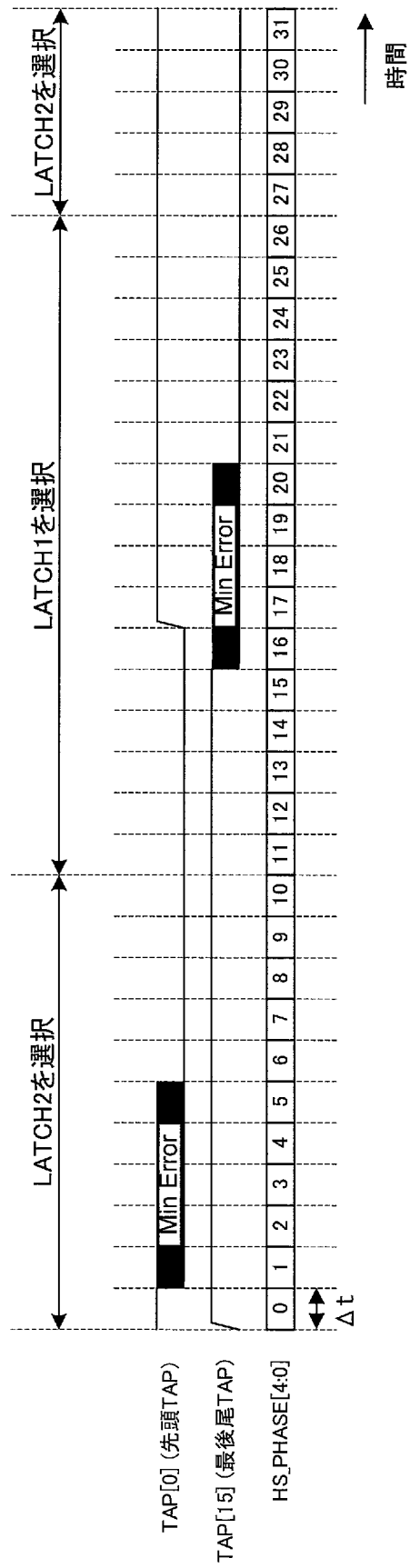
[図9]



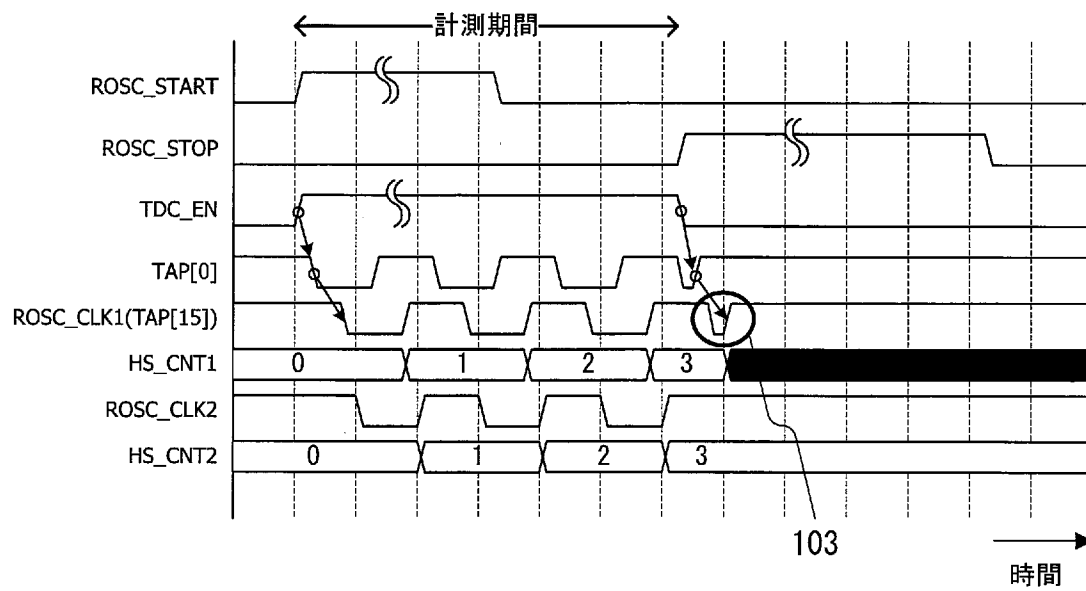
[図10]



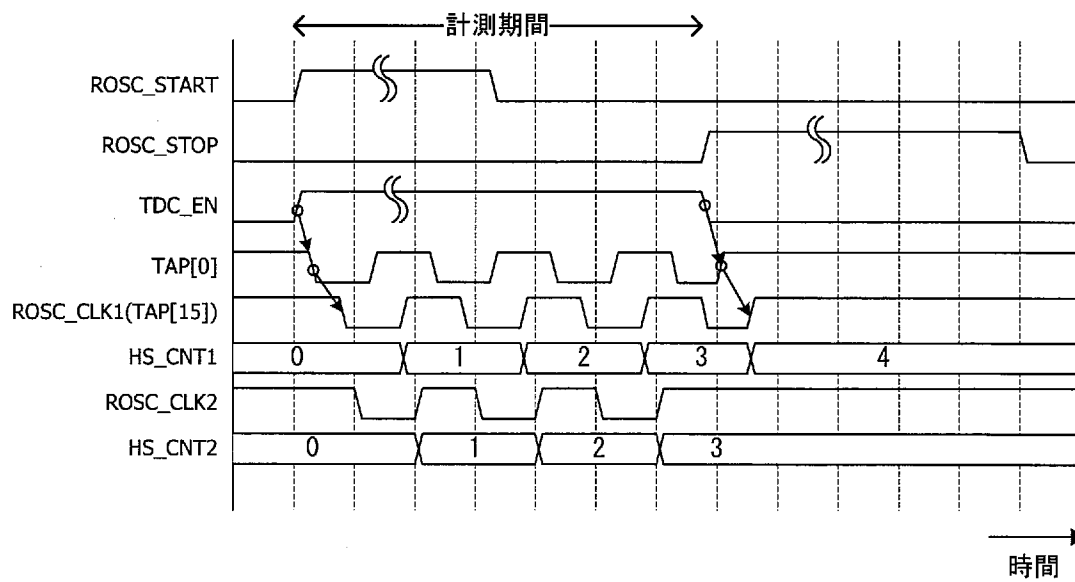
[図11]



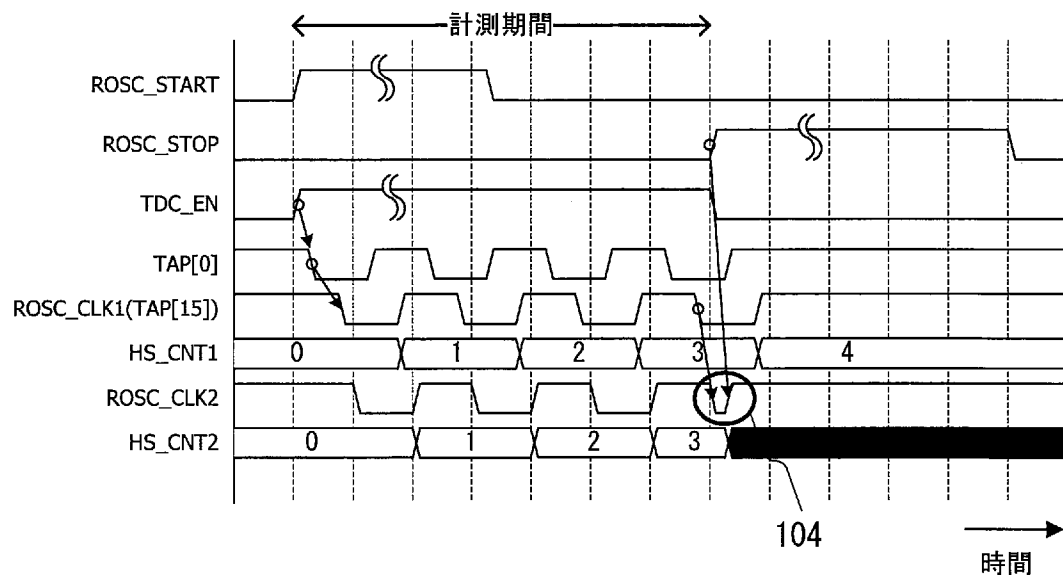
[図12]



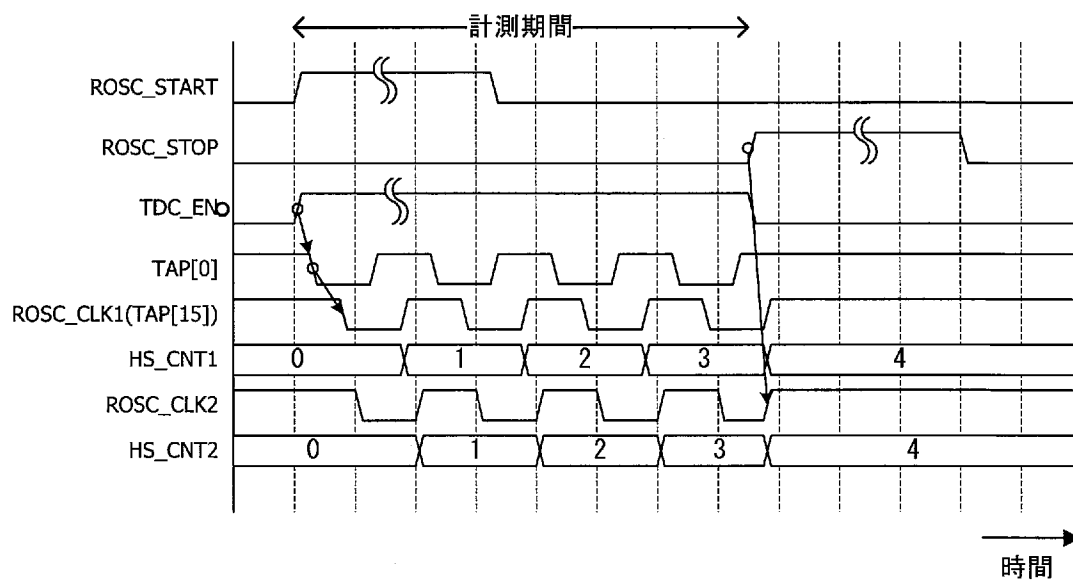
[図13]



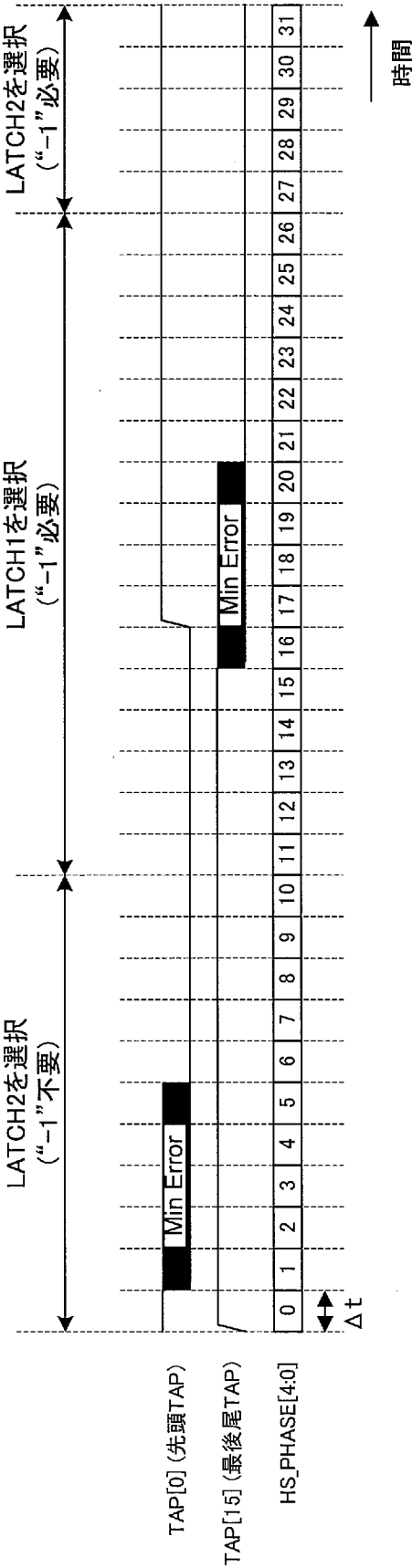
[図14]



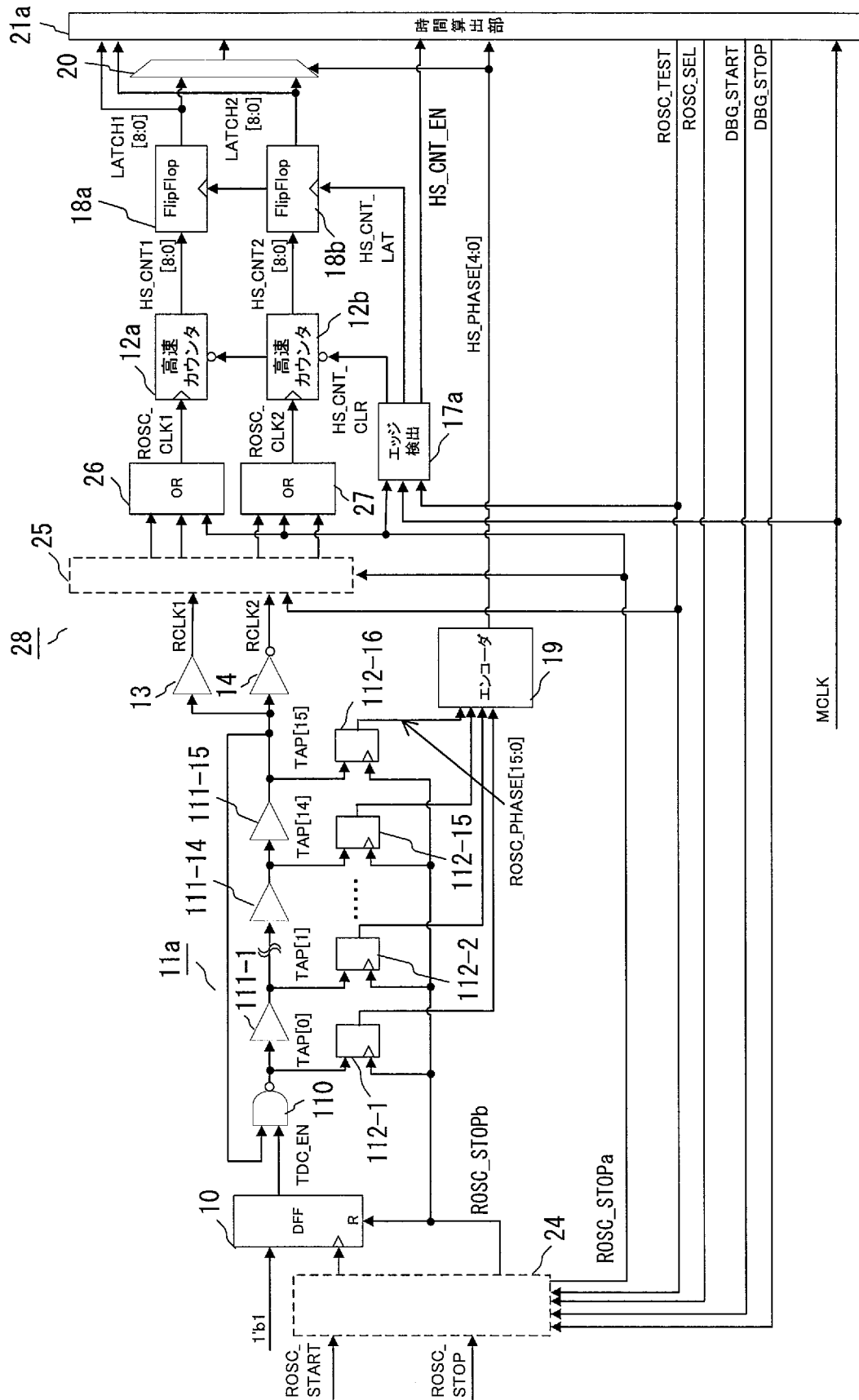
[図15]



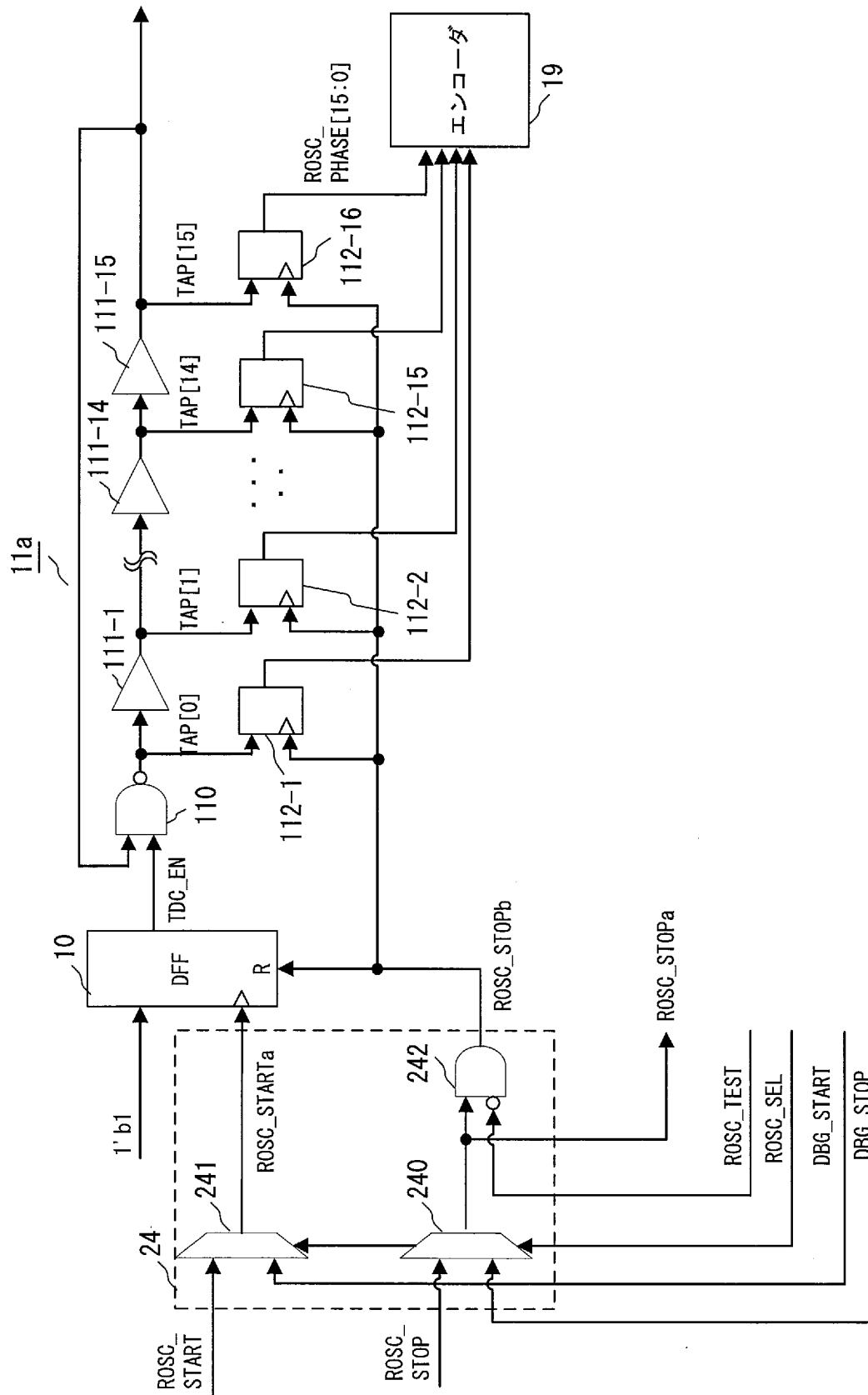
[図16]



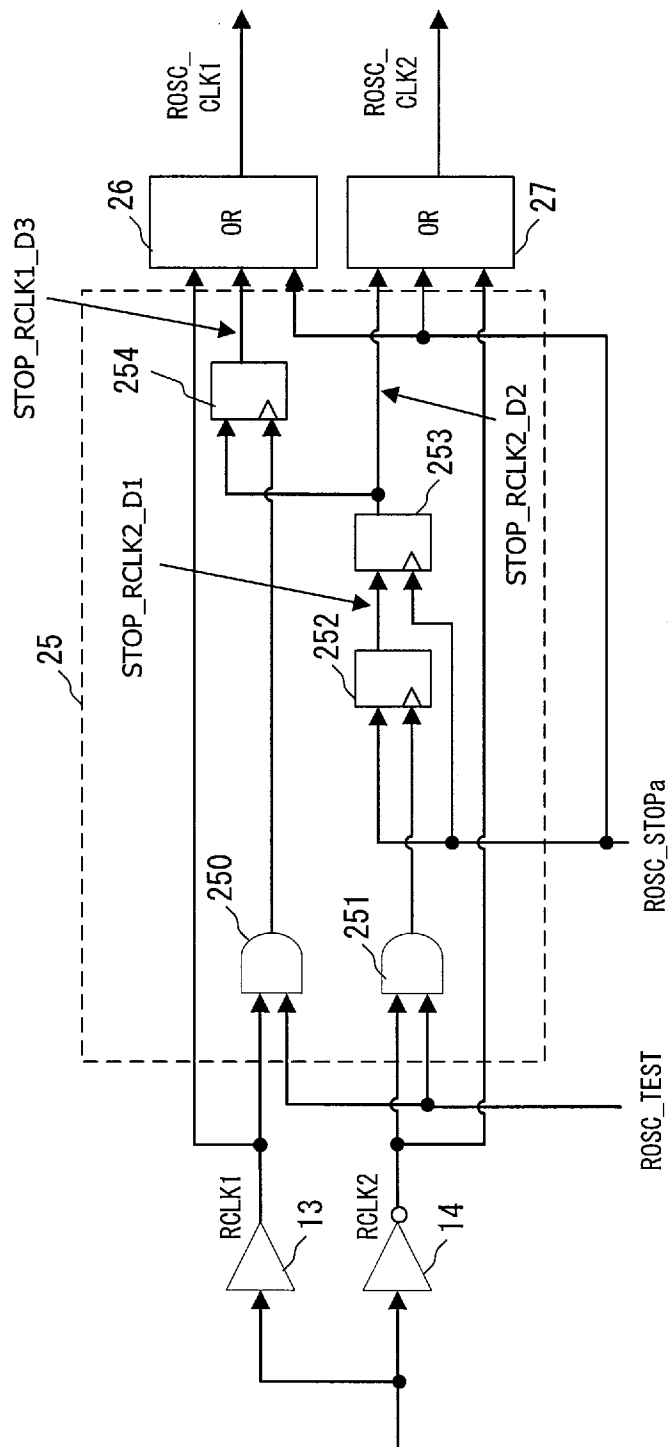
[図17]



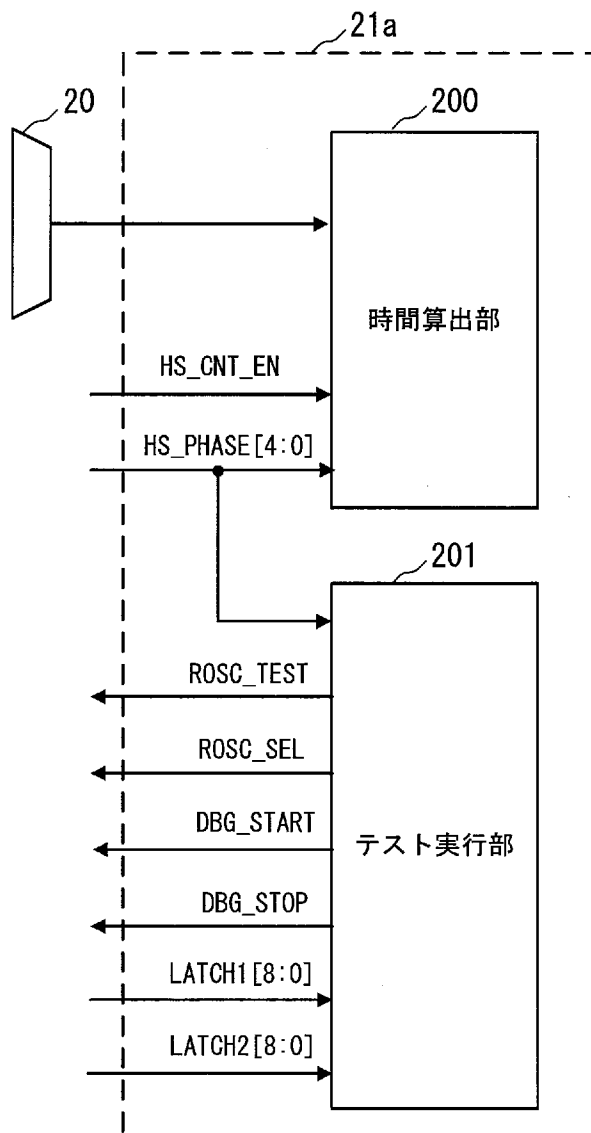
[図18]



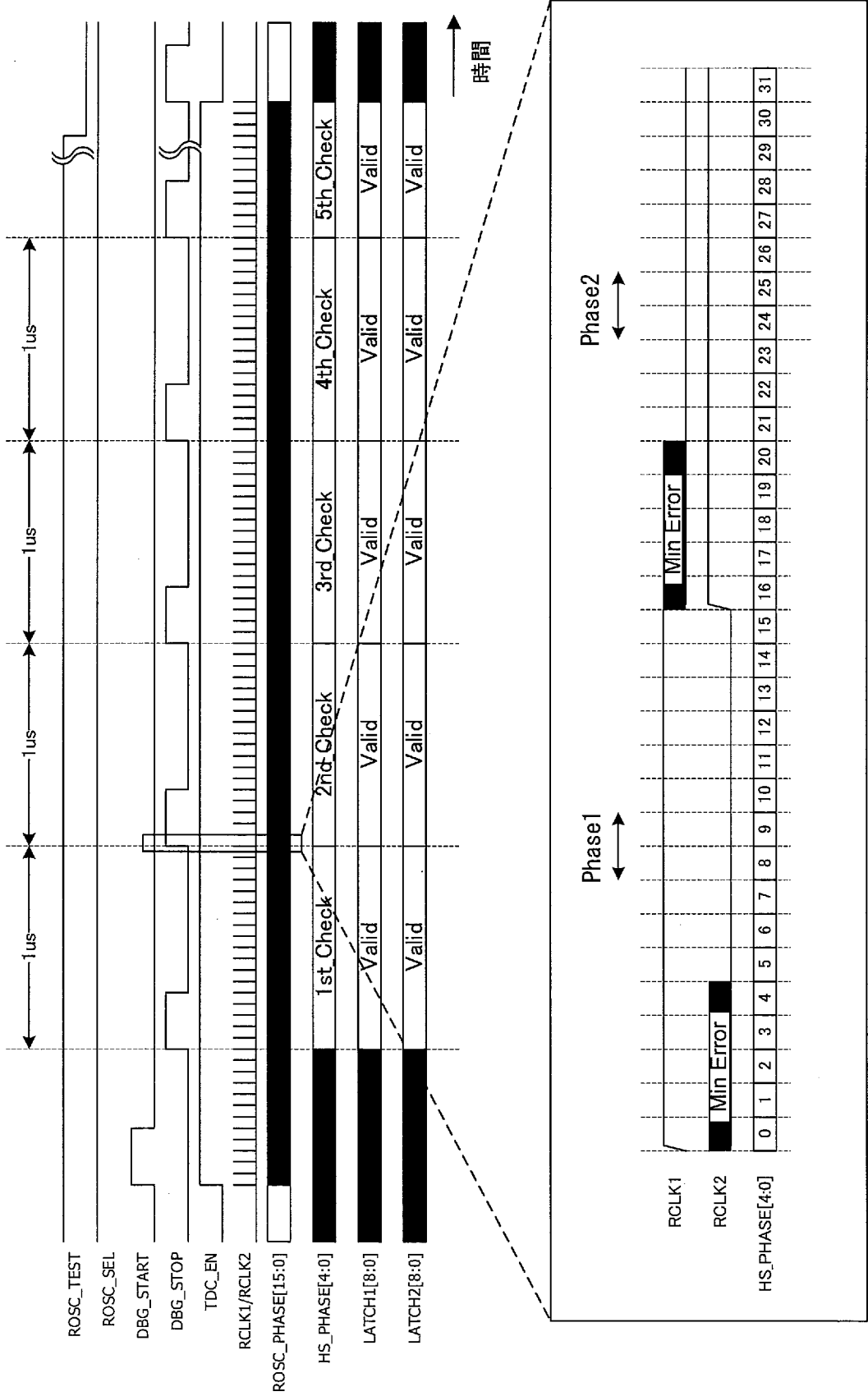
[図19]



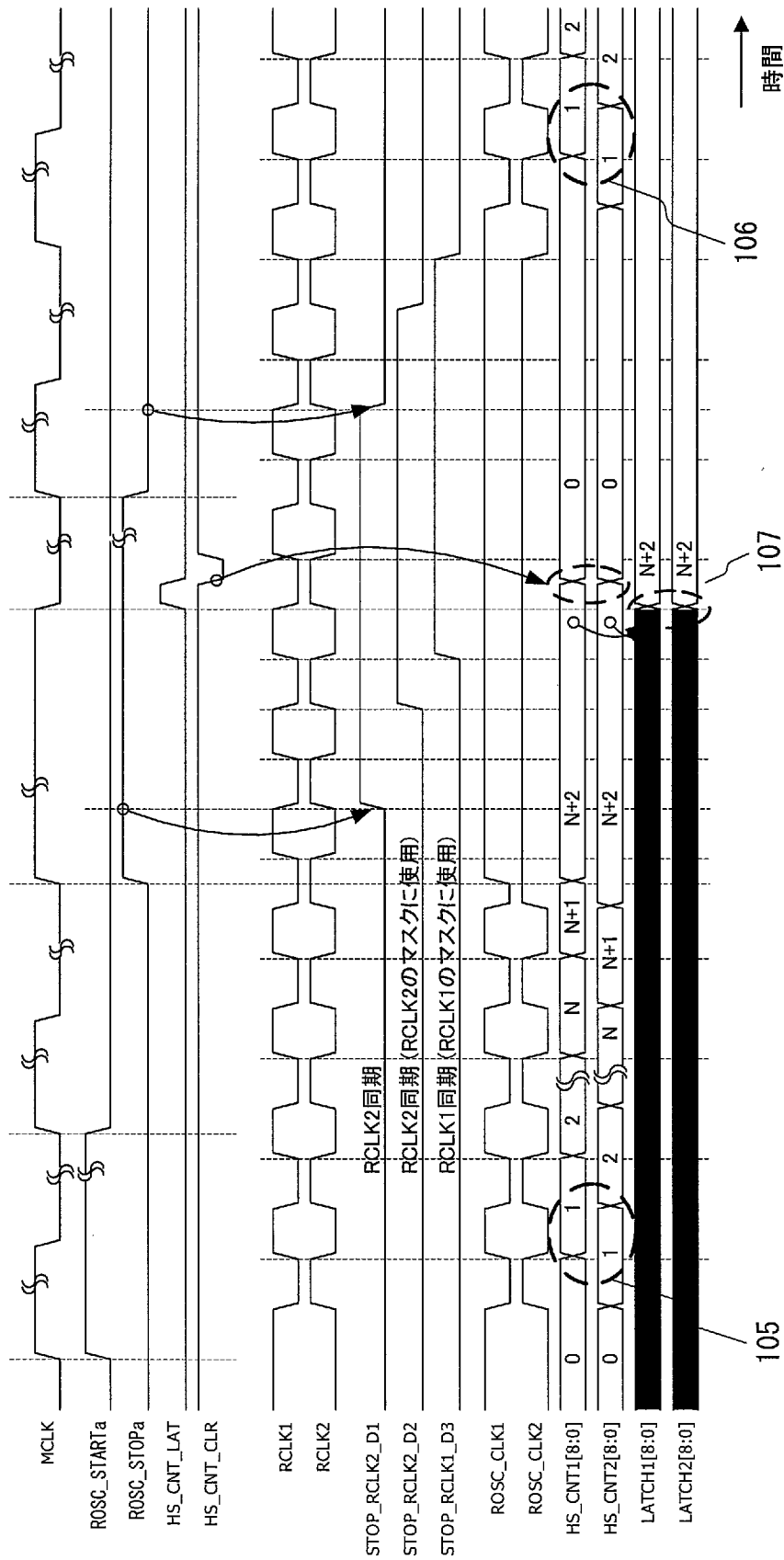
[図20]



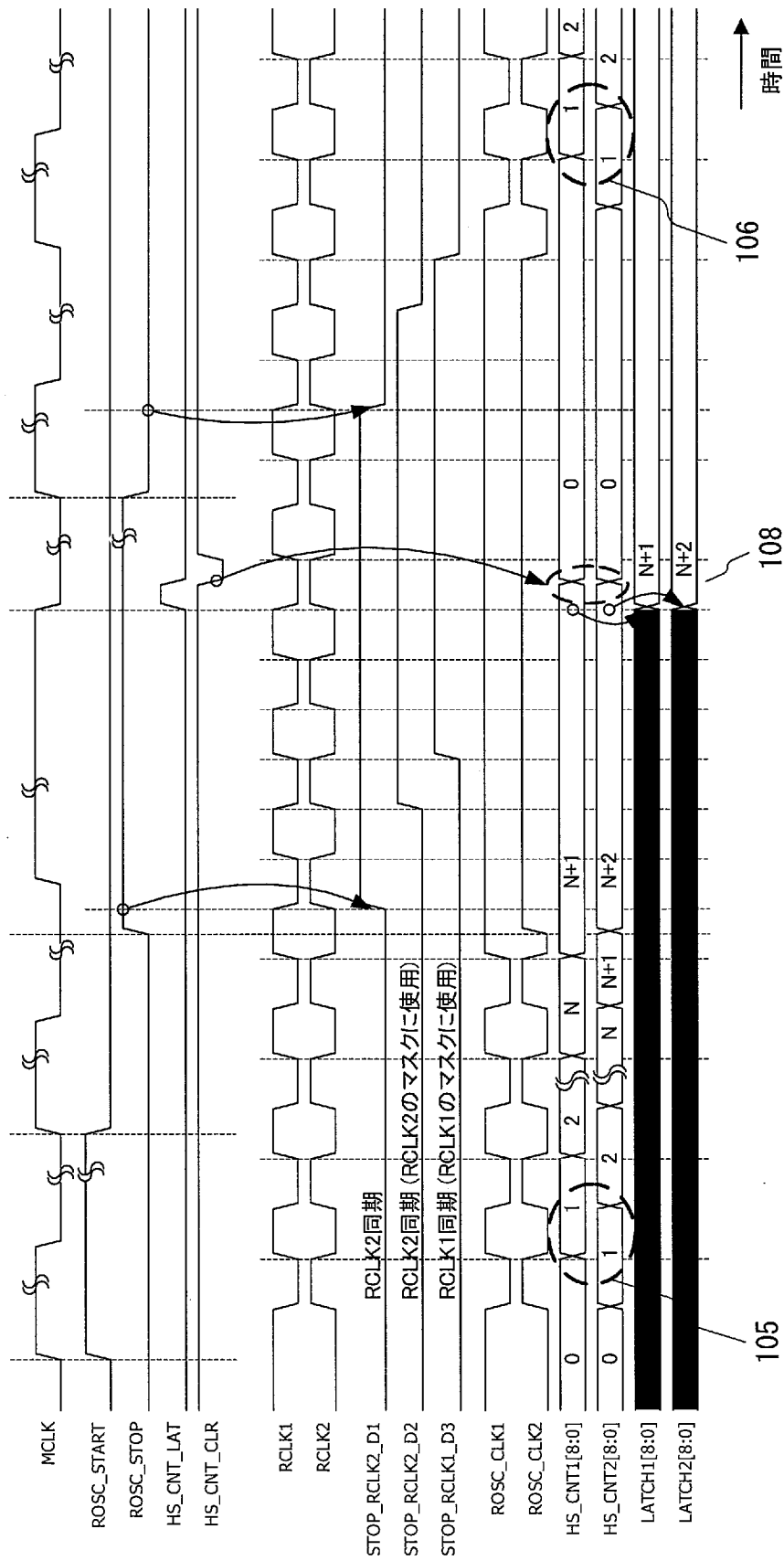
[図21]



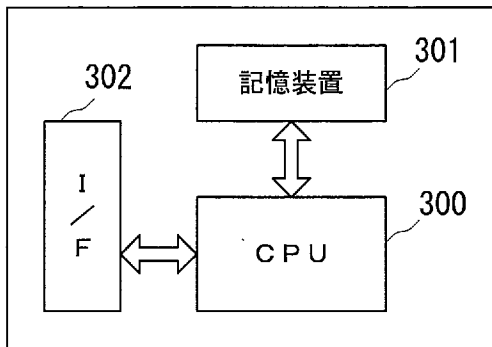
[図22]



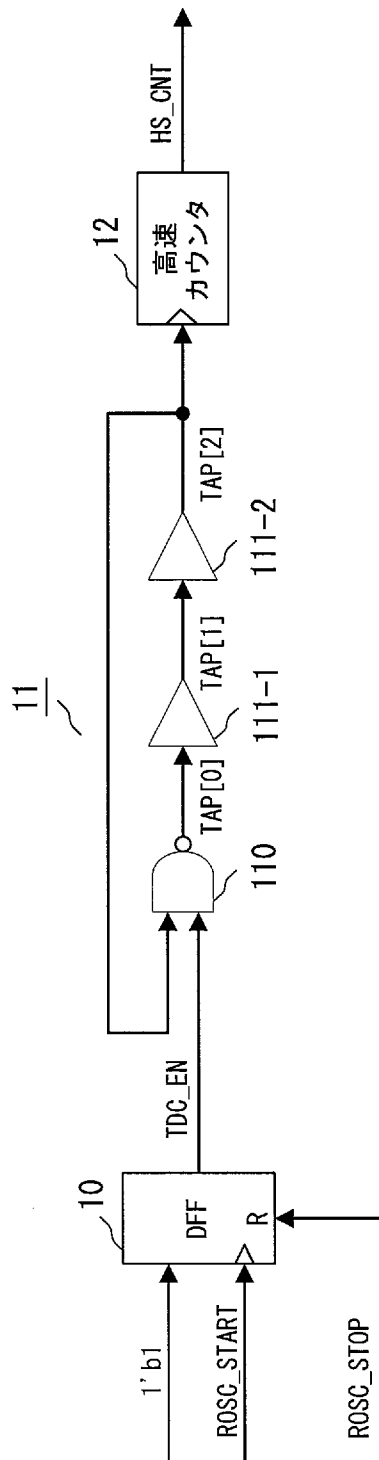
[図23]



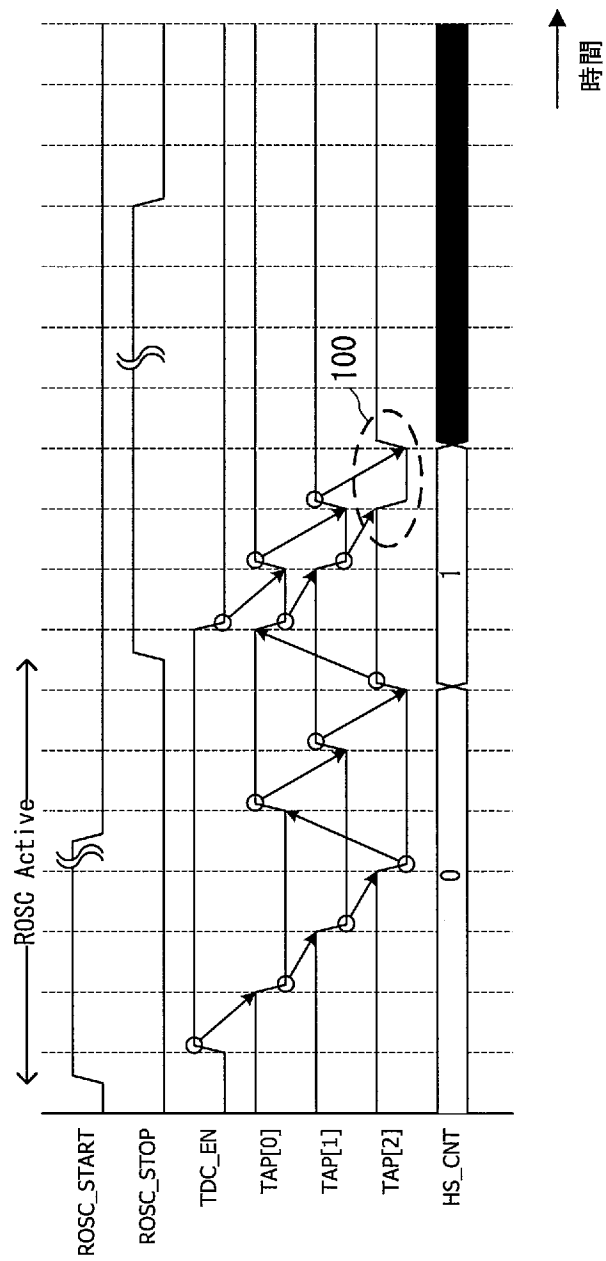
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/011377

A. CLASSIFICATION OF SUBJECT MATTER

G04F10/04 (2006.01) i

FI: G04F10/04 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G04F1/00-13/06, G01R29/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-117356 A (GENERAL ELECTRIC CO.) 15.04.2004 (2004-04-15) paragraphs [0014]-[0028], fig. 4-6	1-14
A	JP 2008-215906 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 18.09.2008 (2008-09-18) paragraphs [0030]-[0076], fig. 1-3	1-14
A	JP 2-227697 A (YOKOGAWA ELECTRIC CORP.) 10.09.1990 (1990-09-10) page 1, upper left column, line 1 to page 5, lower right column, line 19	1-14
A	JP 2016-133419 A (RIKEN, INSTITUTE OF PHYSICAL AND CHEMICAL RESEARCH) 25.07.2016 (2016-07-25) paragraphs [0042]-[0109]	1-14
A	WO 2013/069173 A1 (PANASONIC CORP.) 16.05.2013 (2013-05-16) paragraphs [0031]-[0038], fig. 5-9	1-14
A	US 4995019 A (MAGNETEK CONTROLS) 19.02.1991 (1991-02-19) column 4, line 27 to column 13, line 38	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

01 June 2020 (01.06.2020)

Date of mailing of the international search report

16 June 2020 (16.06.2020)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/011377

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2004-117356 A	15 Apr. 2004	US 2004/0056202 A1 paragraphs [0031]- [0038], fig. 4-6 (Family: none)	
JP 2008-215906 A	18 Sep. 2008	(Family: none)	
JP 2-227697 A	10 Sep. 1990	(Family: none)	
JP 2016-133419 A	25 Jul. 2016	US 2017/0371301 A1 paragraphs [0062]- [0129] WO 2016/117367 A1	
WO 2013/069173 A1	16 May 2013	US 2014/0320329 A1 paragraphs [0039]- [0046], fig. 5-9 (Family: none)	
US 4995019 A	19 Feb. 1991		

A. 発明の属する分野の分類（国際特許分類（IPC）） G04F 10/04(2006.01)i FI: G04F10/04 A														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G04F1/00-13/06, G01R29/02 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2004-117356 A（ゼネラル・エレクトリック・カンパニー）15.04.2004（2004 - 04 - 15） [0014]-[0028], [図4]-[図6]	1-14												
A	JP 2008-215906 A（松下電器産業株式会社）18.09.2008（2008 - 09 - 18） [0030]-[0076], [図1]-[図3]	1-14												
A	JP 2-227697 A（横河電機株式会社）10.09.1990（1990 - 09 - 10） 第1頁左上欄第1行-第5頁右下欄第19行	1-14												
A	JP 2016-133419 A（国立研究開発法人理化学研究所）25.07.2016（2016 - 07 - 25） [0042]-[0109]	1-14												
A	WO 2013/069173 A1（パナソニック株式会社）16.05.2013（2013 - 05 - 16） [0031]-[0038], [図5]-[図9]	1-14												
A	US 4995019 A（MAGNETEK CONTROLS）19.02.1991（1991 - 02 - 19） 第4欄第27行-第13欄第38行	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 01.06.2020		国際調査報告の発送日 16.06.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 清水 靖記 2F 3605 電話番号 03-3581-1101 内線 3216												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/011377

引用文献			公表日	パテントファミリー文献	公表日
JP	2004-117356	A	15.04.2004	US 2004/0056202 A1 [0031]-[0038], FIG.4- FIG.6	
JP	2008-215906	A	18.09.2008	(ファミリーなし)	
JP	2-227697	A	10.09.1990	(ファミリーなし)	
JP	2016-133419	A	25.07.2016	US 2017/0371301 A1 [0062]-[0129] WO 2016/117367 A1	
WO	2013/069173	A1	16.05.2013	US 2014/0320329 A1 [0039]-[0046], FIG.5 - FIG.9	
US	4995019	A	19.02.1991	(ファミリーなし)	