



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월14일
(11) 등록번호 10-0794155
(24) 등록일자 2008년01월07일

(51) Int. Cl.

H01L 27/02 (2006.01)

(21) 출원번호 10-2003-7002545
(22) 출원일자 2003년02월21일
심사청구일자 2006년08월17일
번역문제출일자 2003년02월21일
(65) 공개번호 10-2004-0000397
(43) 공개일자 2004년01월03일
(86) 국제출원번호 PCT/US2001/025875
국제출원일자 2001년08월17일
(87) 국제공개번호 WO 2002/17367
국제공개일자 2002년02월28일

(30) 우선권주장
09/642,680 2000년08월21일 미국(US)

(56) 선행기술조사문헌

US 5053917 A
US 5356826 A

전체 청구항 수 : 총 4 항

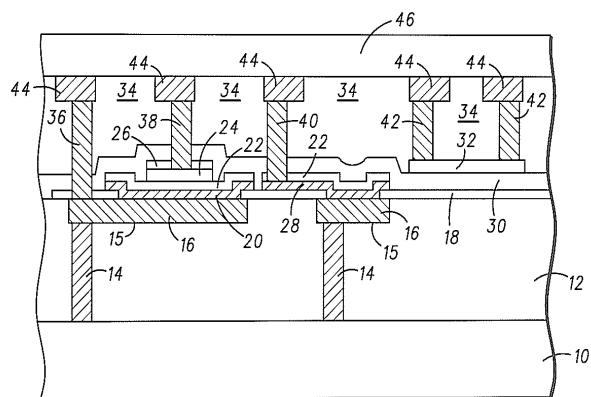
심사관 : 안철홍

(54) 수동 소자들을 갖는 반도체 장치 및 그 제조 방법

(57) 요 약

반도체 장치 및 반도체 장치 제조 방법이 개시되어 있다. 다마스크 금속층(16)이 절연 유전층(12)에 형성되어, 기판(10)과 직접 전기적 통신을 행한다. 제 1 캐패시터 전극층(20)과 같은 수동 소자의 층이 금속층(16) 상에 배치되고, 바람직하게는 비아(36)를 통해 금속층(16)에 대한 직접 전기적 상호접속을 하기 위해 금속층(16)에 대해 오프셋되어 있다. 일 실시예에서, 캐패시터 및 저항기가 장치 내에 수동 소자들로서 형성된다. 다른 실시예에서, 수동 소자는 적어도 하나의 저항기(28) 및 선택적으로는 제 2 저항기(32)를 포함한다. 또 다른 실시예에서, 금속층(16)은 다마스크 구리층이다.

대표도 - 도1



(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 캐나다, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크, 가나, 감비아, 그라나다, 인도, 인도네시아, 크로아티아, 세르비아 앤 몬테네그로, 짐바브웨

AP ARIPO특허 : 캐나다, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터키

OA OAPI특허 : 부르카나파소, 베니, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고

특허청구의 범위

청구항 1

반도체 장치를 제조하는 방법에 있어서:

반도체 기판을 제공하는 단계;

상기 반도체 기판상에 절연층을 형성하는 단계;

상기 반도체 기판과의 전기적 통신을 위해 상기 절연층에 제 1 다마스크 금속층(damascene metal layer)을 형성하는 단계;

제 1 캐패시터 전극과 제 2 캐패시터 전극을 갖는 캐패시터를 상기 제 1 다마스크 금속층 상에 형성하는 단계;

상기 제 1 다마스크 금속층 상에 적어도 하나의 저항기를 형성하는 단계로서, 상기 적어도 하나의 저항기는 상기 제 1 캐패시터 전극 형성시 사용된 것과 동일한 재료의 층으로 형성되는, 상기 저항기 형성 단계; 및

상기 캐패시터와의 전기적 통신을 위한 제 2 금속층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치를 제조하는 방법에 있어서:

절연층의 평탄한 표면에 규정된 트렌치에 구리층을 증착하는 단계;

상기 절연층의 평탄한 표면과 동일 평면상에 있는 상기 구리층 상에 표면을 형성하는 단계; 및

상기 구리층 상에 저항기를 형성하는 단계로서, 상기 저항기는 구리층 표면의 적어도 한 부분 위에서, 상기 구리층에 직접 및 인접하여 형성되는, 상기 저항기 형성 단계를 포함하는, 반도체 장치 제조 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체를 제조하는 방법에 있어서:

다마스크 구리층을 형성하는 단계;

상기 다마스크 구리층 상에 유전층을 형성하는 단계;

상기 다마스크 구리층의 일부분을 노출하기 위해 상기 유전층에 개구를 패터닝하는 단계; 및

상기 유전층 위에 적어도 부분적으로 놓이고 상기 유전층의 상기 개구를 통해 상기 다마스크 구리층과 적어도 부분적으로 직접 접촉하는 수동 소자(passive element)를 형성하는 단계를 포함하는, 반도체 제조 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

반도체 장치를 제조하는 방법에 있어서:

기판을 제공하는 단계;

상기 기판 상에 절연층을 형성하는 단계;

상기 반도체 기판과의 전기적 통신을 위해 상기 절연층에 다마스크 금속층을 형성하는 단계;

상기 다마스크 금속층 상에 제 1 재료를 증착하는 단계;

제 1 캐패시터 전극 및 제 1 저항기를 형성하기 위해 상기 제 1 재료를 패터닝하는 단계;

상기 제 1 캐패시터 전극 및 상기 제 1 저항기 위에 유전층을 증착하는 단계;

상기 유전층 및 상기 제 1 캐패시터 전극 위에 제 2 재료를 증착하는 단계; 및

상기 제 1 캐패시터 전극 위에 제 2 캐패시터 전극을 형성하기 위해 상기 제 2 재료를 패터닝하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명세서

기술분야

<1>

본 발명은 반도체 장치 및 반도체 장치 형성 방법에 관한 것으로, 특히, 무선 통신 시스템에 사용하도록 적응된 적어도 하나의 수동 소자(passive element)를 포함하는 반도체 장치에 관한 것이다.

배경기술

<2>

현재 많은 전자 장치들은 반도체 장치 제조 기술의 분야에서 설계 및 그에 따른 성능 한계들을 겪는다. 예를 들어, 무선 통신 시스템들은 일반적으로 비교적 아주 적은 반도체 칩들을 포함하지만, 수백 개의 수동 소자들을 포함한다. 폼 팩터(form factor) 및 전력 감소를 강화하고 10^9 Hz 이상의 주파수들에서의 성능 및 기능을 개선하기 위한 노력들이 계속됨에 따라, 수동 소자들을 개별 칩들 또는 모듈들에 집적하고, (실리콘-합유 기판들과 같은) 액티브 기판들 상에 집적하는 것이 바람직해지고 있다.

발명의 상세한 설명

<3>

다양한 온-칩 캐패시터 및 저항기(on-chip capacitor and resistor) 기술들로는 현재, 더블-폴리(double-poly), 게이트-산화물, 또는 접합 캐패시터들, 또는 확산 실리콘 또는 폴리 실리콘 저항기들을 포함하는 예들이 있다. 많은 응용들은 이러한 기술들로 인해 발생하는 성능 특징들의 개선으로부터 이점을 얻고 있다. 예를 들어, 기생 용량(parasitic capacitance)을 감소시키거나, 전압 선형성(linearity)을 개선시키거나, 전극 직렬 저항을 감소시키거나, 또는 $1/f$ 잡음을 감소시키는 영역들에서 개선점이 발견되었다. 또한, 액티브 기판(예를 들어, Si-칩)의 배면에 결과 장치들을 집적하는 것이 바람직하며, 지금까지는 기존 기술의 사용으로는 달성되지 않았다.

실시예

<6>

도 1을 참조하면, 금속-절연체-금속 캐패시터 또는 박막 저항기(thin film resistor)와 같은 반도체 수동 소자들(semiconductor passive elements)의 조합의 예가 도시되어 있다. 바람직한 실시예에 있어서, 도 1에 도시된 바와 같이, 본 발명은 금속-절연체-금속 캐패시터 및 적어도 하나의 박막 저항기의 조합을 집적하는 장치를 고려한다. 도 1은 또한 2개의 박막 저항기들을 통합하는 실시예를 도시한다. 다른 실시예에서는, 금속-절연체-금속 캐패시터(또는 다른 수동 소자)가 생략될 수도 있거나, 개별적인 장치에 채용될 수 있으며 본 발명의 방법에 따라 준비된 하나 이상의 복수의 저항기 소자들과 전기적으로 통신할 수도 있는 것이 고려된다.

<7>

일반적으로, 본 발명의 장치들은 금속층을 포함하며, 이 금속층은 유전층(즉, 절연층)에 형성된 트렌치(trench)에 증착된 후, 금속층의 최종 노출 표면이 유전층의 제 1 표면과 실질적으로 동일 평면상에 있도록 잉여 재료를 제거하도록 처리되는 것을 특징으로 한다. 금속층은 바람직하게는 은, 금, 구리, 알루미늄 또는 이들의 혼합물이며, 구리가 바람직한 금속이다. 따라서, 특히, 장치들은 재료층에 형성된 적어도 하나의 구리 다마스크 금속층(copper damascene metal layer)을 포함하는 것을 특징으로 한다. 바람직한 실시예에 있어서, 캐패시터에 대한 전극은, 하나 이상의 캐패시터들, 저항기들 또는 이 둘의 조합을 위한 단자가 되는 단일 다마스크 구리

층으로 형성된다. 그러나, 이 기술분야에 숙련된 사람들은, 단일 수동 소자가 다수의 다마스크 층들 상에 형성될 수 있거나, 단일 수동 소자가 단일 다마스크 층상에 형성될 수 있거나, 또는 하나 이상의 수동 소자들이 다수의 다마스크 층들 상에 형성될 수 있다는 것을 알 수 있을 것이다.

<8> 더 상세히 설명하면, 도 1은 적절한 반도체 기판(10)을 포함하는 장치를 도시한다. 기판(10)에는 제 1 절연 유전층(12)이 인접하여 있고, 이 유전층(12)에는 트렌치(15)가 형성되어 있다. 트렌치(15)의 베이스를 규정하는 표면에서, 비아(via)(14)가 트렌치(15)를 채우는 금속층(16)(바람직하게는 다마스크 금속층, 더 바람직하게는 다마스크 구리층)을 기판(10)과 도전적으로 접속하는 재료를 포함한다. 도 1에는 금속층(16)의 전부 또는 일부 위에서 제거될 수 있는 금속층(16) 위에 형성된 선택적 배리어 유전층(18)이 도시되어 있다. 예를 들어, 도 1은, 배리어 유전층(barrier dielectric layer; 18)을 개방하고 금속층(16)의 일부분을 노출하여 제 1 또는 하부 캐패시터 전극층(20)과 금속층(16)간에 직접 접촉(direct contact)을 제공하는 윈도우를 도시한다. 금속층(16)은 연속적으로 보여지지만, 여러 부분들로 분해될 수도 있다. 다수의 캐패시터들이 단일 금속층(16) 상에 설치될 수도 있다는 점을 유념해야 한다.

<9> 금속층(16)과 캐패시터 유전층(22)간 길이의 적어도 한 부분의 위에 캐패시터 전극층(20)이 끼워진다. 제 2 또는 상부 캐패시터 전극층(24)은 캐패시터 유전층(22)의 적어도 일부분에 인접한다. 제 2 캐패시터 전극층(24)은 그 표면의 적어도 일부분 위에 에치 스톱 층(etch stop layer)(26)을 선택적으로 포함할 수 있다. 캐패시터 전극층(20), 캐패시터 유전층(22), 및 캐패시터 전극층(24)과 선택적 에치 스톱 층(26)의 조합은 일반적으로 본 발명의 캐패시터 소자의 구조를 규정한다.

<10> 제 1 저항기(28), 바람직하게는 박막 저항기는, (금속-절연체-금속 캐패시터가 채용되는 일 실시예에서는) 바람직하게는 제 1 캐패시터 전극층(20)과 동일한 재료를 사용하는 적절한 재료로 형성된다. 따라서, 저항기(28) 및 제 1 캐패시터 전극층(20)은 공통 재료로 형성된다. 제 1 저항기(28)는 선택적 배리어 유전층(18)에 의해 표면의 적어도 한 부분 위에 그로부터 분리되거나 또는 직접 접촉되도록 하여 제 1 절연 유전층(12)과 인접하다. 저항기(28)는 비아(40)를 통해 그 위로 금속층(44)과 접촉될 수 있거나, 선택적으로는 금속층(16)을 통해 비아(14)에 접촉될 수 있다. 금속층들(16)이 연속적일 때는 단지 하나의 비아(14)가 필요하다는 것을 유념해야 한다. 선택적으로 하나 이상의 유전층들이 제 1 저항기(28) 상에 배치된다. 예를 들어, 도 1에는 캐패시터의 금속층들(20, 24) 위에 블랭킷 층(blanket layer)으로서 배치되고 또한 만약 사용될 경우 선택적 에치 스톱층(26) 상에 더 증착된 제 1 레벨간 유전층(30)이 도시되어 있다.

<11> 레벨간 유전층(30)의 표면과 직접 접촉하는 선택적 제 2 저항기(32)가 도 1에 도시되어 있다. 제 2 저항기는 장치의 어디에서도 및 다른 층들과 접촉하는 어디에서도 채용될 수 있다. 예를 들어, 상기 제 2 저항기는 제 1 저항기와 직접 접촉하는 동일한 금속층과 직접 접촉하는 관계로 배치될 수도 있다. 다른 레벨간 유전층(34)이 레벨간 유전층(30) 상에 배치되어, 도 1에 도시된 바와 같이 선택적인 제 2 저항기(32)를 커버한다. 상술된 바와 같이, 레벨간 유전층들(30 또는 34) 중 어느 하나는 단일 유전층을 위해 생략될 수 있다. 저항기들(28, 32)은 상이한 재료들로 형성될 수 있으며, 따라서, 저항기들의 저항률들이 서로 다를 수도 있다.

<12> 복수의 비아들은, 만일 존재할 경우, 제 2 레벨간 유전층(34) 및 임의의 다른 층들에 의해 분리되는 금속층들 사이에 접촉 경로들을 제공한다. 예를 들어, 비아(36)는 금속층(44)을 금속층(16)에 도전적으로 접속하는 재료를 포함한다. 하나 이상의 비아들(38)은 금속층(44)을 캐패시터 전극층(24)에 도전적으로 접속하는 재료를 포함한다. 복수의 비아들(40)은 금속층(44)을 제 1 저항기(28)에 도전적으로 접속하는 재료로 채워진다. 마찬가지로, 복수의 비아들(42)은 금속층(44)을 제 2 저항기(32)에 도전적으로 접속하는 재료를 포함한다. 선택적으로, 예를 들어, 층(46)과 같은 하나 이상의 부가 층들이 금속층(44) 상에 배치될 수 있다. 도 1에 도시된 실시예는 금속층(44)에 가장 근접한 표면에서 수동 소자들을 접촉하는 비아들(38, 40, 42)을 도시한다. 비아들(36, 38, 40)은 레벨간 유전층들(30, 34)을 통과하고, 비아(42)는 레벨간 유전층(34)만을 통과한다는 것을 알 수 있을 것이다.

<13> 당업자들은 임의의 다양한 재료들이 수동 소자들을 제조하는데 적절히 채용될 수도 있다는 것을 인식할 것이지만, 캐패시터 유전층 재료에 대한 바람직한 유전 재료들은, 예를 들어, Ta_2O_5 , $SrTiO_3$, ZrO_2 , $ZrSiO_4$, HfO_2 , $HfSiO_4$, TiO_2 , Si_3N_4 와 같은 산화물들이나 질화물들 또는 이들의 혼합물들 및 이러한 재료들 각각의 화학양론적 변화물들로부터 선택된다. 저항기 및 캐패시터 전극층들에 대한 바람직한 재료들은, 예를 들어, TaN , $TaAlN$, TiN , $CrNi$, WN , $CrSi$ 와 같은 금속간 재료들(intermetallics) 또는 이들의 혼합물들을 포함한다. 또한, 이 재료들의 화학양론적 변화물들이 채용될 수도 있다.

<14> 반도체 장치에 형성되는 수동 소자들 중 적어도 하나에 대해서, 금속층(16)이 수동 소자의 단부들에 대해 측면으로 오프셋되거나 또는 그를 지나 연장하는 것이 바람직할 수도 있다. 예를 들어, 금속층(16)은 제 1 캐페시터 전극층(20), 제 1 캐페시터 유전층(22), 및 제 2 캐페시터 전극층(24)의 단부들을 지나 측면으로 연장한다. 이러한 방식으로, 비아(36) 및 금속층(16)에 의해 금속층(44)으로부터 직접 반도체 장치의 제 1 캐페시터 전극 층(20)에 대한 전기 접속이 만들어질 수도 있다. 대안적으로는, 저항기들(28, 32)을 참조하면, 층들간의 접촉은 비아들(40, 42)을 통해 저항기들의 제 1 표면으로 향할 수 있다.

<15> 도 1에 도시된 장치를 참조하여, 반도체 기판(10) 상의 수동 장치들의 처리를 설명한다. 기판(10) 상에 증착된 제 1 절연 유전층(12)이 패터닝되고 에칭되어 수동 장치의 금속층(16)을 수신하기 위한 트렌치(15) 및 비아(14)를 형성한다. 저 저항률 또는 고 도전율의 재료가 트렌치(15) 및 비아(14)에 증착된다. 트렌치(15)에 재료가 증착된 후에 잉여 재료가 제거되어, 결과 금속층(16)의 노출 표면이 제 1 절연 유전층(12)의 노출 표면에 대해 연속적이고, 바람직하게는 실질적으로 그와 동일 평면 상에 있다. 재료 제거를 위해 화학 기계적 연마 기술과 같은 임의의 적절한 기술이 사용될 수 있다.

<16> 선택적으로는, 배리어 유전층(18)이 채용되면, 이 유전층(18)이 절연 유전층(12)과 금속층(16) 상에 증착된 다음, 도 1에 도시된 캐페시터에 대한 금속층(16)의 적어도 한 부분을 노출시키기 위해 배리어 유전층(18)을 통해 개구가 에칭된다. 배리어 유전층(18)(만일 배리어 유전층(18)이 사용될 경우, 그렇지 않으면 제 1 절연 유전층(12) 및 금속층(16) 위에) 위에 재료를 증착한 다음 패터닝하고 에칭하여 수동 소자가 금속층 상에 구성된다. 도 1을 참조하면, 패터닝 및 에칭 단계들 또는 화학 기계적 연마 절차는 캐페시터 전극(20) 및 저항기(28)를 규정한다.

<17> 캐페시터 유전층(22) 및 금속층(24)의 형성을 포함하여(도 1에 도시된 바와 같은 실시예에 대해서는 캐페시터가 형성됨), 수동 소자들의 부가적인 구성요소들 또는 층들을 규정하기 위해 필요한 것으로서 하나 이상의 부가적인 증착, 패터닝 및 에칭 단계들이 채용된다. 당업자들은 부가적인 층들을 형성하기 위해 이용할 수 있는 다양한 다른 기술들을 인식할 것이다. 하나 이상의 패터닝 및 에칭 단계들에 이어 블랭킷 증착 기술들(blanket deposition techniques)이 사용될 수도 있다. 일 실시예에 있어서는, 에칭 전에 선택적인 제 2 배리어 또는 에치 스탭 층(26)이 금속층(24) 상에 증착된다.

<18> 도 1에 도시된 캐페시터의 결과 구조를 준비하기 위해서, (부수적인 에칭과 함께) 불과 하나의 마스킹 단계가 채용될 수 있다. 선택적인 배리어층(18)이 사용되면, 선택적인 마스킹 단계는 금속층(16)을 노출시키는 원도우를 규정한다는 것을 유념해야 한다. 제 1 마스킹 단계는 제 2 전극 재료를 사용하는 선택적인 제 2 저항기 및 제 2 캐페시터 전극층(24)을 규정한다. 저항기와 캐페시터의 조합이 채용될 때 제 2 마스킹 단계는 제 1 캐페시터 전극층(20)과 제 1 저항기(28)를 규정한다. 당업자들은, 상술된 에칭 시퀀스를 사용하여, (특히 에칭 단계들을 거치는 동안) 수동 소자들 상의 부식제(etchant)의 부식을 제어하는데 도움을 주기 위해 수동 소자들 상에 적어도 얇은 층의 유전 재료를 남기는 것이 가능하다는 것을 인식할 것이다. 대안적으로는, 이러한 얇은 유전층을 피하면서, 수동 소자로 곧게 에칭하는 것이 바람직하다.

<19> 하나 이상의 수동 소자들이 형성된 후에, 부가적인 재료층들이 원하는 만큼 각 수동 소자 위에 형성될 수 있다. 예를 들어, 제 1 및 제 2 레벨간 유전층들(30, 34)이 증착될 수 있다(예를 들어, 블랭킷 증착됨). 제 2 저항기(32)가 형성되면, 제 2 레벨간 유전층(34)이 증착 전에 제 2 저항기(32)가 증착된다. 이후, 제 2 저항기(32)는 적절한 마스킹(masking) 및 에칭 시퀀스(etching sequence)를 사용하여 규정된다.

<20> 도전 재료의 증착에 이어, (바람직한 재료 제거 기술인 에칭과 함께) 임의의 적절한 기술을 사용하여 비아들이 생성된다. 금속층(16)을 형성하기 위한 처리와 같은 기술들을 포함하여, 상호접속 금속층들이 임의의 적절한 방식으로 형성될 수 있다. 금속층(44)은 다마스크 방식으로 형성될 필요는 없지만, 임의의 다른 적절한 방식으로 형성될 수 있다는 것이 인식될 것이다. 부가적인 층들 또는 구성요소들(층(46)으로서 개략적으로 도시됨)이, 원하는 만큼 규정된 적절한 전기 통신 경로들(도시되지 않음)과 함께, 유전층(34)과 금속층(44) 위에 형성될 수 있다.

<21> 상기 방법들은 일반적으로 하나 이상의 재료들을 제공하고 결과 장치의 기능적 구성요소 층들을 형성하기 위해 상기 재료들을 패터닝하는 복수의 단계들을 포함한다. 패터닝은 재료 증착 또는 형성 단계들 및 재료 제거 단계들을 포함하는 임의의 다수의 종래 단계들을 채용할 수 있다. 일반적으로는, 이 단계들은 작업층(work layer)의 노출 표면에의 포토레지스트(photoresist) 도포에 이어, 포토레지스트를 현상하여 작업층의 노출 표면 상에 미리 결정된 패턴을 규정하는 포토레지스트를 선택적으로 제거하는 포토리소그래피 단계를 포함한다. 이어서, 작업층 상의 노출 표면은 표면에서 및 그 아래에서 재료를 제거하기를 원하는 만큼 에칭된다. 포토레지

스트는 보호층, 즉, 재료 제거를 위해 채용된 약품(agent)(예를 들어, 부식제)이 작업 부분의 하부 재료에 접촉하는 것을 방지하기 위한 층으로서 작업 부분에 선택적으로 부착된 채로 남아있다.

<22> 또한, 도 2는 금속-절연체-금속 캐패시터 및 박막 저항기들과 같은 반도체 수동 소자들의 조합을 도시한다. 도면들에서 동일한 참조 번호들은 동일한 소자들을 나타내는 것으로 사용된다는 것을 유념해야 한다. 절연 유전층(12)이 반도체 기판(10) 위에 형성되고, 유전층(12)에 트렌치(15)를 규정하기 위해 유전층의 일부분이 에칭된다. 절연 유전층(12)을 통과하여 트렌치(15)의 하부 표면으로부터 반도체 기판(10)으로 비아(14)가 에칭된다. 금속층(16)은 기판(10)과 금속층(16) 사이에 전기적 접촉을 제공하는 도전 재료로 트렌치(15)와 비아(14)를 채운다.

<23> 하부 캐패시터 전극층(20)이 금속층(16)의 적어도 한 부분 위에 형성된다. 저항기(28)는 하부 캐패시터 전극층(20)을 형성하는 것과 동일한 재료로 형성된다. 저항기(28)가 절연 유전층(12) 상에 형성되고 금속층(16)과 접촉될 수 있다. 하부 캐패시터 전극층(20)과 저항기(28) 위에는 유전층(22)이 중착되고, 또한 캐패시터에 대한 유전층으로서 사용된다. 캐패시터 유전층(22)의 적어도 한 부분에 상부 캐패시터 전극층(24)이 인접하여 있다. 상부 캐패시터 전극층(24)은 그 표면의 적어도 한 부분 위에 에치 스텝층(24)을 선택적으로 포함할 수 있다. 캐패시터 전극층(20), 캐패시터 유전층(22), 및 캐패시터 전극층(24)과, 만일 사용되는 경우에는 선택적 에치 스텝층(26)의 조합이 본 실시예에 보여진 캐패시터 소자의 구조를 규정한다.

<24> 유전층(34)은 캐패시터 및 저항기들(28, 23)을 덮는다. 저항기들(28, 23)의 단자들은 유전층(34)에 각각 비아들(40, 42)을 형성하고 금속층(44)으로 비아들을 채움으로써 상부와 접촉될 수 있다. 선택적으로는, 저항기(28)는 금속층(16)과 금속으로 채워진 비아(14)를 통해 하부와 접촉될 수 있다. 본 실시예에서, 저항기들(28, 23)은 상이한 저항률 값들을 갖는 재료들로 형성될 수 있다는 것을 유념해야 한다. 캐패시터 전극층(24)을 형성하기 위해 사용된 재료는 저항기(23)를 형성하는 것과 동일한 처리 단계로 중착된다는 것을 또한 유념해야 한다.

<25> 선택적으로는, 캐패시터 전극층(20)은 제거될 수 있고, 캐패시터의 전극을 형성하기 위해 금속층(16)이 사용된다. 본 실시예(도시되지 않음)에서, 금속층(16), 캐패시터 유전층(22), 및 캐패시터 전극층(24)의 조합은 캐패시터 소자의 구조를 규정한다. 캐패시터 전극층(20)이 사용되지 않을 때, 저항기(23)를 포함하는 저항 소자들을 이용할 수 있다.

<26> 본 발명에 따라 준비된 장치들은 (제한 없이) 무선 주파수 시스템, 아날로그 회로들 또는 합성 신호 응용들을 갖는 시스템들과 같은 임의의 다양한 고정 시스템 또는 휴대용 시스템에서 실제적인 응용을 찾을 수 있다는 것이 인식되어야 한다. 예를 들어, 본 발명의 장치들을 채용하는 무선 통신 장비 시스템들(예를 들어, 페이저(pagers), 전화들, 인터넷 액세스 장치들, 컴퓨팅 시스템들, 네트워킹 시스템들, 텔레비전 또는 무선 방송 시스템들, 위치 결정 시스템들, 단방향 또는 양방향 통신들, 또는 다른 무선 주파수 통신 시스템들)과 같은 시스템들이 본 발명의 범위 내에서 고려된다. 이러한 시스템들은 본 발명의 장치들 및 방법들을 사용하여 개선된 성능의 이점을 가지며, 특히, 하나 이상의 수동 소자들을 개별적인 칩들이나 모듈들에 또는 액티브 기판들 위에 접적하는 능력 면에서 이점이 있다.

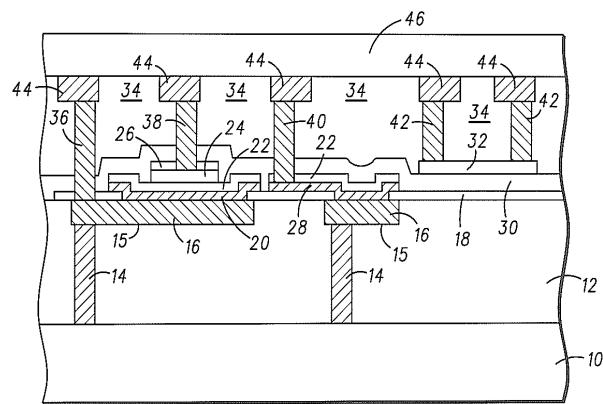
도면의 간단한 설명

<4> 도 1은 본 발명에 따라 제조된 하나의 바람직한 반도체 장치를 도시하는 도면.

<5> 도 2는 본 발명에 따라 제조된 캐패시터 및 저항기를 도시하는 도면.

도면

도면1



도면2

