



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I523418 B

(45)公告日：中華民國 105(2016)年 02 月 21 日

(21)申請案號：101117120

(22)申請日：中華民國 101(2012)年 05 月 14 日

(51)Int. Cl. : **H03K17/16 (2006.01)**

(30)優先權：2011/06/24 美國 13/067,776

(71)申請人：A R M 股份有限公司 (英國) ARM LIMITED (GB)  
英國(72)發明人：邁爾斯詹姆士愛德華 MYERS, JAMES EDWARD (GB)；福林大衛華特 FLYNN,  
DAVID WALTER (GB)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200919960A US 7741869B2

US 20060145726A US 20070103195A1

US 20080018389A

審查人員：蘇齊賢

申請專利範圍項數：16 項 圖式數：8 共 40 頁

(54)名稱

使用電源閘控的積體電路

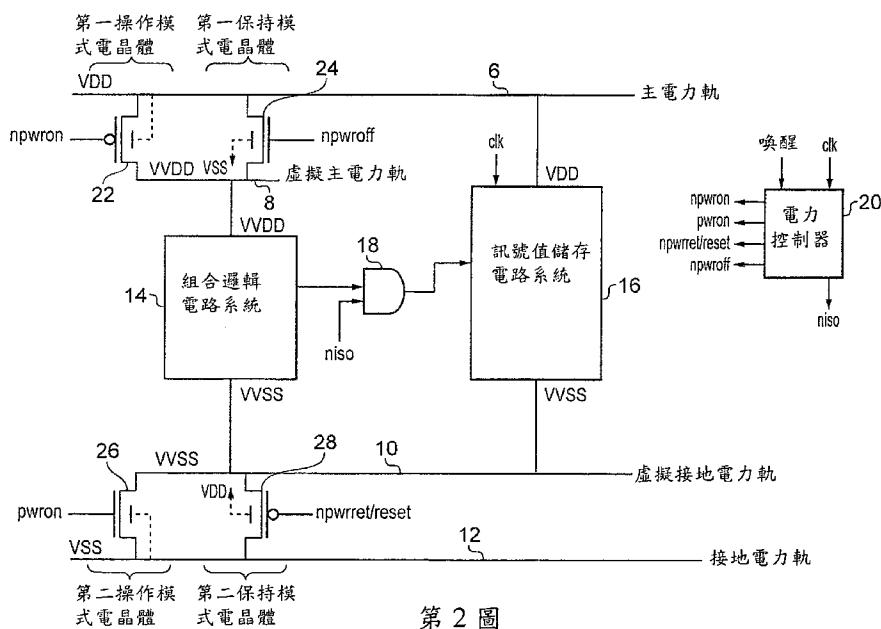
INTEGRATED CIRCUIT WITH POWER GATING

(57)摘要

一種積體電路，包含主電力軌、接地電力軌以及虛擬主電力軌與虛擬接地電力軌。組合邏輯電路系統被連接以從虛擬主電力軌與虛擬接地電力軌汲取組合邏輯電路系統的電力。訊號值儲存電路系統被連接以從主電力軌與接地電力軌之一者汲取訊號值儲存電路系統的電力，同時另一電力連結為連接至虛擬軌。積體電路具有操作模式、保持模式與電力關閉模式。在保持模式中，跨組合邏輯電路系統的電壓差異為低電力電壓差異，此低電力電壓差異不足以支持資料處理操作，反之，跨訊號值儲存電路系統的電壓差異較高並足以支持訊號值儲存電路系統內的訊號值保持。

An integrated circuit includes a main power rail, a ground power rail as well as a virtual main power rail and a virtual ground power rail. Combinatorial logic circuitry is connected to draw its power from the virtual main power rail and the virtual ground power rail. Signal value storage circuitry is connected to draw its power from one of the main power rail and the ground power rail with the other power connection being to a virtual rail. The integrated circuit has an operational mode, a retention mode and a power off mode. In the retention mode, the voltage difference across the combinatorial logic circuitry is a low power voltage difference insufficient to support data processing operations whereas the voltage difference across the signal value storage circuitry is higher and is sufficient to support signal value retention within the signal value storage circuitry.

指定代表圖：



第 2 圖

符號簡單說明：

- 6 . . . 主電力軌
- 8 . . . 虛擬主電力軌
- 10 . . . 虛擬接地電力軌
- 12 . . . 接地電力軌
- 14 . . . 組合邏輯電路系統
- 16 . . . 訊號值儲存電路系統
- 18 . . . 隔離閘
- 20 . . . 電力控制器
- 22 . . . 第一操作模式電晶體
- 24 . . . 第一保持模式電晶體
- 26 . . . 第二操作模式電晶體
- 28 . . . 第二保持模式電晶體
- VDD . . . 主電力軌電壓
- VSS . . . 接地電力軌電壓
- niso . . . 隔離訊號
- clk . . . 時脈訊號

公告本

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：101117120

※ 申請日期：101 年 5 月 14 日

※IPC 分類：*H03K 17/16 (2006.01)*

### 一、發明名稱：(中文/英文)

使用電源閘控的積體電路/INTEGRATED CIRCUIT WITH POWER GATING

### 二、中文發明摘要：

一種積體電路，包含主電力軌、接地電力軌以及虛擬主電力軌與虛擬接地電力軌。組合邏輯電路系統被連接以從虛擬主電力軌與虛擬接地電力軌汲取組合邏輯電路系統的電力。訊號值儲存電路系統被連接以從主電力軌與接地電力軌之一者汲取訊號值儲存電路系統的電力，同時另一電力連結為連接至虛擬軌。積體電路具有操作模式、保持模式與電力關閉模式。在保持模式中，跨組合邏輯電路系統的電壓差異為低電力電壓差異，此低電力電壓差異不足以支持資料處理操作，反之，跨訊號值儲存電路系統的電壓差異較高並足以支持訊號值儲存電路系統內的訊號值保持。

### 三、英文發明摘要：

An integrated circuit includes a main power rail, a ground power rail as well as a virtual main power rail and a virtual ground power rail. Combinatorial logic circuitry is connected to draw its power from the virtual main power rail and the virtual ground power rail. Signal value storage circuitry is connected to draw its power from one of the

main power rail and the ground power rail with the other power connection being to a virtual rail. The integrated circuit has an operational mode, a retention mode and a power off mode. In the retention mode, the voltage difference across the combinatorial logic circuitry is a low power voltage difference insufficient to support data processing operations whereas the voltage difference across the signal value storage circuitry is higher and is sufficient to support signal value retention within the signal value storage circuitry.

四、指定代表圖：

(一) 本案指定代表圖為：第（2）圖。

(二) 本代表圖之元件符號簡單說明：

6	主電力軌	8	虛擬主電力軌
10	虛擬接地電力軌	12	接地電力軌
14	組合邏輯電路系統	16	訊號值儲存電路系統
18	隔離閘	20	電力控制器
22	第一操作模式電晶體	24	第一保持模式電晶體
26	第二操作模式電晶體	28	第二保持模式電晶體
VDD	主電力軌電壓	VSS	接地電力軌電壓
niso	隔離訊號	clk	時脈訊號

五、本案若有化學式時，請揭示最能顯示發明特性的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明相關於積體電路之領域。更特定而言，本發明相關於使用電源閘控(power gating)以減少積體電路之電力消耗的積體電路。

### 【先前技術】

在積體電路設計中，電源閘控為將長閒置期間內的洩漏電力輕減的已知有效技術。功能性狀態可透過重置(或者在電力開啟之後)被回復。限制此種電源閘控之有益性的缺點為，在電源閘控之後的電力開啟可需要花費大量能源。因為數種原因而需要花費大量能源，包含：大的電力網格電容需要被緩慢地充電；所閘控的邏輯系統經受瞬態開路電流(crowbar current)，直到虛擬軌電壓約到達電晶體臨界電壓；且邏輯值將在電力開啟時被重評估，電力開啟汲取的動態電力係多於功能模式時脈事件，因為設計上一般將功能模式時脈期間內的切換活動減少。

### 【發明內容】

本發明之第一態樣提供一種積體電路，包含：  
主電力軌；

虛擬主電力軌，該虛擬主電力軌由一或多個第一操作模式電晶體與一或多個第一保持模式電晶體連接至該主電力軌；

接地電力軌；

虛擬接地電力軌，該虛擬接地電力軌由一或多個第二操作模式電晶體與一或多個第二保持模式電晶體連接至該接地電力軌；

組合邏輯電路系統，該組合邏輯電路系統連接於該虛擬主電力軌與該虛擬接地電力軌之間；

訊號值儲存電路系統，該訊號值儲存電路系統連接於以下之一者之間：

(a)該主電力軌與該虛擬接地電力軌之間；以及

(b)該虛擬主電力軌與該接地電力軌之間；以及

電力控制電路系統，該電力控制電路系統耦接至(並經設置以控制)該一或多個第一操作模式電晶體、該一或多個第一保持模式電晶體、該一或多個第二操作模式電晶體與該一或多個第二保持模式電晶體，而使：

(i)在操作模式中，該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體位於低阻抗狀態中，以提供操作電壓差異，該操作電壓差異足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持；

(ii)在一保持模式中，該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體位於高阻抗狀態中，

且該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體位於低阻抗狀態中，以提供低電力電壓差異與保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯電路系統的資料處理操作，而該保持電壓差異大於該低電力電壓差異且足以支持跨該訊號值儲存電路系統的訊號值保持；以及

(iii)在電力關閉模式中，該一或多個第一操作模式電晶體、該一或多個第二操作模式電晶體、該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體位於高阻抗狀態中，以提供電力關閉電壓差異，該電力關閉電壓差異不足以支持資料處理操作與跨該組合邏輯電路系統與該訊號值儲存電路系統的訊號值保持。

本技術將跨組合邏輯電路系統的電壓差異保持為高於使用完整電源閘控，而使再次進入操作模式時的瞬間開路電流與重評估減少或不發生。再者，將電力網格充電所需的電流量亦被減少。在保持模式期間的洩漏將高於在電力關閉模式期間的洩漏，但將在保持模式之後的電力開啟所需的能量消耗減少的優點，讓保持模式是值得的，即使僅使用短時間期間。此與電力關閉模式對比之處在於，若電力關閉模式僅使用短時間期間，則電力開啟的能量消耗可超過所省下的能量，因為在短期間內之減少的洩漏(其中積體電路位於電力關閉模式中)。將一或多個第一保持模式電晶體與一或多個第二保持模式電晶體設置為使得，在該等電晶體位於低阻抗狀態中時，

該等電晶體提供低電力電壓差異與保持電壓差異，該低電力電壓差異不足以支持跨組合邏輯系統的資料處理操作，該保持電壓差異大於該低電力電壓差異，且足以支持跨訊號值儲存電路系統的訊號值保持。組合邏輯從虛擬軌汲取組合邏輯的電力。訊號值儲存電路系統在主電力軌與接地電力軌之一者，與對應之另一虛擬軌之間汲取訊號值儲存電路系統的電力。以此方式，跨訊號值儲存電路系統的保持電壓差異係高於跨組合邏輯電路系統的電壓差異。訊號值儲存電路系統因此能夠保持訊號值，儘管組合邏輯電路系統被置入較低洩漏狀態中，但此能夠減少電力開啟時的瞬間開路電流並減少將虛擬軌充電所需的能源量。

在保持模式期間，達成跨一或多個第一保持模式電晶體與一或多個第二保持模式電晶體的所需電壓降的可靠方式為，將該等電晶體設置為可控制式二極體，亦即使用 N 型場效電晶體作為連接至虛擬主電力軌的一或多個第一操作模式電晶體，並使用 P 型場效電晶體作為連接至虛擬接地電力軌的一或多個第二保持模式電晶體。

該主電力軌與該接地電力軌之間的電壓差異為  $V_{op}$  伏特，且如  $V_{op}/3$  大於或等於  $(V_{op} - (V_{tn} + V_{tp}))$  的具體實施例，可在減少於保持模式期間組合邏輯電路系統中的洩漏，而同時在訊號值儲存電路系統內准許訊號值保持之間，達成良好的平衡。

提供重置模式，在重置模式期間電力控制電路系統使

供應電力給訊號值儲存電路系統(被置入低電力狀態中)的一或多個保持模式電晶體置入高阻抗狀態中，使得如在重置模式期間訊號值不被保持在訊號值儲存電路系統內的具體實施例，可協助將保持模式與操作模式及電力關閉模式整合。因此，重置模式可將積體電路置入實質上已知的狀態，積體電路可藉由利用已知狀態，從此狀態以可減少能源消耗的方式來電力開啟，其中積體電路排出重置模式以減少切換與其他能源消耗效應。

在操作模式期間為了支持較高的電力需求，操作模式電晶體可經設置以具有比保持模式電晶體大的驅動強度。

為了在保持模式期間，讓從組合邏輯電路系統傳至訊號值儲存電路系統的任何訊號，不破壞訊號值儲存電路系統內的訊號值儲存，一些具體實施例可包含隔離閘，隔離閘位於此訊號路徑中，並被切換以在保持模式中時輸出預定訊號值。

如上文所論述，控制跨保持模式電晶體之電壓降的一種方式，為將該等電晶體設置為可控制式二極體。

可連同前述使用且亦可施加至操作模式電晶體的另一技術，為對施加至該等電晶體的閘極電壓進行脈衝寬度調變，以控制該等電晶體之平均驅動強度與電壓降。

此種使用的一個範例為，若主電力軌與接地電力軌之間的電壓差異由於電壓縮放而減少，則可對保持模式電晶體的閘極電壓進行脈衝寬度調變，以提供減少的電壓

降，從而在保持模式期間准許適當的電壓差異被維持於跨組合邏輯電路系統與訊號值儲存電路系統。

如上文所提及，保持模式可被視為在操作模式與電力關閉模式之間提供的中間模式。電力關閉模式若維持了足夠的期間，則將提供較大的電力節省。係難以預測積體電路會保持閒置多久。控制進入電力關閉模式的一種簡單且有效的方式，為電力控制電路系統應首先將積體電路切換入保持模式，且隨後在已經過了時脈訊號的預定週期數量而未發生任何觸發以返回操作模式之後，從保持模式切換至電力關閉模式。

本發明之另一態樣提供一種積體電路，包含：

主電力軌構件，用以提供主電力電壓；

虛擬主電力軌構件，用以提供虛擬主電力電壓，且該虛擬主電力軌構件由一或多個第一操作模式電晶體構件選擇性導通與一或多個第一保持模式電晶體選擇性導通而連接至該主電力軌構件；

接地電力軌構件，用以提供接地電力電壓；

虛擬接地電力軌構件，用以提供虛擬接地電力電壓，且該虛擬接地電力軌構件由一或多個第二操作模式電晶體構件選擇性導通與一或多個第二保持模式電晶體構件選擇性導通而連接至該接地電力軌構件；

組合邏輯系統構件，用以執行處理操作，且該組合邏輯系統構件連接於該虛擬主電力軌構件與該虛擬接地電力軌構件之間；

訊號值儲存構件，用以儲存訊號值，且該訊號值儲存構件連接於以下之一者之間：

(a)該主電力軌構件與該虛擬接地電力軌構件之間；以及

(b)該虛擬主電力軌構件與該接地電力軌構件之間；以及

電力控制構件，用以控制電力，該電力控制構件耦接至(並經設置以控制)該一或多個第一操作模式電晶體構件、該一或多個第一保持模式電晶體構件、該一或多個第二操作模式電晶體構件與該一或多個第二保持模式電晶體構件，而使：

(i)在操作模式中，該一或多個第一操作模式電晶體構件與該一或多個第二操作模式電晶體構件位於低阻抗狀態中，以提供操作電壓差異，該操作電壓差異足以支持跨該組合邏輯系統構件與該訊號值儲存構件的資料處理操作與訊號值保持；

(ii)在保持模式中，該一或多個第一操作模式電晶體構件與該一或多個第二操作模式電晶體構件位於高阻抗狀態中，且該一或多個第一保持模式電晶體構件與該一或多個第二保持模式電晶體構件位於低阻抗狀態中，以提供低電力電壓差異與保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯系統構件的資料處理操作，而該保持電壓差異大於該低電力電壓差異且足以支持跨該訊號值儲存構件的訊號值保持；以及

(iii) 在電力關閉模式中，該一或多個第一操作模式電晶體構件、該一或多個第二操作模式電晶體構件、該一或多個第一保持模式電晶體構件與該一或多個第二保持模式電晶體構件位於高阻抗狀態中，以提供電力關閉電壓差異，該電力關閉電壓差異不足以支持跨該組合邏輯系統構件與該訊號值儲存構件的資料處理操作與訊號值保持。

本發明之另一態樣提供一種操作積體電路的方法，該積體電路具有：

主電力軌；

虛擬主電力軌，該虛擬主電力軌由一或多個第一操作模式電晶體與一或多個第一保持模式電晶體連接至該主電力軌；

接地電力軌；

虛擬接地電力軌，該虛擬接地電力軌由一或多個第二操作模式電晶體與一或多個第二保持模式電晶體連接至該接地電力軌；

組合邏輯電路系統，該組合邏輯電路系統連接於該虛擬主電力軌與該虛擬接地電力軌之間；

訊號值儲存電路系統，該訊號值儲存電路系統連接於以下之一者之間：

(a) 該主電力軌與該虛擬接地電力軌之間；以及

(b) 該虛擬主電力軌與該接地電力軌之間；以及

該方法包含以下步驟：

(i) 在操作模式中，控制該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體為具有低阻抗狀態，以提供操作電壓差異，該操作電壓差異足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持；

(ii) 在保持模式中，控制該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體為位於高阻抗狀態中，且控制該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體為具有低阻抗狀態，以提供低電力電壓差異與保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯電路系統的資料處理操作，而該保持電壓差異大於該低電力電壓差異且足以支持跨該訊號值儲存電路系統的訊號值保持；以及

(iii) 在電力關閉模式中，控制該一或多個第一操作模式電晶體、該一或多個第二操作模式電晶體、該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體為具有高阻抗狀態，以提供電力關閉電壓差異，該電力關閉電壓差異不足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持。

將理解到，為上文論述之形式的積體電路，可由使用標準電路元件庫以控制電腦來形成佈局資料，以控制彼積體電路的生產來形成。標準電路元件庫將包含產生各式各樣電力軌連結、操作模式電晶體、保持模式電晶體、連接至虛擬軌的組合邏輯電路系統以及連接至一個虛擬

軌且另一端連接至主電力軌或接地電力軌的訊號值儲存電路系統所需的標準電路元件類型。本發明之態樣為一種電腦可讀取儲存媒體，該電腦可讀取儲存媒體以非暫態性形式儲存此種標準電路元件庫，該標準電路元件庫經調適以提供如上文所說明的積體電路。

本發明之上述(與其他的)目標、特徵與優點，在連同附加圖式閱讀下文的說明性具體實施例實施方式之後將為顯然。

### 【實施方式】

第 1 圖示意圖示說明積體電路 2，積體電路 2 由複數個連接在電力軌之間的標準電路元件 4 組成。電力軌包含主電力軌 6、虛擬主電力軌 8、虛擬接地電力軌 10 以及接地電力軌 12。該等電力軌以規則的順序重複於積體電路 2 中，且標準電路元件 4 被放置在電力軌之間並依所需被連接至適當的電力軌。

第 2 圖示意圖示說明積體電路的一部分，包含組合邏輯電路系統 14 與訊號值儲存電路系統 16。組合邏輯電路系統 14 接收複數個訊號輸入，並由時脈訊號 clk 控制以依據彼等訊號來執行組合邏輯處理操作，以產生一或多個輸出訊號。組合邏輯電路系統 14 從虛擬主電力軌 8 與虛擬接地電力軌 10 汲取組合邏輯電路系統 14 的電力。

訊號值儲存電路系統 16 用以在時脈訊號 clk 的控制下

儲存一或多個訊號值。隔離閘 18(為 AND 閘形式)被放置在組合邏輯電路系統 14 的訊號輸出與訊號值儲存電路系統 16 的輸入之間的訊號路徑中。此隔離閘 18 係由隔離訊號 niso 控制，niso 由電力控制器 20 產生，在系統位於保持操作模式中時阻擋訊號路徑並輸出預定訊號值，並藉此減少任何儲存在訊號值儲存電路系統 16 內的訊號值被從組合邏輯電路系統 14 接收來的訊號攪亂的可能性(在訊號值儲存電路系統 16 位於保持模式狀態中，且從訊號值儲存電路系統 16 輸出的訊號值有可能不適當地改變時)。

虛擬主電力軌 8 經由第一操作模式電晶體 22 與第一保持模式電晶體 24 連接至主電力軌 6。第一操作模式電晶體 22 為 P 型場效電晶體。第一保持模式電晶體 24 為 N 型場效電晶體。第一操作模式電晶體 22 的驅動強度(drive strength)係大於第一保持模式電晶體 24 的驅動強度(此可由改變電晶體的尺寸來達成)。使用 N 型場效電晶體作為第一保持模式電晶體 24 的效果為，在第一保持模式電晶體 24 位於第一保持模式電晶體 24 的低阻抗狀態中時，在主電力軌 6 與虛擬電力軌 8 之間存在約等於第一保持模式電晶體 24 的臨界電壓  $V_{tn}$  的電壓降。在此操作狀態中(保持模式)，第一操作模式電晶體 22 被切換至高阻抗狀態。第 2 圖所圖示說明的各式各樣電力控制電晶體之切換，係由電力控制器 20 控制，電力控制器 20 產生施加至各式各樣電晶體之閘極的電力控制訊

號，如第 2 圖所圖示說明。根據所需的操作模式，電晶體被切換於高阻抗狀態與低阻抗狀態之間。

虛擬接地電力軌 10 經由第二操作模式電晶體 26 與第二保持模式電晶體 28 連接至接地電力軌 12。第二操作模式電晶體 26 為 N 型場效電晶體。第二保持模式電晶體 28 為 P 型場效電晶體。使用 P 型場效電晶體作為第二保持模式電晶體 28，用以在操作於保持模式中時(其中第二保持模式電晶體 28 位於第二保持模式電晶體 28 的低阻抗狀態中，而第二操作模式電晶體 26 位於第二操作模式電晶體 26 的高阻抗狀態中)，提供跨第二保持模式電晶體 28 的二極體型電壓降  $V_{tp}$ 。第二操作模式電晶體 26 的驅動強度係大於第二保持模式電晶體 28 的驅動強度。

若接地電力軌 12 與主電力軌 6 之間的電壓差異為  $V_{op}$ ，則第一保持模式電晶體 24 與第二保持操作模式電晶體 28 的臨界電壓  $V_{en}$ 、 $V_{ep}$  可被選定，而使  $V_{op}/3$  係大於或等於( $V_{op} - (V_{tn} + V_{tp})$ )。因此，在保持模式期間，虛擬主電力軌 8 與虛擬接地電力軌 10 之間的電壓，可被維持在一位準，該位準小於或等於在操作模式期間所使用之操作電壓  $V_{op}$  的三分之一。

在訊號值儲存電路系統在此範例具體實施例中被連接於主電力軌 6 與虛擬電力軌 10 時，在保持模式期間跨訊號值儲存電路系統 16 的電壓差異將為  $V_{op}-V_{tp}$ 。此為保持電壓差異且係大於在保持模式期間跨組合邏輯電路系

統 14 的電壓差異，跨組合邏輯電路系統 14 的電壓差異較低且可被視為低電力電壓差異。因為低電力電壓差異的較小量值，在保持模式期間通過組合邏輯電路系統 14 的洩漏電流將為較低，但應足以避免電力開啟組合邏輯系統時的大瞬間開路電流(因為許多訊號位準將被維持)，且足以避免用於將虛擬主電力軌 8 與虛擬接地電力軌 10 充電的能源消耗過度。在保持模式期間，跨訊號值儲存電路系統 16 的保持電壓差異，係足以確保訊號值儲存電路系統 16 內的訊號值被正確地保持，使得在退出保持模式時沒有資料損失，並可回復處理。

跨組合邏輯電路系統 14 的低電力電壓差異，可足以保持組合邏輯電路系統 14 內的許多訊號值，但若該等訊號值的一些改變了，則該等訊號值在電力開啟組合邏輯電路系統 14 並回復操作模式時將被重評估。隔離閘 18 用以確保訊號值儲存電路系統 16 被保護自組合邏輯電路系統 14 訊號輸出在保持模式期間發生的任何改變。

將認知到，第 2 圖僅圖示說明了單一的第一操作模式電晶體 22、第一保持模式電晶體 24、第二操作模式電晶體 26 與第二保持模式電晶體 28 範例。在實作上，可提供多個此種電晶體，並沿著電力軌 6、8、10、12 放置且分散於積體電路 2 的整體中。

將進一步認知到，在此範例具體實施例中，訊號值儲存電路系統被圖示說明為，從主電力軌 6 與虛擬接地電力軌 10 汲取訊號值儲存電路系統的供應電力。在其他具

體實施例中，可能均等地讓訊號值儲存電路系統 16 從虛擬主電力軌 8 與接地電力軌 12 汲取訊號值儲存電路系統的電力。

第 3 圖示意圖示說明第 2 圖電路在操作模式期間的狀態。在操作模式期間，所有的第一操作模式電晶體 22、第一保持模式電晶體 24、第二操作模式電晶體 26 與第二保持模式電晶體 28 皆被電力控制器 20 切換至低阻抗狀態中。組合邏輯電路系統 14 為活動並執行處理操作，同時組合邏輯電路系統 14 的輸入係由同步來源驅動。隔離閘 18 為開啟，且組合邏輯電路系統 14 與訊號值儲存電路系統 16 之間的訊號路徑為開啟。訊號值儲存電路系統 16 用以在時脈訊號 clk 的控制之下儲存訊號值。在操作模式期間，虛擬主電力軌 8 的電壓係約等於主電力軌 6 的電壓，且類似的，虛擬接地電力軌 10 的電壓係約等於接地電力軌 12 的電壓。在其他具體實施例中，在操作模式期間第一保持模式電晶體 24 與第二保持模式電晶體 28 可被切換為關閉，因為驅動虛擬主電力軌 8 與虛擬接地電力軌 10 不需要第一保持模式電晶體 24 與第二保持模式電晶體 28。

第 4 圖示意圖示說明第 2 圖電路在保持模式期間的操作。在保持模式中，第一操作模式電晶體 22 與第二操作模式電晶體 26 皆被切換至高阻抗狀態。第一保持模式電晶體 24 與第二保持模式電晶體 28 皆被切換至低阻抗狀態。該等電晶體的切換係由電力控制器 20 控制。第一保

持模式電晶體 24 的效應是在虛擬主電力軌 8 上，產生比主電力軌電壓 VDD 低約  $V_{tn}$ (第一保持模式電晶體 24 的臨界電壓)的電壓。因此，第一保持模式電晶體 24 作為可控制式二極體，跨第一保持模式電晶體 24 產生二極體電壓降  $V_{tp}$ 。以類似的方式，第二保持模式電晶體 28 在接地電力軌電壓 VSS 與虛擬接地電力軌電壓 VSS- $V_{tp}$  之間提供電壓降  $V_{tp}$ (第二保持模式電晶體 28 的臨界電壓)。如上文所論述，VDD-VSS 之電壓差異，係等於或大於在保持模式期間虛擬主電力軌電壓與虛擬接地電力軌電壓之間差異的三倍。

在保持模式期間，組合邏輯電路系統 14 與訊號值儲存電路系統 16 不被時脈控制(clocked)。隔離閘 18 位於高阻抗狀態中，並阻擋組合邏輯電路系統 14 與訊號值儲存電路系統 16 之間的訊號路徑。訊號值儲存電路系統 16 在保持模式期間保持訊號值。

電力控制器 20 產生供應至第一操作模式電晶體 22、第一保持模式電晶體 24、第二操作模式電晶體 26 與第二保持模式電晶體 28 的閘極訊號。可能對該等閘極訊號進行脈衝寬度調變(pulsed width modulated)，以提供通過個別電晶體的阻抗位準，該阻抗位準為個別電晶體高阻抗狀態與低阻抗狀態之間的中間。此可為有用的，例如，若主電力軌 6 與接地電力軌 12 之間的電壓差異提升(例如因為電壓縮放(voltage scaling))，並期望在保持模式期間產生跨第一保持模式電晶體 24 與第二保持模式

電晶體 28 的更大的電壓降。另一種可能為，對第一操作模式電晶體 22 與第二操作模式電晶體 26 之至少一者的閘極電壓進行脈衝寬度調變，以在主電力軌 6 與接地電力軌 12 之間提供減少的電壓差異，作為電壓縮放的一部分。

第 5 圖示意圖示說明在電力關閉模式期間的第 2 圖電路系統。在電力關閉模式期間，所有的第一操作模式電晶體 22、第一保持模式電晶體 24、第二操作模式電晶體 26 與第二保持模式電晶體 28 皆由電力控制器 20 切換至高阻抗狀態。在虛擬主電力軌 8 與虛擬接地電力軌 10 之間的電壓差異，因此陷落至實質上為零，主電力軌 6 與虛擬接地電力軌 10 之間的電壓差異亦如此。因此，通過組合邏輯電路系統 14 與訊號值儲存電路系統 16 的洩漏電流，在電力關閉模式期間被減少，相較於在保持模式期間。然而，在電力關閉模式期間，訊號值儲存電路系統 16 不能夠保持訊號值。

在重置操作模式中，第二保持模式電晶體 28 可被切換至高阻抗狀態，從而使訊號值儲存電路系統 16 隔離自接地電力軌 12 並重置訊號值儲存電路系統 16，而使訊號值儲存電路系統 16 不再保持任何先前所保持的訊號值。此將電路系統置入已知的狀態中，可使用減少的能量消耗將電路系統從此狀態電力開啟。

第 6 圖為示意圖示說明電力控制器 20 操作的流程圖。在步驟 30，作成對於系統是否位於操作模式中的決定。

若系統位於操作模式，則步驟 32 將操作模式與保持模式頂部與底部電晶體 22、24、26、28 皆開啟(或保持為開啟)。將認知到，第一操作模式電晶體 22、第一保持模式電晶體 24、第二操作模式電晶體 26 與第二保持模式電晶體 28，以有時與電源閘控一起使用的術語來作為頂部與底部電晶體。在步驟 34，控制隔離閘 18 的隔離訊號被除確立，所以訊號路徑被開啟。在步驟 36，組合邏輯電路系統 14 與訊號值儲存電路系統 16 皆被時脈控制，以提供正常操作。

若步驟 30 的決定為，系統非位於操作模式中，則步驟 38 決定系統是否為保持模式。若系統位於保持模式中，則步驟 40 將操作模式頂部與底部電晶體 22、26 關閉，並將保持模式頂部與底部電晶體 24、28 開啟。步驟 42 將至隔離閘 18 的隔離訊號確立，而使組合邏輯電路系統 14 與訊號值儲存電路系統 16 之間的訊號路徑被阻擋。在步驟 44，至組合邏輯電路系統 14 與訊號值儲存電路系統 16 的時脈訊號被阻擋，而使組合邏輯電路系統 14 與訊號值儲存電路系統 16 不被時脈控制。因此，組合邏輯電路系統不執行任何處理操作，但訊號值儲存電路系統 16 將繼續保持任何先前所保持的訊號值。

若在步驟 38 的決定為系統不為保持模式，則系統係位於電力關閉模式中，且處理進行至步驟 46，在步驟 46 所有的操作模式與保持模式頂部與底部電晶體 22、24、26、28 被關閉。步驟 48 隨後用以阻擋對組合邏輯電路

系統與訊號值保持電路系統的時脈控制，並將重置訊號確立，以適當地確保電路系統將以已知的情況排出電力關閉狀態，在已知的情況中任何在先前被儲存的訊號值已被覆寫。

第 7 圖為示意圖示說明在不同電力模式之間移動的流程圖。在步驟 50，處理等待，直到接收到指示應移至低電力模式的訊號。此種訊號可(例如)在積體電路 2 已閒置多於預定時間量時出現。在接收到欲進入低電力模式的此種訊號時，步驟 52 根據第 6 圖將系統置入保持模式中。在步驟 54，作成是否已接收到喚醒訊號的決定。若已接收到喚醒訊號，則處理進行至步驟 56，在步驟 56 中返回操作模式。若在步驟 54 未接收到喚醒訊號，則處理進行至步驟 56，在步驟 58 中作成系統是否已位於保持模式超過預定時脈週期數量，以及當前操作情況是否允許狀態損失的決定。若系統未位於保持模式中超過預定時脈週期數量，則處理返回步驟 54。若系統已位於保持模式中超過預定時脈週期數量，則處理進行至步驟 60，在步驟 60 中進入電力關閉模式。在位於電力關閉模式中時，處理遞迴步驟 62，等待接收到喚醒訊號，在接收到喚醒訊號時處理經由重置確立步驟 64 返回步驟 56，並再次進入操作模式。

第 8 圖示意圖示說明從標準電路元件庫與暫存器轉換語言積體電路設計形成積體電路的程序。標準電路元件庫包含界定標準電路元件 4(如圖示說明於第 1 圖)的形

式與本質的資料，且欲從此資料建置積體電路 2。標準電路元件提供基本組件，可由基本組件將暫存器轉換語言積體電路設計所指定的設計實體化。標準電路元件庫與 RTL 積體電路設計，被提供為對合成工具的輸入，合成工具操作如電腦程式而產生佈局資料。例如，佈局資料可為欲使用在積體電路生產中之資料界定遮罩。佈局資料被使用於生產環境中，以產生併入了指定於標準電路元件庫中的標準電路元件的積體電路 2。標準電路元件可包含如上文所述提供頂部與底部連結所需的標準電路元件，且特定言之，可包含連接組合邏輯電路系統 14 至虛擬電力軌，且連接訊號值儲存電路系統 16 至主電力軌與接地電力軌之一者且連接訊號值儲存電路系統 16 之其他電力連結至虛擬電力軌的彼等標準電路元件。

雖然本文已參照附加圖式詳細說明了本發明的說明性具體實施例，但將瞭解到本發明並不限於彼等精確的具體實施例，且在本發明領域中具有通常知識者可進行各式各樣的改變與修改，而不脫離如附加申請專利範圍所界定的本發明範圍與精神。

### 【圖式簡單說明】

第 1 圖示意圖示說明由連接在電力軌與虛擬電力軌之間的標準電路元件陣列組成的積體電路；

第 2 圖示意圖示說明連接至電力軌的組合邏輯電路系

統與訊號值儲存電路系統；

第3圖示意圖示說明在操作模式中的第2圖電路系統；

第4圖示意圖示說明在保持模式中的第2圖電路系統；

第5圖示意圖示說明在電力關閉模式中的第2圖電路系統；

第6圖為示意圖示說明電力模式控制的流程圖；

第7圖為示意圖示說明電力模式之間的移動的控制的流程圖；

第8圖為示意圖示說明利用合成工具，從標準電路元件庫與暫存器轉換語言設計生產積體電路的簡圖。

### 【主要元件符號說明】

2	積體電路	4	標準電路元件
6	主電力軌	8	虛擬主電力軌
10	虛擬接地電力軌	12	接地電力軌
14	組合邏輯電路系統	16	訊號值儲存電路系統
18	隔離閘	20	電力控制器
22	第一操作模式電晶體	24	第一保持模式電晶體
26	第二操作模式電晶體	28	第二保持模式電晶體
30-48	步驟	50-64	步驟
VDD	主電力軌電壓	VSS	接地電力軌電壓
niso	隔離訊號	clk	時脈訊號

## 七、申請專利範圍：

1. 一種積體電路，包含：

一主電力軌；

一虛擬主電力軌，該虛擬主電力軌由一或多個第一操作模式電晶體與一或多個第一保持模式電晶體連接至該主電力軌；

一接地電力軌；

一虛擬接地電力軌，該虛擬接地電力軌由一或多個第二操作模式電晶體與一或多個第二保持模式電晶體連接至該接地電力軌；

組合邏輯電路系統，該組合邏輯電路系統連接於該虛擬主電力軌與該虛擬接地電力軌之間；

訊號值儲存電路系統，該訊號值儲存電路系統連接於以下之一者之間：

(a) 該主電力軌與該虛擬接地電力軌之間；以及

(b) 該虛擬主電力軌與該接地電力軌之間；以及

電力控制電路系統，該電力控制電路系統耦接至(並經設置以控制)該一或多個第一操作模式電晶體、該一或多個第一保持模式電晶體、該一或多個第二操作模式電晶體與該一或多個第二保持模式電晶體，而使：

(i) 在一操作模式中，該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體位於一低阻抗狀態中，以提供一操作電壓差異，該操作電壓差異足以支持

跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持；

(ii)在一保持模式中，該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體位於一高阻抗狀態中，且該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體位於一低阻抗狀態中，以提供一低電力電壓差異與一保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯電路系統的資料處理操作，而該保持電壓差異大於該低電力電壓差異且足以支持跨該訊號值儲存電路系統的訊號值保持；以及

(iii)在一電力關閉模式中，該一或多個第一操作模式電晶體、該一或多個第二操作模式電晶體、該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體位於一高阻抗狀態中，以提供一電力關閉電壓差異，該電力關閉電壓差異不足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持。

2.如請求項 1 所述之積體電路，其中該一或多個第一操作模式電晶體為 P 型場效電晶體，而該一或多個第一保持模式電晶體為具有為  $V_{tn}$  伏特之一臨界電壓的 N 型場效電晶體，而使該虛擬主電力軌在該保持模式期間被保持在比該主電力軌之電位低  $V_{tn}$  伏特的一電位。

- 3.如請求項 1 所述之積體電路，其中該一或多個第二操作模式電晶體為 N 型場效電晶體，而該一或多個第二保持模式電晶體為具有為  $V_{tp}$  伏特之一臨界電壓的 P 型場效電晶體，而使該虛擬接地電力軌在該保持模式期間被保持在比該接地電力軌之電位高  $V_{tp}$  伏特的一電位。
- 4.如請求項 3 所述之積體電路，其中該一或多個第一操作模式電晶體為 P 型場效電晶體，而該一或多個第一保持模式電晶體為具有為  $V_{tn}$  伏特之一臨界電壓的 N 型場效電晶體，而使該虛擬主電力軌在該保持模式期間被保持在比該主電力軌之電位低  $V_{tn}$  伏特的一電位。
- 5.如請求項 4 所述之積體電路，其中在該主電力軌與該接地電力軌之間的一電壓差異為  $V_{op}$  伏特，且  $V_{op}/3$  係大於或等於  $(V_{op} - (V_{tn} + V_{tp}))$ 。
- 6.如請求項 1 所述之積體電路，其中訊號值儲存電路系統連接於該主電力軌與該虛擬接地電力軌之間，且該電力控制電路系統操作於一重置模式中，以控制該一或多個第二保持模式電晶體為具有一高阻抗狀態，而使該訊號值儲存電路系統位於一低電力狀態中，該低電力狀態不確保訊號值的保持。

- 7.如請求項 1 所述之積體電路，其中訊號值儲存電路系統連接於該虛擬主電力軌與該接地電力軌之間，且該電力控制電路系統操作於一重置模式中，以控制該一或多個第一保持模式電晶體為具有一高阻抗狀態，而使跨該訊號值儲存電路系統的一電壓差異位於一低電力狀態中，該低電力狀態不確保訊號值的保持。
- 8.如請求項 1 所述之積體電路，其中該一或多個第一操作模式電晶體具有比該一或多個第一保持模式電晶體大的一驅動強度，且該一或多個第二操作模式電晶體具有比該一或多個第二保持模式電晶體大的一驅動強度。
- 9.如請求項 1 所述之積體電路，該積體電路包含一隔離閘，該隔離閘位於該組合邏輯電路系統與該訊號值儲存電路系統之間的一訊號路徑中，電力控制電路系統經設置為控制該閘極，以在位於該保持模式中時輸出一預定訊號值。
- 10.如請求項 1 所述之積體電路，其中對於該一或多個第一操作模式電晶體、該一或多個第一保持模式電晶體、該一或多個第二操作模式電晶體與該一或多個第二保持模式電晶體中的至少一些電晶體，該電力控制電路系統藉由對施加至該至少一些電晶體的閘極電壓進行脈衝寬度調變，來控制該至少一些電晶體。

11. 如請求項 10 所述之積體電路，其中對該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體的閘極電壓進行的脈衝寬度調變，係用以在該主電力軌與該接地電力軌之間的一電壓差異提升時，提供跨該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體的一經提升的電壓降。

12. 如請求項 10 所述之積體電路，其中對：(i)該一或多個第一操作模式電晶體；以及(ii)該一或多個第二操作模式電晶體之至少一者的閘極電壓進行的脈衝寬度調變，係用以在該主電力軌與該接地電力軌之間提供一經減少的電壓差異。

13. 如請求項 1 所述之積體電路，其中該組合邏輯電路系統與該訊號值儲存電路系統係由一時脈訊號控制，且該電力控制電路系統在已經過了該時脈訊號之一預定週期數量而未發生任何觸發以返回該操作模式之後，從該保持模式切換至該電力關閉模式。

14. 一種積體電路，包含：

主電力軌構件，用以提供一主電力電壓；  
虛擬主電力軌構件，用以提供一虛擬主電力電壓，且該虛擬主電力軌構件由一或多個第一操作模式電晶體

構件選擇性導通與一或多個第一保持模式電晶體構件選擇性導通而連接至該主電力軌構件；

接地電力軌構件，用以提供一接地電力電壓；

虛擬接地電力軌構件，用以提供一虛擬接地電力電壓，且該虛擬接地電力軌構件由一或多個第二操作模式電晶體構件選擇性導通與一或多個第二保持模式電晶體構件選擇性導通而連接至該接地電力軌構件；

組合邏輯系統構件，用以執行處理操作，且該組合邏輯系統構件連接於該虛擬主電力軌構件與該虛擬接地電力軌構件之間；

訊號值儲存構件，用以儲存一訊號值，且該訊號值儲存構件連接於以下之一者之間：

(a) 該主電力軌構件與該虛擬接地電力軌構件之間；  
以及

(b) 該虛擬主電力軌構件與該接地電力軌構件之間；  
以及

電力控制構件，用以控制電力，該電力控制構件耦接至(並經設置以控制)該一或多個第一操作模式電晶體構件、該一或多個第一保持模式電晶體構件、該一或多個第二操作模式電晶體構件與該一或多個第二保持模式電晶體構件，而使：

(i) 在一操作模式中，該一或多個第一操作模式電晶體構件與該一或多個第二操作模式電晶體構件位於一低阻抗狀態中，以提供一操作電壓差異，該操作電壓差異

足以支持跨該組合邏輯系統構件與該訊號值儲存構件的資料處理操作與訊號值保持；

(ii)在一保持模式中，該一或多個第一操作模式電晶體構件與該一或多個第二操作模式電晶體構件位於一高阻抗狀態中，且該一或多個第一保持模式電晶體構件與該一或多個第二保持模式電晶體構件位於一低阻抗狀態中，以提供一低電力電壓差異與一保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯系統構件的資料處理操作，而該保持電壓差異大於該低電力電壓差異且足以支持跨該訊號值儲存構件的訊號值保持；以及

(iii)在一電力關閉模式中，該一或多個第一操作模式電晶體構件、該一或多個第二操作模式電晶體構件、該一或多個第一保持模式電晶體構件與該一或多個第二保持模式電晶體構件位於一高阻抗狀態中，以提供一電力關閉電壓差異，該電力關閉電壓差異不足以支持跨該組合邏輯系統構件與該訊號值儲存構件的資料處理操作與訊號值保持。

15. 一種操作一積體電路的方法，該積體電路具有：

一主電力軌；  
一虛擬主電力軌，該虛擬主電力軌由一或多個第一操作模式電晶體與一或多個第一保持模式電晶體連接至該主電力軌；

一接地電力軌；

一虛擬接地電力軌，該虛擬接地電力軌由一或多個第二操作模式電晶體與一或多個第二保持模式電晶體連接至該接地電力軌；

組合邏輯電路系統，該組合邏輯電路系統連接於該虛擬主電力軌與該虛擬接地電力軌之間；

訊號值儲存電路系統，該訊號值儲存電路系統連接於以下之一者之間：

(a)該主電力軌與該虛擬接地電力軌之間；以及

(b)該虛擬主電力軌與該接地電力軌之間；以及

該方法包含以下步驟：

(i)在一操作模式中，控制該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體為具有一低阻抗狀態，以提供一操作電壓差異，該操作電壓差異足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持；

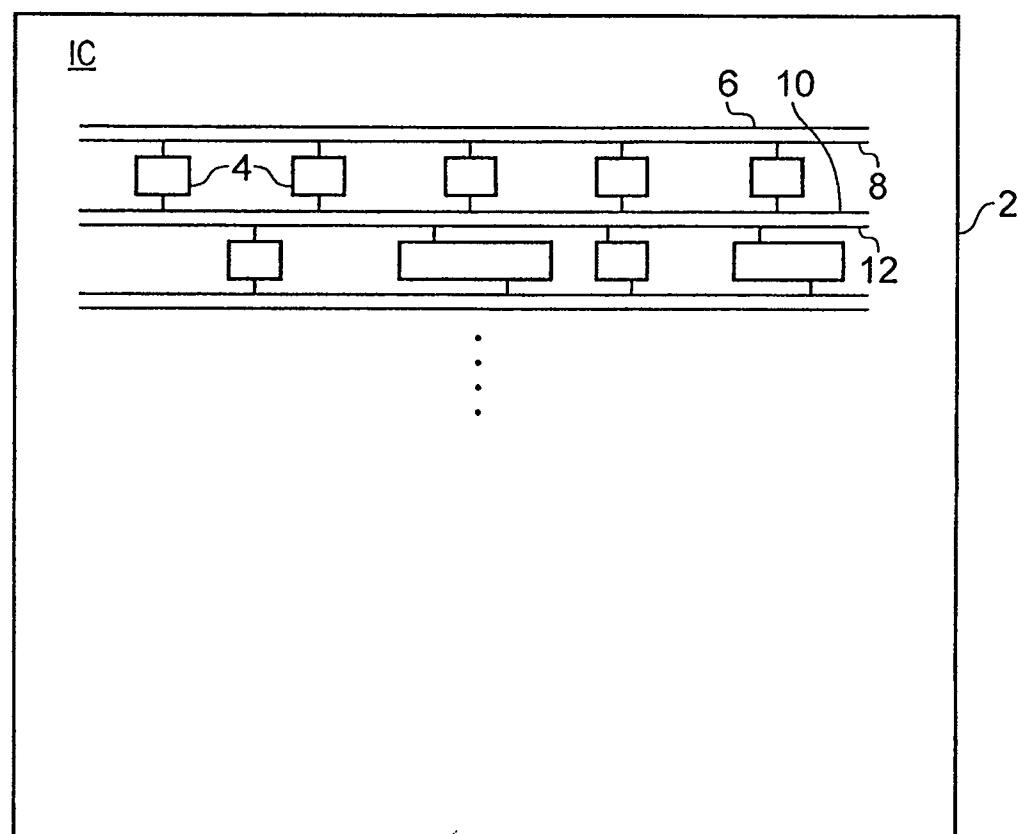
(ii)在一保持模式中，控制該一或多個第一操作模式電晶體與該一或多個第二操作模式電晶體為位於一高阻抗狀態中，且控制該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體為具有一低阻抗狀態，以提供一低電力電壓差異與一保持電壓差異，該低電力電壓差異不足以支持跨該組合邏輯電路系統的資料處理操作，而該保持電壓差異大於該低電力電壓差異

且足以支持跨該訊號值儲存電路系統的訊號值保持；以及

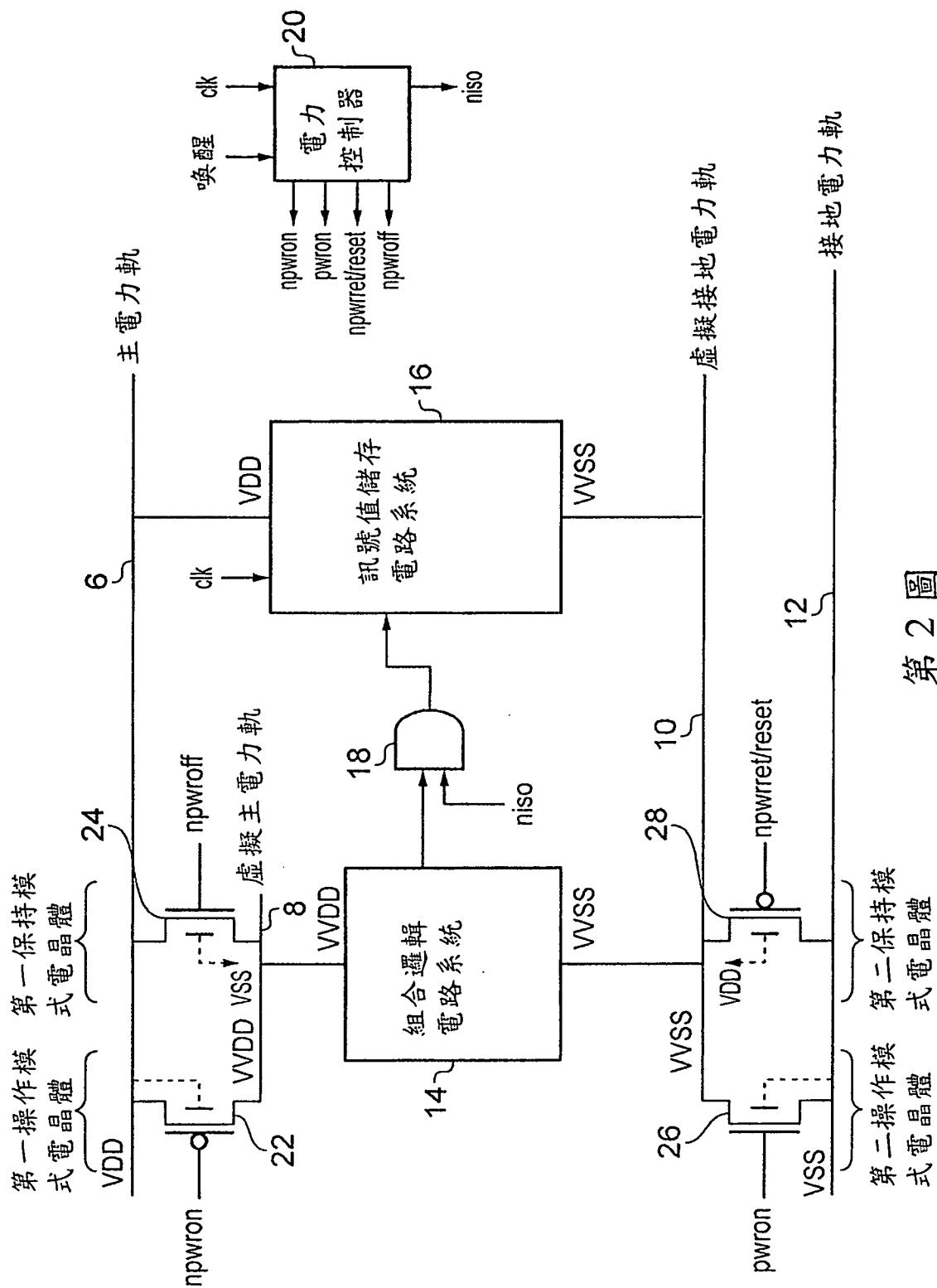
(iii)在一電力關閉模式中，控制該一或多個第一操作模式電晶體、該一或多個第二操作模式電晶體、該一或多個第一保持模式電晶體與該一或多個第二保持模式電晶體為具有一高阻抗狀態，以提供一電力關閉電壓差異，該電力關閉電壓差異不足以支持跨該組合邏輯電路系統與該訊號值儲存電路系統的資料處理操作與訊號值保持。

16.一種電腦可讀取儲存媒體，該電腦可讀取儲存媒體以非暫態性形式儲存標準電路元件庫資料，以控制一電腦形成佈局資料，來控制如請求項 1 所述之積體電路的生產。

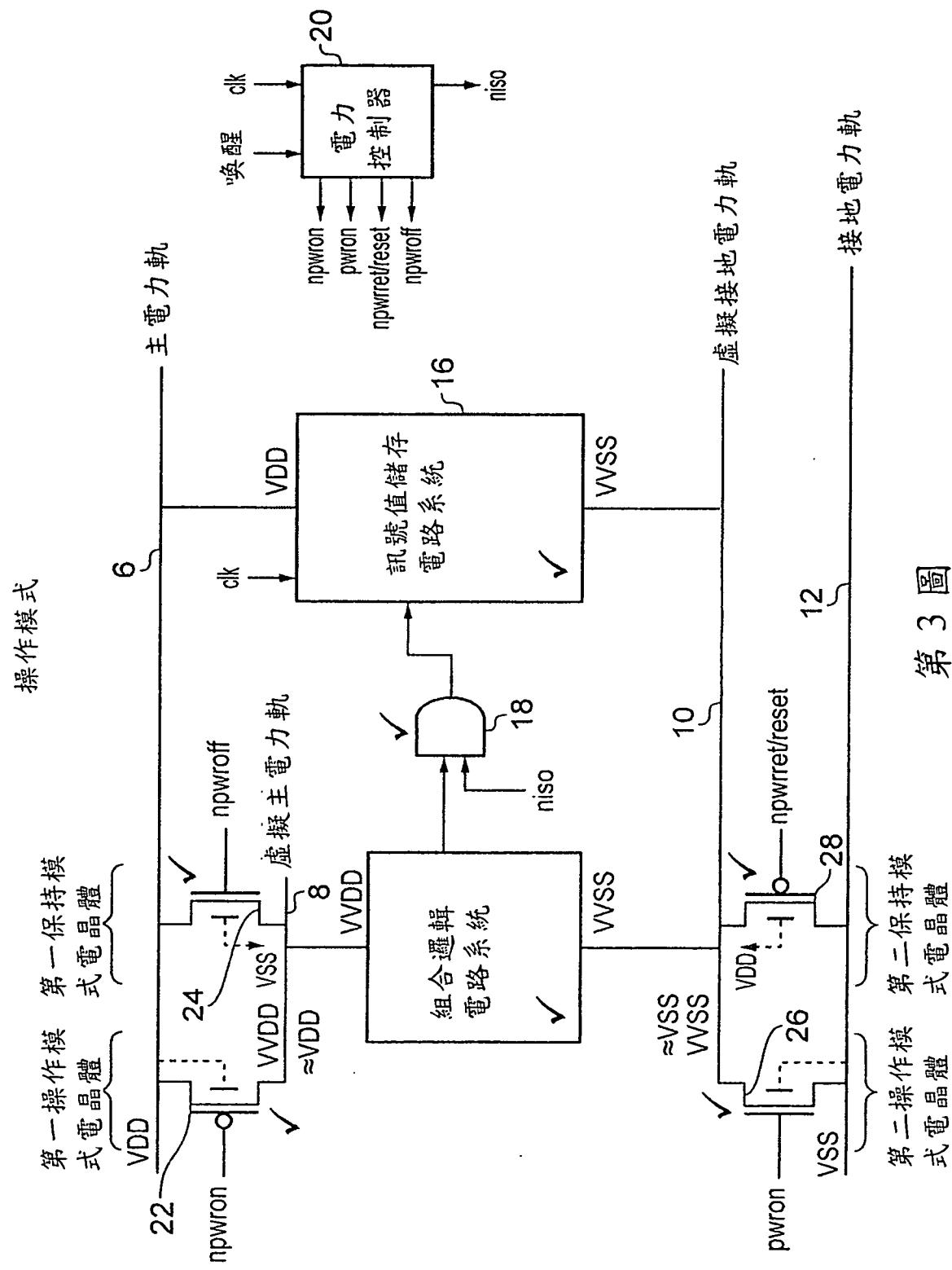
八、圖式：

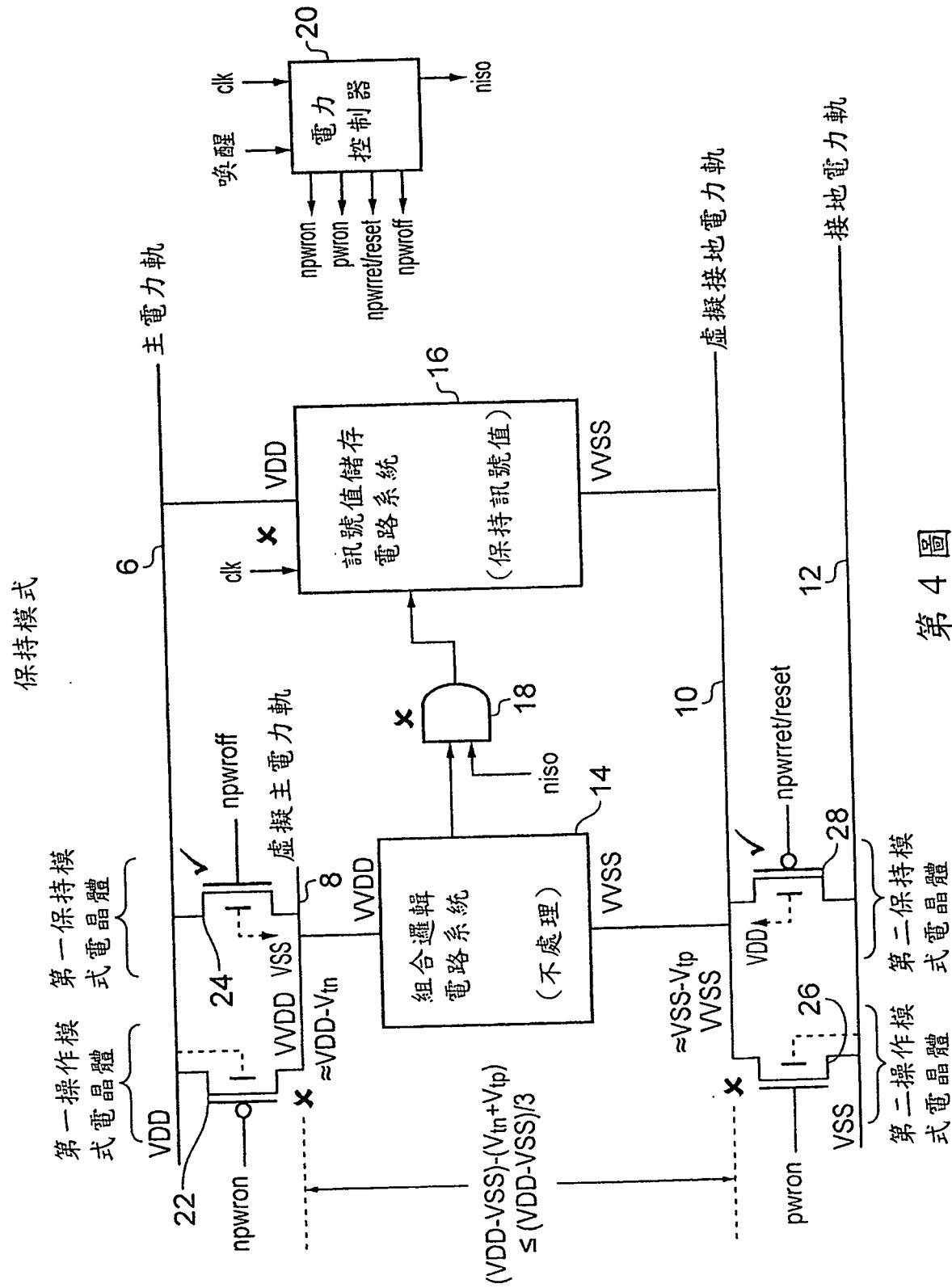


第 1 圖

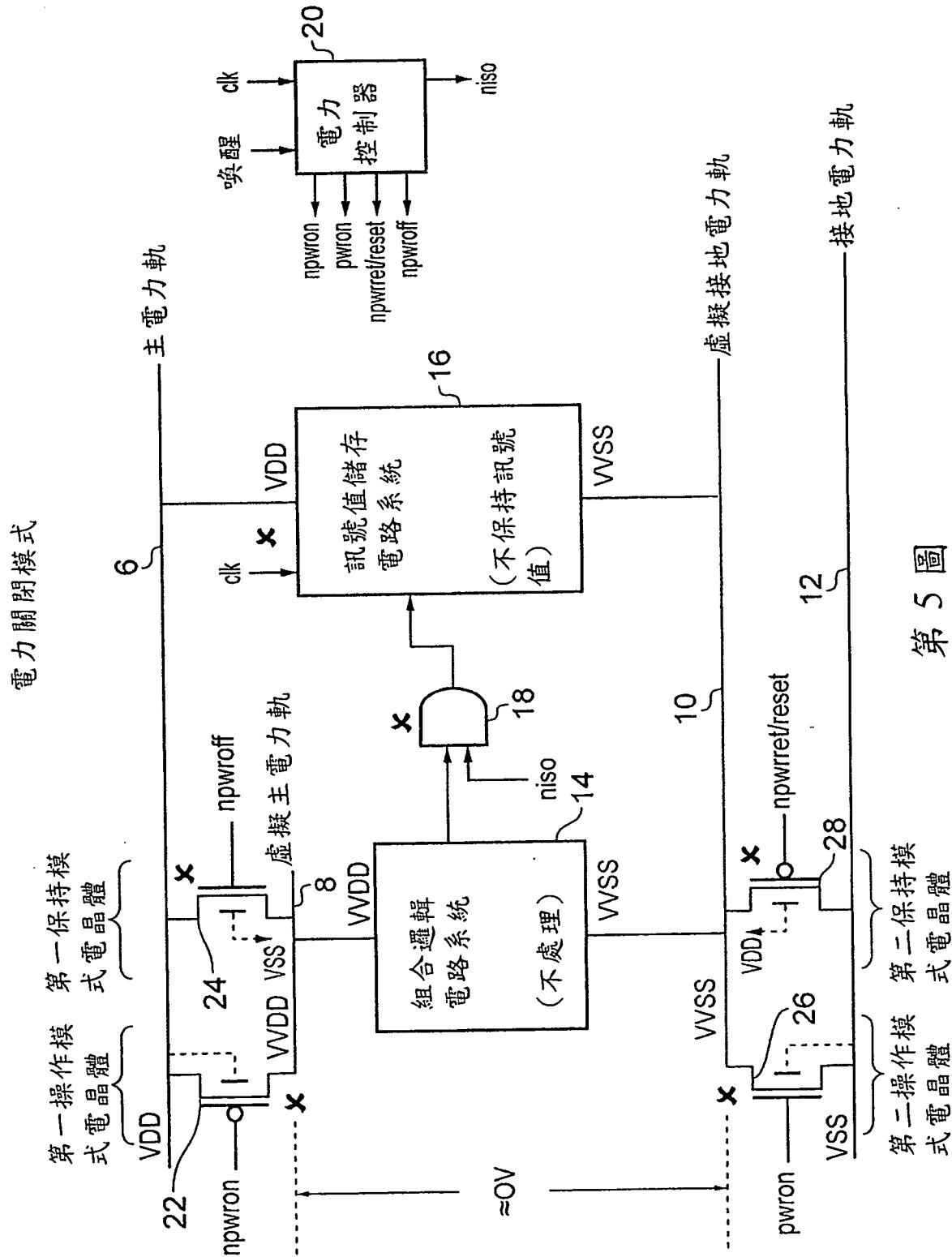


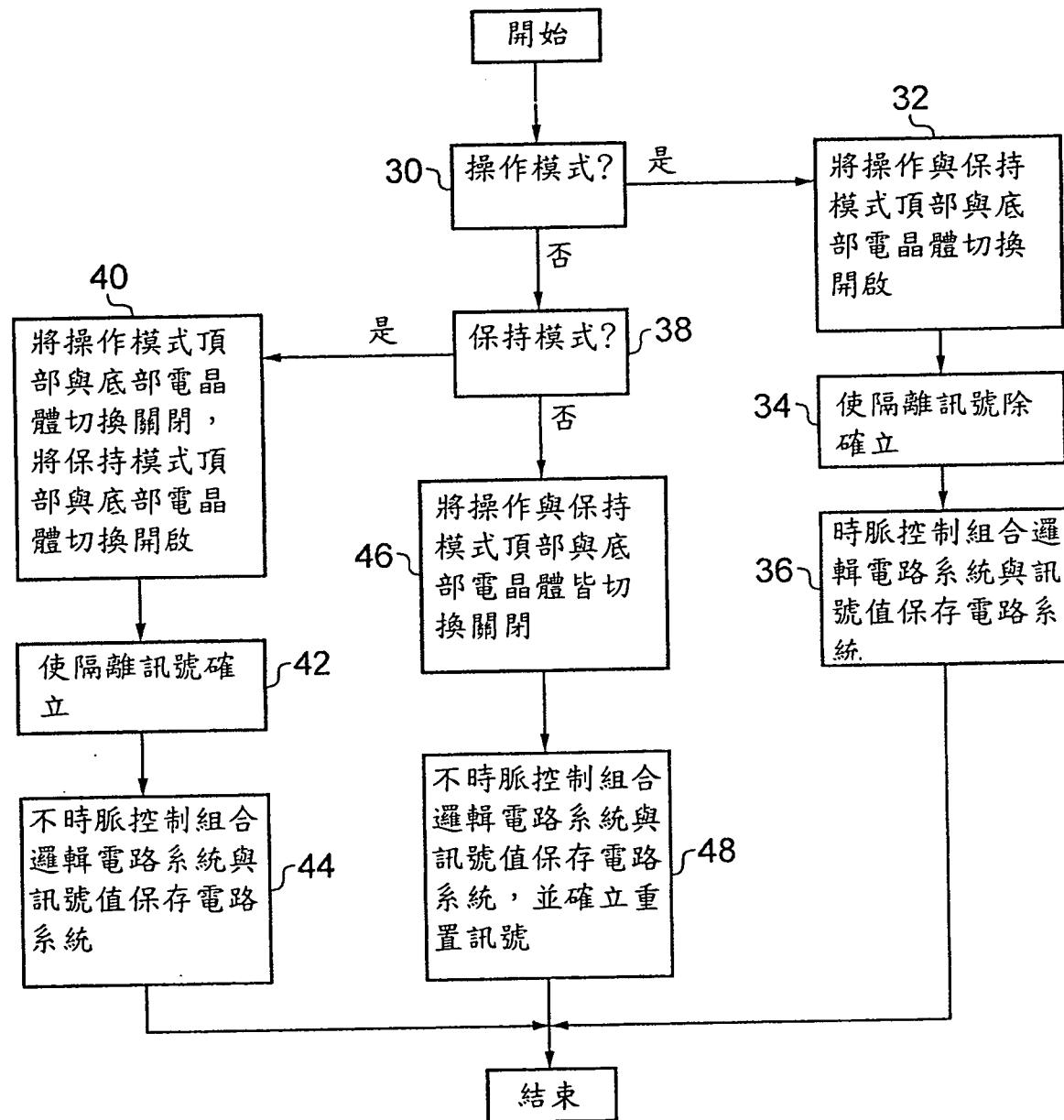
四二



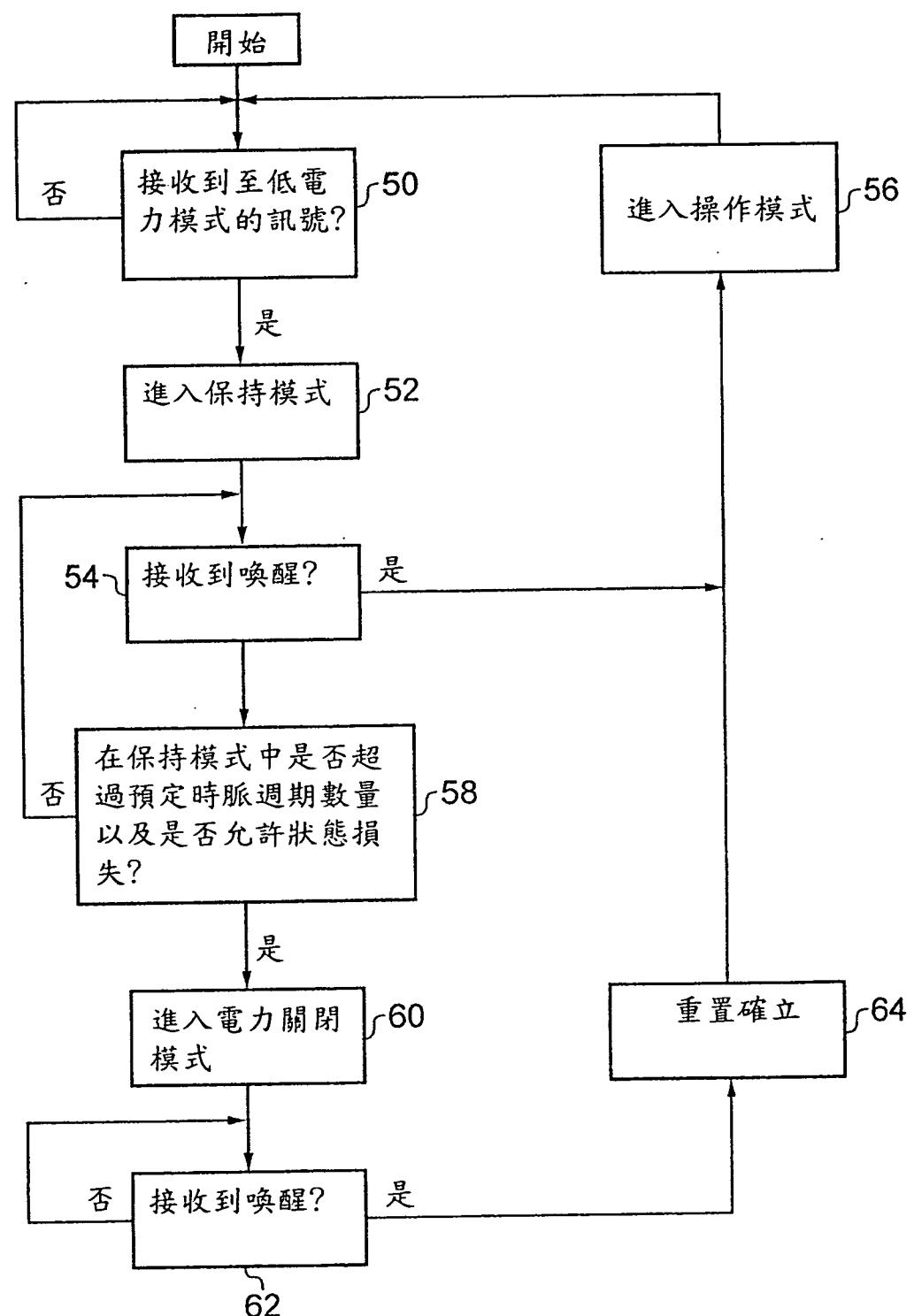


第 4 圖

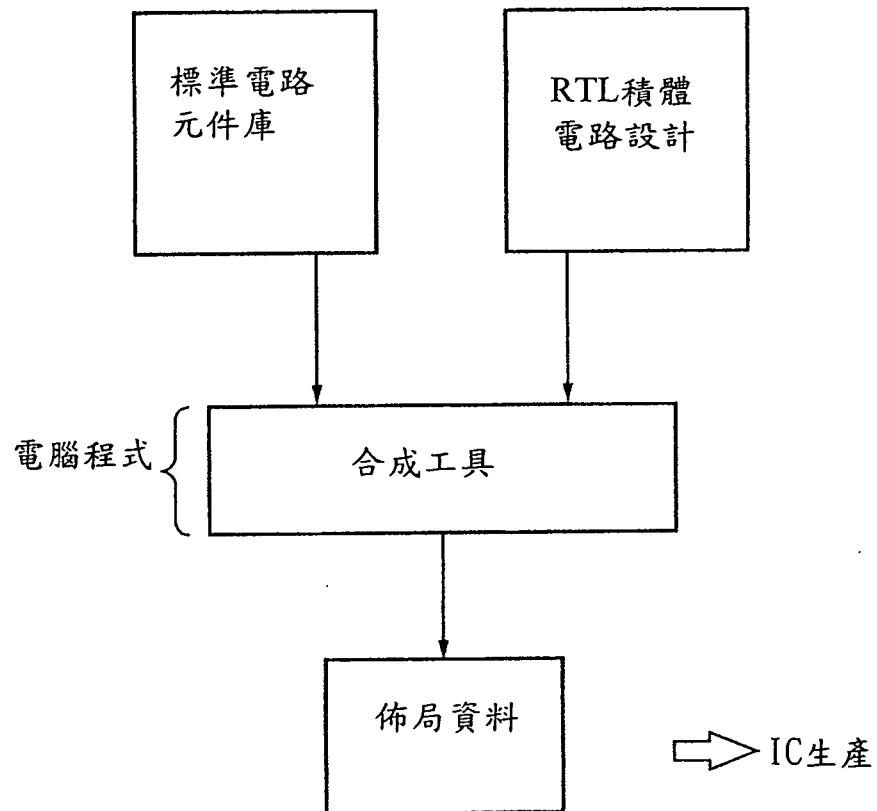




第 6 圖



第 7 圖



第 8 圖