

POLSKA  
RZECZPOSPOLITA  
LUDOWA



URZĄD  
PATENTOWY  
PRL

# OPIS PATENTOWY

128 148

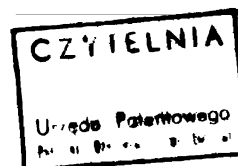
Patent dodatkowy  
do patentu \_\_\_\_\_

Zgłoszono: 79 06 11 /P. 216280/

Pierwszeństwo: \_\_\_\_\_

Zgłoszenie ogłoszono: 80 01 02

Opis patentowy opublikowano: 1985 06 28



Int. Cl.<sup>3</sup> G01R 23/10

Twórcy wynalazku: Andrzej Stachnik, Anna Janulewicz, Andrzej Stefański  
Uprawniony z patentu: Instytut Łączności, Warszawa /Polska/

## CYFROWY KOMPARATOR CZĘSTOTLIWOŚCI

Przedmiotem wynalazku jest cyfrowy komparator częstotliwości przeznaczony do porównywania częstotliwości dwóch sygnałów, zwłaszcza generowanych przez źródła o wysokiej stabilności częstotliwości, z których jeden może być zmodulowany amplitudowo sygnałami rozmownymi lub muzycznymi. Układ znajduje zastosowanie do pomiaru odchylenia częstotliwości lokalnych wzorców względem częstotliwości sygnału odniesienia przesyłanego kanałem transmisyjnym. Może on również być wykorzystany do wytwarzania sygnału sterującego układem korekcji częstotliwości nadajników radiofonicznych pracujących w sieci stacji synchronizowanych krajową częstotliwością wzorcową.

Znany jest, z opisu patentowego ZSRR nr 409 145, układ do porównywania częstotliwości dwóch przebiegów impulsowych, z których jeden jest utworzony z sygnału o częstotliwości odniesienia, a drugi - z sygnału o częstotliwości porównywanej. W torze sygnału odniesienia znajduje się ośmiostanowy licznik binarny złożony z trzech przerzutników bistabilnych, z których każdy zawiera jedno wejście i dwa wyjścia: proste i zanegowane. Wejście pierwszego przerzutnika jest wejściem układu dla przebiegu impulsowego o częstotliwości odniesienia. Przerzutniki połączone są ze sobą szeregowo w ten sposób, że wyjście proste przerzutnika poprzedniego jest połączone z wejściem następnego.

Drugi tor sygnału o częstotliwości porównywanej zawiera dwa czterowejsciowe elementy iloczynu logicznego. Jedno z wejść każdego z tych elementów jest połączone z wejściem toru sygnału o częstotliwości porównywanej, drugie - z wyjściem prostym pierwszego przerzutnika, trzecie - z wyjściem zanegowanym drugiego przerzutnika, natomiast wejście czwarte pierwszego elementu iloczynu logicznego jest połączone z wyjściem prostym, a drugiego elementu iloczynu logicznego - z wyjściem zanegowanym przerzutnika trzeciego.

Wyjścia tych elementów iloczynu logicznego stanowią wejścia bistabilnego przerzutnika R-S o dwóch wejściach i dwóch wyjściach, które są połączone z pierwszymi wejściami dwóch pięciowejsciowych elementów iloczynu logicznego. Drugie wejścia każdego z elementów iloczynu logicznego są połączone z wyjściami prostymi pierwszego przerzutnika, trzecie wejścia - z wyjściem prostym drugiego przerzutnika, czwarte z wyjściem zanegowanym

trzeciego przerzutnika, a piąte wejścia są dołączone do wejścia toru sygnału badanego, na które wprowadza się przebieg impulsowy o częstotliwości porównywanej.

Wyjścia pięciowejściowych elementów iloczynu logicznego są połączone z wejściami drugiego bistabilnego przerzutnika R-S, którego wyjścia stanowią pierwsze wejścia dwóch dwuwejściowych elementów iloczynu logicznego. Drugie wejścia tych elementów są połączone poprzez układ opóźniający z pierwszymi wejściami drugiego pięciowejściowego elementu iloczynu logicznego. W zależności od znaku wyniku pomiaru na wyjściu jednego lub drugiego dwuwejściowego elementu iloczynu logicznego otrzymuje się impulsy o częstotliwości różnicowej.

Działanie układu polega na wykryciu koincydencji czasowych odpowiednich stanów licznika toru częstotliwości odniesienia z impulsami częstotliwości porównywanej. Czterowejściowe elementy iloczynu logicznego wykrywają koincydencję pierwszego i piątego stanu licznika, natomiast pięciowejściowe elementy iloczynu logicznego - koincydencję trzeciego stanu licznika. Jeżeli częstotliwość sygnału porównywanego jest większa od częstotliwości sygnału odniesienia, wówczas wystąpi sekwencja koincydencji pierwszego, trzeciego i piątego stanu licznika, natomiast jeżeli jest mniejsza - to wystąpi koincydencja piątego, trzeciego i pierwszego stanu licznika.

Cyfrowy komparator częstotliwości według wynalazku ma dwa tory sygnałowe, z których każdy zawiera układ kształtowania impulsów oraz czterostanowy licznik binarny. Wejście pierwszego toru jest przeznaczone do odbioru sygnału odniesienia o częstotliwości  $f_0$ , a wejście drugiego toru - do odbioru sygnału porównywanego o częstotliwości  $f_1$ , przy czym każde wejście jest połączone z wejściem zliczającym licznika binarnego poprzez układ kształtowania impulsów. Każdy licznik binarny zawiera dwa dodatkowe wejścia asynchroniczne, z których wejście ustawiające oddziałuje na stan wyjścia mniej znaczącego bitu, zaś wejście kasujące na stan wyjścia bardziej znaczącego bitu.

Komparator według wynalazku zawiera również układ logiczny o sześciu wejściach i trzech wyjściach oraz generator impulsów kasujących o trzech wejściach i jednym wyjściu, które steruje wejściami kasującymi obydwu liczników binarnych. Trzy wejścia układu logicznego są połączone z licznikiem binarnym toru sygnału odniesienia: jedno wejście z wejściem zliczającym, drugie - z wyjściem mniej znaczącego bitu oraz trzecie z wyjściem bardziej znaczącego bitu. W analogiczny sposób są połączone pozostałe trzy wejścia układu logicznego z licznikiem binarnym toru sygnału porównywanego.

Jedno wyjście układu logicznego jest połączone z wejściem ustawiającym licznika toru sygnału odniesienia i stanowi wyjście układu komparatora dla wyniku pomiaru, gdy częstotliwość porównywana  $f_1$  jest większa od częstotliwości odniesienia. Drugie wyjście układu logicznego jest połączone z wejściem ustawiającym licznika toru sygnału odniesienia i stanowi wyjście układu komparatora dla wyniku pomiaru, gdy częstotliwość odniesienia  $f_0$  jest większa od częstotliwości porównywanej  $f_1$ , natomiast trzecie wyjście układu logicznego steruje generatorem impulsów kasujących.

Korzystnym jest, gdy układ logiczny zawiera dwa czterowejściowe elementy logiczne "I", dwa dwuwejściowe elementy logiczne "I-NIE", dwa dwuwejściowe elementy logiczne "I" oraz jeden dwuwejściowy element logiczny "WYŁĄCZNIK LUB - NIE".

Zakres działania komparatora jest szeroki. Przekazuje on jednoznacznie informację o znaku różnicy częstotliwości, pozwala na wykrycie małych różnic częstotliwości pod warunkiem przeprowadzania porównania dla dużej liczby okresów sygnału porównywanego, zapewniając wysoką dokładność pomiaru stałą w całym zakresie pomiarowym. Może być on również wykorzystany jako detektor błędów w układzie sterowania i korekcji częstotliwości.

Przedmiot wynalazku zostanie bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, na którym fig. 1 jest schematem blokowym układu komparatora wykorzystanego jako detektor błędów, fig. 2 - schemat ideowy układu logicznego komparatora, fig. 3 - układem blokowym komparatora do pomiaru odchylenia częstotliwości sygnału porównywanego

z sygnałem krajowej częstotliwości wzorcowej 227 kHz, emitowanym przez radiostację centralną, a fig. 4 przedstawia wykres w funkcji czasu przebiegów impulsowych na poszczególnych wejściach i wyjściach układu logicznego komparatora, ułatwiający zrozumienie zasady działania urządzenia.

Na wejście  $f_w$  układu komparatora według fig. 3 zostaje wprowadzony sygnał krajowej częstotliwości wzorcowej 227 kHz, na drugie wejście  $f_p$  tego układu sygnał o częstotliwości podlegającej porównaniu 100 kHz. Sygnał o częstotliwości wzorcowej zostaje w układzie odbiorczym O poprzez wąskopasmowy wzmacniacz wprowadzony na wejście modulatora, gdzie podlega zmodulowaniu sygnałem o częstotliwości 200 kHz, uzyskanym przez powielenie częstotliwości sygnału porównywanego. Otrzymany na wyjściu sygnał o częstotliwości różnicowej 27 kHz po odfiltrowaniu i wzmacnieniu wprowadza się do wejścia drugiego modulatora, gdzie ulega zmodulowaniu sygnałem o częstotliwości 25 kHz otrzymanym z podziału częstotliwości sygnału porównywanego.

Sygnał o częstotliwości różnicowej 2 kHz zostaje wzmacniony i ograniczony amplitudowo, a następnie wprowadza się go do wejścia 500-krotnego powielacza częstotliwości, w którym ulega powieleniu do częstotliwości 1 MHz. Również do częstotliwości 1 MHz zostaje powielony sygnał o częstotliwości podlegającej porównaniu.

Zastosowanie podwójnej przemiany oraz powielenie częstotliwości sygnałów umożliwia znaczne rozszerzenie rozdzielności układu równoważne powieleniu częstotliwości sygnału wzorcowego i porównywanego do częstotliwości porównania 113,5 MHz.

Z wyjścia odbiornika obydwa sygnały są wprowadzane poprzez układy kształtowania impulsów  $K_1$  i  $K_2$  do wejść zliczających binarnych liczników czterostanowych  $L_1$  i  $L_2$ . Stany wyjść tych liczników są przekazywane na wejścia układu logicznego U. Również na odpowiednie wejścia układu logicznego U są wprowadzone przebiegi impulsowe o częstotliwościach sygnałów: odniesienia i porównywanego.

Układ logiczny U wytwarza impulsy dopełniające skierowane odpowiednio na wyjście tego toru, w którym częstotliwość przebiegu impulsowego jest mniejsza. Liczba impulsów na wyjściu układu logicznego U odpowiada różnicy częstotliwości porównywanych przebiegów impulsowych. Równocześnie jedno wyjście układu logicznego U steruje wejściem generatora impulsów kasujących G, którego stan wyjścia oddziałuje na wejścia kasujące obydwóch liczników binarnych  $L_1$  i  $L_2$ .

Pierwsze wejście 1 układu logicznego U stanowi jedno z wejść dwuwejściowego elementu logicznego "I - NIE"  $U_3$ , którego drugie wejście jest połączone z wyjściem pierwszego czterowejściowego elementu logicznego "I"  $U_1$ .

Pierwsze wejście drugiego czterowejściowego elementu logicznego "I"  $U_2$  oraz połączone z nim jedno z wejść dwuwejściowego elementu logicznego "WYŁĄCZNIK LUB - NIE"  $U_7$  stanowią drugie wejście 2 układu logicznego U, które ponadto poprzez element logiczny "NIE"  $U_6$  jest połączone z pierwszym wejściem pierwszego czterowejściowego elementu logicznego "I"  $U_1$ .

Jedno z wejść dwuwejściowego elementu logicznego "I"  $U_8$  oraz połączone z nimi drugie wejścia obu czterowejściowych elementów logicznych "I - NIE"  $U_1$ ,  $U_2$  są trzecim wejściem 3 układu logicznego U, zaś drugie wejście tego dwuwejściowego elementu logicznego "I" wraz z połączonymi z nim trzecimi wejściami obu czterowejściowych elementów logicznych "I - NIE"  $U_1$ ,  $U_2$  stanowią czwarte wejście 5 układu logicznego U.

Drugie wejście dwuwejściowego elementu logicznego "WYŁĄCZNIK LUB - NIE"  $U_7$  jest piątym wejściem 6 układu logicznego U. Wejście to jest połączone bezpośrednio z czwartym wejściem pierwszego czterowejściowego elementu logicznego "I - NIE"  $U_1$ , a poprzez element logiczny "NIE"  $U_6$  z czwartym wejściem drugiego czterowejściowego elementu "I - NIE"  $U_2$ .

Szóste wejście 7 układu logicznego stanowi jedno z wejść drugiego dwuwejściowego elementu logicznego "I - NIE"  $U_4$ , którego drugie wejście jest połączone z wyjściem drugiego

czterowejściowego elementu logicznego "I"  $U_2$ , zaś wyjście tego dwuwejściowego elementu logicznego "I - NIE" jest pierwszym wyjściem 8 układu logicznego U.

Wyjście pierwszego dwuwejściowego elementu logicznego "I - NIE"  $U_3$  stanowi drugie wyjście 9 układu logicznego U.

Trzecie wyjście 4 układu logicznego U jest wyjściem drugiego elementu logicznego "I"  $U_5$ , którego jedno wejście jest połączone z wyjściem dwuwejściowego elementu logicznego "WYŁĄCZNIK LUB-NIE"  $U_7$ , zaś drugie wejście jest połączone z wyjściem pierwszego dwuwejściowego elementu logicznego "I"  $U_8$ .

Impulsy dopełniające z wyjść układu logicznego U są skierowane na wejście bramki czasowej B, sterowanej, poprzez dodatkowe wejście, przebiegiem impulsowym wytwarzanym przez układ sterujący S. Układ sterujący S narzuca rytm pomiarowy komparatora, w którym czas trwania impulsów sterujących wyznacza długość cykli pomiarowych komparatora, natomiast okres repetycji tych impulsów - przerwy między poszczególnymi pomiarami. W omówionym przykładzie wykonania czas trwania pojedynczego impulsu, regulowany w sposób dyskretny, stanowi jedną z czterech wartości od 0,881 do 881 s i odpowiada rozdzielności układu pomiarowego od  $\pm 1 \cdot 10^{-8}$  do  $\pm 1 \cdot 10^{-11}$ .

Wyjścia bramki czasowej B są połączone z wejściami licznika rewersyjnego L3 poprzez zwrotnicę Z kierującą impulsy na odpowiednie wejścia tego licznika L3, przy czym wyjścia licznika rewersyjnego L3 są połączone poprzez dekodery D2 stanów zerowych tego licznika L3 z wejściem sterującym zwrotnicy Z. Zwrotnica Z posiada dodatkowe wyjście połączone z wyświetlaczem znaków W2 wartości liczbowych licznika rewersyjnego L3 dekodowanych przez dekodery D1 i wyświetlanych przez wyświetlacz W1.

Działanie zwrotnicy Z polega na tym, że w każdym z cykli pomiarowych pierwszy impuls zostaje skierowany na wejście licznika rewersyjnego L3, zliczającego impulsy w kierunku przyjętym jako dodatni. Następne impulsy, które pojawiają się z tego samego wyjścia układu logicznego U są zliczane również w kierunku dodatnim. Jeżeli natomiast w czasie otwarcia bramki czasowej B pojawią się impulsy z drugiego wyjścia układu logicznego U, wówczas zostają one skierowane do drugiego wejścia licznika rewersyjnego L3 powodując odejmowanie liczby zliczanych impulsów. Jeżeli w czasie otwarcia bramki czasowej B licznik rewersyjny L3 dojdzie do stanu zerowego, dekodery stanów zerowych D2 spowoduje przestawienie układu zwrotnicy Z w taki sposób, że następne impulsy z drugiego wyjścia układu logicznego U będą liczone jako impulsy tego samego znaku, natomiast nastąpi zmiana wyświetlanego znaku.

Fig. 4 przedstawia przebiegi impulsowe występujące na poszczególnych wejściach i wyjściach układu logicznego U. Wykres został sporządzony dla przypadku, gdy częstotliwość sygnału odniesienia jest większa od częstotliwości sygnału porównywanego, przy stosunku częstotliwości  $f_0 : f_1 = 11 : 10$ , a zmiana stanów liczników binarnych jest spowodowana zboczem tylnym impulsu. Pionowa linia wyznacza rzędną osi czasu  $t_1$  odpowiada momentowi czasowemu, w którym stany logiczne na wyjściach obydwóch liczników L1 i L2 oraz wszystkich wejściach i wyjściach układu logicznego U z wyjątkiem wyjścia 8 odpowiadają wartości logicznej "0".

Na wejściu 1 układu logicznego U pojawia się pierwszy impuls przebiegu odniesienia, który spowoduje zmianę stanu logicznego wejścia 2 na "1". Pojawienie się na wejściu 7 pierwszego impulsu przebiegu porównywanego, opóźnionego w czasie w stosunku do impulsu przebiegu odniesienia, zmieni wartość logiczną wejścia 6 na "1". Zbocze tylne drugiego impulsu na wejściu 1 ustali wartość logiczną "0" wejścia 2, co spowoduje zmianę stanu logicznego 3 na "0".

Pojawienie się na wejściu 7 drugiego impulsu przebiegu porównywanego zmieni stan wejścia 6 na "0" i wejścia 5 na "1". Wyjścia licznika binarnego L1 przyjmą wartość logiczną  $Q_1 = 0$ ,  $Q_3 = 1$ , a wyjścia licznika binarnego L2 - wartości logiczne  $Q_2 = 0$ ,  $Q_4 = 1$ . Spowoduje to zmianę stanu logicznego wyjścia 4 układu logicznego U na "1". Ponieważ

wyjście to steruje wejściem 2 generatora impulsów kasujących G, na wyjściu tego generatora ustali się wartość logiczna "0", co spowoduje ustalenie się wartości logicznych wyjść  $Q_3 = 0$ ,  $Q_4 = 0$  i pojawienie się wartości logicznej "0" na wyjściu 4. Powyższy stan odpowiada momentowi czasowemu  $t_2$ . Opisane powyżej zmiany wartości logicznych powtarzają się po impulsie czwartym i szóstym przebiegu porównywanego.

Zbocze tylne dziewiątego impulsu przebiegów odniesienia ustala na wejściu 2 wartość logiczną "1" przy wartości logicznej "1" na wejściu 3. Zbocze tylne ósmego impulsu przebiegu porównywanego zmienia stan logiczny na wejściu 6 na "0" oraz na wejściu 5 na "1". Stany wyjść obydwóch liczników binarnych L1 i L2 przybierają wartości logiczne  $Q_1 = 1$ ,  $Q_2 = 1$ ,  $Q_3 = 1$ ,  $Q_4 = 1$ , co spowoduje zmianę stanu wyjścia czterowejściowego elementu logicznego "I"  $U_2$  układu logicznego U na "1".

Zbocze przednie dziesiątego impulsu przebiegu odniesienia zmieni wartość logiczną wyjścia 8 na "0" i wejścia 6 na "1". Wartość logiczna "0" wejścia 8 trwa przez krótki moment czasowy, ponieważ zmiana stanu wejścia 6 powoduje zmianę wartości logicznej wyjścia czterowejściowego elementu logicznego  $U_2$ , co z kolei spowoduje, że stan wyjścia 8 osiąga wartość logiczną "1".

Impuls z wyjścia 8 układu logicznego U zostaje przekazany na wyjście WY2 układu komparatora jako wynik porównania częstotliwości przebiegów: odniesienia i porównywanego.

Stany wyjść  $Q_1$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$  liczników binarnych L1 i L2 odpowiadają wartości logicznej "1". Zmieni się stan logiczny wyjścia 4 na "1", co spowoduje, że generator impulsów kasujących G poprzez wejścia  $C_1$  i  $C_2$  liczników L1 i L2 ustali wartość logiczną wyjść  $Q_3 = 0$  oraz  $Q_4 = 0$ .

Zbocze tylne dziesiątego impulsu przebiegu odniesienia ustala wartość logiczną "0" na wejściu 2 oraz "1" na wejściu 3, a zbocze tylne dziewiątego impulsu przebiegu porównywanego w momencie czasowym  $t_3$  ustala wartość logiczną "0" wejścia 6 oraz "1" wejścia 5.

Stany logiczne wejść i wyjść układu logicznego U przedstawione na wykresach fig. 3 w momencie czasowym  $t_3$  odpowiadają stanom logicznym, jakie przybierają te wejścia i wyjścia w momencie czasowym  $t_2$ .

#### Z a s t r z e ż e n i a   p a t e n t o w e

1. Cyfrowy komparator częstotliwości o dwóch równoległych torach sygnałowych, z których wejście pierwszego toru jest przeznaczone do odbioru sygnału odniesienia o częstotliwości  $f_0$ , a wejście drugiego toru - do odbioru sygnału porównywanego o częstotliwości  $f_1$ , przy czym każde wejście jest połączone poprzez układ kształtowania impulsów z wejściem zliczającym binarnego licznika czterostanowego, który zawiera dwa dodatkowe wejścia asynchroniczne: ustawiające i kasujące, gdzie wejście ustawiające oddziałuje na stan wyjścia mniej znaczącego bitu, a wejście kasujące oddziałuje na stan wyjścia bardziej znaczącego bitu, który to komparator częstotliwości zawiera układ logiczny o sześciu wejściach i trzech wyjściach oraz generator impulsów kasujących o wyjściu sterującym wejścia kasujące liczników binarnych, z n a m i e n n y   t y m, że trzy wejścia układu logicznego /U/ są połączone z licznikiem /L1/ częstotliwości  $f_0$  sygnału odniesienia w ten sposób, że pierwsze wejście /1/ jest połączone z wejściem / $T_1$ / zliczającym tego licznika /L1/, drugie wejście /2/ jest połączone z wyjściem / $Q_1$ / mniej znaczącego bitu tego licznika /L1/, trzecie wejście /3/ jest połączone z wyjściem / $Q_3$ / bardziej znaczącego bitu tego licznika /L1/, a pozostałe wejścia układu logicznego /U/ są połączone z licznikiem /L2/ częstotliwości  $f_1$  sygnału porównywanego w ten sposób, że czwarte wejście /5/ jest połączone z wyjściem / $Q_4$ / bardziej znaczącego bitu tego licznika /L2/, piąte wejście /6/ jest połączone z wyjściem / $Q_2$ / mniej znaczącego bitu tego licznika /L2/.

a szóste wejście /7/ jest połączone z wejściem zliczającym /T<sub>2</sub>/ tego licznika /L2/, natomiast jedno wyjście /8/ układu logicznego /U/ jest połączone z wejściem ustawiającym /P<sub>2</sub>/ licznika /L2/ częstotliwości  $f_1$  sygnału porównywanego i stanowi wyjście /WY2/ układu komparatora dla wyniku pomiaru, gdy częstotliwość porównywana  $f_1$  jest mniejsza od częstotliwości odniesienia  $f_0$ , drugie wyjście /9/ układu logicznego /U/ jest połączone z wejściem ustawiającym /P<sub>1</sub>/ licznika /L1/ częstotliwości  $f_0$  sygnału odniesienia i stanowi wyjście /WY1/ układu komparatora dla wyniku pomiaru, gdy częstotliwość porównywana  $f_1$  jest większa od częstotliwości odniesienia  $f_0$ , zaś trzecie wyjście /4/ układu logicznego /U/ jest połączone z jednym wejściem /2/ generatora /G/ impulsów kasujących, którego drugie wejście /1/ jest połączone z wyjściem /Q<sub>4</sub>/ bardziej znaczącego bitu licznika /L2/ częstotliwości porównywanej  $f_1$ , a trzecie wejście /3/ tego generatora /G/ jest połączone z wyjściem /Q<sub>3</sub>/ bardziej znaczącego bitu licznika /L1/ częstotliwości odniesienia  $f_0$ .

2. Cyfrowy komparator częstotliwości według zastrz. 1, z n a m i e n n y t y m, że układ logiczny /U/ zawiera dwa czterowejściowe elementy logiczne "I" /U<sub>1</sub>, U<sub>2</sub>/, dwa dwuwejściowe elementy logiczne "I - NIE" /U<sub>3</sub>, U<sub>4</sub>/, dwa elementy logiczne "NIE" /U<sub>5</sub>, U<sub>6</sub>/, jeden dwuwejściowy element logiczny "WYŁĄCZNIK LUB - NIE" /U<sub>7</sub>/ oraz dwa dwuwejściowe elementy logiczne "I" /U<sub>8</sub>, U<sub>9</sub>/, przy czym drugie wejście /2/ układu logicznego /U/ jest połączone bezpośrednio z jednym wejściem dwuwejściowego elementu logicznego "WYŁĄCZNIK LUB - NIE" /U<sub>7</sub>/ oraz z pierwszym wejściem drugiego czterowejściowego elementu logicznego "I" /U<sub>2</sub>/, a poprzez element logiczny "NIE" /U<sub>5</sub>/ z pierwszym wejściem pierwszego czterowejściowego elementu logicznego "I" /U<sub>1</sub>/, trzecie wejście /3/ układu logicznego /U/ jest połączone bezpośrednio z drugimi wejściami czterowejściowych elementów logicznych "I" /U<sub>1</sub>, U<sub>2</sub>/ oraz z jednym wejściem dwuwejściowego elementu logicznego "I" /U<sub>8</sub>/, którego drugie wejście wraz z trzecimi wejściami czterowejściowych elementów logicznych "I" /U<sub>1</sub>, U<sub>2</sub>/ jest dołączone do czwartego wejścia /5/ układu logicznego /U/, zaś piąte wejście /6/ układu logicznego /U/ jest połączone bezpośrednio z drugim wejściem elementu logicznego "WYŁĄCZNIK LUB - NIE" /7/ oraz z czwartym wejściem pierwszego czterowejściowego elementu logicznego "I" /U<sub>1</sub>/, a poprzez element logiczny "NIE" /U<sub>6</sub>/ z czwartym wejściem drugiego czterowejściowego elementu logicznego "I" /U<sub>2</sub>/, którego wyjście jest połączone z pierwszym wejściem dwuwejściowego elementu "I - NIE" /U<sub>4</sub>/, drugie wejście tego elementu "I - NIE" /U<sub>4</sub>/ jest szóstym /7/ wejściem układu logicznego /U/, przy czym wyjście tego dwuwejściowego elementu "I - NIE" /U<sub>4</sub>/ jest pierwszym wyjściem /8/ układu logicznego /U/, natomiast wyjście pierwszego czterowejściowego elementu logicznego "I" /U<sub>1</sub>/ jest połączone z pierwszym wejściem drugiego elementu logicznego "I - NIE" /U<sub>3</sub>/, którego drugie wejście jest pierwszym wejściem /1/ układu logicznego /U/, a wyjście tego drugiego elementu "I - NIE" jest drugim /9/ wyjściem układu logicznego /U/, natomiast wyjście pierwszego dwuwejściowego elementu "I" /U<sub>8</sub>/ jest połączone z jednym wejściem, a wyjście dwuwejściowego elementu "WYŁĄCZNIK LUB - NIE" z drugim wejściem drugiego dwuwejściowego elementu logicznego "I" /U<sub>9</sub>/, którego wyjście jest trzecim wyjściem /4/ układu logicznego /U/.

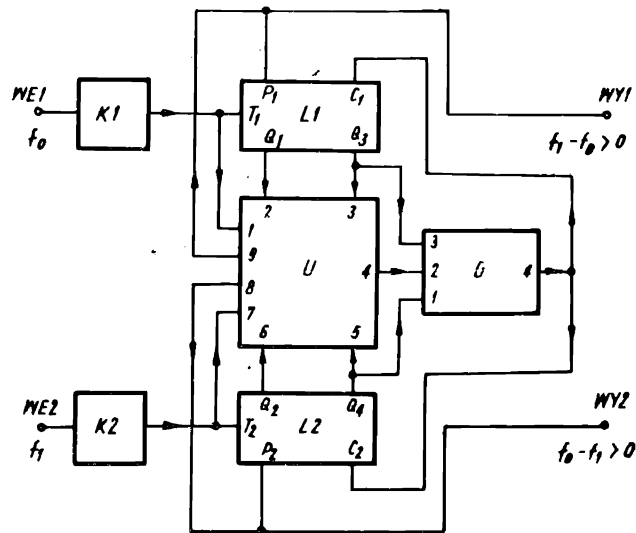


Fig. 1

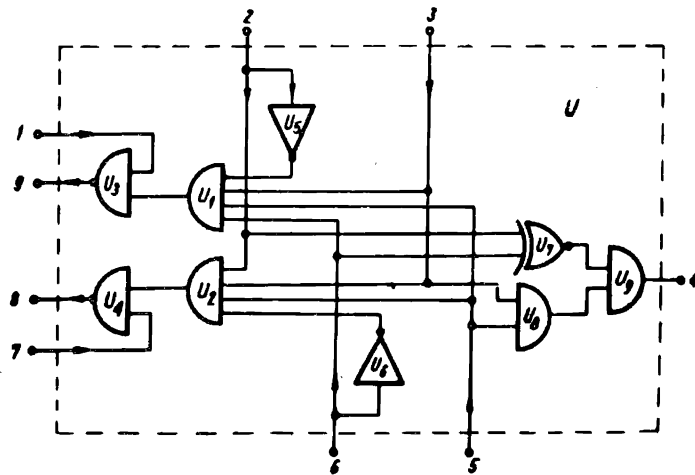


Fig. 2

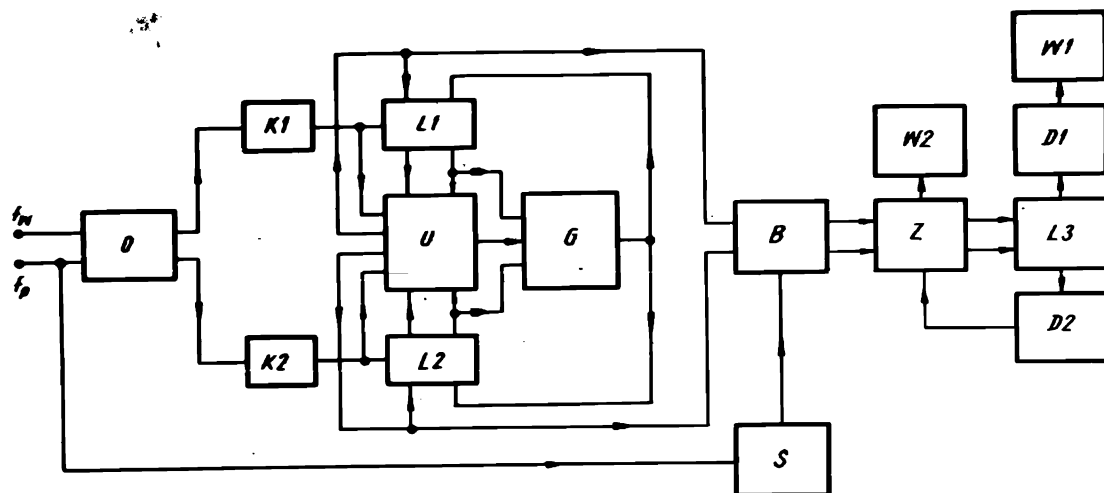


Fig. 3.

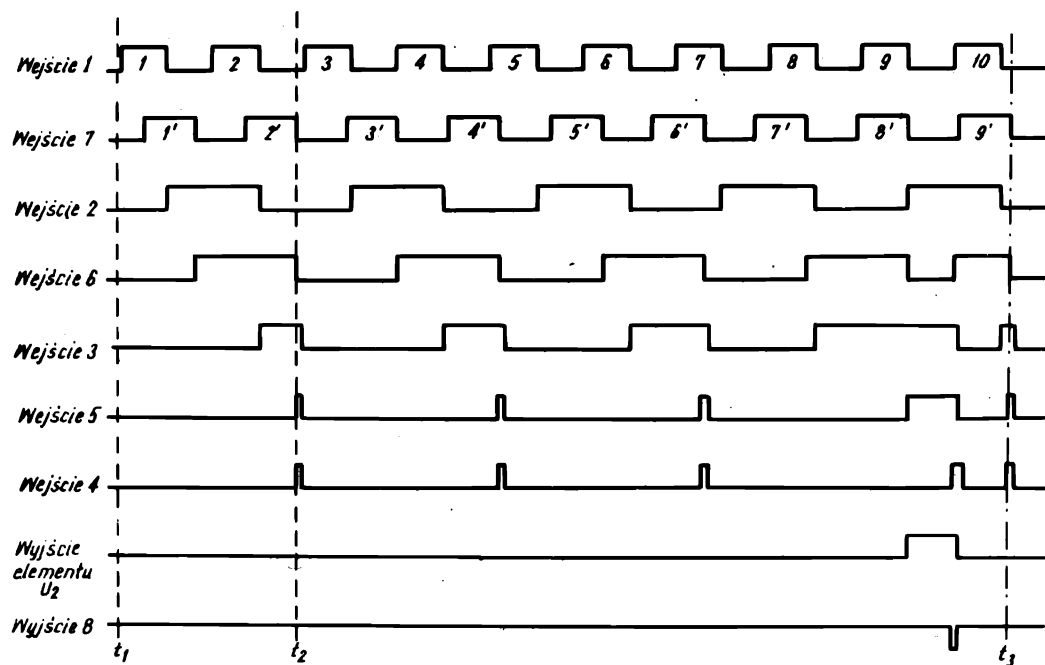


Fig. 4.