

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 9 月 8 日 (08.09.2017)



(10) 国际公布号
WO 2017/148018 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2016/082968
- (22) 国际申请日: 2016 年 5 月 23 日 (23.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610119070.8 2016 年 3 月 2 日 (02.03.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区装备制造基地, Inner Mongolia 017020 (CN)。
- (72) 发明人: 王博 (WANG, Bo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT, DRIVING METHOD, GATE DRIVING CIRCUIT AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器单元、驱动方法、栅极驱动电路及显示装置

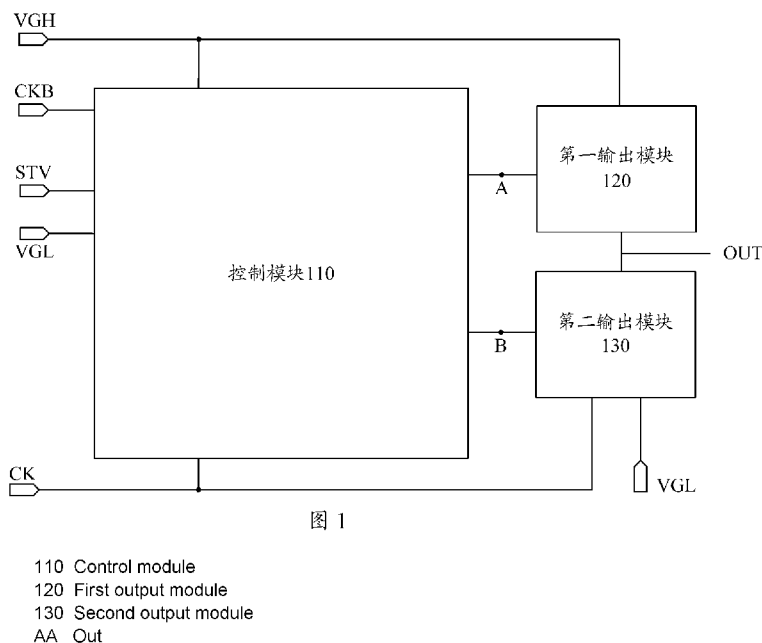


图 1

(57) Abstract: A shift register unit, a driving method, a gate driving circuit and a display apparatus. The shift register unit comprises: a control module (110), a first output module (120) and a second output module (130), wherein the first output module (120) is respectively connected to a first signal end (VGH), a first node (A) and an output end (OUT); the second output module (130) is respectively connected to the output end (OUT), a second node (B), a first clock signal end (CK) and a second signal end (VGL); and the control module (110) is respectively connected to the first node (A), the second node (B), the first signal end (VGH), the second signal end (VGL), the first clock signal end (CK), a second clock signal end (CKB) and an input end (STV), and is used for controlling the electrical potentials of the first node (A) and the second node (B). The shift register unit solves the problems of a complex circuit structure and a tedious control process of the shift register unit, and achieves the purposes of simplifying the circuit structure and the control process of the shift register unit.

(57) 摘要:

[见续页]



一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。该移位寄存器单元包括：控制模块（110）、第一输出模块（120）和第二输出模块（130），其中该第一输出模块（120）分别与第一信号端（VGH）、第一节点（A）和输出端（OUT）连接；该第二输出模块（130）分别与该输出端（OUT）、第二节点（B）、第一时钟信号端（CK）和第二信号端（VGL）连接；该控制模块（110）分别与该第一节点（A）、该第二节点（B）、该第一信号端（VGH）、该第二信号端（VGL）、第一时钟信号端（CK）、第二时钟信号端（CKB）和输入端（STV）连接，用于控制该第一节点（A）和该第二节点（B）的电位。所述移位寄存单元解决了移位寄存器单元电路结构复杂，控制过程较为繁琐的问题，达到了简化移位寄存器单元电路结构和控制过程的目的。

移位寄存器单元、驱动方法、栅极驱动电路及显示装置

技术领域

本公开涉及显示技术的领域，特别地涉及一种移位寄存器单元、
5 驱动方法、栅极驱动电路及显示装置。

背景技术

显示装置在显示图像时，需要利用移位寄存器对像素单元进行扫描。移位寄存器包括多个移位寄存单元，并且每个移位寄存单元对应
10 一行像素单元。由多个移位寄存单元实现对显示装置的像素单元的逐行扫描驱动，以显示图像。

随着像素数目的提高，移位寄存器（栅极开关电路）在一帧时间内所需扫描的行数增加，这就要求移位寄存单元的版图面积要更小以及电路结构更简单。通常，移位寄存单元通过多个晶体管和电容
15 器来控制电路输出信号的电位的高低。但是，在这种情况下，每个移位寄存单元的电位的高低。但是，在这种情况下，每个移位寄存单元的电路结构较为复杂，并且控制过程较为繁琐。

发明内容

本发明的实施例提供了一种移位寄存器单元、驱动方法、栅极驱
20 动电路及显示装置。

根据本公开的第一方面，提供了一种移位寄存器单元，所述移位寄存单元包括：控制模块、第一输出模块和第二输出模块；其中

所述第一输出模块分别与第一信号端、第一节点和输出端连接，并且被配置用于在所述第一节点的控制下，向所述输出端输出来自所述
25 所述第一信号端的第一控制信号；

所述第二输出模块分别与所述输出端、第二节点、第一时钟信号端和第二信号端连接，并且被配置用于在所述第二节点和来自所述第一时钟信号端的第一时钟信号的控制下，向所述输出端输出来自所述
30 第二信号端的第二控制信号；

所述控制模块分别与所述第一节点、所述第二节点、所述第一信号端、所述第二信号端、第一时钟信号端、第二时钟信号端和输入端连接，并且被配置用于在来自所述第一信号端的所述第一控制信号、

来自所述第二信号端的所述第二控制信号、来自所述第一时钟信号端的第一时钟信号、来自所述第二时钟信号端的第二时钟信号和来自所述输入端的输入信号的控制下，控制所述第一节点和所述第二节点的电位。

5 可选地，所述控制模块包括：下拉子模块、第一上拉子模块、控制子模块和第二上拉子模块；其中

所述下拉子模块分别与所述第二信号端、所述第一时钟信号端、第三节点和第四节点连接，并且被配置用于在所述第三节点和来自所述第一时钟信号端的所述第一时钟信号的控制下，向所述第四节点输出所述第二信号端的所述第二控制信号；

所述第一上拉子模块分别与所述输入端、所述第一时钟信号端、所述第三节点和所述第四节点连接，并且被配置用于在来自所述输入端的所述输入信号和来自所述第一时钟信号端的所述第一时钟信号的控制下，分别向所述第三节点和所述第四节点输出所述第一时钟信号；

15 所述控制子模块分别与所述第二时钟信号端、所述输入端、所述第四节点、所述第一节点和所述第二节点连接，并且被配置用于在来自所述第二时钟信号端的所述第二时钟信号的控制下，向所述第一节点输出来自所述输入端的所述输入信号，并向所述第二节点输出所述第四节点的电位；

20 所述第二上拉子模块分别与所述第一信号端、所述第一节点和所述第二节点连接，并且被配置用于在所述第一节点的控制下，向所述第二节点输出来自所述第一信号端的所述第一控制信号。

可选地，所述下拉子模块包括：第一晶体管、第二晶体管和第一电容器；其中

25 所述第一晶体管的第一极与所述第二信号端连接，所述第一晶体管的第二极与所述第三节点连接，并且所述第一晶体管的第三极与所述第一时钟信号端连接；

所述第二晶体管的第一极与所述第二信号端连接，所述第二晶体管的第二极与所述第四节点连接，并且所述第二晶体管的第三极与所述第三节点连接；

30 所述第一电容器的第一极与所述第三节点连接，并且所述第一电容器的第二极与所述第二信号端连接。

可选地，所述第一上拉子模块包括：第三晶体管、第四晶体管、第二电容器和第五晶体管；其中

所述第三晶体管的第一极与所述输入端连接，所述第三晶体管的第二极与第五节点连接，并且所述第三晶体管的第三极与所述第一时钟信号端连接；

所述第四晶体管的第一极与所述第一时钟信号端连接，所述第四晶体管的第二极与所述第三节点连接，并且所述第四晶体管的第三极与所述第五节点连接；

所述第二电容器的第一极与所述第五节点连接，并且所述第二电容器的第二极与所述第四节点连接；

所述第五晶体管的第一极与所述第一时钟信号端连接，所述第五晶体管的第二极与所述第四节点连接，并且所述第五晶体管的第三极与所述第五节点连接。

可选地，所述控制子模块包括：第六晶体管和第七晶体管；其中
所述第六晶体管的第一极与所述输入端连接，所述第六晶体管的第二极与所述第一节点连接，并且所述第六晶体管的第三极与所述第二时钟信号端连接；

所述第七晶体管的第一极与所述第四节点连接，所述第七晶体管的第二极与所述第二节点连接，并且所述第七晶体管的第三极与所述第二时钟信号端连接。

可选地，所述第二上拉子模块包括：第八晶体管；其中

所述第八晶体管的第一极与所述第一信号端连接，所述第八晶体管的第二极与所述第二节点连接，并且所述第八晶体管的第三极与所述第一节点连接。

可选地，所述第一输出模块包括：第九晶体管和第三电容器；其中

所述第九晶体管的第一极与所述第一信号端连接，所述第九晶体管的第二极与所述输出端连接，并且所述第九晶体管的第三极与所述第一节点连接；

所述第三电容器的第一极与所述第九晶体管的第一极连接，并且所述第三电容器的第二极与所述第九晶体管的第三极连接。

可选地，所述第二输出模块包括：第十晶体管和第四电容器；其

中

所述第十晶体管的第一极与所述第二信号端连接，所述第十晶体管的第二极与所述输出端连接，并且所述第十晶体管的第三极与所述第二节点连接；

- 5 所述第四电容器的第一极与所述第十晶体管的第三极连接，并且所述第四电容器的第二极与所述第一时钟信号端连接。

可选地，所述晶体管均为 P 型晶体管。

- 根据本发明的第二方面，提供了一种移位寄存器单元的驱动方法，用于驱动根据第一方面所述的移位寄存器单元，所述移位寄存器单元
10 包括：控制模块、第一输出模块和第二输出模块，其中所述方法包括：

- 在第一阶段中，输入端输入的输入信号为第二电位，第一时钟信号端输入的第一时钟信号为第二电位，第二时钟信号端输入的第二时钟信号为第一电位，第二节点保持第二电位，并且在所述第二节点的控制下，所述第二输出模块向输出端输出来自第二信号端的第二控制
15 信号，所述第二控制信号的电位为第二电位；

- 在第二阶段中，所述输入端输入的输入信号为第二电位，所述第一时钟信号端输入的第一时钟信号为第一电位，所述第二时钟信号端输入的第二时钟信号为第二电位，所述控制模块向第一节点输出来自所述输入端的输入信号，并且在所述第一节点的控制下，所述第一输出
20 模块向所述输出端输出所述第一控制信号，所述第一控制信号的电位为第一电位；

- 在第三阶段中，所述输入端输入的输入信号为第一电位，所述第一时钟信号端输入的第一时钟信号为第二电位，所述第二时钟信号端输入的第二时钟信号为第一电位，所述第一节点保持第二电位，并且
25 在所述第一节点的控制下，所述第一输出模块向所述输出端输出所述第一控制信号；

- 在第四阶段中，所述输入端输入的输入信号为第一电位，所述第一时钟信号端输入的第一时钟信号为第一电位，所述第二时钟信号端输入的第二时钟信号为第二电位，控制所述控制模块向第二节点输出来自所述第二信号端的所述第二控制信号，并且在所述第二节点的控制下，所述第二输出模块向所述输出端输出所述第二控制信号。
30

可选地，所述控制模块包括：下拉子模块、第一上拉子模块、控

制子模块和第二上拉子模块；并且其中所述方法包括：

在所述第三阶段中，所述第一时钟信号端输入的第一时钟信号为第二电位，并且所述下拉子模块向第四节点输出来自所述第二信号端的第二控制信号；

- 5 在所述第二阶段中，所述输入端输入的输入信号为第二电位，所述第一时钟信号端输入的第一时钟信号为第一电位，并且所述第一上拉子模块分别向第三节点和所述第四节点输出所述第一时钟信号；

在所述第二阶段和所述第四阶段中，所述第二时钟信号端输入的第二时钟信号为第二电位，所述控制子模块向所述第一节点输出来自
10 所述输入端的所述输入信号，并向所述第二节点输出所述第四节点的电位；

所述第二阶段和所述第三阶段中，所述第一节点为第二电位，并且所述第二上拉子模块向所述第二节点输出来自所述第一信号端的所述
所述第一控制信号。

- 15 可选地，所述下拉子模块包括：第一晶体管、第二晶体管和第一电容器；并且其中所述方法包括：

在所述第一阶段和所述第三阶段中，所述第一时钟信号端输入的第一时钟信号为第二电位，所述第二信号端输入的所述第二控制信号
为第二电位，所述第一晶体管和所述第二晶体管开启，所述第一电容
20 器存储第二电位，并且所述第二晶体管向所述第四节点输出来自所述
第二信号端的所述第二控制信号；

在所述第四阶段中，所述第二晶体管的第二级保持第二电位，所述
第二晶体管开启，并且所述第二晶体管向所述第四节点输出来自所
述第二信号端的所述第二控制信号。

- 25 可选地，所述第一上拉子模块包括：第三晶体管、第四晶体管、第二电容器和第五晶体管；并且其中所述方法包括：

在所述第一阶段中，所述输入端输入的输入信号为第二电位，所
述第一时钟信号端输入的第一时钟信号为第二电位，所述第三晶体管、
第四晶体管和所述第五晶体管开启，所述第二电容器存储第二电位，
30 所述第四晶体管向所述第三节点输出来自所述第一时钟信号端的所述
第一时钟信号，并且所述第五晶体管向所述第四节点输出所述第一时
钟信号；

在所述第二阶段中，所述输入端输入的输入信号为第二电位，所述第一时钟信号端输入的第一时钟信号为第一电位，所述第三晶体管关断，第五节点保持第二电位，所述第四晶体管和所述第五晶体管开启，所述第四晶体管向所述第三节点输出来自所述第一时钟信号端的
5 所述第一时钟信号，并且所述第五晶体管向所述第四节点输出所述第一时钟信号。

可选地，所述控制子模块包括：第六晶体管和第七晶体管；并且其中所述方法包括：

在所述第二阶段和所述第四阶段中，所述第二时钟信号端输入的
10 所述第二时钟信号为第二电位，所述第六晶体管和所述第七晶体管开启，所述第六晶体管向所述第一节点输出来自所述输入端的所述输入信号，并且所述第七晶体管向所述第二节点输出所述第四节点的电位。

可选地，所述第二上拉子模块包括：第八晶体管；并且其中所述方法包括：

15 在所述第二阶段和所述第三阶段中，所述第一节点为第二电位，所述第八晶体管开启，并且所述第八晶体管向所述第二节点输出来自所述第一信号端的所述第一控制信号。

可选地，所述第一输出模块包括：第九晶体管和第三电容器；并且其中所述方法包括：

20 在所述第二阶段中，所述控制模块向第一节点输出来自所述输入端的所述输入信号，所述输入信号处于第二电位，所述第九晶体管开启，所述第三电容器存储第二电位，并且所述第九晶体管向输出端输出来自所述第一信号端的所述第一控制信号；

在所述第三阶段中，所述第一节点保持第二电位，所述第九晶体
25 管开启，并且所述第九晶体管向输出端输出来自所述第一信号端的所述第一控制信号。

可选地，所述第二输出模块包括：第十晶体管和第四电容器；并且其中所述方法包括：

在所述第四阶段中，所述控制模块向所述第二节点输出来自所述
30 第二信号端的所述第二控制信号，所述第二控制信号为第二电位，所述第十晶体管开启，所述第四电容器存储第二电位，并且所述第十晶体管向输出端输出来自所述第二信号端的所述第二控制信号；

在所述第一阶段中，所述第二节点保持第二电位，所述第十晶体管开启，并且所述第十晶体管向输出端输出来自所述第二信号端的所述第二控制信号。

可选地，所述晶体管均为 P 型晶体管。

5 可选地，所述第一电位相对于所述第二电位为高电位。

根据本公开的第三方面，本公开的实施例提供了一种栅极驱动电路，所述栅极驱动电路包括至少两个级联的如第一方面所述的移位寄存器单元。

根据本公开的第四方面，本公开的实施例提供了一种显示装置，
10 所述显示装置包括第三方面所述的栅极驱动电路。

附图说明

为了更清楚地说明本公开的实施例中的技术方案，下面参考附图描述了本发明的非限制性和非穷举性实施例，其中

15 图 1 是本公开的实施例提供的一种移位寄存器单元的结构示意图；

图 2 是本公开的实施例提供的另一种移位寄存器单元的结构示意图；

图 3 是本公开的实施例提供的又一种移位寄存器单元的结构示意图；

20 图 4 是本公开的实施例提供的一种移位寄存器单元的驱动方法的流程图；

图 5 是本公开的各个实施例中的输入端、第一时钟信号端、第二时钟信号端和输出端的电位变化示意图。

25 具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开的实施例作进一步地详细描述。

本公开的所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。根据其在电路中的作用，本公开的实施例所采用的晶体管主要作为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本公开的实施例中，将晶体管的源极称为第一级，漏极称为第二级，栅极称
30

为第三极。在附图中，规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外，本公开的实施例所采用的开关晶体管包括 P 型开关晶体管和 N 型开关晶体管。P 型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止。N 型开关晶体管为在栅极为高电平时导通，在栅极为低电平时截止。此外，本公开的各个实施例中的多个信号都对应有第一电位和第二电位，这仅代表一个信号的电位有 2 个状态量，不代表第一电位或第二电位具有特定的数值。第一控制信号可以为高电位信号，第二控制信号可以为低电位信号。

图 1 是本公开的实施例提供的一种移位寄存器单元的结构示意图。

移位寄存器单元可以包括：控制模块 110、第一输出模块 120 和第二输出模块 130。

第一输出模块 120 分别与第一信号端 VGH、第一节点 A 和输出端 OUT 连接，并且被配置用于在第一节点 A 的控制下，向输出端 OUT 输出来自该第一信号端 VGH 的第一控制信号，该第一控制信号的电位为第一电位。

第二输出模块 130 分别与输出端 OUT、第二节点 B、第一时钟信号端 CK 和第二信号端 VGL 连接，并且被配置用于在第二节点 B 和来自第一时钟信号端 CK 的第一时钟信号的控制下，向该输出端 OUT 输出来自该第二信号端 VGL 的第二控制信号，该第二控制信号的电位为第二电位。

控制模块 110 分别与第一节点 A、第二节点 B、第一信号端 VGH、第二信号端 VGL、第一时钟信号端 CK、第二时钟信号端 CKB 和输入端 STV 连接，并且被配置用于在来自该第一信号端 VGH 的该第一控制信号、来自该第二信号端 VGL 的该第二控制信号、来自该第一时钟信号端 CK 的第一时钟信号、来自该第二时钟信号端 CKB 的第二时钟信号和来自该输入端 STV 的输入信号的控制下，控制该第一节点 A 和该第二节点 B 的电位。

综上所述，本公开的实施例提供的一种移位寄存器单元包括：控制模块、第一输出模块和第二输出模块，该移位寄存器单元能够通过该控制模块、第一输出模块和第二输出模块来控制输出端输出的电位高低，本公开的实施例提供的移位寄存器单元的电路结构和控制过程均较为简单。

图 2 为本公开的实施例提供的另一种移位寄存器单元的结构示意图。该移位寄存器单元在图 1 所示的移位寄存器单元的基础上增加了附加的部件，从而使得本公开的实施例提供的移位寄存器单元具有良好的性能。如图 2 所示，该控制模块 110 包括：下拉子模块 111、第一上拉子模块 112、控制子模块 113 和第二上拉子模块 114。

下拉子模块 111 分别与第二信号端 VGL、第一时钟信号端 CK、第三节点 C 和第四节点 D 连接，并且被配置用于在该第三节点 C 和来自该第一时钟信号端 CK 的第一时钟信号的控制下，向该第四节点 D 输出该第二信号端 VGL 的第二控制信号。

第一上拉子模块 112 分别与输入端 STV、第一时钟信号端 CK、第三节点 C 和第四节点 D 连接，并且被配置用于在来自输入端 STV 的输入信号和来自第一时钟信号端 CK 的第一时钟信号的控制下，分别向第三节点 C 和第四节点 D 输出第一时钟信号。

控制子模块 113 分别与第二时钟信号端 CKB、输入端 STV、第四节点 D、第一节点 A 和第二节点 B 连接，并且被配置用于在来自第二时钟信号端 CKB 的第二时钟信号的控制下，向第一节点 A 输出来自输入端 STV 的输入信号，并向第二节点 B 输出第四节点 D 的电位。

第二上拉子模块 114 分别与第一信号端 VGH、第一节点 A 和第二节点 B 连接，并且被配置用于在第一节点 A 的控制下，向第二节点 B 输出来自第一信号端 VGH 的第一控制信号。

图 3 是本公开的实施例提供的又一种移位寄存器单元的结构示意图。如图 3 所示，下拉子模块 111 包括：第一晶体管 M1、第二晶体管 M2 和第一电容器 C1。

第一晶体管 M1 的第一极与第二信号端 VGL 连接，第一晶体管 M1 的第二极与第三节点 C 连接，第一晶体管 M1 的第三极与第一时钟信号端 CK 连接。

第二晶体管 M2 的第一极与第二信号端 VGL 连接，第二晶体管 M2 的第二极与第四节点 D 连接，第二晶体管 M2 的第三极与第三节点 C 连接。

第一电容器 C1 的第一极与第三节点 C 连接，第一电容器 C1 的第二极与第二信号端 VGL 连接。

可选地，如图 3 所示，第一上拉子模块 112 包括：第三晶体管 M3、

第四晶体管 M4、第二电容器 C2 和第五晶体管 M5。

第三晶体管 M3 的第一极与输入端 STV 连接，第三晶体管 M3 的第二极与第五节点 E 连接，第三晶体管 M3 的第三极与第一时钟信号端 CK 连接。

- 5 第四晶体管 M4 的第一极与第一时钟信号端 CK 连接，第四晶体管 M4 的第二极与第三节点 C 连接，第四晶体管 M4 的第三极与第五节点 E 连接。

第二电容器 C2 的第一极与第五节点 E 连接，第二电容器 C2 的第二极与第四节点 D 连接。

- 10 第五晶体管 M5 的第一极与第一时钟信号端 CK 连接，第五晶体管 M5 的第二极与第四节点 D 连接，第五晶体管 M5 的第三极与第五节点 E 连接。

可选地，如图 3 所示，控制子模块 113 包括：第六晶体管 M6 和第七晶体管 M7。

- 15 第六晶体管 M6 的第一极与输入端 STV 连接，第六晶体管 M6 的第二极与第一节点 A 连接，第六晶体管 M6 的第三极与第二时钟信号端 CKB 连接。

- 第七晶体管 M7 的第一极与第四节点 D 连接，第七晶体管 M7 的第二极与第二节点 B 连接，第七晶体管 M7 的第三极与第二时钟信号
20 端 CKB 连接。

可选地，如图 3 所示，第二上拉子模块 114 包括：第八晶体管 M8。

第八晶体管 M8 的第一极与第一信号端 VGH 连接，第八晶体管 M8 的第二极与第二节点 B 连接，第八晶体管 M8 的第三极与第一节点 A 连接。

- 25 可选地，如图 3 所示，第一输出模块 120 包括：第九晶体管 M9 和第三电容器 C3。

第九晶体管 M9 的第一极与第一信号端 VGH 连接，第九晶体管 M9 的第二极与输出端 OUT 连接，第九晶体管 M9 的第三极与第一节点 A 连接。

- 30 第三电容器 C3 的第一极与第九晶体管 M9 的第一极连接，第三电容器 C3 的第二极与第九晶体管 M9 的第三极连接。

可选地，如图 3 所示，第二输出模块 130 包括：第十晶体管 M10

和第四电容器 C4。

第十晶体管 M10 的第一极与第二信号端 VGL 连接，第十晶体管 M10 的第二极与输出端 OUT 连接，第十晶体管 M10 的第三极与第二节点 B 连接。

- 5 第四电容器 C4 的第一极与第十晶体管 M10 的第三极连接，第四电容器 C4 的第二极与第一时钟信号端 CK 连接。

本公开的实施例提供的移位寄存器单元，通过十个晶体管和四个电容器完成了对输出端电位高低的控制，从而简化了移位寄存器单元结构，达到了减小移位寄存器版图面积的效果，并且有利于高分辨率
10 显示装置的制造。

图 4 是本公开的实施例提供的一种移位寄存器单元的驱动方法的流程图。移位寄存器单元的结构可以如图 1 所示。该移位寄存器单元可以包括：控制模块 110、第一输出模块 120 和第二输出模块 130。该移位寄存器单元驱动方法包括以下步骤。

- 15 在步骤 401 处描述了第一阶段。在第一阶段中，输入端 STV 输入的输入信号为第二电位；第一时钟信号端 CK 输入的第一时钟信号为第二电位；第二时钟信号端 CKB 输入的第二时钟信号为第一电位；第二节点 B 保持第二电位，并且在该第二节点 B 的控制下，第二输出模块 130 向输出端 OUT 输出来自第二信号端 VGL 的第二控制信号，该第二
20 控制信号的电位为第二电位。

在步骤 402 处描述了第二阶段。在第二阶段中，该输入端 STV 输入的输入信号为第二电位；该第一时钟信号端 CK 输入的第一时钟信号为第一电位；该第二时钟信号端 CKB 输入的第二时钟信号为第二电位；该控制模块 110 向第一节点 A 输出来自该输入端的输入信号，并且
25 在该第一节点 A 的控制下，该第一输出模块 120 向输出端 OUT 输出该第一控制信号，该第一控制信号的电位为第一电位。

在步骤 403 处描述了第三阶段。在第三阶段中，该输入端 STV 输入的输入信号为第一电位；该第一时钟信号端 CK 输入的第一时钟信号为第二电位；该第二时钟信号端 CKB 输入的第二时钟信号为第一电位；
30 该第一节点 A 保持第二电位，并且在该第一节点 A 的控制下，该第一输出模块 120 向输出端 OUT 输出该第一控制信号。

在步骤 404 处描述了第四阶段。在第四阶段中，该输入端 STV 输

入的输入信号为第一电位;该第一时钟信号端 CK 输入的第一时钟信号为第一电位;该第二时钟信号端 CKB 输入的第二时钟信号为第二电位;该控制模块 110 向第二节点 B 输出来自该第二信号端 VGL 的该第二控制信号,并且在第二节点 B 的控制下,该第二输出模块 130 向输出端 OUT 输出该第二控制信号。

在步骤 405 处描述了第五阶段。在第五阶段中,输入端 STV 保持第一电位,并且周期性重复第四阶段,使得:第一节点 A 保持第一电位,第二节点 B 保持第二电位,以及输出端 OUT 保持第二电位。

上述第五阶段为低电位维持阶段。也就是说,本公开的实施例提供的移位寄存器单元驱动方法,可以通过控制输入端 STV 在第一电位和第二电位的维持时间来控制输出端 OUT 输出的电位高低。

需要说明的是,在初始化阶段,该移位寄存器单元的第一节点 A 可以一直保持第一电位,以及第二节点 B 可以一直保持第二电位,使得该第二输出模块 130 持续向输出端 OUT 输出来自第二信号端 VGL 的第二控制信号。在输入端 STV、第一时钟信号端 CK 和第二时钟信号端 CKB 被输入信号后,该移位寄存器单元可以循环执行上述第一阶段至第五阶段所示的驱动方法。

综上所述,本公开的实施例提供的移位寄存器单元驱动方法能够通过移位寄存器单元中的控制模块、第一输出模块和第二输出模块来控制输出端输出的电位高低,并且该移位寄存器单元驱动方法的控制过程较为简单。

可选地,如图 2 所示,控制模块 110 包括:下拉子模块 111、第一上拉子模块 112、控制子模块 113 和第二上拉子模块 114。

在这种情况下,在所述第三阶段中,该第一时钟信号端 CK 输入的第一时钟信号为第二电位,并且下拉子模块 111 向第四节点 D 输出来自该第二信号端 VGL 的第二控制信号。

在所述第二阶段中,该输入端 STV 输入的输入信号为第二电位;该第一时钟信号端 CK 输入的第一时钟信号为第一电位;以及该第一上拉子模块 112 分别向第三节点 C 和该第四节点 D 输出该第一时钟信号。

在所述第二阶段和第四阶段中,该第二时钟信号端 CKB 输入的第二时钟信号为第二电位;该控制子模块 113 向该第一节点 A 输出来自该输入端 STV 的输入信号,并向第二节点 B 输出该第四节点 D 的电位。

在所述第二阶段和第三阶段中，该第一节点 A 为第二电位，该第二上拉子模块 114 向该第二节点 B 输出来自第一信号端 VGH 的第一控制信号。

可选地，如图 3 所示，该下拉子模块 111 包括：第一晶体管 M1、
5 第二晶体管 M2 和第一电容器 C1。

在这种情况下，在所述第一阶段和第三阶段中，第一时钟信号端 CK 输入的第一时钟信号为第二电位，第二信号端 VGL 输入的第二控制信号为第二电位，第一晶体管 M1 和第二晶体管 M2 开启，第一电容器 C1 存储第二电位，第二晶体管 M2 向该第四节点 D 输出来自第二信号端 VGL 的第二控制信号。
10

在所述第四阶段中，由于第三阶段中第一电容器 C1 存储有第二电位，使得该第四阶段中，第二晶体管 M2 的第二级能够继续保持第二电位。因此，该第二晶体管 M2 开启，该第二信号端 VGL 向该第四节点 D 输出该第二控制信号。

15 可选地，如图 3 所示，第一上拉子模块 112 包括：第三晶体管 M3、第四晶体管 M4、第二电容器 C2 和第五晶体管 M5。

在这种情况下，在所述第一阶段中，第一时钟信号端 CK 输入的第一时钟信号为第二电位，该第三晶体管 M3 开启。第三晶体管 M3 向第五节点 4 输出来自输入端 STV 的输入信号。此时该输入信号为第二电位，因此第四晶体管 M4 和第五晶体管 M5 开启。第二电容器 C2 存储该第二电位，并且第四晶体管 M4 向第三节点 C 输出来自第一时钟信号端 CK 的第一时钟信号，同时第五晶体管 M5 向第四节点 D 输出该第一时钟信号。此时，该第一时钟信号为第二电位。
20

在所述第二阶段中，输入端 STV 输入的输入信号为第二电位，并且第三晶体管 M3 关断。由于第二电容器在第一阶段中存储有低电位，使得第二阶段中该第五节点 E 能够继续保持第二电位。此时，第四晶体管 M4 和第五晶体管 M5 开启，第四晶体管 M4 向第三节点 C 输出来自第一时钟信号端 CK 的第一时钟信号；同时，第五晶体管 M5 向第四节点 D 输出该第一时钟信号。此时，该第一时钟信号为第一电位。由于下拉子模块 111 中第二晶体管 M2 的第三极与第三节点 C 连接，因此该第二晶体管 M2 关断，使得该第四节点 D 能够稳定保持第一电位。
25
30

可选地，如图 3 所示，该控制子模块 113 包括：第六晶体管 M6

和第七晶体管 M7。

在这种情况下，在所述第二阶段和该第四阶段中，所述第二时钟信号端 CKB 输入的该第二时钟信号为第二电位，因此该第六晶体管 M6 和该第七晶体管 M7 开启。此时，该第六晶体管 M6 向该第一节点 A 输出来自该输入端 STV 的输入信号，并且该第七晶体管 M7 向该第二节点 B 输出该第四节点 D 的电位。

在第二阶段中，由于该输入端 STV 输入的输入信号为第二电位，并且第四节点 D 的电位为第一电位，因此第六晶体管 M6 向第一节点 A 输出的信号处于第二电位，第七晶体管 M7 向该第二节点 B 输出的信号处于第一电位。此时，第一输出模块 120 向输出端输出来自该第一信号端 VGH 的第一控制信号。

在第四阶段中，由于该输入端 STV 输入的输入信号为第一电位，并且第四节点 D 的电位为第二电位，因此第六晶体管 M6 向第一节点 A 输出的信号处于第一电位，并且第七晶体管 M7 向该第二节点 B 输出的信号处于第二电位。此时，第二输出模块 130 向输出端输出来自该第二信号端 VGL 的第二控制信号。

可选地，如图 3 所示，该第二上拉子模块 114 包括：第八晶体管 M8。

在这种情况下，在第二阶段和该第三阶段中，该第一节点 A 为第二电位，因此该第八晶体管 M8 开启。该第八晶体管 M8 向该第二节点 B 输出来自该第一信号端 VGH 的该第一控制信号，并且该第一控制信号的电位为第一电位，因此在该第二阶段和第三阶段中，第二输出模块 130 中的第十晶体管 M10 处于关断状态。

可选地，如图 3 所示，该第一输出模块 120 包括：第九晶体管 M9 和第三电容器 C3。

在这种情况下，在第二阶段中，控制模块 110 向第一节点 A 输出来自输入端 STV 的该输入信号，并且该输入信号处于第二电位，因此该第九晶体管 M9 开启，并且该第三电容器 C3 存储第二电位。该第九晶体管 M9 向输出端 OUT 输出来自该第一信号端 VGH 的该第一控制信号，该第一控制信号为第一电位，故此时输出端 OUT 输出的输出信号的电位为第一电位。

在第三阶段中，该第一节点 A 保持第二电位，因此该第九晶体管

M9 开启。该第九晶体管 M9 向输出端 OUT 输出来自该第一信号端 VGH 的该第一控制信号，故此时输出端 OUT 输出的输出信号的电位为第一电位。

5 可选地，如图 3 所示，该第二输出模块 130 包括：第十晶体管 M10 和第四电容器 C4。

在这种情况下，在第四阶段中，控制模块 110 向该第二节点 B 输出来自该第二信号端 VGL 的该第二控制信号，并且该第二控制信号为第二电位，因此该第十晶体管 M10 开启，并且该第四电容器 C4 存储第二电位。该第十晶体管 M10 向输出端 OUT 输出来自该第二信号端
10 VGL 的该第二控制信号，并且该第二控制信号的电位为第二电位，故此时输出端 OUT 输出的输出信号的电位为第二电位。

在第一阶段中，该第二节点 B 保持第二电位，因此该第十晶体管 M10 开启，并且该第十晶体管 M10 向输出端 OUT 输出来自该第二信号端 VGL 的该第二控制信号。

15 需要说明的是，在本公开的实施例，该第一信号端 VGH 和第二信号端 VGL 的工作电压均为直流电压。第一信号端 VGH 的工作电压可以为 7 伏特 (V)，且该第二信号端 VGL 的工作电压可以为 -7V。

此外，本公开的各个实施例中涉及的第一时钟信号端 CK、第二时钟信号端 CKB、输入端 STV 和输出端 OUT 在第一阶段 T1、第二阶段
20 T2、第三阶段 T3、第四阶段 T4 和第五阶段 T5 的电位变化可以参照图 5。在图 5 中，横轴代表时间，纵轴代表电位。

进一步地，如图 5 所示，本公开的实施例提供的移位寄存器单元可以循环执行上述第一阶段至第五阶段所示的驱动方法。

本公开的实施例提供的移位寄存器单元驱动方法能够通过移位寄存器单元中的控制模块、第一输出模块和第二输出模块来控制输出端
25 输出的电位高低，因此该移位寄存器单元驱动方法的控制过程较为简单。

需要说明的是，上述实施例均是以第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9 和第十晶体管
30 M10 为 P 型晶体管，以及第一电位为高电位且第二电位为低电位为例进行说明。当然，该第一至第十晶体管还可以采用 N 型晶体管。当该

第一至第十晶体管采用 N 型晶体管时，该第一电位为低电位并且该第二电位为高电位。此时，该第一时钟信号端 CK、第二时钟信号端 CKB 和输入端 STV 的电位变化可以与图 5 所示的电位变化相反（即二者的相位差为 180 度）。

- 5 本公开的实施例提供了一种栅极驱动电路，该栅极驱动电路可以包括至少两个级联的如图 1、图 2 或图 3 所示的移位寄存器单元。

另外，本公开的实施例还提供一种显示装置，该显示装置包括栅极驱动电路。该栅极驱动电路可以包括至少两个级联的如图 1、图 2 或图 3 所示的移位寄存器单元。该显示装置可以为：液晶面板、电子纸、
10 OLED 面板、AMOLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上所述仅为本发明的可选实施例，并不用以限制本发明。在本发明的精神和原则之内，所作的任何修改、等同替换、改进等均应包含在本发明的保护范围之内。

权 利 要 求

1. 一种移位寄存器单元，包括：控制模块、第一输出模块和第二输出模块，其中：

5 所述第一输出模块分别与第一信号端、第一节点和输出端连接，并且被配置用于在所述第一节点的控制下，向所述输出端输出来自所述第一信号端的第一控制信号；

 所述第二输出模块分别与所述输出端、第二节点、第一时钟信号端和第二信号端连接，并且被配置用于在所述第二节点和来自所述第一时钟信号端的第一时钟信号的控制下，向所述输出端输出来自所述
10 第二信号端的第二控制信号；

 所述控制模块分别与所述第一节点、所述第二节点、所述第一信号端、所述第二信号端、所述第一时钟信号端、第二时钟信号端和输入端连接，并且被配置用于在来自所述第一信号端的所述第一控制信
15 号、来自所述第二信号端的所述第二控制信号、来自所述第一时钟信号端的第一时钟信号、来自所述第二时钟信号端的第二时钟信号和来自所述输入端的输入信号的控制下，控制所述第一节点和所述第二节点的电位。

2. 根据权利要求 1 所述的移位寄存器单元，其中所述控制模块包
20 括：下拉子模块、第一上拉子模块、控制子模块和第二上拉子模块；并且

 所述下拉子模块分别与所述第二信号端、所述第一时钟信号端、第三节点和第四节点连接，并且被配置用于在所述第三节点和来自所述第一时钟信号端的所述第一时钟信号的控制下，向所述第四节点输
25 出所述第二信号端的所述第二控制信号；

 所述第一上拉子模块分别与所述输入端、所述第一时钟信号端、所述第三节点和所述第四节点连接，并且被配置用于在来自所述输入端的所述输入信号和来自所述第一时钟信号端的所述第一时钟信号的控制下，分别向所述第三节点和所述第四节点输出所述第一时钟信号；

30 所述控制子模块分别与所述第二时钟信号端、所述输入端、所述第四节点、所述第一节点和所述第二节点连接，并且被配置用于在来自所述第二时钟信号端的所述第二时钟信号的控制下，向所述第一节

点输出来自所述输入端的所述输入信号，并向所述第二节点输出所述第四节点的电位；

所述第二上拉子模块分别与所述第一信号端、所述第一节点和所述第二节点连接，并且被配置用于在所述第一节点的控制下，向所述第二节点输出来自所述第一信号端的所述第一控制信号。

3. 根据权利要求 2 所述的移位寄存器单元，其中所述下拉子模块包括：第一晶体管、第二晶体管和第一电容器；并且

所述第一晶体管的第一极与所述第二信号端连接，所述第一晶体管的第二极与所述第三节点连接，并且所述第一晶体管的第三极与所述第一时钟信号端连接；

所述第二晶体管的第一极与所述第二信号端连接，所述第二晶体管的第二极与所述第四节点连接，并且所述第二晶体管的第三极与所述第三节点连接；

所述第一电容器的第一极与所述第三节点连接，并且所述第一电容器的第二极与所述第二信号端连接。

4. 根据权利要求 2 所述的移位寄存器单元，其中所述第一上拉子模块包括：第三晶体管、第四晶体管、第二电容器和第五晶体管；并且

所述第三晶体管的第一极与所述输入端连接，所述第三晶体管的第二极与第五节点连接，并且所述第三晶体管的第三极与所述第一时钟信号端连接；

所述第四晶体管的第一极与所述第一时钟信号端连接，所述第四晶体管的第二极与所述第三节点连接，并且所述第四晶体管的第三极与所述第五节点连接；

所述第二电容器的第一极与所述第五节点连接，并且所述第二电容器的第二极与所述第四节点连接；

所述第五晶体管的第一极与所述第一时钟信号端连接，所述第五晶体管的第二极与所述第四节点连接，并且所述第五晶体管的第三极与所述第五节点连接。

5. 根据权利要求 2 所述的移位寄存器单元，其中所述控制子模块包括：第六晶体管和第七晶体管；并且

所述第六晶体管的第一极与所述输入端连接，所述第六晶体管的

第二极与所述第一节点连接，并且所述第六晶体管的第三极与所述第二时钟信号端连接；

所述第七晶体管的第一极与所述第四节点连接，所述第七晶体管的第二极与所述第二节点连接，并且所述第七晶体管的第三极与所述第二时钟信号端连接。

6. 根据权利要求 2 所述的移位寄存器单元，其中所述第二上拉子模块包括：第八晶体管；并且

所述第八晶体管的第一极与所述第一信号端连接，所述第八晶体管的第二极与所述第二节点连接，并且所述第八晶体管的第三极与所述第一节点连接。

7. 根据权利要求 1 所述的移位寄存器单元，其中所述第一输出模块包括：第九晶体管和第三电容器；并且

所述第九晶体管的第一极与所述第一信号端连接，所述第九晶体管的第二极与所述输出端连接，并且所述第九晶体管的第三极与所述第一节点连接；

所述第三电容器的第一极与所述第九晶体管的第一极连接，并且所述第三电容器的第二极与所述第九晶体管的第三极连接。

8. 根据权利要求 1 所述的移位寄存器单元，其中所述第二输出模块包括：第十晶体管和第四电容器；

所述第十晶体管的第一极与所述第二信号端连接，所述第十晶体管的第二极与所述输出端连接，并且所述第十晶体管的第三极与所述第二节点连接；

所述第四电容器的第一极与所述第十晶体管的第三极连接，并且所述第四电容器的第二极与所述第一时钟信号端连接。

9. 根据权利要求 3 至 8 任一所述的移位寄存器单元，其中所述晶体管均为 P 型晶体管。

10. 一种移位寄存器单元的驱动方法，用于驱动权利要求 1 至 9 任一所述的移位寄存器单元，所述移位寄存器单元包括：控制模块、第一输出模块和第二输出模块，其中所述方法包括：

在第一阶段中，输入端输入的输入信号为第二电位，第一时钟信号端输入的第一时钟信号为第二电位，第二时钟信号端输入的第二时钟信号为第一电位，第二节点保持第二电位，并且在所述第二节点的

控制下，所述第二输出模块向输出端输出来自第二信号端的第二控制信号，所述第二控制信号的电位为第二电位；

在第二阶段中，所述输入端输入的输入信号为第二电位，所述第一时钟信号端输入的第一时钟信号为第一电位，所述第二时钟信号端
5 输入的第二时钟信号为第二电位，所述控制模块向第一节点输出来自所述输入端的输入信号，并且在所述第一节点的控制下，所述第一输出模块向所述输出端输出所述第一控制信号，所述第一控制信号的电位为第一电位；

在第三阶段中，所述输入端输入的输入信号为第一电位，所述第一
10 时钟信号端输入的第一时钟信号为第二电位，所述第二时钟信号端输入的第二时钟信号为第一电位，所述第一节点保持第二电位，并且在所述第一节点的控制下，所述第一输出模块向所述输出端输出所述第一控制信号；

在第四阶段中，所述输入端输入的输入信号为第一电位，所述第一
15 时钟信号端输入的第一时钟信号为第一电位，所述第二时钟信号端输入的第二时钟信号为第二电位，控制所述控制模块向第二节点输出来自所述第二信号端的所述第二控制信号，并且在所述第二节点的控制下，所述第二输出模块向所述输出端输出所述第二控制信号。

11. 根据权利要求 10 所述的方法，其中所述控制模块包括：下拉
20 子模块、第一上拉子模块、控制子模块和第二上拉子模块；并且其中所述方法包括：

在所述第三阶段中，所述第一时钟信号端输入的第一时钟信号为第二电位，并且所述下拉子模块向第四节点输出来自所述第二信号端的第二控制信号；

25 在所述第二阶段中，所述输入端输入的输入信号为第二电位，所述第一时钟信号端输入的第一时钟信号为第一电位，并且所述第一上拉子模块分别向第三节点和所述第四节点输出所述第一时钟信号；

在所述第二阶段和所述第四阶段中，所述第二时钟信号端输入的第二时钟信号为第二电位，所述控制子模块向第一节点输出来自
30 所述输入端的所述输入信号，并向所述第二节点输出所述第四节点的电位；

所述第二阶段和所述第三阶段中，所述第一节点为第二电位，并

且所述第二上拉子模块向所述第二节点输出来自所述第一信号端的所述第一控制信号。

12. 根据权利要求 11 所述的方法, 其中所述下拉子模块包括: 第一晶体管、第二晶体管和第一电容器; 并且其中所述方法包括:

5 在所述第一阶段和所述第三阶段中, 所述第一时钟信号端输入的第一时钟信号为第二电位, 所述第二信号端输入的所述第二控制信号为第二电位, 所述第一晶体管和所述第二晶体管开启, 所述第一电容器存储第二电位, 并且所述第二晶体管向所述第四节点输出来自所述第二信号端的所述第二控制信号;

10 在所述第四阶段中, 所述第二晶体管的第二级保持第二电位, 所述第二晶体管开启, 并且所述第二晶体管向所述第四节点输出来自所述第二信号端的所述第二控制信号。

13. 根据权利要求 11 所述的方法, 其中所述第一上拉子模块包括: 第三晶体管、第四晶体管、第二电容器和第五晶体管; 并且其中所述
15 方法包括:

在所述第一阶段中, 所述输入端输入的输入信号为第二电位, 所述第一时钟信号端输入的第一时钟信号为第二电位, 所述第三晶体管、第四晶体管和所述第五晶体管开启, 所述第二电容器存储第二电位, 所述第四晶体管向所述第三节点输出来自所述第一时钟信号端的所述
20 第一时钟信号, 并且所述第五晶体管向所述第四节点输出所述第一时钟信号;

在所述第二阶段中, 所述输入端输入的输入信号为第二电位, 所述第一时钟信号端输入的第一时钟信号为第一电位, 所述第三晶体管关断, 第五节点保持第二电位, 所述第四晶体管和所述第五晶体管开
25 启, 所述第四晶体管向所述第三节点输出来自所述第一时钟信号端的所述第一时钟信号, 并且所述第五晶体管向所述第四节点输出所述第一时钟信号。

14. 根据权利要求 11 所述的方法, 其中所述控制子模块包括: 第六晶体管和第七晶体管; 并且其中所述方法包括:

30 在所述第二阶段和所述第四阶段中, 所述第二时钟信号端输入的所述第二时钟信号为第二电位, 所述第六晶体管和所述第七晶体管开启, 所述第六晶体管向所述第一节点输出来自所述输入端的所述输入

信号，并且所述第七晶体管向所述第二节点输出所述第四节点的电位。

15. 根据权利要求 11 所述的方法，其中所述第二上拉子模块包括：第八晶体管；并且其中所述方法包括：

在所述第二阶段和所述第三阶段中，所述第一节点为第二电位，
5 所述第八晶体管开启，并且所述第八晶体管向所述第二节点输出来自所述第一信号端的所述第一控制信号。

16. 根据权利要求 10 所述的方法，其中所述第一输出模块包括：第九晶体管和第三电容器；并且其中所述方法包括：

在所述第二阶段中，所述控制模块向第一节点输出来自所述输入
10 端的所述输入信号，所述输入信号处于第二电位，所述第九晶体管开启，所述第三电容器存储第二电位，并且所述第九晶体管向输出端输出来自所述第一信号端的所述第一控制信号；

在所述第三阶段中，所述第一节点保持第二电位，所述第九晶体管开启，并且所述第九晶体管向输出端输出来自所述第一信号端的所述
15 所述第一控制信号。

17. 根据权利要求 10 所述的方法，其中所述第二输出模块包括：第十晶体管和第四电容器；并且其中所述方法包括：

在所述第四阶段中，所述控制模块向所述第二节点输出来自所述
20 第二信号端的所述第二控制信号，所述第二控制信号为第二电位，所述第十晶体管开启，所述第四电容器存储第二电位，并且所述第十晶体管向输出端输出来自所述第二信号端的所述第二控制信号；

在所述第一阶段中，所述第二节点保持第二电位，所述第十晶体管开启，并且所述第十晶体管向输出端输出来自所述第二信号端的所述
25 所述第二控制信号。

18. 根据权利要求 12 至 17 任一所述的方法，其中，所述晶体管均为 P 型晶体管。

19. 根据权利要求 18 所述的方法，其中，所述第一电位相对于所述第二电位为高电位。

20. 一种栅极驱动电路，其中所述栅极驱动电路包括至少两个级联
30 的如权利要求 1 至 9 任一所述的移位寄存器单元。

21. 一种显示装置，其中所述显示装置包括权利要求 20 所述的栅极驱动电路。

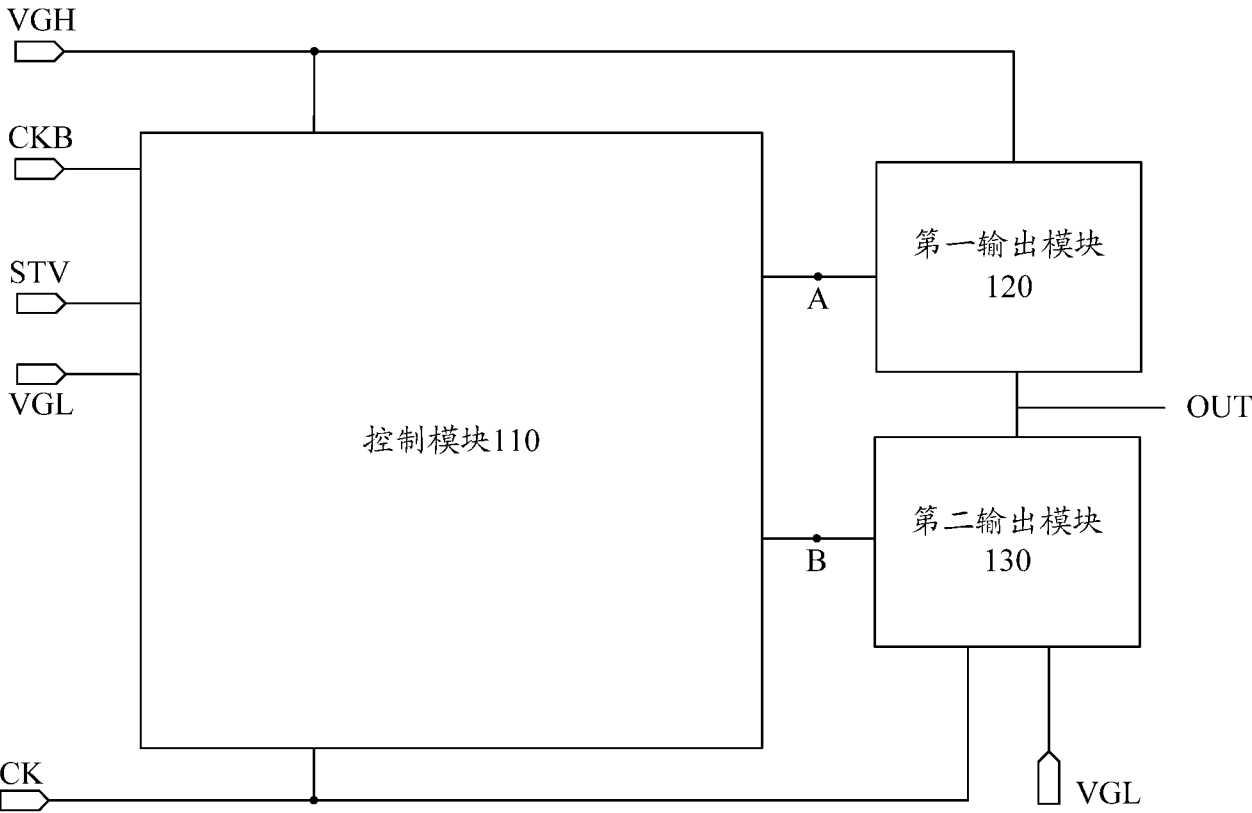


图 1

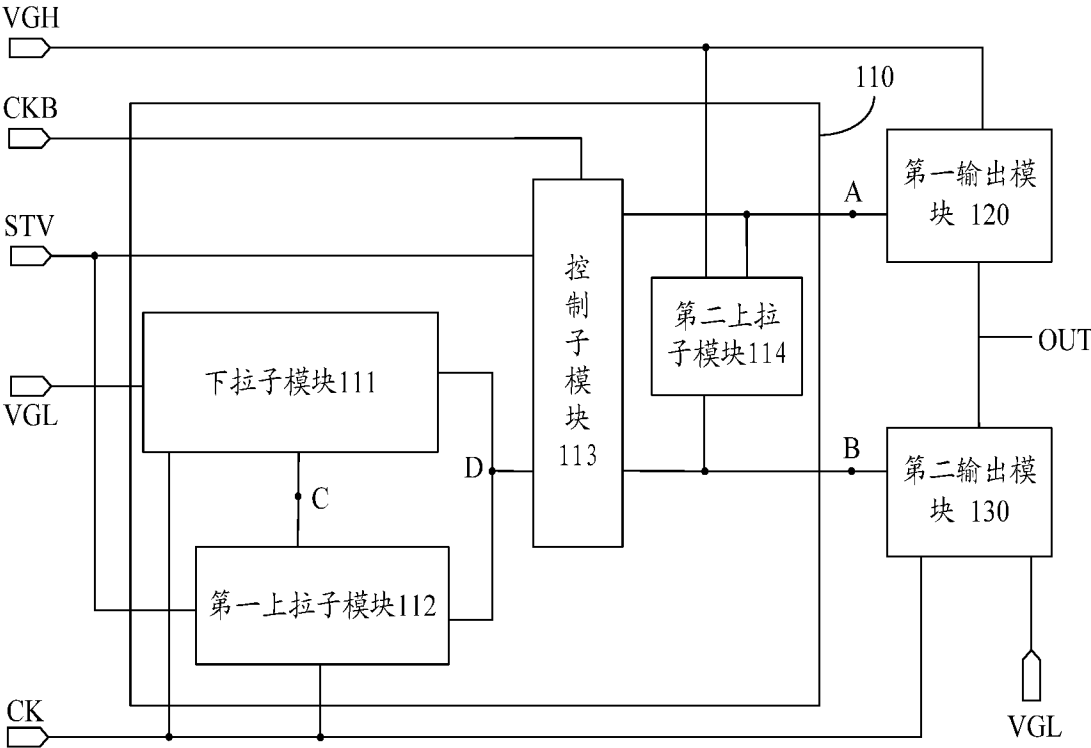


图 2

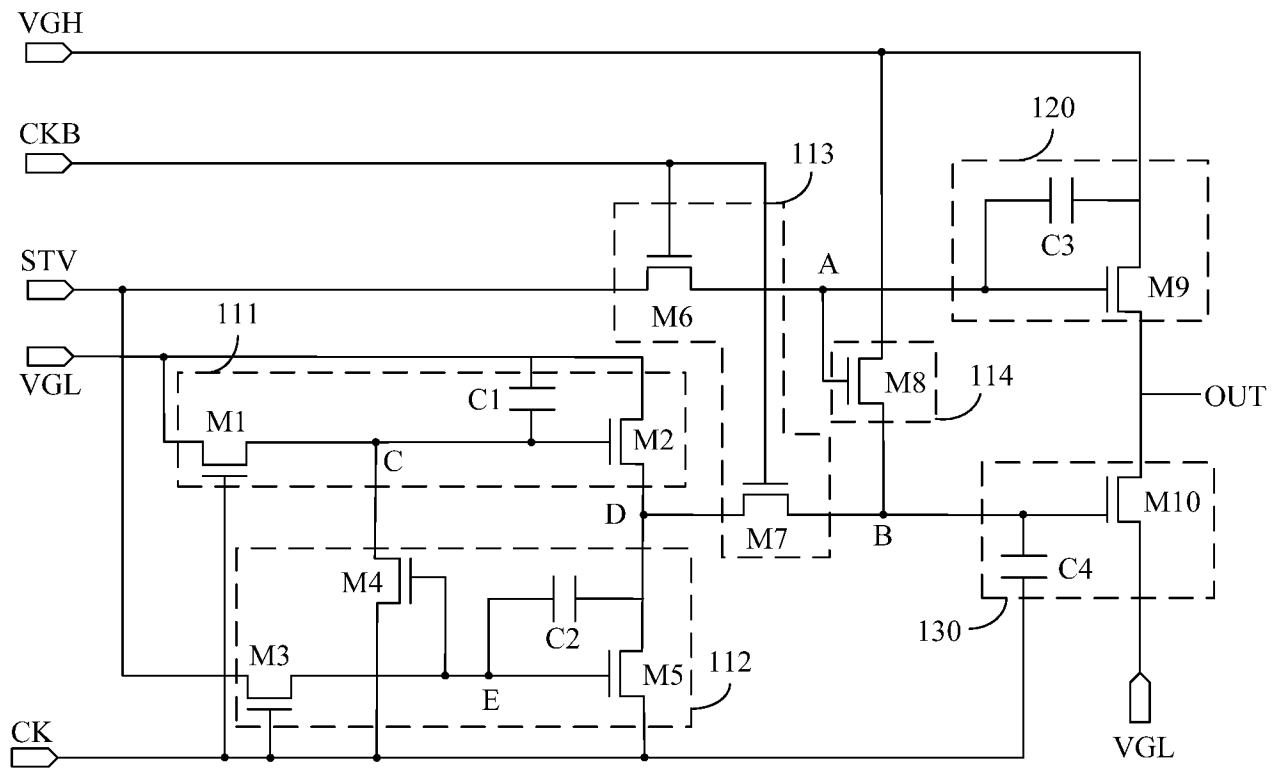


图 3

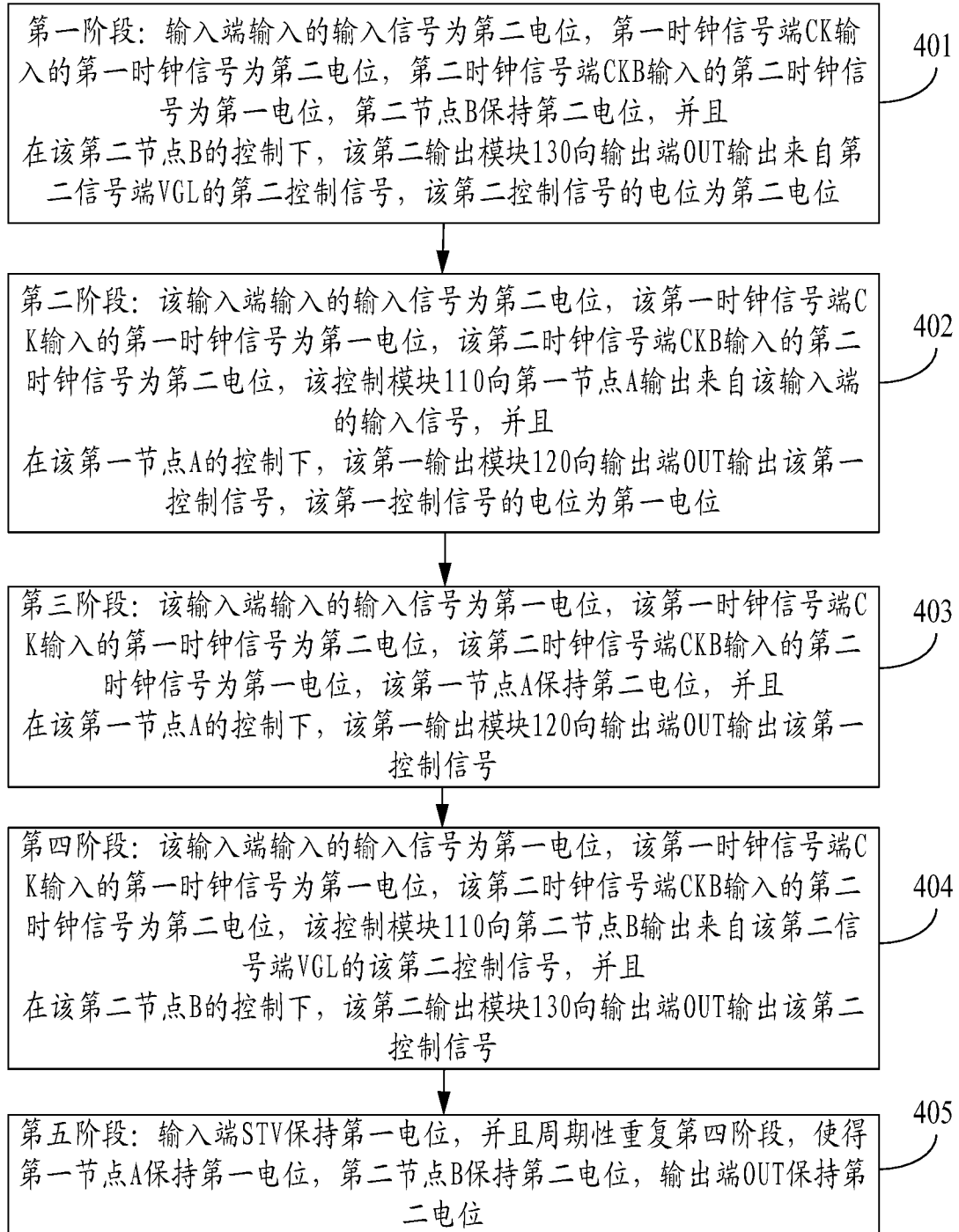


图 4

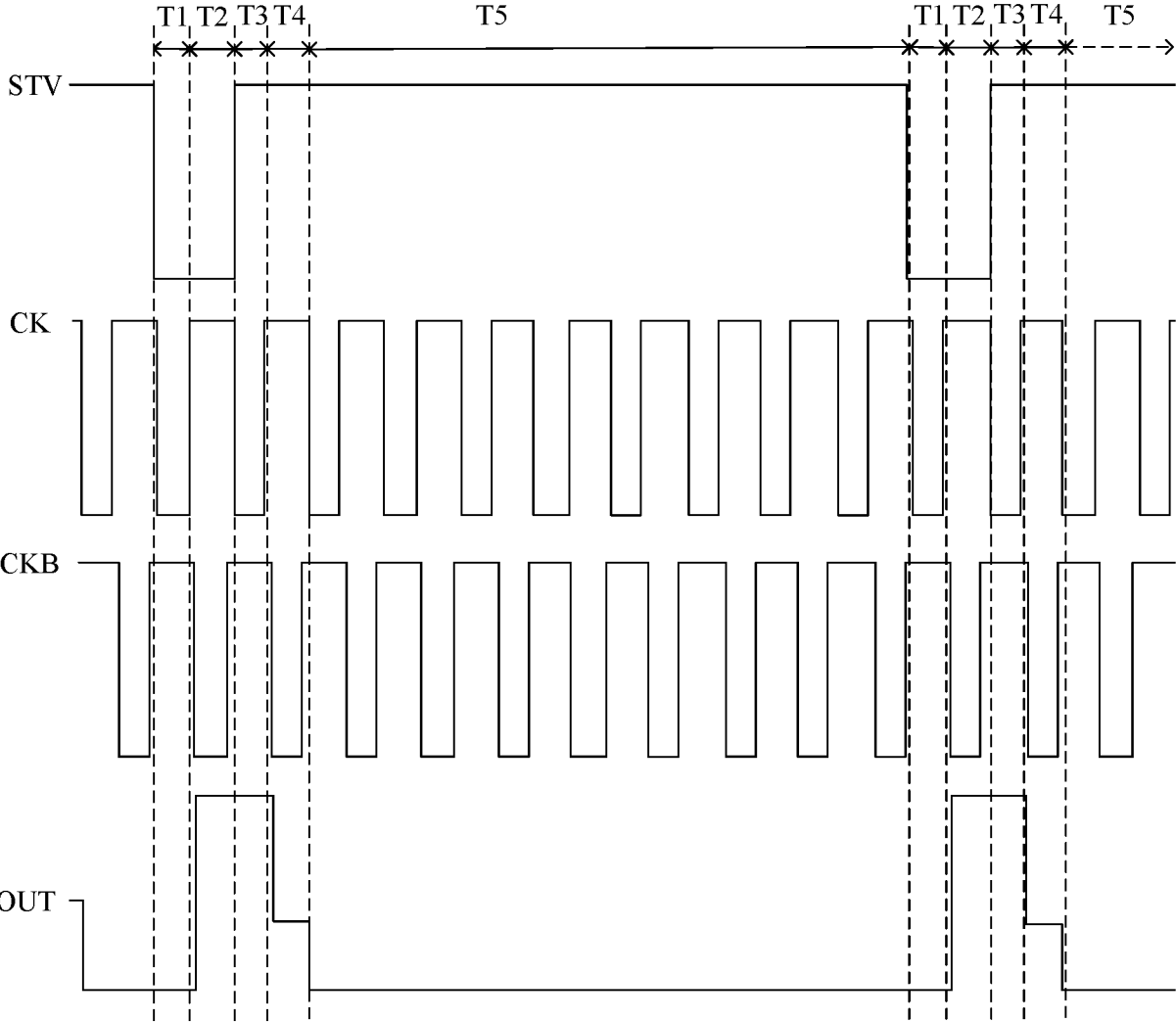


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/082968

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: BOE; WANG, Bo; GOA, SR, display+, shift+ w register?, pull w up, pull w down, pull?up, pull?down, second output+, control+, node?, clock, CLK, CK

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105513531 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 April 2016 (20.04.2016), claims 1-21	1-21
X	CN 105304013 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 03 February 2016 (03.02.2016), description, paragraphs [0029]-[0053], and figures 2 and 3a	1, 8, 9, 20, 21
Y	CN 105304013 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 03 February 2016 (03.02.2016), description, paragraphs [0029]-[0053], and figures 2 and 3a	7
Y	CN 104900189 A (BOE TECHNOLOGY GROUP CO., LTD.), 09 September 2015 (09.09.2015), description, paragraphs [0085], [0134] and [0135], and figures 1 and 3	7
A	CN 104809978 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 July 2015 (29.07.2015), the whole document	1-21
A	CN 205050536 U (BOE TECHNOLOGY GROUP CO., LTD.), 24 February 2016 (24.02.2016), the whole document	1-21

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 31 October 2016 (31.10.2016)	Date of mailing of the international search report 18 November 2016 (18.11.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DING, Peng Telephone No.: (86-10) 61648464

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/082968

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008079682 A1 (AU OPTRONICS CORP.), 03 April 2008 (03.04.2008), the whole document	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/082968

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105513531 A	20 April 2016	None	
CN 105304013 A	03 February 2016	None	
CN 104900189 A	09 September 2015	None	
CN 104809978 A	29 July 2015	None	
CN 205050536 U	24 February 2016	None	
US 2008079682 A1	03 April 2008	TW 200813922 A	16 March 2008
		US 7992063 B2	02 August 2011
		TW 1345195 B	11 July 2011

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 京东方, 王博, 显示, 移位寄存, 移位缓存, 移位暂存, GOA, SR, 第二输出, 上拉, 下拉, 节点, 控制, 时钟, display+, shift+ w register?, pull w up, pull w down, pull?up, pull?down, second output+, control+, node?, clock, CLK, CK																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105513531 A (京东方科技集团股份有限公司 等) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-21</td> <td>1-21</td> </tr> <tr> <td>X</td> <td>CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a</td> <td>1, 8, 9, 20, 21</td> </tr> <tr> <td>Y</td> <td>CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a</td> <td>7</td> </tr> <tr> <td>Y</td> <td>CN 104900189 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 说明书第0085, 0134, 0135段、图1, 3</td> <td>7</td> </tr> <tr> <td>A</td> <td>CN 104809978 A (京东方科技集团股份有限公司) 2015年 7月 29日 (2015 - 07 - 29) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 205050536 U (京东方科技集团股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文</td> <td>1-21</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105513531 A (京东方科技集团股份有限公司 等) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-21	1-21	X	CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a	1, 8, 9, 20, 21	Y	CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a	7	Y	CN 104900189 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 说明书第0085, 0134, 0135段、图1, 3	7	A	CN 104809978 A (京东方科技集团股份有限公司) 2015年 7月 29日 (2015 - 07 - 29) 全文	1-21	A	CN 205050536 U (京东方科技集团股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-21
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 105513531 A (京东方科技集团股份有限公司 等) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-21	1-21																					
X	CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a	1, 8, 9, 20, 21																					
Y	CN 105304013 A (上海天马有机发光显示技术有限公司 等) 2016年 2月 3日 (2016 - 02 - 03) 说明书第0029-0053段、图2, 3a	7																					
Y	CN 104900189 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 说明书第0085, 0134, 0135段、图1, 3	7																					
A	CN 104809978 A (京东方科技集团股份有限公司) 2015年 7月 29日 (2015 - 07 - 29) 全文	1-21																					
A	CN 205050536 U (京东方科技集团股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-21																					
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 10月 31日		国际检索报告邮寄日期 2016年 11月 18日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 丁芑 电话号码 (86-10)61648464																					

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2008079682 A1 (AU OPTRONICS CORP.) 2008年 4月 3日 (2008 - 04 - 03) 全文	1-21

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/082968

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105513531	A	2016年 4月 20日	无			
CN	105304013	A	2016年 2月 3日	无			
CN	104900189	A	2015年 9月 9日	无			
CN	104809978	A	2015年 7月 29日	无			
CN	205050536	U	2016年 2月 24日	无			
US	2008079682	A1	2008年 4月 3日	TW	200813922	A	2008年 3月 16日
				US	7992063	B2	2011年 8月 2日
				TW	1345195	B	2011年 7月 11日