

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 24 年 7 月 12 日 (2012.7.12)

【公開番号】特開 2010-278985 (P2010-278985A)

【公開日】平成 22 年 12 月 9 日 (2010.12.9)

【年通号数】公開・登録公報 2010-049

【出願番号】特願 2009-132360 (P2009-132360)

【国際特許分類】

H 0 3 M 1/14 (2006.01)

【F I】

H 0 3 M 1/14 A

【手続補正書】

【提出日】平成 24 年 5 月 23 日 (2012.5.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力信号をデジタル信号に変換し、上記デジタル信号に対応するアナログ信号と上記入力信号との差分を増幅し、当該増幅結果を後段に出力する複数の縦続接続された変換ステージと、

所定の動作モードにおいて上記複数の変換ステージの一部を停止させる第 1 の停止制御回路と、

上記所定の動作モードにおいて停止状態となる上記変換ステージへの入力信号を、当該停止状態の変換ステージの後段に inputs する第 1 のバイパス回路と、

を含む、アナログ - デジタル変換回路。

【請求項 2】

請求項 1 に記載のアナログ - デジタル変換回路であって、

上記第 1 の停止制御回路が、停止させるべき上記変換ステージに対する電源の供給又はクロック信号の供給を停止する、アナログ - デジタル変換回路。

【請求項 3】

請求項 1 又は 2 に記載のアナログ - デジタル変換回路であって、

上記複数の変換ステージから出力される複数の上記デジタル信号を保持する複数のラッチ回路と、

上記所定の動作モードにおいて、上記停止状態の変換ステージより下位の変換ステージにおける入力信号のサンプリングのタイミングとサンプリング結果の保持のタイミングとを反転させるタイミング制御回路と、

を更に含む、

上記複数の変換ステージの奇数段が入力信号をサンプリングするとともに上記デジタル信号を出力するときに上記複数の変換ステージの偶数段がサンプリング結果を保持するとともに当該サンプリング結果に応じた出力信号を生成し、上記複数の変換ステージの奇数段がサンプリング結果を保持するとともに当該サンプリング結果に応じた出力信号を生成するときに上記複数の変換ステージの偶数段が入力信号をサンプリングするとともに上記デジタル信号を出力する、

アナログ - デジタル変換回路。

【請求項 4】

請求項 3 に記載のデジタル - アナログ変換回路であって、

上記タイミング制御回路が、上記所定の動作モードにおいて、上記変換ステージにおける上記タイミングの反転に合わせて、上記停止状態の変換ステージより下位の変換ステージの上記デジタル信号を保持するラッチ回路における当該保持のタイミングを変更する、アナログ - デジタル変換回路。

【請求項 5】

請求項 1 又は 2 に記載のアナログ - デジタル変換回路であって、

初段の上記変換ステージへの入力信号に基づいて上位の変換ステージから下位の変換ステージに向かって順次に生成される複数の上記デジタル信号が共通のタイミングで出力されるように上記複数のデジタル信号それぞれに異なる遅延を与える複数の遅延回路と、

上記所定の動作モードにおいて、上記停止状態の変換ステージの上記デジタル信号に遅延を与える上記遅延回路への電源の供給又はクロック信号の供給を停止する第 2 の停止制御回路と、

を更に含む、アナログ - デジタル変換回路。

【請求項 6】

請求項 1 乃至 5 の何れかに記載のアナログ - デジタル変換回路であって、

初段の上記変換ステージへの入力信号に基づいて上位の変換ステージから下位の変換ステージに向かって順次に生成される複数の上記デジタル信号を補正する複数の補正回路であって、補正対象のデジタル信号の生成元の変換ステージに対して下位の変換ステージで生成されたデジタル信号の補正に伴って生じる桁上がり信号を入力し、当該入力した桁上がり信号に基づいて当該補正対象のデジタル信号を補正し、当該補正の結果に応じて発生した桁上がり信号を上記生成元の変換ステージに対して上位の変換ステージで生成されたデジタル信号の補正用に出力する複数の補正回路と、

上記所定の動作モードにおいて、上記初段若しくは上記初段を含む一連の変換ステージが停止状態となる場合、当該停止状態の変換ステージの上記デジタル信号を補正する上記補正回路に当該デジタル信号の替わりとして各ビットの値がゼロの信号を入力する信号入力回路と、

を更に含む、アナログ - デジタル変換回路。

【請求項 7】

請求項 1 乃至 5 の何れかに記載のアナログ - デジタル変換回路であって、

上記第 1 の停止制御回路が、初段若しくは初段を含む一連の変換ステージを上記所定の動作モードにおいて停止させる、アナログ - デジタル変換回路。

【請求項 8】

請求項 7 に記載のアナログ - デジタル変換回路であって、

上記所定の動作モードにおいて上記縦続接続された変換ステージに供給するクロック信号の周波数を低下させるクロック生成回路を更に含む、アナログ - デジタル変換回路。

【請求項 9】

請求項 1 乃至 5 の何れかに記載のアナログ - デジタル変換回路であって、

初段の上記変換ステージへの入力信号に基づいて上位の変換ステージから下位の変換ステージに向かって順次に生成される複数の上記デジタル信号が共通のタイミングで出力されるように上記複数のデジタル信号それぞれに異なる遅延を与える複数の遅延回路と、

上記所定の動作モードにおいて、上記停止状態の変換ステージより下位の変換ステージの上記デジタル信号が上記遅延回路により遅延されて出力されるタイミングと、上記停止状態の変換ステージより上位の変換ステージの上記デジタル信号が上記遅延回路により遅延されて出力タイミングとが一致するように、当該上位の変換ステージと上記遅延回路との接続を切り替える切り替え回路と、

を更に含む、アナログ - デジタル変換回路。

【請求項 10】

請求項 1 乃至 5 の何れかに記載のアナログ - デジタル変換回路であって、

初段の上記変換ステージへの入力信号に基づいて上位の変換ステージから下位の変換ス

ページに向かって順次に生成される複数の上記デジタル信号を補正する複数の補正回路であって、補正対象のデジタル信号の生成元の変換ステージに対して下位の変換ステージで生成されたデジタル信号の補正に伴って生じる桁上がり信号を入力し、当該入力した桁上がり信号に基づいて当該補正対象のデジタル信号を補正し、当該補正の結果に応じて発生した桁上がり信号を上記生成元の変換ステージに対して上位の変換ステージで生成されたデジタル信号の補正用に出力する複数の補正回路と、

上記所定の動作モードにおいて、停止状態の変換ステージのデジタル信号を補正対象とする第 1 の上記補正回路へ入力される桁上がり信号を選択し、当該停止状態の変換ステージに対して上位の変換ステージのデジタル信号を補正対象とする第 2 の上記補正回路へ当該選択した桁上がり信号を入力する第 2 のバイパス回路と、

を更に含む、アナログ - デジタル変換回路。

【請求項 1 1】

半周期位相のずれた第 1 及び第 2 のクロック信号を供給するクロック信号供給回路と、上記第 1 のクロック信号に 응답して入力アナログ信号をサンプルホールドして出力するサンプルホールド回路と、

前段から入力するアナログ信号をデジタル変換してデジタル値を出し、上記アナログ信号と上記デジタル値をアナログ変換したアナログ値との差を増幅して後段に出力する変換ステージが複数個直列接続されており、初段に上記サンプルホールド回路の出力を受け、奇数段の変換ステージが上記第 2 のクロック信号に 응답して動作し、偶数段の変換ステージが上記第 1 のクロック信号に 응답して動作する、変換部と、

上記第 1 及び第 2 のクロック信号に 응답して上記変換部の各変換ステージから出力される上記デジタル値を入力して各デジタル値に所定の遅延時間をそれぞれ与えて出力する遅延部と、

上記遅延部から同時に出力される上記デジタル値を補正する補正部と、

上記補正部から出力されるビット信号を受けるレジスタ部と、

上記変換部の少なくとも 1 つの上記変換ステージをバイパスするように、バイパスされる変換ステージの入力端と出力端とを結合するバイパス回路と、

バイパスされる上記変換ステージの個数が奇数であるときに上記第 1 のクロック信号と第 2 のクロック信号とを入れ替えてバイパスされた上記変換ステージ以降の変換ステージに供給するクロック切り替え回路と、

を含み、

バイパスされる変換ステージの数に応じて上記レジスタ部から出力されるデジタル信号のビット数が変化する、

アナログ - デジタル変換回路。

【請求項 1 2】

請求項 1 1 に記載のアナログ - デジタル変換回路であって、

バイパスされる上記変換ステージへの電源電圧の供給が停止される、又はバイパスされる上記変換ステージへのクロック信号の供給が停止される、アナログ - デジタル変換回路。

【請求項 1 3】

請求項 1 1 又は 1 2 に記載のアナログ - デジタル変換回路であって、

少なくとも 1 つの上記変換ステージがバイパスされるときに、上記第 1 及び第 2 のクロック信号の周波数が低くなる、アナログ - デジタル変換回路。

【請求項 1 4】

複数のクロック信号を生成するクロック生成器と、

上記クロック生成器に結合され、入力信号を受信するサンプル・ホールド回路と、

一連の互いに直列に結合された複数の変換ステージであって、各変換ステージが上記クロック生成器に結合されている、複数の変換ステージと、

省電力モードにおいて少なくとも 1 つの上記変換ステージをオフ状態として当該変換ステージをバイパスするように、当該少なくとも 1 つの上記変換ステージに結合されたスイ

ツチ・ネットワークと、

複数の遅延回路であって、各遅延回路が少なくとも1つの上記変換ステージに結合されており、各遅延回路が上記クロック生成器に結合された少なくとも1つのラッチを含む、複数の遅延回路と、

複数の補正回路であって、各補正回路が少なくとも1つの上記遅延回路に結合されている、複数の遅延回路と、

上記補正回路の各々に結合されているレジスタと、
を含む、装置。

【請求項15】

請求項14に記載の装置であって、

上記クロック生成器と上記遅延回路の各々との間に結合されたクロック切替器を更に含む、装置。

【請求項16】

請求項15に記載の装置であって、

上記クロック切替器が上記クロック生成器と上記変換ステージの各々との間に結合されている、装置。

【請求項17】

請求項16に記載の装置であって、

上記スイッチ・ネットワークが、

上記サンプル・ホールド回路と上記一連の1番目の変換ステージとの間に結合された第1のスイッチであって、通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第1のスイッチと、

上記サンプル・ホールド回路と上記一連の2番目の変換ステージとの間に結合された第2のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モードにおいて閉状態となる、第2のスイッチと、

電源電圧と上記一連の1番目の変換ステージとの間に結合された第3のスイッチであって、上記通常モードにおいて閉状態となり、上記省電力モードで開状態となる、第3のスイッチと、

上記一連の1番目の変換ステージとその遅延回路との間に結合された第4のスイッチであって、上記通常モードにおいて上記一連の1番目の変換ステージをその遅延回路に結合する、第4のスイッチと、

を含む、装置。

【請求項18】

請求項14に記載の装置であって、

少なくとも1つの上記変換ステージとその遅延回路との間に結合されたクロスバーを更に含む、装置。

【請求項19】

請求項18に記載の装置であって、

上記スイッチ・ネットワークが、

上記一連の最後から3番目の変換ステージと上記一連の最後から2番目の変換ステージとの間に結合された第1のスイッチであって、通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第1のスイッチと、

上記一連の最後から3番目の変換ステージと上記一連の最後の変換ステージとの間に結合された第2のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モードにおいて閉状態となる、第2のスイッチと、

電源電圧と上記一連の最後から2番目の変換ステージとの間に結合された第3のスイッチであって、上記通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第3のスイッチと、

上記一連の最後から2番目の変換ステージと上記クロック生成器との間に結合された第4のスイッチであって、上記通常モードにおいて上記一連の最後から2番目の変換ステー

ジを上記クロック生成器に結合する、第４のスイッチと、
を含む、装置。

【請求項２０】

請求項１９に記載の装置であって、
上記信号切替器と上記一連の１番目の変換ステージの関連する遅延回路との間に結合さ
れた第２のスイッチ・ネットワークを更に含む、装置。

【請求項２１】

請求項１４に記載の装置であって、
上記スイッチ・ネットワークが、
上記一連の最後から３番目の変換ステージと上記一連の最後から２番目の変換ステージ
との間に結合された第１のスイッチであって、通常モードにおいて閉状態となり、上記省
電力モードにおいて開状態となる、第１のスイッチと、
上記一連の最後から３番目の変換ステージと上記一連の最後の変換ステージとの間に結
合された第２のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モ
ードにおいて閉状態となる、第２のスイッチと、
電源電圧と上記一連の最後から２番目の変換ステージとの間に結合された第３のスイッ
チであって、上記通常モードにおいて閉状態となり、上記省電力モードにおいて開状態と
なる、第３のスイッチと、

上記一連の最後から２番目の変換ステージと上記クロック生成器との間に結合された第
４のスイッチであって、上記通常モードにおいて上記一連の最後から２番目の変換ステー
ジを上記クロック生成器に結合する、第４のスイッチと、
を含む、装置。

【請求項２２】

請求項２１に記載の装置であって、
上記クロック生成器と上記一連の最後から２番目の変換ステージの関連する遅延回路と
の間に結合された第２のスイッチ・ネットワークを更に含む、装置。

【請求項２３】

請求項２２に記載の装置であって、
上記補正回路の各々と上記レジスタとの間に結合されたクロスバを更に含む、装置。

【請求項２４】

複数のクロック信号を生成するクロック生成器と、
上記クロック生成器に結合され、入力信号を受信するサンプル・ホールド回路と、
一連の互いに直列に結合された複数の変換ステージであって、各変換ステージが上記ク
ロック生成器に結合され、各変換ステージが、アナログ・デジタル変換器と、上記アナロ
グ・デジタル変換器に結合されたデジタル・アナログ変換器と、サンプル・ホールド回路
と、上記サンプル・ホールド回路の出力と上記デジタル・アナログ変換器の出力との間の
差を生成するように上記サンプル・ホールド回路と上記デジタル・アナログ変換器との結
合された加算器と、上記加算器に結合された増幅器とを含む、複数の変換ステージと、
省電力モードにおいて少なくとも１つの上記変換ステージをオフ状態として当該変換ス
テージをバイパスするように、当該少なくとも１つの上記変換ステージに結合されたスイ
ッチ・ネットワークと、
複数の遅延回路であって、各遅延回路が少なくとも１つの上記変換ステージに結合され
ており、各遅延回路が上記クロック生成器に結合された少なくとも１つのラッチを含む、
複数の遅延回路と、
複数の補正回路であって、各補正回路が少なくとも１つの上記遅延回路に結合されてい
る、複数の補正回路と、

上記補正回路の各々に結合されたレジスタと、
を含む、装置。

【請求項２５】

請求項２４に記載の装置であって、

上記クロック生成器と上記遅延回路の各々との間に結合されたクロック切替器を更に含む、装置。

【請求項 26】

請求項 25 に記載の装置であって、

上記クロック切替器が上記クロック生成器と上記変換ステージの各々との間に結合されている、装置。

【請求項 27】

請求項 26 に記載の装置であって、

上記スイッチ・ネットワークが、

上記サンプル・ホールド回路と上記一連の 1 番目の変換ステージとの間に結合された第 1 のスイッチであって、通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 1 のスイッチと、

上記サンプル・ホールド回路と上記一連の 2 番目の変換ステージとの間に結合された第 2 のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モードにおいて閉状態となる、第 2 のスイッチと、

電源電圧と上記一連の 1 番目の変換ステージとの間に結合された第 3 のスイッチであって、上記通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 3 のスイッチと、

上記一連の 1 番目の変換ステージとその遅延回路との間に結合された第 4 のスイッチであって、上記通常モードにおいて上記一連の 1 番目の変換ステージをその遅延回路に結合する、第 4 のスイッチと、

を含む、装置。

【請求項 28】

請求項 25 に記載の装置であって、

少なくとも 1 つの上記変換ステージとその遅延回路との間に結合されたクロスバーを更に含む、装置。

【請求項 29】

請求項 28 に記載の装置であって、

上記スイッチ・ネットワークが、

上記一連の最後から 3 番目の変換ステージと上記一連の最後から 2 番目の変換ステージとの間に結合された第 1 のスイッチであって、通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 1 のスイッチと、

上記一連の最後から 3 番目の変換ステージと上記一連の最後の変換ステージとの間に結合された第 2 のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モードにおいて閉状態となる、第 2 のスイッチと、

電源電圧と上記一連の最後から 2 番目の変換ステージとの間に結合された第 3 のスイッチであって、上記通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 3 のスイッチと、

上記一連の最後から 2 番目の変換ステージと上記クロック生成器との間に結合され、上記通常モードにおいて上記一連の最後から 2 番目の変換ステージを上記クロック生成器に結合する、第 4 のスイッチと、

を含む、装置。

【請求項 30】

請求項 29 に記載の装置であって、

上記クロック切替器と上記一連の 1 番目の変換ステージの関連する上記遅延回路との間に結合された第 2 のスイッチ・ネットワークを更に含む、装置。

【請求項 31】

請求項 24 に記載の装置であって、

上記スイッチ・ネットワークが、

上記一連の最後から 3 番目の変換ステージと上記一連の最後から 2 番目の変換ステージ

との間に結合された第 1 のスイッチであって、通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 1 のスイッチと、

上記一連の最後から 3 番目の変換ステージと上記一連の最後の変換ステージとの間に結合された第 2 のスイッチであって、上記通常モードにおいて開状態となり、上記省電力モードにおいて閉状態となる、第 2 のスイッチと、

電源電圧と上記一連の最後から 2 番目の変換ステージとの間に結合された第 3 のスイッチであって、上記通常モードにおいて閉状態となり、上記省電力モードにおいて開状態となる、第 3 のスイッチと、

上記一連の最後から 2 番目の変換ステージと上記クロック生成器との間に結合された第 4 のスイッチであって、上記通常モードにおいて上記一連の最後から 2 番目の変換ステージを上記クロック生成器に結合する、第 4 のスイッチと、

を含む、装置。

【請求項 3 2】

請求項 3 1 に記載の装置であって、

上記クロック生成器と上記一連の最後から 2 番目の変換ステージに関連する上記遅延回路との間に結合された第 2 のスイッチ・ネットワークを更に含む、装置。

【請求項 3 3】

請求項 3 2 に記載の装置であって、

上記補正回路の各々と上記レジスタとの間に結合されたクロスバーを更に含む、装置。