(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/10
G11C 29/00

(45) 공고일자 2004년03월20일
(11) 등록번호 10-0398166
(24) 등록일자 2003년09월02일

(21) 출원번호 10-1996-0001252
(22) 출원일자 1996년01월22일

(65) 공개번호 10-1996-0030410
(43) 공개일자 1996년08월17일

(30) 우선권주장 95-031403 1995년01월27일 일본(JP)

(73) 특허권자
히다치도부 세미컨덕터 가부시키가이샤
일본국 사이타마켄 이루마군 모로야마쵸 오아자 아사히다이 15번지

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
사시끼 도시오
일본국 도꾜도 니시따마군 미즈호마찌 이시하따 1878-3

야나기사와 가즈마사
일본국 도꾜도 고꾸분지시 히가리쵸 1-41-5-106

스가노 도시오
일본국 도꾜도 고다이라시 스즈끼쵸 1-166-3-205

이노우에 기요시
일본국 도꾜도 스기나미구 고엔지미나미 5-35-1

쯔꾸이 세이이찌로
일본국 사이따마껜 사야마시 후지미 2-23-31

아오끼 마사까즈
일본국 사이따마껜 도꼬로자와시 히가시도꼬로자와 3-24-20

스즈끼 시게루
일본국 도꾜도 고꾸분지시 니시꼬이가꾸보 2-25-13

호리구찌 마사시
일본국 가나가와껜 가와사끼시 다마구 나까노시마 6-29-2-207

(74) 대리인
백남기

심사관 : 김근모

(54) 반도체기억장치와그것을사용한메모리모듈

요약

반도체기억장치와 그것을 사용한 메모리모듈에 관한 것으로써, 다양성을 갖는 반도체기억장치와 그것을 사용해서 실질적인 제품제조효율을 향상시키기 위해, 메모리매트단위에서의 결함이 존재하는 제1의 반도체장치의 입출력단자와

용장메모리매트를 갖는 제2의 반도체기억장치의 입출력단자를 실장기판상에서 결합해서 메모리매트의 단위에서의 구제를 실행하고, 결함메모리매트에 대해서는 실질적인 전원차단을 실행한다.
이것에 의해, 다양성을 갖는 반도체기억장치와 그것을 사용해서 실질적인 제품제조효율을 향상시킬 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 관한 반도체기억장치의 1실시예를 도시한 개략적인 블럭도.
제2도는 제1도의 메모리매트의 1실시예를 도시한 블럭도.
제3도는 제2도의 메모리어레이부의 1실시예를 도시한 주요부의 회로도.
제4도는 본 발명에 관한 다이나믹형 RAM의 개략적인 동작을 설명하기 위한 타이밍도.
제5도는 본 발명이 적용되는 다이나믹형 RAM의 1실시예를 도시한 절반의 메모리어레이의 레이아우트도.
제6도는 본 발명이 적용되는 다이나믹형 RAM의 1실시예를 도시한 나머지 절반의 메모리어레이의 레이아우트도.
제7도는 본 발명에 관한 반도체기억장치의 1실시예를 도시한 개략적인 블럭도.
제8도는 제7도의 출력제어회로OBC와 데이타입출력버퍼IOB에 포함되는 출력버퍼의 1실시예를 도시한 회로도.
제9도는 본 발명에 관한 다른 반도체기억장치의 1실시예를 도시한 개략적인 블럭도.
제10도는 제9도의 어드레스비교회로와 출력선택회로 및 출력드라이버의 1실시예를 도시한 회로도.
제11도는 본 발명에 관한 다른 반도체기억장치의 1실시예를 도시한 개략적인 블럭도.
제12도A 및 제12도B는 본 발명에 관한 메모리모듈의 1실시예를 도시한 블럭도.
제13도는 본 발명에 관한 메모리모듈의 다른 1실시예를 도시한 블럭도.
제14도는 본 발명에 관한 메모리모듈의 다른 1실시예를 도시한 블럭도.
제15도는 본 발명에 관한 메모리모듈의 조립방법을 설명하기 위한 흐름도.
제16도는 본 발명에 관한 반도체기억장치의 다른 1실시예를 도시한 블럭도.
제17도는 본 발명에 관한 메모리모듈의 1실시예를 도시한 개략적인 구성도.
제18도는 본 발명에 관한 메모리모듈의 다른 1실시예를 도시한 개략적인 구성도.
제19도는 본 발명에 관한 DRAM을 적용한 컴퓨터시스템에 있어서의 메모리저장부인 메모리보드의 주요부의 개략도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기억장치와 그것을 사용한 메모리모듈에 관한 것으로써, 주로 대기억용량의 다이나믹형 RAM (렌덤 액세스메모리)에 있어서의 결함구제기술에 이용해서 유효한 기술에 관한 것이다.
결함구제기술에 대해서는 일본국 특허공개공보 평성4-181589호 및 일본국 특허공개공보 소화61-150200호가 있다.
상기 일본국 특허공개공보 평성4-181589호에 관련된 반도체 메모리에서는 종래의 워드선 또는 비트선 (데이타선 또는 디지트선)단위에서의 결함구제에서는 구제불능으로 되어 직류불량의 구제를 실행하기 위해 정규회로를 여러개의 메모리블럭 (메모리매트)으로 분할하고, 이와 같은 메모리블럭에 대응한 예비메모리메트를 형성해두고 정규회로의 메모리블럭에 결함이 발생하면 그것을 메모리블럭마다 예비메모리매트로 치환하도록 하는 것이다.
상기의 결함구제기술은 1개의 반도체칩내에서 큰 회로규모로 이루어지는 예비메모리매트를 형성하는 것이지만 그 사용효율은 그다지 높게는 되지 않는다. 왜냐하면, 종래의 워드선 또는 비트선단위에서의 결함구제기술에 의해 어느 정도의 결함을 구제할 수 있기 때문이다. 따라서, 상기와 같은 예비메모리블럭을 탑재해도 대부분의 반도체칩에서는 그것을 사용하지 않게 되어 실질적인 점유면적이 증대한다. 메모리블럭단위에서의 구제를 실행하는 것의 확율은 실제로는 그다지 많지 않으므로 그와 같은 반도체칩을 불량칩으로써 폐기하는 경우에 비하면 특별히 우위라고는 할 수 없는 것이 본원 발명자의 검토에 의해서 명확하게 되었다.
즉, 블럭구제를 실행하는 반도체칩에서는 상기와 같이 점유면적이 증대해서 1개의 반도체웨이퍼에서 형성할 수 있는 반도체칩의 수가 적어지므로 블럭단위에서의 결함구제가 실행되었다고 해도 전체로써의 제품수량은 그다지 많게는

되지 않는 다. 이것에 대해서 종래의 워드선이나 비트선단위에서의 결함구제만으로 한 경우에는 그만큼 반도체칩의 점유면적이 작게 되기 때문에 1개의 반도체웨이퍼에서 형성할 수 있는 반도체칩의 수를 많게 할 수 있고, 상기와 같은 메모리블럭단위에서의 결함구제를 실행하는 것이 필요한 반도체칩을 불량칩으로써 폐기해도 전체로써의 제품수량은 그다지 적게 되지 않게 되기 때문이다.

본 발명의 목적은 다양성을 갖는 반도체기억장치와 그것을 사용해서 실질적인 제품제조효율을 향상시킬 수 있는 메모리모듈을 제공하는 것이다.

본 발명의 상기 및 그외의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본원에서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼, 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스앰프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 회로구성으로 한다.

상기한 수단에 의하면 메모리매트내에서 직류적 불량이 발생했을때, 이러한 메모리매트를 전기적으로 분리할 수 있고 나머지 부분을 활용한 반도체기억장치로써 사용할 수 있다.

본원에서 개시되는 발명중 다른 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼 및 메모리셀로 부터의 리드신호를 출력하는 출력버퍼로 이루어지는 여러개의 메모리매트, 이러한 매모리메트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트를 지정하는 어드레스신호와 비교하여 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출해서 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 마련한다.

상기한 수단에 의하면, 기억회로에 대해서 임의의 어드레스를 할당하도록 한 반도체기억장치를 얻을 수 있고, 필요에 따라서 메모리매트단위에서의 결함구제를 실행하는 용장용 반도체기억장치로써 이용할 수 있다.

본원에서 개시되는 발명중 또 다른 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이와 같은 어드레스신호 또는 프리디코드신호를 어 드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼, 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스엠프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 제1의 반도체기억장치, 동일한 구성의 여러개로 이루어지는 메모리매트와 이러한 메모리매트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트를 지정하는 어드레스신호와 비교해서 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출하여 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 갖는 제2의 반도체기억장치를 1개의 실장기판장에 탑재하고, 상기 제1의 반도체기억장치에 있어서는 결함메모리매트를 전기적으로 분리하고, 제2의 반도체기억장치에서는 이러한 메모리매트에 대응한 어드레스정보를 기억회로에 라이트함과 동시에 상기 결함매트에 대응한 외부데이타단자와 상기 제2의 반도체기억장치에 있어서의 이러한 메모리매트에 대응된 상기 입출력단자를 대응해서 실장기판상에서 접속한다.

상기한 수단에 의하면 메모리매트단위에서의 결함이 존재하는 제1의 반도체장치를 사용하면서 제2의 반도체기억장치를 조합해서 실장기판상에서 구제를 실행할 수 있으므로 반도체기억장치의 실질적인 제조효율을 향상시킬 수 있다.

제1도에는 본 발명에 관한 반도체기억장치의 1실시예의 개략적인 블럭도가 도시되어 있다. 동일 도면의 각 회로블럭은 공지의 반도체집적회로의 제조기술에 의해 단결정실리콘과 같은 1개의 반도체기판상에 형성된다. 이 실시예의 반도체기억장치는 크게 나누면 8 개의 메모리매트MAT0 MAT7과 입출력인터페이스 및 제어회로로 구성된다. 상기 입출력인터페이스는 어드레스입력버퍼XAB, YAB, 데이타입출력버퍼IOB 및 멀티플렉서MPX로 구성된다.

제어회로는 외부단자에서 공급되는 제어신호/RAS, /CAS, /WE 및 /OE를 받아서 내부회로의 동작에 필요한 각종 제어신호나 타이밍신호를 발생하는 제어회로CONT, 상기 메모리매트의 선택신호를 형성하는 매트디코더MATDEC, 출력제어회로OBC 및 리프레시 제어회로REFC로 구성된다. 여기에서, 제어신호/RAS, /CAS, /WE 및 /OE에 붙여진 기호/는 로우레벨이 액티브레벨인 것을 나타내는 오버바의 대용으로써 사용되고 있다. 기판바이어스회로VBBG는 도시하지 않은 전원전압단자에서 공급되는 전원전압을 받아서 기판에 부여할 백바이어스전압을 형성한다. 특히, 제한되지 않지만 이 기판바이어스회로VBBG는 제어회로CONT로 부터의 제어신호나 기판전위의 모니터신호등에 의해 동작모드에 따라서 기판전류의 공급능력이 전환되도록 되고 기판전위를 거의 일정하게 유지하도록 동작한다.

이 실시예에 있어서는 상기 8개의 메모리매트MAT0 MAT7중 최종적으로는 1개의 메모리매트가 선택되고, 그것에 대응한 입출력I/O가 멀티플렉서MPX를 거쳐서 데이타입출력버퍼IOB에 접속된다. 즉, 이 실시예와 각이 데이타단자D0 D3과 같이 4비트의 단위에서의 데이타의 입출력이 실행될때 각 메모리매트MAT0 MAT7에 있어서 도 상기 입출력의 데이타단자D0 D3에 대응해서 4비트의 단위에서의 데이타의 입출력이 실행된다. 각 메모리매트MAT0 MAT7은 후술하는 바와 같이 각각이 1개의 반도체메모리와 등가로 된다.

상기 어드레스버퍼XAB와 YAB를 통해서 공급된 어드레스신호중 각 메모리매트MAT0 MAT7의 워드선을 선택하기 위한 어드레스 신호X와 비트선을 선택하기 위해 사용되는 어드레스신호Y는 내부의 어드레스버스를 통해서 각 메모리매트MAT0 MAT7에 공급된다. 그리고, 메모리매트MAT0 MAT7중 1개의 매모리매트를 지정하는 어드레스신호는 매트디코더MATDEC에 의해 해독되어 매트선택신호가 각 메모리매트MAT0 MAT7로 이루어지는 경우, 특히 제한되지 않지만 예를들면 X계의 어드레스신호가 2비트와 Y계의 어드레스신호가 1비트로 이루어지고, 각각을 해독해서 1개의 메모리매트를 선택하므로 상기 매트디코더MATDEC를 일종의 프리디코더로 간주할 수 있다.

제2도에는 상기 메모리매트의 1실시예의 블럭도가 도시되어 있다. 각 메모리매트MAT0 MAT7은 각각이 1개의 반도체메모리에 형성되어 있음에도 불구하고, 즉 상기와 같은 어드레스버퍼XAB와 YAB등이 형성되어 있음에도 불구하고 상기와 같은 내부어드레스버스를 통해서 공급된 어드레스신호XAD와 YAD 및 매트선택신호MS나 상기 제어회로CONT에 의해 형성된 각종 제어신호를 페치하는 입력버퍼가 마련된다.

이 이유는 상기 입력버퍼를 클럭인버터회로와 같은 출력하이임피턴스를 포함하는 3상태출력기능을 마련하고, 메모리매트에 있어서 직류불량이 발생했을때, 상기와 같은 입력버퍼의 출력을 하이임피던스상태로 해서 이와 같은 메모리매트를 전 기적으로 분리하고, 거기에 정상적인 직류전류가 흐르는 것을 방지하기 위해서이다. 이와 같은 이유에서 Y디코더를 대표로 하는 내부회로의 동작전압Vcc는 스위치SW3을 거쳐서 공급되게 된다. 또, 메모리어레이의 플레이트전압VPL도 동일한 스위치SW1을 거쳐서 공급된다. 센스앰프에 포함되는 하프프리차지회로에 공급되는 하프프리차지전압HVC도 마찬가지로 스위치SW2를 거쳐서 공급된다.

퓨즈Fuse는 메모리어레이등에 직류적인 결함이 발생했을때 절단되어 결함정보를 기억한다. 이러한 절단정보는 한쪽에 있어서 스위치제어회로에 전달되어 상기와 같은 각 스위치SW1, SW2 및 SW3을 차단상태로 한다. 또, 출력버퍼를 통해서 제1도의 출력제어회로OBC, 입출력버퍼에 있어서의 상기와 마찬가지로 3상태출력기능을 갖는 입력버퍼와 출력버퍼를 모두 출력하이임피던스상태로 한다.

상기 입력버퍼를 통과한 어드레스신호XAD는 X디코더에 공급되어 여기에서 메모리어레이중 1개의 워드선을 선택한다. X디코더에는 워드선드라이버도 포함되는 것이다. 상기 입력버퍼를 통과한 어드레스신호YAD는 Y디코더에 공급되어 여기에서 메모리어레이의 4쌍의 상보비트선의 Y선택신호가 형성된다. Y선택신호는 센스앰프중에 포함되는 메모리어레이의 상보비트선을 입출력선에 접속시키는 컬럼스위치에 전달되고 이러한 입출력선이 상기 입출력버퍼와 대응해서 접속된다.

이 실시예에서는 도시하지 않지만 X계와 Y계의 용장회로도 마련된다. 상기 X계의 용장회로는 불량어드레스를 기억시키는 기억회로와 어드레스비교회로를 포함하고 있다. 기억된 불량어드레스와 입력된 X어드레스를 비교하여 불일치일때에는 그대로 입력된 어드레스에 대응한 워드선을 선택하고, 기억된 불량어드레스와 입력 된 X어드레스가 일치하면 정규회로의 불량워드선의 선택동작을 금지시킴과 동시에 예비워드선을 선택하는 선택신호를 출력시킨다. 동일한 회로가 Y계 회로예도 마련되어 있고, 그것에 의해서 불량비트선에 대한 메모리액세스를 검출하면 Y디코더에 의한 불량비트선의 선택동작을 정지시키고, 그것 대신에 예비로 마련되어 있는 비트선을 선택하는 선택신호가 형성된다.

제3도에는 상기 메모리어레이부의 1실시예의 주요부의 회로도가 도시되어 있다. 동일 도면에 있어서는 4개의 워드선, 2쌍의 상보비트선과 이들과 관련된 센스앰프 및 프리차지회로등이 대표로써 예시적으로 도시되어 있다. 동일도면에는 소위 공유센스방식으로 되고, 센스앰프를 중심으로 해서 메모리어레이ARY-L과 ARY-R이 좌우에 배치되는 것으로써, 그중 좌측의 어레이ARY-L이 상기와 같이 표시되고, 우측의 어레이ARY-R은 블랙박스로 표시되어 있다. 또, 1쌍의 상보비트선BLL과 /BLL에 대응한 각 회로를 구성하는 MOSFET에만 대표로써 회로기호가 부가되어 있다.

다이나믹형 메모리셀은 어드레스선택용 MOSFETQm과 정보기억용 캐패시터Cs로 구성된다. 어드레스선택용 MOSFETQm의 게이트는 워드선WLi에 접속되고, 이 MOSFETQm의 드레인이 비트선/BLL에 접속되고, 소오스에 정보기억용 캐패시터Cs가 접속된다. 정보기억용 캐패시터Cs의 다른쪽의 전극은 공통화되어 플레이트전압VPL이 부여된다.

상기 비트선BLL과 /BLL은 동일도면에 도시한 바와 같이 평행하게 배치되고, 비트선의 용량균형등을 취하기 위해 필요에 따라서 적절히 교차시켜진다. 이러한 상보비트선BLL과 /BLL은 스위치MOSFETQ1과 Q2에 의해 센스앰프의 입출력노드와 접 속된다. 센스앰프는 게이트와 드레인이 교차접속되어 래치형태로 된 N채널형 MOSFETQ5, Q6 및 P채널형 MOSFETQ7, Q8로 구성된다. N채널형 MOSFETQ5와 Q6의 소오스는 공통소오스선CSN에 접속된다. P채널형 MOSFETQ7과 Q8의 소오스는 공통소오스선CSP에 접속된다. 공통소오스선CSP에 예시적으로 도시되어 있는 바와 같이 P채널형 MOSFET의 파워스위치MOSFETQ14가 마련되어 타이밍신호ΦSAP가 로우레벨로 되면 MOSFETQ14가 온상태로 되어 센스앰프의 동작에 필요한 전압공급을 실행한다. N채널형 MOSFETQ5와 Q6에 대응한 공통소오스선CSN에는 도시하지 않은 N채널형 MOSFET가 마련되고, 선의 동작타이밍에 회로의 접지전위를 공급한다.

이들 센스앰프를 활성화시키는 파워스위치MOSFET는 안정적인 센스동작을 실행시키기 위해 센스앰프가 증폭동작을 개시한 시점에서는 비교적 작은 전류밖에 공급할 수 없는 파워스위치MOSFET를 온상태로 하고, 센스앰프의 증폭동작에 의해서 비트선BLL과 /BLL의 전위차가 어느 정도 크게 된 시점에서 큰 전류를 흐르게 하는 파워스위치MOSFET를 온상태로 하는 등해서 증폭동작을 단계적으로 실현하게 된다.

상기 파워스위치MOSFETQ14등은 상기와 같은 센스앰프의 활성화, 비활성화이외에 후술하는 바와 같이 직류적불량이 발생한 메모리매트에 대응한 것에 있어서 직류전류가 흐르는 것을 방지하기 위해 상기와 같은 퓨즈의 절단에 의해 기억된 결함정보MF에 의해 정상적으로 오프상태로 하기 위해서도 사용된다. 즉, 제2도의 전원스위치로써의 역할도 아울러 갖도록 이용된다.

상기 센스앰프의 입출력노드에는 상보비트선을 단락시키는 MOSFETQ11 및 상보비트선에 하프프리차지전압HVC를 공급하는 스위치MOSFETQ9와 Q11로 이루어지는 프리차지회로가 마련된다. 이들 MOSFETQ9 Q11의 게이트에는 공통으로 프리차지신호PC가 공급된다. 이 프리차지신호PC는 상기 결함정보MF에 의해 로울레벨로 고정되고, 상기 MOSFETQ9 Q11등을 오프상태로 하기 위해서도 이용된다. 이것과 함께 하프프리차지전압HVC 그 자체를 공급하

는 스위치SW2도 마찬가지로 오프상태로 된다. 이와 같이 하프프리차지전압HVC 그 자체도 차단하는 것은 이러한 하프프리차지전압HVC를 공급하는 신호경로가 회로의 접지전위 또는 전원전압등과 단락한다고 하는 직류불량이 발생한 경우에도 대응시키기 위해서이다.

MOSFETQ12와 Q13은 컬럼선택신호YS에 의해 스위치제어되는 컬럼스위치를 구성한다. 이 실시예에서는 1개의 컬럼선택신호YS에 의해 4쌍의 비트선을 선택할 수 있게 된다. 그러므로, 상기 컬럼선택신호YS는 동일도면에 예시적으로 도시되어 있는 2쌍의 비트선과 도시하지 않은 나머지 2쌍의 비트선에 대응한 4개의 센스앰프의 입출력노드에 마련된 컬럼스위치를 구성하는 MOSFET의 게이트에 공통으로 공급되고, 이러한 스위치MOSFET를 거쳐서 4쌍의 비트선과 4쌍의 입출력선I/O가 각각 접속된다.

제4도에는 본 발명에 관한 다이나믹형 RAM의 개략동작을 설명하기 위한 타이밍도가 도시되어 있다. 제4도A에는 리드동작(READ)의 예가 도시되어 있고, 로우어드레스스트로브신호/RAS의 로우레벨에 동기해서 행 (로우계)어드레스신호ADD를 페치하고, 그것을 해독해서 워드선WL의 선택동작이 실행된다. 워드선의 선택동작에 앞서서 프리차지신호PC가 로우레벨로 되어 비트선BL과 /BL은 플로팅상태에서 하프프리차지전압을 유지한다. 그리고, 워드선의 선택동작이 실행되고, 상보비트선BL과 /BL중 예를들면 비트선/BL에 접속된 메모리셀이 선택되고, 이러한 메모리셀에 유지된 기억정보가 OV이면 비트선/BL과의 차지공유에 의해 비트선/BL의 전위가 △V만큼 저하시켜진다. 이것에 대해서 메모리셀이 접속되지 않은 비트선BL은 하프프리차지전압을 유지한다.

센스앰프의 활성화신호(공통소오스선) CSN의 로우레벨에 의해 센스앰프의 N채널측의 증폭MOSFETQ5, Q6이 증폭동작을 개시해서 로우레벨측의 비트선/BL을 로우레벨로 빼내고, 그리고, 늦게 하이레벨로 되는 활성화신호(공통소오스선) CSP에 의해 P채널측 MOSFETQ7, Q8이 증폭동작을 개시해서 하이레벨측의 비트선BL을 전원전압Vcc와 같은 하이레벨로 끌어올려진다.

상기와 같은 공유센스앰프에서는 센스앰프의 증폭동작이 개시되기 전에 워드선이 선택되지 않은 메모리어레이측의 MOSFETQ1, Q2 또는 Q3, Q4는 선택신호SHRL 또는 SHRR의 로울레벨에 의해 오프상태로 되는 것이다. 상기 센스앰프의 증폭신호는 선택상태의 메모리셀에 라이트된다. 즉, 비트선/BL의 회로의 접지전위OV가 메모리셀의 정보기억용 캐패시터에 리라이트(리프레시)된다. 그후, 도시하지 않지만 Y계의 선택동작이 실행되고, 선택된 비트선의 증폭신호가 출력된다.

제4도B에는 라이트동작(WRITE)의 예가 도시되어 있고, 상기와 마찬가지로 로우어드레스스트로브신호/RAS의 로우레벨에 동기해서 행 (로우계) 어드레스신호ADD를 페치하고, 그것을 해독해서 워드선WL의 선택동작이 실행된다. 동일도면에서는 생략되어 있지만, 상기와 마찬가지로 워드선의 선택동작에 앞서서 프리차지신호PC가 로우레벨로 되어 비트선BL과 /BL은 플로팅상태에서 하프프리차지 전압을 유지한 다. 그리고, 워드선의 선택동작이 실행되고, 상보비트선BL과 /BL중 어느 한쪽의 비트선에 △V의 리드신호가 얻어지고, 그것이 센스앰프에 의해 증폭된다. 그리고, 선택된 메모리셀에 원래의 기억정보가 라이트되어 리프레시동작이 실행된다.

라이트동작일때에는 라이트인에이블신호/WE가 로우레벨로 된다. 그것에 대응해서 입력버퍼가 유효로 되고, 라이트신호가 입출력선I/O에 공급된다. 컬럼어드레스스트로브신호/RAS의 로우레벨에 동기해서 열 (컬럼계) 어드레스신호ADD를 페치하고, 그것을 해독해서 상보비트선의 선택신호YS가 형성된다. 이것에 의해 컬럼스위치 MOSFETQ12, Q13등이 온상태로 되고, 메모리어레이의 선택된 상보비트선BL, /BL과 입출력선I/O가 접속되고, 그 라이트신호가 상기와 같은 선택된 상보비트선BL과 /BL에 전달되므로 메모리셀의 기억캐패시터Cs의 유지레벨을 라이트신호에 대응한 예를들면 하이레벨로 변화시켜진다.

제5도와 제6도에는 본 발명이 적용되는 다이나믹형 RAM의 1실시예의 메모리어레이의 레이아우트도가 도시되어 있다. 이 실시예의 다이나믹형 RAM은 특히 제한되지 않지만 약64M비트와 같은 기억용량을 갖게 된다. 제5도와 제6도에는 가로가 긴 칩의 좌우절반(L, R) 씩의 레이아우트도가 도시되고, 상기 가로가 긴 칩에 있어서의 중앙부분에 마련되는 Y구제회로가 양 도면에 중복해서 도시되어 있다. 이 Y구제회로는 상기와 같이 상보비트선단위에서의 결함구제를 실행하기 위한 것이다.

2개의 메모리어레이를 중심으로 해서 센스앰프와 입출력선 (SA 이 마련된다. 어드레스할당은 1비트단위에서의 엑세스를 예로 해서 설명하면 상측U와 하측L을 X어드레스의 최상위비트/X12와 X12가 할당된다. 상기와 같은 Y디코더YDEC를 중 심으로 해서 8개씩의 2군으로 분리된 메모리어레이에는 어드레스신호/X11과 X11이 할당된다. 동일도면에는 X11에 의해 지정되는 하부절반이 생략되어 있다. 상기 2군으로 분리된 8개의 메모리어레이는 4개씩으로 분리되어 /X10과 X10이 할당된다. 동일도면에서는 하측L의 4개의 메모리어레이에 할당되는 어드레스X10이 대표로써 예시적으로 도시되어 있다. 그리고, 동일도면에서는 생략되어 있지만 센스앰프를 중심으로 해서 분리된 2개씩의 메모리어레이에는 /X9와 X9가 할당되고, 센스앰프를 중심으로 해서 분리된 메모리어레이에는 /X8과 X8이 할당된다.

칩의 세로방향 (상하)에 마련된 로우디코더XDEC 및 어레이제어회로ARYCTRL 및 매트의 외부 입출력선I/O는 워드드라이버WD, X디코더 및 매트제어회로MATCTRL과 매트의 외부 입출력선으로 구성된다. 칩의 긴쪽방향의 중앙부에는 어드레스측과 I/O측의 입력버퍼나 출력버퍼등의 입출력인터페이스회로가 마련된다.

메모리매트에 붙어진 화살표는 어드레스의 방향을 나타내고 있다. 즉, 리프레시의 순서는 동일 도면에서는 위에서 아래방향으로 순차 실행된다. 동일도면의 화살표의 방향으로 순차 리프레시를 실행하고자 하면 8192사이클로 되어 메모리엑세스가 제한되므로 예를들면 어드레스X12, 11 및 10에 의해 지정되는 메모리매트를 동시선택하도록 하고 8메모리매트를 동시에 리프래시하도록 해서 1024사이클에서 모든 리프레시가 종료하도록 할 수 있다. 컬럼방향의 어드레스할당은 Y구제회로를 사이에두고 좌측과 우측을 Y어드레스의 최상위비트/Y12와 Y12가 할당된다. 상기와 같은 X디코더XDEC등을 중심으로 해서 좌우로 분리된 메모리어레이에는 어드레스신호/Y11과 Y11이 할당된다. 그리고, 1개의 메모리어레이내에 있어서 /X10과 X10이 할당된다.

이 실시예에서는 전체를 8블럭으로 분리해서 그것을 메모리매트해서 이러한 메모리매트의 단위에서 최종적으로 메모리액세스가 실행되게 된다. 예를들면 X12, X11 및 Y12에 의해 8블럭으로 블리할때에는 제5도와 제6도에 있어서 Y디코더YDEC에 의해 세로방향으로 4개씩 분리되는 메모리어레이가 1개의 메모리매트로 된다. 이 이외에 상기와 같이 메모리어레이내에서는 4쌍의 비트선을 동시에 선택해서 그것을 그대로 출력시키는 구성으로 하는 경우에는 X어드레스와 Y어드레스가 1비트씩 적어지므로 상기의 어드레스할당이 X12가 X11로, X11이 X10으로 되고, Y12가 Y11로 되어 1개의 메모리매트에 있어서 4비트의 단위에서 액세스하도록 하면 좋다.

단, 이와 같이 하는 것에 의해서 1개의 워드선에 대응시켜지는 상보비트선의 수가 증대하여 워드선에 접속되는 메모리셀의 수가 증대해서 워드드라이버의 부하가 무거워지는 등 메모리액세스에 악영향이 생기면 적절히 워드선방향으로 메모리어레이를 분할해서 구성하면 좋다. 이와 같이 메모리어레이의 레이아우트는 여러 실시형태를 취할 수 있는 것이다.

상기와 같이 X어드레스신호와 Y어드레스신호에 의해 1개의 메모리매트를 지정할때에는 Y어드레스의 입력을 기다려서 최종적으로 선택되는 메모리매트가 결정된다. 이 때문에 최종적인 매트선택신호에 의해 1개의 메모리매트만이 동작시켜지도록 하면 메모리액세스가 느러진다. 그 때문에 상기와 같은 8개의 메모리매트중 X어드레스에 의해 지정되는 2개의 메모리매트에 있어서 상기와 같은 로우계의 어드레스선택동작이 동시에 실행되는 것이다. 그리고, Y어드레스의 입력에 의해 지정되 는 1개의 메모리매트에 대한 입출력버퍼가 유효로 되어 최종적인 1개의 메모리매트의 동작이 실행된다. 그러므로, 다른쪽의 메모리매트에서는 로우계의 선택동작만이 실행되므로 말하자면 리프래시동작이 실행되게 된다.

메모리매트를 X어드레스만으로 지정해서 로우계의 어드레스선택회로나 어드레스신호등을 입력하는 입력버퍼를 포함해서 1개의 메모리매트만을 동작상태로 하도록 해도 좋다. 이와 같이 한 경우에는 메모리매트내에 공급되는 워드선을 지정하는 X어드레스와 Y어드레스가 불균형으로 되지만 1개의 Y어드래스에 대해서 여러쌍의 비트선을 할당해서 다수비트단위에서의 메모리억세스가 실행되는 등의 연구에 의해 메모리어레이내에서의 비트선과 워드선의 관계를 최적하게 할 수 있다.

제7도에는 본 발명에 관한 반도체기억장치의 1시예의 개략적인 블럭도가 도시되어 있다. 동일도면의 각 회로블럭은 제1도에 있어서의 메모리매트와 멀티플렉서MPX 및 입출력회로IOB의 관계를 설명하기 위한 것이다. 동일도면의 출력선택차단회로는 상기 매트디코더MATDEC와 출력제어회로OBC로 구성된다.

이 출력선택차단회로는 결함메모리매트로 부터의 결함정보MF0-7, 매트디코더MATDED로 부터의 매트선택신호 및 제어회로로 부터의 출력제어신호를 받아서 데이타입출력버퍼IOB에 있어서의 통상의 동작제어와 결함메모리매트로 부터의 출력동작에 대해서 출력버퍼를 출력하이임피던스상태로 하는 역할을 갖게 된다. 즉, 통상동작일때, 데이타입출력버퍼는 라이트동작일때 입력버퍼가 동작상태로 되고, 출력버퍼는 출력하이임피던스상태로 된다. 리드동작일때에는 입력버퍼가 출력하이임피던스 상태로 되고, 출력버퍼가 동작상태로 된다. 메모리가 액세스되지 않 을때 입력버퍼도 출력버퍼도 출력하이임피던스 상태로 되는 것이다. 이와 같은 동작제어에 또 상기와 같은 리드동작일때 결함메모리매트로 부터의 리드가 지시되었을때에 출력버퍼는 출력하이임피던스상태로 되는 것이다.

매트선택신호는 각 메모리매트의 입출력회로I/O0 3에 대응해서 마련된 멀티플렉서의 선택신호를 형성한다. 상기 실시예와 같이 메모리매트의 데이타입출력회로에 입출력버퍼를 마련하고, 결함정보에 의해 강제적으로 출력하이임피던스상태로 하는 기능이 마련되어 있는 경우에는 이러한 멀티플렉서를 생략할 수 있다. 반대로 이러한 멀티플렉서를 마련한 경우에는 메모리매트측에 있어서 상기와 같은 입출력버퍼를 마련하는 것을 생략할 수 있다. 즉, 멀티플렉서에 의해 상기와 동일한 출력하이임피던스상태를 만들도록 해도 좋다. 이와 같이 할때에는 멀티플렉서에 입력되는 제어신호는 메모리매트의 결함정보MF와 매트선택신호가 논리곱이 취해진 제어신호로 된다.

제8도에는 상기 출력제어회로OBC와 데이타입출력버퍼IOB에 포함되는 출력버퍼의 1실시예의 회로도가 도시되어 있다. 출력제어회로는 대표로써 예시적으로 도시되어 있는 매트선택신호MS0, MS7과 그것에 대응한 도시하지 않은 메모리매트MAT0, MAT7에서 공급되는 결함정보MF0, MF7은 AND게이트회로G1, G2에 공급된다. 도시하지 않은 다른 매트선택신호와 그것에 대응한 결함정보도 동일한 게이트회로에 공급된다. 이러한 AND게이트회로G1, G2와 도시하지 않은 다른 동일한 게이트회로의 출력신호는 OR게이트회로G3에 공급되어 마스크신호MSK가 형성된다.

동일도면에 있어서, 회로도가 복잡하게 되는 것을 막기 위해 예시적으로 도 시된 MOSFET의 회로기호가 상기 제3도의 것과 중복하고 있지만 각각은 별개의 회로기능을 실현하는 것이다.

라이트인에이블신호WE와 출력인에이블신호/OE는 AND게이트회로 G4에 공급되고, 여기에서 출력제어신호OC가 형성된다. 즉, 신호WE의 하이레벨에 의래 리드동작이 지시되어 있을때 신호/OE의 하이레벨일때에는 출력버퍼를 비동작상태로 하고, 이와 같은 신호/OE의 로우레벨에 동기해서 제어신호OC를 로우레벨로 해서 출력버퍼를 활성화시킨다.

그러나, 결함메모리매트에 대해서 메모리엑세스가 실행되었을때에는 결함신호MFi와 매트선택신호MSi가 모두 하이레벨로 되고 마스크신호MSK가 하이레벨로 된다. 따라서, 상기와 같이 신호WE가 하이레벨이고, 신호/OE가 로우레벨로 되었을대에도 마스크신호MSK의 하이레벨에 의해 출력버퍼에는 OR게이트회로G6을 통해서 P채널형 출력MOSFETQ1의 게이트에는 하이레벨이, AND게이트회로 G7을 통해서 N채널형 출력MOSFETQ2의 게이트에는 로우레벨이 공급되므로 이러한 출력버퍼의 출력단자D0은 출력하이임피던스상태로 된다. 다른 3개의 데이타단자D1 D3에 마련되는 출력버퍼에 있어서도 동일하다.

제9도에는 본 발명에 관한 다른 반도체기억장치의 1실시예의 개략적인 블럭도가 도시되어 있다. 동일 도면에는 반도체기억장치의 개략적인 전체블럭과 그것에 형성되는 1개의 메모리매트의 확대블럭이 도시되어 있다. 단, 본 발명에 관한 다른 반도체기억장치는 주로 상기 제1도의 반도체기억장치의 결함구제메모리로써 사용되는 것으로써, 그 때문에 제1도의 반도체기억장치와 다른 부분을 주로 도시하고 있 다. 그러므로, 반도체기억장치로써 필요하게 되는 어드

레스신호나 제어신호의 입력버퍼나 제어회로 및 기판전압발생회로등이 생략되어 있다. 동일 도면의 각 회로블럭은 상기 제1도와 마찬가지로 공지의 반도체집적회로의 제조기술에 의해 단결정 실리콘과 같은 1개의 반도체기판상에 형성된다.
이 실시예의 메모리매트는 상기 제1도와 거의 동일한 구성으로 된 메모리어레이, X디코더, 센스앰프 및 Y디코더로 구성된다. 그리고, 이 실시예에서는 구제용으로 사용되는 것을 전제로 하므로 메모리매트에 결함이 발생했을때 대응해서 퓨즈나 스위치회로가 생략된다.
특히 제한되지 않지만 이 실시예에서 메모리매트수는 전체 4개로 되고, 각각의 메모리매트의 입출력선은 그대로 연장해서 데이타입출력회로IOB0 IOB3에 공급된다. 각 메모리매트에 ㄷ응된 데이타입출력회로IOB0 IOB3은 각각 독립된 데이타단자D0 D15에 접속된다. 즉, 1개의 메모리매트에 대응된 데이타입출력회로에는 각각 4개의 데이타단자가 대응되고, 4조로 이루어지는 데이타입출력회로IOB0 IOB3에서는 16개의 데이타단자D0 D15가 마련되게 된다.
주로 메모리매트단위에서의 결함구제를 실행하도록 하기 위해, 결함으로 된 메모리매트의 어드레스를 기억시키기 위한 EPROM이 마련된다. 이 실시예의 EPROM은 리라이트가능(이레이저블 amp; 프로그래머블) 하다는 의미는 아니고 공지의 EPROM과 마찬가지로 전기적으로 라이트가능한 메모리셀을 사용하고 있다는 의미이다. 즉, EPROM에 있어서의 자외선소거기능을 불능으로 해서 1회한도의 라이트가능한 ROM으로써 사용한다. EPROM제어회로는 상기 EPROM에 대한 라이트동작과 리드동작을 실행 하는 제어회로이다.
예를들면 상기와 같이 4개의 메모리매트로 이루어질때에는 1개의 워드선에 대응해서 각 메모리매트에 대해서 상기 제1도의 반도체기억장치의 메모리매트MAT0 MAT7에 대응된 3비트씩의 어드레스와 이러한 비트가 유효인지 무효인지를 나타내는 플래그비트의 4비트가 할당되고, 4개의 메모리매트에서는 합계16개의 메모리셀이 접속된다. 예를들면 4개의 메모리매트전부를 결함구제에 사용할때에는 각각에 할당된 어드레스와 이러한 어드레스가 유효인 것을 나타내는 플래그비트가 0과 1의 조합에 의해 라이트된다.
메모리엑세스가 실행되면 상기 워드선이 선택되어 4개분의 메모리매트에 대응한 어드레스신호와 플래그비트가 리드되어 어드레스비교회로에 공급된다. 어드레스비교회로에는 메모리매트에 대응한 4개의 비교회로로 이루어지고, 각각이 입력된 어드레스신호와 상기 EPROM에서 리드된 어드레스정보가 비교된다. 이때, 상기 플래그비트가 무효로 될때 그 어드레스비교출력은 무효로 된다. 즉, 결함구제에 사용하지 않는 것에 의해 000등으로 된 메모리매트가 000의 메모리매트의 지정일때 선택되는 것을 막는 것이다.
또, 메모리매트를 지정하는 어드레스가 X어드레스와 Y어드레스로 이루어질때에는 선행해서 입력되는 X어드레스가 먼저 비교되고, 그 시점에서 일치했으면 거기에 대응된 메모리매트의 로우계의 선택동작이 실행된다. 그리고, Y어드레스의 입력에 의해 만약 불일치한 어드레스로 판명되었으면 그 메모리매트는 최종적으로 선택되지 않고 메모리매트 내부에서 리프레시동작이 실행될 뿐이다.
어드레스비교회로에 의해 메모리매트단위에서 형성되는 비교일치신호는 출력선택회로에 공급된다. 즉, 결함의 메모리매트에 대응한 메모리엑세스가 실행되면 이러한 결함메모리매트대신에 이 실시예의 반도체기억장치의 1개의 메모리매트가 상기와 같이 엑세스되어 있고, 데이타입출력회로중 어느 하나의 동작이 유효로 되어 라이트 또는 리드동작이 실행되게 된다.
제10도에는 상기 어드레스비교회로와 출력선택회로 및 출력드라이버의 1실시예의 회로도가 도시되어 있다. 어드레스비교회로는 하나의 회로CAM3이 대표로써 예시적으로 도시되어 있는 바와 같이 상보의 어드레스신호A12와 /A12는 EPROM셀의 기억정보와 그 반전신호에 의해 스위치제어되는 전송게이트MOSFETQ1 Q4를 통해서 페치된다. 예를들면 EPROM셀에 기억된 기억정보가 0의 로우레벨일때 어드레스신호A12에 대응된 P채널형 MOSFETQ1과 N채널형 MOSFETQ2가 온상태로 된다.
이때, 어드레스신호A12가 로우레벨이면 일치신호가 로우레벨로써 출력된다. 만약, 어드레스신호A12가 하이레벨이면 불일치신호가 하이레벨로써 출력된다. 반대로, EPROM셀에 기억된 기억정보가 1인 하이레벨일때 어드레스신호/A12에 대응된 P채널형 MOSFETQ3과 N채널형 MOSFETQ4가 온상태로 된다. 이때, 어드레스신호/A12가 로우레벨이면 일치신호가 로우레벨로써 출력된다. 만약, 어드레스신호/A12가 하이레벨이면 불일치신호가 하이레벨로써 출력된다.
다른 어드레스신호A10, /A10 및 A11, /A11과 그것에 대응된 EPROM셀의 기억정보의 비교동작도 상기와 동일하다. 상기와 같은 3비트의 어드레스신호A10 A12에 대해서 전체비트가 일치일때에는 OR게이트회로G1이 로우레벨의 비교일치신호MHi를 형성하고, 그것에 대응된 출력드라이버의 동작을 유효로 한다.
즉, 출력제어신호WE · /OE의 로우레벨에 대응해서 출력드라이버는 입출력선I/O의 신호를 출력단자Dj에 전달한다. 만약, 1비트라도 불일치신호이면 NOR게이트회로G1은 하이레벨의 출력신호를 형성하므로 출력선택회로를 구성하는 OR게이트회로G2의 출력이 제어신호WE · /OE의 로우레벨에 관계없이 하이레벨인채로 되고, 출력드라이버는 출력하이임피던스상태인채로 된다. 또, 동일도면에 있어서 회로도가 복잡하게 되는 것을 피하기 위해 예시적으로 도시된 게이트회로에 붙여진 회로기호가 상기 제8도의 것과 중복하고 있지만 각각은 별개의 회로기능을 실현하는 것이다.
제11도에는 본 발명에 관한 다른 반도체기억장치의 1실시예의 개략적인 블럭도가 도시되어 있다. 동일도면의 각 회로블럭은 제9도에 있어서의 메모리매트와 입출력회로IOB의 관계를 주로 설명하기 위한 것이다. 동일도면의 출력선택회로는 상기 제10도에서 구체적인 회로가 도시된 EPROM과 어드레스비교회로 및 출력선택회로로 구성된다.
상기 어드레스비교회로는 EPROM에 기억된 결함어드레스정보와 그것에 대응된 매트어드레스를 어드레스비교회로에 의해 비교하고, 예비로써 마련되어 있는 메모리매트의 매트선택신호를 형성한다.
이 어드레스비교회로의 출력신호는 출력선택회로에도 전달되고, 출력선택회로에서는 상기 결함의 메모리매트로 치환될 메모리매트에 대응한 입출력회로의 동작을 유효로 하는 선택신호를 형성한다. 동일도면에서는 생략되어 있지만

각 메모 리매트에 전달되는 어드레스신호와 입력버퍼를 통해서 페치된다.
상기의 매트선택신호는 4개의 메모리매트중 최종적으로 1개의 메모리매트를 선택하기 위해 사용된다. 상기와 같이 어드레스멀티플렉스방식으로 X어드레스신호와 Y어드레스신호가 입력되고, 이러한 X어드레스와 Y어드레스에 의해 메모리매트의 어드레스가 할당되는 것에서는 X어드레스만으로 일치했으면 그것에 대응한 메모리매트에 있어서 로우계의 어드레스선택동작이 실행된다. 만약, Y어드레스도 일치했으면 그것에 대응해서 입출력회로가 선택되어 최종적으로 1개의 메모리매트가 결함메모리매트 대신에 선택된다. Y어드레스가 불일치이면 상기의 로우계의 어드레스선택동작만에 의해서 이러한 메모리매트에 있어서는 리프레시동작이 실시되게 된다.
제12도A, 제12도B에는 본 발명에 관한 메모리모듈의 1실시예의 블럭도가 도시되어 있다. 제12도A는 16비트의 단위에서의 메모리엑세스가 실행되는 메모리모듈을 도시하고 있다. 제12도A에서는 상기 제1도에 도시된 바와 같은 4비트단위에서 메모리엑세스가 실행되는 반도체기억장치를 본체메모리로 해서 합계4개 병렬로 접속해서 전체 16비트의 단위에서의 메모리엑세스가 실행되게 된다. 상기 4개의 본체메모리에 대해서 제9도에 도시된 바와 같이 다른 반도체기억장치를 구제용 메모리로써 1개가 조합된다.
제12도B는 16비트의 데이타와 2비트의 패리티비트P0, P1의 합계18비트의 단위에서의 메모리엑세스가 실행되는 메모리모듈을 도시하고 있다. 이 때문에 상기 제1도에 도시된 바와 같은 4비트단위에서 메모리엑세스가 실행되는 반도체기억장치를 본체메모리로해서 합계 5개 병렬로 접속해서 전체 18비트의 단위에서의 메모리 엑세스가 실행되게 된다. 패리티비트가 기억되는 본체메모리의 나머지2비트에 대응한 절반의 기억에리어는 사용하지 않는다.
상기 5개의 본체메모리에 대해서 제9도에 도시된 바와 같이 다른 반도체기억장치를 구제용 메모리로 해서 1개가 조합된다. 단, 5개의 본체메모리에 대응되어 메모리매트는 전부 5개 탑재된 것이 사용되지만 I/O비트가 일부 양품(예를 들면 4비트중 2비트가 양품) 또는 1세대전의 DRAM (× 1비트타입)을 2개 탑지해도 좋다.
특히 제한되지 않지만 본체메모리는 각각에 1개씩의 결함메모리매트를 갖는 것이 선별되어 메모리모듈을 구성하는 프린트기판등의 실장기판에 탑재된다. 각 본체메모리의 1개씩의 결함메모리매트에 대응해서 퓨즈가 절단되어 이러한 결함메모리매트의 실질적인 엑세스가 금지됨과 동시에 상기와 같은 전원회로의 차단과 입력버퍼등의 출력하이임피던스에 의해 이러한 결함부분에 정상적으로 직류전류가 흐르는 것이 저지된다. 구제용 메모리에 있어서는 EPROM에 각각의 결함어드레스가 기억된다.
본체메모리의 데이타단자는 상기와 같은 실장기판에 있어서 구제메모리의 그것에 대응한 메모리매트의 데이타단자와 병렬로 접속된다. 이것에 의해, 본체메모리에 있어서 결함메모리매트에 대한 엑세스가 있으면 구제메모리에 마련된 메모리매트에 엑세스가 실행되어 실장기판상에서 공통화된 데이타단자에 의해 데이타의 입출력이 실행된다.
이 실시예와 각이 본체메모리의 메모리블럭단위의 구제를 다른 구제용 메모리에 마련된 4모리매트로 치환하도록 하는 것에서는 본체메모리에는 큰 회로규모로 이루어지는 구제용의 메모리매트를 형성하지 않으므로 그 점유면적이 작아져 1개의 반도체웨이퍼에서 형성할 수 있는 메모리칩수를 증대시킬 수 있다. 워드선이라 비트선단위에서 결함이 발생한 것은 내장의 용장회로에 의해 그것을 구제해서 양품으로써 제품화할 수 있다.
결함워드선이나 결함비트선의 수가 예비의 워드선이나 비트선수보다 많을때나 또는 직류불량에 의해 내장의 용장회로에서는 구제가 불능인 것을 종래와 같이 폐기하지 않고 메모리매트의 단위에서 결함으로 되어 상기 퓨즈의 절단이 실행된다. 그리고, 메모리모듈로써 사용할때 별도로 준비된 구제메모리로써 조합하는 것에 의해 실질적으로 제품화할 수 있다. 이러한 것에 의해 전체로써의 제품제조효율을 대폭으로 향상시킬 수 있다.
제13도에는 본 발명에 관한 메모리모듈의 다른 1실시예의 블럭도가 도시되어 있다. 이 실시예에서는 32비트단위에서의 메모리엑세스가 실행되는 메모리모듈을 나타내고 있다. 그 때문에 상기 제1도에 도시된 바와 같은 4비트단위에서 메모리엑세스가 실행되는 반도체기억장치를 본체메모리로 헤서 합계8개를 병렬로 접속해서 전체 32비트의 단위에서의 메모리엑세스가 실행되게 된다. 상기 8개의 본체메모리에 대해서 제9도에 도시된 바와 같이 다른 반도체기억장치를 구제용 메모리로 해서 2개가 조합된다.
본체메모리에 있어서의 결함메모리매트의 구제는 상기 제12도A 및 제12도B의 실시예와 동일하므로 그 설명은 생략한다.
메모리모듈에 탑재되는 본체메모리는 반드시 1개의 결함메모리매트를 갖는 것일 필요는 없다. 즉, 구제메모리에 마련된 메모리매트수의 범위내에서 본체메모리에 결함메모리매트가 존재하면 된다. 예를들면 제12도A에 있어서, 1개의 본체메모리에 2개의 결함메모리매트가 존재해도 구제할 수 있다. 이때에는 구제메모리의 2개의 메모리매트에 대응한 입출력단자가 동일 본체메모리의 입출력단자D0 D3에 병렬로 접속된다. 이때, 나머지3개의 본체메모리중 적어도 1개의 본체메모리는 결함메모리매트가 존재하지 않는 양품칩이 사용된다.
본체메모리에 있어서는 동일 어드레스에 할당된 메모리매트가 결함으로 되어도 좋다. 이 경우에 이러한 어드레스지정일때에는 실질적으로 본체메모리의 전부가 비동작상태로 되고, 그 대신에 구제용 메모리의 전체메모리매트가 동시에 선택되어 데이타D0 D15등의 라이트와 리드가 실행된다.
그러나, 이와 같이 하면 본 실시예의 메모리모듈에서는 특정한 어드레스에 대해서 버스드라이버에서 봤을때의 부하가 무거워져 메모리엑세스에 편차가 발생하게 된다. 그 때문에 본체메모리에 있어서의 결함메모리매트의 어드레스는 메모리모듈내에서 환산되어 있는 것이 바람직하다.
제14도에는 본 발명에 관한 메모리모듈의 다른 1실시예의 블럭도가 도시되어 있다. 이 실시예에서는 제12도A와 마찬가지로 16비트단위에서의 메모리엑세스가 실행되는 메모리모듈을 나타내고 있다. 반도체집적회로장치의 제조는 사진인쇄기술을 이용해서 양산을 실행하는 것이므로, 마스크패턴에 손상이 생긴 경우와 같이 물리적으로 동일한 위치에 결함이 발성할 가능성이 높다. 이 경우에는 동일한 어드레스의 결함메모리매트의 구제를 필요로 하는 본체메모리가 다수 제조되게 된다.

이 실시예에서는 상기와 같이 물리적으로는 동일한 어드레스에 결함메모리매트를 갖는 본체메모리가 사용된다. 상기와 같이 특정한 어드레스에서 버스드라이버에서 봤을때의 부하가 무거워지는 불합리를 회피하기 위해 등가적으로 어드레스의 변경이 실행된다.
즉, 본체메모리에 입력되는 어드레스신호A12와 A11을 2개의 본체메모리에서 반대로 입력하게 한다. 이와 같은 어드레스의 교체에 의해 동일한 본체메모리에서 물리적으로는 동일한 어드레스의 메모리매트에 결함이 발생하고 있어도 외부에서 입력되는 어드레스가 반대로 공급된 것과의 관계에서는 논리적으로 다른 메모리매트가 선택되고, 메모리모듈로써 봤을때에는 상대적으로 각각의 어드레스로 변경시킬 수 있다.
제15도에는 본 발명에 관한 메모리모듈의 조립방법을 설명하기 위한 흐름도가 도시되어 있다. 칩선별공정에서는 스텝 (1)에 의해 결함의 유무가 판정되고, 결함이 없는 것으로 된 것은 완전양품으로써 출하된다. 스텝(2)에서는 결함이 있는 것으로 된것 중 워드선 또는 비트선단위에 의한 온칩구제가 가능한 결함이라 판정되면 온칩구제양품으로써 출하된다. 이제까지 온칩구제기능을 갖는 다이나믹형 RAM의 칩선별공정과 동일하다.
이 실시예에서는 메모리매트단위에서의 분리기능이 마련되어 있으므로 스텝 (3)에서 매트구제가능한 결함이라 판정되면 결함으로 된 메모리매트에 대응된 ROM퓨즈를 절단하고, 스텝 (4)에 의해 결함메모리매트의 상기와 같은 전기적인 분리에 의해 직류전류 (누설전류)가 허용값내인지를 판정한후에 시스템상에서의 구제가능 한 양품으로써 다음의 모듈조립공정으로 이송된다.
제16도에는 본 발명에 관한 반도체기억장치의 다른 1실시예의 블럭도가 도시되어 있다. 이 실시예에서는 상기와 같은 결함메모리매트의 전기적인 절단을 실행하는 기능을 이용해서 DC전류체크기능도 부가하게 된다. 즉, 상기와 같은 결함메모리매트를 전기적으로 분리하기 위한 퓨즈Fuse를 절단했을때와 동일한 전기신호를 공급하고, 메모리매트단위에서의 직류전류를 차단시키기 위해서도 이용한다. 이 때문에 메모리매트측에는 DC전류체크신호를 공급하는 신호선이 마련되고, 이러한 신호선의 신호는 상기 퓨즈Fuse로 부터의 신호와 논리합신호에 의해 상기 결함신호MF를 형성해서 스위치SW1, SW2 및 SW3등을 제어하는 것이다.
상기와 같은 시험기능은 프로빙일때 DC전류체크신호를 프로브에서 공급하도록 해도 되지만 그와 같이 하면 반도체웨이퍼상에서의 시험에밖에 이용할 수 없다. 그래서, 이 실시예에서는 DC전류체크 신호생성회로가 마련된다. 허용값을 넘는 직류전류가 검출되었을때에는 어드레스신호와 제어신호에 의해 시험모드를 설정하고, 메모리매트단위에서 DC전류체크신호를 공급하고, 그때의 반도체메모리의 직류전류를 검출한다. 직류전류가 허용값을 넘은채이면 그 메모리매트에는 직류적인 결함은 존재하지 않고 다른 메모리매트에 상기 직류전류가 흐르는 원인이 있는 것을 알 수 있다.
직류결함이 존재하는 메모리매트를 지정했을때에는 이러한 메모리매트에 있어서 상기와 같이 플레이트전압VPL, 하프프리차지전압HVC 및 전원전압Vcc등의 차단 이나 입력버퍼가 출력하이임피던스상태로 되므로 직류결함이 존재함에도 불구하고 강제적으로 직류전류경로가 차단되어 반도체메모리로써의 직류전류가 허용값이하로 되므로 상기 메모리매트에 있어서 직류결함이 존재하는 것을 알 수 있다.
이 실시예에서는 상기와 같이 메모리매트를 8개로 분리했을대 8회의 상기 시험을 실행하는 것만으로 간단히 메모리매트단위에서의 직류결함을 발견할 수 있다. 또, 상기 8회의 상기 시험에 의해서도 직류전류가 허용값이하로 되지 않을때에는 입출력회로등의 간접제어회로에 있어서 직류불량의 결함이 있는 것을 알 수 있고, 그와 같은 결함은 구제불능으로 판정된다.
제17도에는 본 발명에 관한 메모리모듈의 1실시예의 개략적인 구성도가 도시되어 있다. 이 실시예의 메모리모듈에서는 프린트기판등의 실장기판의 표면측에 본체메모리와 구제용 메모리가 탑재된다. 즉, 상기 제12도A 또는 제14도와 같은 메모리모듈을 구성하는 경우, 구제용 메모리를 중심으로 해서 본체메모리가 좌우로 2개씩 분리되어 탑재된다. 그리고, 구제용 메모리의 I/O선군은 각각 본체메모리의 입출력단자와 접속되는 단자군에 프린트배선등에 의해 접속된다. 동일 도면에 있어서는 구제용 메모리에 있어서의 4조의 I/O단자군은 각각이 1개의 선에 의해 도시되어 있다. 제12도A 및 제14도의 블럭도에 도시한 바와 같이 구제용 메모리의 각각의 I/O단자군은 본체메모리에 있어서의 4개의 입출력단자에 각각 대응되어 접속되는 것이다.
제18도에는 본 발명에 관한 메모리모듈의 다른 1실시예의 개략적인 구성도가 도시되어 있다. 이 실시예의 메모리모듈은 프린트기판등의 실장기판의 양면이 이용 된다. 즉, 제18도A에 도시된 기판표면측에는 본체메모리가 4개 탑재된다. 그리고, 제18도B에 도시된 기판이면측에는 1개의 구제용 메모리가 탑재된다.
그리고, 상기와 마찬가지로 구제용 메모리의 I/O선군은 이면측에 마련된 프린트배선에 의해 본체메모리의 입출력단자와 접속되는 단자군에 접속된다. 이 실시예에 있어서는 구제용 메모리에 의해 구제된 메모리모듈과 양품만에 의해 구성되는 메모리모듈을 동일한 사이즈의 실장기판에 탑재할 수 있으므로 구제용 메모리를 포함하는 메모리모듈과 양품만으로 이루어지는 메모리모듈을 혼재시켜서 1개의 메모리장치를 구성할 수 있다.
상기 실장기판에는 단자군의 반대쪽에 EPROM라이트용 단자로써의 고전압인가용과 제어신호용이 마련되어 있다. 이것에 의해, 구제용 메모리에 미사용의 메모리매트가 존재하는 경우에는 메모리모듈을 조합한후에 본체메모리측으로 메모리매트에 직류불량이나 내장의 용장회로에서는 구제불능으로 되는 워드선 또는 비트선불량이 발생했을때 그것을 상기 구제용 메모리에 의해 구제할 수 있다.
단, 메모리모듈에서는 구제용 메모리에 마련된 메모리매트에 대응된 입출력단자가 본체메모리의 입출력단자와 프린트배선에 의해 접속되어 있으므로 상기의 접속관계에 있는 본체메모리에 있어서 불량이 발생한 경우에 한정된다.
제19도에는 본 발명에 관한 DRAM(다이나믹형 RAM)을 적용한 컴퓨터시스템에 있어서의 메모리저장부인 메모리보드의 주요부의 개략도가 도시되어 있다. 이 메모리모드는 여러 발명에 관한 메모리모듈에 의해서 구성되는 메모리보드이다. 상기 메모리모듈상에는 패케이지봉지된 본 발명에 관한 본체메모리와 구제용 메모리가 여러개 탑재되고, 이러한 본체메모리와 구제용 메모리는 상기 메모리모듈상의 배선에 의해 접속되어 있다. 상기 메모리모듈상의 커넥터에

의해 컴퓨터시스템내의 어드레스버스 또는 데이타버스와 본체메모리 및 구제용 메모리를 접속시킨다. 이것은 상기 컴퓨터시스템내의 메모리저장부에 있어서의 메모리부의 메모리보드용 슬롯상에 상기 커넥터를 끼워넣는 것에 의해서 실행된다. 이와 같이해서 메모리보드상, 즉 메모리모듈상에 탑재할 수 있는 본체메모리수에 의해서 컴퓨터시스템등 기억장치의 정보축적용량이 결정되게 된다. 이 실시예에 있어서의 본체메모리는 그것에 결함메모리매트가 존재한 경우 구제용 메모리와 조합해서 사용되는 것에 한정되지 않는다.

즉, 이론적으로는 불량메모리매트의 부분만을 전기적으로 절단한 상태에서 다른 메모리매트를 유효하게 사용할 수 있다. 단, 이와 같이 하면 반도체메모리에 할당되는 어드레스중 특정한 어드레스에 있어서 기억에리어가 존재하지 않는 것으로 되어 사용상 불편하게 된다.

그래서, 상기 결함메모리매트를 포함하는 절반의 기억에리어를 무효로 해서 사용하는 파셜품으로써 이용하는 것이 편리하다. 즉, 직류불량이 발생했을때나 불량으로 된 워드선 또는 비트선수가 예비의 워드선이나 비트선수보다 많은 경우에 그것에 대응한 메모리매트에 대응된 퓨즈를 절단하는 것만으로 사용시에 연속된 어드레스를 갖는 절반의 기억에리어를 사용하도록 하면 좋다.

이 실시예에 있어서의 구제용 메모리는 본체메모리와 조합해서 사용되는 것에 한정되지 않는다. 즉, 구제메모리를 독립된 반도체 메모리로써 사용할 수 있다. 이 실시예의 반도체메모리는 EPROM이 탑재되어 있으므로 시스템상에서 임의의 어드레스를 할당할 수 있다. 즉, 메모리매트상의 메모리어레이에 할당되는 어드레스에 대해서 메모리매트를 지정하는 어드레스를 조합하는 것에 의해, 임의의 어드레스를 할당할 수 있다. 전자수첩등과 같은 소형의 마이크로컴퓨터시스템에서는 비교적 작은 어드레스공간에 ROM등의 다른 메모리나 입출력기기가 할당되므로 그런 반도체메모리 자체에 마련된 EPROM으로의 라이트만으로 상기 ROM등과 중첩되지 않는 임의의 어드레스를 할당하여 사용할 수 있다.

이와 같이 본원 발명에 관한 본체메모리 및 구제용 메모리에서는 그들을 조합해서 메모리모듈을 구성하기 위해 활용하는 실질적으로 제품제조효율을 향상시키는 것 이외에 상기와 같이 파셜제품으로써의 이용이나 어드레스할당가능한 메모리로써 이용할 수 있는 등과 같이 다양성을 갖게 할 수 있게 된다. 또, 구제용 메모리는 특별한 제품개발이 불필요하게 된다. 즉, 본체메모리에 있어서의 메모리매트의 부분과 입출력인터페이스를 그대로 이식하는 것만으로 형성할 수 있어 나머지 EPROM등의 기억회로와 어드레스비교회로등을 새로 설계하면 좋지만 회로규모가 작으므로 큰 부담으로는 되지 않는다.

상기의 실시예에서 얻을 수 있는 작용효과는 다음과 같다.

(1) 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선 택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼, 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스앰프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 회로구성으로 하는 것에 의해 메모리매트내에서 직류적 불량이 발생했을때 이러한 메모리매트를 전기적으로 분리할 수 있고 나머지 부분을 활용한 반도체기억장치로써 사용할 수 있는 효과를 얻을 수 있다.

(2) 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼 및 메모리셀로 부터의 리드신호를 출력하는 출력버퍼로 이루어지는 여러개의 메모리매트, 이러한 메모리매트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트를 지정하는 어드레스신호와 비교해서 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출해서 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 마련하는 것에 의해 임의의 어드레스를 할당하도록 한 반도체기억장치를 얻을 수 있고, 필요에 따라서 메모리매트단위에서의 결함구제를 실행하는 용장용 반도체기억장치로써 이용할 수 있는 효과를 얻을 수 있다.

(3) 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼 및 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스앰프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 제1의 반도체기억장치, 동일한 구성의 여러개로 이루어지는 메모리매트와 이러한 메모리매트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트를 지정하는 어드레스신호와 비교해서 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출해서 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 갖는 제2의 반도체기억장치를 1개의 실장기판상에 탑재하고, 상기 제1의 반도체기억장치에 있어서는 결함메모리매트를 전기적으로 분리하고, 제2의 반도체기억장치에서는 이러한 메모리매트에 대응한 어드레스정보를 기억회로에 라이트함과 동시에 상기 결함매트에 대응한 외부데이타단자와 상기 제2의 반도체기억장치에 있어서의 이러한 메모리매트에 대응된 상기 입출력단자를 대응해서 실장기판상에서 접속하는 것에 의해 메모리매트단위에서의 결함이 존재하는 제1의 반도체장치를 사용하면서 제2의 반도체기억장치를 조합해서 실장기판상에서 구제를 실행할 수 있으므로 반도체기억장치의 실질적인 제조효율을 향상시킬 수 있는 효과를 얻을

수 있다.
(4) 상기 메모리어레이 및 어드레스선택회로에는 워드선 또는 비트선단위에서의 결함구제를 실행하는 용장회로를 마련하는 것에 의해 워드선 또는 비트선단위에서의 불량을 작은 회로규모에 의해 구제할 수 있고 메모리매트단위에서의 구제와 조합하는 것에 의해 실질적인 제품제조효율을 향상시킬 수 있는 효과를 얻을 수 있다.
(5) 상기 기억수단에는 등가적으로 결함정보를 라이트한 것과 동일한 전기신호를 입력하는 입력전극이 마련되는 것이고, 이러한 입력전극에는 프로빙 또는 외부단자로 부터의 제어신호에 따라서 상기 전기신호를 공급하는 것에 의해 메모리매트단위에서의 직류결함을 효율좋게 검출하는 기능을 부가할 수 있는 효과를 얻을 수 있다.
(6) 상기 제1의 반도체기억장치에 있어서는 물리적으로 동일한 위치에 마련된 메모리매트에 결함을 갖는 2개의 반도체기억장치가 존재하고, 메모리매트를 지정하는 어드레스신호가 서로 다른 어드레스단자에서 입력되는 것에 의해서 제2의 반도체기억장치에서 봤을때 등가적으로 다른 메모리매트를 결함으로 하는 것에 의해 버스드라이버측에서 본 부하를 분산할 수 있어 메모리동작이 느러지는 것을 방지할 수 있는 효과를 얻을 수 있다.
이상 본 발명자에 의해 이루어진 발명을 실시예에 따라 구체적으로 설명했지만 본원 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범 위에서 여러가지로 변경가능한 것은 물론이다. 예를들면 다이나믹형 RAM에 있어서 어드레스신호는 X어드레스와 Y어드레스를 각각 독립된 어드레스단자에서 공급되는 것이라도 좋다. 이 경우에는 어드레스입력에 의해 선택될 메모리매트의 판정을 실행할 수 있으므로 매모리매트의 어드레스에 Y어드레스를 할당해도 지정된 메모리매트만을 활성화시킬 수 있다.
구제용 메모리에 있어서 메모리매트의 어드레스를 기억시키는 기억회로는 상기와 같은 EPROM을 사용하는 것 이외에 리라이트를 전제로 한 구성의 EPROM, 또 퓨즈를 사용하도록 하는 것이라도 좋다. 이 경우, 퓨즈는 레이저광선에 의해 절단하는 것이외에 전류를 흐르게 해서 녹여서 절단하는 것이라도 좋다. 상기와 같이 기억정보는 16비트등으로 비교적 작으므로 EPROM을 탑재하는 경우에 비해서 점유면적의 증대도 그다지 문제로 되지 않아 제조프로세스의 추가가 불필요하게 된다.
메모리매트내의 메모리어레이와 센스엠프나 디오더의 레이아우트나 메모리매트의 반도체칩상의 레이아우트는 여러 실시형태를 취할 수 있다. 본 발명은 상기와 같은 다이나믹형 RAM이외에 스테이틱형 RAM이나 EPROM 또는 플래시 EPROM등과 같이 각종 반도체기억장치에 널리 이용할 수 있는 것이다.
본원에서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다. 즉, 내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개 의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼, 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스앰프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 회로구성으로 하는 것에 의해 메모리매트내에서 직류적 불량이 발생했을때 이러한 메모리매트를 전기적으로 분리할 수 있어 나머지 부분을 활용한 반도체기억장치로써 사용할 수 있다.
내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드레스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼 및 메모리셀로 부터의 리드신호를 출력하는 출력버퍼로 이루어지는 여러개의 메모리매트, 이러한 메모리매트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트틀 지정하는 어드레스신호와 비교해서 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출해서 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 마련하는 것에 의해 임의의 어드레스를 할당하도록 한 반도체기억장치를 얻을 수 있고, 필요에 따라서 메모리매트단위에서의 결함구제를 실행하는 용장용 반도체기억장치로써 이용할 수 있다.
내부어드레스신호 또는 프리디코드신호 및 제어신호를 제1의 입력버퍼회로를 통해서 공급하고, 이러한 어드래스신호 또는 프리디코드신호를 어드레스선택회로에 의해 해독해서 여러개의 워드선과 여러개의 비트선의 교점에 메모리셀이 매트릭스배치되어 이루어지는 메모리어레이에서 1 내지 여러개의 단위에서의 메모리셀의 선택동작을 실행하도록 하고, 상기 메모리셀로의 라이트신호를 받는 제2의 입력버퍼, 메모리셀로 부터의 리드신호를 출력하는 출력버퍼 및 결함정보가 라이트되는 기억수단을 마련해서 이러한 기억수단에 기억된 결함신호에 의해 센스앰프와 메모리셀에 대한 실질적인 전원차단을 실행하도록 해서 이루어지는 여러개의 메모리매트를 갖는 제1의 반도체기억장치, 동일한 구성의 여러개로 이루어지는 메모리매트와 이러한 메모리매트에 대응해서 마련되어 어드레스정보가 라이트되는 기억회로 및 이러한 메모리매트를 지정하는 어드레스신호와 비교해서 상기 어드레스정보에 대응한 메모리매트가 선택된 것을 검출해서 대응하는 메모리매트의 제2의 입력버퍼 또는 출력버퍼의 동작을 유효로 함과 동시에 각각의 메모리매트에 대응한 여러조의 입출력단자를 갖는 제2의 반도체기억장치를 1개의 실장기판상에 탑재하고, 상기 제1의 반도체기억장치에 있어서는 결함메모리매트를 전기적으로 분리하고, 제2의 반도체기억장치에서는 이러한 메모리매트에 대응한 어드레스정보를 기억회로에 라이트함과 동시에 상기 결함매트에 대응한 외부데이타단자와 상기 제2의 반도체기억장치에 있어서의 이러한 메모리매트에 대응된 상기 입출력단자를 대응해서 실장기판상에서 접속하는 것에 의해 메모리매트단위에서의 결함이 존재하는 제1의 반도체장치를 사용하면서 제2의 반도체기억장치를 조합해서 실장기판상에서 구제를 실행할 수 있으 므로 반도체기억장치의 실질적인 제조효율을 향상시킬 수 있다.
상기 메모리어레이 및 어드레스선택회로에는 워드선 또는 비트선단위에서의 결함구제를 실행하는 용장회로를 마련하는 것에 의해, 워드선 또는 비트선단위에서의 불량을 작은 회로규모에 의해 구제할 수 있고, 메모리매트단위에서의

구제와 조합하는 것에 의해 실질적인 제품제조효율을 향상시킬 수 있다.
상기 기억수단에는 등가적으로 결함정보를 라이트한 것과 동일한 전기신호를 입력하는 입력전극이 마련되는 것이고, 이러한 입력전극에는 프로빙 또는 외부단자로 부터의 제어신호에 따라서 상기 전기신호를 공급하는 것에 의해 메모리매트단위에서의 직류결함을 효율좋게 검출하는 기능을 부가할 수 있다.
상기 제1의 반도체기억장치에 있어서는 물리적으로 동일한 위치에 마련된 메모리매트에 결함을 갖는 2개의 반도체기억장치가 존재하고, 메모리매트를 지정하는 어드레스신호가 서로 다른 어드레스단자에서 입력되는 것에 의해서 제2의 반도체기억장치에서 봤을때 등가적으로 다른 메모리매트를 결함으로 하는 것에 의해 버스드라이버측에서 본 부하를 분산할 수 있어 메모리동작이 느려지는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1.
어드레스신호를 받는 제1 입력버퍼;
상기 제1 입력버퍼를 통해서 입력된 어드레스신호에 따라서 메모리셀의 선택동작을 실행하는 어드레스 선택회로;
상기 메모리셀로의 라이트신호를 받는 제2 입력버퍼;
상기 메모리셀로부터의 리드신호를 출력하는 출력버퍼;
상기 메모리셀에 결합되어 상기 리드신호를 얻는 센스앰프;
결함정보가 라이트되는 기억수단 및;
상기 기억수단에 기억된 결함신호에 의해 상기 센스앰프에 대한 동작전압의 차단을 실행하는 전원차단회로를 포함하고,
상기 결함정보에 따라 상기 제1 및 제2 입력버퍼와 출력버퍼의 출력이 하이임피던스상태로 되는 반도체 기억장치.

청구항 2.
제1항에 있어서,
상기 메모리셀이 결합되는 워드선 및 비트선 단위로의 결함구제를 실행하는 용장회로를 더 포함하는 반도체 기억장치.

청구항 3.
제2항에 있어서,
상기 기억수단에는 상기 결함정보에 대응하는 전기신호를 입력하는 입력전극 이 마련되고,
상기 입력전극에는 외부단자에서 공급되는 신호에 따라서 형성된 상기 전기신호가 공급되는 반도체 기억장치.

청구항 4.
여러개의 반도체 기억장치를 구비한 메모리모듈에 있어서,
제1 반도체 기억장치는 각각 여러개의 메모리매트를 갖고,
각 메모리매트는
어드레스신호를 받는 제1 입력버퍼,
상기 제1 입력버퍼를 통해서 입력된 어드레스신호에 따라서 메모리셀의 선택동작을 실행하는 어드레스 선택회로,
상기 메모리셀로의 라이트신호를 받는 제2 입력버퍼,
상기 메모리셀로부터의 리드신호를 출력하는 출력버퍼,
상기 메모리셀에 결합되어 상기 리드신호를 얻는 센스앰프,
결함정보가 라이트되는 기억수단 및
상기 기억수단에 기억된 결함신호에 의해 상기 센스앰프에 대한 동작전압의 차단을 실행하는 전원차단회로를 포함하고,
상기 결함정보에 따라 상기 제1 및 제2 입력버퍼와 출력버퍼의 출력이 하이임피던스상태로 되고,
제2 반도체 기억장치는 상기 제1 반도체 기억장치내의 결함 메모리매트를 구제하는 용장 메모리매트를 포함하는 메모리모듈.

청구항 5.
제4항에 있어서,
상기 제1 반도체장치에 있어서의 상기 결함매트에 대응한 외부데이타단자와 상기 제2 반도체기억장치에 있어서의 상기 용장 메모리매트에 대응한 외부데이타단자가 대응되어 실장기판상에서 접속되는 메모리모듈.

청구항 6.
외부데이타 출력단자;
각각이 메모리어레이, 센스앰프 및 데이타 출력버퍼를 갖는 여러개의 메모리매트 및;
결함매트 정보기억회로를 구비하고,
상기 여러개의 메모리매트의 정상 메모리매트에 있어서는 상기 데이타 출력버퍼의 출력상태가 로우임피던스로 되는 것에 의해 상기 정상 메모리매트에서 상기 외부데이타 출력단자로 데이타가 출력되고,
상기 여러개의 메모리매트의 결함 메모리매트에 있어서는 상기 결함매트 정보기억회로의 출력신호에 따라서 상기 데이타 출력버퍼의 출력상태가 하이임피던스로 되는 반도체메모리.

청구항 7.
제6항에 있어서,

상기 여러개의 메모리매트는 각각 파워스위치를 더 갖고,
상기 결함매트 정보기억회로의 출력신호에 따라서 상기 결함 메모리매트에 대응하는 파워스위치가 오프상태로 되는 것에 의해 상기 결함 메모리매트의 센스앰프에 흐르는 전류가 제한되는 반도체메모리.

청구항 8.

제7항에 있어서,
상기 메모리어레이내의 메모리셀을 선택하기 위해 상기 여러개의 메모리매트에 대해서 제1 어드레스신호가 공급되는 반도체메모리.

청구항 9.

제8항에 있어서,
상기 반도체메모리는 디코더를 더 구비하고,
상기 디코더는 제2 어드레스신호를 받고 상기 여러개의 메모리매트로 매트선택신호를 공급하는 반도체메모리.

청구항 10.

제9항에 있어서,
상기 결함매트 정보기억회로는 각 메모리매트에 대응하는 퓨즈소자를 포함하는 반도체메모리.

청구항 11.

외부데이타 출력단자;
각각이 메모리셀어레이, 센스앰프 및 데이타 출력버퍼를 갖는 여러개의 메모리매트;
결함매트 정보기억회로 및;
상기 외부데이타 출력단자와 상기 데이타 출력버퍼 사이에 각각 마련된 여러개의 스위치회로를 구비하고,
상기 여러개의 메모리매트의 결함 메모리매트에 대응하는 상기 스위치회로가 상기 결함매트 정보기억회로의 출력신호에 따라서 제어되는 것에 의해 상기 스위치회로의 출력상태가 플로팅상태로 되는 반도체메모리.

청구항 12.

제11항에 있어서,
상기 반도체메모리는 파워스위치를 갖는 파워회로를 더 포함하고,
상기 결함매트 정보기억회로의 출력신호에 따라서 상기 파워스위치가 오프상태로 되는 것에 의해 상기 결함 메모리매트의 센스앰프에 흐르는 동작전류가 제한되는 반도체메모리.

청구항 13.

제12항에 있어서,
상기 메모리셀어레이내의 메모리셀을 선택하기 위해 상기 여러개의 메모리매트에 대해서 제1 어드레스신호가 공급되는 반도체메모리.

청구항 14.

제13항에 있어서,
상기 반도체메모리는 디코더를 더 구비하고,
상기 디코더는 제2 어드레스신호를 받고 상기 여러개의 스위치회로로 선택신호를 공급하는 반도체메모리.

청구항 15.

제14항에 있어서,
상기 결함매트 정보기억회로는 각 메모리매트에 대응하는 퓨즈소자를 포함하는 반도체메모리.

청구항 16.

제1 외부데이타 출력단자와 여러개의 제1 메모리매트를 갖는 제1 반도체메모리;
제2 외부데이타 출력단자와 여러개의 제2 메모리매트를 갖는 제2 반도체메모리 및;
상기 제1 외부데이타 출력단자에 접속된 제3 외부데이타 출력단자, 상기 제2 외부데이타 출력단자에 접속된 제4 외부데이타 출력단자, 제3 메모리매트 및 제4 메모리매트를 구비한 구제 반도체메모리를 구비하고,
상기 제3 메모리매트는 상기 여러개의 제1 메모리매트의 결함 메모리매트 대신에 선택되는 것에 의해 상기 제3 메모리매트에서 상기 제3 외부데이타 출력단자로 데이타가 리드되고,
상기 제4 메모리매트는 상기 여러개의 제2 메모리매트의 결함 메모리매트 대신에 선택되는 것에 의해 상기 제4 메모리매트에서 상기 제4 외부데이타 출력단자로 데이타가 리드되는 메모리모듈.

청구항 17.

제16항에 있어서,
상기 제1 및 제2 반도체메모리는 각각 제1 외부 어드레스 입력단자와 제2 외부 어드레스 입력단자를 구비하고,
상기 제1 및 제2 외부 어드레스 입력단자는 각각 상기 제1 및 제2 반도체메모리에 있어서의 공통의 어드레스 핀번호에 대응하고 있고,
상기 제1 반도체메모리의 상기 제1 외부어드레스 입력단자와 상기 제2 반도체메모리의 상기 제2 외부어드레스 입력단자로 제1 어드레스신호가 공급되고,
상기 제1 반도체메모리의 상기 제2 외부어드레스 입력단자와 상기 제2 반도체메모리의 상기 제2 외부어드레스 입력단자로 제2 어드레스신호가 공급되는 메모리모듈.

청구항 18.

제17항에 있어서,
상기 제1 반도체메모리는 제1 디코더를 갖고,

상기 제2 반도체메모리는 제2 디코더를 갖고,
상기 제1 및 제2 디코더는 각각 상기 제1 및 제2 어드레스신호를 받고,
상기 제1 디코더는 상기 여러개의 제1 메모리매트로 제1 매트선택신호를 공급하고, 상기 제2 디코더는 상기 여러개의 제2 메모리매트로 제2 매트선택신호를 공급하는 메모리모듈.

청구항 19.

제18항에 있어서,
상기 구제 반도체메모리는 프로그램회로와 비교회로를 더 구비하고,
상기 비교회로는 제1 및 제2 어드레스신호와 상기 프로그램회로의 출력신호를 받고,
상기 비교회로는 상기 제3 및 제4 메모리매트로 매트선택신호를 공급하는 메모리모듈.

청구항 20.

제16항에 있어서,
상기 메모리모듈은 상기 제1 반도체메모리, 상기 제2 반도체메모리 및 상기 구제 반도체메모리가 탑재된 기판을 구비한 메모리모듈.

청구항 21.

제16항에 있어서,
상기 메모리모듈은 상기 제1 반도체메모리 및 상기 제2 반도체메모리가 그의 한쪽면에 탑재되고, 상기 구제 반도체메모리가 그의 다른쪽면에 탑재된 기판을 구비한 메모리모듈.

청구항 22.

제19항에 있어서,
상기 프로그램회로는 전기적으로 프로그램가능한 ROM을 포함하고,
상기 전기적으로 프로그램가능한 ROM에 대한 라이트 제어단자가 상기 기판상에 마련된 메모리모듈.

청구항 23.

제16항에 있어서,
상기 여러개의 제1 메모리매트는 각각 제1 메모리셀 어레이, 제1 센스앰프 및 제1 데이타 출력버퍼를 포함하고,
상기 여러개의 제2 메모리매트는 각각 제2 메모리셀 어레이, 제2 센스앰프 및 제2 데이타 출력버퍼를 포함하고,
상기 여러개의 제1 메모리매트의 결함 메모리매트에 있어서는 상기 제1 데이타 출력버퍼의 출력상태가 하이임피던스로 되고,
상기 여러개의 제2 메모리매트의 결함 메모리매트에 있어서는 상기 제2 데이타 출력버퍼의 출력상태가 하이임피던스로 되는 메모리모듈.

청구항 24.

제23항에 있어서,
상기 여러개의 제1 메모리매트는 각각 제1 파워스위치를 포함하고,
상기 여러개의 제2 메모리매트는 각각 제2 파워스위치를 포함하고,
상기 여러개의 제1 메모리매트의 결함 메모리매트에 있어서는 대응하는 제1 파워스위치가 오프상태로 되는 것에 의해 상기 결함 메모리매트의 센스앰프에 흐르는 전류가 제한되고,
상기 여러개의 제2 메모리매트의 결함 메모리매트에 있어서는 대응하는 제2 파워스위치가 오프상태로 되는 것에 의해 상기 결함 메모리매트의 센스앰프에 흐르는 전류가 제한되는 메모리모듈.

청구항 25.

외부데이타 출력단자;
각각 메모리셀 어레이, 센스앰프 및 데이타 출력버퍼를 갖는 여러개의 메모리매트 및;
결함매트 정보기억회로를 구비하고,
상기 여러개의 메모리매트의 결함 메모리매트에 있어서는 상기 결함매트 정보기억회로의 출력신호에 따라서 상기 데이타 출력버퍼의 출력상태가 하이임피던스로 되는 반도체메모리.

청구항 26.

제25항에 있어서,
상기 여러개의 메모리매트는 각각 파워스위치를 구비하고,
상기 결함매트 정보기억회로의 출력신호에 따라서 상기 결함 메모리매트에 대응하는 파워스위치가 오프상태로 되는 것에 의해 상기 결함 메모리매트의 센스앰프에 흐르는 전류가 제한되는 반도체메모리.

청구항 27.

제1 외부데이타 출력단자, 여러개의 제1 메모리매트 및 결함정보 기억회로와 설정회로를 갖는 제1 반도체메모리 및;
제2 외부데이타 출력단자, 제2 메모리매트 및 선택회로를 갖는 제2 반도체메모리를 구비하고,
상기 여러개의 제1 메모리매트에 결함 메모리매트가 있는 경우, 상기 선택회로에 의해서 상기 결함 메모리매트 대신에 상기 제2 메모리매트가 선택가능으로 되고, 상기 결함정보 기억회로의 정보에 따라서 상기 설정회로에 의해서 상기 제1 외 부데이타 출력단자를 하이임피던스상태로 설정할 수 있는 메모리모듈.

청구항 28.

외부데이타 출력단자,
각각이 여러개의 메모리셀, 센스앰프 및 파워스위치를 갖는 여러개의 메모리매트 및;
결함매트 정보기억회로를 구비하고,

상기 여러개의 메모리매트의 정상 메모리매트에 있어서는 상기 파워스위치가 온상태로 제어되는 것에 의해 상기 센스앰프로 전압이 공급되고,
상기 여러개의 메모리매트의 결함 메모리매트에 있어서는 상기 결함매트 정보기억회로의 출력신호에 따라서 상기 파워스위치가 오프상태로 제어되는 것에 의해 상기 센스앰프로 전압이 공급되는 것이 차단되는 반도체메모리.

청구항 29.

제28항에 있어서,
상기 파워스위치에 의해서 상기 결함 메모리매트에 포함되는 비트선을 프리차지하기 위한 프리차지전압이 상기 비트선으로 공급되는 것이 차단되는 반도체메모리.

청구항 30.

제28항에 있어서,
상기 여러개의 메모리셀은 어드레스선택용 트랜지스터와 정보기억용 캐패시터를 포함하고,
상기 정보기억용 캐패시터의 한쪽의 전극은 플레이트에 접속되고,
상기 파워스위치에 의해서 상기 결함 메모리매트에 포함되는 상기 플레이트로 플레이트전압이 공급되는 것이 차단되는 반도체메모리.

청구항 31.

제28항에 있어서,
상기 결함매트 정보기억회로는 각 메모리매트에 대응하는 퓨즈소자를 포함하는 반도체 메모리.

청구항 32.

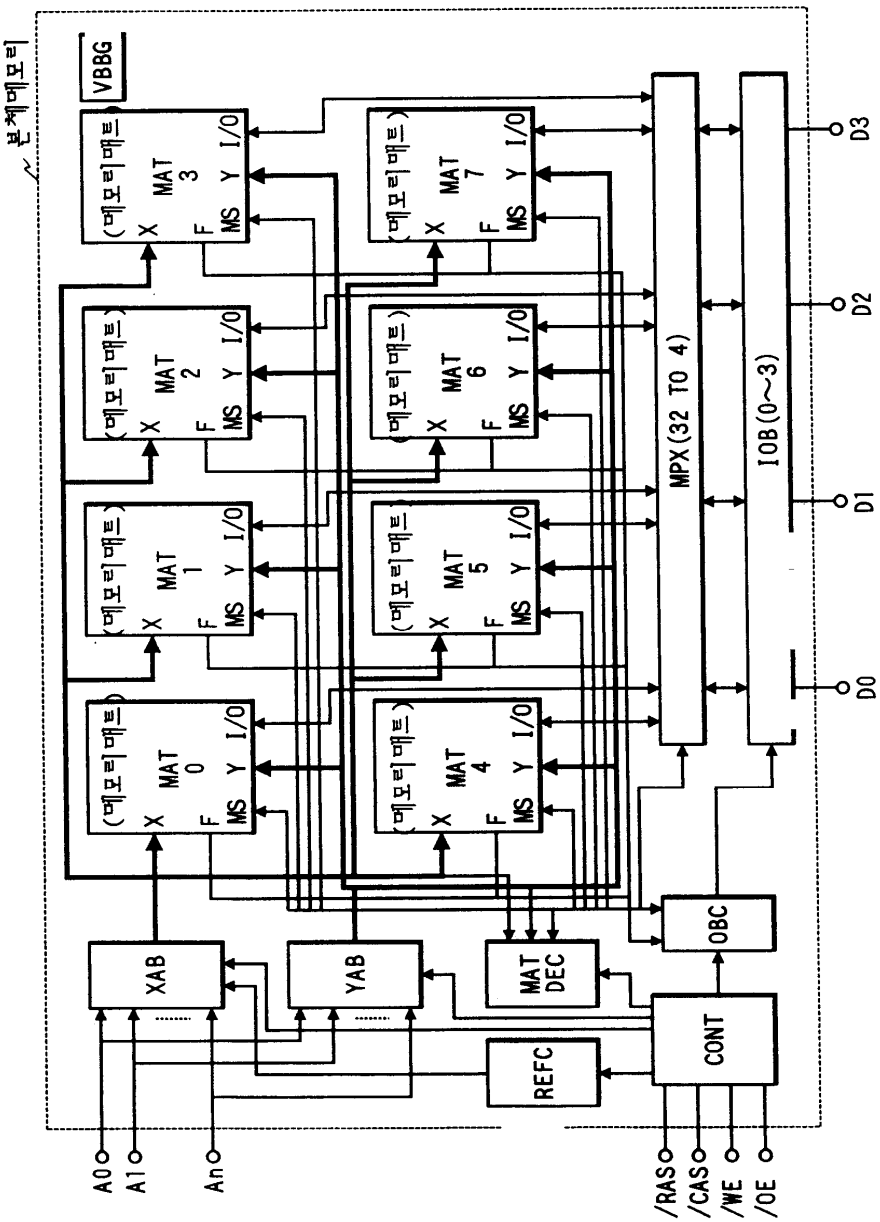
제28항에 있어서,
상기 여러개의 메모리매트의 각각은 어드레스 디코더회로를 더 포함하는 반도체 메모리.

청구항 33.

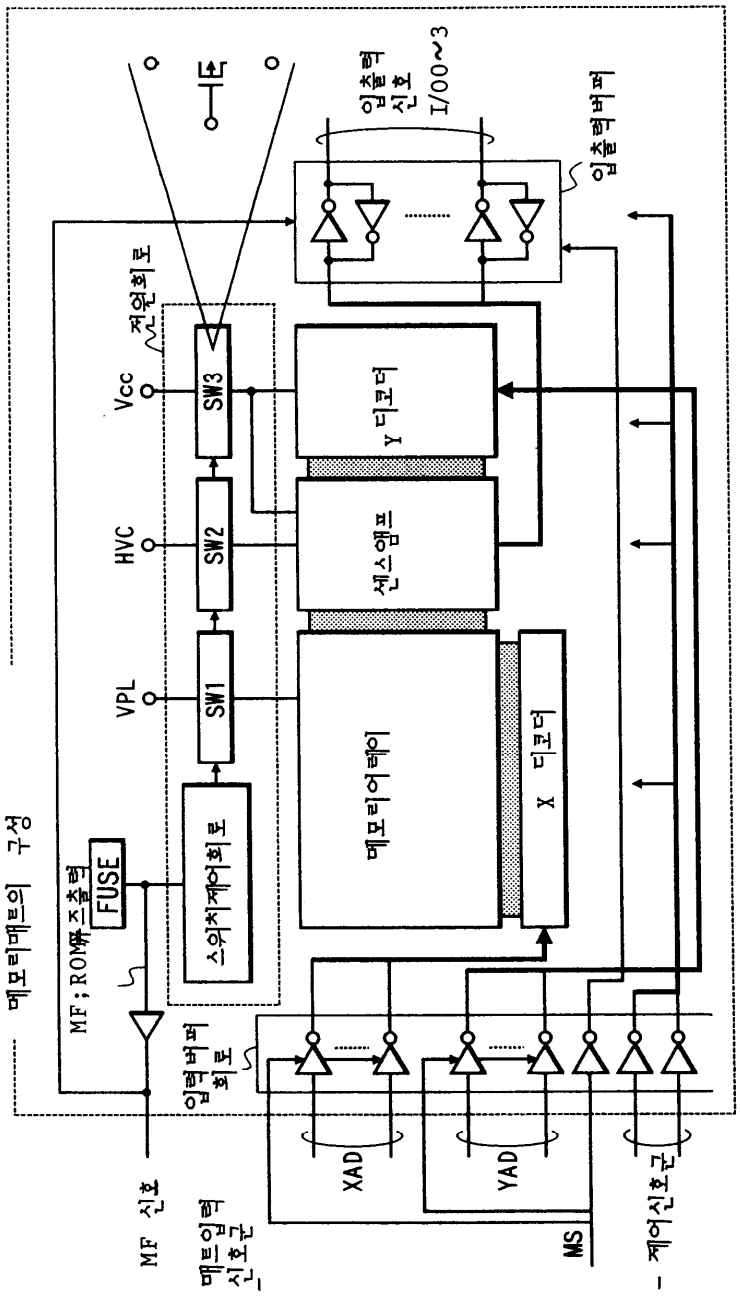
제28항에 있어서,
상기 여러개의 메모리셀은 다이나믹형의 메모리셀을 포함하는 반도체 메모리.

도면

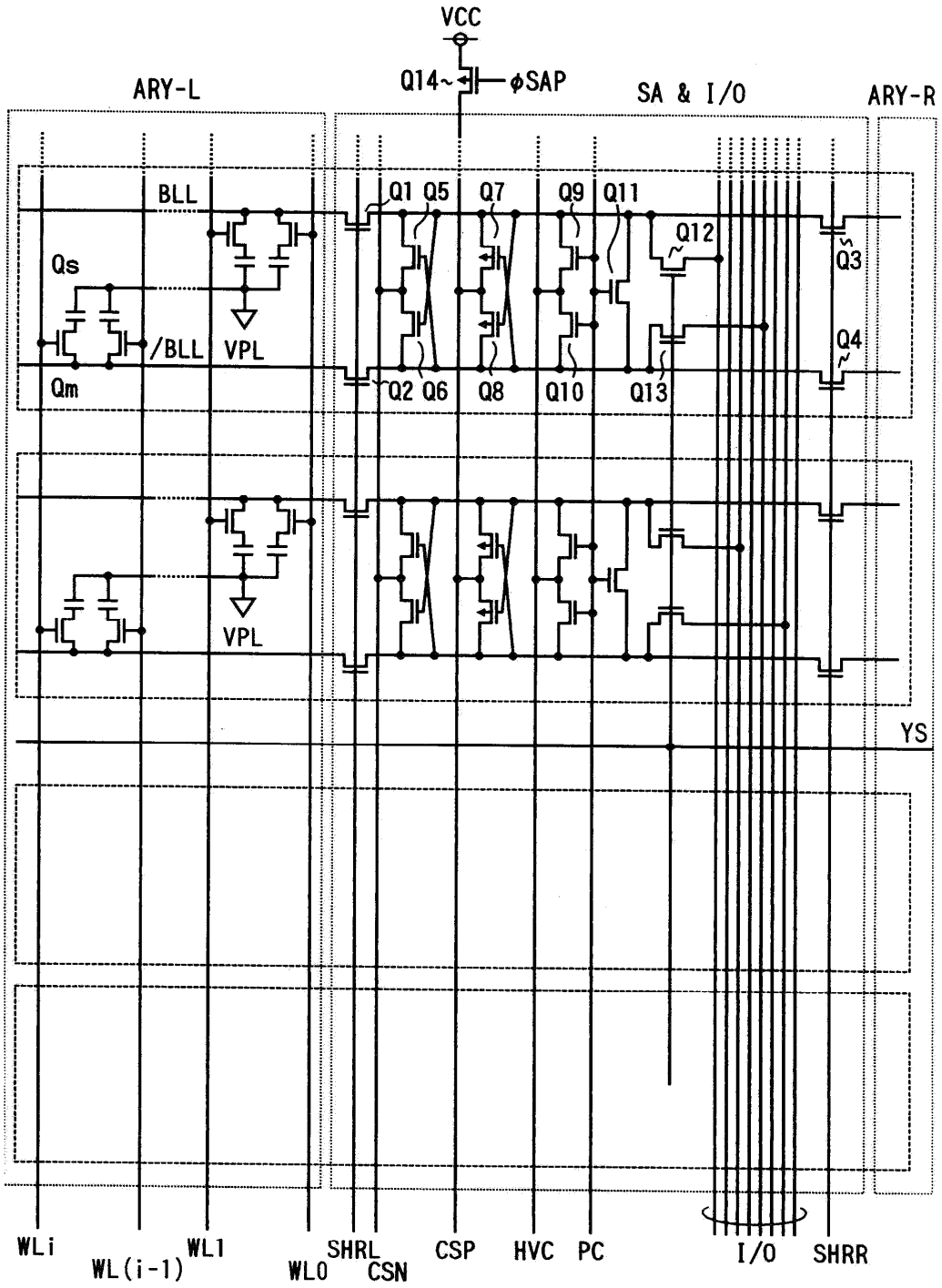
도면1


본체메모리
VBBG
(메모리매트) MAT 3 X F MS Y I/O
(메모리매트) MAT 2 X F MS Y I/O
(메모리매트) MAT 1 X F MS Y I/O
(메모리매트) MAT 0 X F MS Y I/O
(메모리매트) MAT 7 X F MS Y I/O
(메모리매트) MAT 6 X F MS Y I/O
(메모리매트) MAT 5 X F MS Y I/O
(메모리매트) MAT 4 X F MS Y I/O
MPX(32 TO 4)
IOB(0~3)
D3
D2
D1
D0
XAB
YAB
MAT DEC
OBC
CONT
REFC
A0
A1
An
/RAS
/CAS
/WE
/OE

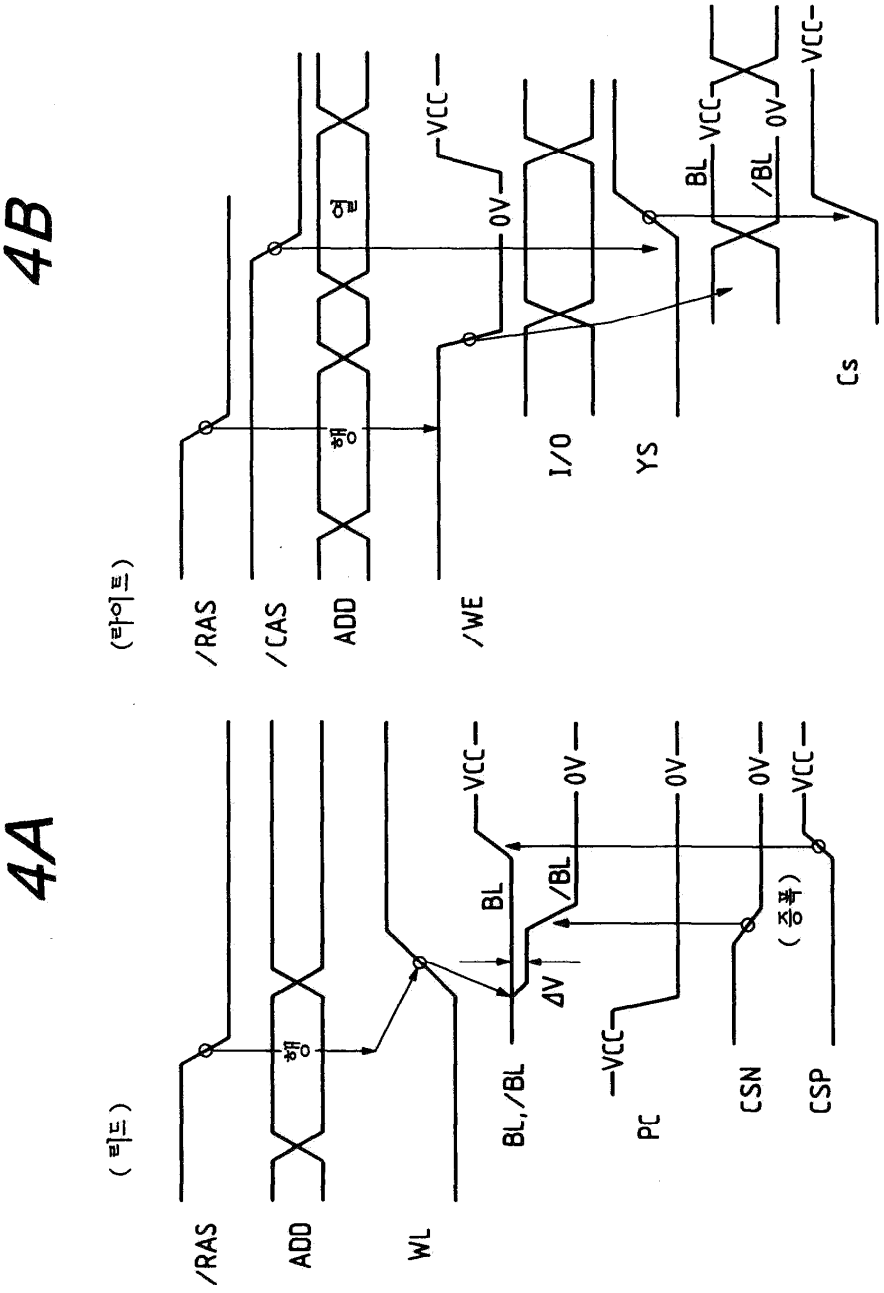
도면2


메모리매트의 구성
MF;ROM퓨즈출력
FUSE
스위치제어회로
입력버퍼 회로
MF 신호
매트입력 신호군
전원회로
Vcc
HVC
VPL
SW1
SW2
SW3
메모리어레이
X 디코더
Y 디코더
센스앰프
입출력 신호 I/00~3
입출력버퍼
XAD
YAD
MS
제어신호군

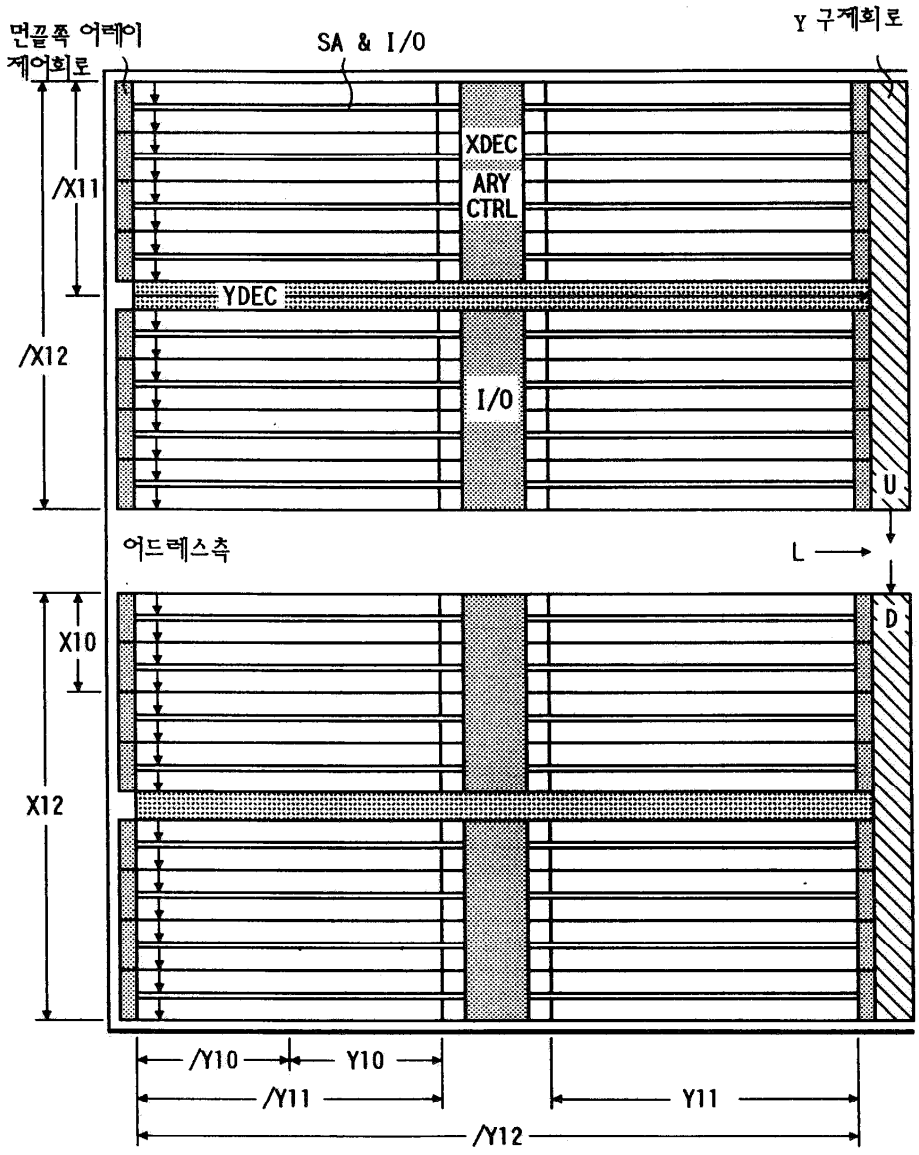
도면3


VCC
Q14~
φSAP
ARY-L
SA & I/O
ARY-R
BLL
/BLL
Qs
Qm
VPL
VPL
Q1 Q5
Q7
Q9
Q11
Q12
Q3
Q4
Q2 Q6
Q8
Q10
Q13
YS
WLi
WL(i-1)
WL1
WL0
SHRL
CSN
CSP
HVC
PC
I/O
SHRR

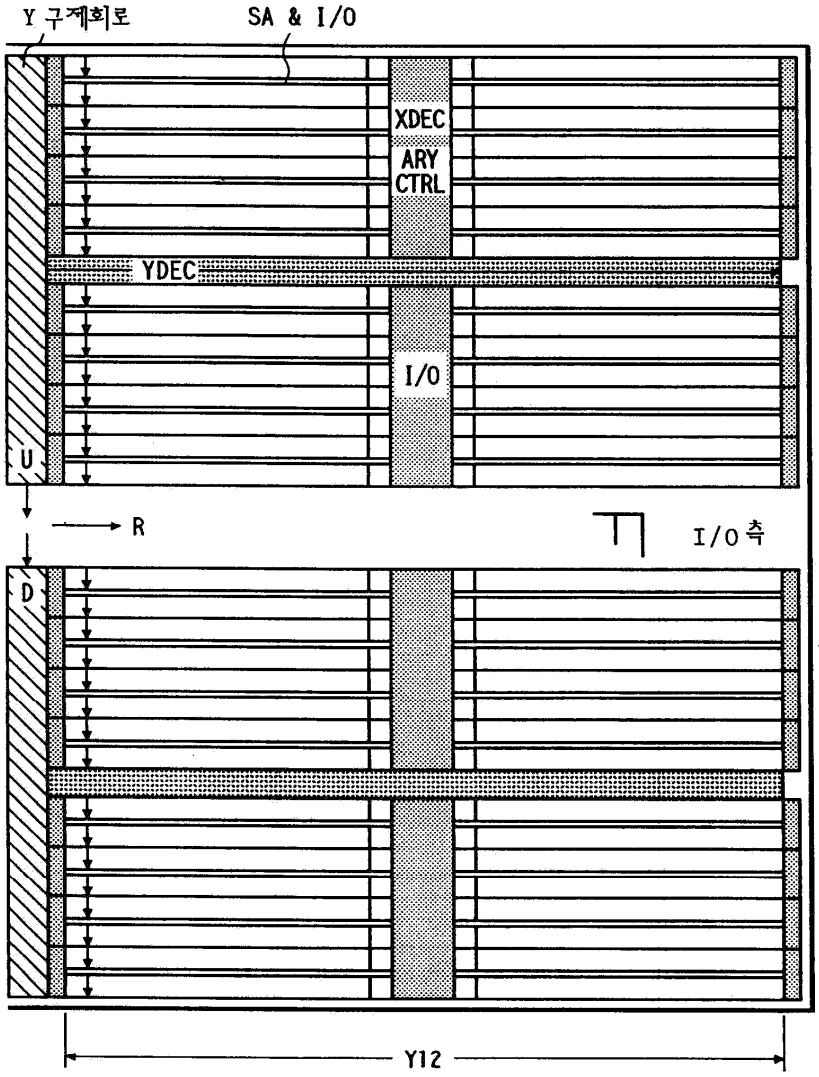
도면4


4B
(라이트)
/RAS
/CAS
ADD
/WE
I/O
YS
Cs
행
열
VCC
0V
BL
/BL
4A
(리드)
/RAS
ADD
WL
BL,/BL
PC
CSN
CSP
행
BL
/BL
ΔV
VCC
0V
(증폭)

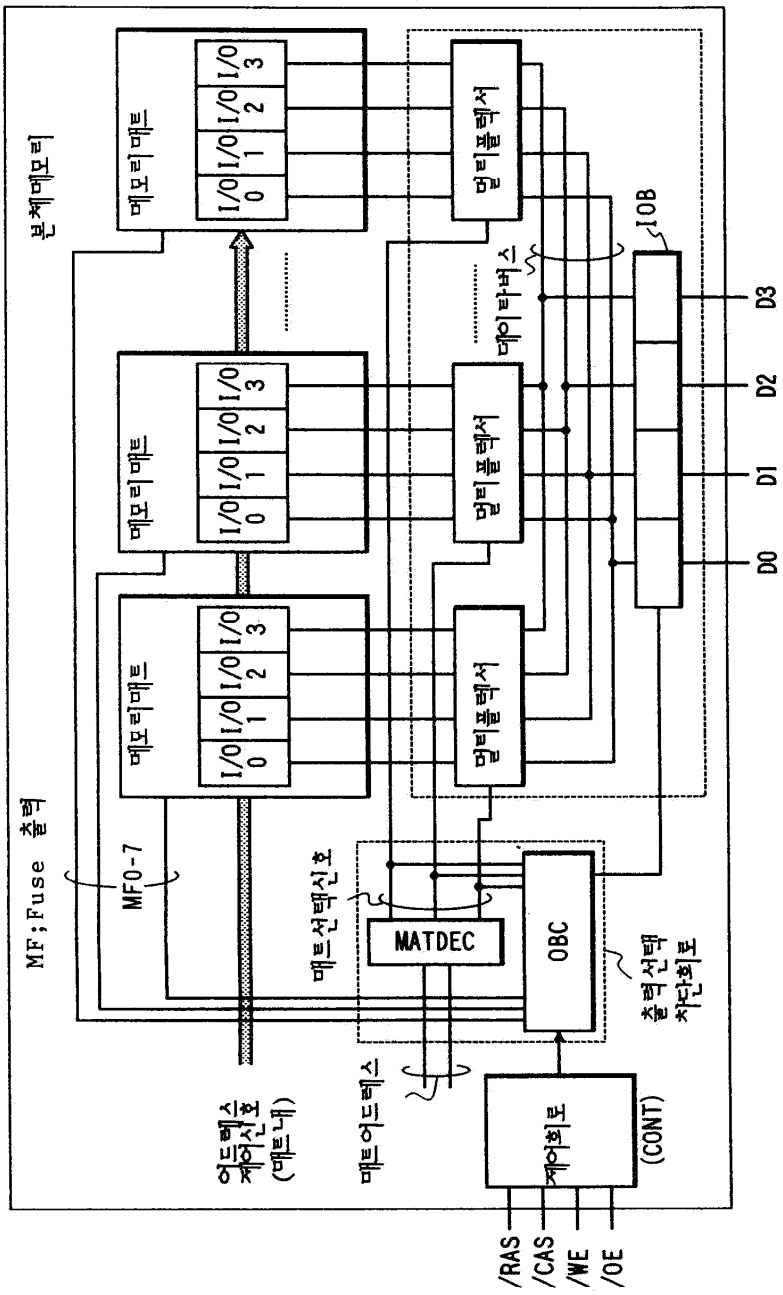
도면5


먼끝쪽 어레이
제어회로
SA & I/O
Y 구제회로
/X11
/X12
XDEC
ARY
CTRL
YDEC
I/O
U
어드레스측
L
D
X10
X12
/Y10
Y10
/Y11
Y11
/Y12

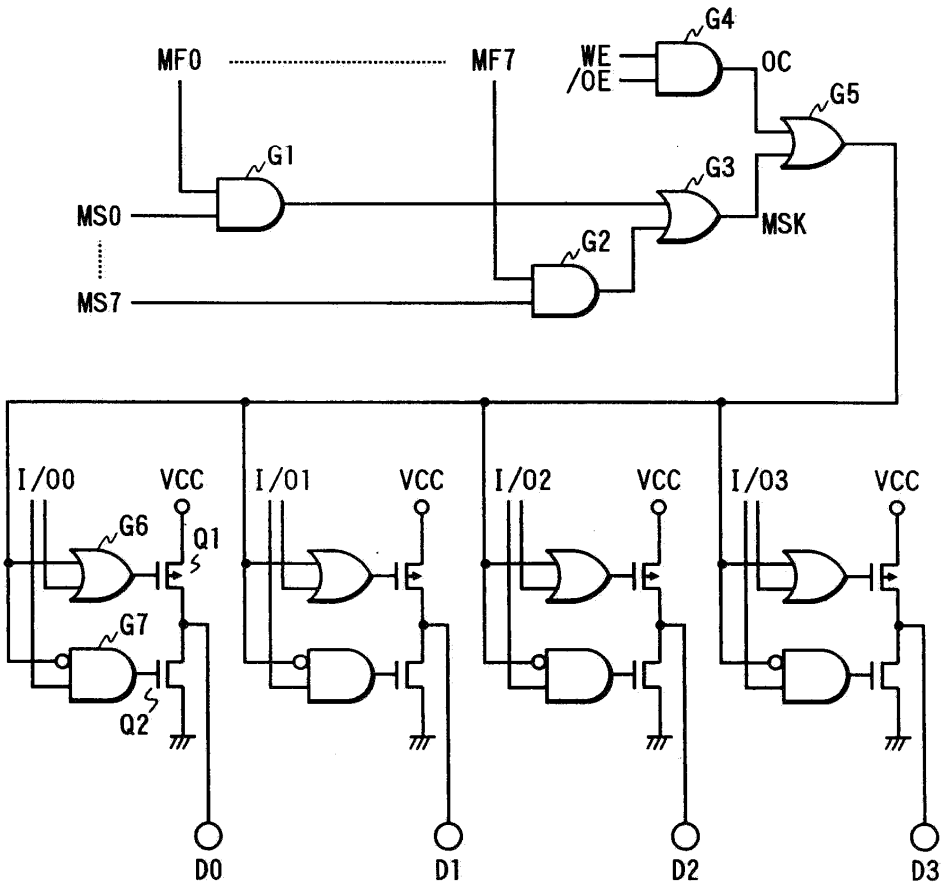
도면6



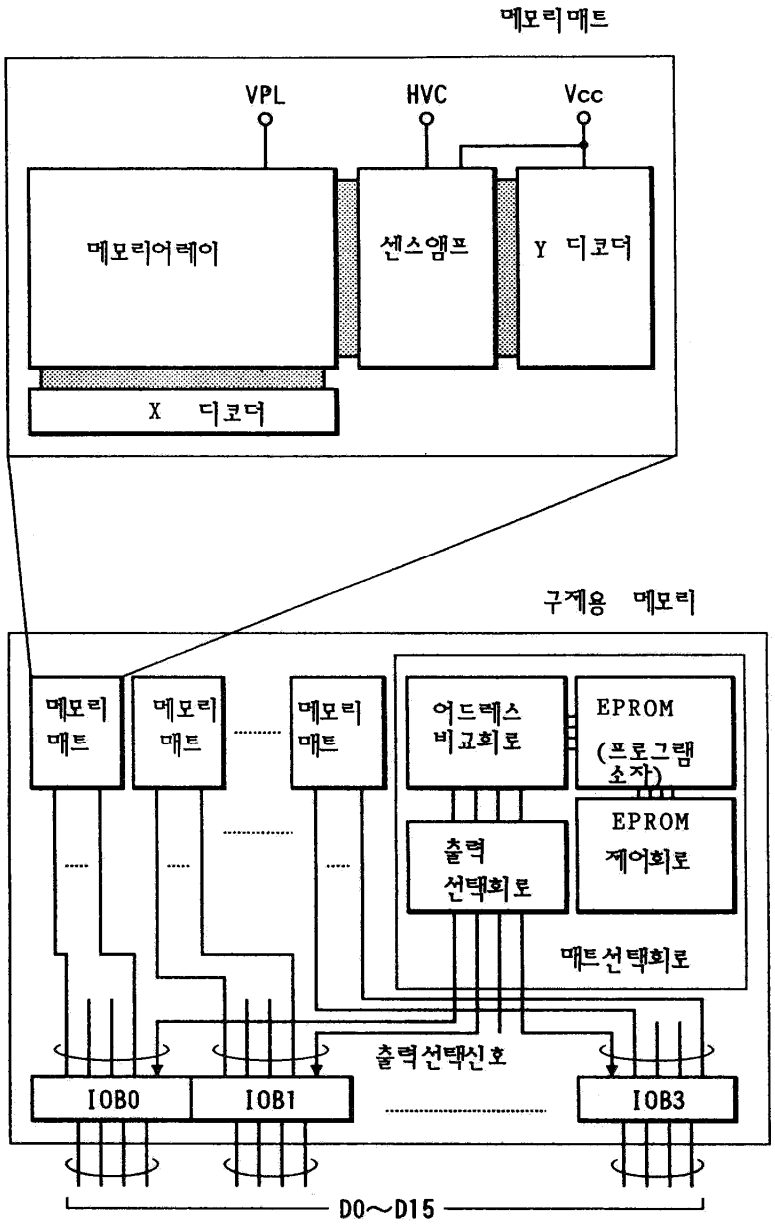
도면7


본체메모리
메모리매트
I/O 0
I/O 1
I/O 2
I/O 3
멀티플렉서
데이타버스
IOB
D3
D2
D1
D0
MF;Fuse 출력
MF0-7
매트선택신호
MATDEC
OBC
출력선택 차단회로
어드레스 제어신호 (매트내)
매트어드레스
제어회로
(CONT)
/RAS
/CAS
/WE
/OE

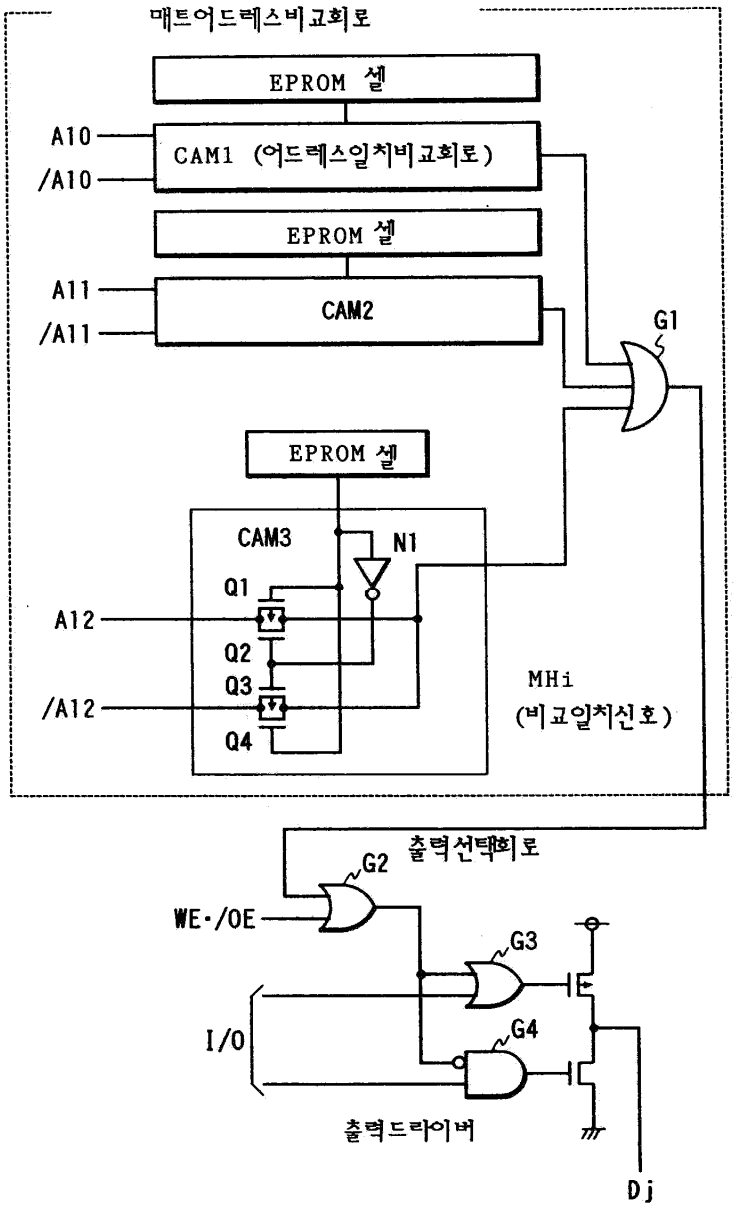
도면8


MF0
MF7
WE
/OE
G4
OC
G5
G1
G3
MS0
MSK
G2
MS7
I/O0
VCC
I/O1
VCC
I/O2
VCC
I/O3
VCC
G6
Q1
G7
Q2
D0
D1
D2
D3

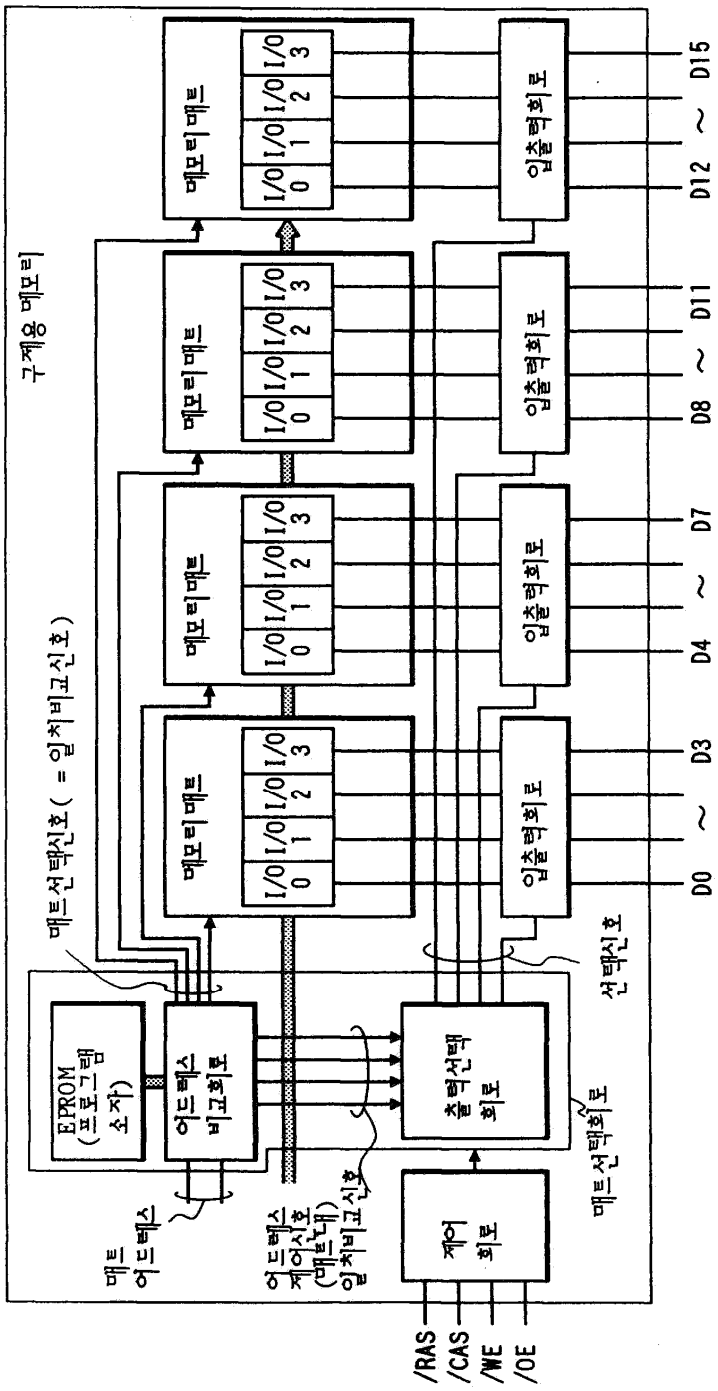
도면9


메모리매트
VPL
HVC
Vcc
메모리어레이
센스앰프
Y 디코더
X 디코더
구제용 메모리
메모리 매트
메모리 매트
메모리 매트
어드레스 비교회로
EPROM (프로그램 소자)
EPROM 제어회로
출력 선택회로
매트선택회로
출력선택신호
IOB0
IOB1
IOB3
D0~D15

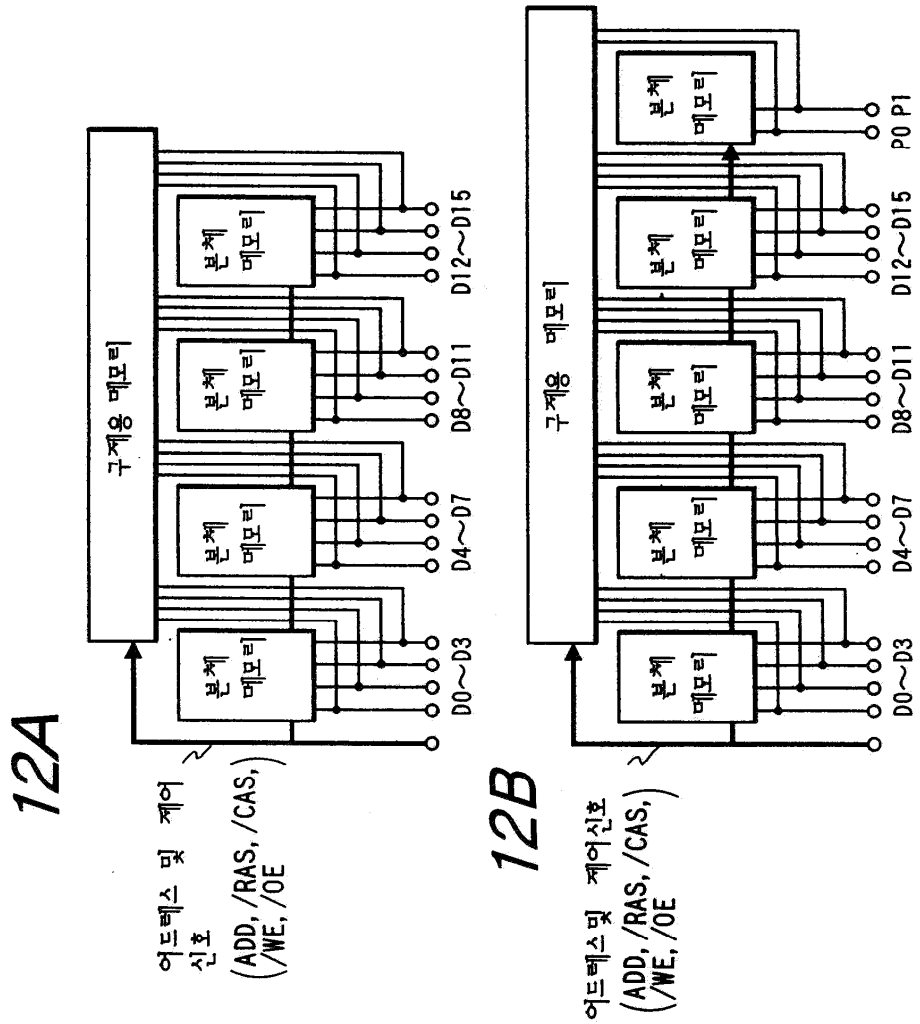
도면10


매트어드레스비교회로
EPROM 셀
A10
/A10
CAM1 (어드레스일치비교회로)
EPROM 셀
A11
/A11
CAM2
G1
EPROM 셀
CAM3
N1
Q1
A12
Q2
Q3
/A12
Q4
MHi
(비교일치신호)
출력선택회로
G2
WE·/OE
G3
I/O
G4
출력드라이버
Dj

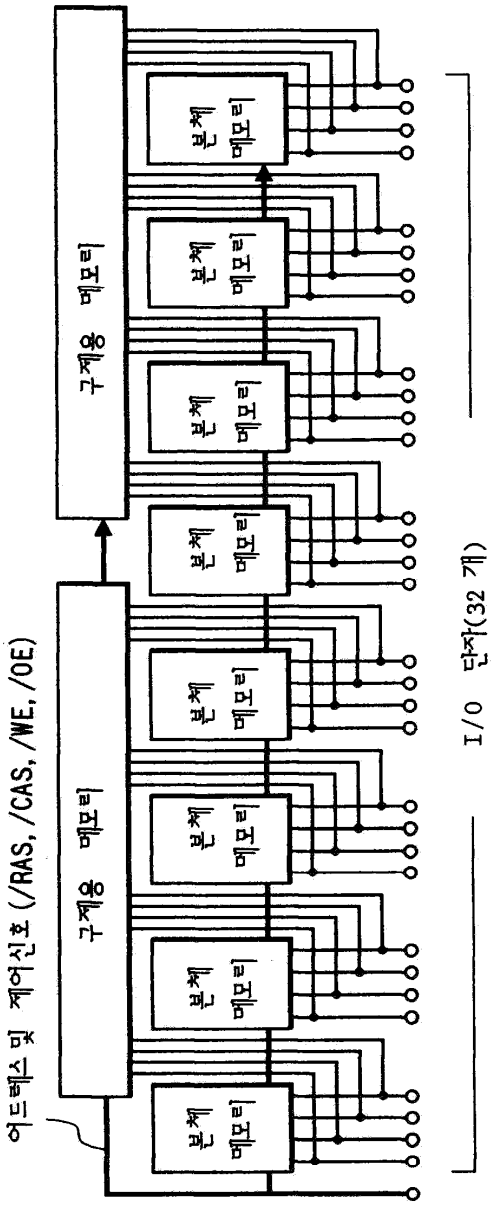
도면11


구제용 메모리
메모리 매트
I/O 0
I/O 1
I/O 2
I/O 3
입출력회로
D15
~
D12
D11
~
D8
D7
~
D4
D3
~
D0
매트선택신호 (= 일치비교신호)
EPROM (프로그램 소자)
어드레스 비교회로
출력선택 회로
제어 회로
선택신호
매트선택회로
매트 어드레스
어드레스 제어신호 (매트내) 일치비교신호
/RAS
/CAS
/WE
/OE

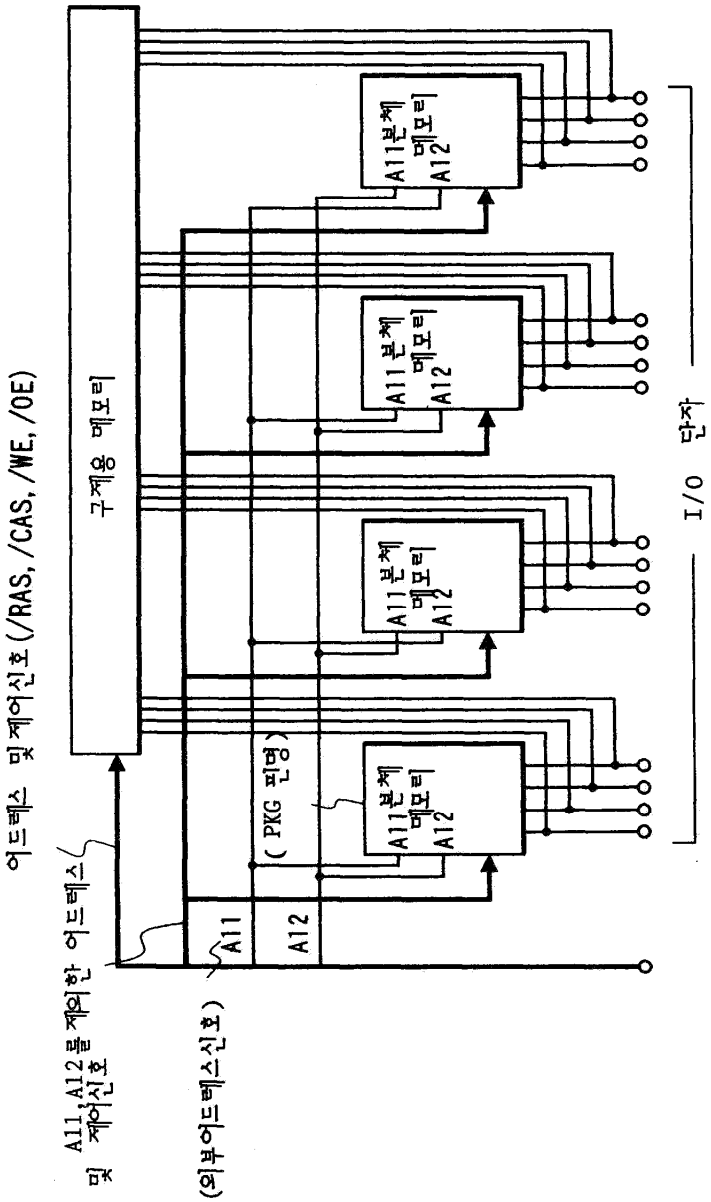
도면12


12A
구제용 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
D0~D3
D4~D7
D8~D11
D12~D15
어드레스 및 제어 신호 (ADD, /RAS, /CAS, /WE, /OE)
12B
구제용 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
D0~D3
D4~D7
D8~D11
D12~D15
P0 P1
어드레스및 제어신호 (ADD, /RAS, /CAS, /WE, /OE)

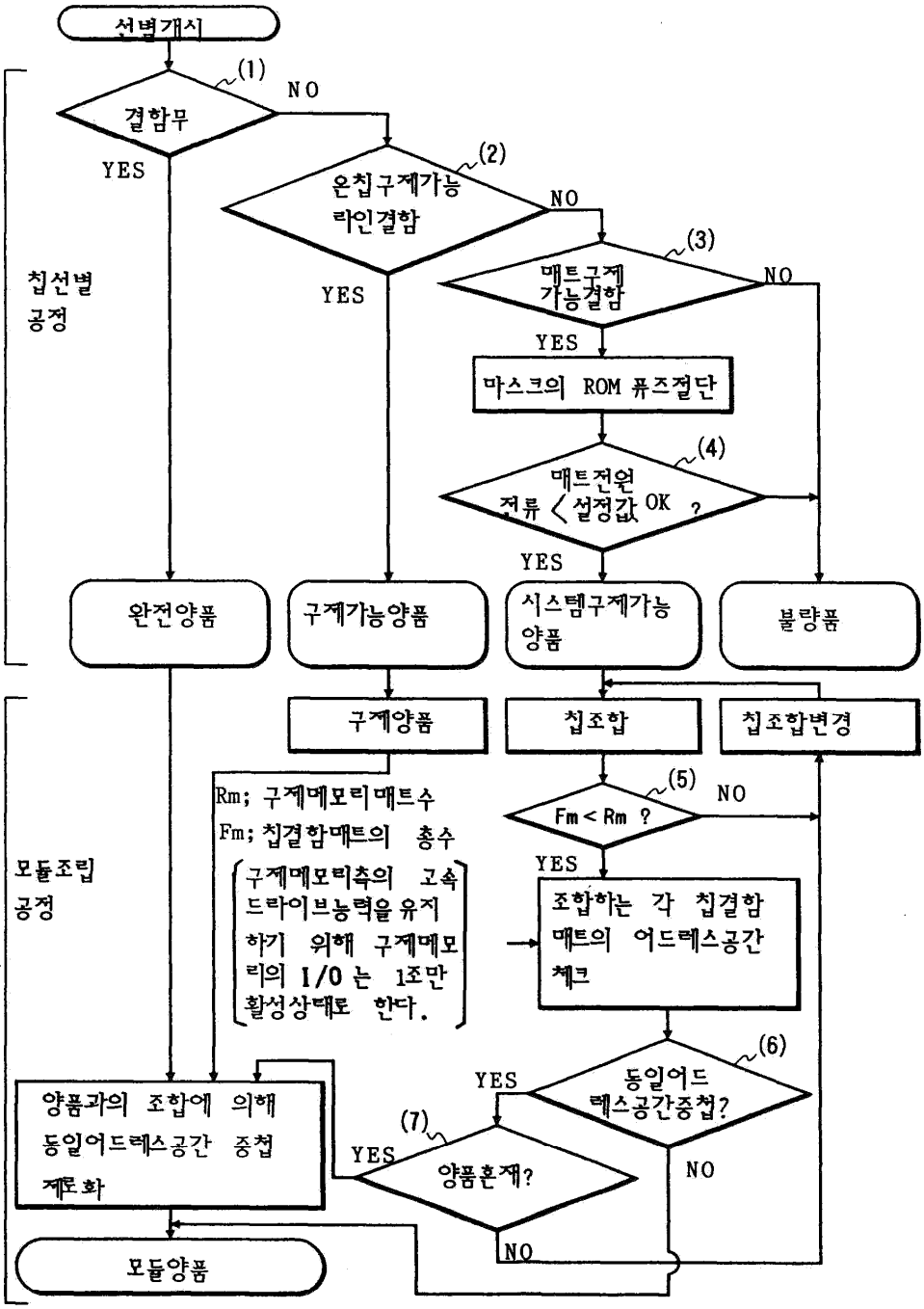
도면13


구제용 메모리
구제용 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
본체 메모리
어드레스 및 제어신호 (/RAS, /CAS, /WE, /OE)
I/O 단자(32 개)

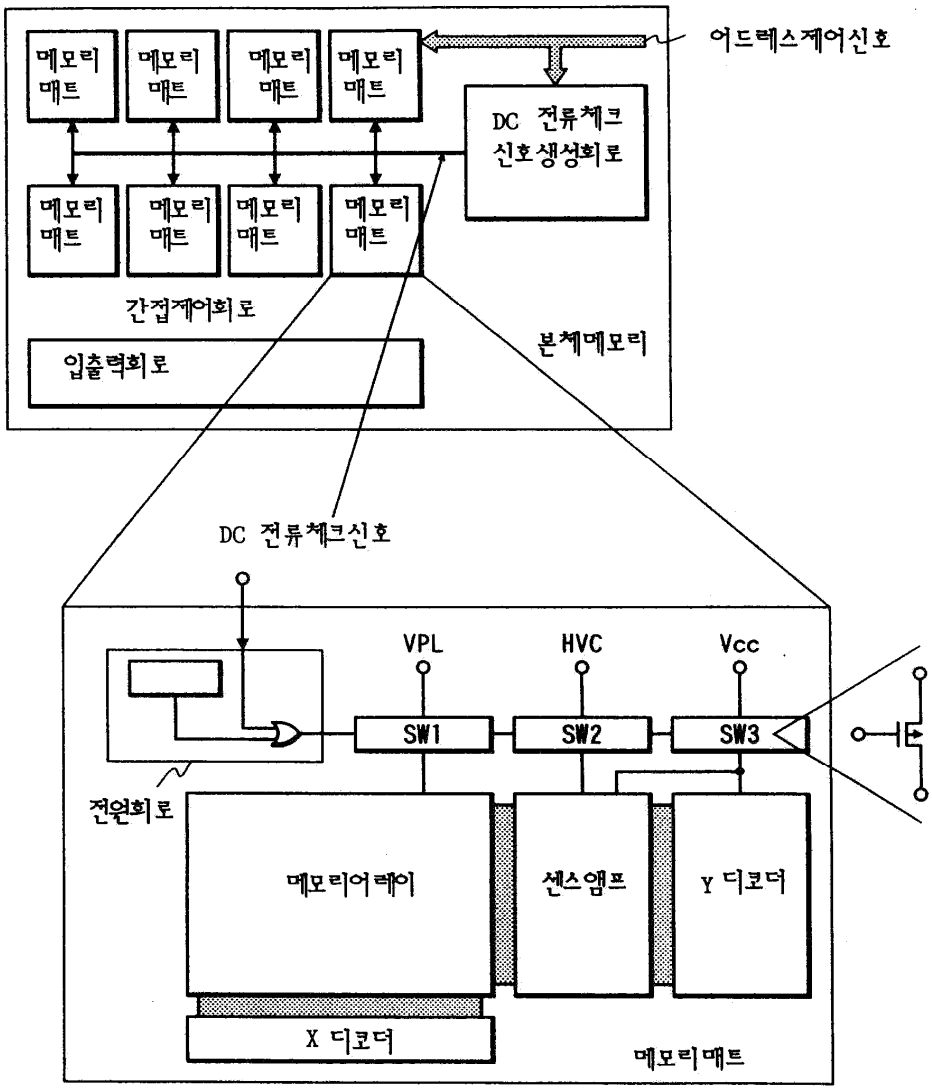
도면14


어드레스 및 제어신호(/RAS, /CAS, /WE, /OE)
구제용 메모리
A11,A12를 제외한 어드레스
및 제어신호
(외부어드레스신호)
A11
A12
(PKG 핀명)
A11분체
메모리
A12
I/O 단자

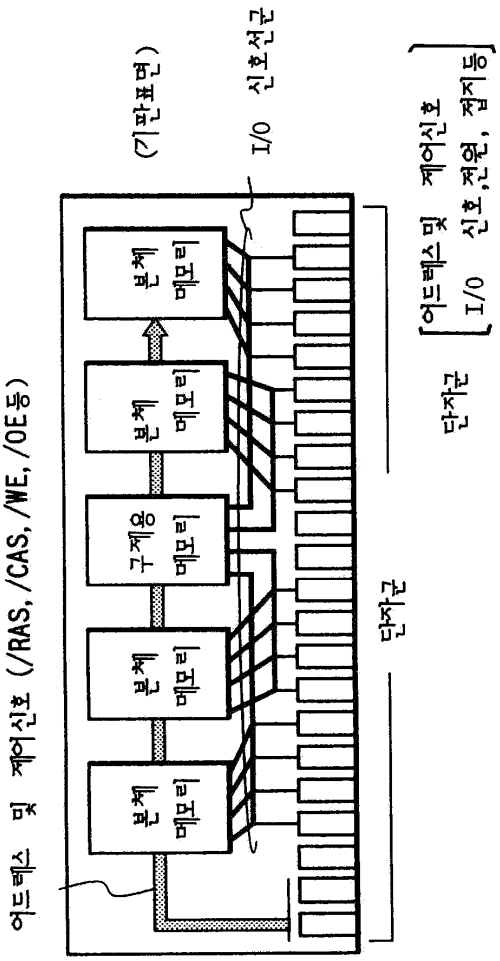
도면15


선별개시
(1)
결함무
NO
YES
(2)
온칩구제가능
라인결함
NO
YES
(3)
매트구제
가능결함
NO
YES
마스크의 ROM 퓨즈절단
(4)
매트전원
전류 < 설정값 OK ?
YES
칩선별
공정
완전양품
구제가능양품
시스템구제가능
양품
불량품
구제양품
칩조합
칩조합변경
Rm; 구제메모리매트수
Fm; 칩결함매트의 총수
구제메모리측의 고속
드라이브능력을유지
하기 위해 구제메모
리의 I/O 는 1조만
활성상태로 한다.
(5)
Fm < Rm ?
NO
YES
조합하는 각 칩결함
매트의 어드레스공간
체크
(6)
동일어드
레스공간중첩?
YES
NO
(7)
양품혼재?
YES
NO
양품과의 조합에 의해
동일어드레스공간 중첩
제로화
모듈양품
모듈조립
공정

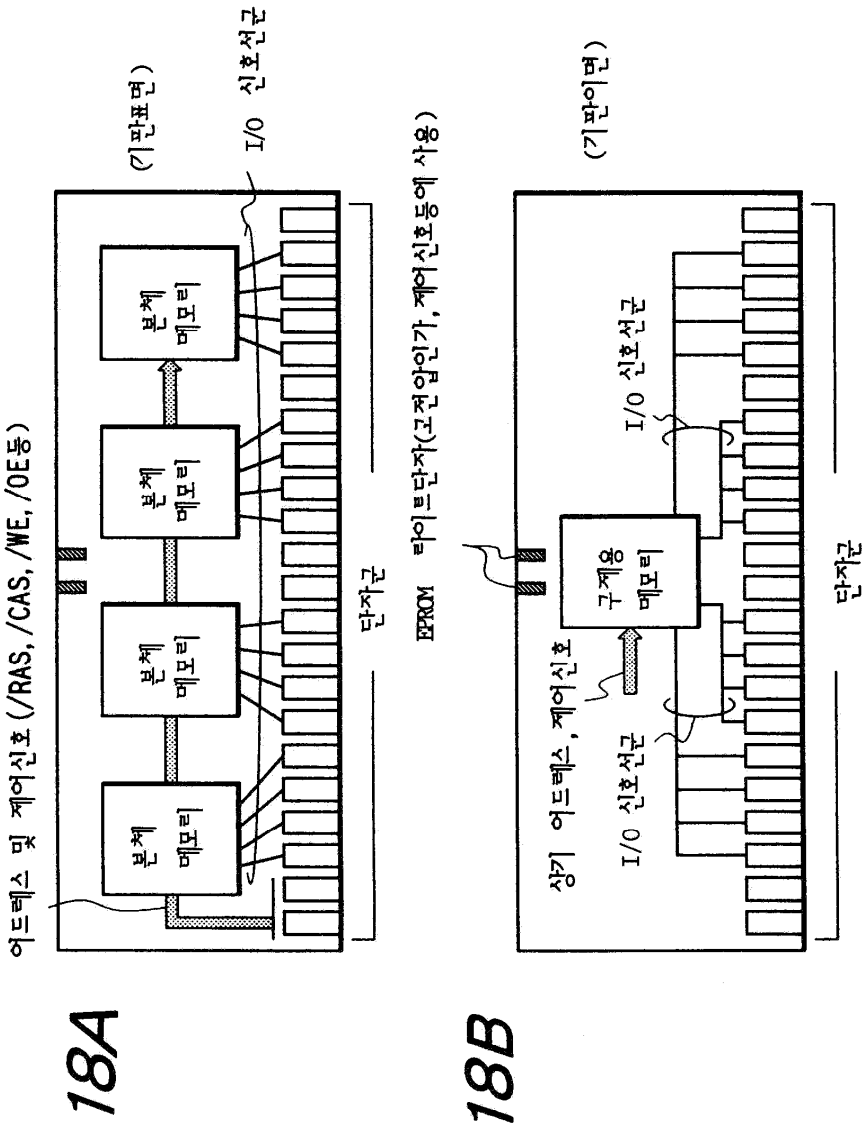
도면16


메모리 매트
메모리 매트
메모리 매트
메모리 매트
어드레스제어신호
DC 전류체크 신호생성회로
메모리 매트
메모리 매트
메모리 매트
메모리 매트
간접제어회로
입출력회로
본체메모리
DC 전류체크신호
VPL
HVC
Vcc
SW1
SW2
SW3
전원회로
메모리어레이
센스앰프
Y 디코더
X 디코더
메모리매트

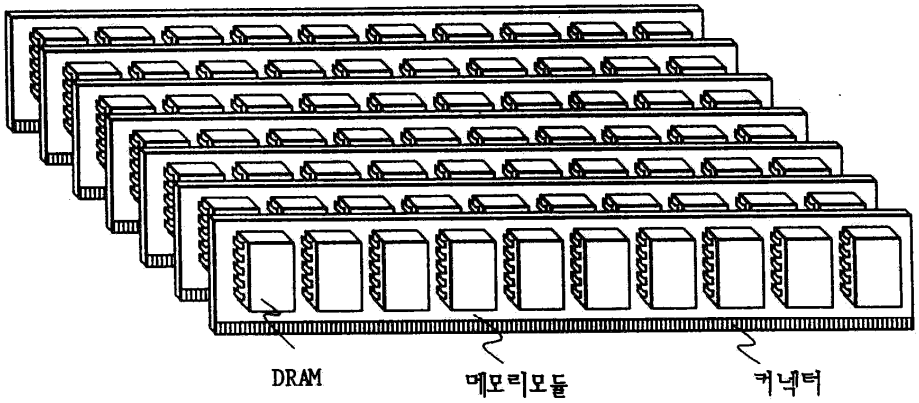
도면17


(기판표면)
I/O 신호선군
본체 메모리
본체 메모리
구제용 메모리
본체 메모리
본체 메모리
어드레스 및 제어신호 (/RAS, /CAS, /WE, /OE등)
단자군
단자군
[어드레스 및 제어신호
I/O 신호,전원, 접지등]

도면18


(기판표면)
I/O 신호선군
본체 메모리
본체 메모리
본체 메모리
본체 메모리
단자군
어드레스 및 제어신호 (/RAS, /CAS, /WE, /OE등)
18A
(기판이면)
EPROM 타이프단자(고전압인가, 제어신호등에 사용)
I/O 신호선군
구제용 메모리
상기 어드레스, 제어신호
I/O 신호선군
단자군
18B

도면19


DRAM
메모리모듈
커넥터